

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5950992号  
(P5950992)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 6 1 8 B
請求項の数 5 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2014-258245 (P2014-258245)	(73) 特許権者	000153878
(22) 出願日	平成26年12月22日(2014.12.22)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-153615 (P2011-153615) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年7月12日(2011.7.12)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2015-111681 (P2015-111681A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成27年6月18日(2015.6.18)	(72) 発明者	加藤 清
審査請求日	平成26年12月22日(2014.12.22)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2010-162184 (P2010-162184)	(72) 発明者	長塚 修平
(32) 優先日	平成22年7月16日(2010.7.16)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	審査官	小山 満
		最終頁に続く	

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

酸化物半導体層と、第1及び第2の導電層と、第1及び第2の絶縁層と、を有し、  
前記酸化物半導体層は、第1のトランジスタのチャンネル形成領域を有し、  
前記第1の導電層は、前記第1のトランジスタのゲート電極として機能する領域を有し、  
前記第2の導電層は、前記第1のトランジスタのソース電極又はドレイン電極の一方として機能する領域を有し、  
前記第1の絶縁層は、前記第1のトランジスタのゲート絶縁層として機能する領域を有し、  
前記酸化物半導体層は、前記第1の絶縁層と前記第2の絶縁層との間の領域を有し、  
前記第1の絶縁層は、前記酸化物半導体層と前記第1の導電層との間の領域を有し、  
前記第1のトランジスタのソース電極又はドレイン電極の一方は、第2のトランジスタのゲート電極と電氣的に接続され、  
前記第1のトランジスタのソース電極又はドレイン電極の一方は、容量素子と電氣的に接続され、  
前記第2のトランジスタは、半導体材料を含む基板にチャンネル形成領域を有し、  
前記第2の絶縁層は、前記基板の不純物領域と前記酸化物半導体層との間の領域を有し、  
前記第1の絶縁層及び前記第2の絶縁層は、下記式(1)を満たすことを特徴とする半

導体装置。

【数 1】

$$\frac{t_a, \epsilon_{ra}}{t_b, \epsilon_{rb}} < 0.1 \quad (1)$$

(但し、式(1)中、 $t_a$ は前記第1の絶縁層の膜厚を示し、 $t_b$ は前記第2の絶縁層の膜厚を示し、 $\epsilon_{ra}$ は前記第1の絶縁層の誘電率を示し、 $\epsilon_{rb}$ は前記第2の絶縁層の誘電率を示す。)

【請求項 2】

請求項 1 において、

前記第 2 の絶縁層は、2 層以上の積層構造であることを特徴とする半導体装置。 10

【請求項 3】

請求項 1 において、

前記第 2 の絶縁層は、有機絶縁材料を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

第 3 の導電層を有し、

前記第 2 の導電層は、前記容量素子の第 1 の電極としての機能を有し、

前記第 3 の導電層は、前記容量素子の第 2 の電極としての機能を有し、

前記第 1 の絶縁層は、前記第 2 の導電層と前記第 3 の導電層との間の領域を有すること 20  
を特徴とする半導体装置。

【請求項 5】

第 3 の導電層を有し、

前記第 2 の導電層は、前記容量素子の第 1 の電極としての機能を有し、

前記第 3 の導電層は、前記容量素子の第 2 の電極としての機能を有し、

前記第 3 の導電層は、前記第 1 の導電層と同じ工程を経て形成され、

前記第 1 の絶縁層は、前記第 2 の導電層と前記第 3 の導電層との間の領域を有すること  
を特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明の一態様は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。 40

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはオフ状態でのソースとドレイン間のリーク電流(オフ電流)等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶内容の保持には、磁性材料や光学材料を利用した別 50

の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM(Static Random Access Memory)がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

10

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0008】

また、フラッシュメモリは、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、本発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。さらには、新たな構造に係る半導体装置の集積度を高めることを目的の一とする。

【課題を解決するための手段】

【0011】

本発明の一態様では、酸化物半導体を用いて半導体装置を構成する。特に、高純度化された酸化物半導体を用いる。酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。また、高純度化された酸化物半導体を用いる場合には、その程度はより顕著であり、極めて長期間にわたって情報を保持することが可能になる。

40

【0012】

より具体的には、例えば次のような構成を採用することができる。

【0013】

本発明の一態様は、第1のチャネル形成領域と、第1のチャネル形成領域上に設けられた第1のゲート絶縁層と、第1のチャネル形成領域と重畳して、第1のゲート絶縁層上に設けられた第1のゲート電極と、第1のチャネル形成領域を挟むように設けられたソース

50

領域およびドレイン領域と、を有する第1のトランジスタと、第2のチャンネル形成領域と、第2のチャンネル形成領域と電氣的に接続するソース電極およびドレイン電極と、第2のチャンネル形成領域上に設けられた第2のゲート電極と、第2のチャンネル形成領域と第2のゲート電極との間に設けられた第2のゲート絶縁層と、を有する第2のトランジスタと、ソース領域またはドレイン領域と、第2のチャンネル形成領域との間に設けられた絶縁層と、を含むメモリセルを有し、第1のトランジスタと、第2のトランジスタとは、少なくとも一部が重畳して設けられ、第2のゲート絶縁層と絶縁層は、下記式(1)を満たす、半導体装置である。

【0014】

【数1】

$$\frac{t_a \cdot \epsilon_{rb}}{t_b \cdot \epsilon_{ra}} < 0.1 \quad (1)$$

(但し、式(1)中、 $t_a$ は第2のゲート絶縁層の膜厚を示し、 $t_b$ は絶縁層の膜厚を示し、 $\epsilon_{ra}$ は第2のゲート絶縁層の誘電率を示し、 $\epsilon_{rb}$ は絶縁層の誘電率を示す。)

【0015】

または、本発明の他の一態様は、第1のチャンネル形成領域と、第1のチャンネル形成領域上に設けられた第1のゲート絶縁層と、第1のチャンネル形成領域と重畳して、第1のゲート絶縁層上に設けられた第1のゲート電極と、第1のチャンネル形成領域を挟むように設けられたソース領域およびドレイン領域と、を有する第1のトランジスタと、第2のチャンネル形成領域と、第2のチャンネル形成領域と電氣的に接続するソース電極およびドレイン電極と、第2のチャンネル形成領域上に設けられた第2のゲート電極と、第2のチャンネル形成領域と第2のゲート電極との間に設けられた第2のゲート絶縁層と、を有する第2のトランジスタと、ソース領域またはドレイン領域と、第2のチャンネル形成領域との間に設けられた絶縁層と、を含むメモリセルを有し、第1のトランジスタと、第2のトランジスタとは、少なくとも一部が重畳して設けられ、第2のゲート絶縁層と絶縁層は、下記式(2)を満たす、半導体装置である。

【0016】

【数2】

$$V_{th} - V_{max} \cdot \frac{t_a \cdot \epsilon_{rb}}{t_b \cdot \epsilon_{ra}} > 0 \quad (2)$$

(但し、式(2)中、 $t_a$ は前記第2のゲート絶縁層の膜厚を示し、 $t_b$ は前記絶縁層の膜厚を示し、 $\epsilon_{ra}$ は前記第2のゲート絶縁層の誘電率を示し、 $\epsilon_{rb}$ は前記絶縁層の誘電率を示し、 $V_{max}$ は、前記ソース領域またはドレイン領域の電位を示し、 $V_{th}$ は前記第2のトランジスタのしきい値電圧を示す。)

【0017】

上記構成において、第1のゲート電極は、ソース電極またはドレイン電極に電氣的に接続されることが好ましい。また、上記構成においてソース電極またはドレイン電極と、第2のゲート絶縁層と、導電層とにより、容量素子が構成されることが好ましい。

【0018】

また、上記構成において、第1のチャンネル形成領域と、第2のチャンネル形成領域とは、異なる半導体材料を含んで構成されることが好ましい。また、上記構成において、第2のチャンネル形成領域は、酸化物半導体を含んで構成されることが好ましい。

【0019】

なお、上記においては、酸化物半導体材料を用いてトランジスタを構成しているが、本

10

20

30

40

50

発明の一態様はこれに限定されない。酸化物半導体材料と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ  $E_g$  が  $3\text{ eV}$  より大きい半導体材料）などを適用しても良い。

【0020】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

【0021】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

10

【0022】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0023】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

20

【0024】

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0025】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

30

【0026】

また、本発明の一態様に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、浮遊ゲートへの電子の注入や、浮遊ゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、本発明の一態様に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

40

【0027】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせることで、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0028】

50

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0029】

【図1】半導体装置の断面図及び平面図。

【図2】半導体装置の作製工程を示す断面図。

【図3】半導体装置の作製工程を示す断面図。

【図4】半導体装置の作製工程を示す断面図。

【図5】半導体装置の作製工程を示す断面図。

【図6】半導体装置の断面図及び平面図。

【図7】半導体装置の回路図。

【図8】半導体装置の回路図。

【図9】半導体装置の回路図。

【図10】半導体装置を用いた電子機器を説明するための図。

【発明を実施するための形態】

【0030】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0031】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、本発明の一態様は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0032】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0033】

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置の構成およびその作製方法について、図1乃至図7を参照して説明する。

【0034】

半導体装置の断面構成及び平面図

図1は、半導体装置の構成の一例である。図1(A)には半導体装置の断面を、図1(B)には半導体装置の平面を、それぞれ示す。図1(A)において、A1-A2は、トランジスタのチャネル長方向に垂直な断面図であり、B1-B2は、トランジスタのチャネル長方向に平行な断面図である。図1に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有する。また、図1に示す半導体装置は、トランジスタ160とトランジスタ162と容量素子164とを、一つずつ有する構成として示しているが、それぞれ複数有する構成も含む。

【0035】

ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一

10

20

30

40

50

方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0036】

トランジスタ160およびトランジスタ162は、nチャネル型トランジスタ、pチャネル型トランジスタのいずれも用いることができる。ここでは、トランジスタ160およびトランジスタ162は、いずれもnチャネル型トランジスタとして説明する。また、本発明の一態様において、技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

10

【0037】

トランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120(ソース領域またはドレイン領域とも記す)と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。なお、図1において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

20

【0038】

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160上に絶縁層128が設けられている。なお、高集積化を実現するためには、図1に示すように、トランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畳する領域に形成された不純物濃度が異なる領域を含めて不純物領域120を設けても良い。

30

【0039】

トランジスタ162は、絶縁層128などの上に設けられた酸化物半導体層144と、酸化物半導体層144と電氣的に接続されているソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと、酸化物半導体層144、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142b、を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畳するように設けられたゲート電極148aと、を有する。

【0040】

ここで、トランジスタ162に用いられる酸化物半導体層144は水素などの不純物が十分に除去されることにより、高純度化されたものであることが望ましい。例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。また、酸化物半導体層144は、十分な酸素の供給により酸素欠損が低減されることが好ましい。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、

40

50

室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1 μm）あたりの値）は100 z A（1 z A（zeptoアンペア）は $1 \times 10^{-21}$  A）以下、望ましくは100 z A以下となる。このように、高純度化され、i型化（真性化）または実質的にi型化された酸化半導体層144を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

#### 【0041】

なお、トランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化半導体層を用いているが、島状に加工されていない酸化半導体層を採用しても良い。酸化半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化半導体層の汚染を防止できる。

10

#### 【0042】

容量素子164は、ソース電極またはドレイン電極142a、ゲート絶縁層146、および導電層148b、とで構成される。すなわち、ソース電極またはドレイン電極142aは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化半導体層144とゲート絶縁層146とを積層させる場合には、ソース電極またはドレイン電極142aと、導電層148bとの絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子164を設けない構成とすることもできる。

#### 【0043】

20

なお、トランジスタ162および容量素子164において、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部は、テーパ形状であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状とすることにより、ゲート絶縁層146の被覆性を向上させ、段切れを防止することができる。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極またはドレイン電極142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

#### 【0044】

トランジスタ162および容量素子164の上には絶縁層150および絶縁層152が設けられている。そして、ゲート絶縁層146、絶縁層150、絶縁層152などに形成された開口には、電極154が設けられ、絶縁層152上には、電極154と接続する配線156が形成される。配線156はメモリセルのーと他のメモリセルとを接続する。なお、図1では電極126および電極154を用いて、金属化合物領域124、ソース電極またはドレイン電極142b、および配線156を接続しているが、本発明の一態様はこれに限定されない。例えば、ソース電極またはドレイン電極142bを直接、金属化合物領域124に接触させても良い。または、配線156を直接、ソース電極またはドレイン電極142bに接触させても良い。

30

#### 【0045】

また、図1において、金属化合物領域124とソース電極またはドレイン電極142bを接続する電極126と、ソース電極またはドレイン電極142bと配線156を接続する電極154とは重畳して配置されている。つまり、トランジスタ160のソース電極やドレイン電極として機能する電極126と、トランジスタ162のソース電極またはドレイン電極142bと、が接する領域は、トランジスタ162のソース電極またはドレイン電極142bと、電極154が接する領域と重なっている。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

40

#### 【0046】

また、図1において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられている。また、トランジスタ162や容量素子164が、ト

50



ランジスタ 160 と重畳するように設けられている。例えば、容量素子 164 の導電層 148b は、トランジスタ 160 のゲート電極 110 と少なくとも一部が重畳して設けられている。このような、平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法を F として、メモリセルの占める面積を  $15F^2 \sim 25F^2$  とすることが可能である。

【0047】

しかしながら、トランジスタ 160 と、トランジスタ 162 とが、少なくとも一部が重畳するように設けることにより、トランジスタ 160 のソース領域またはドレイン領域が、トランジスタ 162 のバックゲート電極として機能してしまうおそれがある。なお、ここでいうバックゲート電極とは、酸化半導体層 144 のチャンネル形成領域を挟んでゲート電極 148a とは逆側に設けられた疑似的なゲート電極をいう。つまり、トランジスタ 160 のソース領域またはドレイン領域に正電位が与えられた場合、例えば、その正電位がバックゲート電極からみたしきい値電圧  $V_{th}(back)$  を超えると、トランジスタ 162 はオンになってしまう。或いは、トランジスタ 160 のソース領域またはドレイン領域に与えられた正電位がトランジスタ 162 をオンにしない程度の大きさであっても、トランジスタ 162 のしきい値電圧  $V_{th}$  は負（ノーマリーオン側）にシフトしてしまう。例えば、半導体装置の読み出し動作において、トランジスタ 160 のソース領域またはドレイン領域に正電位が与えられる場合、トランジスタ 162 のしきい値電圧  $V_{th}$  は負（ノーマリーオン側）にシフトし、トランジスタ 162 のリーク電流が増加してしまい、電荷の保持特性が低下してしまうおそれが生じる。その結果、メモリリテンション特性が低下してしまうおそれが生じる。なお、メモリリテンション特性とは、メモリのデータ保持特性を表す。

【0048】

トランジスタ 160 のソース領域またはドレイン領域がトランジスタ 162 のバックゲート電極として機能してしまう要因として、トランジスタ 160 のソース領域またはドレイン領域と、酸化半導体層 144 のチャンネル形成領域との間に設けられる絶縁層 128 の膜厚や誘電率が挙げられる。絶縁層 128 の膜厚が薄すぎると、トランジスタ 160 のソース領域またはドレイン領域の電位が酸化半導体層 144 へ及ぼす影響は大きくなってしまふ。また、絶縁層 128 の誘電率が高すぎても、トランジスタ 160 のソース領域またはドレイン領域の電位が酸化半導体層 144 へ及ぼす影響は大きくなってしまふ。

【0049】

したがって、トランジスタ 160 のソース領域またはドレイン領域がトランジスタ 162 のバックゲート電極として及ぼす影響を低減するためには、絶縁層 128 を、トランジスタ 162 のゲート絶縁層 146 の膜厚で換算して、絶縁層 128 とゲート絶縁層 146 が、下記の式 (1) を満たすことが好ましい。

【0050】

【数 3】

$$\frac{t_a \cdot \epsilon_{rb}}{t_b \cdot \epsilon_{ra}} < 0.1 \quad (1)$$

(但し、式 (1) 中、 $t_a$  はゲート絶縁層 146 の膜厚を示し、 $t_b$  は絶縁層 128 の膜厚を示し、 $\epsilon_{ra}$  はゲート絶縁層 146 の誘電率を示し、 $\epsilon_{rb}$  は絶縁層 128 の誘電率を示す。)

【0051】

上記式 (1) を満たすことにより、トランジスタ 160 のソース領域またはドレイン領域の電位が酸化半導体層 144 へ及ぼす影響は、トランジスタ 162 のゲート電極が酸化半導体層 144 へ及ぼす影響の十分の一以下となる。つまり、トランジスタ 160 のソース領域またはドレイン領域の電位が酸化半導体層 144 へ及ぼす影響を極めて小さ

くすることが可能となり、トランジスタ160のソース領域またはドレイン領域が、実質的にバックゲート電極としては機能しなくなる。

【0052】

トランジスタ160のソース領域またはドレイン領域がトランジスタ162のバックゲート電極として及ぼす影響を低減するための別の好ましい条件について説明する。トランジスタ162を有するメモリセルがデータを保持する動作（例えば、半導体装置の書き込み動作において非選択となった場合）あるいは読み出し動作において、トランジスタ160のソース領域またはドレイン領域には最大 $V_{max}$ まで与えられるとする。そのとき、トランジスタ162のしきい値電圧 $V_{th}$ は負（ノーマリーオン側）にシフトするが、トランジスタ162のしきい値電圧 $V_{th}$ が負になってしまうとメモリセルの電荷保持特性は著しく低下してしまう。つまり、トランジスタ162のしきい値 $V_{th}$ が正であることが好ましい条件といえる。

10

【0053】

トランジスタ160のソース領域またはドレイン領域が0Vから $V_{max}$ に変化したときのトランジスタ162のしきい値電圧のシフト幅は、概ね、下記の式(2)で表される。

【0054】

【数4】

$$-V_{max} \cdot \frac{t_a}{t_b} \cdot \frac{\epsilon_{rb}}{\epsilon_{ra}} \quad (2)$$

20

【0055】

したがって、トランジスタ160のソース領域またはドレイン領域が0Vから $V_{max}$ に変化しても、トランジスタ162のしきい値 $V_{th}$ が正であるためには、下記の式(3)を満たせばよい。

【0056】

【数5】

$$V_{th} - V_{max} \cdot \frac{t_a}{t_b} \cdot \frac{\epsilon_{rb}}{\epsilon_{ra}} > 0 \quad (3)$$

30

【0057】

なお、電位 $V_{max}$ は、勿論、回路構成や駆動方法に依存するが、代表的には、読み出し動作で使用する電源電位である。他の場合として、書き込み動作において、フローティングゲートFG部へ供給する電位がトランジスタ160のソース領域またはドレイン領域にも供給される場合がある。その場合、フローティングゲートFG部へ供給する最大電位が電位 $V_{max}$ となることがある。

40

【0058】

上記式(1)または上記式(3)を満たすことにより、ソース領域またはドレイン領域は実質的にトランジスタ162のバックゲート電極として機能しなくなる。言い換えると、トランジスタ162のしきい値変動を十分に抑制することができる。これにより、半導体装置のメモリリテンション特性を向上させることができる。

【0059】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ160の作製方法について図2および図3を参照して説明し、その後、上部のトランジスタ162および容量素子164の作製方法について図4および図5を参照し

50

て説明する。

【0060】

下部のトランジスタの作製方法

下部のトランジスタ160の作製方法について、図2および図3を参照して説明する。

【0061】

まず、半導体材料を含む基板100を用意する。半導体材料を含む基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

10

【0062】

半導体材料を含む基板100として、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0063】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図2(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

20

【0064】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される(図2(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

30

【0065】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図2(C)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(化学的機械的研磨)などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

40

【0066】

ここで、CMP処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被研磨物の表面を、スラリーと被研磨物表面との間での化学反応と、研磨布と被研磨物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【0067】

なお、素子分離絶縁層106の形成方法として、絶縁層を選択的に除去する方法の他、酸素を打ち込むことにより絶縁性の領域を形成する方法などを用いることもできる。

50

## 【0068】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

## 【0069】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

## 【0070】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

20

## 【0071】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する（図2（C）参照）。

## 【0072】

次に、半導体領域104にリン（P）やヒ素（As）などを添加して、チャネル形成領域116および不純物領域120を形成する（図2（D）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

30

## 【0073】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

## 【0074】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する（図3（A）参照）。当該金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

40

## 【0075】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される（図3（A）参照）。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

## 【0076】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることがで

50

きる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後は、金属層 122 は除去する。

#### 【0077】

次に、金属化合物領域 124 の一部と接する領域に、電極 126 を形成する（図 3（B）参照）。電極 126 は、例えば、導電材料を含む層を形成した後に、当該層を選択的にエッチングすることで形成される。導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

10

#### 【0078】

次に、上述の工程により形成された各構成を覆うように、絶縁層 128 を形成する（図 3（C）参照）。絶縁層 128 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 128 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 128 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 128 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層 128 の単層構造としているが、本発明の一態様はこれに限定されない。2層以上の積層構造としても良い。3層構造とする場合には、例えば、酸化窒化シリコン層と、窒化酸化シリコン層と、酸化シリコン層の積層構造とすることができる。

20

#### 【0079】

なお、電極 126 は、絶縁層 128 を形成した後に、絶縁層 128 に金属化合物領域 124 にまで達する開口を形成し、当該開口を埋め込むように形成することも可能である。

30

#### 【0080】

この場合、例えば、開口を含む領域に PVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域 124）との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

#### 【0081】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160 が形成される（図 3（C）参照）。このようなトランジスタ 160 は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

40

#### 【0082】

その後、トランジスタ 162 および容量素子 164 の形成前の処理として、絶縁層 128 に CMP 処理を施して、ゲート電極 110 および電極 126 の上面を露出させる（図 3（D）参照）。ゲート電極 110 および電極 126 の上面を露出させる処理としては、CMP 処理の他にエッチング処理などを適用することも可能であるが、トランジスタ 162 の特性を向上させるために、絶縁層 128 の表面は可能な限り平坦にしておくことが望ましい。

50

## 【 0 0 8 3 】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造となる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

## 【 0 0 8 4 】

上部のトランジスタの作製方法

次に、上部のトランジスタ 1 6 2 および容量素子 1 6 4 の作製方法について、図 4 および図 5 を参照して説明する。

## 【 0 0 8 5 】

まず、ゲート電極 1 1 0、電極 1 2 6、絶縁層 1 2 8 などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層 1 4 4 を形成する（図 4（A）参照）。なお、酸化物半導体層を形成する前に、ゲート電極 1 1 0、電極 1 2 6、絶縁層 1 2 8 の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとする P V D 法やプラズマ C V D 法などの C V D 法などを用いて形成することができる。

## 【 0 0 8 6 】

酸化物半導体層に用いる材料としては、四元系金属酸化物である  $In - Sn - Ga - Zn - O$  系の材料や、三元系金属酸化物である  $In - Ga - Zn - O$  系の材料、 $In - Sn - Zn - O$  系の材料、 $In - Al - Zn - O$  系の材料、 $Sn - Ga - Zn - O$  系の材料、 $Al - Ga - Zn - O$  系の材料、 $Sn - Al - Zn - O$  系の材料や、二元系金属酸化物である  $In - Zn - O$  系の材料、 $Sn - Zn - O$  系の材料、 $Al - Zn - O$  系の材料、 $Zn - Mg - O$  系の材料、 $Sn - Mg - O$  系の材料、 $In - Mg - O$  系の材料、 $In - Ga - O$  系の材料や、単元系金属酸化物である  $In - O$  系の材料、 $Sn - O$  系の材料、 $Zn - O$  系の材料などを用いることができる。また、上記の材料に  $SiO_2$  を含ませてもよい。ここで、例えば、 $In - Ga - Zn - O$  系の材料とは、インジウム（ $In$ ）、ガリウム（ $Ga$ ）、亜鉛（ $Zn$ ）を有する酸化物、という意味であり、その組成比は特に問わない。また、 $In$  と  $Ga$  と  $Zn$  以外の元素を含んでいてもよい。

## 【 0 0 8 7 】

また、酸化物半導体層は、化学式  $InMO_3 (ZnO)_m (m > 0)$  で表記される材料を用いた薄膜とすることができる。ここで、 $M$  は、 $Ga$ 、 $Al$ 、 $Mn$  および  $Co$  から選ばれた一または複数の金属元素を示す。例えば、 $M$  として、 $Ga$ 、 $Ga$  および  $Al$ 、 $Ga$  および  $Mn$ 、または  $Ga$  および  $Co$  などを用いることができる。

## 【 0 0 8 8 】

酸化物半導体として、 $In - Ga - Zn - O$  系の材料を用いる場合、用いるターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol 数比] のターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol 数比] の組成比のターゲットを用いることもできる。

## 【 0 0 8 9 】

また、酸化物半導体として  $In - Zn - O$  系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ （モル数比に換算すると  $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ ）、好ましくは  $In : Zn = 20 : 1 \sim 1 : 1$ （モル数比に換算すると  $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは  $In : Zn = 15 : 1 \sim 1 : 5$ （モル数比に換算すると  $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$ ）とする。例えば、 $In - Zn - O$  系酸化物半導体の形成に用いるターゲットは、原子数比が  $In : Zn : O = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

## 【 0 0 9 0 】

ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高いターゲットを用いることにより、成膜した酸化物半導体層は緻密

10

20

30

40

50

な膜とすることができるためである。

【0091】

また、酸化物半導体層の厚さは、3 nm以上30 nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると（例えば、膜厚を50 nm以上）、トランジスタがノーマリーオンになってしまうおそれがあるためである。

【0092】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0093】

本実施の形態では、酸化物半導体層を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。

10

【0094】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0095】

例えば、酸化物半導体層は、次のように形成することができる。

【0096】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

20

【0097】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブレーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

30

【0098】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくくなる。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減

40

【0099】

成膜条件の一例として、基板とターゲットの間との距離を60 mm、圧力を0.4 Pa、直流（DC）電源を0.5 kW、基板温度を400、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

【0100】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、

50

基板に電圧を印加し、基板近傍にプラズマを形成して、基板の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0101】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0102】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好ましくは450以上600以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0103】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0104】

ところで、上述の熱処理には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁層の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってもよい。

【0105】

次に、酸化物半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図4（B）参照）。

【0106】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0107】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bへの加工が容易であるというメリットがある。

【0108】



また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、酸化インジウム酸化スズ ( $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛 ( $\text{In}_2\text{O}_3 - \text{ZnO}$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0109】

導電層のエッチングは、形成されるソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 $30^\circ$ 以上 $60^\circ$ 以下であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

10

【0110】

上部のトランジスタのチャンネル長(L)は、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの下端部の間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、10nm以上1000nm(1 $\mu\text{m}$ )以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

20

【0111】

次に、ソース電極またはドレイン電極142a、142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する(図4(C)参照)。

【0112】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコンなどの材料を用いて形成する。また、ゲート絶縁層146は、13族元素および酸素を含む材料を用いて形成することもできる。13族元素および酸素を含む材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウムなどを用いることができる。さらに、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、などを含むように形成してもよい。ゲート絶縁層146は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

【0113】

ゲート絶縁層146は、水素、水などの不純物を混入させない方法を用いて成膜することが好ましい。ゲート絶縁層146に水素、水などの不純物が含まれると、後に形成される酸化物半導体膜に水素、水などの不純物の浸入や、水素、水などの不純物による酸化物半導体膜中の酸素の引き抜き、などによって酸化物半導体膜のバックチャンネルが低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがあるためである。よって、ゲート絶縁層146はできるだけ水素、水などの不純物が含まれないように作製することが好ましい。例えば、スパッタリング法によって成膜するのが好ましい。成膜する際に用いるスパッタガスとしては、水素、水などの不純物が除去された高純度ガスを用いることが好ましい。

40

【0114】

50

なお、酸化物半導体層 144 に用いられる酸化物半導体材料には、13 族元素を含むものが多い。このため、13 族元素および酸素を含む材料を用いて、酸化物半導体層 144 と接するゲート絶縁層 146 を形成する場合には、酸化物半導体層 144 との界面の状態を良好に保つことができる。これは、13 族元素および酸素を含む材料と、酸化物半導体材料との相性が良いことによる。例えば、酸化物半導体層 144 と酸化ガリウムを用いたゲート絶縁層 146 を接して設けることにより、酸化物半導体層 144 とゲート絶縁層 146 との界面における水素のピルアップを低減することができる。また、ゲート絶縁層 146 として、酸化アルミニウムを用いる場合は、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層 144 の水の浸入防止という点においても好ましい。

10

## 【0115】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0$ 、 $y > 0$ 、 $z > 0$ ))、窒素が添加されたハフニウムアルミネート ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0$ 、 $y > 0$ 、 $z > 0$ ))、などの高誘電率 (*high-k*) 材料を用いると良い。*high-k* 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、*high-k* 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

20

## 【0116】

また、ゲート絶縁層 146 は、酸素が化学量論的組成比よりも多く含むことが好ましい。例えば、ゲート絶縁層 146 として酸化ガリウムを用いた場合、組成比は  $\text{Ga}_2\text{O}_3 +$  ( $0 < < 1$ ) と表すことができる。また、酸化アルミニウムを用いた場合は、 $\text{Al}_2\text{O}_3 +$  ( $0 < < 1$ ) と表すことができる。さらに、酸化ガリウムアルミニウムを用いた場合は、 $\text{Ga}_x\text{Al}_{2-x}\text{O}_3 +$  ( $0 < x < 2$ 、 $0 < < 1$ ) と表すことができる。

## 【0117】

なお、酸化物半導体層の成膜後、酸化物半導体層 144 の形成後、またはゲート絶縁層 146 の形成後のいずれかにおいて、酸素ドーブ処理を行ってもよい。酸素ドーブとは、酸素 (少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む) をバルクに添加することを言う。なお、当該「バルク」の用語は、酸素を、薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、「酸素ドーブ」には、プラズマ化した酸素をバルクに添加する「酸素プラズマドーブ」が含まれる。酸素ドーブ処理を行うことにより、酸化物半導体層やゲート絶縁層に含まれる酸素を、化学量論的組成比より多くすることができる。

30

## 【0118】

酸素ドーブ処理は、ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) 方式を用いて、マイクロ波 (例えば、周波数 2.45 GHz) により励起された酸素プラズマを用いて行うことが好ましい。

40

## 【0119】

ここで、上述の式 (1) または式 (3) を満たすために、絶縁層 128 およびゲート絶縁層 146 の膜厚は、下記の値をとることが好ましい。

## 【0120】

例えば、絶縁層 128 として、酸化シリコンまたは酸化窒化シリコンを用い、ゲート絶縁層 146 として酸化シリコンまたは酸化窒化シリコンを用いる場合は、絶縁層 128 の膜厚  $t_b$  300 nm、ゲート絶縁層 146 の膜厚  $t_a$  30 nm とすることが好ましい。なお、酸化シリコンまたは酸化窒化シリコンの誘電率は 4 程度である。

## 【0121】

または、絶縁層 128 として、酸化シリコンまたは酸化窒化シリコン (誘電率は 4 程度

50

)を用い、ゲート絶縁層146に窒化シリコン(誘電率は7程度)を用いる場合は、絶縁層128の膜厚 $t_b$  180nm、ゲート絶縁層146の膜厚 $t_a$  30nmとすることが好ましい。

【0122】

または、絶縁層128として、酸化シリコンまたは酸化窒化シリコン(誘電率は4程度)を用い、ゲート絶縁層146に酸化ハフニウム(誘電率は14程度)を用いる場合は、絶縁層128の膜厚 $t_b$  90nm、ゲート絶縁層146の膜厚 $t_a$  30nmとすることが好ましい。

【0123】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填することができる。

10

【0124】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ね

20

【0125】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その水素原子を含む物質が極力含まれないように高純度化することができる。

【0126】

次に、ゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148aおよび導電層148bを形成する(図4(D)参照)。

【0127】

ゲート電極148aおよび導電層148bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極148aおよび導電層148bは、単層構造としても良いし、積層構造としても良い。

30

【0128】

次に、ゲート絶縁層146、ゲート電極148a、および導電層148b上に、絶縁層150および絶縁層152を形成する(図5(A)参照)。絶縁層150および絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム、酸化ガリウムアルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層150および絶縁層152には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁層150および絶縁層152の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層150および絶縁層152の単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

40

【0129】

次に、ゲート絶縁層146、絶縁層150および絶縁層152に、ソース電極またはドレイン電極142bにまで達する開口153を形成する。その後、絶縁層152上にソース電極またはドレイン電極142bと接する電極154を形成し、絶縁層152上に電極

50

154に接する配線156を形成する(図5(B)参照)。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0130】

電極154は、例えば、開口153を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMP処理といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0131】

より具体的には、例えば、開口153を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口153に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここではソース電極またはドレイン電極142b)との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0132】

なお、上記導電層の一部を除去して電極154を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口153を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口153に埋め込むようにタングステン膜を形成する場合には、その後のCMP処理によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極154を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0133】

配線156は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、またはこれらを複数組み合わせ合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極142a、142bなどと同様である。

【0134】

以上により、トランジスタ162及び容量素子164を作製することができる。本実施の形態に示すトランジスタ162に用いられる酸化物半導体層144は、水素などの不純物が十分に除去されることにより、高純度化されたものであることが望ましい。例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層144は、十分な酸素の供給により酸素欠損が低減されることが好ましい。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅(1 $\mu\text{m}$ )あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21}$ A)以下、望ましくは10zA以下となる。このように、高純度化され、i型化(真性化)または実質的にi型化された酸化物半導体層144を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0135】

以上により、トランジスタ160、トランジスタ162、および容量素子164を含む半導体装置が完成する(図5(B)参照)。

## 【0136】

酸化物半導体層を用いたトランジスタの作製工程は、高温処理を必要とせず、下部のトランジスタなど、他のデバイスや配線に影響を与えずに作製することができる。また、酸化物半導体層を用いたトランジスタの作製工程は、酸化物半導体以外の半導体材料（例えば、シリコン）を用いたトランジスタに比べて作製工程が少ない。

## 【0137】

半導体装置の断面図および平面図

次に、図1とは一部異なる半導体装置の構成について、図6を参照して説明する。図6(A)には半導体装置の断面を、図6(B)には半導体装置の平面を、それぞれ示す。図6(A)において、A1 - A2は、トランジスタのチャンネル長方向に垂直な断面図であり、B1 - B2は、トランジスタのチャンネル長方向に平行な断面図である。図6に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ163を有する。なお、図6において、下部のトランジスタ160の構成および容量素子164は、図1と同様であるため、詳細な説明は省略する。

10

## 【0138】

図6に示すトランジスタ163は、酸化物半導体層144、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、ゲート絶縁層146、ゲート電極148a、を含む点で、図1に示すトランジスタ162と共通している。トランジスタ163とトランジスタ162との相違は、酸化物半導体層144と、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bが接続する位置である。すなわち、トランジスタ163では、酸化物半導体層144の下部において、酸化物半導体層144とソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bとが、接続している。

20

## 【0139】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【0140】

半導体装置の回路構成

次に、図1および図6に示す半導体装置の回路構成およびその動作について、図7を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

30

## 【0141】

基本構成

図7(A-1)に示す半導体装置において、第1の配線(1st Line)とトランジスタ160のソース電極(またはドレイン電極)とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極(またはソース電極)とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極(またはドレイン電極)とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極(またはソース電極)は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。なお、図7(A-1)に示す回路構成は、図1に示す半導体装置に含まれる回路構成に相当する。

40

## 【0142】

ここで、トランジスタ162には、例えば、上述の酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電

50

荷の保持が容易になり、また、保持された情報の読み出しが容易になる。また、酸化物半導体を用いたトランジスタとして、トランジスタ 162 に換えて図 6 に示すトランジスタ 163 を用いることもできる。

【0143】

なお、トランジスタ 160 については特に限定されないが、例えば、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0144】

また、図 7 (B) に示すように、図 7 (A - 1) において容量素子 164 を設けない構成とすることも可能である。

10

【0145】

図 7 (A - 1) に示す半導体装置では、トランジスタ 160 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0146】

はじめに、情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 160 のゲート電極、および容量素子 164 に与えられる。すなわち、トランジスタ 160 のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷  $Q_L$ 、高電位を与える電荷を電荷  $Q_H$  という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位にして、トランジスタ 162 をオフ状態とすることにより、トランジスタ 160 のゲート電極に与えられた電荷が保持される（保持）。

20

【0147】

トランジスタ 162 のオフ電流は極めて小さいから、トランジスタ 160 のゲート電極の電荷は長時間にわたって保持される。

【0148】

しかしながら、図 1 で述べたように、トランジスタ 160 とトランジスタ 162 とが、少なくとも一部が重畳するように設けられている場合、トランジスタ 160 のソース領域またはドレイン領域が、トランジスタ 162 のバックゲート電極として機能してしまうおそれがある。上述の書き込み動作において、第 1 の配線あるいは第 2 の配線に正電位が与えられるような駆動方法が行われる場合には、トランジスタ 162 のしきい値電圧は、負（ノーマリーオン側）にシフトしてしまう。その結果、トランジスタ 162 のリーク電流が増加してしまい、メモリリテンション特性が低くなるおそれが生じる。

30

【0149】

上述の式 (1) または式 (3) を満たすことにより、トランジスタ 160 のソース領域またはドレイン領域は、実質的にバックゲート電極として機能しなくなる。言い換えると、トランジスタ 162 のしきい値変動を十分に抑制することができる。これにより、半導体装置のメモリリテンション特性を向上させることができる。

40

【0150】

次に、情報の読み出しについて説明する。第 1 の配線に所定の電位（定電位）を与えた状態で、第 5 の配線に適切な電位（読み出し電位）を与えると、トランジスタ 160 のゲート電極に保持された電荷量に応じて、第 2 の配線は異なる電位をとる。一般に、トランジスタ 160 を n チャネル型とすると、トランジスタ 160 のゲート電極に  $Q_H$  が与えられている場合の見かけのしきい値  $V_{th\_H}$  は、トランジスタ 160 のゲート電極に  $Q_L$  が与えられている場合の見かけのしきい値  $V_{th\_L}$  より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 160 を「オン状態」とするために必要な第 5

50

の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{t_{h\_H}}$ と $V_{t_{h\_L}}$ の中間の電位 $V_0$ とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0 (> V_{t_{h\_H}})$ となれば、トランジスタ160は「オン状態」となる。 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0 (< V_{t_{h\_L}})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0151】

しかしながら、図1で述べたように、トランジスタ160とトランジスタ162とが、少なくとも一部が重畳するように設けられている場合、トランジスタ160のソース領域またはドレイン領域が、トランジスタ162のバックゲート電極として機能してしまうおそれがある。つまり、上述の読み出し動作において、第1の配線あるいは第2の配線に正電位が与えられると、トランジスタ162のしきい値電圧は、負（ノーマリーオン側）にシフトしてしまう。その結果、トランジスタ162のリーク電流が増加してしまい、リテンション特性が低くなるおそれが生じる。

10

【0152】

上述の式(1)または式(3)を満たすことにより、トランジスタ160のソース領域またはドレイン領域は、実質的にバックゲート電極として機能しなくなる。言い換えると、トランジスタ162のしきい値変動を十分に抑制することができる。これにより、半導体装置のメモリリテンション特性を向上させることができる。

20

【0153】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{t_{h\_H}}$ より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{t_{h\_L}}$ より大きい電位を第5の配線に与えればよい。

【0154】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

30

【0155】

このように、本発明の一態様に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

40

【0156】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸

50

化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0157】

例えば、トランジスタ162の室温(25℃)でのオフ電流が10zA(1zA(zeptoampere)は $1 \times 10^{-21}$ A)以下であり、容量素子164の容量値が10fF程度である場合には、少なくとも10<sup>4</sup>秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

10

【0158】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

【0159】

図7(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図7(A-2)のように考えることが可能である。つまり、図7(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

20

【0160】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ162のゲートリークが十分に小さい条件において、R1およびR2が、 $R1 \ll ROS$ 、 $R2 \ll ROS$ を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

30

【0161】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

40

【0162】

一方で、C1とC2は、 $C1 \ll C2$ の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部FGに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0163】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や

50



厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0164】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

10

【0165】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0166】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

20

【0167】

容量素子164を構成する絶縁層の比誘電率  $r_1$  と、トランジスタ160を構成する絶縁層の比誘電率  $r_2$  とを異ならせる場合には、容量素子164を構成する絶縁層の面積  $S_1$  と、トランジスタ160を構成する絶縁層の面積  $S_2$  とが、 $2 \cdot S_2 \leq S_1$ （望ましくは  $S_2 \leq S_1$ ）を満たしつつ、 $C_1 \leq C_2$  を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、 $C_1 \leq C_2$  を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して  $r_1$  を10以上、好ましくは15以上とし、トランジスタ160を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$  とすることができる。

30

【0168】

このような構成を併せて用いることで、本発明の一態様に係る半導体装置の、より一層の高集積化が可能である。

【0169】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの1に3段階以上の情報を書き込む構成とすることで、2段階の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷  $Q_L$ 、高電位を与える電荷  $Q_H$  に加え、他の電位を与える電荷  $Q$  をトランジスタのゲート電極に与えることで、多値化を実現することができる。この場合、 $F^2$  が十分に小さくならない回路構成を採用しても十分な記憶容量を確保することができる。

40

【0170】

なお、上記説明は、電子をキャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔をキャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0171】

50

以上のように、本実施の形態に係る半導体装置は高集積化に向いているが、本発明の一態様に係る配線の共通化、コンタクト領域の縮小などにより、さらに集積度を高めた半導体装置を提供することが可能である。

【0172】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0173】

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置の応用例について、図8および図9を用いて説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0174】

図8(A)、図8(B)および図8(C)は、図7(A-1)に示す半導体装置(以下、メモリセルとも記載する。)を複数用いて形成される、記憶装置として用いることができる半導体装置の回路図である。図8(A)および図8(B)は、メモリセルが直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図8(C)は、メモリセルが並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0175】

図8(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、m本の第2信号線S2、m本のワード線WL、m個のメモリセルを有する。図8(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0176】

各メモリセル(代表として、メモリセル550(i)を考える。ここで、iは1以上m以下の整数)において、トランジスタ500(i)のゲート電極と、トランジスタ510(i)のドレイン電極(またはソース電極)と、容量素子520(i)の電極の一方とは、電氣的に接続されている。また、第1信号線S1とトランジスタ510(i)のソース電極(またはドレイン電極)とは、電氣的に接続され、第2信号線S2(i)と、トランジスタ510(i)のゲート電極とは、電氣的に接続されている。そして、ワード線WL(i)と、容量素子520(i)の電極の他方は電氣的に接続されている。

【0177】

また、メモリセル550(i)が有するトランジスタ500(i)のソース電極は、隣接するメモリセル550(i-1)が有するトランジスタ500(i-1)のドレイン電極と電氣的に接続され、メモリセル550(i)が有するトランジスタ500(i)のドレイン電極は、隣接するメモリセル550(i+1)が有するトランジスタ500(i+1)のソース電極と電氣的に接続される。ただし、直列に接続されたm個のメモリセルのうち、メモリセル550(1)が有するトランジスタ500(1)のドレイン電極は、ビット線BLと電氣的に接続される。また、直列に接続されたm個のメモリセルのうち、メモリセル550(m)が有するトランジスタ500(m)のソース電極は、ソース線SLと電氣的に接続される。

【0178】

メモリセル550(1)が有するトランジスタ500(1)は、選択トランジスタを介してビット線BLと電氣的に接続されていてもよい(図示せず)。この場合、選択トランジスタのゲート電極には、選択線G(1)が接続される。また、メモリセル550(m)が有するトランジスタ500(m)も、選択トランジスタを介してソース線SLと電氣的に接続されていてもよい(図示せず)。この場合、選択トランジスタのゲート電極には、選択線G(2)が接続される。

【0179】

図8(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。

書き込み動作は次のように行われる。書き込みを行う行（例えば、第  $i$  行のメモリセル  $550(i, 1) \sim (i, n)$ ）の第 2 の信号線  $S2(i)$  にトランジスタ  $510(i)$  がオン状態となる電位を与え、書き込みを行う行のトランジスタ  $510(i)$  をオン状態にする。これにより、指定した行のトランジスタ  $500(i)$  のゲート電極に第 2 の信号線  $S2(i)$  の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

#### 【0180】

また、読み出し動作は次のように行われる。まず、選択線  $G(1)$ 、選択線  $G(2)$  に電位を与えることにより、選択トランジスタをオンにする。また、読み出しを行う行（例えば、第  $i$  行）以外のワード線  $WL$  に、トランジスタ  $500(i)$  のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ  $500$  がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ  $500$  をオン状態とする。それから、読み出しを行う行のワード線  $WL(i)$  に、トランジスタ  $500(i)$  のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ  $500(i)$  のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線  $SL$  に定電位を与え、ビット線  $BL$  に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線  $SL$  - ビット線  $BL$  間の複数のトランジスタ  $500(1) \sim 500(m)$  のうち、読み出しを行う行のトランジスタ  $500(i)$  を除いてオン状態となっているため、ソース線  $SL$  - ビット線  $BL$  間のコンダクタンスの大小は、読み出しを行う行のトランジスタ  $500(i)$  の状態（オン状態またはオフ状態）によって決定される。読み出しを行う行のトランジスタ  $500(i)$  のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタの状態（オン状態またはオフ状態）は異なるから、それに応じて、ビット線  $BL$  の電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

#### 【0181】

図 8 (B) に示す半導体装置は、図 8 (A) と一部構成が異なる半導体装置である。

#### 【0182】

図 8 (B) に示す半導体装置と図 8 (A) に示す半導体装置との相違点の一として、図 8 (B) に示す半導体装置では、ビット線  $BL$  と、メモリセル  $550(1)$  が有するトランジスタ  $500(1)$  のドレイン電極とが、選択トランジスタ  $530$  を介して電氣的に接続されている点が挙げられる。選択トランジスタ  $530$  はゲート電極において、選択トランジスタ  $530$  のオンオフを切り替えるための選択線  $G(1)$  と電氣的に接続されている。また、ソース線  $SL$  とメモリセル  $550(m)$  が有するトランジスタ  $500(m)$  のドレイン電極とが、ゲート電極に選択線  $G(2)$  が電氣的に接続された選択トランジスタを介して電氣的に接続される構成としても良い。

#### 【0183】

また、図 8 (B) に示す半導体装置と図 8 (A) に示す半導体装置との相違点の一として、図 8 (A) に示す半導体装置においては、各メモリセルのトランジスタ  $510$  はソース電極（またはドレイン電極）が第 1 信号線  $S1$  に接続されているのに対して、図 8 (B) に示す半導体装置においては、各メモリセルのトランジスタ  $510$  は直列に接続されている点が挙げられる。つまり、メモリセル  $550(i)$  が有するトランジスタ  $510(i)$  のソース電極は、隣接するメモリセル  $550(i-1)$  が有するトランジスタ  $510(i-1)$  のドレイン電極と電氣的に接続され、メモリセル  $550(i)$  が有するトランジスタ  $510(i)$  のドレイン電極は、隣接するメモリセル  $550(i+1)$  が有するトランジスタ  $510(i+1)$  のソース電極と電氣的に接続される。ただし、直列に接続された  $m$  個のメモリセルのうち、メモリセル  $550(1)$  が有するトランジスタ  $510(1)$  のソース電極は、第 1 信号線  $S1$  と電氣的に接続される。また、直列に接続された各メモリセルにおいて、トランジスタ  $510(i)$  のドレイン電極（またはソース電極）は、図 8 (A) に示す半導体装置と同様に、トランジスタ  $500(i)$  のゲート電極と、容量素

子520(i)の電極の一方と電氣的に接続される。

【0184】

図8(B)に示す半導体装置の他の部分の構成については、図8(A)に示す半導体装置と同様なので、詳細については上述の記載を参照することができる。

【0185】

なお、図8(B)に示す半導体装置において、第1信号線S1とビット線BLは別々に設けられているが、開示する発明はこれに限られるものではなく、第1信号線S1とビット線BLを同一の配線とする構成としても良い。

【0186】

図8(B)に示す半導体装置でも、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。

【0187】

書き込み動作は、行ごとに第m行から順番に行われる。第i行( $i = 1 \sim m$ )の書き込みを行う場合には、書き込みを行う行(第i行)の第2信号線S2(i)にトランジスタ510(i)がオン状態となる電位を与え、書き込みを行う行のトランジスタ510(i)をオン状態にする。ここで、トランジスタ510(i)と第1信号線S1との間にトランジスタ510(1)乃至トランジスタ510(i-1)が存在する場合には、書き込みを行う行までのトランジスタ510(1)乃至510(i-1)もオン状態として、書き込みを行う行のメモリセル550(i)に第1信号線S1の電位が与えられるようにする。これにより、指定した行のトランジスタ500(i)のゲート電極に第1信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。それから、第2信号線S2(i)の電位をGNDに固定すると、トランジスタ500(i)のゲート電極に蓄積された電荷が保持される。このようにして、指定した行(第i行)のメモリセルにデータを書き込むことができる。

【0188】

なお、図8(B)に示す半導体装置では、各メモリセル550を構成するトランジスタ510を直列に接続するため、任意の行のデータのみを書き換えることは困難である。そのため、駆動方法として、複数行の一括消去動作を設けることが好ましい。例えば、第1行から第m行までをブロックとして、ブロック毎の消去を行うことが好ましい。所定のブロックのデータを書き換える場合には、まず当該ブロックのデータを消去して、第m行から順番にデータを書き込むとよい。なお、直前に書き込んだ行のデータを書き換える場合には、消去動作は不要である。

【0189】

また、読み出し動作は次のように行われる。まず、選択線G(1)に電位を与えることにより、選択トランジスタをオンにする。なお、選択線G(1)に接続される選択トランジスタと、選択線G(2)に接続される選択トランジスタがある場合には、2つのトランジスタをオン状態とする。また、読み出しを行う行(例えば、第i行)以外のワード線WLに、トランジスタ500(i)のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ500がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ500をオン状態とする。それから、読み出しを行う行のワード線WL(i)に、トランジスタ500(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ500(i)のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。また、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ500(1)~500(m)のうち、読み出しを行う行のトランジスタ500(i)を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスの大小は、読み出しを行う行のトランジスタ500(i)の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ500(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタの状態(オン状態またはオフ状態)は異なるから、それに応じて、ビット線BLの電位は

10

20

30

40

50

異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0190】

図8(C)に示す半導体装置は、ソース線SL、ビット線BLおよび第1信号線S1をそれぞれn本有し、第2信号線S2およびワード線WLをそれぞれm数本有し、複数のメモリセル550(1,1)~550(m,n)を有する。

【0191】

各メモリセル(代表として、メモリセル550(i,j)を考える。ここで、iは1以上m以下の整数、jは1以上n以下の整数)は、トランジスタ500(i,j)のゲート電極と、トランジスタ510(i,j)のドレイン電極(またはソース電極)と、容量素子520(i,j)の電極の一方とは、電氣的に接続されている。また、ソース線SL(j)とトランジスタ500(i,j)のソース電極とは、電氣的に接続され、ビット線BL(j)とトランジスタ500(i,j)のドレイン電極とは、電氣的に接続されている。また、第1信号線S1(j)とトランジスタ510(i,j)のソース電極(またはドレイン電極)とは、電氣的に接続され、第2信号線S2(i)と、トランジスタ510(i,j)のゲート電極とは、電氣的に接続されている。そして、ワード線WL(i)と、容量素子520(i,j)の電極の他方は電氣的に接続されている。

【0192】

図8(C)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図8(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行(例えば、第i行)以外のワード線WLに、トランジスタ500(i,1)~(i,n)のゲート電極に与えられた電荷がどのデータに対応するかによらず、読み出しを行う行以外のトランジスタ500がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ500をオフ状態とする。それから、読み出しを行う行のワード線WL(i)に、トランジスタ500(i,1)~(i,n)のゲート電極が有する電荷がどのデータに対応するかによってトランジスタ500(i,1)~(i,n)のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。また、ソース線SL(j)に定電位を与え、ビット線BL(j)に接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL(j)-ビット線BL(j)間のコンダクタンスの大小は、読み出しを行う行のトランジスタ500(i,1)~(i,n)の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ500(i,1)~(i,n)のゲート電極が有する電荷がどのデータに対応するかによって、ビット線BL(j)の電位は異なる値をとることになる。ビット線BL(j)の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0193】

なお、上記においては、各メモリセル550に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。書き込み時に各トランジスタ500のゲート電極に与える電位を3種類以上用意して、各メモリセル550が保持する情報量を増加させても良い。例えば、書き込み時に各トランジスタ500のゲート電極にあたる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

【0194】

図8において、第1信号線S1とビット線BLは、兼用してもよい。第1信号線S1とビット線BLを兼用することにより、配線数を低減することができる。また、図8(C)において、ソース線SLは共通化してもよい。

【0195】

次に、図8に示す半導体装置などに用いることができる読み出し回路の一例について図9を用いて説明する。

【0196】

10

20

30

40

50

図9(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0197】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線BLに接続される。また、トランジスタのゲート電極にはバイアス電位 $V_{bias}$ が印加され、トランジスタに流れる電流が制御される。

【0198】

読み出し回路の端子Aに接続される負荷は、ソース線SL - ビット線BL間のコンダクタンスの大小によって決まる。ソース線SL - ビット線BL間のコンダクタンスの大小は、読み出しを行うメモリセルが有するトランジスタ500の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行うメモリセルが有するトランジスタ500のゲート電極が有する電荷がどのデータに対応するかによって、ソース線SL - ビット線BL間のコンダクタンスの大小が異なる値をとることになる。

【0199】

読み出しを行うメモリセルが有するトランジスタ500がオン状態の場合には、ソース線SL - ビット線BL間のコンダクタンスは大きくなり、端子Aの電位は参照電位 $V_{ref}$ より低くなる。その結果、センスアンプ回路はLowの信号を出力する。読み出しを行うメモリセルが有するトランジスタ500がオフ状態の場合には、ソース線SL - ビット線BL間のコンダクタンスは小さくなり、端子Aの電位は参照電位 $V_{ref}$ より高くなる。その結果、センスアンプ回路はHighの信号を出力する。

【0200】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。例えば、参照電位 $V_{ref}$ の代わりに参照用のビット線BLが接続される構成としても良い。また、あらかじめビット線BLをプリチャージしておいて、プリチャージした電荷が放電されるかどうかによって決まる端子Aの電位を読み出ししても良い。プリチャージした電荷が放電されるかどうかは、ソース線SL - ビット線BL間のコンダクタンスの大小によって決まる。この場合、図9(A)に示したトランジスタのような電流源を有さなくてもよい。また、プリチャージ回路を有しても良い。

【0201】

図9(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 $V_{out}$ を有し、 $V_{in}(+)$ と $V_{in}(-)$ の差を増幅する。 $V_{in}(+) > V_{in}(-)$ であれば $V_{out}$ は、概ねHigh出力、 $V_{in}(+) < V_{in}(-)$ であれば $V_{out}$ は、概ねLow出力となる。当該差動型センスアンプを読み出し回路に用いる場合、 $V_{in}(+)$ と $V_{in}(-)$ の一方は入力端子Aと接続し、 $V_{in}(+)$ と $V_{in}(-)$ の他方には参照電位 $V_{ref}$ を与える。

【0202】

図9(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、ノードQ1及びノードQ2と、制御用信号Sp、Snの入力端子を有する。まず、信号SpをHigh、信号SnをLowとして、電源電位( $V_{dd}$ )を遮断する。そして、比較を行う電位 $V_{1in}$ と $V_{2in}$ を、ノードQ1とノードQ2にそれぞれ与える。その後、ノードQ1とノードQ2を浮遊状態とする。さらに信号SpをLow、信号SnをHighとして電源を供給する。その結果、 $V_{1in} > V_{2in}$ の関係であれば、ノードQ1はHigh、ノードQ2はLowとなり、 $V_{1in} < V_{2in}$ の関係であれば、ノードQ1はLow、ノードQ2はHighとなる。そして、ノードQ1もしくはノードQ2と出力端子とを導通させることで、信号が出力される。当該ラッチ型センスアンプを読み出し回路に用いる場合、例えば、ノードQ1と端子Aとをスイッチを介して接続し、ノードQ2と参照電位 $V_{ref}$ とをスイッチを介して接続する。そして、ノードQ1と出力端子とをスイッチを介して接続すればよい。

## 【 0 2 0 3 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

## 【 0 2 0 4 】

(実施の形態3)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図10を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

10

## 【 0 2 0 5 】

図10(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

## 【 0 2 0 6 】

図10(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

20

## 【 0 2 0 7 】

図10(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

30

## 【 0 2 0 8 】

図10(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図10(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

40

## 【 0 2 0 9 】

図10(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

50

## 【 0 2 1 0 】

図 1 0 ( F ) は、テレビジョン装置 7 7 0 であり、筐体 7 7 1、表示部 7 7 3、スタンド 7 7 5 など構成されている。テレビジョン装置 7 7 0 の操作は、筐体 7 7 1 が備えるスイッチや、リモコン操作機 7 8 0 により行うことができる。筐体 7 7 1 およびリモコン操作機 7 8 0 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

## 【 0 2 1 1 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

10

## 【 符号の説明 】

## 【 0 2 1 2 】

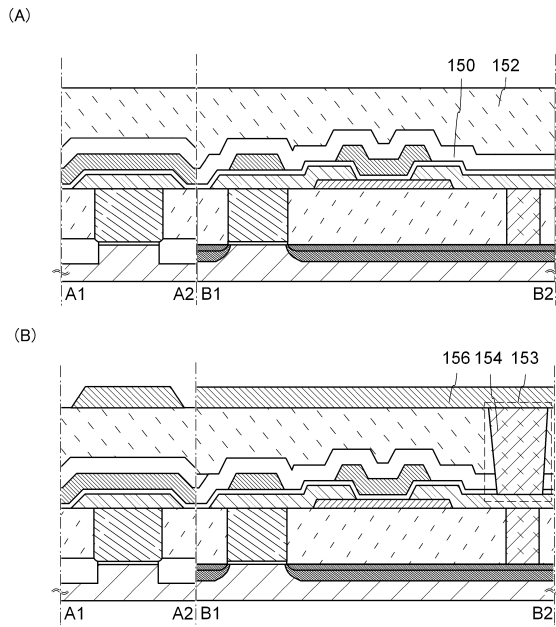
1 0 0	基板	
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	
1 1 6	チャンネル形成領域	
1 2 0	不純物領域	20
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 6	電極	
1 2 8	絶縁層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極	
1 4 8 a	ゲート電極	30
1 4 8 b	導電層	
1 5 0	絶縁層	
1 5 2	絶縁層	
1 5 3	開口	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 3	トランジスタ	
1 6 4	容量素子	40
5 0 0	トランジスタ	
5 1 0	トランジスタ	
5 2 0	容量素子	
5 3 0	トランジスタ	
5 5 0	メモリセル	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	50



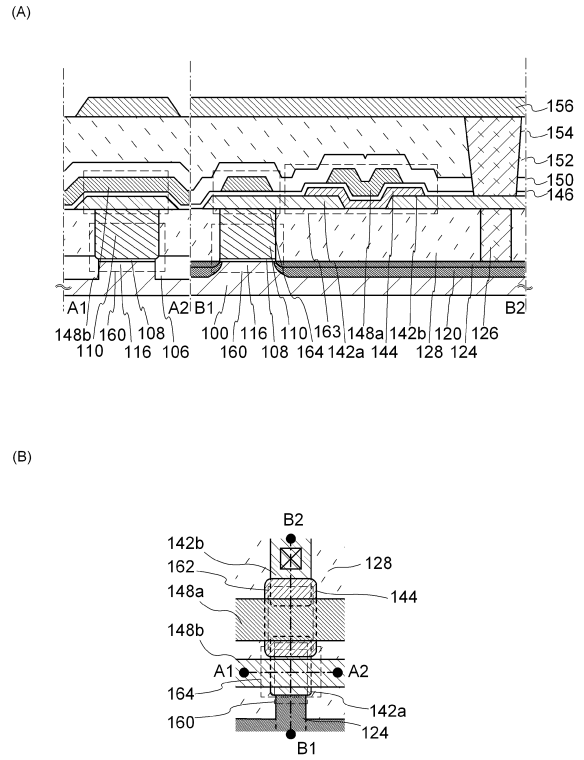
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	10
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	20
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	30
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	



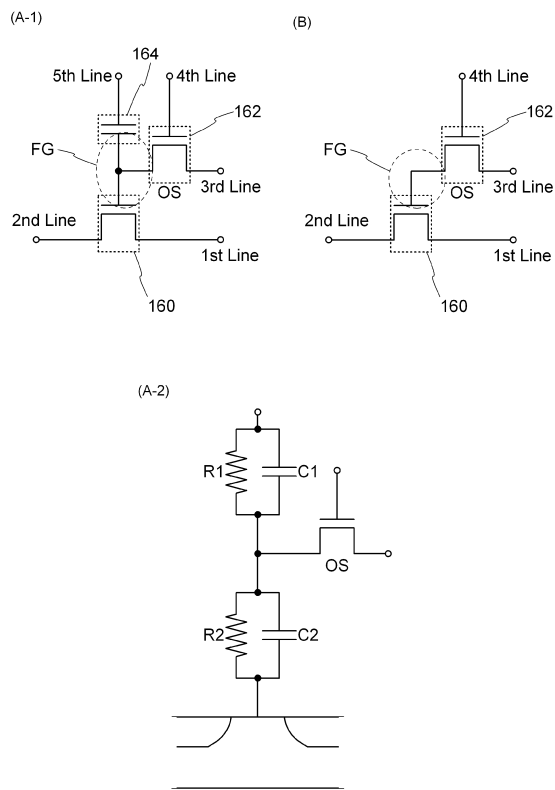
【 図 5 】



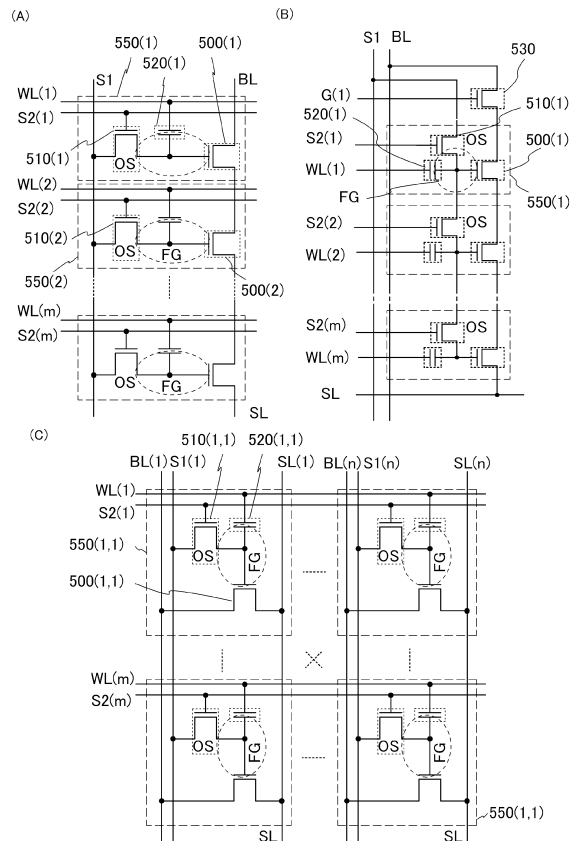
【 図 6 】



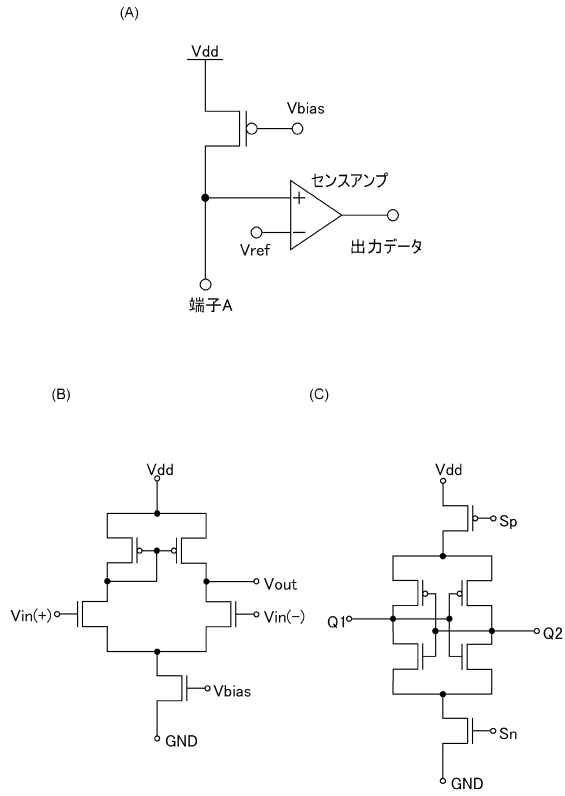
【 図 7 】



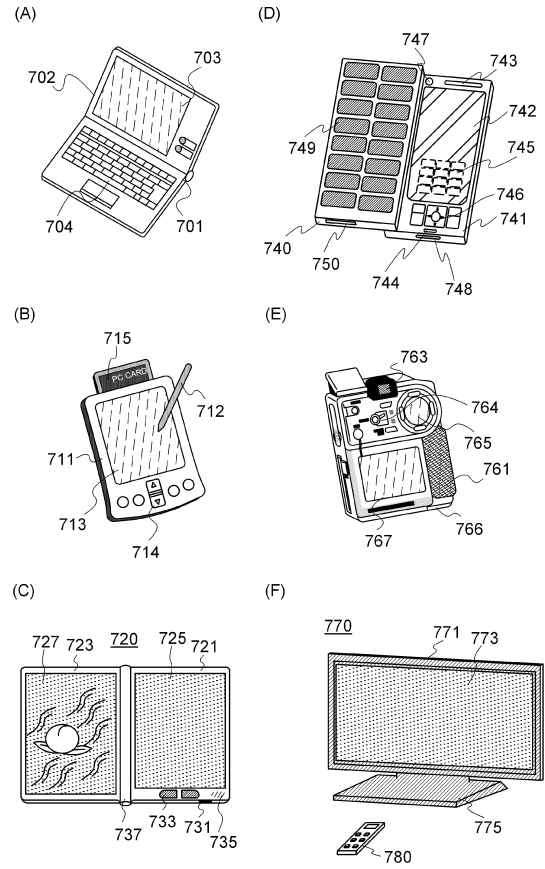
【 図 8 】



【図9】



【図10】



## フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/04	C
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/06	1 0 2 A
H 0 1 L	29/786	(2006.01)	H 0 1 L	27/08	1 0 2 H
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/08	1 0 2 E
H 0 1 L	27/04	(2006.01)	H 0 1 L	27/08	3 3 1 E
H 0 1 L	21/8234	(2006.01)	H 0 1 L	29/78	6 1 7 T
H 0 1 L	27/06	(2006.01)	H 0 1 L	27/08	1 0 2 C
H 0 1 L	27/088	(2006.01)	H 0 1 L	29/78	6 1 3 Z
H 0 1 L	27/08	(2006.01)	H 0 1 L	29/78	6 1 9 A

- (56)参考文献 特開2008-276211(JP,A)  
 国際公開第2009/016951(WO,A1)  
 特開2010-074137(JP,A)  
 特開2010-141230(JP,A)  
 米国特許出願公開第2010/0073268(US,A1)  
 国際公開第2008/126883(WO,A1)  
 米国特許出願公開第2010/0171199(US,A1)  
 米国特許出願公開第2010/0148171(US,A1)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 2  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 8 2 2  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 8 2 4 7  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 1 0  
 H 0 1 L 2 7 / 1 0 8  
 H 0 1 L 2 7 / 1 1 5  
 H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 9 / 7 8 8  
 H 0 1 L 2 9 / 7 9 2