

특허청구의 범위

청구항 1

적어도 제1 및 제2 반도체 메모리 장치를 포함하는 복수의 장치를 갖는 직렬로 결합된 구성으로 구성된 장치에 대해 장치 식별자(ID)를 확립하는 방법으로서,

상기 제1 반도체 메모리 장치에서,

제1 ID 값을 포함하는 입력 신호를 수신하는 단계,

상기 제1 ID 값에 기초하여 장치 ID를 생성하는 단계,

생성된 상기 장치 ID에 대응하는 제2 ID 값을 포함하는 출력 신호를 공급하는 단계, 및

제1 ID 저장 신호에 응답하여 상기 제1 반도체 메모리 장치에 대한 할당된 ID로서 상기 제1 ID 값을 저장하는 단계를 포함하고; 또한,

상기 제2 반도체 메모리 장치에서,

상기 제1 반도체 메모리 장치로부터 공급된 상기 제2 ID 값을 포함하는 상기 출력 신호로부터 도출된 입력 신호를 수신하는 단계,

상기 제2 ID 값에 기초하여 장치 ID를 생성하는 단계,

생성된 상기 장치 ID에 대응하는 제3 ID 값을 포함하는 출력 신호를 공급하는 단계, 및

제2 ID 저장 신호에 응답하여 상기 제2 반도체 메모리 장치에 대한 할당된 ID로서 상기 제2 ID 값을 저장하는 단계

를 포함하는, 장치 식별자 확립 방법.

청구항 2

청구항 1에 있어서, 상기 제2 반도체 메모리 장치는, 상기 제2 반도체 메모리 장치에서 수신된 클락 신호의 상승 및 하강 에지 모두에 기초하여 상기 제2 ID 값을 래치하는, 장치 식별자 확립 방법.

청구항 3

적어도 제1 및 제2 장치를 포함하는 복수의 장치를 갖는 직렬로 결합된 구성으로 구성된 장치에 대해 장치 식별자(ID)를 확립하는 방법으로서,

상기 제1 장치에서,

제1 ID 값을 포함하는 입력 신호를 수신하는 단계,

상기 제1 ID 값에 기초하여 장치 ID를 생성하는 단계,

생성된 상기 장치 ID에 대응하는 제2 ID 값을 포함하는 출력 신호를 공급하는 단계,

상기 제1 장치에 대한 할당된 ID로서 상기 제2 ID 값을 저장하는 단계를 포함하고; 또한,

상기 제2 장치에서,

상기 제1 장치로부터 공급된 상기 제2 ID 값을 포함하는 상기 출력 신호로부터 도출된 입력 신호를 수신하는 단계,

상기 제2 ID 값에 기초하여 장치 ID를 생성하는 단계,

생성된 상기 장치 ID에 대응하는 제3 ID 값을 포함하는 출력 신호를 공급하는 단계, 및

상기 제2 장치에 대한 할당된 ID로서 상기 제3 ID 값을 저장하는 단계

를 포함하는, 장치 식별자 확립 방법.

청구항 4

청구항 3에 있어서, 상기 제2 장치는, 상기 제2 장치에서 수신된 클락 신호의 상승 및 하강 에지 모두에 기초하여 상기 제3 ID 값을 래치하는, 장치 식별자 확립 방법.

청구항 5

청구항 1 내지 4 중 어느 한 항에 있어서, 직렬로 결합된 상기 구성의 상기 복수의 장치는 직렬 접속 링크와 결합되는, 장치 식별자 확립 방법.

청구항 6

청구항 5에 있어서, 상기 제1 ID 값은 M비트 신호로 표현되고, 상기 제2 ID 값은 N비트 신호로 표현되며, M 및 N 각각은 정수인, 장치 식별자 확립 방법.

청구항 7

청구항 6에 있어서, 장치 ID를 생성하는 상기 단계는, 소정 값 및 상기 M비트 값의 계산을 포함하는, 장치 식별자 확립 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체 장치 시스템에 관한 것이다. 더 구체적으로, 본 발명은 장치의 직렬 상호접속 구성을 위해 클락 신호와 동기하여 장치 식별자를 확립하는 기기 및 방법에 관한 것이다.

배경기술

[0002] 요즈음 컴퓨터 기반의 시스템이 도처에서 발견될 수 있고, 휴대폰, 핸드헬드 컴퓨터, 자동차, 의료 장치, 개인용 컴퓨터 등 매일 사용되는 많은 장치로 확대되었다. 일반적으로, 수표장 계산과 같은 간단한 업무로부터 날씨를 예측하는 등의 비교적 복잡한 업무까지 일상 업무를 다루기 위해 사회는 컴퓨터 기반 시스템에 많이 의존한다. 기술이 발전하면서, 더 많은 업무들이 컴퓨터기반 시스템으로 이동한다. 이것은, 결국 사회로 하여금 이들 시스템에 보다 많이 의존하게 한다

[0003] 일반적인 컴퓨터 기반 시스템은 시스템 보드 및 디스플레이 유닛 및 디스크 유닛 등의 하나 이상의 주변 장치를 선택적으로 포함한다. 시스템 보드는 하나 이상의 프로세서, 메모리 서브시스템, 및 직렬 장치 인터페이스, 네트워크 장치 제어기 및 하드 디스크 제어기 등의 다른 회로를 종종 포함한다.

[0004] 특정 시스템 보드에 사용되는 프로세서의 유형은 시스템에 의해 실행되는 업무의 유형에 통상적으로 의존한다. 예를 들면, 자동차 엔진에 의해 발생된 방사를 감시하고, 엔진이 연료를 완전히 연소하고 있는 것을 확실히 하기 위해 에어/연료 혼합물을 조정하는 등의 제한된 세트의 업무를 행하는 시스템은 이들 업무를 행하도록 설계된 간단한 전용 프로세서를 사용할 수 있다. 한편, 많은 사용자를 관리하고, 많은 다른 애플리케이션을 구동하는 등의 많은 다른 업무를 행하는 시스템은, 성질상 범용 목적이고, 고속 연산을 행하고, 사용자의 요구에 서비스하는 응답 시간을 최소화하기 위해 데이터를 조작하도록 구성된 하나 이상의 복잡한 프로세서를 사용할 수 있다.

[0005] 메모리 서브시스템은 프로세서에 의해 사용되는 정보(예를 들면, 지시, 데이터 값)를 보유하는 저장 매체이다. 메모리 서브시스템은 제어기 회로와 하나 이상의 메모리 장치를 일반적으로 포함한다. 제어기 회로는 프로세서와 메모리 장치를 인터페이스하고, 프로세서로 하여금 메모리 장치와 정보의 저장 및 검색을 가능하게 하도록 일반적으로 구성된다. 메모리 장치는 실제 정보를 보유한다.

[0006] 프로세서와 같이, 메모리 서브시스템에서 사용되는 장치의 유형은 컴퓨터 시스템에 의해 행해지는 업무의 유형에 의해 종종 구동된다. 예를 들면, 컴퓨터 시스템은 디스크 드라이브의 도움없이 부트해야하는 업무를 가질 수 있고, 자주 변경되지 않는 소프트웨어 루틴의 세트를 실행할 수 있다. 여기서, 메모리 서브시스템은 소프트웨어 루틴을 저장하기 위해, 플래시 메모리 장치 등의 비휘발성 장치를 사용할 수 있다. 다른 컴퓨터 시스템은 정보

의 많은 부분을 보유하기 위해 대량의 고속 데이터 저장을 요구하는 매우 복잡한 업무를 행할 수 있다. 여기서, 메모리 서브시스템은 정보를 저장하기 위해 고속 고밀도 DRAM(Dynamic Random Access Memory) 장치를 사용할 수 있다.

[0007] 플래시 메모리 장치들은 비휘발성 저장매체를 요구하는 각종 내장된 애플리케이션에 적합하기 때문에 이들 장치에 대한 요구가 계속해서 현저하게 증가되어 왔다. 예를 들면, 플래시는 디지털 카메라, 휴대폰, USB 플래시 장치 및 휴대용 음악 재생기 등의 각종 소비자 장치에서, 이들 장치에 의해 사용되는 데이터를 저장하기 위해 널리 사용된다. 플래시 메모리에 대한 시장 요구는 과거 수년동안 속도와 밀도의 관점에서 플래시 메모리 기술에 엄청난 개선을 가져왔다. 이러한 개선으로 인해, 대량 저장을 위해 디스크 드라이브를 계속 사용하는 애플리케이션에서 언젠가 플래시 메모리 기반 장치가 하드 디스크 드라이브를 대체할 수 있을 것으로 예측된다.

[0008] 몇몇 플래시 장치는, 장치에 포함된 메모리에서 읽기, 쓰기 및 소거 동작 등의 동작을 행하기 위해 사용되는 예를 들면, 다중 플래시 장치 등의 직렬 인터페이스를 사용한다. 이들 동작들은, 장치에 직렬로 공급되는 커맨드 스트링을 사용하는 장치에서 일반적으로 선택된다. 커맨드 스트링은 다른 파라미터 뿐 아니라, 선택되는 동작을 나타내는 커맨드를 일반적으로 포함한다. 예를 들면, 쓰기 동작은, 쓰기 커맨드, 쓰여질 데이터, 및 데이터가 쓰여질 메모리의 어드레스를 포함하는 장치에 정보 스트링을 직렬로 공급함으로써 선택될 수 있다.

[0009] 커맨드는 장치중 하나에서만 실행될 수 있지만, 커맨드 스트링은 모든 장치에 공급될 수 있다. 커맨드가 실행될 장치를 선택하기 위해, 커맨드 스트링은 커맨드가 가리키는 플래시 장치를 식별하는 장치 식별자(ID)를 포함할 수 있다. 커맨드 스트링을 수신하는 각 장치는 커맨드 스트링에 포함된 장치 ID와 장치와 연관된 ID를 비교한다. 2개가 정합하면, 장치는 커맨드가 장치를 가리키고 있다고 가정하여 커맨드를 실행한다.

[0010] 상기 서술된 구성에 관한 문제는 각 장치에 대해 장치 ID를 확립하는 것과 관련된다. 장치에 대해 장치 ID를 확립하기 위해 사용될 수 있는 기술은 내부 유일한 장치 ID를 장치와 하드배선(hardwire)하는 것이다. 그러나, 이 방식에서의 단점은, 큰 볼륨의 장치가 생산되면, 각 장치가 유일한 장치 ID를 포함하는 것을 확실하기 위해 장치 ID의 크기가 상당히 커야 한다는 것이다. 크기가 큰 장치 ID를 관리하는 것은 장치에 현저한 복잡성을 추가하여, 결국 장치의 생산 비용의 증가를 가져온다. 또한, 더 이상 사용되지 않는 장치와 연관된 장치 ID를 회수하는 것은 이 방식에 복잡성을 더 추가시킬 수 있다.

[0011] 장치에 장치 ID를 할당하는 다른 연구는 각 장치에 대해 장치 ID를 외부적으로 하드배선하는 것과 관련된다. 여기서, 장치 ID는 장치에 대해 장치 ID를 확립하기 위해 특정 상태로 장치의 각종 핀을 배선함으로써 지정될 수 있다. 장치는 핀의 배선된 상태를 읽고, 판독된 상태로부터 그 ID를 확립한다. 그러나, 이 연구의 단점은 각 장치에 대해 장치 ID를 할당하기 위해 외부 배선이 필요하다는 것이다. 이것은, 예를 들면, 메모리 장치를 보유하는 인쇄 회로 기판(PCB)의 복잡도를 추가할 수 있다. 이 연구의 다른 단점은 장치 ID의 할당을 위해 전용 핀을 필요로 할 수 있다는 것이다. 이것은 다른 방식으로 더 잘 사용될 수 있는 소중한 자원을 소비할 수 있다. 또한, 장치 ID의 할당을 위한 전용핀은, 장치 ID를 할당하기 위해 핀이 사용되지 않은 경우보다 장치에 대해 더 큰 공간(footprint)를 요구할 수 있다.

[0012] 종래 기술의 상기 언급된 한계를 설명하기 위해 제안된 해결책중 하나는, 예를 들면, 직렬 상호접속 구조에서, 장치 ID의 특별한 내부 또는 외부 하드배선을 요구하지 않는 방식으로, 장치에 대해 장치 식별자(ID)를 자동으로 확립하는 것이다. 이러한 기술은 2006. 9. 15에 출원된, 관련된 미국 특허 출원 번호 11/521,734에 개시되어 있고, 그 개시는 그 전체가 참고로 여기에 통합되어 있다. 요약하면, 이 기술은 IPE(Input Port Enable) 신호의 역할이, 단일칩, 멀티드롭 또는 직렬 상호접속의 장치 구성에 기초하여 변할 수 있게 한다. 직렬 입력(SI) 및 직렬 출력(SO) 기능은 관련된 동작 동안 시간 제한없이 모든 데이터 유형을 송수신할 수 있다. 이것은 또한 추가적인 핀 또는 주요 핀 정의로부터의 핀 기능 변화를 필요로 하지 않는다. 이 ID 발생 및 할당 기술은 이용가능한 핀의 수에 의존하며, 링크 포트의 수에 의해 결정된다. 그러므로, 예를 들면, MISL(multi-independent serial link)에서, 단일 포트에 대해, 지원되는 장치의 최대 수는 8 장치이다. 듀얼 포트의 경우에, 장치의 최대수는 64(즉, 하나의 포트에 대해 3핀)이다.

발명의 내용

해결하려는 과제

[0013] 장치의 직렬 상호접속 구성에 대해 장치 식별자를 확립하는 기기 및 방법이 개시되어 있다. 장치는 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 및 플래시 메모리 등의 메모리장치

가 가능하다. 이러한 직렬 상호접속이 MISL(multi-independent serial link)에서 구현될 수 있다.

과제의 해결 수단

- [0014] 이 기술의 구성은 이 목적을 위해 장치에 추가의 하드 핀을 요구하지 않고 식별자가 장치에 할당되는 것을 가능하게 한다. 기능 및 타이밍 정의를 사용하여, 각 장치의 식별자가 가산기 등의 관련된 컴비네이션 논리를 포함하는 장치에 의해 자동으로 생산될 수 있다.
- [0015] 제1 구성에서, 본 발명은 복수의 장치를 갖는 직렬 상호접속 구성으로 구성된 장치에 대해 장치 식별자(ID)를 확립하는 기기를 제공한다. 이 장치는 장치의 직렬 입력에서 수신된 입력 신호에 응답하여 장치 ID를 생성하고, 생성된 장치 ID와 연관된 출력 신호를 클락과 동기하여 장치의 직렬 출력을 통해 출력하는 ID 생성자를 포함한다.
- [0016] 일 예에서, 장치에서 수신된 입력 신호는 장치의 장치 ID와 연관된 값을 포함하고, 출력 신호와 연관된 생성된 장치 ID는 직렬 상호접속 구성의 다른 장치의 장치 ID와 연관된 값을 포함한다.
- [0017] 다른 예에서, 장치에서 수신된 입력 신호는 직렬 상호 접속 구성에서 이전 장치의 장치 ID와 연관된 값을 포함하고, 출력 신호와 연관된 생성된 장치 ID는 직렬 상호 접속 구성의 장치의 장치 ID와 연관된 값을 포함한다.
- [0018] 또 다른 실시예에서, ID 생성기는 N비트 ID를 만들고, 그 N비트 ID에 기초하여 계산된 값과 소정수를 생성하는 ID 계산기($N \geq 1$ 이상의 정수), 및 상기 계산된 값에 따라서 장치 ID를 공급하는 ID 공급기를 포함한다.
- [0019] 예를 들면, ID 계산기는 N비트 ID에 1을 가산하는 계산을 행하고, 그 가산 결과가 N비트 ID로서 공급된다. 또는, 그 계산은 N비트 ID에서 1을 감산하여 행해질 수 있고, 그 감산 결과는 N비트 ID로서 공급된다.
- [0020] 또한, 이 기술은 직렬 상호접속 구성에서 복수의 장치중 하나에 결합된 장치에 대해 장치 식별자(ID)를 생성하는 장치를 제공한다. 이 장치는 데이터를 저장하는 적어도 하나의 셀, 직렬 입력 데이터를 수신하는 직렬 입력 접속과 직렬 출력 데이터를 공급하는 직렬 출력 접속을 구비할 수 있다. 이 장치는, 직렬 입력 데이터에 포함된 직렬 N비트 ID 데이터를 등록하고, 등록된 N비트 ID 데이터를 병렬 N비트 ID 데이터로서 공급하는($N \geq 1$ 이상의 정수) 입력 등록 회로; N비트 계산 데이터를 공급하기 위해 병렬 N비트 ID 데이터와 주어진 수 데이터에 기초하여 계산을 행하는 계산 회로; N비트 계산 데이터를 병렬 N비트 계산된 데이터로서 등록하고, 등록된 병렬 N비트 계산된 데이터를 직렬 N비트 데이터로서 공급하고, 직렬 N비트 데이터는 다른 장치에 결합된 다른 발생 장치에 포함된 입력 등록 회로에 전달되는, 병렬-직렬 회로를 포함한다.
- [0021] 예를 들면, 장치는 새로운 ID를 발생하기 위해, 주어진 수 데이터를 병렬 N비트 ID 데이터에 가산하거나, 병렬 N비트 ID 데이터로부터 주어진 수 데이터를 감산하는 회로를 갖는 계산 회로를 포함하는 메모리 장치가 가능하다.
- [0022] 예를 들면, 가산 회로 또는 감산 회로는 N비트 가산기 또는 감산기를 포함할 수 있고, 병렬 가산 또는 감산을 행한다. 병렬 가산되거나 또는 감산된 데이터는 N비트 병렬-직렬 레지스터에 공급되고, 결국 다른 메모리 장치로 전송되는 직렬 ID 데이터를 공급한다.
- [0023] 장치는 ID 발생 인에이블링 신호에 따라서, 다른 메모리 장치에 결합된 다른 발생 장치에 공급되는 직렬 N비트 데이터를 선택하는 선택기를 포함할 수 있다. ID 발생 인에이블링 신호는, 직렬 입력 데이터에 포함된 커맨드에 따라서 발생될 수 있다. 선택기는 ID 발생 인에이블링 신호의 상태에 따라서, 메모리 장치에 데이터를 저장하고, 데이터를 다른 메모리 장치에 전달하기 위해 셀로부터 도출된 데이터를 선택할 수 있다.
- [0024] 다른 구성에서, 본 발명은 복수의 장치의 직렬 상호접속 구성으로 구성된 장치를 제공하며, 이 장치는 장치용 장치 ID를 확립하는 장치 식별자(ID) 확립기를 포함한다. 장치 ID 확립기는 장치의 직렬 입력에 수신된 입력 신호에 응답하여 장치 ID를 발생하고, 클락과 동기하여 장치의 직렬 출력을 통해, 발생된 장치 ID와 관련된 출력 신호를 출력하는 ID 발생기를 포함한다.
- [0025] 다른 구성에서, 본 발명은 복수의 장치의 직렬 상호접속 구성을 제공한다. 각각의 장치는, 각각 입력 신호를 수신하고 출력 신호를 전송하는 직렬 입력 및 직렬 출력; 클락 신호를 수신하는 클락 입력; 장치에 대한 장치 ID를 확립하는 장치 식별자(ID) 확립기를 포함하고, 장치 ID 확립기는 장치의 직렬 입력에서 수신된 입력 신호에 응답하여 장치 ID를 발생하는 ID 발생기를 갖고, 출력 신호는 클락과 동기하여 장치의 직렬 출력을 통해, 발생된 장치 ID와 연관된다.
- [0026] 또 다른 구성에서, 본 발명은 복수의 장치를 갖는 직렬 상호접속 구성으로 구성된 장치에 대해 장치 식별자(I

D)를 확립하는 방법을 제공한다. 이 방법은, 직렬 입력 신호에 응답하여 장치 ID를 발생하고, 장치의 직렬 출력을 통해 장치 ID와 연관된 신호를 출력하는 단계를 포함한다. 발생 및 전송은 클락과 동기한다.

발명의 효과

[0027] 본 발명의 다른 구성 및 특징은, 첨부 도면과 함께 본 발명의 특정 실시예의 다음의 설명을 검토하면, 본 기술에서 통상의 숙련된 자에게 분명해진다.

도면의 간단한 설명

[0028] 첨부된 도면을 참조하여 예를 통해 본 발명의 실시예를 설명한다.

도 1a는 본 발명의 실시예가 구현될 수 있는 직렬 상호접속 구성으로 구성된 복수의 단일 포트 장치를 포함하는 장치 구성의 블록도이다.

도 1b는 도 1a에 도시된 장치중 하나를 도시하는 블록도이다.

도 2a는 직렬 상호접속 구성으로 구성된 장치들 사이의 통신을 도시하는 블록도이다.

도 2b는 도 2a에 도시된 직렬 상호접속 구성으로 구성된 장치들 사이의 통신을 도시하는 타이밍도이다.

도 3a 및 3b는 각각 단일 링크용 ID 발생 로직의 예를 사용하는 장치의 블록도 및 메모리 장치용 신호의 타이밍도이다.

도 4a 및 4b는 각각 듀얼 링크용 ID 발생 로직의 예를 사용하는 장치의 블록도 및 장치용 신호의 타이밍도이다.

도 5a는 본 발명의 실시예에 따라서 장치용 ID를 발생하기 위해 사용될 수 있는 하이레벨 블록도이다.

도 5b는 도 5a에 나타낸 로직의 상세 블록도이다.

도 5c는 도 5a 및 5b에 나타낸 ID 발생기의 블록도이다.

도 6은 장치 수(DN) 레지스터 및 커맨드 레지스터용 클락 발생의 타이밍도의 도시이다.

도 7은 ID 발생의 타이밍도의 도시이다.

도 8은 통상의 동작 모드에서 지연의 타이밍도의 도시이다.

도 9a는 출력 포트 인에이블 신호에 의해 제어되는 ID 발생의 타이밍도의 도시이다.

도 9b는 출력 포트 인에이블 신호에 의한 ID 비트 길이 제어의 도시이다.

도 10은 ID 출력 인에이블 신호, 시프트 클락 신호 및 다른 신호의 타이밍도의 도시이다.

도 11은 ID 발생 및 관련 신호의 타이밍도의 도시이다.

도 12a는 ID 임시 레지스터 구성을 도시하는 블록도이다.

도 12b는 ID 임시 레지스터용 신호의 타이밍도의 도시이다.

도 13a는 본 발명의 제2 실시예에 따라서 장치용 ID를 발생하기 위해 사용될 수 있는 로직의 하이레벨 블록도이다.

도 13b는 도 13a에 나타낸 로직의 상세 블록도이다.

도 13c는 도 13a 및 13b에 나타낸 ID 발생기의 블록도이다.

도 14는 도 13a에 나타낸 실시예에 대해 출력 포트 인에이블 신호에 의한 ID 비트 길이 제어의 도시이다.

도 15a는 본 발명의 제3 실시예에 따라서 장치용 ID를 생성하기 위해 사용될 수 있는 로직의 하이레벨 블록도이다.

도 15b는 도 15a에 도시된 로직의 상세 블록도이다.

도 15c는 도 15a 및 15b에 도시된 ID 발생기의 블록도이다.

도 16은 도 15a에 도시된 ID 발생 로직용 신호의 타이밍도의 도시이다.

도 17은 도 15a에 도시된 실시예에 대한 출력 포트 인에이블 신호에 의한 ID 비트 길이 제어의 도시이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 일반적으로, 본 발명은 직렬 상호접속 구성의 다수의 장치를 포함하는 시스템을 제공한다. 장치의 직렬 상호접속 구성에 대해 장치 식별자를 확립하는 기기 및 방법이 개시된다. 이러한 직렬 상호접속은 MISL(multi-independent serial link)로 구현될 수 있다.
- [0030] 여기에 서술된 기술에 따르는 방법 및 장치는 직렬 상호접속의 복수의 장치를 갖는 메모리 시스템에 적용될 수 있다. 이 장치들은 예를 들면 DRAM(dynamic random access memory), SRAM(static random access memory) 및 플래시 메모리 등의 메모리 장치일 수 있다.
- [0031] 종래의 메모리 장치에서, ID 할당은 (0000), (0001), ..., (1111) 등의 로직 조합을 만들기 위해서 추가의 핀을 사용하여 일반적으로 실행된다. 이 방식으로 ID를 할당하는 것은 접속을 행하기 위해 핀할당이 필수인 것을 일반적으로 의미한다.
- [0032] 메모리 장치에 적용된 직렬화 커맨드 및 데이터는 장치와 연관된 각종 기능을 실행하기 위해 더 적은 핀이 사용되는 것을 가능하게 한다. 특정 메모리 장치에 ID를 할당하는 것은 장치와 연관된 직렬 입력 인에이블 및 출력 인에이블 신호 포트를 사용하여 행해질 수 있다. 여기서, 장치의 ID와 연관된 수가 각 장치에 직렬로 하나씩 전송되어 증가될 수 있다. 복잡한 타이밍이 생성될 필요는 없다. 장치의 ID 쓰기 동작을 위해 시작(entry) 타이밍 및 종료(exit) 타이밍이 사용될 수 있다.
- [0033] 일반적으로, 본 발명의 구성은 복수의 장치를 갖는 직렬 상호접속 구성으로 구성된 장치에 대해 장치 식별자(ID)를 확립하는 방법 및 장치 제어기를 제공하고, 이 장치 제어기는, 아래에 상세하게 서술된 것같이, 제1 장치의 직렬 입력에서 수신된 입력 신호에 응답하여 제1 장치와 연관된 장치 ID를 발생하고, 클락 신호와 동기하여 제1 장치의 직렬 출력을 통해 직렬 상호구성으로 제2 장치에 장치 ID와 연관된 출력 신호를 전송하는 ID 발생기를 포함한다.
- [0034] 도면을 참조하여, 본 발명의 실시예를 서술한다. 다음의 설명에서, 동일한 참조 부호가 신호 및 입출력 접속을 위해 사용된다. 예를 들면, 참조 부호 CLK는 클락 신호와 클락 입력 접속을 나타내고, IPE는 입력 포트 인에이블 신호와 장치의 입력 포트 인에이블 입력 접속을 나타내고, OPE는 출력 포트 인에이블 신호와 장치의 출력 포트 인에이블 입력 접속을 나타내고, CS#는 칩 선택 신호와 칩 선택 입력 접속을 나타내고, IPEQ는 장치의 입력 포트 인에이블 출력 접속과 입력 포트 인에이블 출력 신호를 나타내고, OPEQ는 장치의 출력 포트 인에이블 출력 접속과 출력 인에이블 출력 신호를 나타낸다.
- [0035] 도 1a는 각종 신호용 입력 및 출력을 갖는 직렬 상호접속 구성으로 구성된 복수의 단일 포트 장치를 포함하는 일 예의 장치 구성을 나타낸다. 이 특정 실시예에서, 장치 구성은 4개의 장치 0, 1, 2, 3(110-1, 110-2, 110-3, 110-4)을 포함한다. 각각의 상호 접속된 장치(110-1 ~ 110-4)는 동일한 구조를 갖는다. 메모리 제어기(비도시)는 칩 선택(CS#), 직렬 입력(SI), 입력 포트 인에이블(IPE), 출력 포트 인에이블(OPE), 클락(CLK), 및 장치에 공급되는 다른 제어 및 데이터 정보(비도시)를 포함하는 신호군을 공급한다. 메모리 시스템은 장치의 직렬 상호접속 구성 및 직렬로 상호접속된 장치의 동작을 제어하는 메모리 제어기를 포함할 수 있다.
- [0036] 도 1b는 도 1a에 도시된 장치(110-1 ~ 110-4)중 임의의 하나를 나타내는 하나의 장치(110-i)를 나타낸다. 장치(110-i)는 장치 제어기(130) 및 예를 들면 랜덤 액세스 메모리 또는 플래시 메모리 등을 포함하는 메모리(120)를 포함한다. 예를 들면, 랜덤 액세스 메모리는 DRAM(dynamic random access memory), SRAM(static random access memory), MRAM(magnetoresistive random access memory)이 가능하고, 플래시 메모리는 NAND형, NOR형, AND형, 및 다른 유형의 플래시 메모리가 가능하다. 장치 제어기(130)는 장치 식별자(ID) 발생기(140)를 가진다. 장치(110-i)는 직렬 입력 포트(SIP) 접속, 직렬 출력 포트(SOP) 접속, 칩 선택 입력(CS#) 및 클락 입력(CLK)을 가진다. SIP는 장치(110-i)에 정보(예를 들면, 커맨드, 어드레스 및 데이터 정보)를 전송하기 위해 사용된다. SOP는 장치(110-i)로부터 정보를 전송하기 위해 사용된다. CLK 입력은 클락 신호를 수신한다. CS# 입력은 칩 선택 신호CS#를 수신하고, 모든 장치에서 동시에 동작을 가능하게 한다. 장치 제어기(130)는 입력신호(예를 들면, SI, IPE, OPE, CLK)에 따라서 메모리(120)에 액세스하여 각종 제어 및 처리 기능을 행하고, 다음 장치(110-(i+1))에 직렬 출력 데이터를 공급한다.
- [0037] 도 1a 및 1b를 참조하면, SIP 및 SOP는, 직렬 상호접속에서 이전 장치(110-(i-1))의 SOP가 직렬 상호접속에서 장치(110-i)의 SIP에 결합되도록, 직렬 상호접속 구성에서 장치들 사이에 접속되어 있다. 예를 들면, 장치

1(110-1)의 SOP는 장치2(110-2)의 SIP에 결합되어 있다. 4개의 장치(110-1 ~ 110-4)의 각각의 CLK 입력은 메모리 제어기(비도시)로부터 클락신호(CLK)가 공급된다. 클락신호(CLK)는 공통 링크를 통해서 모든 장치에 배포된다. 아래에 더 상세하게 서술되는 것같이, 특히 클락신호(CLK)는 거기에 포함된 각종 레지스터에서 장치(110-i)로 정보 입력을 래치하기 위해 사용된다. CS# 입력은 장치를 선택하기 위한 종래의 칩선택입력이다. CS# 입력은 공통 링크에 결합되어, 모든 장치(110-1 ~ 110-4)에 동시에 주어지는 칩 선택신호(CS#)를 인에이블하고, 따라서 모든 장치를 선택한다.

[0038] 또한, 장치(110-i)는 입력 포트 인에이블(IPE)입력, 출력 포트 인에이블(OPE) 입력, 입력 포트 인에이블 출력(IPEQ), 출력 포트 인에이블 출력(OPEQ)을 갖는다. IPE는 장치(110-i)에 입력 포트 인에이블 신호(IPEi)를 입력하기 위해 사용된다. IPE가 주어질 때, 정보가 SIP를 통해 장치(110-i)에 직렬로 입력되도록 SIP를 인에이블하기 위해, 신호(IPEi)는 장치에 의해 사용된다. 마찬가지로, OPE는 출력 포트 인에이블 신호(OPEi)를 장치(110-i)에 입력하기 위해 사용된다. OPE가 주어질 때, 정보가 SOP를 통해 장치(110-i)에 직렬로 입력되도록 SOP를 인에이블하기 위해, OPEi 신호가 장치에 의해 사용된다. IPEQ 및 OPEQ는 장치(110-i)로부터 IPEQi 및 OPEQi 신호를 각각 출력하는 출력 포트이다. CS# 및 CLK 입력은 상기 서술한 바와 같이 칩 선택 신호(CS#)와 클락 신호(CLK)를 각각 4개의 장치(110-1 ~ 110-4)에 배포시키는 개별 링크에 결합된다.

[0039] SIP 및 SOP는 상기 서술된 것같이 직렬 상호접속 구성에서 이전 장치(110-(i-1))에서 다음 장치(110-(i+1))로 결합된다. 또한, 이전 장치(110-(i-1))의 IPEQ 및 OPEQ 출력은 직렬 상호접속 구성에서 이전 장치(110-(i-1))의 IPEQ 및 OPEQ 입력에 결합된다. 이 배열은 직렬 상호접속 구성에서 하나의 장치에서 다음 장치로(예를 들면, 장치 0(110-1)에서 장치 1(110-2)), IPE 및 OPE 신호가 전송되게 한다.

[0040] 장치(110-1 ~ 110-4)로 송신된 정보는, CLK 입력에 공급된 클락 신호(CLK)의 다른 시간에서 래치될 수 있다. 예를 들면, SDR(single data rate) 구현에서, SIP에서 장치(110-i)로의 정보 입력은 클락 신호(CLK)의 상승 또는 하강 에지에서 래치될 수 있다. 또는, DDR(double data rate) 구현에서, 클락 신호(CLK)의 상승 에지 및 하강 에지는 SIP에서 정보 입력을 래치하기 위해 사용될 수 있다.

[0041] 도 1a에서 장치(110-1 ~ 110-4)의 구성은 직렬 상호접속(예를 들면, 입력(SI) 및 출력(SO)) 및 종래의 멀티드롭 접속(예를 들면, CLK 및 CS#)을 모두 포함한다. 그래서, 이 구성은 직렬 상호접속 및 멀티드롭 구성의 하이브리드로서 칭해질 수 있으며, 각각의 장점이 실현될 수 있다.

[0042] ID 발생기(140)는 직렬 상호접속 구성에서 장치에 대한 장치 ID를 확립하기 위해 ID를 발생한다.

[0043] 도 2a 및 2b는 장치들 사이에서 전송되는 신호를 나타내는 첨부 타이밍도와 함께, 직렬 상호접속으로 구성된 3개의 장치(210-1 ~ 210-3)를 도시한다. 칩선택신호(CS#)(비도시)가 장치를 선택하기 위해 우선 주어진다. 클락 신호(CLK)의 연속적인 상승 에지에서 장치(210-1)로 IPE 및 클락 데이터를 줌으로서 직렬 상호접속에서 제1 장치(210-1)에 정보가 송신된다. 입력 포트 인에이블 신호(IPE)는 신호(IPE_0)로 도시된 것같이, 1주기보다 적게 제1 장치(210-1)에서 제2 장치(210-2)로 진행한다. 이 진행은, 정보가 제1 장치(210-1)로 클락된 후, 제1 장치(210-1)의 SOP에서 제2 장치(210-2)의 SIP 입력으로 1주기에서 정보가 클락되는 것을 가능하게 한다. 이 처리는 직렬 상호접속의 연속적인 장치에 대해 반복된다. 예를 들면, 제1 장치(210-1)에서 데이터의 래치 포인트로부터 클락 신호(CLK)의 제3 상승 에지에서 직렬 상호접속의 제3 장치(210-3)로 정보가 입력된다. 직렬 상호접속 구성의 다음 장치에서 이들 신호에 대한 적절한 셋업 시간을 확실하게 하기 위해, 제어 신호(IPE_0, IPE_1, IPE_2)는 신호(CLK)의 상승 에지와 동기된다.

[0044] 도 3a 및 4a는 각각 싱글 및 듀얼 링크에 대한 직렬 상호접속 구성의 메모리 장치에 대해 장치 식별자(ID)를 발생하는 동작예를 도시한다. 도 3a는 싱글 링크 배열로 접속된 장치(310-1, -, 310-m, 310-n)을 도시하고, 도 3b는 도 3a에 나타난 장치에 대한 신호 타이밍을 도시한다. 유사하게, 도 4a는 듀얼 링크 배열로 접속된 장치(410-1, -, 410-m, 410-n)을 도시하고, 도 4b는 도 4a에 나타난 장치에 대한 신호 타이밍을 도시한다. 여기서, n은 1보다 큰 정수이고, m은 (n-1)이다. 도 3a 및 4a에 도시된 특정 예에서, 각각의 장치는 도 1b와 유사한 ID 발생기를 갖는 장치 제어기를 포함한다.

[0045] 동작예는 직렬 상호접속의 2개의 입력, SIP 및 SOP 입력을 사용하여 장치 ID를 발생하고, 직렬 상호접속에서 다른 포트와 사용하기 위해 적용될 수 있고, 제1 입력은 직렬 입력을 수신하고, 제2 포트는 제어 신호를 수신한다. ID 발생 기술은 MISL 애플리케이션에 제한되지 않고, 직렬 접속(예를 들면, 데이터 체인) 시스템이 클락을 가지면, 복수의 현존 입력 핀을 갖는 임의의 직렬 접속 구성(예를 들면, 데이터 캐스캐이드 접속)에 적용가능하다.

- [0046] 이 예에서, IPE는, 칩 선택 신호(CS#)가 다시 로우인 후, 직렬 ID 입력 스트림을 래치하기 위해 OPE가 선택되도록, 1바이트 단위에 기초하여 직렬 입력 스트림을 획득하는 기능을 갖는다. '쓰기 ID 시작' 커맨드에 의해, OPE는 ID 비트의 총수와 동일한 주기로 구성된 입력 스트림을 획득한다. ID 비트는 내부 ID 레지스터의 크기에 의해 확립된다. 예를 들면, 장치가 12비트 ID 레지스터를 가지면, OPE는 12주기 동안 '하이' 상태를 유지한다. 12비트 장치 ID는 직렬 상호접속에서 최대 4096 주소를 허용한다. 그래서, 본 실시예는 직렬 상호접속 구성에서 많은 수의 장치를 장착할 수 있고, 그 수는 각 장치의 핀수에 의해 제한되고 있지는 않다. 또한, 각 장치는 내부 하드배선된 장치 ID의 추가된 복잡성을 요구하지 않는다.
- [0047] 도 3b 및 4b에서, "IDGMS"로 칭해지는 ID 발생 모드 설정 기간은, ID 비트 길이 + 8주기(커맨드 비트 길이) + 직렬로 상호접속된 장치의 가정된 수에 대응하는 미리 정의된 클락 주기와 동등한 시간 간격이다.
- [0048] OPE 입력과 OPEQ 출력 사이의 신호 전송 즉, op1과 op2를 위해, ID 증가 및 인접한 다음 장치로의 데이터 전송에 의해 생긴 동작 충돌을 회피하기 위해 2주기 보다 큰 비중첩 시간 구간이 발생해야 한다. 각 장치(310-1, ..., 310-n)에서 OPE가 주어진 후, 래치된 ID 입력 데이터가 장치의 ID 레지스터(예를 들면, 도 5a에서 "516"으로 칭해진다)에 저장되고, OPEQ 출력을 주기 전에 이 입력을 갖는 증가 동작이 실행된다. OPE 신호의 기능은 1비트에서 각 메모리 장치로의 ID 레지스터의 한정된 비트의 최대수까지 ID 비트의 수를 결정하기 위한 것이다. ID 비트의 수와, ID 레지스터의 한정된 비트의 수가 동일한 경우에("고정된 ID 비트"), ID 비트의 순서는 무관하다. 그러나, 모든 다른 경우에, 장치 ID에 대응하는 신호는 LSB(least significant bit)로 시작하여, MSB(most significant bit)로 끝나는 순서로 전송되어야 하며, 그 이유는 뒤에서 설명한다.
- [0049] 도 5a 및 5b는 직렬 상호접속으로 구성된 장치(110-i) 내부의 장치 제어기(500)의 ID 발생과 연관된 로직 예를 도시한다. 클락 발생기(501)는 장치의 CLK입력에 공급된 클락 신호를 수신하여, "Clk_cmd" 및 "Clk_dn"을 포함하는 내부 클락 신호를 공급한다. 커맨드 클락 'clk_cmd'은 커맨드 직렬 비트의 비트 길이와 동등한 횟수 주어진다. 도 6에 나타난 것같이, 예를 들면, 메모리 시스템이 1바이트 단위의 커맨드를 가지면, 직렬 커맨드 비트를 래치하기 위해 clk_cmd는 8클락 주기를 필요로 하고, 다음 커맨드가 수신될 때까지 래치된 데이터를 보유한다. 장치 수(DN) 클락 'clk_dn'은 ID 입력을 클락하고, 이것은 입력 DN 레지스터(504)와 ID 임시 레지스터(518)에 저장된다. SIP 입력에서 수신된 신호를 수신하고 저장하는 시퀀스는 소정의 시퀀스에 대응한다. 예를 들면, 장치 ID에 대응하는 신호를 우선 수신하고, 뒤에 커맨드 비트를 수신하도록 장치가 구성될 수 있다. 이 순서의 결과로서, clk_dn의 주기의 수가 생성되고, clk_cmd가 클락 발생기(501)에 의해 확립된다.
- [0050] 커맨드 비트를 복호하기 위해, 직렬 입력 커맨드 스트림이 커맨드 클락 'clk_cmd'에 따라서 커맨드 레지스터(502)에 시프트되고, 그 다음 커맨드 레지스터(502)는 등록된 M비트 커맨드 데이터를 커맨드 해석기(503)에 병렬로 송신한다. 커맨드 해석기(503)는 커맨드 디코더이고, 추가 제어를 시작하는 내부 커맨드 신호를 전달한다. 이러한 2개의 커맨드 신호(cmd_wr_id_entry, cmd_wr_id_exit)가 도시되어 있고, ID 생성 모드를 시작하고 중지하는 기능을 행한다.
- [0051] ID 쓰기 발생기가 커맨드 '쓰기 ID 시작'을 확립하기에 앞서서, 메모리 제어기(비도시)는 직렬 상호접속 구성의 장치의 입력을 리셋하기 위해 리셋 신호를 송신한다. 리셋 입력은 공통으로 접속된다. 직렬 상호접속 구성의 모든 장치는 리셋 신호에 의해 리셋된다. 리셋하면, 모든 장치는 인에이블되어 '쓰기 ID 시작' 커맨드를 디폴트로 수용할 수 있고, 모든 장치는 '0'의 디폴트 ID를 갖는다. 그 결과, 직렬 상호접속의 모든 장치는 동시에 선택될 수 있고, 커맨드 '쓰기 ID 시작'은 '0'의 커맨드 'ID 넘버'를 가짐으로써 모든 장치에 명령한다.
- [0052] 입력 DN 레지스터(504)는 이전 장치로부터 입력 ID 데이터를 저장한다. 통상의 동작(ID 생성 모드라기 보다는) 동안, 입력 DN 레지스터(504)는 N비트 ID 레지스터(56)(예를 들면, 10비트 레지스터)에서 장치 ID 넘버와 비교되도록 SIP로부터 입력 ID 스트림의 콘텐츠를 임시 저장한다. 장치 ID 발생 동안, 입력 DN 레지스터(504)는 직렬 입력 데이터를 수신하지 않는다. 대신에, ID 임시 레지스터(518)는 직렬 데이터를 획득하여 이것을 ID 생성 인에이블 블록(506)으로 예시된 ID 생성기 또는 확립기에 송신한다. 비트 수 N은 ID 넘버에서 비트의 수와 같은 정수이고, 직렬 상호접속에서 모든 장치를 식별하기에 적합한 임의의 수와 같을 수 있다.
- [0053] ID 비교기(505)는 통상의 장치 동작 동안 장치에 어드레스된 데이터와 커맨드를 식별하는 기능을 행한다. 비교기(505)는 입력 DN 레지스터(504)에서 각각의 들어오는 데이터의 ID 넘버와 N비트 ID 레지스터(516)에 저장된 장치 ID를 비교하여, 'ID_match' 신호를 공급한다. ID 넘버가 동일하거나 또는 정합하면, 'ID_match' 신호는 '1'과 같다. 그렇지 않으면, 이 신호는 '0'과 같다. 그 결과, 직렬 상호접속의 각 장치는 들어오는 ID 넘버와 각 장치에 저장된 장치 ID를 정합시켜서, 신호가 어드레스되는지를 결정한다.

- [0054] 도 5c는 도 5a와 5b의 장치 제어기(500)의 ID 발생기(600)를 나타낸다. ID 발생 제어기(507)로부터의 'id_gen_en'(ID 발생 인에이블) 신호에 따라서, ID 발생 인에이블 부(506)는 ID 임시 레지스터(518)의 N비트 입력을, N비트 가산기(508)(예를 들면, 10비트 가산기)로 예시된 계산기, 및 N비트 ID 레지스터(516)에 전송한다. ID 발생 인에이블 신호에 대한 신호 타이밍 예가 도 7에 도시되어 있다. 이 동시의 전송은 N비트 가산기(508)와 N비트 ID 레지스터(516)의 불필요한 신호 변화를 방지한다. 장치 ID의 시퀀스와 워드 길이에 따라서 장치 ID가 ID 레지스터(516)에 저장된다. 예를 들면, N비트 ID 레지스터(516)가 10비트 길이이고, OPE 신호가 5주기 하이 상태를 가지면, N비트 ID 레지스터(516)는 5비트 장치 ID를 저장하고, 5비트 장치 ID에 대응하는 신호는 다음 장치로 전송된다. ID 레지스터(516)의 나머지 비트는 무시되고, 그래서 '0' 또는 'don't care'의 값으로 남는다.
- [0055] ID 발생 처리동안, 상기 서술된 예에서, N비트 직렬 입력이 N비트 가산기(508)와 N비트 ID 레지스터(516)에 전송되기 전에 ID 임시 레지스터(518)에 우선 저장된다. 임시 레지스터로부터의 동시의 전송은 직렬-병렬(STP) 레지스터의 한계를 극복한다. 예를 들면, ID 비트의 수(예를 들면, 5비트)가 ID 레지스터와 가산기(예를 들면, 10비트)의 비트의 수보다 적은 경우를 고려한다. ID 발생 및 할당 처리동안, 5비트(비트 0(LSB) ~ 비트 4(MSB))가 STP 레지스터의 처음 5비트에 로드되고, 10비트 가산기에 병렬로 공급된다. 본 기술에서 숙련된 자에게 즉시 분명한 것같이, LSB는 레지스터의 비트 4에 로드되고, 가산기의 LSB에 대응하지 않는다. 비트의 순서가 MSB(비트 0)로부터 LSB(비트 4)까지 예약(reserve)되어 있을지라도, STP 레지스터에서 MSB의 위치는 10비트 가산기의 MSB 위치에 대응하지 않는다. 그러므로, 어느 비트가 제1 비트로서 할당되어 있는지에 상관없이, 종래의 STP 레지스터는 오류가 있는 장치 ID를 발생하는 결과를 가져 온다. STP 레지스터의 이러한 제한은, 도 12a 및 12b를 참조하여 후에 상세하게 논의되는 것같이, 장치 ID에 대응하는 비트가 LSB에서 시작하여 MSB로 끝나는 순서로 다음 장치로 전송되는 것을 확실하게 하고, ID 임시 레지스터에 수신된 순서로(ID 임시 레지스터(518)의 LSB에서 비트 0로) 이들을 저장함으로써 극복된다.
- [0056] ID 발생 제어기(507)는 입력 신호 CS#(CS_en), cmd_wr_id_entry, 및 cmd_wr_id_exit를 수신하고, 'id_gen_en' 신호를 송신하여, ID 발생 모드를 시작한다. 예를 들면, 신호 CS#가 로우에서 하이 및 다시 로우로 토글되면(도 7참조), 'id_gen_en' 신호가 주어지면서, 신호 cmd_wr_id_entry가 주어진다. 본 기술에서 숙련된 자에게 분명한 것같이, 신호 CS#의 임의의 다른 변경으로 'id_gen_en'가 주어질 수 있다.
- [0057] 도 8은 통상 동작의 지연을 나타낸다. 기본적으로, MISL은 2개의 인접하는 장치 사이에 1주기 지연을 갖는다. 그러나, 'write ID entry' 커맨드는, 뒤에 서술된 도 9a에 도시된 것같이, 1주기 지연으로부터 'ID 비트(ID 레지스터 비트 크기) + 2주기'로 경로를 변경한다.
- [0058] 도 9a와 9b는 출력 포트 인에이블(OPE) 신호에 의한 ID 발생 제어의 로직과 신호 타이밍을 도시한다. 이들 동작에서, ID 비트 길이는 OPE 신호 하이의 길이에 의해 결정되고, 장치의 다른 수를 포함하는 직렬 상호접속 구성에 적용될 수 있다. OPE 신호의 기능이 도 5a, 5b, 5c를 참조하여 아래에 서술된다. 또는, OPE 신호는 ID 비트 길이를 결정하는 것이 요구되지 않고, 대신에 조정 값, ID 레지스터(516)의 비트 크기, 또는 다른 신호에 연관된 값에 의해 결정될 수 있다.
- [0059] 도 9b에서, 10비트 ID 임시 레지스터(518), 10비트 ID 레지스터(516), 10비트 가산기(508), 10비트 병렬-직렬 레지스터(510)로 예시된 ID 공급기가 5비트 장치 ID의 생성 동안 도시된다. 이들 레지스터의 기능은 도 5a, 5b, 5c를 참조하여 아래에 서술된다. 최대 장치 ID 넘버는 내부 가산기(508)와 병렬-직렬 레지스터(510)의 비트 크기에 의해 결정된다. 또한, 장치 ID 넘버는 직렬 상호접속 구성으로 접속될 수 있는 장치의 최대수를 반영한다. 예를 들면, 10비트 장치ID는 직렬 버스에 단일 직렬 상호접속 방식으로 1024 장치까지 접속되는 것을 허용한다.
- [0060] 또는, OPE 입력은 IPE 보다는, 이전 장치의 ID 넘버의 입력 데이터 스트림을 획득하도록 구성될 수 있다. OPE 입력의 이 부가적인 기능은 ID 생성 모드에 대한 간단한 타이밍을 제공한다. 도 3a 및 4a에 관련된 구현에서, 'write ID entry'가 주어지고, 도 3b 및 4b에 도시된 것같이, 칩선택 신호 CS#가 "로우"에서 "하이"로 다시 "로우"로 토글된 후, 각 메모리 장치에 통합된 ID 레지스터의 비트 길이와 동일한 시간 동안 OPE가 하이 상태로 주어진다.
- [0061] 도 5a ~ 5c, 9b를 참조하면, ID 쓰기 발생기(517)는 'wr_id_en' 신호를 발생하고, ID 발생 인에이블 블록(506)의 출력을 ID 발생 모드에서 N비트 ID 레지스터(516)로 래치한다. 이 신호는 OPE 신호의 하강 에지에 의해 설정된다.
- [0062] 정적 가산기인 N비트 가산기(508)는 도 5a에 도시된 것같이 ID 발생부(506)의 입력과 고정 정수(예를 들면,

"+1")의 가산 동작을 행한다. 예를 들면, N이 8이면, 가산기는 ID 임시 레지스터(518)로부터 8비트 수와 정수 '10000000'(LSB로부터 MSB의 순서)의 합을 계산할 수 있다. 그 결과, 가산기(508)는 장치 ID 넘버의 시퀀스에서 다음 넘버를 생성한다. 가산기(508)는, 동일한 '+1' 동작을 행하는 다른 논리 회로로 대체될 수 있다. 또한, 로직(500)은 연속적인 장치 ID를 생성하기 위해, 다른 정수의 감산(후에 서술) 또는 가산 등의 N비트 넘버에 다른 동작을 행하도록 구성될 수 있다.

[0063] 결과의 ID 데이터는 병렬-직렬 레지스터(510)에 쓰여지고, 직렬 신호로서 SOP 출력을 통해 다음 장치로 전송된다. 직렬 ID 넘버는 그 장치 ID로서 다음 장치에 의해 사용될 수 있거나, 장치 ID를 발생하기 위해 다음 장치에 의해 조작될 수 있다. 또는, 로직은 직렬 ID 넘버를 변경하는 추가의 동작을 포함할 수 있고, 결과 값이 N비트 ID 레지스터(516)에 저장된 장치 ID와 연관된 것으로 주어진다.

[0064] 병렬-직렬 레지스터(510)에서, 입력은 병렬 형태로 송신되고, 출력은 직렬 형태로 송신된다. ID 발생 제어기(507)로부터의 'id_gen_en' 신호에 따라서, 병렬-직렬 데이터 쓰기 발생기(509)는 병렬-직렬 레지스터(510)의 병렬 입력 경로를 활성화하는 'wr_data_pts' 신호를 공급한다. SOP를 통해 ID 데이터를 직렬로 송신하기 위해 어느 정도의 지연을 갖는 shift_clock의 제1 클락 주기의 상승 에지 후에 그 경로는 디스에이블된다. LSB 비트는 송신되는 최초 비트이고, MSB는 송신되는 최종 비트이다.

[0065] 선택기(예를 들면, 멀티플렉서)(511S)는 id_gen_en 신호에 따라서 2개의 경로중 하나를 선택한다. id_gen_en이 0이면, 즉, 통상의 동작 모드이면, 선택기(511S)의 정상 입력 '0', 즉, Sdata(메모리 셀로부터 직렬 판독 데이터)가 SOP로서 출력 버퍼(515S)에 공급되고, 다음 장치에 대해 SIP로서 기능한다. 그렇지 않으면(ID 생성 모드), 바닥 입력 경로 '1'이 선택되고, 즉, Sdata_id(직렬 id 데이터)가 SOP로서 출력 버퍼(515S)에 공급되고, 도 5b에 도시된 것같이, 다음 장치에 대해 SIP로서 기능한다.

[0066] 다음 장치에 ID 넘버를 직렬로 송신하기 위해, 클락 신호로 클락되어야 한다. 데이터 시프트 클락 발생기(512)가 클락 신호 'shift_clock'을 병렬-직렬 레지스터(510)에 송신함으로써, 신호 'Sdata_id'(직렬 ID 데이터)를 클락과 동기시킨다.

[0067] 시프트 레지스터부(513)는 시프트 클락 주기의 수를 알리기 위해 생성되는 ID 출력 인에이블 신호('id_out_en')를 공급한다. 시프트 레지스터부(513)는, 직렬 데이터 래치 및 가산 동작을 행하기에 충분한 시간 여유를 제공하기 위해, ID 레지스터의 비트 길이에 2주기를 더한 비트수만큼 OPE 신호를 시프트한다. 시프트 레지스터부(513)는, 1주기 시프트 레지스터와, 신호 'opei'를 시프트하고, 시프트된 'opei'를 선택기(예를 들면, 멀티플렉서)(511Q)에 공급하기 위한 (N+2) 주기 시프트 레지스터를 포함한다. 또한, 시프트 레지스터부(513)는 추가의 1주기 시프트 레지스터를 갖는 (N+1) 주기 시프트 레지스터를 포함하고, 시프트된 신호 'opei'를 OR 게이트에 공급한다. 결과의 신호, 'id_out_en'이 데이터 시프트 클락 발생기(512)에 공급된다.

[0068] 신호 'id_out_en'은 데이터 시프트 클락 발생기(512)에서 신호 'shift_clock'를 인에이블하여, 시프트 클락이 OPEQ 신호가 발생하는 것보다 1주기 더 빨리 발생되도록 한다. 도 10에 도시되어 있는 것같이, 이 기능은, 다음 장치가 OPE 신호에 의해 중첩된 제1 클락 신호(즉, 이전 장치에서의 OPEQ 신호)에서 데이터를 래치하기 때문에 신호의 적절한 타이밍을 확실하게 한다. ID 비트수에 1주기를 더한 총 주기의 기간 동안 시프트 클락이 생성되어 이전 데이터가 확실하게 유지되지 않게 하고, 연속적인 장치가 현재 장치의 SOP로부터 부정확한 ID 넘버를 수신하게 한다. 도 11은 도 5a, 5b, 5c에 나타낸 예를 참조하여 여기 서술된 ID 생성 처리와 연관된 각종 신호의 타이밍을 도시한다.

[0069] ID 발생을 위한 장치 제어기(500)는 복수의 입력 버퍼를 또한 포함한다. 하나의 입력 버퍼(514-1)는 칩 선택 신호 CS#를 수신하고, 그 버퍼링된 출력 신호는 인버터에 의해 반전된다. 반전된 CS# 신호는 'CS_en'으로서 ID 발생 제어기(507)에 공급된다. 다른 입력 버퍼(514-2)는 SIP 입력으로부터 SI를 수신하여, 커맨드 레지스터(502), 입력 DN 레지스터(504) 및 ID 임시 레지스터(518)에 공급한다. 다른 입력 버퍼(514-3)는 클락 신호 'Clock'를 수신하고, 그 버퍼링된 출력 신호 'Clocki'는 클락 발생기(501)에 공급된다. 다른 입력 버퍼(514-4, 514-5)는 IPE 및 OPE를 각각 수신하고, 그 버퍼링된 출력 신호는 선택기(511E)에 공급되고, 그 선택된 출력 신호는 클락 발생기(501)에 공급된다.

[0070] 또한, 장치 제어기(500)는 다음 장치(비도시)의 OPE 입력에 OPEQ 신호를 공급하는 출력 버퍼(515Q)를 포함한다. OPEQ 신호는, 시프트 레지스터부(513)의 1주기 시프트 레지스터 및 (N+2) 주기 시프트 레지스터로부터 출력 신호중 하나를 선택하는 선택기(예를 들면, 멀티플렉서)(511Q)로부터의 선택된 출력 신호이다. 선택된 출력 신호(즉, OPEQ 신호)는 다음 장치의 OPE 입력으로 송신된다.

[0071] 예를 들면, 도 3a(및 도 4a), 도 3b(및 도 4b) 및 도 5a ~ 5c를 참조하면, 장치(310-1(410-1))에서, 최초 ID 넘버 또는 값 '00000'(SI의) 이 N비트 ID레지스터(516)에 저장된다. 장치(310-1(410-1))의 N비트 가산기(508)는 최초 ID 넘버에 +1을 가산하고, N비트 가산기(508)의 '10000' 출력 데이터를 병렬-직렬 레지스터(510)에 래치한다. 선택기(511Q)는 '10000'를 출력 버퍼(515S)에 SOP '10000'으로서 공급하고, 다음 장치(310-2(410-2))의 SIP에 공급된다. 수신된 ID 넘버 '10000'(SI의)는 장치(310-2(410-2))의 N비트 ID 레지스터(516)에 저장되고, '+1' 가산이 N비트 가산기(508)에서 행해진다. N비트 가산기(508)의 '01000' 출력 데이터는 장치(310-2(410-2))의 병렬-직렬 레지스터(510)에 래치된다. 선택기(511Q)는 '01000'을 출력 버퍼(515S)에 SOP '01000'으로서 공급하고, 다음 장치(310-3(410-3))의 SIP에 공급된다. 수신된 ID 넘버 '01000'는 장치(310-3(410-3))의 N비트 ID 레지스터(516)에 저장된다. 이 처리는 최종 장치(310-n(410-n))가 도달될 때까지 계속된다. 모든 비트 순서는 ID 발생 모드를 위한 LSB 최초 및 MSB 최종 규칙에 따른다. 그래서, 각 장치에 할당된 장치 ID는 수신된 ID와 동일하다. 발생된 ID('+1' 가산된 ID 또는 계산된 ID)는 직렬 상호접속 구성에서 다음 장치의 SIP에 공급된다.

[0072] 표 1은 상기 서술된 실시예에 따르는 장치와 할당된 ID를 나타낸다(LSB→MSB).

[0073] 표 1

[0074] 장치 번호	할당된 ID
[0075] 제1 장치	00000
[0076] 제2 장치	10000
[0077] 제3 장치	01000
[0078] 제4 장치	00100
[0079] 제5 장치	00000
[0080]
[0081] 제31 장치	01111
[0082] 제32 장치	11111

[0083] N비트 ID 레지스터(516)는 ID 발생 모드에서 ID 넘버로 채워진다. 이 콘텐츠는 예를 들면, 하드 리셋 핀에 의해 초기값 설정으로 리셋된다. N비트 ID 레지스터(516)의 콘텐츠는 임의의 통상 동작이 시작될 때 입력 DN 레지스터(504)의 입력 ID 스트림과 비교된다.

[0084] ID 발생 모드에서(통상의 동작과 대조적으로), 장치 ID 값과 비트 크기가 교체될 수 있고, OPE 신호가 주어지는 시간의 길이에 따라서 결정된다. ID 임시 레지스터(518)는 직렬 데이터 전송없이 지정된 비트 위치에서 각 직렬 비트를 저장함으로써 이 기능을 갖춘다.

[0085] 도 12a는 도 5a~5c에 나타난 ID 임시 레지스터(518)를 나타낸다. 도 12b는 ID 임시 레지스터(518)에 대한 신호 타이밍을 나타낸다. 도 5a~5c와 도 12a 및 12b를 참조하면, ID 임시 레지스터(518)는 (n+1)클락 제어부에 대응하는 (n+1) 비트 스토리지를 갖는다. DN 클락 'clk_dn'에 따라서, (n+1) 클락 제어부는 (n+1) 비트 스토리지에 각각 공급되는 'clk0' ~ 'clk(n)'을 공급한다. 직렬 입력(SI)은 클락 'clk0' ~ 'clk(n)'에 따라서 SI 데이터를 저장하는 (n+1) 비트 스토리지에 병렬로 공급된다. 이 저장된 데이터는 비트 데이터 'bit0' ~ 'bit(n)'으로서 공급된다.

[0086] N비트 가산기(508)가 수신된 ID 넘버를 증가시키는 하나의 방법을 제공하는 것에 유의한다. 직렬 상호접속 구성에서 다중 장치에서 실행될 때, ID 발생 로직은 각 장치에 대해 유일한 장치 ID를 공급하는 누적된 효과를 가지며, 장치 ID는 각 장치에서 '1'만큼 증가된다. 또는, 각 장치에서 유일한 장치 ID를 발생하기 위해 다양한 로직이 n비트 가산기(508)에 대체될 수 있다.

[0087] 다른 예에서, 장치 제어기의 ID 발생과 연관된 ID 발생 로직은 N비트 동작의 결과로서 장치 ID를 확립한다. 이 다른 예는 N비트 가산기(508)의 출력이 N비트 ID 레지스터(516)로 전송되고, N비트 ID 레지스터(516)는 수신된 ID 넘버 이외의 값을 저장하는 것을 요구함으로써, 도 13a 및 13b에 도시된 것같이, 장치에 대해서 장치 ID를 확립한다. 도 13a 및 13b의 장치 제어기(700)의 ID 발생기(710)가 도 13c에 도시되어 있다. 도 14에서, 10 비트 ID 임시 레지스터(518), 10비트 ID 레지스터(516), 10비트 가산기(508), 및 10비트 병렬-직렬 레지스터(510)로

서 예시된, ID 공급자가 5비트 장치 ID의 발생동안 도시되어 있다. 도 9b에 도시된 실시예에서와 다르게, 10비트 ID 임시 레지스터(518)는 ID 비트를 10비트 가산기(508)에 전송한다. 10비트 가산기(508)에 의해 가산되거나 계산된 ID는 10비트 ID 레지스터(516)와 10비트 병렬-직렬 레지스터(510)에 공급된다. 도 13a 및 13b에 도시된 장치 제어기(700)의 모든 다른 동작은 전에 서술된 장치 제어기(500)와 유사하다.

[0088] 실시예를 더욱 도시하기 위해, 예를 들면, 도 3a(및 4a), 도 13a ~ 13c, 및 도 14를 참조하면, 장치(310-1(410-1))는 '00000'(SI의)를 수신한다. N비트 가산기(508)는 SIP 입력에 +1을 가산하고, N비트 가산기(508)의 '10000' 출력 데이터를 N비트 ID 레지스터(516)에 래치한다. 선택기(511Q)는 '10000'를 출력 버퍼(515S)에 SOP '10000'으로서 공급하고, 다음 장치(310-2(410-2))의 SIP에 공급된다. 장치(310-2(410-2))에서 수신된 '10000'(SI의)와 '+1'의 가산이 행해진다. N비트 가산기의 '01000' 출력 데이터는 N비트 ID 레지스터(516)와 병렬-직렬 레지스터(510)에 래치된다. 선택기(511Q)는 '01000'을 출력 버퍼(515S)에 SOP '01000'으로서 공급하고, 다음 장치(310-3(410-3))의 SIP에 공급된다. 이 처리는 최종 장치(310-n(410-n))에 도달될 때까지 계속된다. 모든 비트 순서는 ID 발생 모드를 위한 LSB 최초 및 MSB 최종 규칙에 따른다. 그래서, 각 장치에 할당된 장치 ID는 수신된 ID와 동일하지 않다. 발생된 ID('+1' 가산된 ID 또는 계산된 ID)는 현 장치에 할당되고, 직렬 상호접속 구성에서 다음 장치의 SIP에 공급된다.

[0089] 표 2는 도 13a 및 13b에 따르는 장치와 할당된 ID를 나타낸다(LSB→MSB).

[0090] 표 2

[0091] 장치 번호	수신된 ID	할당된 ID
[0092] 제1 장치	00000	00000
[0093] 제2 장치	10000	01000
[0094] 제3 장치	01000	11000
[0095] 제4 장치	11000	00100
[0096] 제5 장치	00100	10100
[0097]
[0098] 제31 장치	01111	11111

[0099] 또 다른 실시예에서, 장치 제어기의 ID 발생과 연관된 ID 발생 로직은 N비트 감산 동작의 결과로서 장치 ID를 확립한다. 예를 들면, 도 15a 및 15b에 도시된 것같이, 'N비트 감산기'는 수신된 ID 넘버에서 '1'을 감산한다. 도 15a 및 15b의 장치 제어기(800)의 ID 발생기(810)가 도 15c에 도시되어 있다. 장치 제어기(800)는 도 15b 및 13b에 도시된 N비트 가산기(508) 대신에 N비트 감산기(708)를 갖는다.

[0100] 도 3a ~ 3b, 4a ~ 4b, 15a ~ 15c를 참조하면, 장치(310-1(410-1))에서 수신된 SIP의 입력 ID 넘버 또는 값 '11111'이 N비트 ID 레지스터(516)에 저장된다. N비트 감산기(708)는 SIP 입력에서 1을 감산하고, N비트 감산기(708)의 '11110' 출력 데이터를 병렬-직렬 레지스터(510)에 래치한다. 선택기(511Q)는 '11110'를 출력 버퍼(515Q)에 SOP '11110'으로서 공급하고, 다음 장치(310-2(410-2))의 SIP에 공급된다. '11110'(SI의)이 장치(310-2(410-2))N비트 ID 레지스터(516)에 저장되고, '-1' 감산이 N비트 감산기(708)에서 행해진다. N비트 감산기(708)의 '11101' 출력 데이터는 병렬-직렬 레지스터(510)에 래치된다. 선택기(511Q)는 '11101'을 출력 버퍼(515S)에 SOP '11101'으로서 공급하고, 다음 장치(310-3(410-3))의 SIP에 공급된다. 이 처리는 최종 장치(310-n(410-n))에 도달될 때까지 계속된다. 모든 비트 순서는 ID 발생 모드를 위한 LSB 최초 및 MSB 최종 규칙에 따른다. 그래서, 각 장치에 할당된 장치 ID는 수신된 ID와 동일하다. 생성된 ID('-1' 감산된 ID 또는 계산된 ID)는 직렬 상호접속 구성에서 다음 장치의 SIP에 공급된다.

[0101] 표 3은 상기 서술된 실시예에 따르는 장치와 할당된 ID를 나타낸다(LSB→MSB).

[0102] 표 3

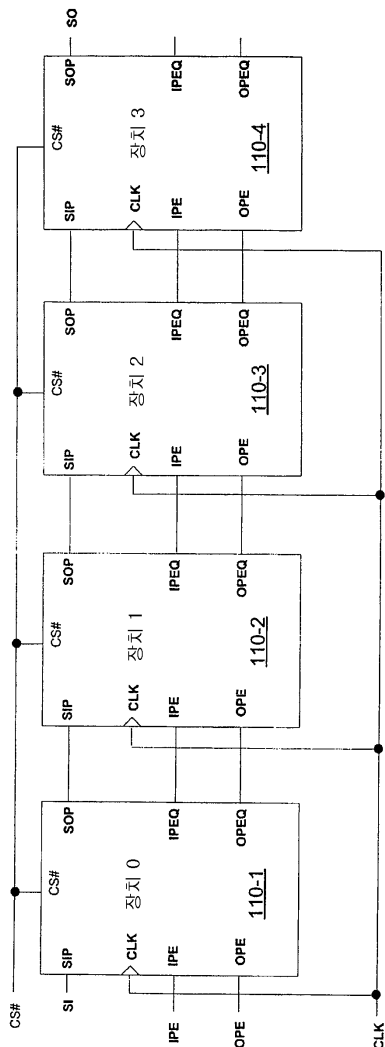
[0103] 장치 번호	할당된 ID
[0104] 제1 장치	11111
[0105] 제2 장치	01111

- [0106] 제3 장치 10111
- [0107] 제4 장치 00111
- [0108] 제5 장치 11011
- [0109]
- [0110] 제31 장치 10000
- [0111] 제32 장치 00000
- [0112] 본 실시예의 "카운트-다운" ID 생성으로 인해, 신호의 타이밍은 도 11에 도시된 것과 다르다. 도 16은 도 15a, 15b, 15c에 도시된 실시예를 참조하여 여기에 서술된 ID 생성 처리와 연관된 각종 신호의 타이밍을 도시한다. 도 17은 도 15a에 도시된 실시예에 있어서 OPE 신호에 의한 ID 비트 길이 제어를 도시한다.
- [0113] *도 15a ~ 15c, 16, 및 17을 참조하면, 10비트 ID 임시 레지스터(518)는 ID 비트를 10비트 레지스터(516) 및 10비트 감산기(708)에 전송한다. 감산기(708)에 의해 감산되거나 계산된 ID는 10비트 병렬-직렬 레지스터(510)에 공급된다. 장치 제어기(800)의 모든 다른 동작은 이전에 서술한 도 15a ~ b 및 13a ~ 13b의 실시예와 유사하다.
- [0114] 도 15a, 15b, 15c에 도시된 N비트 감산기(708)를 가지고 도 13a, 13b, 13c에 도시된 실시예를 실행하는 것은 본 기술에서 숙련된 자에게는 자명한 것이다. 표 4는 상기 서술된 실시예에 따르는 장치와 할당된 ID를 나타낸다 (LSB→MSB).
- [0115] 표 4
- | 장치 번호 | 수신된 ID | 할당된 ID |
|---------------|--------|--------|
| [0116] 제1 장치 | 11111 | 01111 |
| [0117] 제2 장치 | 01111 | 10111 |
| [0118] 제3 장치 | 10111 | 00111 |
| [0119] 제4 장치 | 00111 | 11011 |
| [0120] 제5 장치 | 11011 | 11010 |
| [0121] ... | ... | ... |
| [0122] 제31 장치 | 10000 | 00000 |
- [0123] 유사하게, 수신된 ID 넘버에 '1' 이외의 정수가 가산 또는 감산되어, 일련의 장치에 대해 장치 ID 넘버의 비연속 시퀀스를 제공하는 시스템을 구현하는 것이 분명하다.
- [0124] 상기 서술된 ID 발생 로직 및 방법은 예를 들면, 외부 하드핀 할당이 없이 장치 식별자를 요구하는 플래시 메모리 장치 등의 메모리 장치에 통합될 수 있다. 또한, ID 발생 로직의 실시예는 임의의 메모리 장치의 ID 발생을 지원하기 위해 단일 또는 별개의 장치로서 구현될 수 있다. 단일 장치 구현을 위해, 선택된 메모리 장치의 내부 신호 요구에 따라서 핀 할당이 변경된다.
- [0125] 장치 ID 발생의 상기 실시예는 여기 서술된 원리를 벗어나지 않으면 다수의 다른 시스템에서 구현하기 위해 변경가능하다. 예를 들면, 도 5a, 5b를 참조하면, '기입 ID 시작'에 기초한 커맨드가 로우에서 하이 및 다시 로우로의 CS# 변화에 의해 '기입 ID 종료'와 함께 도입될 수 있다. 또한, '시작 모드 인에이블'을 수신하기 위해 하나의 지정된 핀이 할당될 수 있고, 커맨드 '쓰기 ID 시작'의 역할을 대체한다.
- [0126] ID 발생 종료의 다른 방법은 CS# 변화 대신에 장치에서 종료 커맨드 또는 내부 종료 로직 실행을 사용하는 것이다.
- [0127] MISL(Multi-Independent Serial Link)를 포함하는 플래시 메모리와는 별도로, 여기에 서술된 기술은, 접속된 장치중 하나를 선택하기 위해 ID 넘버를 필요로 하는 직렬 상호접속 구성에서 임의의 장치에 제한없이 적용될 수 있다.

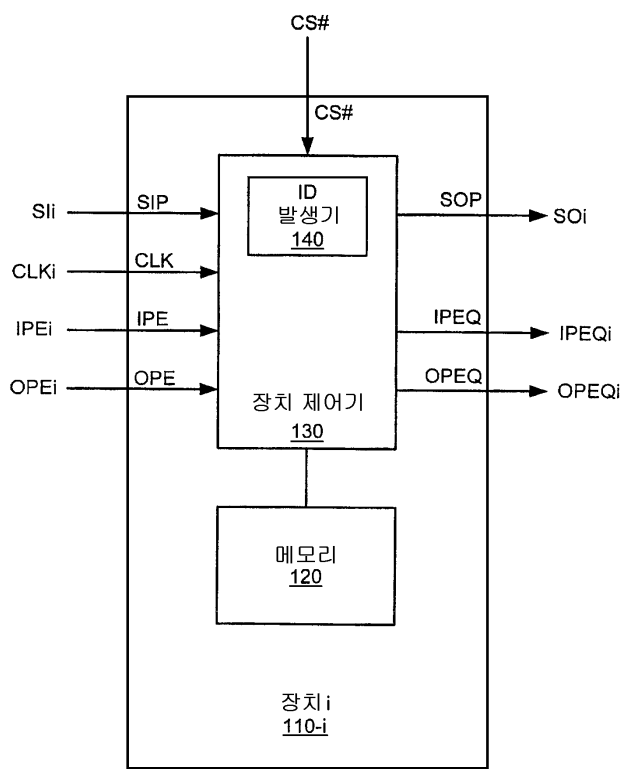
- [0129] 예에 많은 변형이 있다. 액티브 "하이" 또는 "로우" 로직 신호는, 액티브 "로우" 또는 "하이" 로직 신호로 각각 변경될 수 있다. 신호의 "하이" 및 "로우" 상태는 로우 및 하이 공급 전압(Vss 및 Vdd)에 의해 각각 표현될 수 있다.
- [0130] 상기 서술된 예에서, 장치 소자 및 회로는, 간단함을 위해, 도면에 도시된 것같이 서로 접속된다. 메모리 시스템에 본 기술을 실제적으로 적용하는데 있어서, 장치, 소자, 회로 등이 서로 직접 접속되거나 결합될 수 있다. 뿐만 아니라, 소자, 회로 등이 메모리 시스템의 동작을 위해 필요한 것같이, 다른 장치, 소자, 회로 등을 통해 서로 간접적으로 접속 또는 결합될 수 있다.
- [0131] 앞의 서술에서, 설명의 목적으로, 본 발명의 실시예의 철저한 이해를 제공하기 위해 다양한 상세가 설명된다. 그러나, 본 발명을 구현하기 위해 이들 특정 상세 내용이 요구되지 않는 것은 본 기술에서 숙련된 자에게 자명한 것이다. 다른 예에서, 본 발명을 방해하지 않도록 주지의 전기 구조 및 회로가 블록도 형태로 도시되어 있다. 예를 들면, 여기 서술된 본 발명의 실시예가 소프트웨어 루틴, 하드웨어 회로, 펌웨어 또는 그 조합으로서 실현되는지 아는지는 특정 상세 내용이 제공되지 않는다.
- [0132] 본 발명의 상기 서술된 실시예는 예시만을 위한 것이다. 본 발명의 범위를 벗어나지 않으면 본 기술에서 숙련된 자에 의해 교체, 수정 및 변형이 특정 실시예에 효과적일 수 있고, 첨부된 청구범위에 의해서만 한정된다.

도면

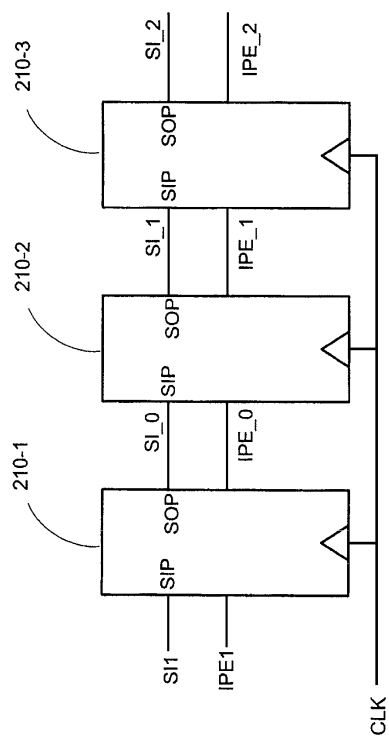
도면1a



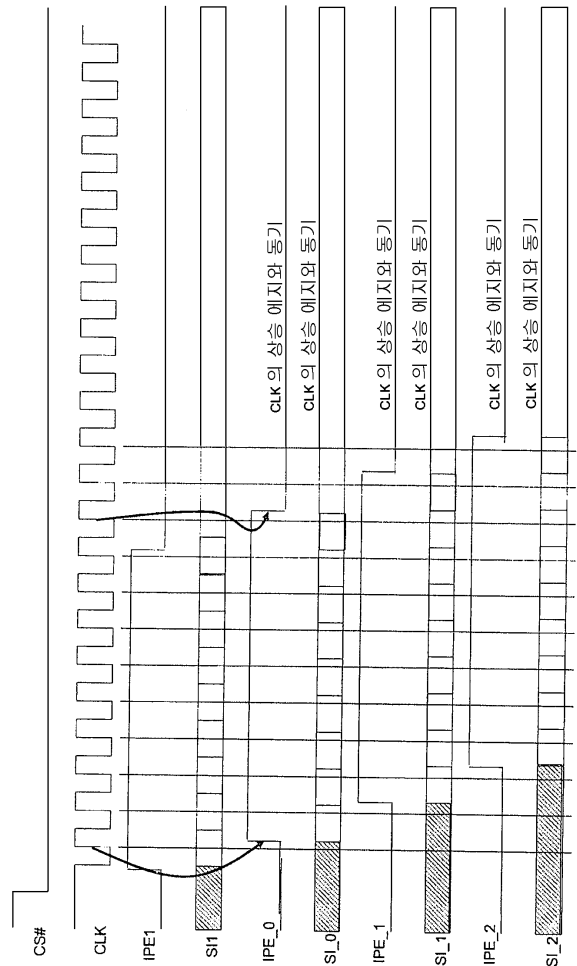
도면1b



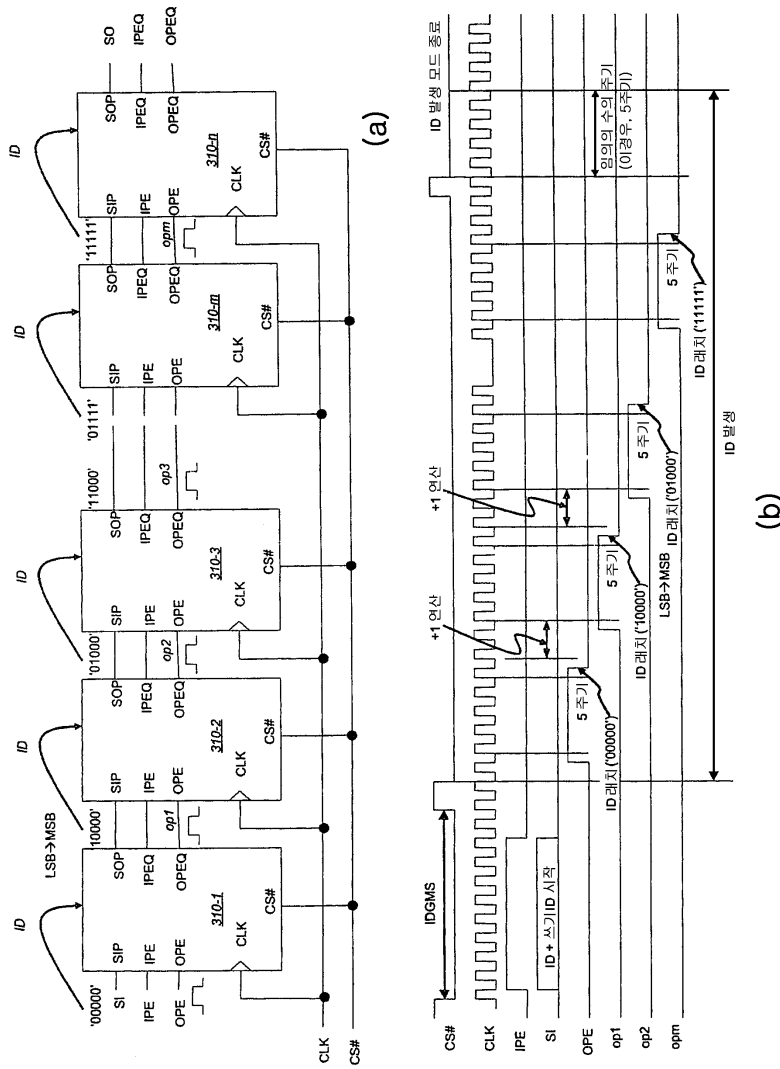
도면2a



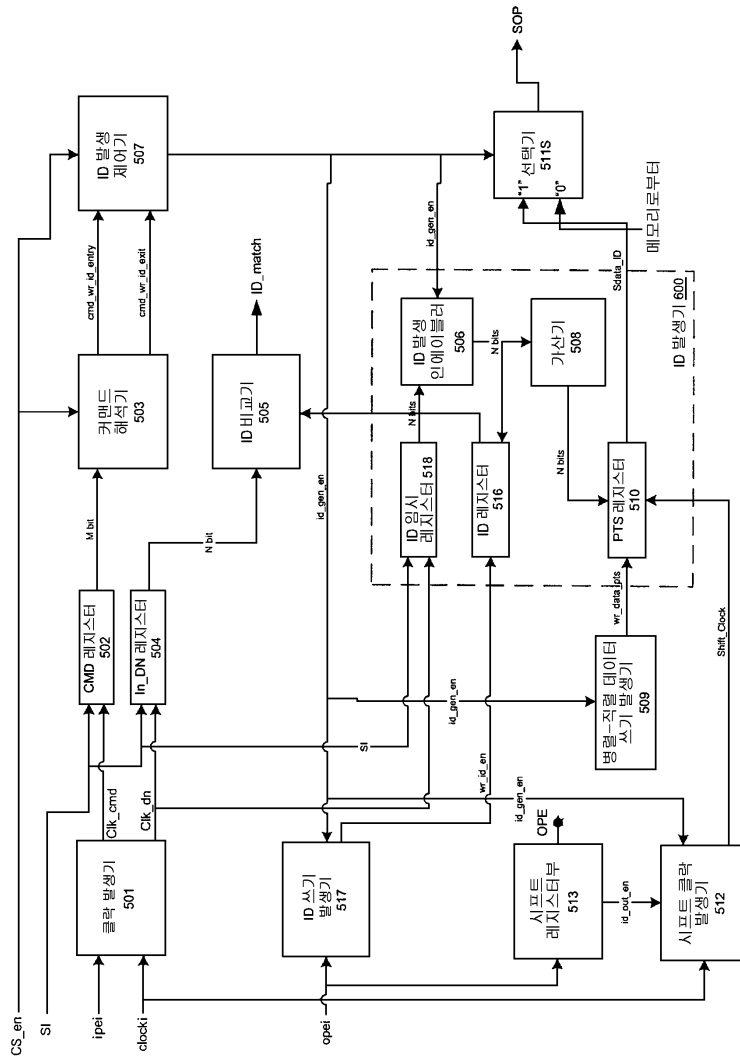
도면2b



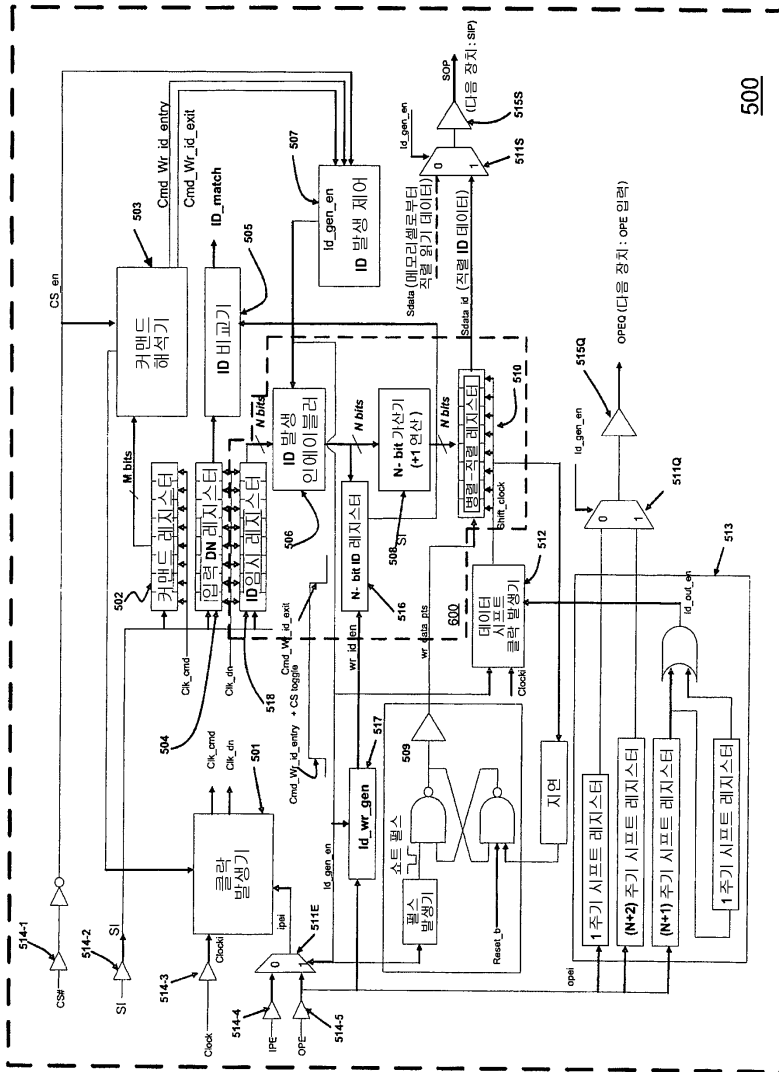
도면3



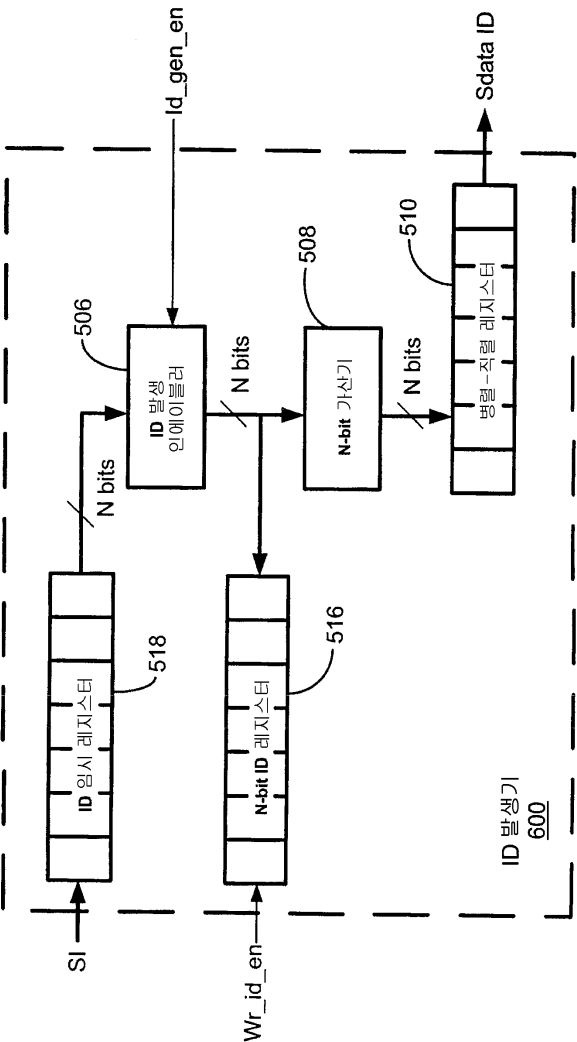
도면5a



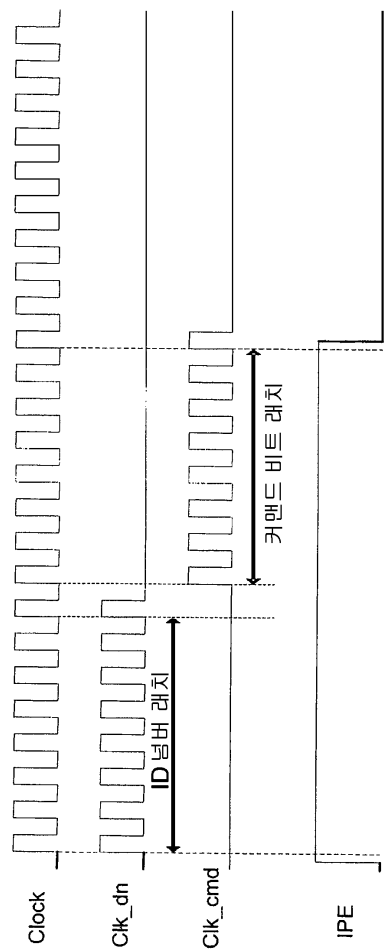
도면5b



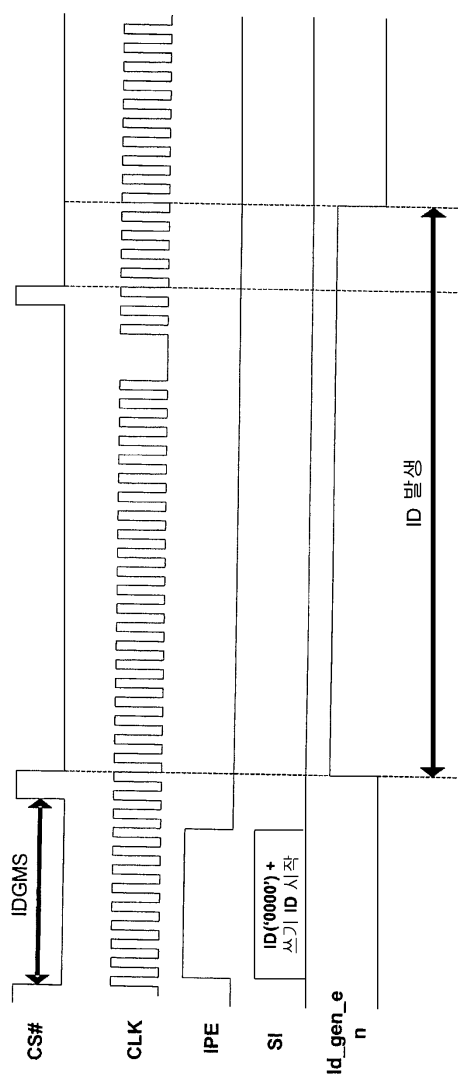
도면5c



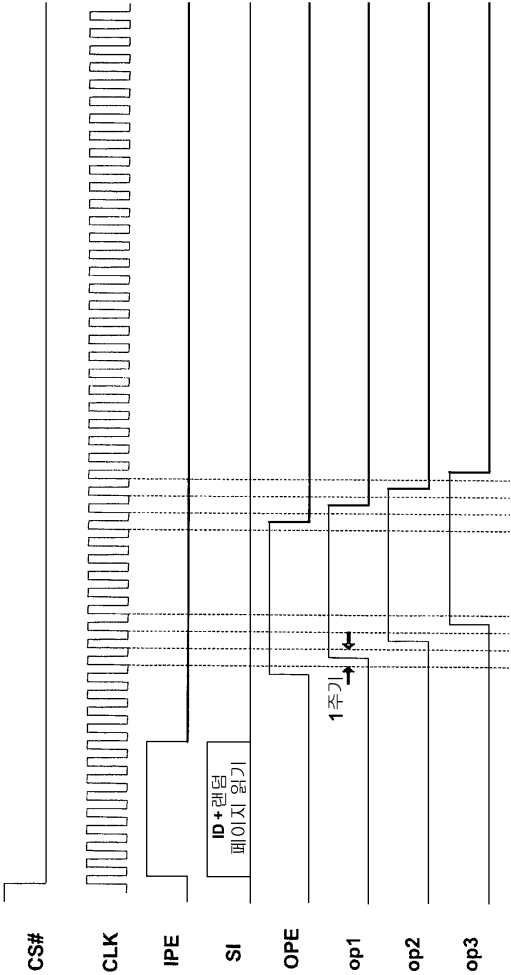
도면6



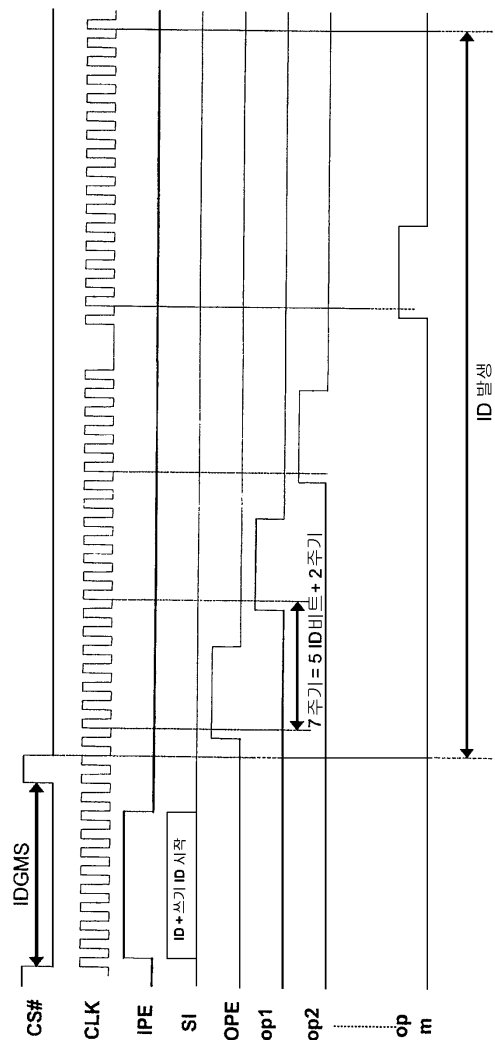
도면7



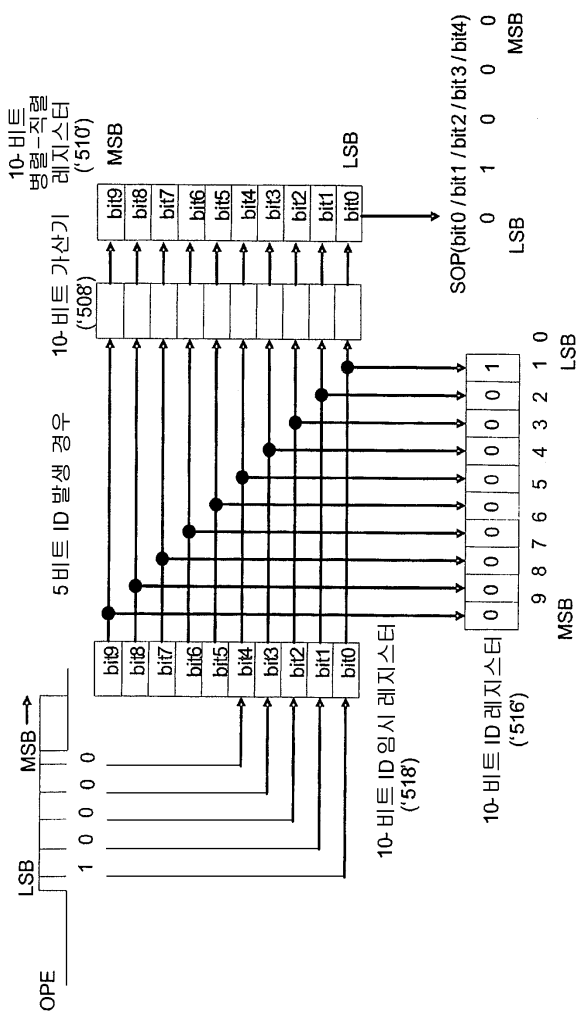
도면8



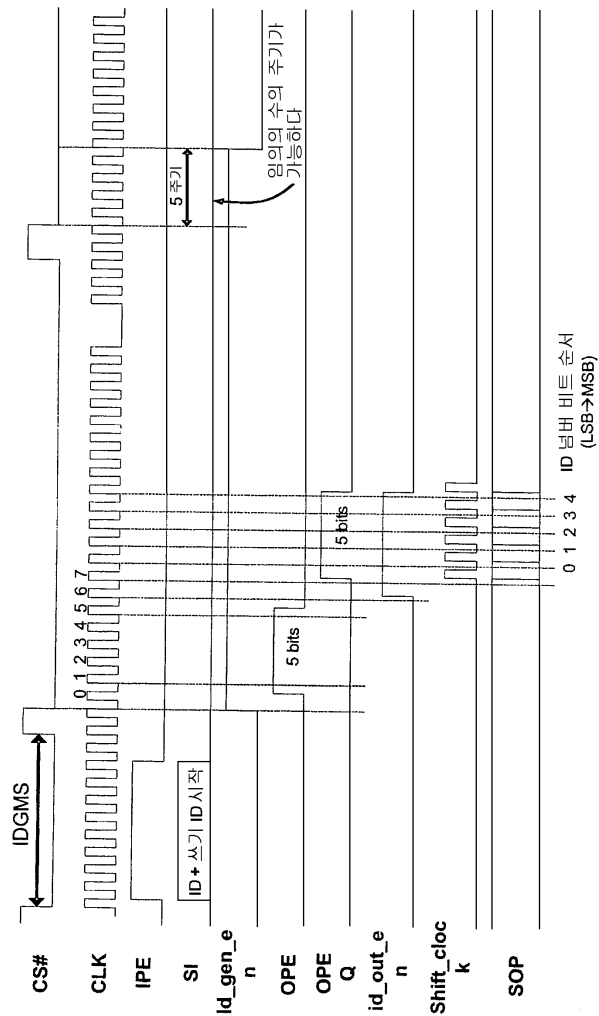
도면9a



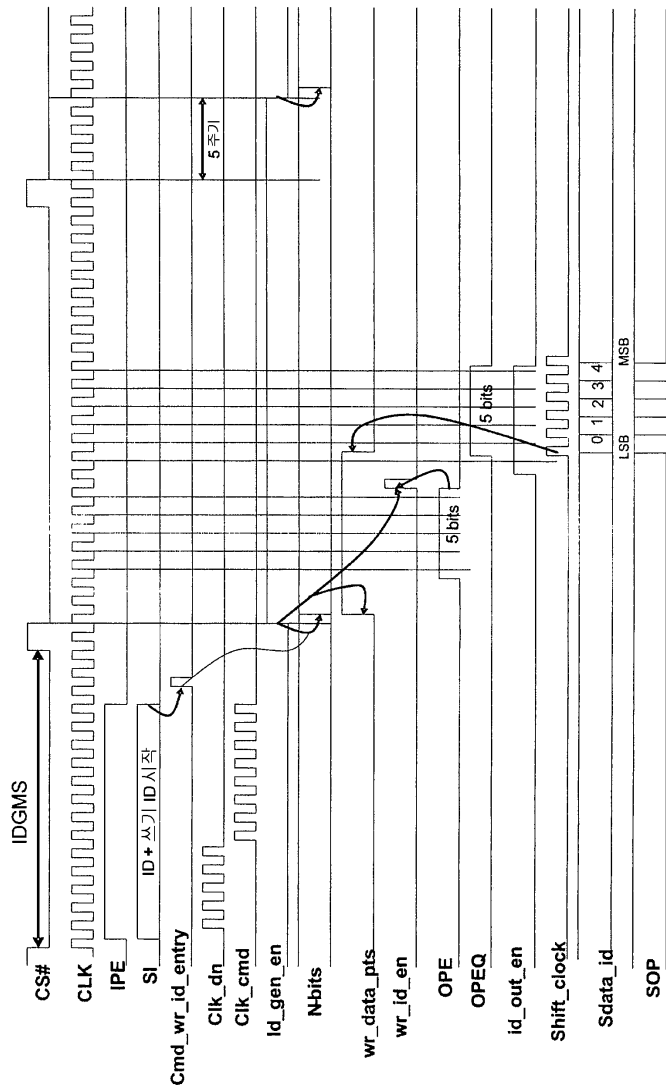
도면9b



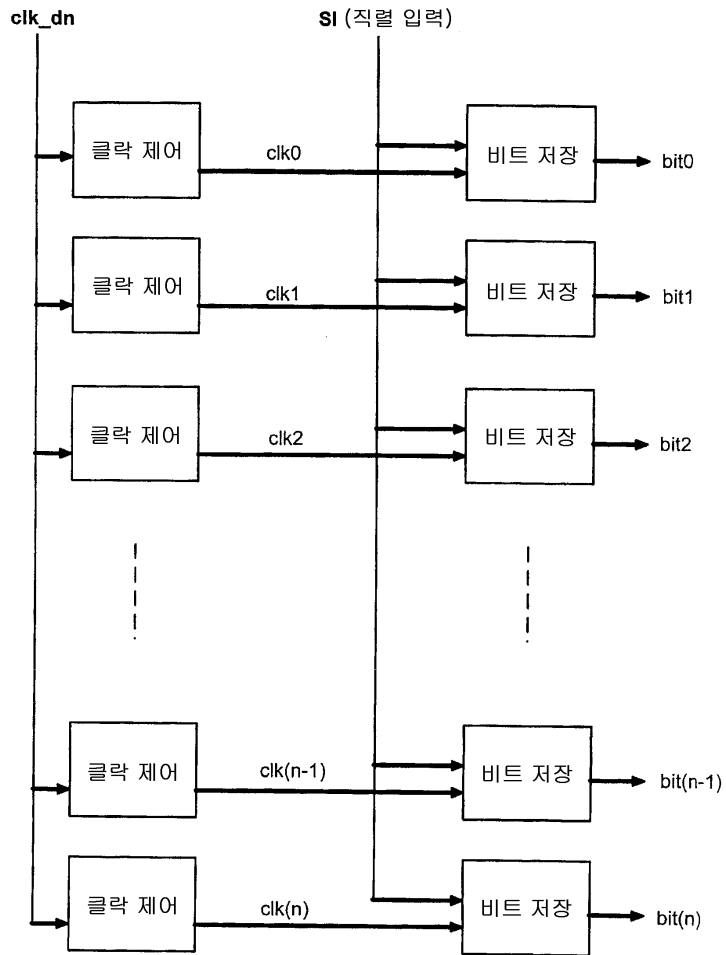
도면10



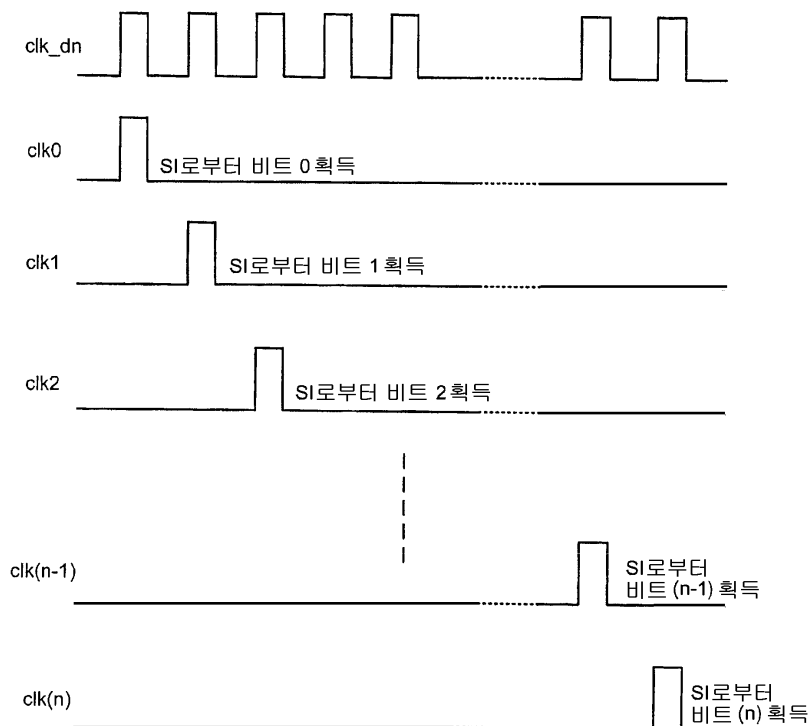
도면11



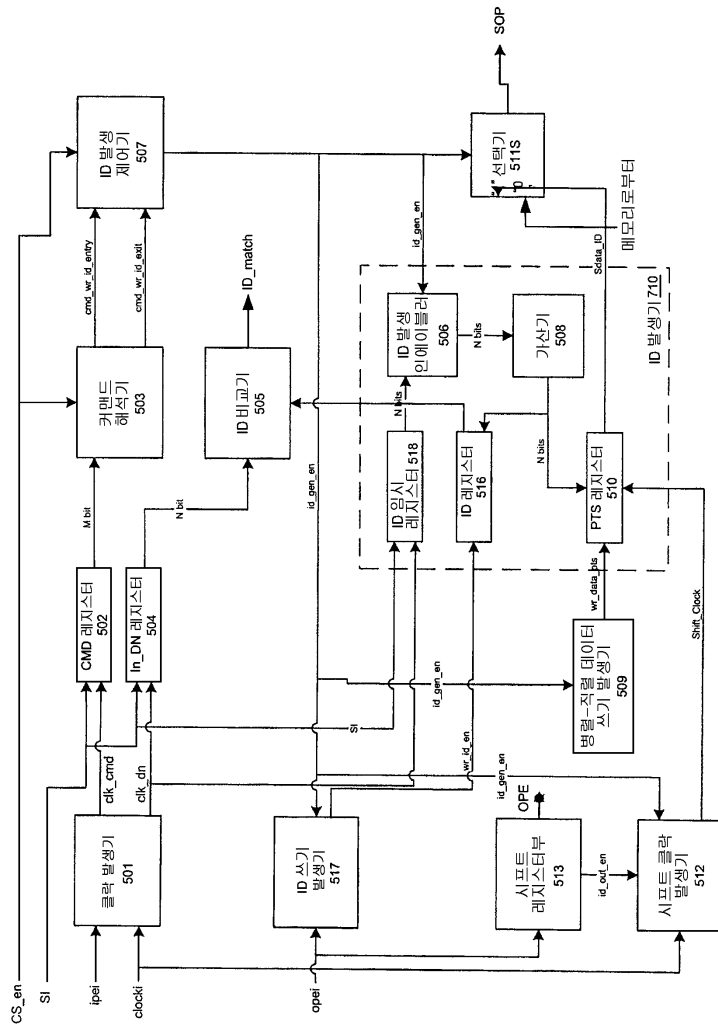
도면12a



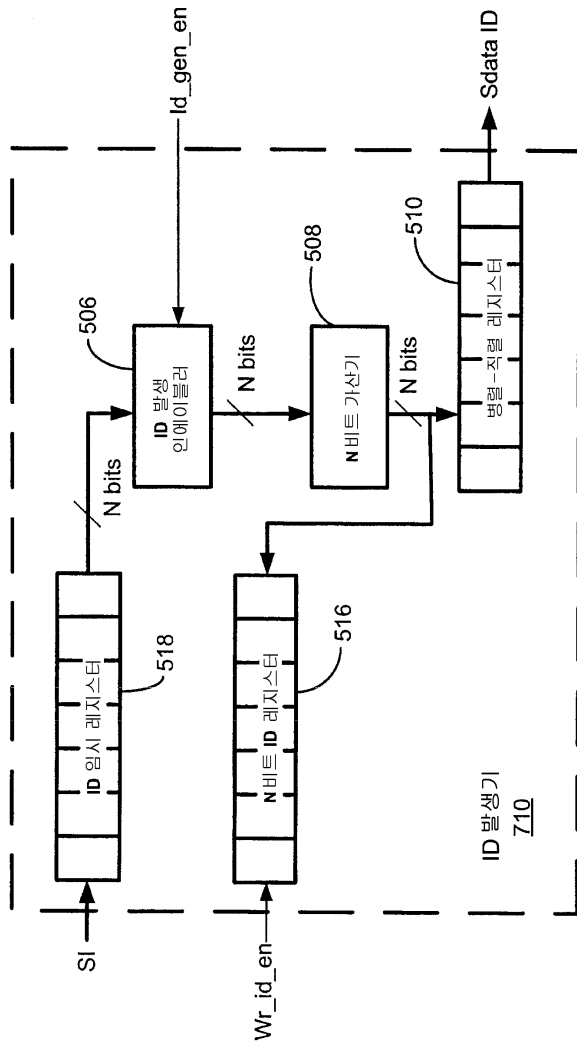
도면12b



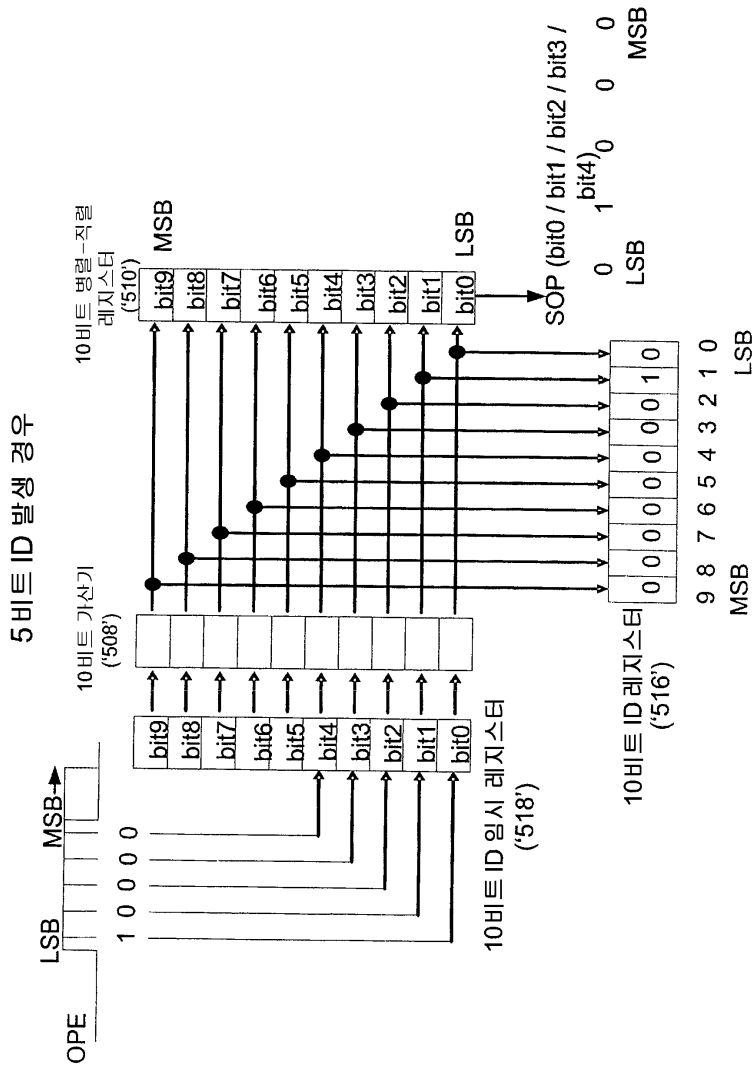
도면13a



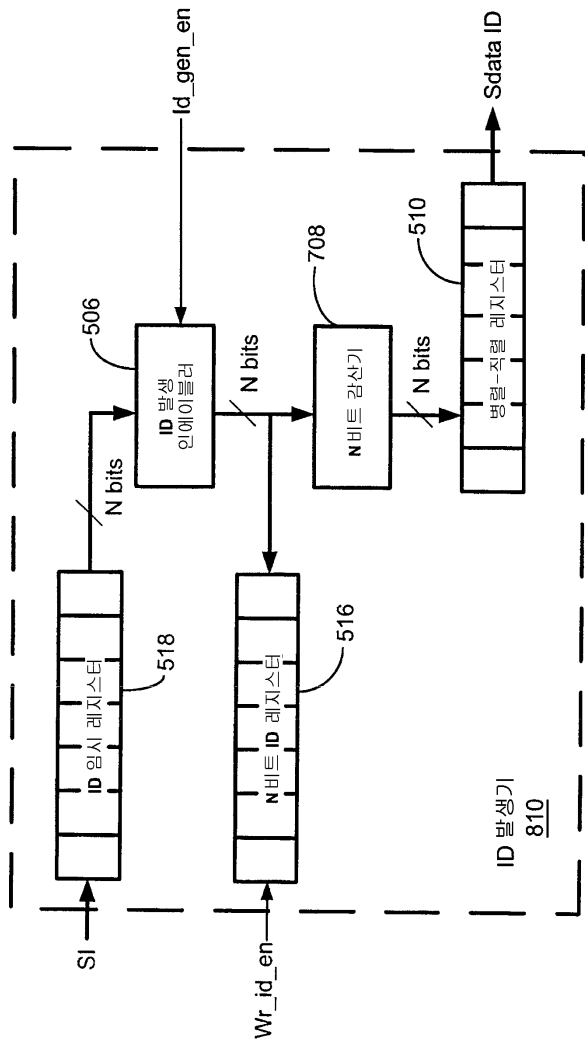
도면13c



도면14



도면15c



도면16

