



República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) PI 1007519-4 B1



* B R P I 1 0 0 7 5 1 9 B 1 *

(22) Data do Depósito: 08/01/2010

(45) Data de Concessão: 09/06/2020

(54) Título: DISPOSITIVO, MEMÓRIA E MÉTODO PARA ARMAZENAR DADOS EM UMA MEMÓRIA DE ACESSO ALEATÓRIO MAGNETO RESISTIVA DE TORQUE POR TRANSFERÊNCIA DE SPIN

(51) Int.Cl.: G11C 11/16.

(30) Prioridade Unionista: 08/01/2009 US 12/350,304.

(73) Titular(es): QUALCOMM INCORPORATED.

(72) Inventor(es): MOHAMED HASSAN ABU-RAHMA; SEUNG CHUL SONG; SEI SEUNG YOON; DONGKYU PARK; CHENG ZHONG; ANOSH B. DAVIERWALLA.

(86) Pedido PCT: PCT US2010020524 de 08/01/2010

(87) Publicação PCT: WO 2010/081021 de 15/07/2010

(85) Data do Início da Fase Nacional: 06/07/2011

(57) Resumo: DISPOSITIVO, MEMÓRIA E MÉTODO PARA ARMAZENAR DADOS EM UMA MEMÓRIA DE ACESSO ALEATÓRIO MAGNETO RESISTIVA DE TORQUE POR TRANSFERÊNCIA DE SPIN São revelados um sistema e um método para ler e gravar dados em memórias magnéticas de acesso aleatório. Em uma concretização particular, um dispositivo (100) inclui um elemento de junção túnel magnética de torque por transferência de spin (STT-MTJ) (102) e um transistor (104) com uma primeira porta (106) e uma segunda porta (108) acopladas ao elemento STT-MTJ.

"DISPOSITIVO, MEMÓRIA E MÉTODO PARA ARMAZENAR DADOS EM UMA MEMÓRIA DE ACESSO ALEATÓRIO MAGNETO RESISTIVA DE TORQUE POR TRANSFERÊNCIA DE SPIN"

Campo da Invenção

[0001] A presente revelação está geralmente relacionada com sistemas e métodos para ler e gravar dados com relação a uma junção túnel magnética (MTJ) de memórias de acesso aleatório magnético.

Descrição do Estado da Técnica

[0002] Em Memórias de Acesso Aleatório Magneto resistivas de Torque por transferência de spin (STT-MRAMs), o mesmo percurso de corrente é geralmente utilizado para gravar dados e para ler dados. Para gravar dados em um STT-MRAM convencional, uma corrente de gravação pode fluir através de um elemento de junção túnel magnética (MTJ) e de um transistor de acesso associado. A corrente de gravação pode mudar a orientação dos polos magnéticos no elemento MTJ. Quando a corrente de gravação flui em uma primeira direção, o elemento MTJ pode ser colocado em ou permanecer em um primeiro estado, em que os seus polos magnéticos estão com uma orientação paralela. Quando a corrente de gravação flui em uma segunda direção, oposta à primeira direção, o elemento MTJ pode ser colocado em ou permanecer em um segundo estado, em que os seus polos magnéticos estão com uma orientação antiparalela. Para ler dados em uma STT-MRAM convencional, uma corrente de leitura pode fluir através do elemento MTJ e seus transistores de acesso associados através do mesmo percurso da corrente utilizado para gravar dados no elemento MTJ. Se os polos magnéticos do elemento MTJ têm uma

orientação paralela, o elemento MTJ apresenta uma resistência que é diferente da resistência que o elemento MTJ iria apresentar se os polos magnéticos do elemento MTJ tivessem uma orientação antiparalela. Então, em um STT-MRAM convencional, existem dois estados distintos definidos por duas resistências diferentes, e um valor lógico "0" ou um valor lógico "1" pode ser lido baseado no estado.

[0003] Em um STT-MRAM convencional conforme descrito acima, uma alta corrente de leitura pode permitir uma detecção mais consistente da resistência do elemento MTJ, que pode traduzir em uma melhor acuracidade de leitura. Ademais, uma alta corrente de leitura pode reduzir o tempo exigido para perceber a resistência, que pode traduzir em um ciclo de leitura mais rápido. No entanto, se a corrente de leitura tiver um valor que excede o valor crítico de uma corrente de perturbação do elemento MTJ, a corrente de leitura pode fazer com que o elemento MTJ mude de estado (ou "vire"). Manter o valor da corrente de leitura abaixo do valor crítico da corrente de perturbação pode ser desempenhado pela proteção e por circuitos de rastreamento, mas os ditos circuitos podem aumentar o tamanho e reduzir o desempenho dos dispositivos STT-MRAM.

Sumário da Invenção

[0004] Em uma concretização particular, é revelado um dispositivo que inclui um elemento de junção (MTJ) de túnel magnético de torque por transferência de spin (STT) e um transistor incluindo uma primeira porta e uma segunda porta que são acoplados ao elemento STT-MTJ.

[0005] Em outra concretização particular, é revelada uma memória. A memória inclui uma matriz de células de

memória. A matriz de células de memória tem uma série de colunas. Cada uma das células de memória inclui um elemento MTJ acoplado a um transistor de porta dupla que tem uma primeira porta acoplada a uma linha de palavra e uma segunda porta acoplada a uma linha que habilita gravar. Pelo menos uma coluna é controlável pela linha que habilita gravar durante uma operação de gravação.

[0006] Em outra concretização particular, é revelado um método para armazenar dados em um STT-MRAM. O método inclui gravar dados dentro e ler dados fora de um elemento MTJ do dispositivo STT-MRAM. O elemento MTJ é acoplado a um transistor que inclui uma primeira porta e uma segunda porta.

[0007] Uma vantagem particular provida por pelo menos uma das concretizações reveladas é que as margens dos dados lidos podem ser aperfeiçoadas em um STT-MRAM que utiliza percursos de leitura/gravação separados devido à utilização de uma alta corrente de leitura.

[0008] Outra vantagem particular provida por pelo menos uma das concretizações reveladas em que o tamanho de um dispositivo STT-MRAM pode ser reduzido como um resultado da remoção de determinada proteção e de determinados circuitos de rastreamento.

[0009] Outros aspectos, vantagens e características da presente revelação se tornarão aparentes após a revisão de todo o pedido, incluindo as seguintes seções: Breve Descrição dos Desenhos, Descrição Detalhada e as Reivindicações.

Breve Descrição das Figuras

[0010] A Figura 1 é um diagrama esquemático de uma concretização ilustrativa particular de um dispositivo com

percursos de gravação e de leitura de dados separados;

[0011] A Figura 2 é um diagrama esquemático de uma concretização ilustrativa particular de uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados;

[0012] A Figura 3 é um diagrama esquemático de uma concretização ilustrativa particular para ilustrar uma operação de leitura de uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados;

[0013] A Figura 4 é um diagrama esquemático de uma concretização ilustrativa particular para ilustrar uma operação de gravação de uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados;

[0014] A Figura 5 é um fluxograma de uma concretização ilustrativa particular de um método de leitura de dados em uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados;

[0015] A Figura 6 é um fluxograma de uma concretização ilustrativa particular de um método de gravação de dados em uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados;
e

[0016] A Figura 7 é um fluxograma de uma concretização ilustrativa particular de um método para armazenar dados em uma memória de acesso aleatório magneto resistiva de torque por transferência de spin (STT-MRAM).

Descrição Detalhada da Invenção

[0017] Com referência à Figura 1, uma concretização ilustrativa particular de um dispositivo é representada e geralmente designada 100. O dispositivo 100 inclui um

elemento de junção túnel magnética (MTJ) 102, tal como uma célula de junção túnel magnética de torque por transferência de spin (STT-MTJ), acoplada a um transistor 104 tendo uma primeira porta 106 e uma segunda porta 108. O dispositivo 100 tem uma parte comum de um percurso de dados lidos/gravados que inclui o transistor 104 acoplado ao elemento MTJ 102. O transistor 104 provê seletivamente percursos de dados de leitura e de gravação para acessar o elemento MTJ 102. Um percurso de leitura de dados pode ser definido polarizando-se a primeira porta 106 em um nível lógico alto enquanto polariza-se a segunda porta 108 em um nível lógico baixo. Em um dito caso, somente a primeira porta (ou "da frente") 106 do transistor 104 está na condução (modo de inversão de canal) enquanto a segunda porta (ou "traseiro") 108 do transistor 104 é esgotada (ou seja, permitindo somente o fluxo da corrente insignificante). A corrente lida está limitada à corrente máxima através da primeira porta 106 enquanto a segunda porta 108 é desabilitada. Um percurso de gravação de dados pode ser definido polarizando tanto a primeira porta quanto a segunda porta 106 e 108 em um nível lógico alto de modo que as duas portas estejam na condução (i.e., modo de inversão de canal). Em um dito caso, o transistor 104 pode conduzir completamente, e a corrente gravação pode ser superior ao valor da corrente de leitura no mesmo dispositivo 100. Como esta estrutura habilita uma determinada corrente de leitura e uma corrente de gravação diferente, o transistor 104 provê percursos de leitura e de gravação de dados separados. O percurso de leitura inclui um canal de inversão da primeira porta 106, enquanto o percurso de gravação inclui os canais

de inversão tanto da primeira porta 106 quanto na segunda porta 108.

[0018] O elemento MTJ 102 pode ser utilizado para armazenagem de dados. O elemento MTJ 102 inclui uma camada magnética livre (designada como F, numeral de referência 110, na Figura 1), uma barreira de túnel dielétrico fino (designado como T, numeral de referência 112, na Figura 1), e uma camada magnética presa (designada como P, numeral de referência 114, na Figura 1). Quando uma polarização é empregada ao elemento MTJ 102, elétrons que estão polarizados por rotação pelas camadas magnéticas atravessam a barreira de túnel dielétrico T 112 através de um processo conhecido como tunelamento. Os dados podem ser gravados no elemento MTJ 102 passando uma corrente de gravação através do elemento MTJ 102 em uma primeira direção, gravando dados em um primeiro estado, e passando uma corrente de gravação através do elemento MTJ 102 em uma segunda direção, gravando dados em um segundo estado. A primeira direção da corrente gravação através do elemento MTJ 102 está indicada pela seta 116. A segunda direção da corrente de gravação através do elemento MTJ 102 é indicada pela seta 118. O valor de dados armazenado no elemento MTJ 102 é determinado pela direção da corrente de gravação através da barreira do túnel T 112. O elemento MTJ 102 tem uma baixa resistência quando o momento magnético da camada magnética livre F 110 está paralelo ao momento magnético da camada magnética presa P 114 e uma alta resistência quando o momento magnético da camada magnética livre F 110 está orientado de forma antiparalela ao momento magnético da camada magnética presa P 114. Então, uma corrente de leitura passando através do elemento MTJ 102

pode detectar uma das duas resistências diferentes, dependendo se os momentos magnéticos estão orientados de forma paralela ou antiparalela, e os dois valores diferentes - ou seja, um valor lógico "0" e um valor lógico "1" - podem ser lidos. O elemento MTJ 102 tem também um valor crítico corrente de perturbação acima do qual a corrente passando através do elemento MTJ 102 pode fazer com que o elemento MTJ 102 mude de estado (ou "vire") para gravar dados, e abaixo do qual dados podem ser lidos com segurança sem perturbar o valor armazenado.

[0019] A primeira porta 106 e a segunda porta 108 do transistor 104 podem ser polarizadas independentemente. Isto é, a tensão de polarização da primeira porta 106 e a tensão de polarização da segunda porta 108 do transistor 104 podem ser estabelecidas independentemente. O transistor 104 pode ser um transistor de acesso para o elemento MTJ 102, com a primeira porta 106 do transistor 104 acoplado a uma linha de palavra 120. A segunda porta 108 (que pode ser chamada de uma "porta traseira") do transistor 104 pode ser acoplada a uma linha que habilita a gravação 122. O transistor 104 tem também um terminal de fonte acoplado a uma linha de fonte 124 e um terminal de dreno acoplado a uma linha de bit 126 através do elemento MTJ 102. A linha de palavra 120 pode ser a mesma linha de palavra conforme utilizada por outros transistores de acesso de múltiplas células de memória em uma mesma fileira de uma matriz de memória. A linha que habilita a gravação 122 pode ser a mesma linha que habilita a gravação conforme utilizada por outros transistores de acesso de múltiplas células de memória em uma mesma coluna de uma matriz de memória. A linha de fonte 124 pode ser a

mesma linha de fonte conforme utilizada por outros transistores de acesso de múltiplas células de memória em uma mesma coluna de uma matriz de memória. A linha de bit 126 pode ser uma mesma linha de bit como aquela utilizada para acoplar outros elementos MTJ em uma mesma coluna de uma matriz de memória. Em uma concretização particular, o transistor 104 é um Transistor de Efeito de Campo "fin" de porta independente (IG-FinFET).

[0020] A primeira porta 106 do transistor 104 e a segunda porta 108 do transistor 104 podem desacoplar um percurso de gravação de dados e um percurso de leitura de dados para o dispositivo 100. A primeira porta 106 polarizada a um nível lógico alto (ou "ligado", habilitando o fluxo de corrente) e a segunda porta 108 polarizada a um nível lógico baixo (ou, "desligado", desabilitando o fluxo de corrente) pode definir um percurso de leitura. A primeira porta 106 e a segunda porta 108 ambas polarizadas em um nível lógico alto podem definir um percurso de gravação que seja distinto do percurso de leitura. A primeira porta 106 pode limitar a corrente máxima para não exceder um valor crítico de corrente de perturbação do elemento MTJ 102. Isso pode garantir que o elemento MTJ 102 não mude de estado durante uma operação de leitura. Ademais, o nível de um sinal (por exemplo, alto ou baixo) na segunda porta 108 pode distinguir os percursos de gravação de dados e de leitura de dados separados. Por exemplo, a segunda porta 108 pode ser polarizado para desabilitar uma corrente de leitura durante uma operação de leitura de dados ou para habilitar uma corrente de gravação durante uma operação de gravação de dados. Então, em uma concretização particular, uma gravação de dados pode ser

seletivamente ativada ou desabilitada empregando um sinal aa segunda porta 108.

[0021] Uma tensão limite de uma porta de um transistor é definida geralmente como o valor de tensão empregada a porta acima da qual a corrente flui do dreno para a fonte e abaixo da qual a corrente não flui do dreno para a fonte. No entanto, quando uma tensão abaixo da tensão limite é empregada a porta de um transistor, pelo menos alguma, geralmente uma pequena quantidade, de corrente flui do dreno para a fonte. Esta corrente é geralmente chamada de "vazamento". Em um FinFET de porta dupla simétrica, as duas portas do transistor têm quase os mesmos valores de tensão limite, enquanto em um FinFET de porta dupla assimétrico, cada uma das portas de transistor tem valores de tensão limite diferentes. Em uma concretização particular, com um transistor de porta dupla simétrica 104, o valor da corrente de gravação pode ser cerca de duas vezes o valor da corrente de leitura. Em uma concretização particular, uma tensão negativa pode ser empregada a qualquer uma das portas para reduzir o vazamento. Em uma concretização particular, um transistor assimétrico 104 pode reduzir o vazamento. Por exemplo, a tensão limite da primeira porta 106 do transistor 104 pode ser projetada de modo que uma tensão negativa não precisa ser empregada aa primeira porta 106 para reduzir o "vazamento" do fluxo de corrente entre o dreno e a fonte do transistor 104. Geralmente, quanto mais alta for a tensão limite, mais baixa será a corrente de vazamento.

[0022] Dados podem ser gravados no elemento MTJ 102 ativando as duas primeira e segunda portas 106 e 108 do transistor 104, empregando uma tensão através da fonte e das

linhas de bit 124 e 126 para induzir que uma corrente superior do que a corrente crítica de perturbação que flui através do elemento MTJ 102. Isso pode colocar o elemento MTJ tanto em um primeiro estado quanto em um segundo estado que pode ser um lógico "1" ou um lógico "0". Os dados podem ser lidos ativando a primeira porta 106 e desabilitando a segunda porta 108, empregando uma tensão através da fonte e das linhas de bit 124 e 126, para induzir uma corrente que seja inferior do que aquela da corrente crítica de perturbação para fluir através do elemento MTJ 102. A corrente de leitura pode ser utilizada para detecção de uma de duas resistências diferentes, que podem ser lidas como um lógico "1" ou um lógico "0". Utilizando as primeira e segunda portas 106 e 108 para limitar a corrente a um valor menor do que a corrente crítica de perturbação para leituras de dados e habilitar a geração de uma corrente que tenha um valor superior do que a corrente crítica de perturbação para gravações de dados, a proteção adicional e circuitos de rastreamento para evitar excesso de corrente pode ser reduzido ou eliminado. Além disso, controlar os percursos de dados de leitura e de gravação utilizando um único transistor pode permitir que uma pegada do dispositivo 100 seja reduzida em comparação com as partes das células MRAM convencionais.

[0023] O dispositivo 100 é único e tem uma série de benefícios. O dispositivo 100 pode desacoplar os percursos de leitura e de gravação de dados para dispositivos STT-MRAM, permitindo altas correntes de dados de leitura e baixas correntes de dados de leitura, as duas das quais aperfeiçoa o desempenho do STT-MRAM. O dispositivo 100 pode prover uma matriz de memória STT-MRAM com um mecanismo de proteção para

prevenir uma virada da célula inadvertida durante uma operação de leitura. O dispositivo 100 pode baixar a área de percepção de circuitos e reduzir custos ativando a omissão de um circuito de proteção de corrente dedicado. O dispositivo 100 pode aperfeiçoar o desempenho ativando correntes de gravação e de leitura superiores para prover velocidade operacional superior. O dispositivo 100 pode aperfeiçoar a robustez de detecção de leitura ativando uma margem de percepção de corrente de leitura superior.

[0024] Com relação à Figura 2, um diagrama de uma concretização ilustrativa particular de uma matriz de memória incluindo células múltiplas, em que cada célula inclui um dispositivo 100 conforme ilustrado na Figura 1, é retratado e geralmente designado 200. A matriz de memória 200 é feita de uma pluralidade dos dispositivos 100 organizada em três fileiras e em três colunas. As primeiras portas dos transistores dos dispositivos 100 na mesma fileira são acopladas na mesma linha de palavra. Por exemplo, as primeiras portas dos transistores dos três dispositivos 100 na fileira superior são acopladas na linha de palavra 202. As primeiras portas dos transistores dos três dispositivos 100 na fileira do meio são acopladas na linha de palavra 204. Os As primeiras portas dos transistores dos dispositivos 100 na fileira inferior são acoplados na linha de palavra 206.

[0025] A matriz de memória 200 é somente ilustrativa. Enquanto as três fileiras e as três colunas formam a matriz ilustrativa 200 na Figura 2, uma matriz pode ter qualquer número de fileiras e de colunas.

[0026] Então, a matriz de memória 200 compreende uma

infinidade de células de memória. A matriz de memória 200 inclui uma pluralidade de colunas. Cada célula de memória na matriz de memória 200 inclui um dispositivo de junção túnel magnética (MTJ) a um transistor de porta dupla. O transistor de porta dupla tem uma primeira porta acoplada a uma linha de palavra de uma pluralidade de linhas de palavras e tem uma segunda porta acoplada a uma linha que habilita a gravação de uma pluralidade de linhas que habilitam a gravação. Pelo menos uma coluna da pluralidade de colunas é controlável pela linha que habilita a gravação durante uma operação de gravação.

[0027] As segundas portas dos transistores dos dispositivos 100 na mesma coluna são acoplados à mesma linha que habilita a gravação. Por exemplo, as segundas portas dos transistores dos três dispositivos 100 na coluna mais à esquerda são acopladas à linha que habilita a gravação 208. As segundas portas dos transistores dos três dispositivos 100 na coluna central são acopladas à linha que habilita a gravação 210. As segundas portas dos transistores dos três dispositivos 100 na coluna mais à direita são acopladas à linha que habilita a gravação 212.

[0028] Os terminais de fonte dos transistores dos dispositivos 100 na mesma coluna são acoplados à mesma linha de fonte. Por exemplo, os terminais de fonte dos transistores dos três dispositivos 100 na coluna mais à esquerda são acoplados à linha de fonte 214. As segundas portas dos transistores dos três dispositivos 100 na coluna central são acopladas à linha de fonte 216. As segundas portas dos transistores dos três dispositivos 100 na coluna mais à direita são acopladas à linha de fonte 218.

[0029] Os terminais de dreno dos transistores dos dispositivos 100 na mesma coluna são acoplados à mesma linha de bit através de um elemento MTJ associado. Por exemplo, os terminais de dreno dos transistores dos três dispositivos 100 na coluna mais à esquerda são acoplados à linha de bit 220. Os terminais de dreno dos transistores dos três dispositivos 100 na coluna central são acoplados à linha de bit 222. Os terminais de dreno dos transistores dos três dispositivos 100 na coluna mais à direita são acoplados à linha de bit 224.

[0030] Com referência à Figura 3, um diagrama esquemático de uma concretização ilustrativa particular de uma matriz de memória de dispositivos com percursos de gravação e de leitura de dados separados é retratado. Nesta concretização particular, uma tensão de polarização desabilitada de gravação, tal como uma tensão de polarização zero (GND), é empregada em cada uma das linhas que habilita a gravação 302, 304, 306. Isto desabilita as segundas portas de cada dispositivo 100 e dá a cada dispositivo 100 uma tensão limite nominal. Durante uma operação de leitura, uma tensão de alimentação (VDD) é empregada em uma linha de palavra selecionada 308 para habilitar as primeiras portas de todos os dispositivos 100 na fileira superior selecionada. Uma tensão de polarização negativa (-ve) é empregada a outras linhas de palavras 310, 312 na matriz de memória, desligando as primeiras portas dos dispositivos 100 nas fileiras não selecionadas, desabilitando-os eficazmente. O resultado é que uma corrente baixa de acionamento pode ser utilizada para a corrente de leitura (leitura) (mostrada fluindo através dos três dispositivos 100 na fileira superior),

porque somente um jogo de portas em cada coluna (as primeiras portas dos dispositivos na fileira superior conectados à linha de palavra 308) é ativado.

[0031] Com referência à Figura 4, um diagrama esquemático de uma concretização ilustrativa particular de uma matriz de memória de dispositivos 100 com percursos de leitura e de gravação de dados separados é retratado. Uma coluna (a coluna do meio na Figura 4) é selecionada para gravar empregando uma tensão de alimentação (VDD) para a linha que habilita a gravação 402. Isso ativa as segundas portas para os dispositivos 100 na coluna selecionada e baixa a tensão limite para as primeiras portas daqueles dispositivos 100 na coluna selecionada. Uma fileira (a fileira superior) é selecionada e uma tensão de alimentação (VDD) é empregada à linha de palavra 404 daquela fileira selecionada e uma tensão de polarização negativa (-ve) é empregada às linhas de palavras 406, 408 das fileiras não selecionadas. A aplicação de uma tensão de polarização negativa nas linhas de palavras não selecionadas 406, 408 desliga cada um dos dispositivos 100 nas fileiras não selecionadas. Então, somente a célula de memória selecionada (o dispositivo 100 na fileira superior, coluna do meio da Figura 4) tem uma alta corrente de gravação ($I_{\text{gravação}}$). Uma corrente de gravação fluindo através da célula de memória selecionada faz com que um valor de dados seja armazenado na célula de memória selecionada. Quando a corrente de gravação flui em uma direção, um primeiro dos dois valores é armazenado na célula de memória. Quando a corrente de gravação flui na outra direção, um segundo dos dois valores é armazenado na célula de memória. Cada uma das células de

memória selecionadas (cada um dos dispositivos 100 na fileira superior, nas colunas mais à esquerda e mais à direita) tem uma baixa corrente de leitura.

[0032] Com referência à Figura 5, um fluxograma de uma concretização ilustrativa particular de um método de leitura de dados em uma matriz de memória de dispositivos com percursos de leitura e de gravação de dados separados é retratado. O dispositivo 100 que é desejado que seja lido reside em uma fileira "selecionada"; as fileiras remanescentes são fileiras "não selecionadas". Em 502, uma tensão de polarização que desabilita a gravação, tal como uma tensão zero ou uma tensão negativa, é empregada para cada uma das linhas que habilita a gravação da matriz de memória que inclui dispositivos 100 tendo um elemento STT-MTJ e um transistor acoplado ao elemento STT-MTJ. Por exemplo, as linhas que habilitam a gravação podem ser as linhas 208, 210 e 212 da Figura 2, ou as linhas 302, 304 ou 306 da Figura 3. A tensão de polarização que desabilita a gravação desabilita as segundas portas para cada um dos transistores 104 dos dispositivos 100 na matriz de memória.

[0033] Em 504, uma tensão de alimentação é empregada a uma linha de palavra de uma fileira selecionada. Por exemplo, na Figura 3, um dispositivo que é desejado que seja lido reside na fileira superior, tornando a fileira superior a fileira selecionada, e VDD é empregada à linha de palavra 308 da fileira superior. Empregando a tensão de alimentação para as fileiras selecionadas ativa as primeiras portas 106 dos transistores 104 dos dispositivos 100 na fileira selecionada.

[0034] Em 506, uma tensão de polarização negativa

para as linhas de palavras nas fileiras não selecionadas. Por exemplo, na Figura 3, o dispositivo que é desejado que seja lido não reside nas fileiras do meio ou inferiores, tornando as fileiras do meio e inferiores fileiras não selecionadas, e uma tensão negativa -ve é empregada às linhas de palavra 310 e 312 das fileiras do meio e inferiores. Isso desabilita as primeiras portas 106 de cada um dos transistores 104 dos dispositivos 100 nas fileiras selecionadas, desligando eficazmente os transistores 104 dos dispositivos 100 nas fileiras não selecionadas.

[0035] Então, uma concretização ilustrativa particular empregando o método revelado pode, durante um ciclo de leitura, ter os transistores de acesso com suas segundas portas desligadas e com as primeiras portas ativadas somente se elas estiverem em uma fileira selecionada. Então, em uma concretização ilustrativa particular, a primeira porta é polarizada em um nível lógico alto e a segunda porta é polarizada em um nível lógico baixo para ler os dados.

[0036] Com referência à Figura 6, um fluxograma de uma concretização ilustrativa particular de um método para gravar dados em uma matriz de memória de dispositivos tendo percursos de leitura e de gravação separados é retratado. Um dispositivo que deve ser gravado reside em uma fileira e em uma coluna selecionadas. Em 602, uma tensão de alimentação é empregada em uma linha que habilita a gravação da coluna selecionada. Por exemplo, na Figura 4, um dispositivo selecionado reside na coluna do meio, tornando a coluna do meio a coluna selecionada, e VDD é empregada à linha que habilita a gravação 402 na coluna do meio. Empregando a tensão de alimentação ativa as segundas portas 108 de cada

um dos transistores 104 dos dispositivos 100 na coluna selecionada e baixa a tensão limite para as primeiras portas 106 de cada um dos transistores 104 dos dispositivos 100 na coluna selecionada. Uma tensão de polarização que desabilita a gravação, tal como uma tensão zero ou uma tensão negativa, pode ser empregada nas linhas que ativam a gravação que corresponde às colunas não selecionadas.

[0037] Em 604, a tensão de alimentação é empregada às linhas de palavras de uma fileira selecionada. Por exemplo, na Figura 4, o dispositivo selecionado reside na fileira superior, tornando a fileira superior a fileira selecionada, e VDD é empregada à linha de palavra 404 da fileira superior. Empregando a tensão de alimentação à linha de palavra de uma fileira particular e à linha que habilita a gravação de uma coluna particular, qualquer um dos dispositivos na matriz de memória pode ser selecionado para uma operação de gravação.

[0038] Quando uma linha de palavra selecionada é definida para a tensão de alimentação, pelo menos uma linha de palavra selecionada da pluralidade de linhas de palavras na matriz de memória pode ser definida para um valor negativo durante as operações de gravação para prevenir que uma operação de gravação ocorra nas células acopladas às linhas de palavras não selecionadas. Por exemplo, em 606, uma tensão de polarização negativa é empregada nas linhas de palavras de todas as fileiras não selecionadas, desligando de forma efetiva os transistores 104 dos dispositivos 100 nas fileiras não selecionadas. Por exemplo, na Figura 4, o dispositivo selecionado não reside nas fileiras do meio nem inferiores, e uma tensão negativa $-ve$ é empregada às linhas de palavras

406 e 408 das fileiras não selecionadas. Então, somente a célula de memória selecionada tem uma alta corrente de gravação (Igravação). Cada uma das células de memória meio-selecionadas tem uma baixa corrente de leitura.

[0039] Então, uma concretização ilustrativa particular empregando o método da Figura 6 pode, durante um ciclo de gravação, ter uma única célula de memória selecionada, e a única célula de memória selecionada pode ter uma alta corrente de gravação (Igravação).

[0040] Com referência à Figura 7, um fluxograma de uma concretização ilustrativa particular de um método para armazenar dados em uma memória de acesso aleatório magneto resistiva de torque por transferência de spin (STT-MRAM) é retratada. Em 702, dados são gravados em um elemento de junção túnel magnética (MTJ), em que o elemento MTJ é acoplado a um transistor que inclui uma primeira porta e uma segunda porta. Por exemplo, na fileira superior, coluna central da Figura 4, os dados são gravados em um elemento MTJ, e o elemento MTJ é acoplado a um transistor incluindo uma primeira porta e uma segunda porta. Em 704, os dados são lidos a partir do elemento MTJ. Por exemplo, os dados são lidos a partir do elemento MTJ na fileira superior, coluna central da Figura 3.

[0041] Em 706, os dados são gravados no elemento MTJ utilizando um percurso de gravação de dados, e o percurso de gravação de dados e o percurso de leitura de dados são percursos diferentes. Por exemplo, com relação ao elemento MTJ na fileira superior, coluna central das Figuras 3 e 4, os dados são gravados no elemento MTJ utilizando um percurso de gravação de dados, os dados são lidos a partir do elemento

MTJ utilizando um percurso de leitura de dados, e o percurso de gravação de dados e o percurso de leitura de dados são percursos diferentes.

[0042] Em 708, a primeira porta do transistor e a segunda porta de transistor desacoplado do percurso de gravação de dados e do percurso de leitura de dados. Por exemplo, a primeira porta e a segunda porta do transistor retratado como parte do elemento MTJ na fileira superior, coluna central das Figuras 3 e 4 desacoplam o percurso de gravação de dados e o percurso de leitura de dados.

[0043] Em 710, a segunda porta é polarizada para desabilitar uma corrente de gravação durante uma operação de leitura de dados. Por exemplo, a segunda porta do transistor retratado como parte do elemento MTJ na fileira superior, coluna central das Figuras 3 e 4 desabilita uma corrente de gravação durante uma operação de leitura de dados.

[0044] Em 712, a segunda porta é polarizada para permitir habilitar uma corrente de gravação durante uma operação de gravação de dados. Por exemplo, a segunda porta do transistor retratado como parte do elemento MTJ na fileira superior, coluna central das Figuras 3 e 4 é polarizado para habilitar uma corrente de gravação durante uma operação de gravação de dados.

[0045] Então, um sistema empregando o método da Figura 7 utiliza um transistor de acesso incluindo uma primeira porta e uma segunda porta acoplado a um elemento MTJ tanto para gravar dados no elemento MTJ (702) quanto para ler dados a partir do elemento MTJ (704).

[0046] O sistema e o método revelados são únicos e têm uma série de benefícios além daqueles mencionados

anteriormente. O sistema pode permitir ainda a redução de área de amplificação de percepção nos casos nos quais o sinal que habilita a gravação é um sinal analógico e um IG-FinFET é utilizado. Nos ditos casos, o IG-FinFET pode agir como uma braçadeira (ou seja, ele pode limitar a corrente para um valor desejado) na percepção atual. O sistema pode reduzir vazamento em dispositivos STT-MRAM. Uma maneira de reduzir o vazamento é empregando uma tensão de polarização negativa em fileiras não selecionadas de um transistor simétrico 104 durante operação. Outra maneira de reduzir o vazamento é utilizando um transistor assimétrico 104 que é projetado de modo que as suas primeiras portas 106 estejam desligadas mesmo se um potencial de polarização negativo não seja empregado a sua primeira porta 106. Em um transistor assimétrico, uma primeira tensão limite da primeira porta é diferente de uma segunda tensão limite da segunda porta.

[0047] Aqueles com habilidade ainda irão apreciar que os diversos blocos lógicos ilustrativos, configurações, módulos, circuitos e etapas de algoritmos descritos em relação com as concretizações reveladas aqui podem ser implementados como hardware eletrônico, software de computador, ou combinações desses dois. A fim de ilustrar claramente essa permutabilidade de hardware e de software, diversos componentes ilustrativos, blocos, configurações, módulos, circuitos e etapas foram descritos acima geralmente em termos de sua funcionalidade. Se a dita funcionalidade for implementada como hardware ou software depende da aplicação particular e de restrições de projetos impostos no sistema como um todo. As pessoas versadas na técnica podem implementar a funcionalidade descrita de diversas maneiras

para cada aplicação particular, mas as ditas decisões de implementação não devem ser interpretadas como responsáveis pelo afastamento do escopo da presente revelação.

[0048] As etapas de um método ou algoritmo descrito em relação com as concretizações reveladas aqui podem ser incorporadas diretamente em hardware, em um módulo de software executado por um processador, ou em uma combinação dos dois. Um módulo de software pode residir em memória de acesso aleatório (RAM), memória flash, memória somente de leitura (ROM), memória programável somente de leitura (PROM), memória programável apagável somente de leitura (EPROM), memória programável apagável eletricamente somente de leitura (EEPROM), registros, discos rígidos, um disco removível, ou qualquer outra forma de mídia de armazenamento conhecida na técnica. Uma mídia de armazenamento exemplificativa é acoplada ao processador de modo que o processador pode ler informações dele, e gravar informações para a mídia de armazenamento. Como alternativa, a mídia de armazenamento pode ser integral ao processador. O processador e a mídia de armazenamento podem residir em um circuito integrado de aplicação específica (ASIC). O ASIC pode residir em um dispositivo de computador ou em um terminal de usuário. Como alternativa, o processador e a mídia de armazenamento podem residir como componentes discretos em um dispositivo de computação ou terminal de usuário.

[0049] A descrição anterior das concretizações reveladas é provida para permitir que qualquer pessoa versada na técnica faça ou utilize as concretizações reveladas. Diversas modificações naquelas concretizações ficarão

aparentes para aqueles com habilidade na técnica, e os princípios definidos aqui podem ser empregados naquelas outras concretizações sem se afastar do escopo da revelação. Então, a presente revelação não pretende estar limitada às concretizações descritas aqui, mas sim para serem conferidas o mais amplo escopo possível consistente com os princípios e aspectos de novidade conforme definidos pelas seguintes reivindicações.

REIVINDICAÇÕES

1. Dispositivo **caracterizado pelo** fato de que compreende:

um elemento (102) de junção túnel magnética (MTJ) de torque por transferência de spin (STT); e

um transistor (104) acoplado ao elemento STT-MTJ;

em que o transistor inclui uma primeira porta (106) e uma segunda porta (108), e define primeiro e segundo canais de inversão controlados pelas primeira e segunda portas definindo diferentes percursos de leitura e gravação.

2. Dispositivo, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o elemento STT-MTJ está dentro de uma célula de memória em uma matriz de memória, e em que a primeira porta está acoplada a uma linha de palavra da matriz de memória e em que a segunda porta está acoplada a:

uma linha que habilita gravação da matriz de memória;

e

portas de múltiplas células de memória em uma coluna da matriz de memória.

3. Dispositivo, de acordo com a reivindicação 2, **caracterizado pelo** fato de que um primeiro sinal aplicado à segunda porta habilita uma gravação de dados no elemento STT-MTJ, e em que um segundo sinal aplicado à segunda porta desabilita uma gravação de dados no elemento STT-MTJ.

4. Dispositivo, de acordo com a reivindicação 3, **caracterizado pelo** fato de que a primeira porta tem um canal de inversão, e em que o percurso de leitura inclui o canal de inversão.

5. Dispositivo, de acordo com a reivindicação 4,

caracterizado pelo fato de que a primeira porta limita uma corrente máxima para não exceder um valor crítico de corrente de perturbação do elemento STT-MTJ.

6. Dispositivo, de acordo com a reivindicação 5, **caracterizado pelo** fato de que uma primeira tensão limite da primeira porta é diferente de uma segunda tensão limite da segunda porta.

7. Dispositivo, de acordo com a reivindicação 6, **caracterizado pelo** fato de que o transistor é um Transistor de Efeito de campo "fino" de porta independente (IG-FinFET).

8. Memória (200) **caracterizada pelo** fato de que compreende:

uma matriz de células de memória, a matriz incluindo uma pluralidade de colunas, cada célula de memória na matriz de células de memória incluindo um dispositivo (100) de junção túnel magnética (MTJ) acoplado a um transistor de porta dupla, o transistor de porta dupla tendo uma primeira porta acoplada a uma linha de palavra de uma pluralidade de linhas de palavras e tendo uma segunda porta acoplada a uma linha que habilita a gravação de uma pluralidade de linhas que habilitam a gravação, o transistor definindo primeiro e segundo canais de inversão controlados pelas primeira e segunda portas, definindo assim diferentes percursos de leitura e gravação;

em que pelo menos uma coluna da pluralidade de colunas é controlável pela linha que habilita a gravação durante uma operação de gravação; e

em que a matriz de memória inclui uma pluralidade de fileiras, e em que pelo menos uma fileira da pluralidade de

fileiras é controlável pela linha de palavra durante uma operação de leitura.

9. Memória, de acordo com a reivindicação 8, **caracterizada pelo** fato de que a matriz de memória inclui uma pluralidade de fileiras, e em que uma fileira particular da matriz de memória é endereçável através de uma linha de palavra particular.

10. Método para armazenar dados em uma memória de acesso aleatório magneto resistiva de torque por transferência de spin (STT-MRAM), o método **caracterizado pelo** fato de que compreende:

gravar dados em um elemento de junção túnel magnética (MTJ); e

ler dados fora do elemento MTJ;

em que o elemento MTJ é acoplado a um transistor incluindo uma primeira porta e uma segunda porta, e

em que dados de gravação no elemento MTJ utilizam um percurso de gravação de dados, e em que a leitura de dados fora do elemento MTJ utiliza um percurso de leitura de dados, e em que o percurso de gravação de dados e o percurso de leitura de dados são percursos diferentes.

11. Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que a primeira porta do transistor e a segunda porta do transistor desacoplam o percurso de gravação de dados e o percurso de leitura de dados.

12. Método, de acordo com a reivindicação 11, **caracterizado pelo** fato de que a segunda porta é polarizada para:

desabilitar uma corrente de gravação durante uma

operação de leitura de dados; e

habilitar uma corrente de gravação durante uma operação de gravação de dados.

13. Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que uma operação de leitura é realizada por polarização da linha que habilita gravação e da linha de palavra para habilitar uma corrente de leitura e não uma corrente de gravação através do dispositivo MTJ.

14. Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que pelo menos uma linha de palavra não selecionada dentre a pluralidade de linhas de palavra na matriz de memória é definida para um valor negativo durante uma operação de gravação.

15. Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que a primeira porta está ativa e a segunda porta não está ativa durante uma operação de leitura, e

em que tanto a primeira porta quanto a segunda porta estão ativas durante uma operação de gravação.

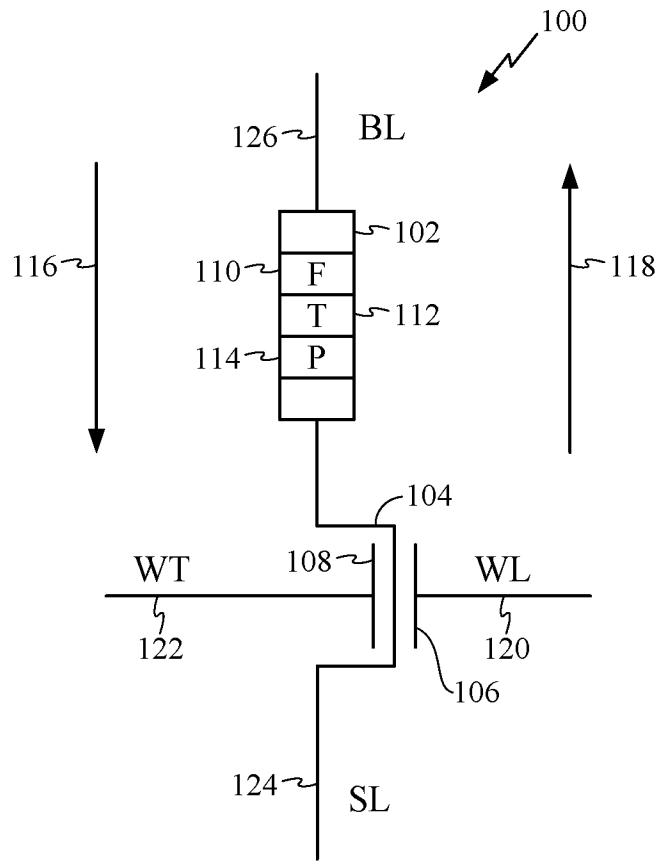


FIG. 1

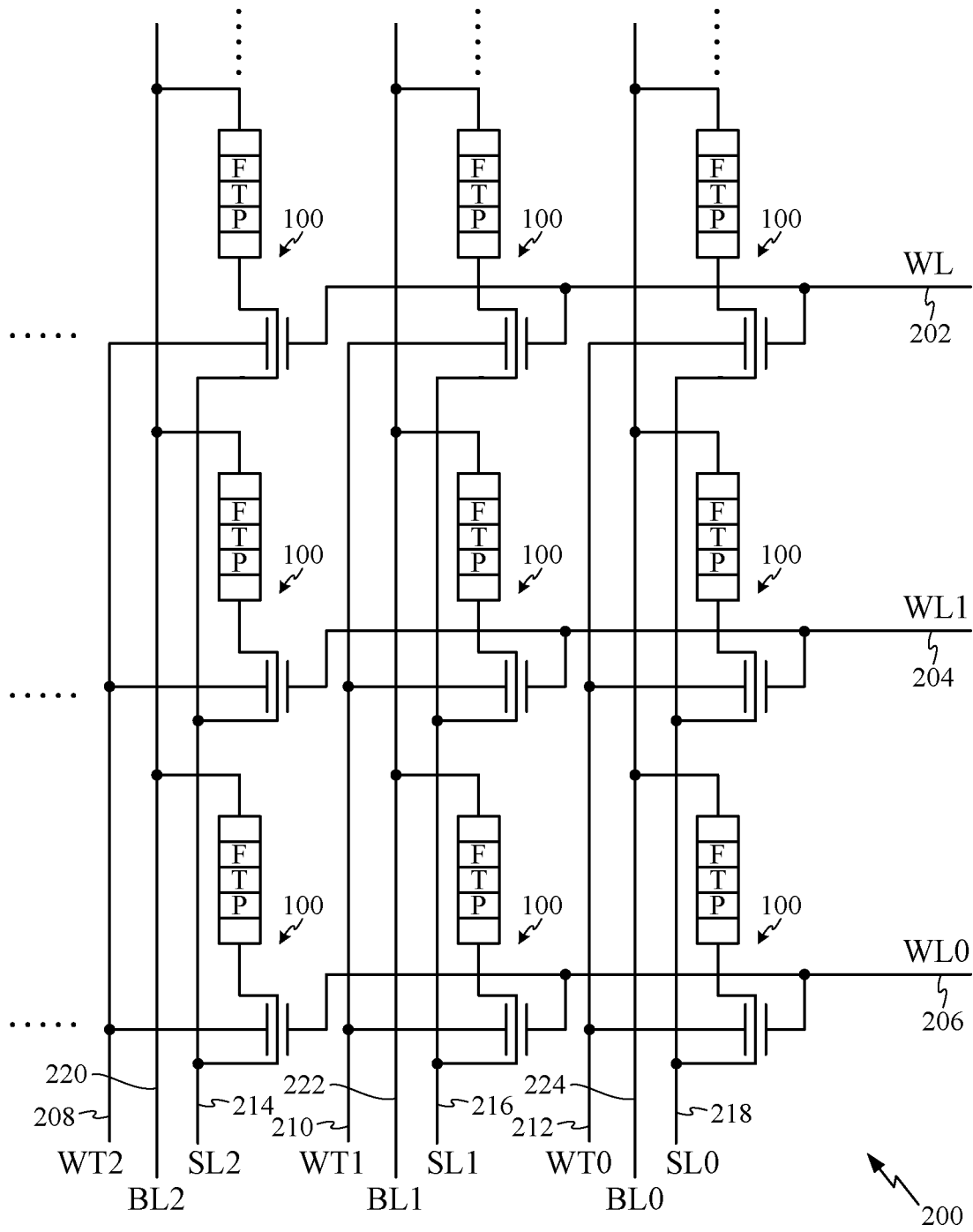


FIG. 2

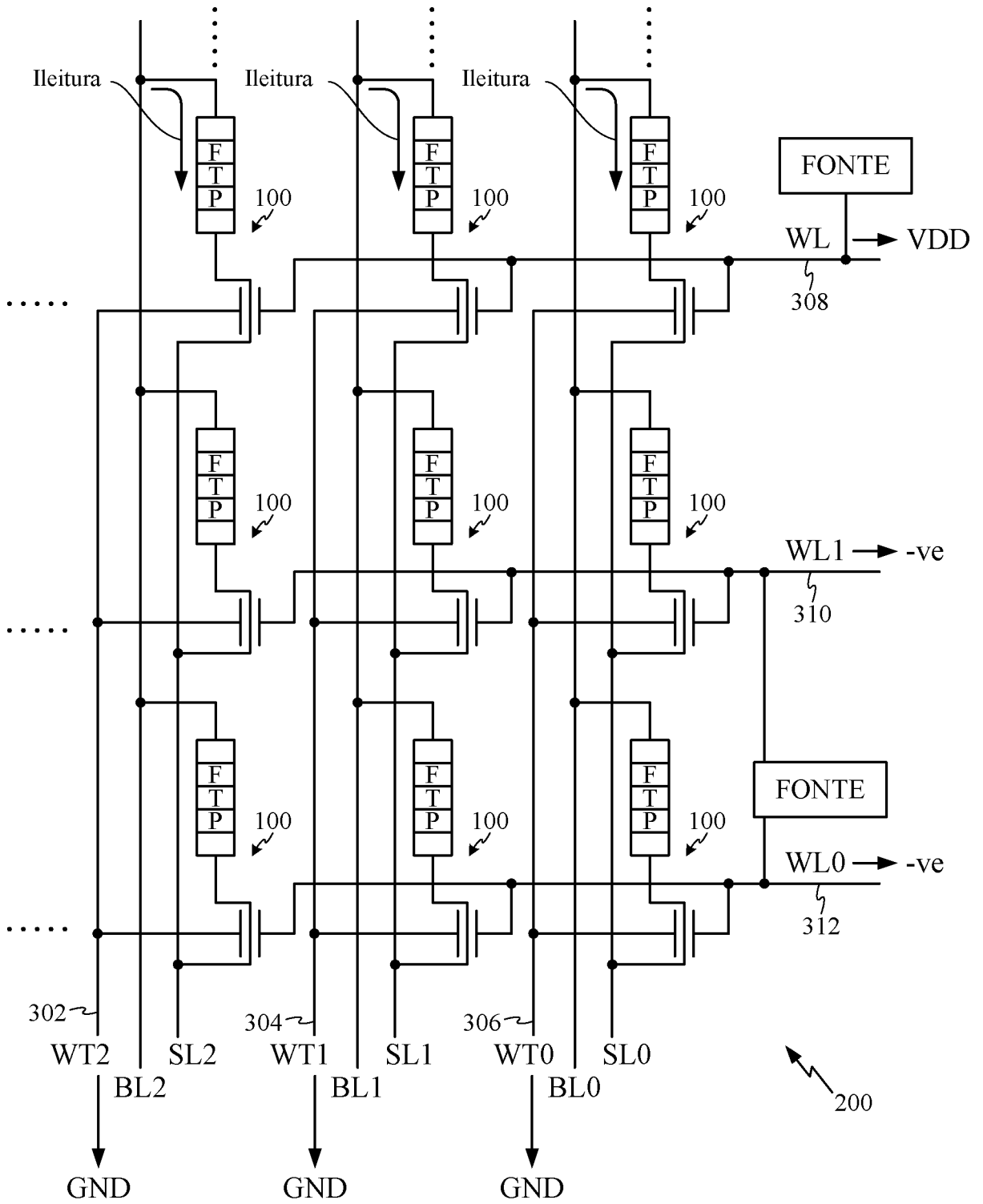


FIG. 3

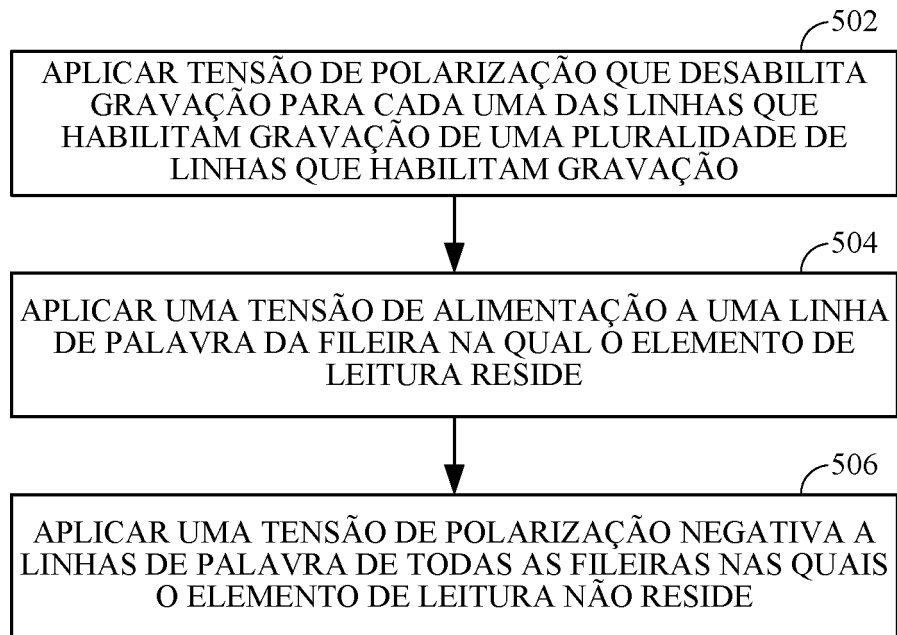


FIG. 5

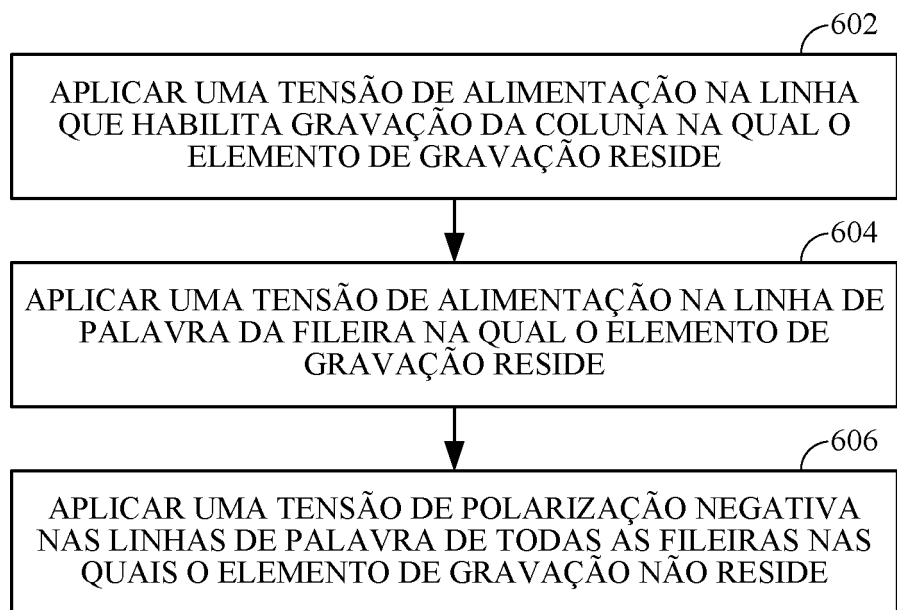


FIG. 6

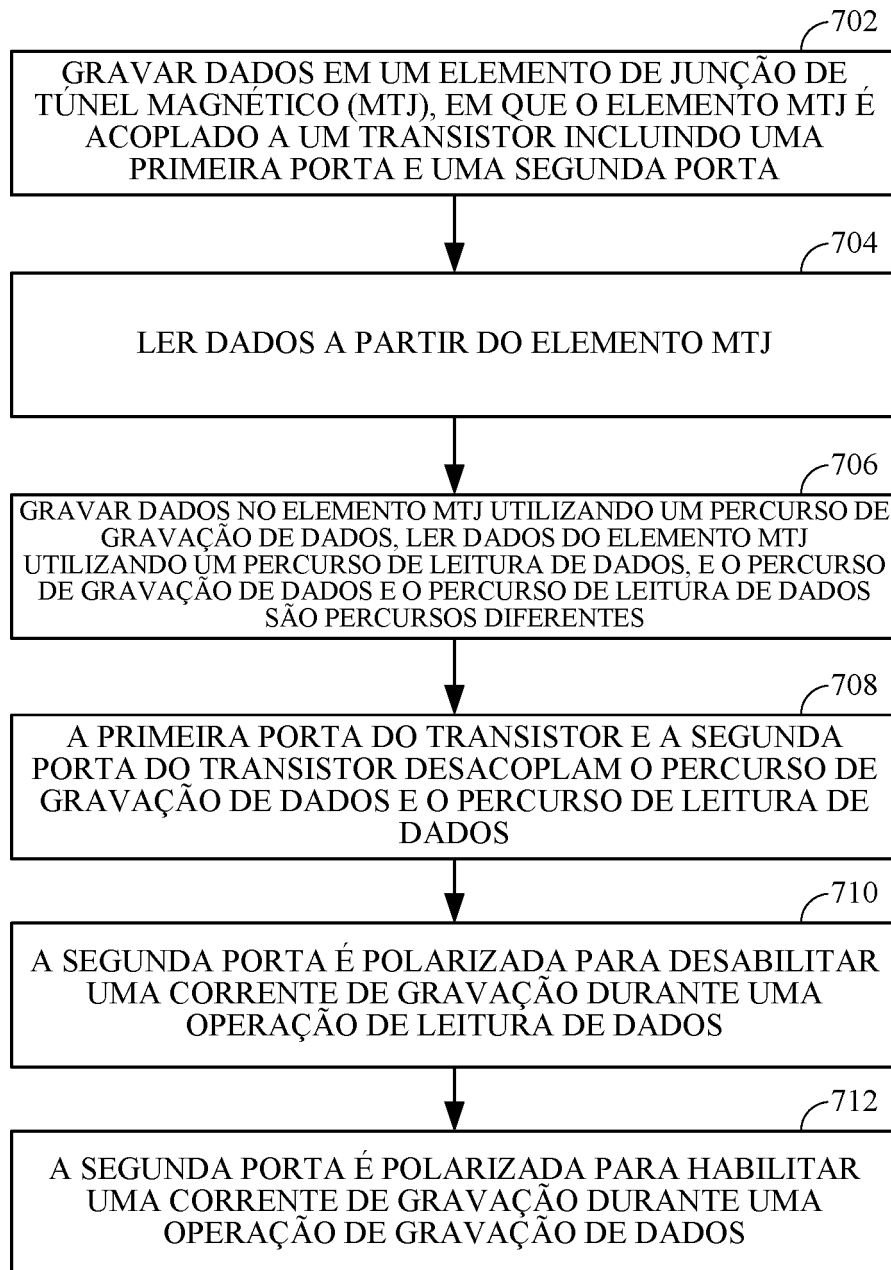


FIG. 7