

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年6月22日(2006.6.22)

【公表番号】特表2006-508481(P2006-508481A)

【公表日】平成18年3月9日(2006.3.9)

【年通号数】公開・登録公報2006-010

【出願番号】特願2004-517525(P2004-517525)

【国際特許分類】

**G 1 1 C 11/15 (2006.01)**

【F I】

G 1 1 C 11/15 1 3 0

G 1 1 C 11/15 1 2 0

【手続補正書】

【提出日】平成18年4月28日(2006.4.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリであって、

複数の行及び列に配列されるランダムアクセスメモリセルのアレイであって、前記複数の行及び列の各交点に一つのメモリセルが形成される前記アレイと、

複数の書き込みビットラインであって、その各々がデータ値をランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納するために使用される前記複数の書き込みビットラインと、

複数の読み出しビットラインであって、その各々がランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納されるデータ値を読み出すために使用される前記複数の読み出しビットラインとを備え、前記複数の書き込みビットラインは前記複数の読み出しビットラインから電気的に絶縁されており、トンネル接合メモリセルの複数の物理的に隣接する列は、前記複数の読み出しビットラインのうちの一つの読み出しビットラインを共有する、メモリ。

【請求項2】

メモリであって、

複数の行及び列に配列されるランダムアクセスメモリセルと、

複数の書き込みビットラインであって、その各々がデータ値をランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納するために使用される前記複数の書き込みビットラインと、

複数の読み出しビットラインであって、その各々がランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納されるデータ値を読み出すために使用され、複数の読み出しビットラインは非書き込みであり、かつ、前記複数の書き込みビットラインと平行である、前記複数の読み出しビットラインと、

複数の読み出しワードラインであって、その各々が所定行のメモリセルに位置する所定セルのデータ値を読み出すために前記読み出しビットラインと共に使用される前記複数の読み出しワードラインと、

複数の書き込みワードラインであって、その各々がデータ値を前記所定行のメモリセルに位置する前記所定メモリセルに格納するために前記書き込みビットラインと共に使用さ

れる前記複数の書き込みワードラインとを備え、前記複数の読み出しワードラインは前記複数の書き込みワードラインから電気的に絶縁されており、ランダムアクセスメモリセルの複数の物理的に隣接する列は、前記複数の読み出しビットラインのうちの一つの読み出しビットラインを共有し、同じ行の隣接する列内の各ランダムアクセスメモリセルは前記複数の読み出しワードラインのうちの一つの共通ワードラインを共有する、メモリ。

#### 【請求項3】

メモリ内の回路を電気的に絶縁する方法であって、

ランダムアクセスメモリセルのアレイを複数の行及び列の形態で提供して前記複数の行及び列の各交点に一つのメモリセルを形成すること、

複数の書き込みビットラインを設け、前記複数の書き込みビットラインの各々を使用して一つのデータ値をランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納すること、

複数の読み出しビットラインを設け、前記複数の読み出しビットラインの各々を使用してランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納されるデータ値を読み出すことであって、複数の読み出しビットラインは非書き込みであり、かつ、前記複数の書き込みビットラインと平行である、前記複数の読み出しビットラインを設けること、

前記複数の書き込みビットラインを前記複数の読み出しビットラインから電気的に絶縁すること、

ランダムアクセスメモリセルの複数の物理的に隣接する列で前記複数の読み出しビットラインのうちの一つの読み出しビットラインを共有することを備える、方法。

#### 【請求項4】

メモリであって、

複数の行及び列に配列されるランダムアクセスメモリセルのアレイであって、前記複数の行及び列の各交点に一つのメモリセルが形成される前記アレイと、

複数の読み出しビットラインであって、その各々がランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納されるデータ値を読み出すために使用され、複数の読み出しビットラインは非書き込みである、前記複数の読み出しビットラインと、

複数の読み出しワードラインであって、その各々がメモリセルの所定の行に位置する所定のセルのデータ値を読み出すために前記読み出しビットラインと共に使用される前記複数の読み出しワードラインとを備え、

トンネル接合メモリセルの複数の物理的に隣接する列は、前記複数の読み出しビットラインのうちの一つの読み出しビットラインを共有し、同じ行の隣接する列の各ランダムアクセスメモリセルは、前記複数の読み出しワードラインのうちの共通のワードラインを共有し、

トンネル接合メモリセルの前記複数の物理的に隣接する列の各々は更に、複数の隣接するビットセルのグループを含み、

グループ選択トランジスタは、グループ選択信号により制御されて、前記複数の隣接する列のうちの一つからの複数の隣接グループのうちの一つを、前記グローバル読み出しビットラインに選択的に接続する、メモリ。

#### 【請求項5】

メモリであって、

複数の行及び列に配列されるランダムアクセスメモリセルのアレイであって、前記複数の行及び列の各交点に一つのメモリセルが形成される前記アレイと、

複数の書き込みビットラインであって、各々が第1の最大電圧を使用する前記複数の書き込みビットラインとを備え、

ランダムアクセスメモリセルの前記アレイは、前記第1の最大電圧よりも低く、制御電極酸化膜により決まる定格電圧を有するトランジスタ群を含む、メモリ。

#### 【請求項6】

メモリであって、

複数の行及び列に配列されるランダムアクセスメモリセルのアレイであって、前記複数の行及び列の各交点に一つのメモリセルが形成される前記アレイと、

複数の読み出しビットラインであって、その各々がランダムアクセスメモリセルの前記アレイの所定の列に位置する所定のメモリセルに格納されるデータ値を読み出すために使用される前記複数の読み出しビットラインと、

複数の読み出しワードラインであって、その各々がメモリセルの所定の行に位置する所定のセルのデータ値を読み出すために前記読み出しビットラインと共に使用される前記複数の読み出しワードラインとを備え、

トンネル接合メモリセルの複数の物理的に隣接する列は、前記複数の読み出しビットラインのうちの一つの読み出しビットラインを共有し、同じ行の隣接する列の各ランダムアクセスメモリセルは、前記複数の読み出しワードラインのうちの共通のワードラインを共有し、

トンネル接合メモリセルの前記複数の物理的に隣接する列の各々は更に、複数の隣接するビットセルのグループを含み、

グループ選択トランジスタは、グループ選択信号により制御されて、前記複数の隣接する列のうちの一つからの複数の隣接グループのうちの一つを、前記グローバル読み出しビットラインに選択的に接続し、

前記複数の隣接ビットセルのグループの各々は、基準端子に直列接続される、メモリ。