I577085

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I577085 B**

(45)公告日： 中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104125431 (22)申請日： 中華民國 104 (2015) 年 08 月 05 日

(51)Int. Cl.： ***H01Q21/00 (2006.01)*** ***H01P1/38 (2006.01)***
H05K1/02 (2006.01)

(30)優先權：2014/10/03 美國 14/505,980

(71)申請人：雷森公司 (美國) RAYTHEON COMPANY (US)
美國

(72)發明人：普賽拉 安傑羅 PUZELLA, ANGELO (US)；巴日 朵納得 BOZZA, DONALD A. (US)；羅賓斯 詹姆斯 ROBBINS, JAMES A. (US)；法蘭西斯 約翰 FRANCIS, JOHN B. (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201131890 US 2012/0313818A1

WO 2010/116357A1

審查人員：程敦睿

申請專利範圍項數：20 項 圖式數：17 共 127 頁

(54)名稱

具有整合循環器的發送/接收子卡及模組化可擴充的射頻(RF)電路卡陣列(CCA)

TRANSMIT/RECEIVE DAUGHTER CARD WITH INTEGRAL CIRCULATOR AND MODULAR SCALABLE RADIO FREQUENCY(RF) CIRCUIT CARD ARRAY(CCA)

(57)摘要

說明以單一層疊步驟製造的混合訊號多層印刷線路板。PWB 包含設於構成 PWB 之不同電路板上的不同電路層之間的一或多個射頻(RF)互連。PWB 包含多個單元胞，以發射元件及 RF 罩圍繞各單元胞配置以隔單元胞。複數個倒裝晶片電路配置於 PWB 的外表面上及散熱器配置於倒裝晶片組件上。

A mixed-signal, multilayer printed wiring board fabricated in a single lamination step is described. The PWB includes one or more radio frequency (RF) interconnects between different circuit layers on different circuit boards which make up the PWB. The PWB includes a number of unit cells with radiating elements and an RF cage disposed around each unit cell to isolate the unit cell. A plurality of flip-chip circuits are disposed on an external surface of the PWB and a heat sink can be disposed over the flip chip components.

指定代表圖：

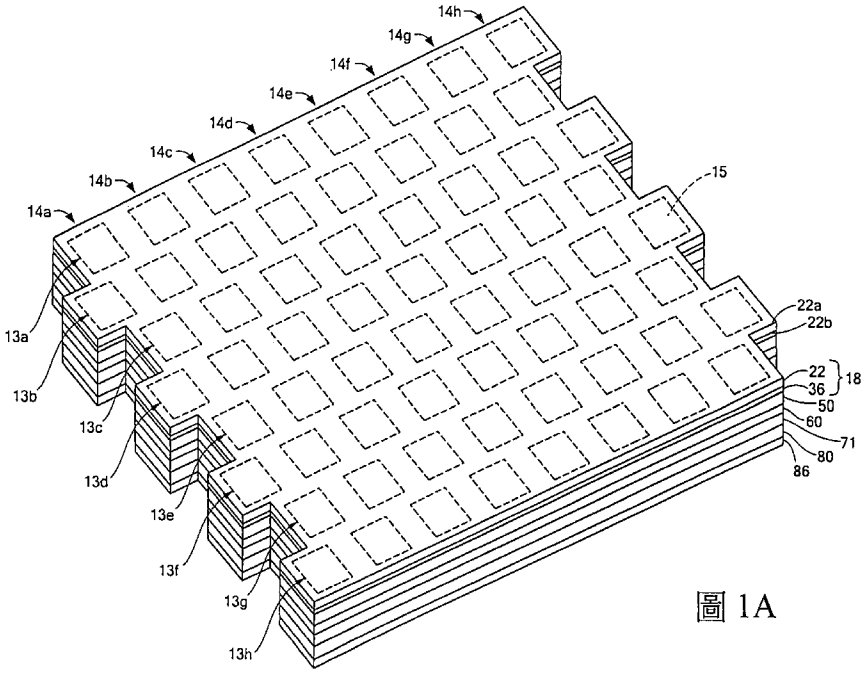


圖 1A

符號簡單說明：

15・・・天線元件

13a-13h・・・列

14a・・・行

18・・・上多層組件

22・・・輻射體子組件

22a・・・第一表面

22b・・・第二相反表面

36・・・上多層板

50・・・互連板

60・・・循環器板

71・・・互連板

80・・・下多層板

86・・・熱散佈板

I577085

第 104125431 號　公告本　民國 105 年 11 月 17 日修正

發明摘要

H01Q 21/00 (2006.01)
H01P 1/38 (2006.01)
H04K 1/02 (2006.01)

※申請案號：104125431

※申請日：104 年 08 月 05 日　※IPC 分類：

【發明名稱】(中文/英文)

具有整合循環器的發送/接收子卡及模組化可擴充的射頻(RF)電路卡陣列(CCA)

Transmit/receive daughter card with integral circulator and modular scalable radio frequency (RF) circuit card array (CCA)

【中文】

說明以單一層疊步驟製造的混合訊號多層印刷線路板。PWB 包含設於構成 PWB 之不同電路板上的不同電路層之間的一或多個射頻（RF)互連。PWB 包含多個單元胞，以發射元件及 RF 罩圍繞各單元胞配置以隔單元胞。複數個倒裝晶片電路配置於 PWB 的外表面上及散熱器配置於倒裝晶片組件上。

【英文】

A mixed-signal, multilayer printed wiring board fabricated in a single lamination step is described. The PWB includes one or more radio frequency (RF) interconnects between different circuit layers on different circuit boards which make up the PWB. The PWB includes a number of unit cells with radiating elements and an RF cage disposed around each unit cell to isolate the unit cell. A plurality of flip-chip circuits are disposed on an external surface of the PWB and a heat sink can be disposed over the flip chip components.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

15：天線元件

13a-13h：列

14a：行

18：上多層組件

22：輻射體子組件

22a：第一表面

22b：第二相反表面

36：上多層板

50：互連板

60：循環器板

71：互連板

80：下多層板

86：熱散佈板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

第 104125431 號　　民國 105 年 11 月 17 日修正

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

具有整合循環器的發送/接收子卡及模組化可擴充的射頻(RF)電路卡陣列(CCA)

Transmit/receive daughter card with integral circulator and modular scalable radio frequency (RF) circuit card array (CCA)

【技術領域】

本發明大致上關於適宜以相當低的成本量產及具有非常淺形之相位陣列天線，更特別關於相位陣列天線中利用的射頻(RF)電路及技術。

【先前技術】

如同此技藝中所知般，希望降低使用相位陣列天線(或更簡稱為「相位陣列」)之射頻(RF)系統的擷取及壽命週期成本。同時，愈來愈難以符合這些系統的頻寬、極化分集及可靠度要求。

也如同所知般，當製造 RF 系統是利用允許使用所謂的「混合訊號電路」之印刷線路板(PWB)(有時也稱為印刷電路板或 PCB)時，一方式是降低成本。混合訊號電路典型上意指在相同電路板上具有二或更多不同型式的任何電路(例如，類比及數位電路都整合於單一電路板上)。

也如同所知般，通常由多層 PWB 提供 RF 電路。由於聚四氟乙烯(PTFE)為基礎的材料具有良好的 RF 特徵(例如良好的插入損耗特徵)，所以，這些 PWB 通常由這些材料

製成。

混合訊號多層 PWB 會相層疊及通常由多個副組件提供，以各副組件配置用於不同型式的電路。舉例而言，一子組件可以用於 RF 電路及其它副組件用於直流電力和邏輯電路。二子組件相結合以提供混合的訊號、多層 PWB。這些 PWB 典型上由 PTFE 為基礎的材料提供並因而要求多個製程步驟循環以用於構成混合訊號多層 PWB 之各副組件。舉例而言，需要將所需電路成像及蝕刻於指定層上，然後將板層疊以提供多層 PWB。有時在個別板上執行鑽孔及電鍍作業。最後，執行最後的層疊和鑽孔及電鍍循環，以提供完成的 PWB 子組件或是最終的 PWB 組件。典型地，各 PWB 子組件及/或最終的組件會要求延伸至傳輸線接合部(這些區域稱為「通路柱」)之外的各 RF 通孔被回鑽孔及回填。此步驟增進 PWB 的 RF 性能但是因為回鑽孔的寬容度、回填材料介電特性及捕陷氣袋而增加成本及降低 RF 性能。因此，此方式會因多重製造作業及回鑽/回填作業而造成高成本的 RF 多層 PWB 層疊。

使用低溫共燒陶瓷(LTCC)為基礎的材料(而不是 PTFE 為基礎的材料)所提供之混合訊號多層 PWB 會呈現不同組的製造問題。雖然，使用 LTCC 可典型上在一層疊步驟中製造多層層疊，但是，LTCC 具有多個缺點。舉例而言，由於收縮的問題，所以，可以僅對相當小的面板(或機板)尺寸(典型上 6"平方或更少)進行處理。而且，LTCC 為基礎的材料以導電膠用於傳輸線及接地平面，且相較於傳播

經過 PTFE 板中使用的純銅傳輸線之 RF 訊號損耗，這些導電膠在 RF 頻率時是更損耗的。在很多頻率範圍中(例如，在 Ku 頻帶及之上)，這些增加的插入損耗是無法接受的。此外，LTCC 材料傾向於具有高於 PTFE 為基礎的板之介電常數且這不適用於 RF 傳輸線及有效率的 RF 輻射器。最後，LTCC 具有相當小的製造基礎。總之，目前，LTCC 無法具有高量產生能力，且在 L 頻帶頻率範圍之上，LTCC 材料在 RF 性能及嚴苛限制應用上會作妥協。因此，PTFE 及 LTCC 方式都會造成相當昂貴、RF 性能變差、及限制雷達和/或通訊應用的電路。

如同此技藝中所知般，相位陣列天線包含以已知距離彼此隔離之複數個天線元件，這些天線元件經由複數個移相器電路耦合至發送器或接收器中任一或二者。在某些情形中，移相器電路被視為發送器及/或接收器的一部份。

也如同所知般，相位陣列天線系統適宜產生射頻能量(RF)束，以及藉由控制在發送器或接收器與天線元件陣列之間通過的 RF 能量相位(經由移相器電路)而導引這些束沿著選取的方向。在電子式掃描相位陣列中，藉由發送控制訊號(例如，數位位元或數位控制字系列)至各移向器，而選取移相器電路的相位(因而束方向)。控制字典型上是代表所需的相位移、以及所需的衰減程度和其它控制資料之數位訊號。

在相位陣列天線中包含移相器電路及振幅控制電路典型上會造成相當大、重、及昂貴的天線。當天線作為所謂

的「主動孔徑」(或更簡稱為「主動」)相位陣列天線時，由於主動孔徑天線包含發送及接收電路，所以，相位陣列天線的尺寸、重量及成本議題又更加嚴重。

相位陣列天線通常用於國防及商業電子系統中。舉例而言，主動式電子掃描陣列(AESA)是例如雷達監控、陸面及衛星通訊、行動電話、導航、識別、及電子計數器測量等範圍廣泛的國防及商業電子系統所需要的。這些系統通常用於國家飛彈防衛、戰區飛彈防禦、艦艇自我防禦及區域防禦和航空雷達系統和衛星通訊系統等等的雷達上。因此，系統通常被佈署於例如般隻、航空器、飛彈系統、飛彈平台、衛星或建築物等僅有有限的空間可供利用之單一結構體上。

相較於被動式掃描陣列與機械式操控孔徑，AESA 提供複數個性能優點。但是，佈署 AESA 相關的成本將它們的用途侷限於軍事系統。陣列成本之數量級降低使得 AESA 能夠廣泛地插入於軍事及商業系統中用於雷達、通訊、及電子作戰(EW)應用。AESA 架構的性能及可達度優點可以延伸至各式各樣的平台，包括船隻、飛行器、衛星、飛彈、及潛水艇。

很多習知的相位陣列天線使用所謂的「瓷磚」式架構。在瓷磚式架構中，饋送至相位陣列中的主動組件之射頻(RF)訊號及功率訊號通常散佈於與符合天線孔徑(或是界定)的平面相垂直的平面中。瓷磚式天線架構的孔徑及 RF 訊號之正交配置有時會將天線限制於單一極化配置。

此外，瓷磚式架構會造成相當大及笨重的天線，因而使得這些天線的運輸性及佈署相當困難。

用於相位陣列天線的另一架構是所謂的「面板」或是「瓷磚式」架構。根據瓷磚式架構，RF 電路及訊號散佈於與天線孔徑界定的平面相平行的平面中。瓷磚式架構使用「瓷磚式」形式的基本建構塊，其中，各瓷磚式由多層印刷電路板結構形成，所述多層印刷電路板結構包含天線元件及被裝納於組件中的其相關的 RF 電路，以及，其中，各天線瓷磚式本身可作為實質上平面的相位陣列或是作為更大的陣列天線之子陣列。

對於說明之具有瓷磚式架構的相位陣列，各瓷磚式是高度整合的組件，其包含輻射器、發送/接收(T/R)通道、RF 及功率多樣式及控制電路，所有這些組件可以合併成用於實施 AESA 之低成本輕巧的組件。對於執行必須任務(例如，空運或航空應用)、或是在所需區域運輸及佈署戰術天線等應用，天線重量及尺寸的縮減是很重要時，此架構特別有利。

因此，希望提供前端主動陣列的尺寸、重量及成本比現有技術具有數量級的縮減之 AESA，並同時展現高性能。

【發明內容】

根據此處揭示的技術，使用由複數個個別印刷電路板(PCB)提供的多層印刷線路板(PWB)製造面板陣列之方

法，包含：(a)在包括 PWB 之複數個電路板中的各電路板上的所有層成像；(b)蝕刻複數個電路板的各電路板上的所有層(包含蝕刻複數個電路板的至少某些層上的天線元件及 RF 匹配墊)；(c)層疊多個電路板以提供層疊電路板組件；(d)在層疊電路板組件中鑽孔，各孔都從層疊電路板組件之最頂層延伸至層疊電路板組件的最底層；(e)將層疊電路板組件中的各鑽孔電鍍；以及(f)將複數個倒裝晶片電路配置於層疊電路板組件的外表面上。

根據此特定技術，單一層疊步驟產生由多層 RF PWB 提供的面板陣列。在一實施例中，多層 PWB 作為混合訊號多層 PWB。此技術大幅地簡化製造及組裝處理並造成在薄的、輕的封裝置結合優良的 RF 性能之面板陣列。在一實施例中，面板陣列在 8.4 英吋x11.5 英吋(96.6 英吋 ^{2})、0.120 英吋厚及重 2.16 磅(0.19 磅/英吋 ^{3})的面板中包含 128 個發送/接收(T/R)通道。面板包含多層 PWB、每一 T/R 通道二(2)單石微波積體電路(MMIC)、每一 T/R 通道二(2)開關、RF 及功率/邏輯連接器、旁通電容器及電阻器。單一層疊及單一鑽孔和電鍍作業因而造成低成本、淺形的(亦即薄的)面板。

根據此處所述之發明的概念的進一步態樣，由多層 PWB 提供的面板陣列包括複數個輻射元件，以各輻射元件作為單元胞的一部份。面板陣列又包括複數個「波導罩」，各波導罩圍繞複數個單元胞中對應之一配置，其中，各波導罩延伸經過多層 PWB 的整體厚度。波導罩由

電鍍穿孔形成，電鍍穿孔從 PWB 的第一最外層(例如 PWB 的頂層)延伸至 PWB 的第二最外層(例如 PWB 的底層)。

在 RF 頻率，波導罩使各單元胞與其它單元胞電隔離。此隔離造成面板陣列增進的 RF 性能。波導罩作用以執行：(1)抑制造成掃描盲點的表面波模式(導因於介電片上的輻射元件之間的耦合與介電片中支撐的導引模式)；(2)抑制平行板模式(導因於不對稱的 RF 條狀配置)；(3)在單元胞之間的 RF 隔離；(4)RF 電路與邏輯及功率電路之電隔離(結果造成 RF、功率及邏輯電路能夠印製於相同層上，因而降低多層面板中的層總數；(5)經由饋送層及 RF 成束器的轉換之用於數個 RF 的垂直轉換(這也節省單元胞的空間並允許更緊密的單元胞包裝，當陣列需要在大的掃描體積上操作時，這是重要的)。

單一層疊技術允許在一作業中鑽製所有的 RF、功率及邏輯通孔以及利用 RF 通孔「柱」調諧(其中，延伸至 RF 傳輸線接合部之外的 RF 通路「柱」會被 RF 調諧以提供所需的阻抗匹配)。此調諧方式使用接近 RF 通路傳輸線的接合部之成形的柱。而且，在接地平面層及/或空白層中使用碟(設有圍繞的起伏部)，RF 通孔穿過這些層以助於阻抗匹配設在面板之內的電路的不同部份。

在一實施例中，提供面板陣列的多層 PWB 利用饋送電路與輻射器之間的槽耦合。在輻射器作為塊狀天線元件的情形中，耦合饋送至塊狀天線元件的槽會節省二個整體層疊及鑽孔及電鍍循環，假使使用先前技術的探針饋送方

式以饋送塊狀天線元件時，這二個循環是必要的。

多層 PWB 面板陣列也利用平衡饋送槽。在雙線性極化輻射體的一實施例中，各槽對對應於由威爾金生(Wilkinson)電阻式分配電路饋送的二正交極化方向(例如垂直及水平極化)中之一。此饋送方式的優點是當以偏離陣列的主軸之掃描角掃描陣列時會有改良的交會極化性能。在此掃描模式中，在塊狀天線元件上感應的振幅及/或相位與理想的奇模態(亦即，在塊狀的平行邊緣之間 180 度的相位移及相等的振幅)的任何不平衡會在用於該極化之威爾金森饋送的電阻器中衰減。

根據此處所述的發明概念之另外的態樣，此處所述的 RF 電路及系統也具有下述有利特點：塊狀天線元件配置在多層層疊 PWB 內部並因而與圍繞單元胞中相鄰的塊狀內部地隔離(例如，由於圍繞各單元胞之波導罩而都實體地隔離及電地隔離)。在一實施例中，天線元件形成雙線性極化天線。藉由插入正交混合電路層及將各混合電路耦合至天線饋送電路，完成左及/或右手圓形極化。在一實施例中，威爾金森分配器被用於天線饋伺電路且因為較低的製造成本而使用之電阻器為墨式電阻器(取代 omega-ply 電阻器)。在用於垂直及水平極化饋伺的饋伺電路中使用的威爾金森分配器之電阻器值與用於 RF 成束器中的威爾金森分配器之電阻器值是相同的幾何形狀及相同值(歐姆/平方單位)。這有助於墨式電阻器製造且降低製造成本。多層 PWB 面板陣列也包含所謂的主動式 RF 前端，主動式

RF 前端至少包含：輻射器、RF 饋送器、類比 RF 成束器、T/R 通道以及功率和邏輯分佈電路。因此，藉由使用商業製程及提供彈性給相位陣列應用典型的設計要求範圍，上述面板陣列的特點可以顯著地降低主動式 RF 前端成本。

總之，此處所述的面板陣列及面板架構能夠製造相當低成本的相位陣列。在使用要求相當低的功率密度之相位陣列的應用中，相位陣列經由空氣冷卻並因而使得成本比要求液態冷卻的相位陣列之成本更低。此外，可以以直接方式，將電子及材料隨著時間之進步與設計限制一起併入，設計限制係在每一通道發射的 RF 功率具有預定瓦特數之操作功率程度中，系統會被氣式冷卻。應瞭解，雖然在較佳實施例中，使用經由鰭式散熱器(或類似者)之空氣冷卻，但是，面板陣列也可用於液冷式系統。在液態冷卻的情形中，熱密度散熱容量增加，但是成本增加。

應瞭解，在一實施例中，面板陣列的製造及組裝有五個基本步驟：(1)在包括多層 PWB 的所有電路板上的所有層上成像及蝕刻；(2)將所有電路板層疊以提供層疊的 PWB(單層疊步驟可免除多層疊循環固有的副組件對準，因而降低生產時間及成本 － 在層疊之前各層可被檢測而增進產能)；(3)在層疊的 PWB 之最頂層與最底層之間鑽孔及電鍍(以單一鑽孔作業製成所有 RF、邏輯及功率互連，以及，填充所有孔而產生堅實的、多層層疊)；(4)將所有主動及被動組件取放於 PWB 的外部表面上；及(5)回

銲以將所有主動及被動組件耦合至 PWB 的外表面。

根據此特定技術，提供面板陣列製程，其藉由減少製程步驟數目而降低主動式 RF 前端的成本。此技術產生結合 RF、邏輯及 DC 分佈與主動電子組件於一高度集成的印刷線路板(PWB)中之相位陣列面板。主動式 RF 前端至少包含：輻射器、RF 饋送器、類比 RF 成束器、T/R 通道、功率及邏輯分佈電路、半導體 MMIC。主動式 RF 前端也包含旁通電容器及電阻器。

製造技術可用以提供具有相當低於習知的相位陣列之功率密度特徵之面板陣列。藉由顯著地降低所謂的主動式 RF 前端之成本，此處所述的面板陣列實現相位陣列廣泛用於雷達及通訊應用之目標。藉由降低生產結合 RF、邏輯及 DC 分佈與主動電子組件於一高度集成的多層層疊中的相位陣列之製程步驟的數目，可取得成本降低。除了提供低成本的面板陣列之外，此處所述的面板陣列製造技術也造成機械上堅固的、淺形的及輕的封裝，能夠以面板陣列「建構塊」構成更大的面板陣列。在一實施例中，面板陣列形成基本的「建構塊」以用於模組化/可縮放的相位陣列，要求每通道 10W 的峰值 RF 輸出。

此處所述的面板陣列架構藉由下述而克服雷達範圍或通訊系統要求並降低整體系統成本：(1)可選取範圍寬廣的主動電子技術：RF CMOS、SiGe、GaAs、GaN、SiC，而能夠使成本相對於性能妥協；(2)免除用於各發送/接收(T/R)之個別封裝；(3)施加環境保形塗層；(4)嵌入用於

DC 及邏輯訊號的「可撓(flex)」電路(因而免除 DC、邏輯連接器材料及組件成本等代價)；(5)允許陣列空氣冷卻(因而免除例如液冷等昂貴的方式)。

根據此處所述的系統及技術，相位陣列包含由具有整合複數個混合訊號電路於內的射頻(RF)多層印刷線路板(PWB)所提供的面板陣列。PWB 包含配置成在 PWB 的第一外表面的方向上發射之複數個天線元件。複數個倒裝晶片電路配置於 PWB 的第二外表面上。倒裝晶片電路配置成電耦合至少部份複數個天線元件。散熱器設置於複數個倒裝晶片電路上並配置成熱接觸複數個倒裝晶片電路。

根據此特定配置，提供氣冷式面板陣列。在一實施例中，由單一面板提供相位陣列，而在其它實施例中，相位陣列由複數個面板陣列提供。RF PWB 是混合訊號電路，包含用於面板陣列的 RF、邏輯及功率電路。因此，此處所述的面板及架構允許將適用於主動、電子掃描陣列(AESA)之面板氣冷。主動電路在 PWB 的外表面上安裝成倒裝晶片。將散熱器直接耦合至配置於主動面板(PWB)的表面上之倒裝晶片電路會縮減散熱器與倒裝晶片電路之間的介面並因而降低倒裝晶片電路的熱產生部與散熱器之間的熱電阻。藉由降低散熱器與倒裝晶片電路的熱產生部之間的熱電阻，能夠將面板氣冷。

在一實施例中，在倒裝晶片 MMIC 與鰭式散熱器的表面之間使用直接機械接觸。在其它實施例中，可以在倒裝晶片電路(例如 MMIC)與散熱器表面之間使用中介的「隙

一墊」層。

此處所述的面板陣列將熱(亦即熱能)從面板(以及，特別地從安裝於面板的外表面上的主動電路)有效率地傳送至散熱器。藉由降低主動電路與散熱器之間的熱介面數目，可以取得從主動電路至散熱器快速傳送熱能。在較佳實施例中，主動電路安裝於主動面板上成為倒裝晶片電路。

藉由使用氣冷方式(相對於，使用吹風器或液體冷卻方式中之一)，而提供可負擔的面板陣列冷卻方式。此外，藉由使用單一散熱器以冷卻多個倒裝晶片安裝的主動電路(相對於先前技術的多個、個別的「散熱器」方式)，由於不需要安裝個別的散熱器於各倒裝晶片電路上，所以，冷卻面板陣列的成本(構件成本及組件成本)可以降低。

此外，面板陣列可以作為建構塊及與其它面板陣列結合以提供模組化、AESA(亦即，這些面板的陣列可以用以形成氣冷的主動相位陣列天線)。因此，提供氣冷式的面板陣列會允許製造成本低於先前技術的方式之 AESA。

在一實施例中，倒裝晶片電路為單石微波積體電路(MMIC)以及散熱器散熱元件為鰭片或尖針。

在一實施例中，散熱器為鋁鰭式散熱器，在其表面與配置於面板的外表面上之複數個倒裝晶片 MMIC 之間的介面具有機械介面。此散熱器及面板的氣冷可以不需要昂貴材料(例如鑽石或其它石墨材料)以及將熱管從熱管理系統

中免除。因此，此處所述的系統提供低成本方式以冷卻具有產熱的電路組件(例如主動 MMIC)之主動相位陣列天線。

在一實施例中，面板由設有倒裝晶片接合的 MMIC 之多層、混合訊號 RF 印刷線路板(PWB)提供。單一散熱器具有第一表面，第一表面機械地附著至 PWB 以致與各倒裝晶片 MMIC 形成熱接觸。此面板架構可以用以提供面板，適用於不同工作循環範圍、從每一 T/R 通道 mW 至每一 T/R 通道 W 的範圍之 RF 功率位準。

由於能夠在具有多個、不同的功率位準及實體尺寸之系統中，使用共同的面板架構，所以，對於各系統也能夠使用共同的製造、組合及封裝方式。舉例而言，低功率及高功率等二種主動的、電子掃描的陣列(AESA)可以使用共同的製造、組合及封裝方式。這導致 AESA 製造時節省成本。因此，此處所述的系統及技術可以製造更能負擔得起的 AESA。

此處所述的模組系統也提供性能彈性。藉由在 PWB 的外表面上使用範圍寬廣的表面安裝半導體電子裝置(亦即倒裝晶片)，可以取得 T/R 通道電子裝置的所需 RF 輸出功率、雜訊數值、等等。由於主動組件安裝於 PWB 的外表面上，所以，藉由僅安裝(例如倒裝晶片)具有不同特徵(例如高功率或低功率電路)的主動電路至面板，則相同的面板可以用於範圍寬廣的應用中。面板架構因而提供配置成接受至少下述半導體電子裝置之設計彈性：根據商用矽

技術及被選取以提供所需的 RF 特徵(例如最低輸出功率及最高雜訊數值)之 RF CMOS；矽鍺(SiGe)被選取以提供所需的 RF 輸出功率及雜訊數值特徵；被選取以提供所需的 RF 輸出功率密度及低雜訊數值特徵的砷化鎵(GaAs)；以及，例如氮化鎵(GaN)等相對於所有現存的半導體會顯示相當高的功率、效率、及功率密度(瓦特/mm^2)特徵之新興技術。

如上所述，僅在最特別的應用中，相當高成本的相位陣列才會排除使用相位陣列。特別是對於主動發送/接收通道，組裝及組件成本會是主要的成本驅動因素。藉由使用批次處理及最小化組件和組裝的接觸勞動，可以降低相位陣列成本。提供瓷磚式次陣列用於輕巧的主動電子式掃描陣列(AESA)會是有利的，使得陣列可以以成本有效方式製造、使用自動化製程組裝、及在組裝成 AESA 之前被個別地測試。也需要降低相位陣列的取得及壽命週期成本，並同時增進頻寬、極化多樣性及牢固的 RF 性能特徵以符合愈來愈有挑戰性的天線性能要求。

此處所述的瓷磚式子陣列架構的至少某些實施例使用成本有效的相位陣列解決之道可以用於範圍廣泛的陸地、海洋、及空中平台的相位陣列雷達任務或是通訊任務。此外，在至少一實施例中，瓷磚式子陣列提供薄的、輕的構造，其也可應用至飛機翼或機身上或是無人航具(UAV)上的共形陣列。

在一所謂的「無封裝 T/R 通道」實施例中，瓷磚式子

陣列同時克服下一代雷達及通訊系統的成本和性能。許多相位陣列設計會為單一任務或平台而最佳化。相對地，此處所述的瓷磚式子陣列架構的彈性能夠解決更大的任務集合。舉例而言，在一實施例中，所謂的上多層組件(UMLA)及下多層組件(LMLA)作為共同建構塊，將於此進一步說明它們。UMLA 是層疊的 RF 傳輸線組件，執行 RF 訊號散佈、阻抗匹配及極化多樣訊號產生。製造是根據多層印刷線路板(PWB)材料及製程。LMLA 整合無封裝發送/接收(T/R)通道及嵌入式循環器層子組件。在較佳實施例中，使用球柵陣列(BGA)互連方式，將 LMLA 接合至 UMLA。無封裝 T/R 通道免除昂貴的 T/R 模組封裝組件及相關的組裝成本。無封裝 LMLA 的關鍵建構塊是較佳的多層板(LMLB)。LMLB 整合 RF、DC 及邏輯訊號散佈和嵌入式循環器層。使用取放設備，將所有 T/R 通道單石微波積體電路(MMIC)及組件、RF、DC/邏輯連接器和熱散佈器介面板可以組合至 LMLA。

根據本發明的其它態樣，瓷磚式子陣列包括至少一印刷電路板組件，至少一印刷電路板組件包括在不同電路板上的不同電路層之間的一或多個 RF 互連，而各 RF 互連包括一或多個 RF 匹配墊，RF 匹配墊提供機構以用於匹配 RF 柱的阻抗特徵而提供在所需的 RF 操作頻帶上具有所需插入損耗及阻抗特徵之 RF 互連。

根據此特定配置，消除 RF 通路柱時典型上要求的任合背面鑽孔及背面填充作業並不需要執行，即可製造瓷磚

式子陣列。RF 匹配墊技術意指在電路板的空白層(亦即，未設有銅的層)上或是電路板的接地平面層(具有被蝕刻起伏區)上設置導體的技術。導體及相關的起伏區提供機構以調整設在電路板中的 RF 通路 (也稱為 RF 互連電路)的阻抗特徵。由於免除利用後鑽孔及回填作業之需求，所以，RF 匹配墊方式能夠有標準的、淺形的鑽孔及電鍍製造作業以產生 RF 通路，所述 RF 通路會連接內電路層及在例如 X 頻帶(8 GHz－12 GHz)等所需頻帶上也具有低插入損失特徵。

如同所知，模式抑制通路有助於將 RF 互連與週圍電路電隔離，藉以防止訊號在訊號路徑之間「洩漏」。在習知系統中，模式抑制通路也與互連 RF 通路被鑽孔及電鍍時同時被鑽孔及電鍍。

但是，根據本發明的 RF 匹配墊方式，所有 RF 及模式抑制通路可以被鑽孔及電鍍穿過整個組件且不需要在 RF 互連上使用後鑽孔及填充作業。因此，由於消除導因於鑽孔公差及回填材料公差之通道至通道的變異，所以，與後鑽孔及填充作業相關連的製造成本可以完全免除，並同時增進 RF 性能。

在一實施例中，RF 匹配墊技術使用銅碟，而銅碟在 RF 互連及模式抑制電路的接地平面層中由環狀的環起伏區圍繞。RF 匹配墊技術是一般技術，可以應用至任何延伸四分之一波長、或更少至 RF 互連與例如條狀傳輸線的中心導體等 RF 訊號路徑之間的 RF 接合之外的 RF 柱。

【圖式簡單說明】

從下述圖式說明，將更完整地瞭解本發明的上述特點及發明本身，其中：

圖 1 是由複數個瓷磚式子陣列形成的陣列天線之平面視圖；

圖 1A 是圖 1 中所示的陣列天線中使用的類型之瓷磚式子陣列的立體視圖；

圖 1B 是圖 1A 中所示的瓷磚式子陣列的一部份的爆炸立體視圖；

圖 1C 是圖 1A 及 1B 中所示的瓷磚式子陣列的一部份的剖面視圖；

圖 2 是具有單發送/接收(T/R)通道的雙圓極化(CP)瓷磚式子陣列的一部份之方塊圖；

圖 3 是圖 1C 中所示的上多層組件(UMLA)的剖面視圖；

圖 4 是圖 3 中所示的轉變的放大剖面視圖；

圖 4A 是圖 4 中的剖面之上視圖；

圖 4B 是圖 4 中的剖面之底視圖；

圖 4C 是圖 3 中所示的 RF 轉變的放大立體視圖；

圖 4D 是圖 3 及 4 中所示的轉變的預測插入損耗相對於頻率之圖形；

圖 5 是圖 3 中所示的轉變的放大剖面視圖；

圖 5A 是圖 5 中的剖面之上視圖；

圖 5B 是圖 5 中的剖面之底視圖；

圖 5C 是圖 3 中所示的轉變的放大立體視圖；

圖 5D 是圖 3 及 4 中所示的轉變的預測插入損耗相對於頻率之圖形；

圖 6 是 RF 匹配墊的傳導區或起伏區之顯示的幾何形狀的平面視圖；

圖 6A 是 RF 匹配墊的傳導區或起伏區之顯示的幾何形狀的平面視圖；

圖 7 是耦合至上多層組件(UMLA)的下多層組件(LMLA)之替代實施例的方塊圖；

圖 8 是面板陣列的等角視圖；

圖 8A 是面板陣列的等角視圖；

圖 8B 是面板陣列的爆炸等角視圖；

圖 8C 是面板陣列的爆炸等角視圖；

圖 8D 是延著圖 8A 中所示的面板陣列的線 8D-8D 剖面視圖；及

圖 9 是多層印刷線路板(PWB)的剖面視圖。

圖 10 是設有配置在行動平台上的主動電子掃描陣列(AESA)卡之主動電子掃描陣列(AESA)圖。

圖 10A 是圖 1A 中所示的 AESA 卡的陣列圖。

圖 11 是設有配置在 AESA 卡的表面上之單石微波積體電路(MMIC)的 AESA 卡實例圖。

圖 12 是設有 AESA 卡、MMIC 及冷卻機構的 AESA 組件之剖面視圖。

圖 13 是印刷線路板(PWB)的剖面視圖。

圖 14 是主動電子掃描陣列(AESA)的一部份之部份爆炸等角視圖。

圖 15 是子卡組件的上視圖。

圖 15A 是子卡組件的底視圖。

圖 15B 是子卡組件的側視圖。

圖 16 是 AESA 卡、循環器、MMIC 及冷卻機構的熱圖；

圖 17 是子卡組件的一部份的視圖，顯示 MMIC 與循環器之間的 RF 訊號路徑。

應瞭解，為了增進圖式及文字的清楚度，圖形不一定依比例繪製，而是一般會強調顯示發明的原理。

【實施方式】

在說明本發明各式各樣的實施例之前，將解釋某些介紹的概念及術語。「面板陣列」(或更簡稱為「面板」)意指多層印刷線路板(PWB)，其在一高度集成的 PWB 中包含天線元件陣列(或更簡稱為「發射元件」或「輻射體」)、以及 RF、邏輯和 DC 配電電路。面板有時於此也稱為瓷磚式陣列(或是更簡單地為「瓷磚」)。

陣列天線可以由單一面板(或瓷磚)或複數個面板提供。在陣列天線由複數個面板提供的情形中，複數個面板中單一面板有時於此稱為面板子陣列(或是「瓷磚式子陣列」)。

於此，有時也說明具有特定數目的面板之陣列天線。

當然，應瞭解陣列天線可以包括任何數目的面板，且習於此技藝的一般技術者將瞭解如何選取特定數目的面板以用於任何特定應用中。

也應注意，於此有時述及具有特定陣列形狀及/或實體尺寸或特定數目的天線元件之面板或陣列天線。習於此技藝者將瞭解，此處所述的技術可應用至各種尺寸及形狀的面板以及/或陣列天線、以及可以使用任何數目的天線元件。

類似地，此處有時說明具有特定幾何形狀(例如方形、長方形、圓形)及/或尺寸(例如特定數目的天線元件)或特定格子型式或天線元件的間隔之面板或瓷磚式子陣列。習於此技藝的一般技術者將瞭解處所述的技術可以應用至各種尺寸及形狀的陣列天線以及各種尺寸及形狀的面板(或瓷磚)及/或面板子陣列(或是瓷磚式子陣列)。

因此，雖然於此在下述中所作的說明會在具有實質上方形或長方形的陣列天線且包括具有實質上方形或長方形的複數個子陣列之脈絡中，說明發明的概念，但是，習於此技藝的一般技術者將瞭解概念可以均等地應用至其它尺寸及形狀的具有各種不同尺寸、形狀、及型式的天線元件之陣列天線及面板(瓷磚式子陣列)。而且，面板(或瓷磚)可以以各種不同的格式配置來設置，包含但不限於格子配置或設置(例如、長方形、圓形、等邊或等腰三角形及螺旋配置)以及包含任何形狀的陣列幾何之非週期性或其它幾何配置。

於此，有時也會述及包含特別型式、尺寸及/或形狀的天線元件之陣列天線。舉例而言，一種型式的發射元件是所謂的塊狀天線元件，其具有方形及尺寸可以與特定頻率(例如 10 GHz)或頻率範圍(例如 X 頻帶的頻率範圍)的操作並容。此處有時也會述及所謂的「堆疊塊狀」天線元件。當然，習於此技藝的一般技術者將瞭解可選取其它形狀及型式的天線元件(例如堆疊塊狀天線元件以外的天線元件)以及可以選取一或多個天線元件的尺寸以用於在 RF 頻率範圍(例如在約 1 GHz 至約 100 GHz 的範圍)中的任何頻率操作。在本發明的天線中可以使用的發射元件的型式包含但不限於習於此技藝的一般技術者知道的切口元件、凹槽或任何其它天線元件(無論元件是否為印刷電路元件)。

也應瞭解，在各面板或瓷磚式子陣列中的天線元件可以設置成具有複數個不同天線元件格子配置中之任一設置(或配置)，所述格子配置係例如長方形、方形、三角形(例如等邊或等腰三角形)、以及螺旋配置以及非週期或任意格子配置。

此處所述的面板陣列(a/k/瓷磚式陣列)架構的至少某些實施例的應用包含但不限於用於例如船式、空中、飛彈、及衛星應用等範圍寬度的各式應用之雷達、電子戰(EW)及通訊系統。在至少一實施例中，需要具有每一發送/接收(T/R)通道小於一(1)盎司的重量且生產成本小於每一通道$100 之面板(或瓷磚式子陣列)。因此，應瞭解，此處

所述的面板(或瓷磚式子陣列)可以作為雷達系統或通訊系統的一部份。

也如同此處將一步說明般，本發明的至少某些實施例是可應用的，但不限於軍事、空中、船、通訊、無人航具(UAV)及/或商業無線應用。

下述要說明的瓷磚式子陣列也使用嵌入式循環器；槽耦合、極化蛋架(Eggcrate)輻射體、單一集成單石微波積體電路(MMIC);以及被動射頻(RF)電路架構。舉例而言，如此處進一步說明般，下述共同讓渡的美國專利中說明的技術可以整體地或部份地使用及/或適合與此處所述的瓷磚式子陣列的至少某些實施例一起使用：美國專利號6,611,180「Embedded Planar Circulator」；美國專利號6,624,787「Slot Coupled, Polarized, Egg-Crate Radiator」；及/或美國專利號 6,731,189「Multilayer stripline radio frequency circuits and interconnection methods」。各上述專利於此整體一併列入參考。

現在參考圖 1，陣列天線 10 包括複數個瓷磚式子陣列 12a-12x。應瞭解，在此顯示的實施例中，總數 x 個瓷磚式子陣列 12 包括整個陣列天線 10。在一實施例中，瓷磚式子陣列的總數是十六個瓷磚式子陣列(亦即，x=16)。根據各式樣的因素，選取用以提供完整的陣列天線之特別數目的瓷磚式子陣列 12，各式各樣的因素包含但不限於操作頻率、陣列增益、可供陣列天線利用的空間、以及要使用陣列天線 10 的特別應用。習於此技藝的一般技術者

將瞭解如何選取要使用的瓷磚式子陣列 12 的數目以提供完整的陣列天線。

如同瓷磚 12b 及 12i 中所示般，在圖 1 顯示的實施例中，各瓷磚式子陣列 12a-12x 包括八列 13a-13h 天線元件 15，各列含有八個天線元件 15(或更簡單地稱為「元件 15」)。各瓷磚式子陣列 12a-12x 因而可說成 8 乘 8(或 8x 8)瓷磚式子陣列。應注意，由於元件 15 在陣列天線 10 的曝露表面(或前側)上不是可直接看到的，所以，在圖 1 中以假想圖顯示各天線元件 15。因此，在此特定實施例中，各瓷磚式子陣列 12a-12x 包括 64 個天線元件。在陣列 10 包括 16 個此瓷磚的情形中，陣列 10 包括總共 1024 個天線元件 15。

在另一實施例中，各瓷磚式子陣列 12a-12x 包括 16 個元件。因此，在陣列 10 包括 16 個此瓷磚及各瓷磚包括 16 個元件 15 的情形中，陣列 10 包括總共 256 個天線元件 15。

在仍然另一說明的實施例中，各瓷磚式子陣列 12a-12x 包括 1024 個元件 15。因此，在陣列 10 包括 16 個此瓷磚的情形中，陣列 10 包括總共 16384 個天線元件 15。

慮及上述說明的實施例，因而應瞭解各瓷磚式子陣列包含任何希望的數目的元件。根據各式各樣的因素，選取各瓷磚式子陣列 12a-12x 中要包含的特定數目的元件，各式各樣的因素包含但不限於操作頻率、陣列增益、可供陣列天線利用的空間、及要使用陣列天線 10 的特別應用、

以及各瓷磚式子陣列 12 的尺寸。對於任何給定的應用，習於此技藝的一般技術者將瞭解如何選取要包含於各瓷磚式子陣列中之適當數目的發射元件。包含於例如天線陣列 10 等天線陣列中的天線元件 15 的總數取決於包含在天線陣列中的瓷磚的數目以及包含於各瓷磚中的天線元件的數目。

如同從下述說明中將清楚知道般，各瓷磚式子陣列是電自主的(當然，發生於瓷磚內的元件 15 之間及對不同瓷磚的任何相互耦合除外)。因此，對瓷磚上的各輻射體耦合 RF 能量之 RF 饋給電路完全併入於該瓷磚內(亦即，對瓷磚 12b 中的元件 15 耦合 RF 訊號的所有 RF 饋給及成束電路含於瓷磚 12b 內)。如同下述將配合圖 1B 及 1C 所述般，各瓷磚包含一或多個 RF 連接器及 RF 訊號會經由設在各瓷磚子陣列上的 RF 連接器而提供給瓷磚。

而且，對發送/接收(T/R)電路耦合訊號之用於功率訊號的訊號路徑及用於邏輯訊號的訊號路徑包含於 T/R 電路存在的瓷磚中。如同下述將配合圖 1B 及 1C 所述般，RF 訊號經由設在瓷磚式子陣列上的一或多個功率/邏輯連接器而提供給瓷磚。

由外部成束器(亦即各瓷磚式子陣列 12 的外部)形成用於整個陣列 10 的 RF 束，外部成束器結合來自各瓷磚式子陣列 12a-12x 的 RF 輸出。如同習於此技藝的一般技術者所知般，成束器傳統上係實施成印刷線路板條狀電路，將 N 個子陣列合併成一 RF 訊號埠(因此，成束器可以稱

為 1:N 成束器)。

使用傳統技術，將瓷磚式子陣列機械地固定至或以其它方式固定至安裝結構，以致於陣列格子圖案連續通過包括陣列天線的各瓷磚。在一實施例中，安裝結構可以設置成「相框」，使用固定器(舉例而言，例如#10-32 尺寸的螺旋)，將瓷磚式子陣列固定至「相框」。在瓷磚的連鎖區之間的公差較佳地在約+/- .005 英吋的範圍，但是，根據包含但不限於操作頻率等各種因素，更大的公差也是可接受的。較佳地，瓷磚式子陣列 12a-12x 是機械地安裝以致於陣列格子圖案(在圖 1 顯示的實施例中顯示為三角格圖案)呈現為電連續遍及陣列 10 的整個表面 10a(或「面」)。

應瞭解，此處所述的瓷磚式子陣列(例如瓷磚式子陣列 12a-12x)的實施例與傳統上所謂的「磚塊」陣列架構不同之處在於瓷磚式子陣列的微波電路含於電路層中，而所述電路層配置在與瓷磚構成的陣列天線的面(或表面)(例如，陣列天線 10 的表面 10a)界定的平面相平行的平面中。在圖 1 顯示的實施例中，舉例而言，設於提供瓷磚 12a-12x 之電路板的層上之電路都與陣列天線 10 的表面 10a 平行。藉由使用與陣列天線的面界定的平面相平行的電路層，瓷磚架構方式會造成具有縮減的輪廓之陣列天線(亦即，相較於習知的陣列天線之厚度，厚度縮減)。

有利地，可以使用標準印刷線路板(PWB)製程，製造此處所述的瓷磚式子陣列實施例，以使用商業上可買到的

(COTS)微波材料來製造高度集成的被動 RF 電路、以及製造高度集成的主動單石微波積體電路(MMIC)。這造成製造成本降低。由於可以由使用傳統的 PWB 製造技術之相當大 PWB 片或面板以提供瓷磚式子陣列，所以，陣列天線製造成本也可以降低。

在一說明的實施例中，在一片(或一多層 PWB)上製造具有 0.5 米x0.5 米的尺寸及包括 1024 個雙圓形極化天線元件的陣列天線(有時也稱為面板陣列)。此處所述的技術允許標準的印刷線路板製程被用以從一片多層印刷線路板(PWB)製造尺寸高達 1 米x 1 米及具有高達 4096 個天線元件的面板。由於在包含陣列中 T/R 通道製造之製程中使用「批次處理」方式，所以，使用大面板製造陣列天線會因整合很多天線元件與相關的 RF 饋給和成束電路而降低成本。批次處理意指使用自動化設備大量製造及/或材料和組件的組裝。由於以批次處理方式用於特定天線設計的製造之能力通常造成相當低的製造成本，所以，其是所需的。使用瓷磚架構會造成陣列天線具有比相同尺寸(亦即具有實質上相同的物理尺寸)的習知陣列更縮減的輪廓及重量。

現在參考圖 1A，其中，類似圖 1 的元件具有類似的代號，以及，以瓷磚式子陣列 12b 作為瓷磚式子陣列 12a 和 12c-12x 的代表，瓷磚式子陣列 12b 包含上多層組件(UMLA)18。UMLA 18 包含輻射體子組件 22，在本顯示的實施例中，輻射體子組件 22 設置成所謂的「雙循環極化

堆疊塊狀蛋架輻射體」組件，與讓渡給本發明的受讓人之於此一併列入參考之美國專利號 6,624,787B2「Slot Coupled, Polarized, Egg-Crate Radiator」中所述的型式相同或類似。當然，應瞭解此處說明特定型式的輻射體子組件僅是為了增進圖文提供的說明之清楚性。特定型式的輻射體之說明絕對不是且不應被解釋為限定性的。因此，在瓷磚式子陣列中可以使用堆疊式塊狀天線元件以外的天線元件。

提供具有作為天線罩的第一表面 22a 及具有第二相反表面 22b 的輻射體組件 22。如同下述配合圖 1B 及 1C 詳述般，輻射體組件 22 包括複數個微波電路板(也稱為 PWB)(在圖 1A 中未見到)。由於輻射體元件 15 配置在表面 22a 之下並因而在圖 1A 的視圖中無法直接看到，所以，在圖 1A 中以假想圖顯示輻射體元件 15。

輻射體子組件 22 配置在上多層(UML)板 36(或 UMLB 36)上。如同配合圖 1B、1C 的下述中詳述般，在此處顯示的實施例中，UML 板 36 包括八個各別的印刷電路板(PCB)，它們接合在一起而形成 UML 板 36。當然，應瞭解在其它實施例中，UML 板 36 可以包括於多或少於 8 個 PCB。UML 板 36 包含 RF 饋給電路，RF 饋給電路對設置作為輻射體子組件 22 的部份之天線元件 15 耦合 RF 訊號。

UML 板 36 配置於第一互連板 50 上，在本特定實施例中，第一互連板 50 設置作為所謂的「模糊鍵」板 50。

互連板 50 配置於循環器板 60 上，循環器板 60 接著配置於第二互連板 71 上。如同將配合圖 1B 所述般，第二互連板 71 可以設置作為配置於複數個 T/R 模組 76 上的所謂的模糊鍵、蛋架板(圖 1B)。模糊鍵蛋架板 71 配置於下多層(LML)板 80 上及 LML 板 80 配置於熱散佈板 86。LML 板 80 及熱散佈板 86 與 T/R 模組 76(未見於圖 1A 中)一起包括下多層組件 20(LMLA 20)。

「模糊鍵」板 50 在 UML 板 36 與循環器板 60 上的訊號與電路之間提供 RF 訊號路徑。類似地，「模糊鍵」蛋架板 71 在電路板 60 與 LML 板 80 之間提供 RF 訊號路徑。將從配合圖 1B 的下述說明中更清楚，模糊鍵蛋架板 71 配置於複數個 T/R 模組(未見於圖 1A 中)上，複數個 T/R 模組係設於 LML 板 80 的表面上。模糊鍵板 50 與模糊鍵蛋架板 71 均包括多條同軸 RF 傳輸線，其中，各同軸 RF 傳輸線包括鈹－銅佈線，鈹－銅佈線以圓柱狀繞成，且能夠被壓縮(形成所謂的模糊鍵)及被捕陷在介電套筒中；模糊鍵/介電套向組件接著組裝成金屬板(例如在板 50 中)或是金屬蛋架。模糊鍵板 50 及模糊鍵蛋架 71 允許 UML 板 36、循環器板 60、及 LML 板 80 的機械組裝。這對於相當大的陣列天線是重要的(例如對於陸基式雷達陣列具有大於約一平方米(1 m^2)面積的陣列面之陣列天線)，其中，藉由整合「已知的良好子組件」(亦即，已接受測試且在測試中表現是可接受的子組件)，取得相當高產能。但是，對於較小的陣列(例如對於可移動雷達陣列具

有小於約一平方米(1 m^2)面積的陣列面之陣列天線)，可以使用如此處一併列入參考之讓渡給本發明的受讓人之美國專利號 6,731,189「Multilayer Stripline Radio Frequency Circuits and Interconnection Methods」中所述的球柵陣列互連法，將 UML 板 36、循環器板 60、及 LML 板 80 機械地及電地整合。因此，此方式允許用於應用及平台的組裝彈性。

如上所述，模糊鍵板 50 配置於循環器板 60 上。在此特定實施例中，循環器板 60 設置成所謂的「可撓 RF 循環器」板 60。循環器板 60 可以同於或類似於此處一併列入參考之讓渡給本發明的受讓人之美國專利號 6,611,180「Embedded Planar Circulator」中所述的型式。

循環器板 60 於其中設置複數個嵌入的循環器電路，這些循環器電路配置成阻礙設在瓷磚式子陣列中接收訊號路徑與發送訊號路徑之間的 RF 訊號的耦合。亦即，循環器板 60 會作用以隔離發送訊號路徑與接收訊號路徑。

循環器板 60 配置於第二互連板 71 上(aka 模糊鍵蛋架板 71)，複數個發送/接收(T/R)模組(未見於圖 1A 中)配置於第二互連板 71 中。模糊鍵蛋架板 71 配置成在 T/R 模組(被銲接或者電耦合至 LML 板 80 上的電路)與循環器板 60 之間耦合 RF 訊號。

如上所述，模糊鍵蛋架板 71 配置於下多層(LML)板 80 之上且 LML 板 80 配置於熱散佈板 86 及 T/R 模組 76 之上，下多層(LML)板 80 與熱散佈板 86 一起包括下多層

組件(LMLA)20。應瞭解，在圖 1A 中所示的特別顯示的實施例中，未包含模糊鍵蛋架板 71 作為 LMLA 20 的一部份。

現在參考圖 1B，其中，與圖 1 及 1A 類似的元件會有類似的代號，輻射體子組件 22 包括第一輻射體基底 24、第一所謂的「蛋架」基底 26(在圖 1C 中可見設有蛋架壁 26a、26b)、第二輻射體基底 28 及第二蛋架基底 30(在圖 1C 中可見設有蛋架壁 30a、30b)。第一基底 24 包含第一複數個發射天線元件 15a(在圖 1C 中可最清楚地見到第一複數個發射元件 15a)。基底 24 配置於第一所謂的「蛋架」基底 26 之上，而以各發射元件配置成它們與蛋架基底 26 中的開口對齊。

蛋架基底 26 配置於第二基底 28 的第一表面 28a 上。基底的第二相反表面 28b 具有第二複數個發射天線元件 15b 配置於其上。第二複數個發射元件 15b 未直接見於此視圖因而於圖 1B 中以假想圖顯示。在圖 1C 的視圖中可清楚看到發射元件 15a、15b。在圖 1 及 1A 中，第一及第二元件 15a、15b 一起以 15 表示。第二基底 28 配置於第二「蛋架」基底 30 上。第一及第二蛋架基底 26、30 對齊以致於第二蛋架基底 30 中的開口與第一蛋架基底 26 中的開口對齊。在第二基底 28 上的天線元件 15b 的組配置成與第二蛋架基底 30 中的開口對齊。

輻射體子組件 22 配置於 UML 板 36 上，UML 板 36 包括複數個板 38、40，複數個板 38、40 包括 RF 饋給電

路，RF 饋給電路在輻射體子組件 22 的天線元件與下述要說明的 RF 傳送器及接收器電路之間耦合 RF 訊號。應瞭解，RF 饋給電路板 38、40 本身包括多個各別的電路板，多個各別的電路板接合或是耦合在一起以提供 UML 板 36。

也應瞭解，輻射體子組件 22 及 UML 板 36 一起形成 UMLA 18。UMLA 18 配置於及耦合至 LMLA 20。具體而言，UML 板 36 配置於模糊鍵板 50、循環器板 60 及模糊鍵蛋架板 71 之上。因此，在此特別實施例中，模糊鍵板 50、循環器板 60 及模糊鍵蛋架板 71 配置於 UMLA 18 與 LMLA 20 之間。模糊鍵板 50 有助於循環器板 60 與 UMLA 18 中的電路板的多個通路之間的 RF 連接；模糊鍵蛋架板 71 有助於循環器板 60 與 LMLA 20 之間的 RF 連接。

模糊鍵蛋架板 71 配置於 T/R 模組及 LMLB 80 的表面上。應瞭解，在圖 1B 的爆炸視圖中，T/R 模組 76 顯示成與 LML 板 80 分開，但是，實際上，T/R 模組 76 是使用傳統的技術而耦合至 LML 板 80。LML 板 80 配置於熱散佈板 86 之上，熱散佈板 86 具有延著其中心線的一部份形成的槽 87。

熱散佈板 86、LML 板 80 和 T/R 模組 76 一起包括 LMLA 20。複數個 DC 及邏輯連接器 88、90 配置經過槽 87 及設於熱散佈板 86 中的槽 87 和開口以及提供電輸入/輸出連接給 LMLA 20。成對的 RF 連接器 91a、91b 也配置經過熱散佈板 86 中的孔 93a、93b，因而與 LML 板 80

電連接以及提供用於瓷磚 12b 的 RF 連接埠。

UMLA 18、模糊鍵板 50、循環器板 60、模糊鍵蛋架板 71 及 LMLA 20 均設置成於其中具有複數個孔 94。為了使圖形清楚，並未顯示每一孔 94 且並非每一顯示的孔均會標號。各孔 94 的至少部份會有螺紋。概括地以 92 表示之對應的複數個螺絲會通過孔 94 且螺絲 92 上的螺紋會與孔 94 中對應的螺紋相嚙合。如此，螺絲 92 一起固定及將 UMLA 18 固定至 LMLA 20(以及它們之間的固定板 50、60 和 71)，因而提供組合的瓷磚 12b。在圖 1B 顯示的實施例中，在輻射體組件 22 中的孔 94 的部份中有螺紋且螺絲經過熱散佈板 86 及 LMLA 20 而插入以及與輻射體組件 22 中的孔 94 的有螺紋部份相嚙合。又為了使圖形清楚，並未顯示每一螺絲 92 且非每一顯示的螺絲均加上標號。

應瞭解，為允許螺絲 92 通過在包括 UMLA 18 及 LMLA 20 的各板中的孔 94，各板中的孔 94 必須對齊。而且，顯然地，孔 94 必須設於板中以避開設於提供瓷磚 12b 的板中的任何電路或電路組件。

成對的轂 95 在點 96 耦合至熱散佈板以提供與瓷磚 12b 機械地接合之點。在一實施例中，轂 95 設有螺紋且製成可用以接收用於氣冷的熱管理的熱交換組件(例如要於下說明的熱散佈板 86)或者 液體冷卻板組件或者(在本情形中)。

應瞭解，在圖 1B 中僅顯示二個 LMLA 20，以及，複

數個 LMLA 20 將附著至 UMLA 18 以形成完整的瓷磚式子陣列 12。在圖 1B 顯示的實施例中，對於一個 UMLA 22 會有四個 LMLA 20。但是，一般而言，要求的 LMLA 20 的數目至少部份地取決於包含在瓷磚式子陣列中的發射元件的數目。

在此特定實例中，各瓷磚式子陣列 12 包含 64 個發射天線元件，以預定圖案(此處為三角格子圖案)均勻地分佈於八個子陣列間(亦即，瓷磚式子陣列的各列包含相同數目的天線元件)。在圖 1-1C 之顯示的設計中，各 LMLA 20 用以耦合至二列天線元件 15，二列天線元件 15 構成 16 個總天線元件 15(記住，當然在圖 1B 中，各元件 15 對應於堆疊的塊狀元件以及各堆疊的塊狀元件 15 包括二塊狀元件 15a、15b)。以不同方式而言，各 LMLA 20 饋給子陣列 12b 的 2 乘 8(2x8)部份。因此，由於在瓷磚式子陣列 12b 中有 8 列天線元件，以及各 LMLA 饋給二列，所以，要求 4 個 LMLA 20 饋給整個子陣列 12b。由於在顯示的實施例中各瓷磚式子陣列 12a-12x 包括 8 列天線元件，所以，各瓷磚式子陣列 12a-12x 要求 4 個 LMLA 20。

應瞭解，為了增進圖形及說明的清楚性，在圖 1B 顯示的實施例中，僅顯示 2 個 LMLA 20。但是，如上所述般，實際上有 4 個 LMLA 20a-20d 將固定至 UMLA 18 的適當區域以提供完整的瓷磚 12b。

也應瞭解，雖然在本實例中，各 LMLA 20 饋給 2 列天線元件，但是，能夠有實施例是各 LMLA 饋給大於或小

於 2 的天線列數。舉例而言，假定瓷磚式子陣列含有如圖 1-1C 中所示的八列，則使 LMLA 配置耦合至 1 列天線元件(在此情形中，將需要每一瓷磚式子陣列 8 個 LMLA)。或者替代地，使 LMLA 配置耦合至 4 列天線元件(在此情形中，將需要每一瓷磚式子陣列 2 個 LMLA)、或者耦合至 8 列天線元件(在此情形中，將需要每一瓷磚式子陣列僅 1 個 LMLA)。在任何特定的瓷磚式子陣列中要使用之特定數目的 LMLA(亦即，特定的 LMLA 配置)取決於各式各樣的因素，各式各樣的因素包含但不限於瓷磚式子陣列中的發射元件的數目、各 LMLA 的成本、將使用瓷磚式子陣列的特別應用、改變子陣列中的 LMLA 的容易度(或困難度)(例如，假使 LMLA 故障時)及萬一故障時維修、更換或是改變瓷磚式子陣列中的 LMLA 的成本。習於此技藝的一般技術者將瞭解如何選取用於特定應用的特定 LMLA 配置。

各 LMLA 可以與一或多個 T/R 通道相關連。舉例而言，在圖 1-1C 的實施例中，各 LMLA 20 包含以耦合至設置成為瓷磚式子陣列 12b 之 2x8 陣列的天線元件之 2x8 佈局配置的 16 個 T/R 通道。因此，在完整的瓷磚式子陣列中使用四個此 LMLA 20。

現在參考圖 1C，其中，與圖 1-1B 類似的元件具有類似的代號標示，輻射體組件 22 顯示作為所謂的「堆疊塊狀」蛋架輻射體子組件 22，其包括上及下塊狀輻射體 15a、15b，而以第一天線元件 15a 配置在板 24 的表面 24b

上以及第二天線元件 15b 配置在板 28 的表面 28b 上。二板 24、28 以蛋架板 26 隔開。同於或類似於輻射體組件 22 之堆疊的塊狀輻射體組件的細節說明於讓渡給本發明的受讓人之美國專利號 6,624,787,B2「Slot Coupled, Polarized, Egg-Crate Radiator」中。

雙堆疊塊狀、蛋架輻射體組件 22 配置於由極化及饋給電路板 40、38 提供的 UML 板 36 上。極化及饋給電路板 40、38 由複數個 RF 印刷電路板 100-114 提供。電路板 100、102 包括天線元件饋給電路，電路板 104-110 包括功率分配電路，以及，電路板 112、114 包括極化電路。在顯示的實施例中，極化、饋給及功率分配電路都實施成印刷電路，但是，也可以使用任何實施低成本、淺形、功率相等的電路之技術。

在本實施例中，電路板 100 具有配置在其表面上的導體。成對的開口或槽 101a、101b 形成於或是設置於導體 101 中，以及，RF 訊號經由槽 101a、101b 而耦合至天線元件 15a、15b。瓷磚式子陣列因而利用平衡饋給電路(未見於圖 1C 中)，平衡饋給電路利用非共振槽耦合。使用非共振槽耦合提供二優點：第一，槽的使用(例如槽 101a、101b)有助於隔離饋給網路與天線元件(例如天線元件 15a、15b)，實質上有助於防止假輻射；以及，第二，非共振槽實質上有助於消除後瓣輻射(共振槽的特徵)，可實質上降低輻射體的增益。在饋給電路實施成條狀饋給電路的一實施例中，饋給電路及槽也由設在 UML 板 36 的適當

部份中的電鍍穿孔(作為模式抑制柱)隔離。

UML 板 36(包括極化及饋給電路板 40,38)配置於模糊鍵板 50 上。模糊鍵板 50 包含一或多個電訊號路徑 116(僅有一電訊號路徑 116 顯示於圖 1C 中)。電訊號路徑 116 在被包含作為 UML 板 36 的一部份之電路(例如極化及饋給電路)與被包含作為循環器板 60 的電路之間提供電連接。

循環器板 60 包括 5 個電路板 119-123、磁鐵 125(在一實施例中，為釤鈷磁鐵)、及鐵氧磁鐵碟 124(在一實施例中為加內特(Garnett)鐵氧磁鐵)及柱件 127(在一實施例中為可磁化不銹鋼但是可由任何可磁化材料提供)。設於電路板 121 上的印刷電路完成循環器電路及提供訊號路徑用於傳播通過循環器的 RF 訊號。在一實施例中，循環器可以實施成此處一併列入參考之讓渡給本發明的受讓人之美國專利 6,611,180「Embedded Planar Circulator」中所述的型式。循環器板 60 配置於「模糊鍵」蛋架板 70 之上。

應瞭解，在具有磚塊型架構的陣列天線中，例如圖 1C 中所示的 RF 循環器等循環器典型上併入於依各 T/R 通道包含的基底中。

但是，在此處所述的發明的本實施例中，瓷磚式子陣列 12b 的設計會將循環器從 T/R 模組移除以及將其嵌入於分別的循環器板 60。舉例而言，在圖 1C 中所示的實施例中，RF 循環器組件(例如鐵氧磁鐵 124、磁鐵 125 及柱件 127)埋入或嵌入於商業上可取得的材料層中，例如低損耗及低介電常數的聚四氟乙烯(PTFE)為基礎的材料。因此，

電路板 119-123 可以設為 PTFE 為基礎的電路板。

藉由將循環器設為嵌入式循環器(而不是作為 T/R 模組的一部份)，可以顯著縮減 T/R 通道尺寸。藉由縮減 T/R 通道尺寸，可以在瓷磚式子陣列的天線元件中取得更緊密的格子間隔。由於緊密的格子間隔在用於取得無光柵波瓣掃描量之寬頻相位陣列應用中是重要的，所以，緊密的格子間隔是較佳的。此外，使用商業批次製程技術及會造成更低成本的相位陣列之商業上可取得的材料，可以提供嵌入式循環器。

模糊鍵蛋架板 70 可由蛋架板 71 提供。T/R 模組 76 配置在設於板 70 中的開口中。T/R 模組設置成具有球柵陣列(BGA)126 設於其中。T/R 模組 76 包含電耦合至球 126a 的第一訊號埠、及電耦合至球 126b 的第二訊號埠。BGA 126 電耦合至設於 LML 板 80 中的訊號路徑以及電路(例如，經由銲接或習於此技藝的一般技術者熟知之製造電連接的任何其它技術)，T/R 模組 76 係設於 LML 板 80 上。板 71 也具有設於其中的模糊鍵訊號路徑 116，經由模糊鍵訊號路徑 116，RF 訊號從 T/R 模組 76 的第二埠傳播經過球 126b 及 LML 板 80 上的電訊號路徑而至循環器板 60。

在此顯示的實施例中，LML 板 80 包括二組印刷電路板 130、132，二組 130、132 中的各組本身包括複數個印刷電路板 134-144 及 146-154。應注意，如同習於此技藝的一般技術者將瞭解般，接合黏著層未顯示為 PCB 130、

132 的一部份而是顯示為符合 UMLB 36 中的 PCB 38 及 40。在本實施例中，電路板 130(因而電路板 134-144)對應於 LML 板 80 的 RF 部份，而電路板 132(因而電路板 146-154)對應於 LML 板 80 的 DC 及邏輯訊號部份，以板 154 配置於熱散佈板 86 之上。

由代號 162 表示的複數個熱路徑有助於熱從 T/R 模組 76 傳送經過 LML 板 80 而至散熱板 86，在較佳實施例中，熱散佈板 86 作為冷卻熱板。在本實施例中，熱散佈板 86 經由導熱環氧樹脂而耦合至 LML 板 80 的板 154。一旦板 130、132 被組裝(例如一起耦合或接合)以形成 LML 板 80 時，熱插梢 162(在圖 1C 中僅二個被標號)被振動至 LML 板 80 中的孔中直到插梢 162 的帶刺第一端座落於孔中以確保與 BGA 126 適當接觸為止。插梢 162 的第二端延伸短距離經過 LML 板 80，以致於插梢 162 的第二端配置於熱散佈板 86 中的孔 165 中為止。接著，以導熱環氧樹脂填充孔 165。如此，BGA 126 提供機構，用以完成 RF 訊號、DC 及邏輯訊號的耦合以及從 T/R 模組 76 熱傳輸。

也應瞭解，其它技術當然也可以用以將熱散佈板 86 耦合至 LMLA 20。而且，應瞭解，無論瓷磚 12b 上的熱散佈板的精確位置為何以及無論熱散佈板如何耦合至瓷磚 12b(例如導熱環氧樹脂、銲材、熱膠、等等)，較佳的是熱路徑(例如熱路徑 162)將例如 T/R 模組 76 等產熱裝置耦合至例如熱散佈板 86 等散熱器。

RF 連接器 91b 耦合至 LMLA 20 中的 RF 訊號路徑 168。在此特定實施例中，RF 連接器為 GPPO 連接器，但是，可以使用任何具有適用於特定應用之電及機械特徵的 RF 連接器。

如同代號 168 標示的虛線所示般，饋入埠 91b 中的 RF 訊號經由 LML 板 80 耦合以及經由 BGA 126a 而耦合至 T/R 模組 76。RF 訊號傳播經過 T/R 模組 76 且沿著板 134、136 之間的訊號路徑經由 BGA 126b 而耦合至模糊鍵蛋架板 70 中的訊號路徑 116。訊號路徑 116 經由在板 50 中的訊號路徑 116 及經由 UML 板 36 上的電路提供的 RF 訊號路徑系列而通至循環器板 60。在 UML 板 36 上的 RF 電路將訊號 168 分裂成耦合至輻射體層 22 之二部份 168a、168b。應瞭解，循環器板 60 及 T/R 模組 76 會操作以使系統為雙向的。亦即，埠 91b 可以作為輸入埠或輸出埠。依此方式，訊號 168 耦合至瓷磚式子陣列中的天線元件行(例如，圖 1B 中所示的瓷磚式子陣列 12b 的行 14a)。

習於此技藝者將瞭解，UMLA 層(及 LMLA)可以由實際上任何具有所需微波特性之 PTFE 為基礎的材料製成。舉例而言，根據本實施例，包含於 UMLA 及 LMLA 中的印刷電路板由編織玻璃布強化的材料製成。

應瞭解，LMLA 整合無封裝 T/R 通道及嵌入的循環器層子組件。如上所述，在較佳實施例中，使用球柵陣列(BGA)互連方式，將 LMLA 接合至 UMLA。無封裝 T/R 通道消除昂貴的 T/R 模組封裝組件及相關的組裝成本。無封

裝 LMLA 的一關鍵建構塊是下多層板(LMLB)。LMLB 整合 RF、DC 及邏輯訊號散佈和嵌入循環器層。使用取放設備，可以將所有 T/R 通道 MMIC 及組件、RF、DC/邏輯連接器及散熱介面板組裝至 LMLA 上。圖 7 於下顯示直接 MMIC 晶片附著實施例，其中，對於那些希望每一 T/R 通道具有相當高的峰值傳送功率之應用，MMIC 晶片直接附著至 LMLB 的底層。

現在參考圖 2，一部份顯示的瓷磚式子陣列 200 包含上多層組件(UMLA)202，上多層組件(UMLA)202 經由第一介面 205、循環器 206 及第二介面 207 而耦合至下多層組件(LMLA)204。舉例而言，介面 205 可以設置成類似於上述參考圖 1A-1C 所述的模糊鍵介面 50 之型式；循環器 206 可以設置成類似於上述參考圖 1A-1C 所述的循環器板 60 之型式，以及，介面 207 可以設置成類似於上述參考圖 1A-1C 所述的模糊鍵蛋架介面 71 之型式。

UMLA 202 顯示可以包含在例如上述參考圖 1A-1C 所述的 UMLA 18 等 UMLA 中的電路型式。UMLA 202 包含電耦合至饋給電路 210 的天線元件 208。在較佳實施例中，饋給電路 210 設置成平衡饋給電路。在此特定實施例中，饋給電路 210 顯示為具有耦合至極化控制電路 211 的輸入之成對埠。在此特定實施例中，極化控制電路由耦合至正交混合電路 216 之功率分配電路 212 提供。但是，習於此技藝者將瞭解，功率分配電路及混合電路以外的電路可以用以實施極化控制電路。

在圖 2 顯示的實施例中，分配電路 212 由成對的威爾金森功率分配器 214a、214b 提供。在其它實施例中，也可以使用威爾金森型的功率分配器以外的功率分配器。功率分配電路 212 具有耦合至正交混合電路 216 的埠 216a、216b 中分別的埠之成對埠 212a、212b。混合電路 216 的第二對埠 216c、216d 通至 UMLA 埠 202a、202b。

如上所述，UMLA 202 是要顯示包含在例如上述參考圖 1A-1C 中所述的 UMLA 18 等 UMLA 中的某些電路。因此應瞭解，為了使圖形及對應的說明更清楚，天線元件 208 僅代表經由 UMLA 202 耦合至 LMLA 的那些天線元件。因此，圖 2 中的元件 208 可以代表瓷磚式子陣列中的所有天線元件(例如，在瓷磚式子陣列僅包含單一 LMLA 的實施例中)，或者替代地，圖 2 中的元件 208 僅代表瓷磚式子陣列中的全部天線元件的一部份(例如，在瓷磚式子陣列包含多個 LMLA 的實施例中)。

換言之，天線元件 208 代表經由 UMLA 202 而耦合至 LMLA 的全部瓷磚式子陣列中的一部份天線元件。如上述參考圖 1C 所述般，瓷磚式子陣列(例如圖 1-1C 中的瓷磚式子陣列 12b)可以由單一的 UMLA 提供(例如圖 1A-1C 中的 UMLA 18)及具有耦合至其的多個 LMLA。替代地，瓷磚式子陣列(例如，圖 1-1C 中的瓷磚式子陣列 12b)可以由單一的 UMLA 提供(例如圖 1A-1B 中的 UMLA 18)及具有耦合至其的單一 LMLA，其中，單一 LMLA 包含處理從 UMLA 提供至其的所有訊號所需的 T/R 模組數。

應瞭解，圖 2 中所示的 LMLA 204 僅包含經由饋給網路 210 而耦合至天線元件 208 之單一發送/接收(T/R)通道。因此，單一 TR 通道耦合至單一天線元件。但是，在其它實施例中，單一 TR 通道可以耦合至複數個天線元件。而且，雖然 LMLA 顯示為僅包含單一 T/R 通道，但是，在其它實施例中，各 LMLA 可以設置成具有多個 T/R 通道。

在實際系統中，全瓷磚式子陣列將包含複數個 T/R 通道且應瞭解為了使說明及圖形清楚，在圖 2 顯示的實施例中僅使用單一通道。因此，LMLA 顯示為僅包含單一 T/R 通道並非是且絕不應被解釋為限定。

也應瞭解，圖 2 顯示可為包含在配合圖 1-1C 的上述所述之瓷磚式子陣列 12a-12x 中之一的型式之單一 T/R 通道的元件。習於此技藝的一般技術者當然將瞭解根據本發明的各式各樣實施例而設置之瓷磚式子陣列 12a-12x 中的各陣列(圖 1)可以(且一般將)包含複數個此 T/R 通道。

UMLA 埠 202a、202b 經由介面電路 205、循環器電路 206 及介面 207 而耦合至 LMLA 204 的埠 204a、204b。特別地，介面電路 206 包含訊號路徑，RF 訊號經過所述訊號路徑而從 UMLA 傳播至 LMLA。至少部份訊號路徑可以由參考圖 1A-1C 之上述中所述之所謂的模糊鍵電路提供。

LMLA 204 包含 T/R 模組 230。T/R 模組包含接收訊號路徑 231 及發送訊號路徑 250。來自 UMLA 埠 202a、202b 的訊號在埠 204a、204c 耦合至接收訊號路徑 231。

具有第一極化的訊號從 UMLA 202 耦合至埠 204a，以及，具有第二不同極化的訊號從 UMLA 202 經由循環器板 206 而耦合至埠 204c。

接收訊號路徑包含成對的單極雙投(SPDT)開關 232、234。開關 232、234 協力以將來自埠 204a、204c 的二訊號(均具有不同的極化)中所需之一耦合至放大器 236 的輸入埠，在較佳實施例中，放大器 236 設置成低雜訊放大器(LNA)236。根據如圖 2 所示設置的開關 232、234，在埠 204a 的訊號被饋送至 LNA 236 的輸入埠。根據如圖 2 所示設置的開關 232、234 的開關臂，在埠 204c 的訊號饋送至 LNA 的輸入埠。

饋送至 LNA 236 的訊號被適當地放大及耦合至 SPDT 開關 238。SPDT 開關 238 的開關臂可以設置於接收位置或發送位置。在接收位置處(如圖 2 所示)，SPDT 開關 238 提供從 LNA 236 的輸出之訊號路徑至相位偏移器 240 的輸入。訊號經由相位偏移器而耦合至振幅控制電路 242(例如，衰減器 242)及 RF I/O 電路 246。電路 246 將 RF、DC 及邏輯訊號耦合至 T/R 模組 230 的輸出。

SPDT 開關 238、相位偏移器 240 及振幅控制電路 242 也都是發送訊號路徑 250 的一部份。當 TR 模組是處於操作的發送模式時，SPDT 開關 238 的開關臂設於發送位置(亦即，以在相位偏移器 240 與對放大器 252 的輸入之間提供低損耗訊號路徑)。根據如此設置的開關 238 的臂，來自發送訊號源的訊號(未顯示於圖中)經由散佈電路 246

的 RF 部份、經由衰減器 242、經由相位偏移器 240、開關 238 而至較佳地設置成功率放大器 252 之放大器。

功率放大器將適當地放大的訊號(也稱為發送訊號)經由介面 207 而提供給循環器 206 的埠 206a。循環器 206 的第二埠 206b 經由介面 205 而耦合至 UMLA 埠 202b，循環器的第三埠 206b 經由開關 232 而耦合至終端 254。

發送訊號接著經由極化控制電路 211 而耦合至饋給電路 210，最後耦合至發射 RF 傳送訊號的天線元件 208。

應瞭解，T/R 模組 76 含有瓷磚式子陣列 12b 中實質上所有的主動電路。如同上述參考圖 1-1C 中所述般，T/R 模組 76 包含發送及接收訊號路徑，且各路徑耦合至 LMLA 20 中的成束器。

在一實施例中，LNA 236 可以設置作為小巧的砷化鎵(GaAs)低雜訊放大器及功率放大器 252 可以設置為小巧的 GaAs 功率放大器。雖然未顯示於圖 2 中，但是，在某些實施例中，TR 模組也包含矽鍺(SiGe)控制單石微波積體電路(MMIC)以控制開關 232、234、238、相位偏移器 240 或振幅控制電路 242 中的全部或某些。

現在參考圖 3，UMLA 260 包括設置於 UMLB 264 上的蛋架輻射體組件 262(可以同於或類似於上述參考圖 1-1C 所述的組件 22)。UMLB 264 包括二子組件 310、312。各子組件 310、312 被製成及接著經由層 274 而耦合以提供 UMLB 264。在較佳實施例中，層 274 對應於接合層 274。在一特定實施例中，層 274 對應於接合層 274，設

置成氰酸酯樹脂 B 階段(例如，W.L.Gore & Associates 製造的型式且以 Speedboard-C®商標銷售)。蛋架輻射體及 UMLB 子組件 262、264 接著一起固定或接合以提供 UMLA 260。蛋架輻射體 262 及 UMLA 264 可以經由傳導的環氧樹脂接合膜而固定在一起。當然，習於此技藝者的一般技術者將瞭解，也可以使用習於此技藝者的一般技術者熟知的且適用於將微波電路子組件固定在一起的任何其它接合或固定技術。應瞭解，在較佳實施例中，UMLA 260 設置成接合組件。但是，根據本發明，最終接合的 UMLA 組件是多重層疊、接合及組裝製程的結合。

用於 UMLA 的多步驟層疊、接合及組裝製程造成多個優點：(a)各子組件 262、310、312 可以分別接受測試且未符合或超過所需的電及/或機械性能特徵的任何子組件 262、310、312 可被辨識及修復或不被用以形成 UMLA；(b)各子組件 310、312 可被分別測試，且未符合或超過所需的電及機械性能特徵的任何子組件 310、312 可被辨識及修復或不被用以形成 UMLB；(c)子組件 262、310、312 的分別製造允許用於各子組件的製程可分別為了該子組件的最大產量而最佳化；(d)由於僅有確知「良好的」子組件 310、312 會被用以製造 UMLB，所以，這會造成高產量 UMLB 製程；(e) 由於僅有確知「良好的」子組件 262、310、312 會被用以製造 UMLA，所以，這會造成高產量 UMLA 製程；以及(f)子組件 262、310、312 的分別製造而這些子組件接著會經由接合層而固定在一起，這會

造成可更廣泛地選擇用於各子組件 262、310、312 之接合黏著劑及接合溫度，導致各子組件 262、310、312 的機械性能增進。因此，開發用於 UMLA 260 的製造及組裝方式會產生堅固的機械設計，顯著地增進製造產量。

在一特定實施例中，蛋架輻射體 262 及 UMLB 264 子組件都是 0.5 m x 0.5 m，因而 UMLA 是 0.5 米(m)長乘以 0.5m 寬(19.7 英吋x19.7 英吋)。UMLA 260 設置成具有典型上約 0.25 英吋的厚度或高度 H_1 以及包括 1024 雙圓極化 RF 通道，而各 RF 通道重約 0.16 盎斯(4.65 克)。此外，根據上述多步驟層疊及製程，使用 PWB 產業標準製程及製造公差以及商業上可取得的材料，可以製造 UMLA 的各電路層。

在一實施例中，二子組件 310、312 包括以 2 密爾厚的 FEP 接合黏著劑層 267 分開之十密爾厚的塔康(Taconic) RF-30 介電電路板 266、268、270、272、276、278、280、282 之層疊層。如上所述，經由傳導環氧樹脂膜，可以完成蛋架輻射體 262 與 UMLB 264 之間的接合。在較佳方式中，子組件 310、312 首先固定在一起以形成 UMLB 264(亦即，在分開子組件 310、312 的接地平面之間使用 Speedboard-C®接合劑，將板 310、312 接合在一起)，以及，UMLB 264 接著固定至蛋架輻射體 262 以形成 UMLA 260。

應瞭解，UMLB 264 包含複數個垂直互連 290-306。垂直互連 290-306 有時於此也稱為「RF 通路」。RF 通路

290-306 提供電路之間的 RF 訊號路徑或是設於包括 UMLB 264 之電路板 266-282 的不同層上的訊號路徑。

舉例而言，在子組件 310 中，電路板 270 設置成具有配置於其層 270b 上的 50 歐姆輸入埠至 25 歐姆輸出埠威爾金森電阻式分配器(在圖 3 的剖面視圖中，僅可見到電阻式分配器的部份 320)。電阻式分配器的部份 320 經由 RF 通路 294、296 而耦合至電路板 268 的層 268a 上的條狀饋給電路 322(在圖 3 的剖面視圖中，僅可見到饋給電路 322 的部份)。饋給電路 322 接著提供 RF 訊號給一或多個槽輻射體 314a。槽輻射體激發成對堆疊的塊狀輻射體，成對堆疊的塊狀輻射體係設置成蛋架輻射體子組件 262 的一部份。

類似地，子組件 312 包含電路板 280 的層 280b 上的 50 歐姆輸入埠至 50 歐姆輸出埠三分支正交混合電路 324 以及電路板 278 的層 278a 上的 50 歐姆輸入埠至 25 歐姆輸出埠威爾金森電阻式分配器 326(在圖 3 中僅可見到電路 324、326 的部份)。正交混合電 324 將饋送至其的輸入訊號分裂以及提供±90°相位關係，±90°相位關係是在天線中提供極化控制所需的(例如在上述參考圖 2 所述之極化控制電路中)。特別地，±90°相位關係是在天線中取得左及右手圓極化所需的。威爾金森電阻式分配器 320 和 326 將訊號再度分裂以提供空間上正交的訊號，空間上正交的訊號會饋給子組件 262 中的輻射體 263a、263b。在威爾金森埠饋給 294、296 及 304、306 處，藉由終止奇模式激勵，

當偏離瞄準線掃描陣列時，電阻器會增進軸比例性能。舉例而言，以例如 Omega-ply®等銅膜的部份或是以墨水或晶片電阻器直接施加至電路板的介電材料上的銅電路，提供電阻器。RF 互連 290、302 將正交混合電路 324 與設於層 270b、278a 上的威爾金森分配電路 320 和 326 電耦合在一起。

應瞭解，RF 互連 294、296 會互連設於 UMLB 264(亦即子組件 310)的單一子組件內的層上之電路。類似地，RF 互連 294、302 會互連設於子組件 312(亦即，UMLB 264 的單一子組件)內的不同層上的電路。

但是，RF 互連 290、304、及 306 會互連設於 UMLB 264 的不同子組件內的不同層上的電路。舉例而言，RF 互連 304、306 將設於層 270b 上的威爾金森分配電路 326 與設於層 278a 上的饋給電路 322 電耦合在一起，而 RF 互連 290 將設於層 280b 上的正交混合電路 324 與設於層 270b 上的分配電路 320 電耦合在一起。由於 RF 互連 290、以及 RF 互連 304、306 會從 UMLB 264 的最底層(亦即層 282b)延伸至 UMLB 264 的最上層(亦即層 266a)，所以，RF 互連 290、304、306 可以耦合 UMLB 264 上的任何層上的電路。

如上所述，為了包含但不限於 UMLA 260 的製造成本等理由，希望使用標準的 PWB 製程以助於製造 UMLB 264 的子組件 310、312。

但是，當使用這些製造技術時，標準的鑽孔及電鍍處

理會產生 RF「柱」而產生 RF 通路(以及模式抑制通路，如同一般所知般，模式抑制通路設置成圍繞 RF 通路)。RF 柱是在 RF 通路與傳輸線導體(例如條狀 RF 傳輸線的中心導體)之間的交會(或接合)之上方及/或下方延伸之 RF 通路的部份。當連接二(或更多)RF 傳輸線時，產生 RF 柱。

在圖 3 的 UMLA 中，在 UMLB 中有四個由鑽孔及電鍍 RF 通路產生的區別的 RF 柱，以連接二內電路層。首先，在子組件 310 中，柱 390、392 發生於上威爾金森分配電路層(例如層 270b 上的電路 320)與饋給電路層(例如層 268a 上的電路 322)之間的連接中。第二，在子組件 312 中，柱 393、394 發生於正交混合電路層(例如層 280b 上的電路 324)至下威爾金森分配電路層(例如層 278a 上的電路 326)之連接中。第三，柱 420(圖 5)及 422 發生於正交混合電路層(例如層 280b 上的電路 324)與上威爾金森分配電路層(例如層 270b 上的電路 320)之間的連接中。第四，雖然未顯示於圖 3 中，但是，柱可以因下威爾金森電路層(亦即層 278a)與饋給電路層(亦即層 268a)之間的連接結果而發生。應瞭解，當子組件 310 接合或固定至子組件 312 時，第三及第四情形會發生。因此，柱可以因單一子組件內的不同層上的電路之間的連接結果而發生、或是因多個子組件中的不同層上的電路之間的連接結果而發生。

在具有多重電路板及電路層之習知的微波組件中，藉由分開的所謂的「後鑽孔作業」以移除 RF 柱，其中，使用鑽孔直徑大於 RF 通路的直徑，將 RF 通路鑽孔，以物

理方式移除 RF 通路的柱部份。在鑽孔作業之後餘留的造成的孔會由以傳導的環氧樹脂回填。

此增加的製造步驟(亦即，回鑽作業)具有二結果。第一，RF 性能會因延伸至 RF 接合處之外的介電「柱」而變差。環氧樹脂填充典型上不匹配例如介電常數及損失等週圍微波層疊之電特性，而且，在環氧樹脂與微波層疊之間，例如 x、y 及 z 方向上熱膨脹係數等機械特性不匹配。因此，RF 互連的操作頻寬降低且 RF 性能(返回損失、插入損失)的通道至通道追蹤變差。第二，製程增添顯著的成本及前置時間。這二個結果是填充材料與電路板之間的電及機械特徵之間的至少製造公差及變異的結果且會降低系統性能能力。

但是，本發明的瓷磚式子陣列藉由利用「RF 匹配墊」而免除所有 RF 通路柱的後鑽孔及回填，而 RF 通路柱會於 RF 操作頻帶上電「匹配」。RF 匹配墊技術是傳導材料設於空白層(亦即未具有銅的層)上或在(具有釋放區的)接地平面層中之技術，能夠有標準的低型態比鑽孔及電鍍製造作業以產生連接內電路層的 RF 通路及在 X 頻帶上(8 GHz – 12 GHz) 產生低插入損失 RF 轉變。根據 RF 匹配墊方式，所有 RF 及模式抑制通路可以同時被鑽孔及電鍍遍及整個組件。完全免除與後鑽孔及回填操作相關連的製造成本。此外，由於消除導因於鑽孔公差及回填材料公差之通道至通道變異，所以，RF 性能會增進。

在圖 3 的實施例中，RF 匹配墊由接地平面電路層(例

如層 266a、268b、270a、272b、274a、278b、280a、及 282b)中的傳導碟(由環狀環起伏區)提供。RF 匹配墊技術是一般的方式，其可施加至任何延伸至 RF 互連與 RF 傳輸線的交會所形成的 RF 接合之外四分之一波長或更少之柱。

現在參考圖 4-4C，其中，與圖 3 類似的元件具有類似的代號，可以清楚看見 RF 互連 294 從電路板 266 的層 266a 上的第一端延伸至電路板 272 的層 272b 上的第二端。如同參考圖 3 之上述所述般，RF 互連 294 將電路層 270b 上的傳輸線 320 耦合至電路層 268a 上的傳輸線 322。應瞭解，在圖 3 及 4 中所示的實施例中，RF 傳輸線 320、322 均對應於設有分別對應於條狀配置的接地平面之導體 320a、320b、及 322a、322b 之條狀傳輸線的中心導體。

第一 RF 柱 390 會因傳輸線 320 與 RF 互連 294 之間的接合(或交會)結果而發生，以及，第二 RF 柱 392 會因傳輸線 322 與 RF 互連 294 之間的接合(或交會)結果而發生。RF 互連 294 的第一端設置成具有 RF 匹配墊 407，RF 匹配墊 407 由耦合至 RF 互連 294 之第一傳導區 408 提供。在此顯示的實施例中，RF 匹配墊之第一傳導區設置成碟狀導體 408。第一傳導區(例如碟狀導體 408)由非傳導起伏區 409 圍繞，而將導體 408 與接地平面 322a 電隔離。在本顯示的實施例中，起伏區 409 設置成由第一內直徑及第二或外直徑界定的環狀環。

類似地，RF 互連 294 的第二端設置成具有 RF 匹配墊 410，RF 匹配墊 410 由第一傳導區 411 提供，而第一傳導區 411 由分開接地平面 320b 與導體 411 之非傳導起伏區 412 圍繞。

選擇 RF 匹配墊 407、410 的尺寸及形狀以「調諧」(或「匹配」)分別的 RF 柱 392、390 的任何阻抗及/或傳輸特徵。應瞭解，RF 匹配墊 407 無需與 RF 匹配墊 410 相同尺寸或形狀。亦即，碟 408、411 的直徑無需相同。而且，環狀環 409、412 的內及外直徑無需相同。相反地，各 RF 匹配墊 407、410 可以設置成具有的形狀及尺寸可以最有效地提供具有所需的機械及電性能特徵之 RF 互連 294。

而且，如同下述參考圖 6 及 6A 所示般，RF 匹配墊的第一傳導區的形狀無需是碟狀。相反地，RF 匹配墊的第一傳導區可以設置成具有任何規則的或不規則的幾何形狀。類似地，起伏區(例如區域 409、412)無需設置成具有環狀。相反地，只要起伏區實質地電隔離 RF 匹配墊的第一傳導區(例如區域 408、411)與發生第一傳導區的層之上的接地平面，則起伏區可以設置成具有任何規則的或不規則的幾何形狀。舉例而言，如圖 4 所示，接地平面 322a 與傳導區 408 在相同的電路層上。因此，起伏區 409(無論其尺寸及/或形狀以及/或者傳導區 408 的尺寸及/或形狀為何)應將傳導區 408 與接地平面導體 322a 電隔離。

也應瞭解，RF 匹配墊可以與如圖 4C 中的傳輸線區

321 所示的傳輸線之阻抗匹配區一起被使用。當設計 RF 匹配墊 410(亦即，選取形狀及尺寸)時，匹配區 321 的阻抗特徵的效果應列入考慮。

現在參考 4D，顯示用於 RF 互連 294 的插入損失相對於頻率的圖。

現在參考圖 5-5C，其中，類似圖 3 的元件以類似代號表示，可以清楚看到 RF 互連 290 從電路板 266 的層 266a 上的第一端延伸至電路板 282 的層 282b 上的第二端。如同參考圖 3 之上述所述般，RF 互連 290 將電路層 270b 上的傳輸線 320 耦合至電路層 280b 上的傳輸線 324。應注意，傳輸線 320 位於子組件 310 中及傳輸線 324 位於子組件 312 中。因此，RF 互連 290 通過子組件 310 及子組件 312。

應瞭解，圖 3 及 4A 中所示的實施例中，RF 傳輸線 320、324 均對應於設有分別對應於條狀配置的接地平面之導體 320a、320b 及 324a、324b 之條狀傳輸線的中心導體。

RF 柱 420、422 因傳輸線 320 與 RF 互連 290 之間的接合(或交會)的結果而發生。增加的 RF 柱 422 因傳輸線 324 與 RF 互連 290 之間的接合(或交會)的結果而發生。

為了降低柱 420-422 對 RF 互連 290 上的影響，RF 互連 290 設置成具有複數個 RF 匹配墊 424、426、428、430、432。RF 匹配墊 424 由耦合至 RF 互連 290 的第一傳導區 434 提供。在顯示的實施例中，RF 匹配墊的第一傳

導區設置成碟狀導體 434。第一傳導區 434 由非傳導起伏區 436 圍繞，而將導體 434 與接地平面 322a 電隔離。在顯示的實施例中，起伏區 436 設置成由第一(或內)直徑與第二(或外)直徑界定的環形環。

類似地，RF 匹配墊 426、428、430、432 均包含第一傳導區 438、440、442、444 中分別的第一傳導區，第一傳導區 438、440、442、444 由非傳導起伏區 439、441、443、445 中分別的非傳導起伏區圍繞。各起伏區 439、441、443、445 分別將傳導區 438、440、442、444 與接地平面 320a、320b、450、324b 電隔離。

選擇 RF 匹配墊 424-432 的尺寸及形狀以「調諧」(或「匹配」)分別的 RF 柱 420、421、422 的任何阻抗及/或傳輸特徵。應瞭解，RF 匹配墊無需彼此相同尺寸或形狀。亦即，碟 434、438、440、442、444 的直徑無需相同。而且，環狀環 436、439、441、443、445 的內及外直徑無需相同。相反地，各 RF 匹配墊 424-432 可以設置成具有的形狀及尺寸可以最有效地提供具有所需的機械及電性能特徵之 RF 互連 290。

而且，如同下述參考圖 6 及 6A 所示般，RF 匹配墊 424-432 的第一傳導區的形狀無需是碟狀。相反地，RF 匹配墊的第一傳導區可以設置成具有任何規則的或不規則的幾何形狀。類似地，起伏區無需設置成具有環狀。相反地，只要起伏區實質地電隔離 RF 匹配墊的第一傳導區與發生第一傳導區的層之上的接地平面，則起伏區可以設置

成具有任何規則的或不規則的幾何形狀。舉例而言，如圖5所示，接地平面320a與傳導區438在相同的電路層上。因此，起伏區439(無論其尺寸及/或形狀及/或傳導區426的尺寸及/或形狀為何)應將傳導區438與接地平面導體320a電隔離。

也應瞭解，RF匹配墊可以與如圖5C中的傳輸線區321'所示的傳輸線之阻抗匹配區一起被使用。當設計RF匹配墊(亦即，選取形狀及尺寸)時，匹配區321'的阻抗特徵的效果應列入考慮。

現在參考5D，顯示用於RF互連290的插入損失相對於頻率的圖。

現在參考圖6及6A，顯示成對的幾何形狀460、462，其中，設置RF匹配墊的第一傳導區及/或起伏區。如上所述，RF匹配墊的第一傳導區(例如圖4A、4B中的區域408、411或圖5中的區域434、438、440、442、444)可以設置成具有任何規則的或不規則的幾何形狀。類似地，起伏區(例如圖4A、4B中的區域409、412或圖5中的區域436、439、441、443、445)無需設置成具有環狀。相反地，只要起伏區實質地電隔離RF匹配墊的第一傳導區與發生第一傳導區的層之上的接地平面，則起伏區可以設置成具有任何規則的或不規則的幾何形狀。因此，無論起伏區的尺寸及/或形狀為何，起伏區都應將傳導區與接地平面導體電隔離。

RF匹配墊的傳導區及起伏區可以設置具有任何形

狀，包含但不限於長方形、方形、圓形、三角形、菱形及拱形。而且，RF 匹配墊的傳導區及起伏區可以設置成上述任何形狀的組合。而且，RF 匹配墊的傳導區及起伏區可以設置成任何規則及不規則狀的組合。

現在參考圖 7，瓷磚式子陣列 470 包含 T/R 模組電路板 472，T/R 模組電路板 472 在其上配置 RF 電路板 474。配置在 RF 電路板上的是 DC/邏輯電路板 476。配置在 DC/邏輯電路板上的是循環器電路板 478。各 T/R 模組電路板、RF 電路板、DC/邏輯電路板及循環器電路會執行與上述參考圖 1A-2 所述的 T/R 模組電路、RF 電路、DC/邏輯電路及循環器電路實質上相同的功能。

最後，配置於循環器電路板上的是 UMLA 480。UMLA 是與上述參考圖 1A-5 所述的 UMLA 相同或類似。

圖 7 顯示的實施例說明 T/R 模組 472 可以直接附著至 LMLB 的底層。亦即，可以使用 MMIC 晶片直接附著至 LMLB 的底層方式(未顯示 MMIC 晶片)。此方式在每一 T/R 通道需要相當高的峰值發送功率之應用中是有利的。

現在參考圖 8-8D，其中，在多個圖中，類似的元件具有類似的代號標示，顯示的具有面板架構之主動式電子掃描陣列(AESA)包含以 500 標示之整合的散熱面板組件。面板組件 500 包含面板陣列 502(或是更簡單地稱為面板 502)，面板陣列 502 具有耦合至其的散熱器 504。

如同下述參考圖 9 所述般，面板 502 是由包括複數個電路板之 PTFE 多層 PWB 提供。面板 502 具有厚度 T 且

一般是平坦的並具有複數個天線元件 503(由於無法在圖 8 中直接看到它們，所以，以假想圖顯示)，複數個天線元件 503 配置成經由其第一表面 502a 輻射。多層 PWB 包含 RF、功率及邏輯電路且由單一層疊和單一鑽孔和電鍍作業提供。單一層疊及單一鑽孔和電鍍作業造成低成本、淺形(亦即薄的)面板。因此，提供面板 502 的 PWB 是低成本的混合訊號 PWB(亦即，在單一 PWB 中混合的 RF、數位及功率訊號)。

所有主動及被動電子裝置 508(圖 8C)配置在面板 502 的第二表面 502b 上(圖 8C)。在一實施例中，電子裝置 508 設置成 MMIC 倒裝晶片電路。使用 T/R 通道的面板級封裝可以不需要個別的 T/R 通道封裝。應瞭解，在一實施例中，主動及被動電子裝置 508 設置成表面安裝組件以及金屬蓋(未顯示)接合於組件 508 上且接著施加環境保角塗著。一或多個「可撓」電路 509(圖 8C)耦合至面板。以嵌入的「可撓」電路 509 用於 DC 及邏輯訊號可以免除 DC、邏輯連接器材料及組裝成本之花費。而且，耦合至面板的是一或多個 RF 連接器 510(為了使圖形及說明更清楚，僅有一個 RF 連接器顯示於圖 8C 中)。

散熱器 504 的第一表面 504a(圖 8B、8C)耦合至 PWB 502 的第二表面 502b。散熱器具有設置於其中的開口 511，RF 連接器 510 設置成穿過開口 511(請參見圖 8A)。在較佳實施例中，散熱器 504 直接接合至倒裝晶片 508。因此，散熱器的表面設置於且配置成接觸複數個電子裝置

508(亦即被動及主動電路)，複數個電子裝置 508 係配置於例如面板 502 等多層混合訊號 PWB 的外表面上。散熱器的第二表面 504b(圖 8D)設置成具有自其突出的複數個熱散佈元件 506。在圖 8C 顯示的實施例中，熱散佈元件 506 設置成鰭片。

將散熱器直接耦合至配置在面板(PWB)的外表面上的倒裝晶片電路會降低散熱器 504 與倒裝晶片電路 508 之間的熱介面數目並因而降低倒裝晶片電路的產熱部份與散熱器之間的熱電阻。藉由降低倒裝晶片電路的產熱部份與散熱器之間的熱電阻，能夠以氣冷方式將面板冷卻。

這與使用液體冷卻或大型吹風機或誘風機的先前技術方式形成對比。

藉由使用氣冷方式(相對於使用先前技術的吹風機或液體冷卻方式中之一)，而提供可負擔的冷卻主動式面板之方式。此外，藉由使用單一散熱器以冷卻多個倒裝晶片安裝的電路(相對於先前技術多個各別的「帽式散熱器」方式)，由於不需要在各個倒裝晶片電路上安裝個別的散熱器，所以，冷卻面板的成本(構件成本及組裝成本)會降低。

如上所述，在一實施例中，倒裝晶片電路設置成單石微波積體電路(MMIC)以及散熱器熱散佈元件是設置成鰭片或針梢。

在一實施例中，散熱器可以設置成鋁鰭片式散熱器，在其表面與配置在面板 502 的表面上之複數個倒裝晶片

MMIC 之間具有機械介面。此散熱器及主動式面板的空氣冷卻不需要昂貴的材料(例如鑽石或其它石墨材料)且將熱管從熱管理系統中免除。

在一實施例中，主動式面板 502 設置成設有倒裝晶片附著的 MMIC 之多層的、混合的訊號印刷線路板(PWB)。單一散熱器具有機械地附著至 PWB 的第一表面，以與各倒裝晶片 MMIC 的背面形成熱接觸。此主動式面板架構可以用以提供適用於從每 T/R 通道為 mW 至每 T/R 通道為 W 的範圍之 RF 塔式等級的主動面板，而工作循環在約 25 百分比(25%)的範圍。

由於能夠在具有多個不同的功率位準及實體尺寸的系統中使用共同面板架構及熱管理架構，所以，對於各系統也能夠使用共同製造、組裝及封裝方式。舉例而言，低功率及高功率的主動式電子掃描陣列(AESA)都可以使用共同製造、組裝及封裝方式。這導致製造 AESA 時大量的成本節省。因此，此處所述的系統及技術可以使 AESA 的製造更負擔得起。

希望使倒裝晶片電路與散熱器之間的熱介面數目最小。因此，在一實施例中，在倒裝晶片 MMIC 與鰭式散熱器的表面之間使用直接機械接觸。在其它實施例中，在倒裝晶片電路(例如 MMIC)與散熱器表面之間可以使用中間的「間隙－墊」層。在某些實施例中，使用此間隙－墊層有助於陣列的機械組裝以及假使某些電路或電路板需要再加工時有助於陣列的解除組裝(假使必須執行電子組件的

整修作業或修復時)。

在一實施例中，PWB 502包含堆疊的塊狀天線面板，堆疊的塊狀天線面板配置成用於在X頻帶頻率範圍中的作業、以及在設有128個塊狀元件時具有約0.1英吋至約4英吋範圍之厚度(T)而以0.2英吋是較佳的，以及具有5英吋(in)的寬度(W)、10英吋的長度(L)，(未見於圖8中)。

此處所述的面板散熱配置將熱(熱能)有效率地從主動式面板(特別是從安裝於主動式面板上的主動電路)轉移至散熱器。藉由降低主動電路與散熱器之間的熱介面的數目，可以取得從主動電路至散熱器之快速熱態轉移。

現在參考圖9，顯示一部份面板陣列520，其同於或類似於圖8中的面板陣列502。面板陣列520是由多層PWB 522提供，多層PWB 522包括9個電路板524-542，而各電路板具有第一及第二相對立層。因此，PWB 522具有18層，其中某些層相當於電路層，其中某些層相當於接地面板層，以及其中某些層是空白層(亦即，無用於電路目的之傳導材料存在)。配置於各電路板之間的是接合材料550(所謂的「預浸漬」接合環氧樹脂)。

電路板524具有配置於表面524b上的第一或上塊狀天線元件552，以及電路板528具有配置於表面528a上的第二或下塊狀天線元件554。電路板526作為天線元件552、554之間的間隔器，以致於天線元件552、554因而形成所謂的堆疊的塊狀天線元件。在電路板530的層530a上的導體556形成用於堆疊的塊狀天線元件552、

554 的槽饋給，而在電路板 530 的層 530b 上的導體 558 形成 RF 威爾金森功率分配器及 RF 成束器電路。在層 534a 上的導體 559 對應於接地平面而在電路板 534 的層 534b 上的導體 560 形成第二組 RF 威爾金森功率分配器及 RF 成束器電路。在層 536a 上的導體 561 及在層 536b 上的導體 562 對應於通至數位電路及電子裝置之數位訊號電路路徑。在層 540a 上的導體 564 對應於 RF 接地平面及在層 540b 上的導體 566 對應於通至功率電路及電子裝置的功率電路路徑、通至數位電路及電子裝置之數位訊號電路路徑、及 RF 接地平面。電路板 542 支援共平面波導電路以及 RF 接地電路及 RF 電路墊。

PWB 522 也包含複數個電鍍穿孔 570a-570l，大致上以 570 標示。反電鍍穿孔 570a-570j 從層 524a(亦即，PWB 522 的最頂層)延伸至層 542b(亦即，PWB 522 的最底層)。電鍍穿孔 570k、570L 僅延伸經過單一電路板(亦即電路板 542)。電鍍穿孔 570 中的某些孔形成圍繞堆疊的塊狀天線元件 552、554 之波導罩。因此，發射元件設置成作為單元胞的一部份，而以電鍍穿孔 570 有效地形成圍繞各單元胞的波導罩。應瞭解，圖 9 中僅顯示部份波導罩。

如上所述，波導罩由從 PWB 的第一最外層(例如 PWB 的頂層)延伸至 PWB 的第二最外層(例如 PWB 的底層)之電鍍穿孔 570 形成。因此，波導罩延伸經過整個多層 PWB 522 的厚度。

在 RF 頻率，波導罩將各單元胞與其它單元胞電隔

離。此隔離造成面板陣列改良的 RF 性能。波導罩作用以執行：(1)表面波模式的抑制(因介電片上的發射元件與介電片中支援的受引導模式之間的耦合而造成掃描盲點)；(2)平行板模式的抑制(導因於不對稱的 RF 條狀配置)；(3)在單元胞之間的 RF 隔離；(4)RF 電路與邏輯及功率電路的隔離(結果造成 RF、功率及邏輯電路能被印刷於相同層上，因而降低多層面板中的層總數)；(5)用於饋給層及 RF 成束器之數個 RF 通路轉變的垂直轉變(這也節省單元胞中的空間以及允許更緊密的單元胞封裝，當陣列需要在大掃描體積上操作時，緊密的單元胞封裝是需要的)。在一顯示的實施例中，波導罩作為用於 RF 訊號散佈的垂直轉變，所述 RF 訊號散佈的垂直轉變是用於層 534b 與 530b 之間的威爾金森饋給轉變以及層 534b 與 542b 之間的 RF 成束器轉變。

最後，主動電子裝置及被動組件 508(圖 8C)配置於層 542b 上。面板陣列因而在高度集成的 PWB 522 中結合 RF、邏輯及 DC 分佈。頂 PWB 層(亦即層 524a)是 RF 輻射體側，以及，底部層(亦即層 542b)是主動電子裝置及被動組件會組裝(及電耦合)至其的側。

在一般概述中，面板陣列 PWB 522 的製造及組裝中有五個基本步驟。第一，在包括 PWB 522 之電路板 524-542 上的所有層上成像及饋刻。應瞭解，各電路板 524-542 可以設置成具有不同的厚度。而且，電路板 524-542 均由不同材料提供。根據包含配置在電路板上的電路型式

等各種因素，選取用於各板 524-542 的特定材料及厚度。此外，形成及電調諧(例如使用上述匹配碟技術)大型或特大號的電路墊直徑，以增進電鍍穿孔 570 與建立於需要 RF、功率及/或邏輯電路之層上的相關內部墊之間的機械對準。應瞭解，需要將配置於多個層中的預定層上的 RF 墊、DC 功率墊、及邏輯墊對齊，以致於可以使用單一鑽孔及電鍍作業。亦即，在複數個層上的各層上的 RF 墊儘可能地對齊，以致於各鑽孔作業貫穿複數個不同層上的 RF 墊。類似地，在複數個層上的各層上的功率墊儘可能地對齊，以致於各鑽孔作業貫穿複數個不同層上的功率墊。類似地，在複數個層上的各層上的邏輯墊儘可能地對齊，以致於各鑽孔作業貫穿複數個不同層上的邏輯墊。因此，對於單一鑽孔及電鍍作業，希望將 RF、功率及邏輯墊儘可能地對齊(亦即，RF 墊會與 RF 墊對齊、功率墊會與功率墊對齊、及邏輯墊會與邏輯墊對齊)。

在層疊之前，檢測各層以增進產量。接著，層疊包括 PWB 的所有電路板。單一層疊步驟免除子組件對齊的風險，因而降低生產時間及成本。然後，執行鑽孔及電鍍作業。在單一鑽孔作業及後續的電鍍作業中製造所有 RF、邏輯及功率互連以及填充所有的孔，而產生實心的多層層疊。由於 RF、功率及邏輯墊都對齊，所以，此技術提供用於 RF、功率及邏輯訊號的分別通路(亦即，某些通路是 RF 訊號通路，某些通路是功率訊號通路，某些通路是邏輯訊號通路)。最後，主動及被動組件配置在面板的底側

上(例如，經取放作業)，然後執行回銲作業。

在用於 X 頻帶頻率範圍作業的面板陣列之一特定實施例中，面板設置成具有約 11.2 英吋的長度(L)、約 8.5 英吋的寬度(W)、及約 0.209 英吋的厚度(T)。面板陣列包含以 8 列 16 行配置的 128 個單元胞。電路板 524、530、534、542 可以由編織玻璃強化層疊提供，板 524、530、534 具有約 0.0100 英吋的厚度，而板 542 具有約 0.0200 英吋的厚度。電路板 524、530、534、542 可以均由塔康(Taconic)製造且以 RF-60A 標記的陶瓷裝填/PTFE 板提供。習於此技藝的一般技術者將瞭解，當然也可以使用具有相同或實質上類似的機械及電特徵的其它材料。

電路板 526、532、536、540 可以由編織玻璃強化層疊提供，板 532、536、540 具有約 0.0100 英吋的厚度，而板 526 具有約 0.0300 英吋的厚度。電路板 526、532、536、540 可以均由塔康(Taconic)製造且以 TLG-29 標記的 BT/環氧樹脂/PTFE 編織玻璃強化層疊提供。習於此技藝的一般技術者將瞭解，當然也可以使用具有相同或實質上類似的機械及電特徵的其它材料。

電路板 528 設置成厚度約 0.110 英吋的編織玻璃強化層疊。板 528 可由塔康(Taconic)製造且以 RF60A 標記的陶瓷裝填/PTFE 編織玻璃強化層疊提供。在某些實施例中，也可以使用例如 CE_r-10 的其它材料。習於此技藝的一般技術者將瞭解，當然也可以使用具有相同或實質上類似的機械及電特徵的其它材料。

接合層 550 可以均由標示為 TPG-30 之塔康的 BT/環氧樹脂預浸漬體提供。當然也可以使用具有相同或實質上類似的機械及電特徵的其它接合材料。TPG-30 材料具有約 392℉(200℃)的接合溫度及約 450psi 的接合力。在一實施例中，在板 540 與 542 之間可以使用二接合層 550。

沈積於或以其它方式設置於各式各樣的介電層上的銅可設置成具有約 0.0007 英吋的額定電鍍前厚度之 1/2 oz 銅。

各通路孔 570 設置成具有約 0.020 英吋的直徑，其接著在電鍍步驟中被電鍍覆蓋。應注意，通路 570K、570L 可以設置成具有約 0.020 英吋的直徑且在層疊期間可由 TPG-30 樹脂填充，並因此樹脂的存在而不會被電鍍。各單元胞具有約 74 個通路孔 570 圍繞它。因此，在具有 128 單元胞的面板中，每一板有幾乎 9472 個通路孔。當然，也可以使用其它直徑。在任何應用中使用的特定直徑可以根據該特定應用的需求而選取。當然，應瞭解，由於型態比是在允許控制的鑽孔作業(僅穿過一板)之範圍內，所以，在單一層疊處理之後，電鍍穿孔 570k、570l 可以由此控制的鑽孔作業鑽孔及電鍍。其它電鍍穿孔 570 的高型態比不允許此點。

更詳細地，由多層印刷線路板(PWB)提供的面板陣列的製造始於在包括 PWB 的各電路板上(例如各板 524-542)的所有層上成像，然後蝕刻包括 PWB 的各電路板上的所有層，包含蝕刻 RF 匹配墊。在較佳實施例中，對各被蝕

刻的層，執行檢測。接著，將複數個電路板中的各板(包含在各電路板之間的預浸漬材料)對齊。一旦電路板及預浸漬材料對齊時，在單一層疊步驟中將電路板層疊以提供經過層疊的電路板組件。層疊包括將電路板加熱至預定溫度及以預定時間量施加預定量的壓力至電路板。在層疊完成之後，執行鑽孔作業，其中，在層疊電路板組件中鑽孔。重要地，各孔鑽過整個層疊的電路板組件(亦即，從層疊的電路板組件的最上層至最底層)。一旦鑽出孔時，將孔電鍍以製成導電的。孔也被填充以提供實心的多層層疊電路板組件。因此，單一層疊技術允許所有 RF、功率及邏輯通路在一作業中被鑽孔以及利用 RF 通路「柱」調諧(其中，延伸至 RF 傳輸線接合處之外的 RF 通路「柱」被 RF 調諧以提供所需的阻抗匹配)。此調諧方式在接近 RF 通路傳輸線的接合處使用成形的導體。而且，在接地平面層及/或空白層中使用碟(設有圍繞的起伏)，RF 通路穿過接地平面層及/或空白層以助於阻抗匹配設於面板內的電路之不同部份(例如參考圖 4-6A 之上述所述般)。應瞭解，此處所述的單一層疊製造技術會允許 RF、功率及邏輯訊號在相同層上傳播。因此，在單一層疊作業中設置混合訊號、多層 RF PWB。

慮及上述，現在應瞭解，需要降低相位陣列的取得及壽命週期成本，同時頻寬、極化多樣性及可靠度的要求變得愈來愈有挑戰性。對於相位陣列的製造，特別是在低至中 RF 功率密度範圍中操作的相位陣列之製造，此處所述

的面板陣列架構及製造技術可提供成本有效的解決之道。這些相位陣列可以用於範圍廣泛的陸地、海洋、及空中平台的相位陣列雷達任務或是通訊任務。在一實施例中，以X頻帶設計的128 T/R通道低功率密度面板陣列是8.4英吋x11.5英吋(93.66英吋平方)、0.210英吋厚且重量為2.16磅(相當於0.11 lb/in^3的體積單位重量，包含印刷線路板、每一T/R通道2個MMIC，每一T/R通道2個開關，RF及功率/邏輯連接器、旁通電容器、電阻器)。在本實施例中，塊狀天線元件設置於18層PWB的PWB 522的層524b及528a上且所有主動電子裝置、連接器、旁通電容器及電阻器是表面安裝至層542b(亦即，層18)。顯示的設計成用於在X頻帶頻率範圍中操作的128 T/R通道低功率密度面板陣列在發送及接收時是雙線性極化(水平/垂直)切換以及使用「倒裝晶片」主動電子裝置。

此處引用的所有公告及文獻在說明上於此一併列入參考。

在本申請案的圖式中，在某些情形中，顯示複數個元件以說明特定元件，且單一元件顯示為說明複數個特定元件。顯示複數個特定元件不是意指根據發明而實施的系統或方法必須包括一個以上的該元件或是步驟，也不是藉由顯示單一元件而意指本發明侷限於僅具有單一該各別元件的實施例。習於此技藝者將瞭解，在至少某些情形中，可以選擇圖式中所示的特定元件的數目，以慮及特定使用的需求。

在上述詳細的實施例中元件及特點的特定結合僅被視為說明之用；也可明顯地想到本說明書中及併入參考的專利及申請案中的這些揭示及其它揭示的互換及替代。如同習於此技藝的一般技術者將瞭解般，在不悖離此處所述及此處主張的概念之精神及範圍之下，可以產生本發明的此處說明的變異、修改、及其它實施。因此，上述說明僅是舉例說明而非也絕不應被視為是限定的。

此外，在說明本發明及顯示圖式中的概念的實施例時，為了清楚起見而使用特定的術語、數目、尺寸、材料、等等。但是，概念不侷限於所選取的特定術語、數目、尺寸、材料、等等，且各特定術語、數目、尺寸、材料、等等至少包含以類似方式操作來完成類似目的之所有技術及功能的相等物。使用給定的文字、措辭、數目、尺寸、材料、術語、品牌、等等是包含所有文法、字面、科學、技術及功能的均等。此處所使用的術語是為了說明而非限定。

參考圖 10 及 10A，AESA 卡可以用於多個應用中。舉例而言，如圖 10 所示，AESA 卡 604 的陣列 602 可以用於例如行動平台單元 600 等行動環境中。在本實例中，AESA 卡 604 配置成 4x4 陣列。雖然圖 10 及 10A 顯示 AESA 卡 604 是長方形，但是，它們可以構造成圓形、三角形、或任何多邊形。而且，雖然陣列 602 是方形，但是，陣列可以是長方形、圓形、三角形、或任何多邊形配置。此外，AESA 卡 604 的數目可以是 1 至任何數目的

AESA 卡 604。

在其它應用中，一或多個 AESA 卡 604 可以用在船艦側上、陸地結構上等等。如同此處將顯示般，AESA 卡 604 是用以建立 AESA 系統的「建構塊」。

參考圖 11，AESA 卡 604 的實例是 AESA 卡 604'，其包含印刷線路板(PWB)606 及在 PWB 606 的表面上的 MMIC 610(例如倒裝晶片)(例如圖 3 中顯示的表面 620)。在本實例中，AESA 卡 604'包含 4x8 陣列的 T/R 通道胞 608 或 32 個 T/R 通道胞 608。各 T/R 通道胞 608 包含 MMIC 610、汲取調變器 612(例如汲取調變器積體電路(IC))、限制器及低雜訊放大器(LNA)614(例如，設有限制器的砷化鎵(GaAs)LNA)、功率放大器 616(例如氮化鎵(GaN)功率放大器)。AESA 卡 614'也包含一或多個功率及邏輯連接器 618。雖然 T/R 通道胞 608 以長方形陣列配置，但是，T/R 通道胞 608 可以以圓形、三角形、或任何型式的組態來配置。

參考圖 12，AESA 組件 622 包含 AESA 卡(例如 AESA 卡 604")，以 PWB 606 及 MMIC 610 設置於 PWB 606 的表面 620 上及藉由銲球 607 而耦合至其。AESA 組件 622 也包含熱散佈板 626，熱散佈板 626 經由熱環氧樹脂 624 和冷板 628 而耦合至各 MMIC。冷板 628 包含通道 630 以容納例如氣體或液體等流體來冷卻 MMIC 610。因此，各 MMIC 610 是平行散熱。亦即，從熱源(例如 MMIC 610)至散熱器(冷板 628)的熱阻對於整個 AESA 卡 604"之各 T/R

通道胞 608 中的所有組件(例如，汲取調變器 612、LNA 614、功率放大器 616 等等)及 MMIC 610 及是實質上相同的，因而縮減 T/R 通道胞 608 之間的熱梯度。AESA 卡 604"會在 R 方向上發射 RF 訊號。

參考圖 13，印刷線路板(PWB)606 的實例是 PWB 606'。在一實施例中，PWB 606'的厚度 t 約為 64 密爾。

PWB 606'包含金屬層(例如金屬層 702a-702t)及配置於各金屬層(例如金屬層 702a-702t)之間的環氧樹脂層(例如環氧樹脂層 704a-704m)、聚醯亞胺介電層(例如聚醯亞胺介電層 706a-706d)或複合層(例如複合層 708a、708b)中之一。特別地，複合層 708a 配置於金屬層 710e、710f 之間，以及，複合層 708b 配置於金屬層 710o、710p 之間。聚醯亞胺介電層 706a 配置於金屬層 702g、702h 之間，聚醯亞胺介電層 706b 配置於金屬層 702i、702j 之間，聚醯亞胺介電層 706c 配置於金屬層 702k、702l 之間，以及，聚醯亞胺介電層 706d 配置於金屬層 702m、702n 之間。其餘的金屬層包含如圖 13 所示之配置在金屬層之間的環氧樹脂層(例如環氧樹脂層 704a-704m 中之一)。

PWB 606'也包含耦合金屬層 702d 至金屬層 702q 之 RF 通路(例如 RF 通路 710a、710b)。各 RF 通路 710a、710b 包含成對的金屬板(例如，RF 通路 710a 包含金屬板 714a、714b 以及 RF 通路 710b 包含金屬板 714c、714d)。金屬板 714a、714b 由環氧樹脂 716a 分開以及金屬板 714c、714d 由環氧樹脂 716b 分開。雖然圖 13 中未顯

示，但是，習於此技藝的一般技術者將瞭解有其它型式的通路用於數位邏輯層以及功率層，以將這些訊號帶至AESA卡604"的表面或其它金屬層。

PWB 606'也包含導電導管(例如金屬導管 712a-712l)以將RF通路710a、710b電耦合至導電層702a、702t。舉例而言，導管 712a-712c 是一導管堆疊於或以其它方式配置於其它導管的頂部，以金屬導管 712a 耦合金屬層 702a 至金屬層 702b，金屬導管 712b 耦合金屬層 702b 至金屬層 702c，以及，金屬導管 712c 耦合金屬層 702c 至金屬層 702d 及至 RF 通路 710a。藉由在 PWB 606'中鑽孔(例如直徑約 4 或 5 密爾)及以金屬或其它導電材料填充孔，形成金屬導管 712a-712l。

此外，金屬導管 712d-712f 是一導管堆疊於其它導管的頂部，以金屬導管 712d 耦合金屬層 702r 及 RF 通路 710a 至金屬層 702s，金屬導管 712e 耦合金屬層 702s 至金屬層 702t，以及，金屬導管 712f 耦合金屬層 702t 至金屬層 702u。

金屬層 702a-702c 及環氧樹脂層 704a-704b 用以散佈 RF 訊號。金屬層 702p-702t 及環氧樹脂層 704j-704m 也用以散佈 RF 訊號。金屬層 702c-702e 及環氧樹脂層 704c-702d 用以散佈數位邏輯訊號。金屬層 702f-702o、環氧樹脂層 704e-704i、及聚醯亞胺介電層 706a-706d 用以散佈功率。

在一實施例中，一或多個金屬層 702a-702r 包含銅。

各金屬層 702a-702t 厚度上從例如約 0.53 密爾至約 1.35 密爾變化。在一實施例中，RF 通路 710a、710b 由銅製成。在一實施例中，金屬導管 712a-712l 由銅製成。

在一實施例中，各環氧樹脂層 704a-704m 包含與傳統的 FR-4 處理並容的高速/高性能環氧樹脂材料，以及具有可以與無鉛組裝並容的機械特性以包含：約 200℃的玻璃轉變溫度 Tg(微差掃描量熱法(DSC))、<Tg 16、16 & 55ppm/℃的熱膨脹(CTE)係數、以及＞Tg 18、18 & 230ppm/℃的 CTE。在堆疊的金屬導管 712a-712l 的順序處理中，低 CTE 及 360℃的高 Td(分解溫度)也是有利的。舉例而言，各環氧樹脂層 204a-204m 的厚度會從約 5.6 密爾至約 13.8 密爾變化。在一特定實例中，環氧樹脂材料是 Isola Group SARL 製造之商品名 FR408HR 的產品。在一實例中，環氧樹脂 716a、716b 與用於環氧樹脂層 704a-704m 的材料相同。

在一實例中，各聚醯亞胺介電層 706a-706d 包含聚醯亞胺介電，設計成作為用於功率匯流排解耦合的印刷電路板中的功率及接地平面，以及減少高頻時的 EMI 和功率平面阻抗。在一實例中，各聚醯亞胺介電層約為 4 密爾。在一特定實例中，聚醯亞胺介電質是 DUPONT®製造的商品名 HK042536E 的產品。

在一實例中，各複合層 708a、708b 包含環氧樹脂及碳纖維複合物，以提供 CTE 控制和熱管理。在一實例中，複合層可以作為接地平面且也作為機械限制層。在一

實例中，各複合層約為 1.8 密爾。在一特定實例中，環氧樹脂及碳纖維複合物是 STABLCOR® Technology, Inc.製造的商品名 ST10-EP387 之產品。

在一實例中，上述關於製造 AESA 卡的材料是無鉛的。因此，此處所提出的解決之道符合要求產品無鉛的環保規定。

下述參考圖 14-17 以說明包括一或多個 T/R 子卡組件(或是更簡稱為「子卡組件」)的發送/接收(T/R)RF 電路卡組件(CCA)。T/R 子卡組件包含一或多個「子卡」，各子卡在第一表面具有設置成為其整合部份的一或多個循環器以及在其第二相反表面上具有一或多個積體電路。子卡有時於此也稱為印刷線路板(PWB)或是印刷電路板(PCB)。

在說明具有整合的循環器之子卡之前，先說明某些概念前言。已發現在某些雷達應用中，藉由將 T/R「晶片組」(亦即，執行發送/接收功能的積體電路組(或晶片))或是單石微波積體電路(MMIC)組裝於單元胞的尺寸界定之 T/R CCA 區域內，可以取得優點。舉例而言，在參考圖 9 之上述中說明單元胞的概念。在由面板陣列天線提供 AESA 及參考 X-Y 笛卡耳座標系統的脈絡下，在選取的設計及/或操作頻率下，單元胞的 X-Y 尺寸典型上分別是自由空間波長的一半等級。此單元胞尺寸的選取根據包含但不限於雷達系統的實體、電氣及操作特徵(例如掃描體積要求)等各式各樣的因素。在閱讀此處的揭示之後，習於此技藝的一般技術者將知道如何選取設計及/或雷達系統

的操作頻率(例如，其為界定的操作頻寬之中點頻率)以及單元胞尺寸以符合特定應用的需求。

也已發現，在某些雷達系統中，由於具有儘可能接近 T/R 晶片組的循環器可以增進系統性能，所以也高度希望具有儘可能接近 T/R 晶片組的循環器。舉例而言:1)在 T/R 晶片組與循環器之間的 RF 損失會最小化，這會降低整體的前端損失；低前端損失產生較大的訊號以及較低的前端雜訊功率產生，造成更大的雷達靈敏度；(2)當雷達被掃描時，因功率放大器與循環器之間降低的負載拉升而降低發送功率輸出變異。但是，單位胞面積的限制將會非常難以將循環器設置、配置或是插入於單元胞內。因此，此處所述的是具有整合於單一單元胞內的循環器之 CCA。

在一實施例中，循環器配置於子卡的一表面上(亦即，在單一單元胞的邊界內)以及一或多個單石微波積體電路(MMIC)配置在相同的單一單元胞的邊界內，但是，在子卡的第二相反側上。亦即，子卡的一表面可以具有在單元胞的邊界內配置於其上的循環器，以及，在配置有循環器的相同單元胞的邊界內，電路卡組件的相反表面可以具有一或多個配置於其上的 MMIC。一或多個 MMIC 及/或循環器可以是商業上可購得的(COTS)組件或是客製組件或是 COTS 及客製組件的組合。

在一實施例中，T/R 子卡配置成而循環器經由低損失、高隔離的 RF 傳輸線而表面安裝至 T/R 子卡的表面，因而不需要將循環器嵌入於子卡中。如此，在此實施例

中，無需將循環器置於設在子卡內的穴中。

此外，藉由使用表面安裝循環器，使用傳統的製造工具(例如表面裝配機器人)，拾放機可以被用以拾取配置於帶及輥上的上的循環器以及將循環器放置於子卡的表面上之所需位置。在一實施例中，在循環器置放之前，將銲材施加至銲材遮罩界定的單元胞。

最後，由於積體電路(例如 MMIC)配置於子卡的一表面上以及循環器配置於子卡的第二相反表面上，子卡的二表面都可以容易地被遮罩及被塗以胺甲酸乙酯或是等效的保護及/或環保塗層，以保護子卡以及安裝於其上的組件而免於曝露至外在環境。

此處所述的提供設有整合的循環器之 TR 子卡的概念、電路及技術揭示各式各樣顯著的、且在某些情形中是關鍵的設計相關的設計參數、主動式電子掃描陣列(AESA)的製造及操作，包含但不限於下述：(1)取得寬廣的圓錐形掃描體積；(2)在配置於 PWB 的一表面上之積體電路(例如 MMIC)與配置於 PWB 的第二相反表面上的循環器之間提供具有相當低的 RF 插入損失特徵之訊號路徑；(3)降低隨著掃描的發送輸出功率變異；(4)克服功率處理/熱管理特徵；(5)支援濕或乾式線可更換單元(LRU)；及/或(6)提供可擴充的系統(例如可擴充的 AESA 系統)。

關於提供具有寬廣的圓錐掃描體積之 AESA，將循環器銲接或以其它方式附著至與具有 MMIC 安裝於上的表面相反之子卡的表面，這將造成子卡具有比先前技術的系統

更緊密相隔的單元胞。單元胞的緊密間隔接著造成天線元件的緊密間隔，接著允許雷達系統取得高達±70 度的圓錐掃描體積。

關於 RF 插入損失特徵，T/R 子卡具有小於 0.2λ 厚的厚度(其中，λ是最低的操作自由空間波長)。此相當短的電距離使得使用第一寬頻 RF 傳輸線就能夠將功率放大器(PA)的輸出耦合至循環器的發送(TX)埠以及使用第二寬頻 RF 傳輸線就能夠將低雜訊放大器(LNA)的輸入耦合至循環器的接收埠。第一及第二傳輸線設置成在寬廣的頻寬上具有≤約 0.2 dB 的插入損失特徵以及大於約 20 dB 的歸還損失。

關於降低的隨著掃描之發送輸出功率變異，在 T/R 子卡上的循環器與 PA 之間的電距離相當小，例如波長的分數；在一實施例中，距離小於 0.2λ。當 AESA 在任何掃描平面中被掃描至相當寬的角度時，在約±70 度的等級(相對於瞄準線)，此短電距離會降低 PA 負載拉升。

關於功率處理/熱管理，整合於 T/R 子卡的表面上之循環器可以使用高達單元胞的表面積的一半。這提供具有相當高功率處理能力的子卡。此高功率處理組件會產生顯著的熱。為了移除熱，子卡包含熱耦合至循環器之相當大的熱導體。在一實施例中，熱導體設置成接地平面且循環器配置於接地平面上。熱導體會導致熱通路，熱通路接著會熱耦合至熱散佈器。在一舉例說明的實施例中，在子卡上大面積的導電及導熱接地平面(例如銅接地平面)可以將

熱經由配置成穿過子卡的熱通路而散佈。熱通路傳輸(或散熱)熱至安裝於與安裝有循環器的表面相反的子卡的表面上之矽(或氮化鋁)熱散佈器(亦即，矽熱散佈器配置於子卡的 MMIC 側上)。此外，此矽熱散佈器可以熱耦合至增加的冷卻機構(例如，矽熱散佈器可以是增加的熱耦合(或散熱)至陣列冷卻歧管)。

關於濕或乾式線可更換單元(LRU)，具有整合的循環器之 T/R 子卡可以整合於濕或乾式線可更換單元(LRU)中，而仍符合所需的 RF 及功率處理要求。這是因為矽熱散佈器可以安裝成靠著液體冷卻的冷板或是空氣冷卻的冷板；一般而言，液體冷卻的冷板將允許更高的平均功率操作。

關於天線元件格間隔(因而是單元胞間隔)，具有整合的循環器之 T/R 子卡可以容納任何型式的格間距及/或形狀，包含但不限於長方形格、三角形格、或是任何其它格子形狀(例如任何規則或不規則幾何圖案)。

關於可擴充性，具有整合的循環器之 T/R 子卡是共同的主動 T/R 建構塊，能夠裝組或以其它方式設置範圍寬廣的 AESA 天線孔徑。

現在參考圖 14，射頻(RF)電路卡組件(CCA)800 包含實體地及電地耦合至發送/接收(T/R)組件 804 之蛋架/饋給成束器組件 802。

蛋架/饋給成束器組件 802 包含第一輻射體基底 824，此處有時也稱為「外輻射體 PWB」(或是，在輻射元件設

成塊狀天線元件的那些實施例中，稱為「外塊狀PWB」)。組件802又包含第一或外「蛋架」基底826、第二或內輻射體基底828及第二或內蛋架基底830。輻射體基底824包含第一複數個(或陣列)發射天線元件(未見於圖14中)。基底824配置於第一所謂的「蛋架」基底826上，以各發射元件配置成它們與蛋架基底826中的開口對齊。蛋架基底826的壁部份地界定單元胞的邊界。因此，組件802設置成具有64個單元胞。

第一或「外」蛋架基底826配置於第二或內輻射體基底828的第一表面上。輻射體基底828具有第二複數個輻射天線元件配置於其上(第二複數個輻射天線元件未見於圖14中)。第二基底828配置於第二「蛋架」基底830之上。第一及第二蛋架基底826、830對齊以致於在第二蛋架基底830中的開口與第一蛋架基底826中的開口對齊。在第二基底828上的天線元件組配置成與第二蛋架基底830中的開口對齊。因此，蛋架基底826、830界定複數個單元胞的邊界且各單元胞包含成對的天線元件(各一個在第一和第二輻射體基底824、826上)。在輻射體設成塊狀天線元件的情形中，此配置稱為「堆疊塊狀」配置。基底830配置在饋給成束器基底832上，饋給成束器基底832在蛋架/饋給成束器組件802與T/R組件804之間耦合RF能量。

在此顯示的實施例中，T/R組件804由複數個(此處為4個)子卡組件806a-806d及蛋架插入器組件808提供。在

圖 14 顯示的實施例中，T/R 組件 804 由一或多個子卡組件及蛋架插入器提供。在圖 14 顯示的實施例中，T/R 組件 804 由複數個(此處為 4 個)子卡組件 806a-806d(僅有子卡 806a 清楚見於圖 14 中)及複數個(此處為 4 個)蛋架插入部 808a-808d(僅有蛋架插入部 808a 清楚見於圖 14 中)提供。應瞭解，蛋架插入器可以設成單式結構或是複數個分開的結構(如圖 14 的實例中所示般)，而配置成設於子卡組件的循環器表面上。子卡組件 806a-806d 中的至少一些是設置成具有一或多個設於其表面上的循環器 809。在某些實施例中，在子卡組件中的各單元胞包含循環器。

以子卡組件 806a 作為子卡組件 806b-806d 的代表，子卡組件 806a 由具有第一及第二相對表面 807a 和 807b 的子卡 807 提供。這些表面中的至少第一表面具有一或多個表面安裝的循環器 809 設於其上。因此，子卡 807 的表面 807a 有時於此稱為「循環器表面」。在圖 14 顯示的實施例中，16 個循環器配置於循環器表面 807a 上。

子卡表面中的第二相反表面(此處為表面 807b)具有單石微波積體電路(MMIC)配置於其上(未見於圖 14 中)。因此，子卡表面 807b 於此有時稱為「MMIC 表面」。如同下述說明清楚可見般，MMIC 表面 807b 也具有 DC 及邏輯連接器配置於其上。

子卡 807 包括多層 PWB，其包含在蛋架/成束器組件 802 的天線元件與(包含於 T/R 組件 804 中的 RF 發送器及接收器電路(例如 T/R 晶片組)之間耦合 RF 訊號的 RF 饋給

電路。成束器組件 802 配置於 T/R 組件 804 之上以及可以使用上述所述的任何技術而機械地耦合至其(例如經由接合及/或接合及/或包含組件 802、804 內有螺紋的轂及螺絲或其它所需的機械特點)。

在特定實例中，子卡組件 806a 包含 16 個單元胞，各單元胞均與天線元件相關連且以預定樣式(此處為方形格圖案)分佈在子板 807 上的四列及四行之間。在圖 14 顯示的設計中，各子卡組件饋給配置在輻射體板 824、828 上的天線元件陣列之 4 乘 4(4×4)部份。因此，由於在蛋架/成束器組件 802 中有 8 列及 8 行天線元件且各子卡組件饋給四列，所以，4 子卡組件 806a-806d 被要求饋給整個組件 802。

現在參考圖 15-15B，其中，在多個圖中，類似的元件具有類似的代號，T/R 子卡組件 839 可以同於或類似於參考圖 14 之上述所述的子卡組件 806a-806d，T/R 子卡組件 839 由具有第一及第二相反表面 840a 及 840b 的子卡 840 提供。子卡 840 是多層 PWB，其包括用於 RF、DC 及邏輯電路的電路及訊號路徑。子卡 840 因此有時稱為混合訊號 PWB。

複數個循環器於此為表面安裝循環器 842a-842p，總體地以 842 表示，它們配置在第一表面 840a 上，因此，子卡 840 的第一表面 840a 有時於此稱為循環器表面 840a。如同圖 5 中最清楚可見般，子卡 839 設置成具有配置於子卡表面 840a 上的熱及電導體(例如銅接地平

面)848，以及，循環器 842a-842p 配置於導體上。導體 848 作為電接地平面且也將熱從循環器 842a-842p 經由熱通路孔而傳送至設置於子卡表面 840b 上的矽熱散佈器 852(圖 15B)。

類似地，複數個 RF 積體電路(例如單石微波積體電路或「MMIC」)總體地以 844 表示(圖 15A)配置於第二表面 840b 上，因此，子卡 840 的第二表面 840b 於此有時稱為 IC 表面 840b(或是有時稱為「MMIC 表面 840b」)。

在顯示的實施例中，子卡 840 具有複數個單元胞形成於此中，此處為 16 個單元胞 850a-850p。舉例而言，使用從表面 840a 延伸經過電路板而至表面 840b 的傳導通路，形成單元胞 850a-850p。舉例而言，這些通路可以以參考圖 13 之上述所述的方式設置。傳導通路有助於界定單元胞的邊界，以及，提供具有 RF 隔離特徵的單元胞，以致於提供給一單元胞的 RF 訊號會與其它單元胞隔離。

子卡 840 包括「N」個發送/接收單元胞，而至少一單元胞具有整合於其表面上的循環器。在某些實施例中，各單元胞具有表面安裝循環器 842 與其相整合。在圖 15-15B 的顯示實施例中，各單元胞設置成具有 RF 成束器埠 860 及 RF 天線埠 862，在子板上的單元胞經由這些埠而耦合至例如參考圖 14 之上述所述的天線及成束器等天線及成束器。成束器埠及天線埠經由 RF 插入器(圖 14 中的 808a)而電連接至蛋架/成束器組件。

在 T/R 子卡 840 的單元胞內包含表面安裝循環器 842

會提供具有一或多個整合的循環器之子卡 840。因此，T/R 子卡組件 839 設置成高度集成的雙側印刷電路板組件，具有配置在其一表面上的表面安裝循環器及具有配置在其第二相反表面上的積體電路。

舉例說明的 T/R 子卡組件 839 包含 16 個 T/R 單元胞，各 T/R 單元胞包含整合的循環器。如上所述，在其它應用中，比全部 T/R 單元胞更少的 T/R 單元胞會包含積體循環器。

配置在子卡表面 840b 上的是 DC/邏輯連接器 854、複數個積體電路(例如 MMIC)844、複數個熱散佈器 852。在說明的實施例中，積體電路 844 顯示為倒裝晶片安裝的 MMIC。

雖然在圖 14 及 15 之舉例說明的實施例中，顯示方形格子圖案，但是，如上所述般，印刷線路板(PWB)為基礎的單元胞設計可以重配置成不同的格子圖案。

循環器可以由商業上可購得(COTS)的循環器或客製循環器提供。選擇使用 COTS 或客製循環器使設計妥協。舉例而言，可以在 PA 與 LNA 之間的隔離層程度相對於操作頻寬而作妥協；或是，在低電壓駐波比(VSWR)及低插入損失相對於作業頻寬而作妥協。也可以在循環器封裝的面積/體積相對於循環器功率處理能力之間作妥協(例如，循環器封裝愈大，則功率處理能力愈大，但是循環器佔據更多的面積/體積)。

如上述，循環器整合於子卡的一表面上以及積體電路

整合於子卡的第二相反表面上會造成高度集成的子卡，其包括 RF、功率及邏輯訊號散佈。

在一實施例中，RF 假同軸線(請參見圖 17)會將 PA 輸出與循環器的發送器埠相耦合(以及在某些情形中直接連接)，以及，將 LNA 輸入埠與循環器的接收器埠相耦合(請參見圖 17)。這會降低 RF 損失以及有助於在分別連接至循環器的的發送器埠及來自循環器的的接收器埠之發送與接收 RF 擬同軸線埠之間提供高隔離(例如，>90dB)。

如同圖 15-15B 中所見般，子卡設成雙層組件。這使得單元胞面積(或「工作面積」)具有 x 及 y 尺寸，其中，$x \leq \lambda/2$ 及 $y \leq \lambda/2$。具有此單元胞面積能夠有大的陣列圓錐掃描體積以及也在可供循環器設置的子卡的一表面上造成高達 50%的單元胞表面積。接著，這能夠使用符合特定應用的特定 RF 要求(例如頻寬、隔離、功率處理、等等)之範圍廣大的 COTS 或是客製循環器。

此外，子卡是電氣上薄的。特別地，在 PA 輸出埠與循環器埠之間的電距離可以小於 0.2λ。當陣列被掃描時，這會降低、且在某些情形中理想地最小化功率放大器 RF 負載拉升。

此外，子卡設置成具有高功率密度 RF 性能。在循環器之下包含熱及電導體(例如銅接地平面)會將循環器產生的熱立即地散佈。而且，嵌入於子卡中的熱能通路會將熱從熱及電導體經由子卡(亦即，從子卡的循環器表面至子卡的 MMIC 表面)而傳送至矽熱散佈器，矽熱散佈器接著

熱耦合(散熱)至陣列冷卻歧管或其它冷卻機構。此方式允許循環器接面溫度維持在所需等級(例如，在某些應用中在 50℃的環境溫度下，在 125℃之下)。

現在參考圖 16，顯示子卡 900 的熱模型結果，子卡 900 在其相反的表面上配置有整合的循環器及積體電路(MMIC)。應注意，為了使圖形清楚，單石微波電路(MMIC)及循環器未明顯地顯示於圖 17 中。子卡 900 顯示為具有配置於與循環器表面 902a 相反的子卡表面 900b 上的熱散佈器 902。也顯示於圖 16 中的是發送及接收埠 904a、904b、成束器埠 904c 及成對的天線埠 904c、904d 之位置。

在圖 16 中的熱分析顯示在 50℃及 10%的發送工作循環之最壞的環境條件下，循環器安裝表面的最大溫度是 109.3℃；此溫度是良好地在 150℃的最大表面安裝溫度之下，對於大部份的 COTS 循環器而言，這是典型的。對於使用熱管(未顯示於圖 16 中)的乾式 LRU 之此情形，當環境溫度是 50℃時，LRU 冷板溫度是 92℃。

現在參考圖 17，詳細的 HFSS 模型包含：(1)MMIC RF 電晶體 910；(2)經過子卡 PWB 之假同軸轉變 912；及(3)循環器埠 RF 轉變 914。RF 假同軸線可以耦合(在某些情形中可以直接連接)PA 輸出與循環器的發送器埠以及耦合 LNA 輸入埠與循環器的接收器埠。這會降低 RF 損失及有助於在循環器的發送及接收埠之間提供高隔離(>90dB)。由於下述原因，假同軸線提供最低損失及最高

隔離：(1)在 MMIC 與循環器之間直接互連(因此，免除條狀或微帶狀傳輸線區)，(2)形成假同軸線的外導體的通路的外環提供高隔離。

已說明尋求保護的概念之較佳實施例，習於此技藝的一般技術者現在可清楚知道可以使用具有所述概念的其它實施例。此外，習於此技藝的一般技術者將瞭解此處所述的發明的實施例可以修改以容納及/或符合此處述及的可應用技術及標準中的改變及增進。舉例而言，可以以很多其它不同的形式及在很多不同的環境中，實施所述技術，以及，可以使用此處揭示的技術與其它技術的結合。此處所述的電路及技術不侷限於所述的特定實施例。此處所述的不同實施例的元件可以結合以形成上述未特定地揭示的其它實施例。在不悖離所述及主張之概念的範圍及精神之下，習於此技藝的一般技術者可以產生此處揭示的變異、修改、及其它實施。因此，保護之範圍不應侷限於揭示的實施例，相反地應僅受後附的申請專利範圍的精神及範圍所限制。

【符號說明】

10：陣列天線

12：瓷磚式子陣列

15：天線元件

18：上多層組件

22：輻射體子組件

26：蛋架基底

30：蛋架基底

36：上多層板

40：饋給電路板

50：互連板

60：循環器板

71：互連板

76：發送接收模組

80：下多層板

86：熱散佈板

200：瓷磚式子陣列

300：上多層組件

407：RF 匹配墊

408：導體

409：起伏區

470：瓷磚式子陣列

474：RF 電路板

478：循環器電路板

500：面板組件

502：面板陣列

504：散熱器

552：天線元件

554：天線元件

570：電鍍穿孔

600：行動平台單元

604：主動式電子掃描陣列

606：印刷線路板

702：金屬層

704：環氧樹脂層

706：聚醯亞胺介電層

708：複合層

710：RF 通路

712：RF 導管

802：蛋架/饋給成束器

824：輻射體基底

826：蛋架基底

828：輻射體基底

830：蛋架基底

840：子卡

842：表面安裝循環器

850：單元胞

第 104125431 號　　民國 105 年 11 月 17 日修正

申請專利範圍

1. 一種發送接收(T/R)子卡組件，包括：

印刷電路板(PCB)，具有第一及第二相反表面以及具有複數個單元胞，各單元胞在該 PCB 的該第一表面上具有一或多個電接點以及各單元胞在該 PCB 的該第二相反表面上具有一或多個電接點；

複數個射頻(RF)循環器，配置在該 PCB 的該第一及第二表面中之第一個表面上，各該循環器配置在該複數個單元胞中各別之一的邊界之內，以及，各該循環器電耦合至該各別單元胞內的該一或多個電接點中的至少某些；

熱及電傳導層，配置在該 PCB 的該第一及第二表面的該第一個表面上，該循環器熱及電傳導層與該複數個循環器熱及電接觸；

一或多個 RF 積體電路，配置在該 PCB 的該第一及第二表面中相反的第二表面上，各該 RF 積體電路配置在該複數個單元胞中各別之一的邊界內，以及，各該 RF 積體電路電耦合至有該一或多個 RF 積體電路安裝的該單元胞內該 PCB 的該第二表面上的該一或多個電接點中的至少某些；

一或多個熱通路，配置成穿過該 PCB 以提供從配置在該 PCB 的該第一及第二表面中之該第一個表面上的該熱及電傳導層至該 PCB 的該第二相反表面之熱路徑；以及

一或多個熱散佈器，配置在該 PCB 的該第一及第二

表面中的該第二個表面上，該第二個表面是與循環器安裝於上的表面相反，該一或多個熱散佈器經由該一或多個熱通路中至少之一而熱耦合至配置在該 PCB 的該第一及第二表面中的該第一個表面上的該熱及電傳導層。

2. 如申請專利範圍第 1 項之發送接收子卡組件，其中：

各單元胞設置成具有配置在該各單元胞的該邊界內的 RF 循環器；以及

各單元胞設置成具有配置在該各單元胞的該邊界內的 RF 積體電路。

3. 如申請專利範圍第 2 項之發送接收子卡組件，其中：

各 RF 循環器對應於配置在該單元胞的該邊界內的表面安裝組件；以及

各 RF 積體電路設置成配置在該單元胞的該邊界內的單石微波積體電路(MMIC)。

4. 如申請專利範圍第 3 項之發送接收子卡組件，其中，各該 RF 循環器設置成具有高功率處理能力及涵蓋高達該 PCB 的該第一表面上該單元胞的表面積的一半。

5. 如申請專利範圍第 1 項之發送接收子卡組件，其中，該複數個單元胞中的各該單元胞在 RF 波長彼此電隔離。

6. 如申請專利範圍第 5 項之發送接收子卡組件，其中，該熱及電傳導層設置成配置在該 PCB 的該第一表面

上的傳導接地平面，以及，其中該傳導接地平面會將排除的熱散佈以及配置成穿過該 PCB 的該熱通路會將熱從該 RF 循環器傳送至安裝於與有安裝該循環器的與該表面相反的該子卡表面上的該熱散佈器。

7. 如申請專利範圍第 6 項之發送接收子卡組件，又包括熱耦合至該熱散佈器的一或多個增加的冷卻機構。

8. 如申請專利範圍第 6 項之發送接收子卡組件，其中：

該熱散佈器設置成矽(Si)熱散佈器；以及

該一或多個增加的冷卻機構包含陣列冷卻岐管。

9. 如申請專利範圍第 8 項之發送接收子卡組件，其中，該 PCB 的該第一表面上的該一或多個電接點中的至少某些設置成射頻(RF)訊號埠。

10. 如申請專利範圍第 9 項之發送接收子卡組件，又包括在該 PCB 中的各該單元胞中的傳導通路孔，各該傳導通路孔設置成完成下述至少之一間的電互連：設置成該發送接收子卡上的一部份之 RF；DC 功率；及/或邏輯電路。

11. 如申請專利範圍第 10 項之發送接收子卡組件，其中：該 MMIC 是倒裝晶片，安裝及直接接合至該 PCB 的該第二表面。

12. 如申請專利範圍第 11 項之發送接收子卡組件，其中，該矽(Si)熱散佈器熱耦合至該 MMIC 倒裝晶片電路。

13. 如申請專利範圍第 11 項之發送接收子卡組件，包括熱耦合至該 MMIC 的散熱器。

14. 如申請專利範圍第 13 項之發送接收子卡組件，其中，該散熱器設置成熱耦合至該 MMIC 之液體冷卻的銲件。

15. 一種模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，包括：

(A) 蛋架(Eggcrate)/饋給成束器組件，具有第一及第二相反表面，以該第一表面對應於輻射體表面，以及該第二表面對應於饋給成束器表面，該蛋架/饋給成束器組件包括：

(1) 外塊狀印刷線路板(PWB)，具有第一發射表面及第二相反表面，以及包括複數個天線元件，配置成從該外塊狀 PWB 的發射表面發射 RF 能量；

(2) 外 PWB 蛋架，具有配置於該外塊狀 PWB 的該第二表面上的第一表面以及具有第二相反表面，其中，該外 PWB 蛋架的壁界定複數個單元胞，至少某些該外塊狀 PWB 天線元件配置在該複數個單元胞內。

(3) 內塊狀 PWB，具有配置在該外 PWB 蛋架的該第二表面上的第一表面以及具有第二相反表面，以及包括複數個天線元件，配置成從該外塊狀 PWB 的發射表面發射 RF 能量，至少某些該內塊狀 PWB 天線元件配置在該複數個單元胞中的某些之內；

(4) 內 PWB 蛋架，具有配置在該內塊狀 PWB 的

第二表面上的第一表面及具有第二相反表面，其中，該內 PWB 蛋架的壁與該外 PWB 蛋架的壁實質上對齊以進一步界定單元胞區域；以及

(5) 饋給成束器 PWB 電路，具有配置在該內 PWB 蛋架的該第二表面上的第一表面以及具有第二相反表面；以及

(B) 發送接收組件，具有配置在該饋給成束器 PWB 電路的該第二表面上的第一表面以及具有第二相反表面，該子卡組件包括：

(1) 蛋架插入器，具有對應於該發送接收子卡組件的該第一表面之第一表面以及第二相反表面；以及

(2) 一或多個發送接收子卡組件，該一或多個發送接收子卡組件中的各發送接收子卡組件均具有第一及第二相反表面，該第一表面對應於循環器表面，以及，該第二表面對應於 MMIC 表面，以及，其中該一或多個子卡組件的該循環器表面配置在該蛋架插入器的該第二表面上，以及，各該子卡組件均具有一或多個單元胞，來自該一或多個子卡組件的單元胞的總數對應於該外 PWB 蛋架的壁界定的單元胞的數目，以及，其中該一或多個子卡組件中的各子卡組件均包括：

(a) 多層印刷電路板(PCB)，具有第一及第二相反表面以及具有複數個單元胞，各單元胞在該 PCB 的該第一表面上具有一或多個電接點以及在該 PCB 的該第二相反表面上具有一或多個電接點；

(b) 複數個循環器，配置在該 PCB 的第一及第二表面中第一的表面上，該循環器配置在該複數個單元胞中各別的單元胞之邊界內，以及，各該循環器電耦合至該各別單元胞內的一或多個電接點中的至少某些電接點；

(c) 熱及電傳導層，配置在該 PCB 的第一及第二表面中的該第一的表面上，該循環器熱及電傳導層與該循環器熱及電接觸；

(d) 一或多個單石微波積體電路(MMIC)，配置於該 PCB 的第二表面，該第二表面相反於第一及第二表面中的一者，該 MMIC 電耦合至該 PCB 的該第二表面上的該一或多個電接點中的至少某些；

(e) 一或多個熱通路，配置成穿過該 PCB 以提供從配置在該 PCB 的該第一及第二表面中之該第一的表面上的該熱及電傳導層至該 PCB 的該第二相反表面之熱路徑；

(f) 一或多個熱散佈器，配置在該 PCB 的該第一及第二表面中與安裝有該循環器的表面相反的第二個表面上，該一或多個熱散佈器熱耦合至配置在該 PCB 的第一及第二表面中的該第一個表面上的該熱及電傳導層。

16. 如申請專利範圍第 15 項之模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，其中：

各單元胞設置成具有配置在該各單元胞的該邊界內的 RF 循環器；以及

各單元胞設置成具有配置在該各單元胞的該邊界內的 RF 積體電路。

17. 如申請專利範圍第 16 項之模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，其中：

各 RF 循環器對應於配置在該單元胞的該邊界內的表面安裝組件；以及

各 RF 積體電路設置成配置在該單元胞的該邊界內的單石微波積體電路(MMIC)。

18. 一種模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，包括：

蛋架/饋給成束器組件，具有第一及第二相反表面，以該第一表面對應於輻射體表面，以及該第二表面對應於饋給成束器表面，該蛋架/饋給成束器組件包括：

外塊狀印刷線路板(PWB)，具有第一發射表面及第二相反表面，以及，包括複數個天線元件，配置成從該外塊狀 PWB 的發射表面發射 RF 能量；

外 PWB 蛋架，具有配置於該外塊狀 PWB 的該第二表面上的第一表面以及具有第二相反表面；

內塊狀 PWB，具有配置在該外 PWB 蛋架的該第二表面上的第一表面以及具有第二相反表面，以及，包括複數個天線元件，配置成從該外塊狀 PWB 的發射表面發射 RF 能量；

內 PWB 蛋架，具有配置在該內塊狀 PWB 的第二表面上的第一表面及具有第二相反表面；以及，

饋給成束器 PWB 電路，具有配置在該內 PWB 蛋架的該第二表面上的第一表面以及具有第二相反表面；以

及

發送接收組件，具有配置在該饋給成束器 PWB 電路的該第二表面上的第一表面以及具有第二相反表面，該子卡組件包括：

蛋架插入器，具有對應於該發送接收組件的該第一表面之第一表面以及第二相反表面；以及

一或多個子卡組件，該一或多個發送接收組件中的各發送接收組件均具有設有表面安裝循環器的第一表面以及設有複數個 RF 積體電路的第二相反表面，其中，該一或多個發送接收子卡的該循環器表面配置於該蛋架插入器的該第二表面上，以及，其中各該表面安裝循環器配置於該模組化可擴充的射頻(RF)電路卡陣列(CCA)組件的該複數個單元胞中各別的單元胞的邊界之內，以及，該複數個 RF 積體電路配置在與配置有該複數個循環器的表面相反之該發送接收子卡的表面上之該模組化可擴充的射頻(RF)電路卡陣列(CCA)組件的該複數個單元胞中各別的單元胞的邊界之內。

19. 如申請專利範圍第 18 項之模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，其中，該一或多個子卡組件中的至少某些包括：

多層層疊電路板組件，具有第一及第二相反表面，該多層層疊電路板組件包括具有 RF 饋給電路配置於上的至少一層、具有邏輯電路配置於上的至少一層、以及具有 DC 電路配置於上的至少一層，以及，其中該多層層疊電

路板組件的該第一表面對應於該多層層疊電路板組件的最頂層以及該多層層疊電路板的該第二表面對應於該多層層疊電路板組件的最底層，以及，其中該多層層疊電路板組件又包含複數個電鍍穿孔，從該多層層疊電路板的最頂層延伸至最底層，該複數個電鍍穿孔形成複數個單元胞；以及，

複數個循環器，配置於該多層層疊電路板組件的最頂層上，該複數個循環器的各循環器配置在該複數個單元胞中各別的單元胞的邊界內；以及

複數個積體電路，配置在該多層層疊電路板組件的最底層上，該複數個積體電路中的各積體電路配置於該複數個單元胞中各別的單元胞的邊界內，以致於該多層層疊電路板組件的一表面具有複數個循環器配置於其上及該多層層疊電路板組件的該相反表面具有一或多個積體電路配置於其上以及各個該循環器及積體電路配置於設在該多層層疊電路板組件中的該各別的單元胞的邊界內。

20. 如申請專利範圍第 18 項之模組化可擴充的射頻(RF)電路卡陣列(CCA)組件，其中，各該子卡組件包括第一複數個波導罩，該第一複數個波導罩中的各波導罩圍繞該第一複數個循環器的週圍配置，其中，該第一複數個波導罩中的各波導罩由從該子卡組件的第一最外層延伸至該子卡組件的第二最外層之電鍍穿孔形成。

圖式

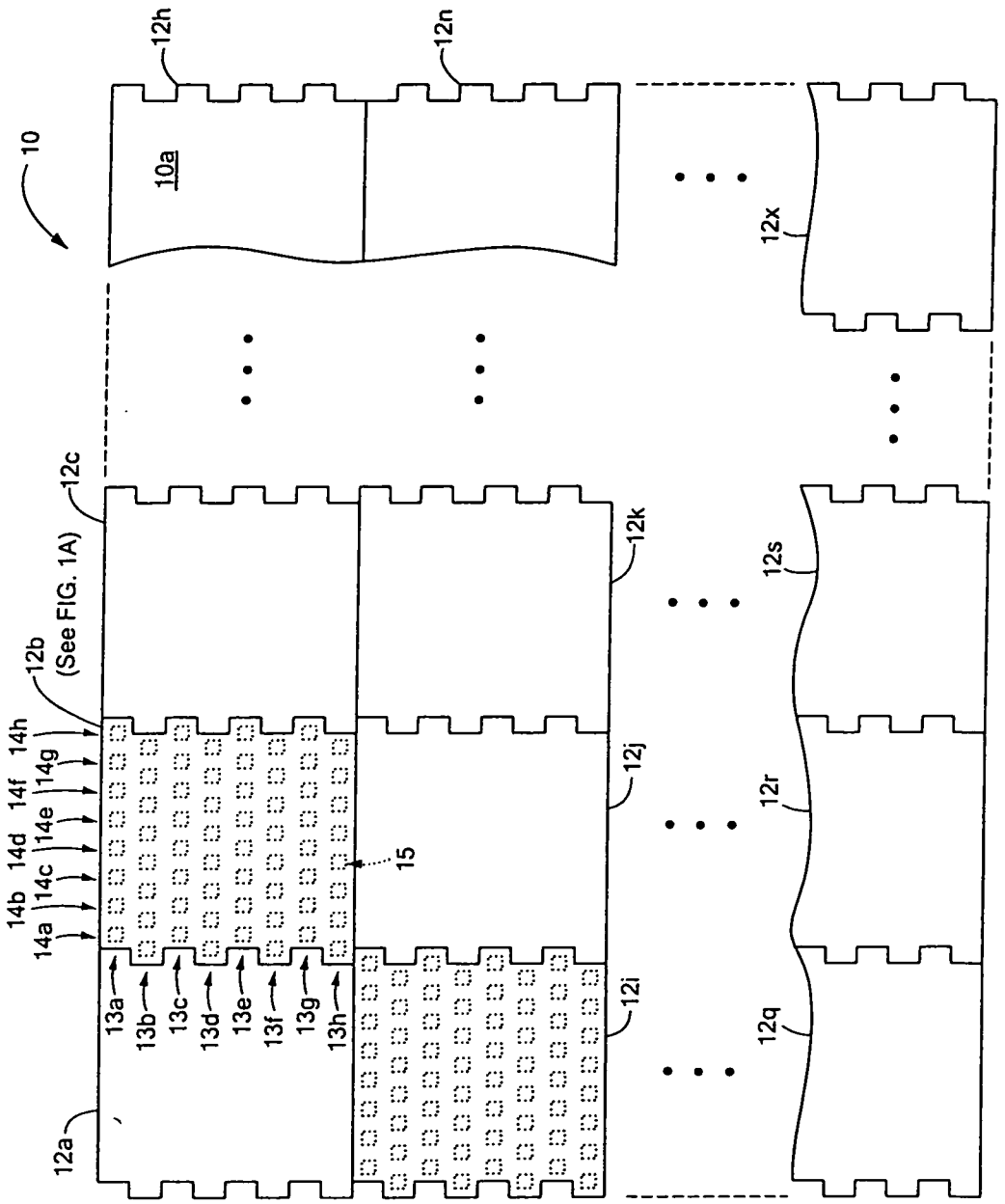

10
10a
12h
12n
12x
12c
12b
(See FIG. 1A)
12k
12s
12j
12r
12i
12q
12a
14a
14b
14c
14d
14e
14f
14g
14h
13a
13b
13c
13d
13e
13f
13g
13h
15

圖 1

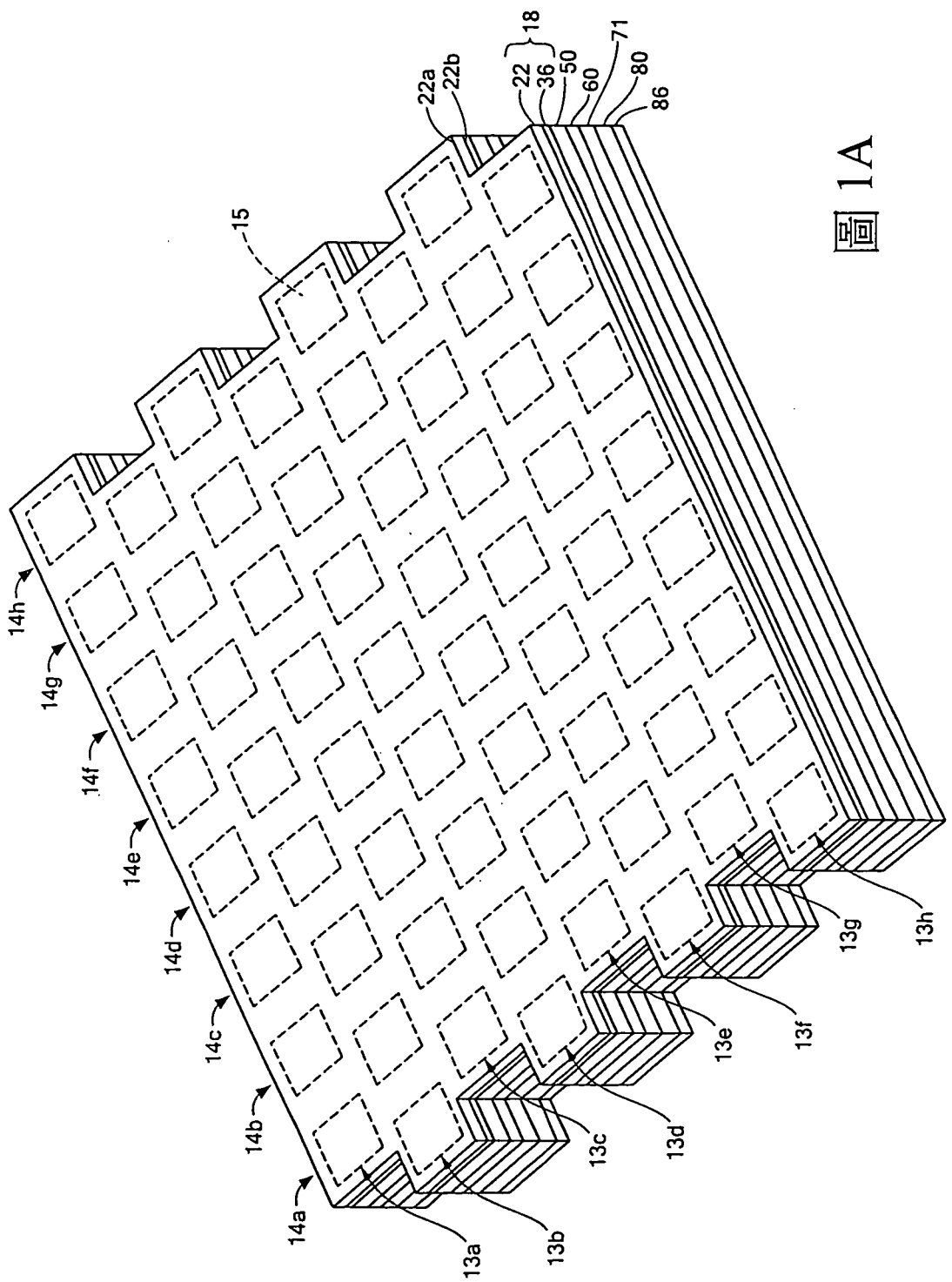

22a
22b
18
22
36
50
60
71
80
86
15
14h
14g
14f
14e
14d
14c
14b
14a
13a
13b
13c
13d
13e
13f
13g
13h

圖 1A

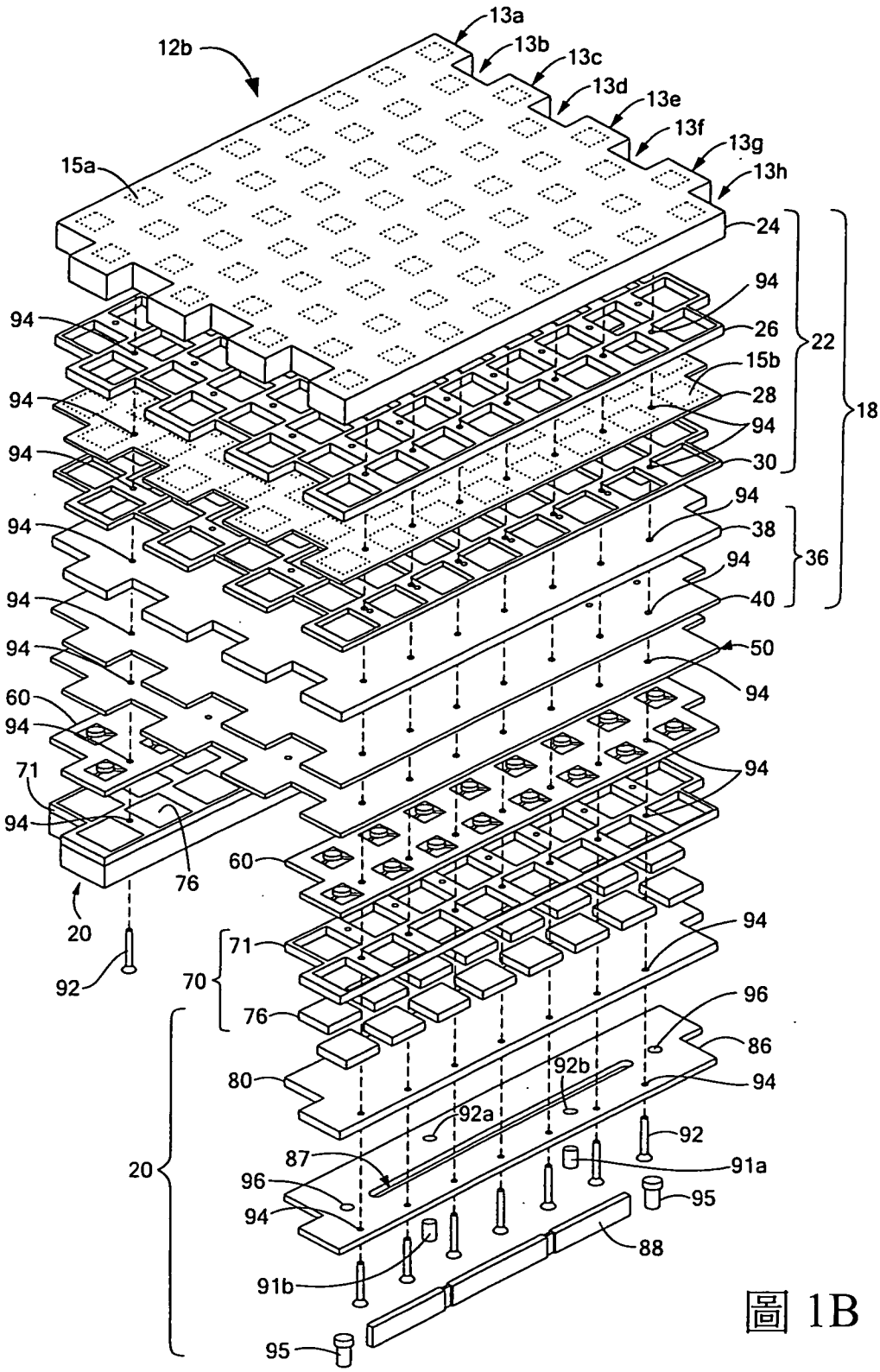

12b
13a
13b
13c
13d
13e
13f
13g
13h
15a
24
94
26
22
15b
28
18
30
38
36
40
50
60
71
76
20
92
70
80
92b
92a
87
96
86
91a
95
88
91b

圖 1B

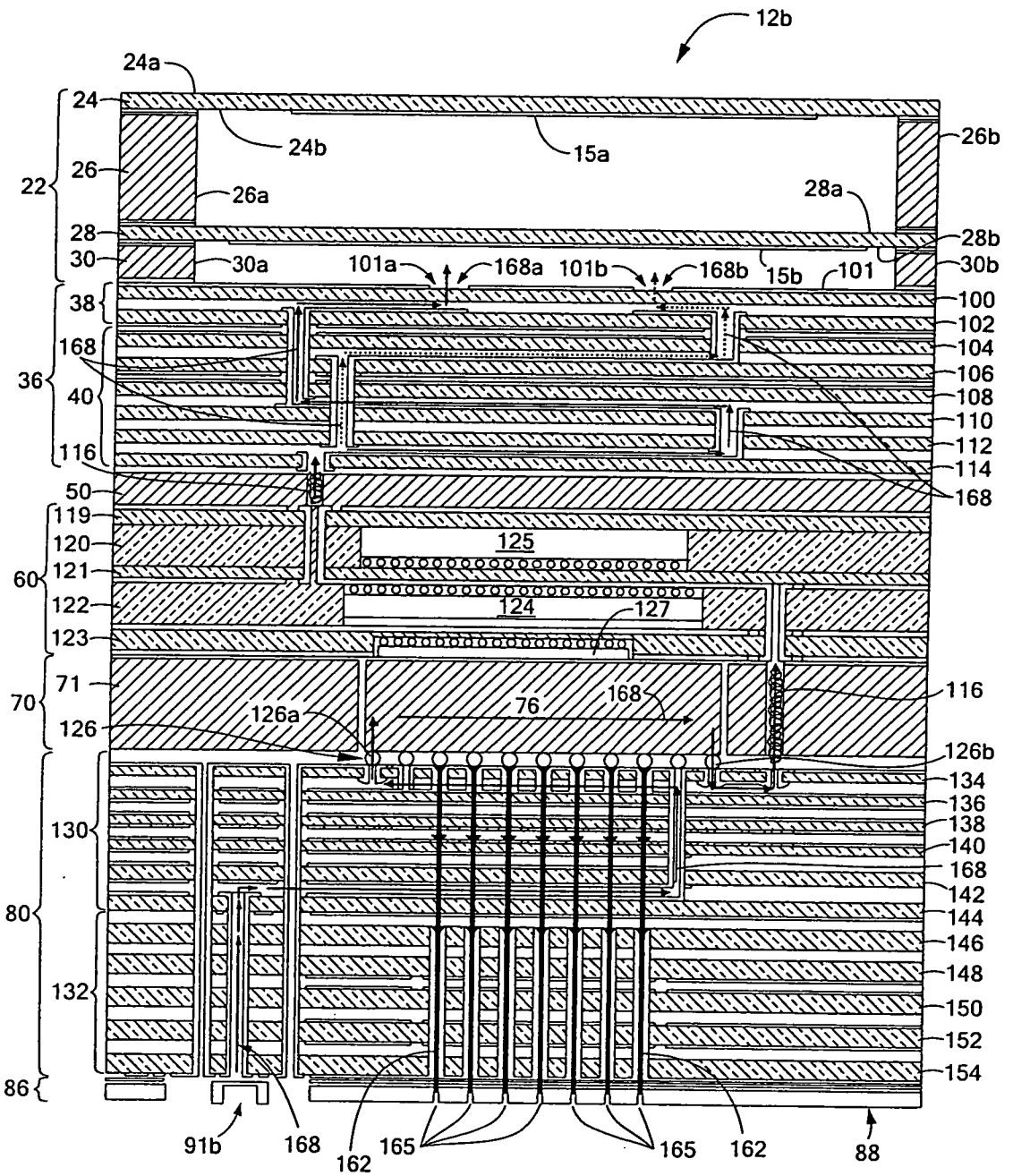

12b
24a
24
24b
15a
26b
22
26
26a
28a
28
28b
30
30a
101a
168a
101b
168b
15b
101
30b
38
100
102
168
104
36
40
106
108
110
116
112
114
50
168
119
120
125
60
121
122
124
127
123
71
70
126a
76
168
116
126
126b
134
130
136
138
140
168
142
80
144
146
132
148
150
152
86
154
91b
168
162
165
165
162
88

圖 1C

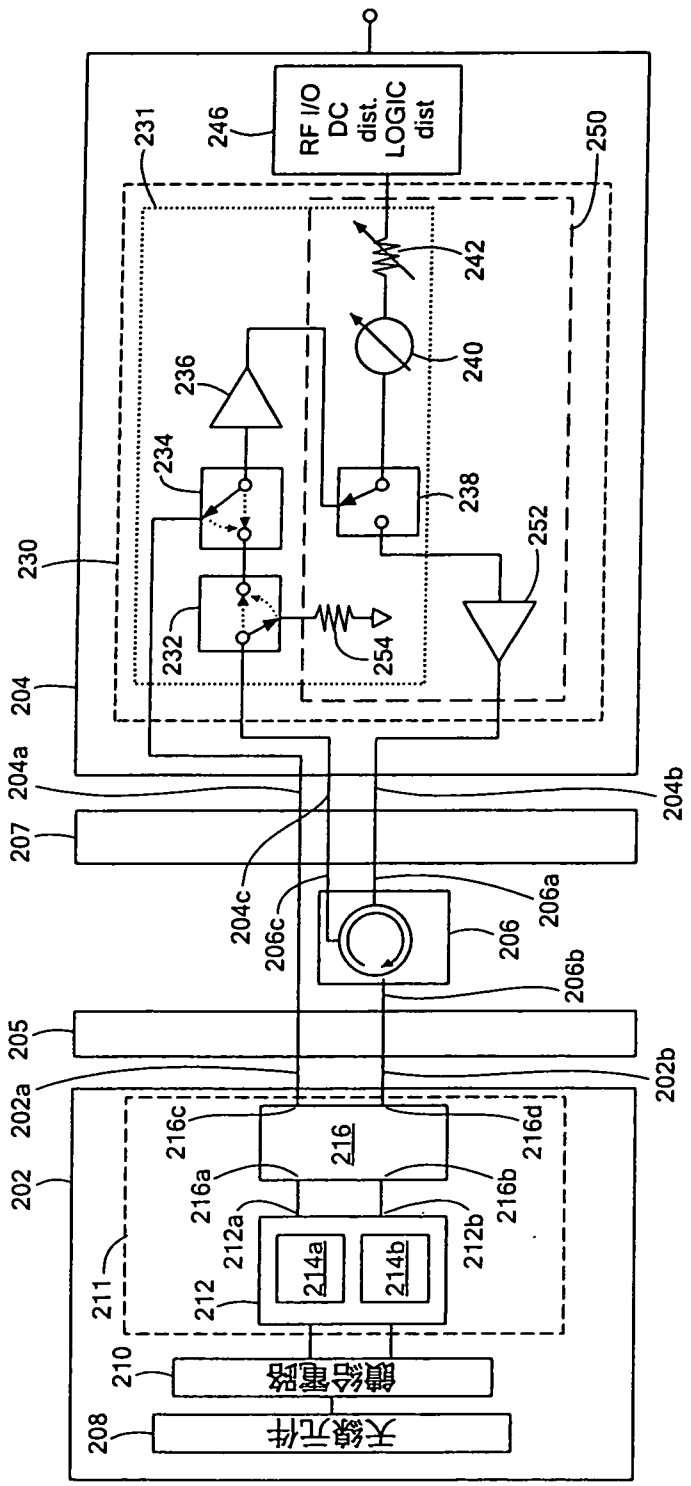

RF I/O
DC dist.
LOGIC dist
246
231
250
242
240
236
234
238
252
230
232
254
204
204a
204b
207
204c
206c
206a
206
206b
205
202b
202a
216c
216
216d
216a
216b
202
212a
212b
214a
214b
211
212
210
208

圖 2

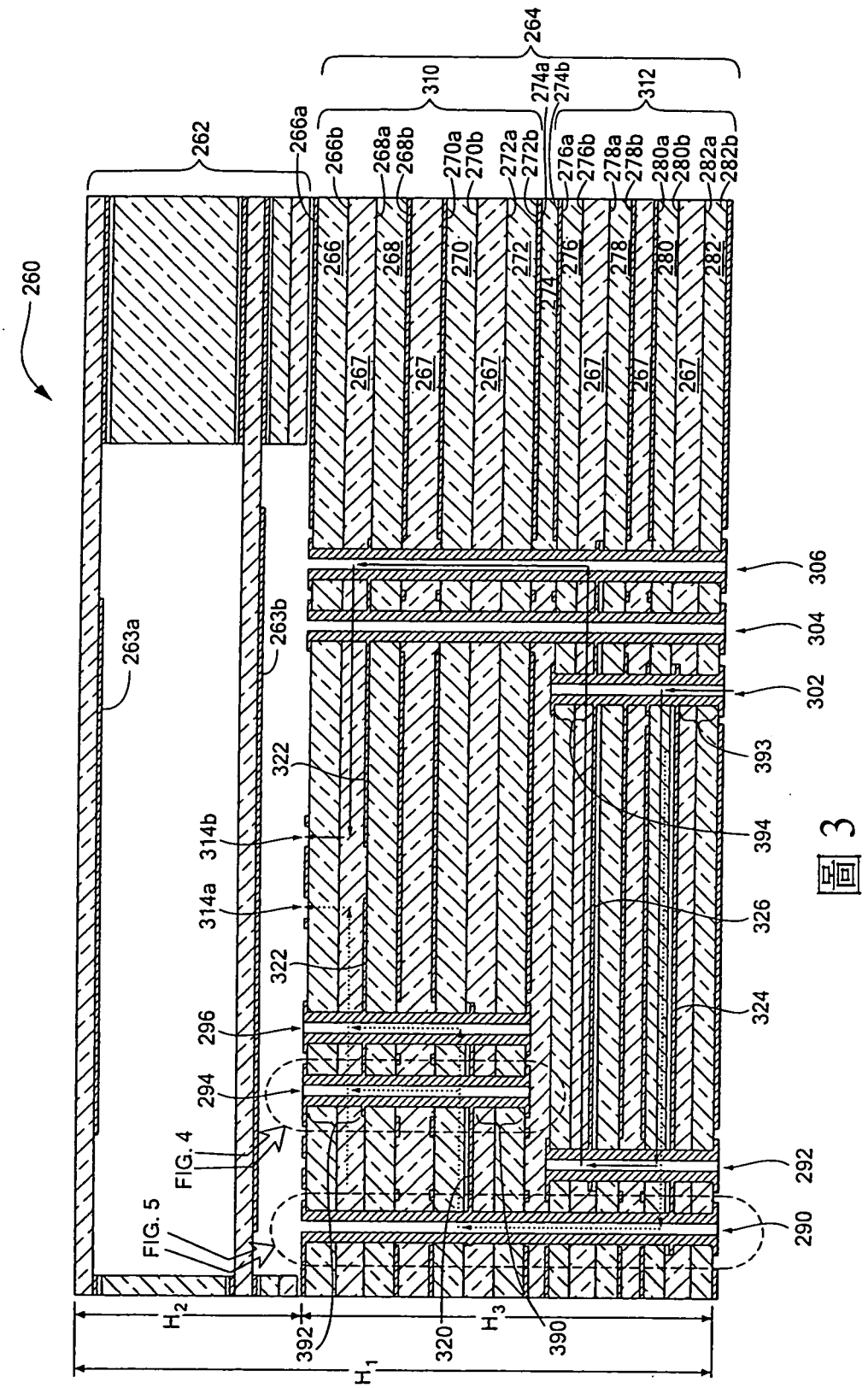

260
262
263a
263b
264
266
266a
266b
267
268
268a
268b
270
270a
270b
272
272a
272b
274
274a
274b
276
276a
276b
278
278a
278b
280
280a
280b
282
282a
282b
292
294
296
302
304
306
310
312
314a
314b
320
322
324
326
390
392
393
394
FIG. 4
FIG. 5
H_1
H_2
H_3

圖 3

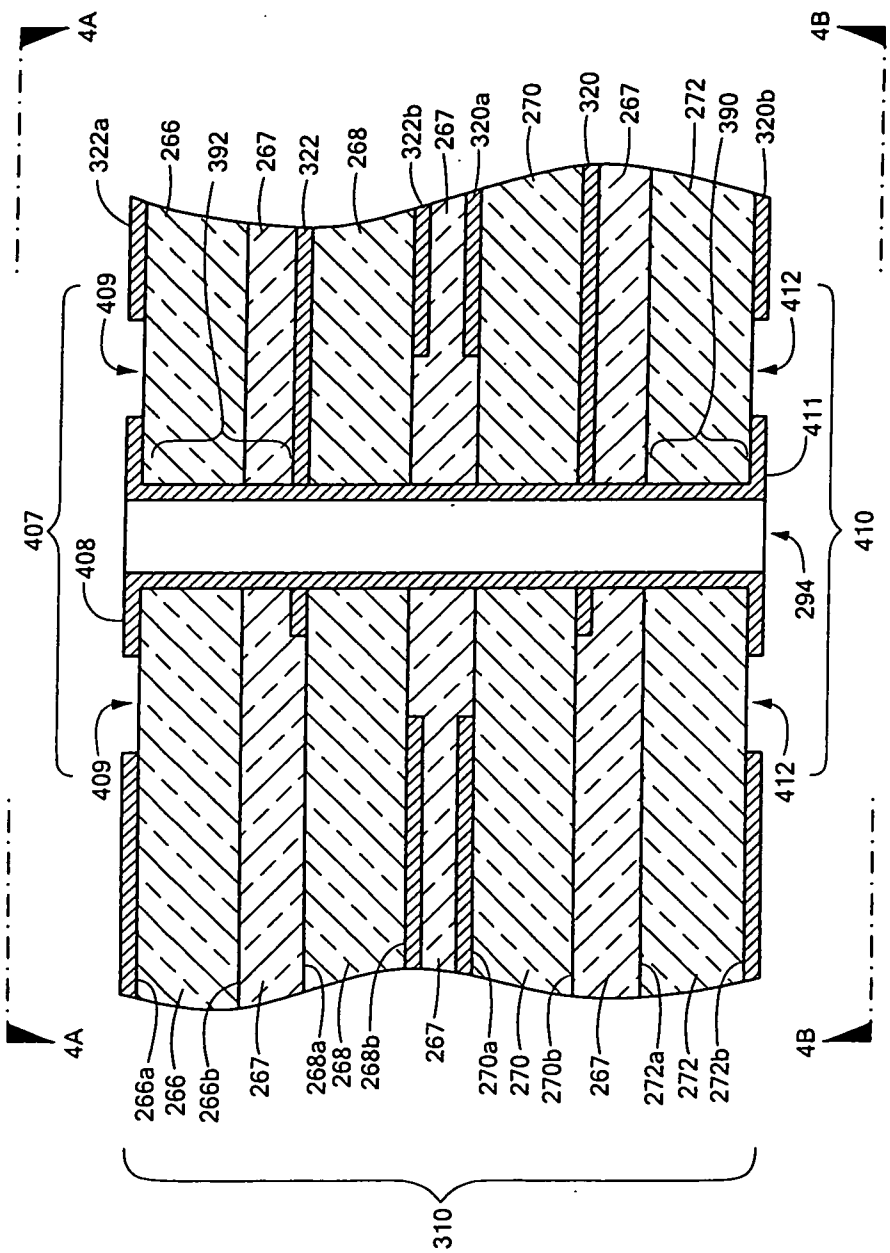

4A
4B
322a
266
392
267
322
268
322b
267
320a
270
320
267
272
390
320b
409
412
411
407
408
410
294
409
412
4A
4B
266a
266
266b
267
268a
268
268b
267
270a
270
270b
267
272a
272
272b
310

圖 4

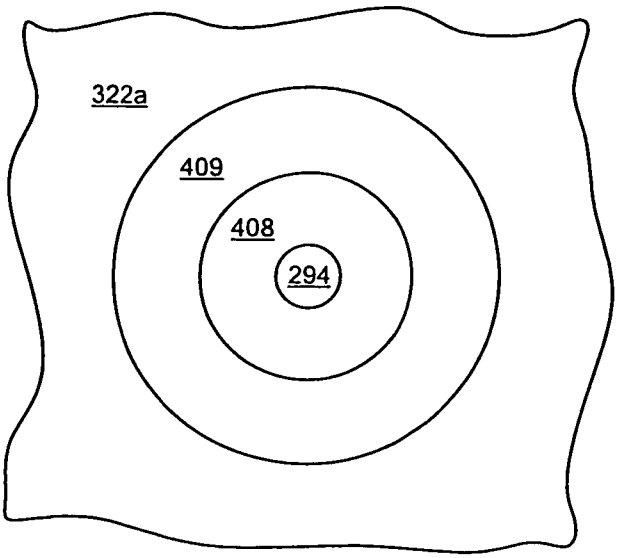


圖 4A

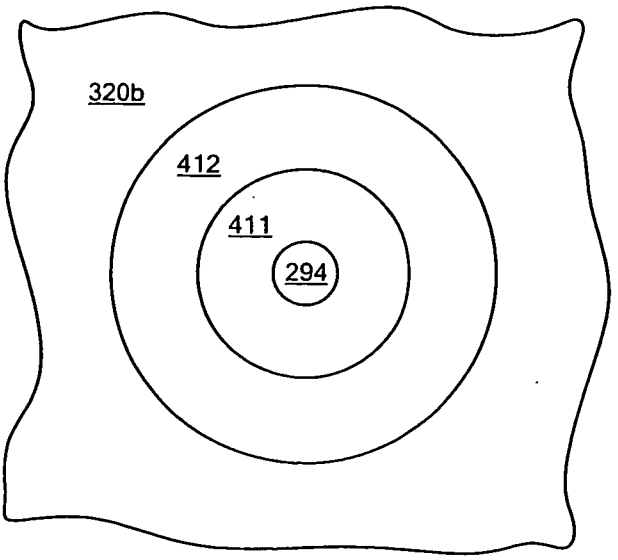


圖 4B

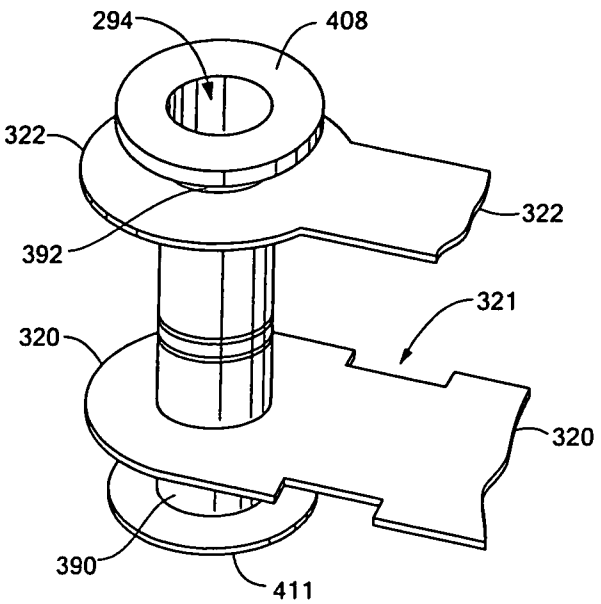

294
408
322
322
392
321
320
320
390
411

圖 4C

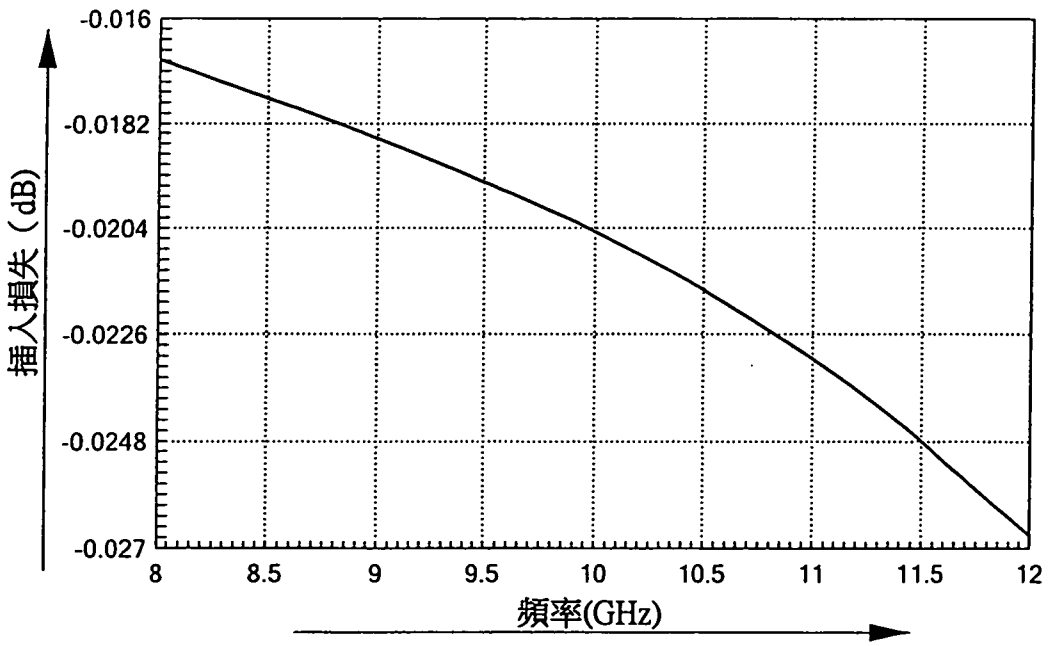

-0.016
-0.0182
-0.0204
-0.0226
-0.0248
-0.027
插入損失（dB）
8
8.5
9
9.5
10
10.5
11
11.5
12
頻率(GHz)

圖 4D

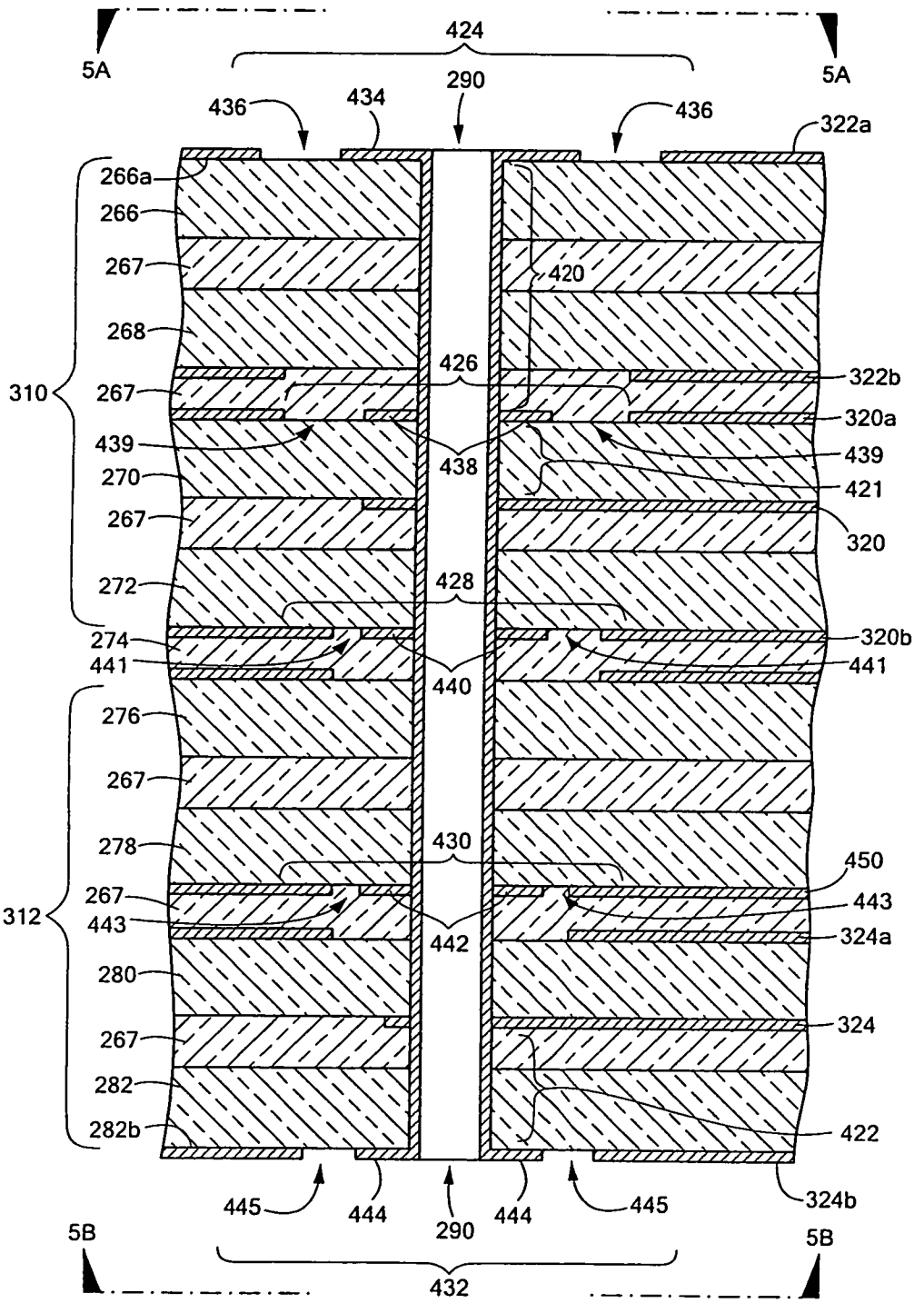

5A
424
5A
436
434
290
436
322a
266a
266
267
420
268
426
322b
310
267
320a
439
438
439
270
421
267
320
272
428
274
320b
441
440
441
276
267
278
430
450
267
443
312
443
442
324a
280
267
324
282
422
282b
445
444
290
444
445
324b
5B
5B
432

圖 5

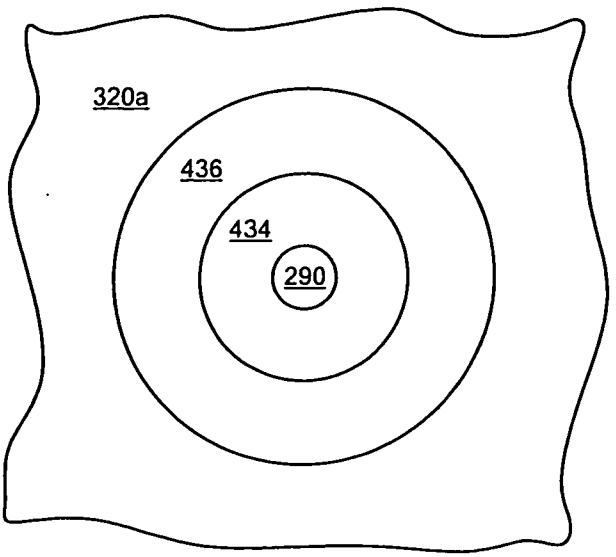


圖 5A

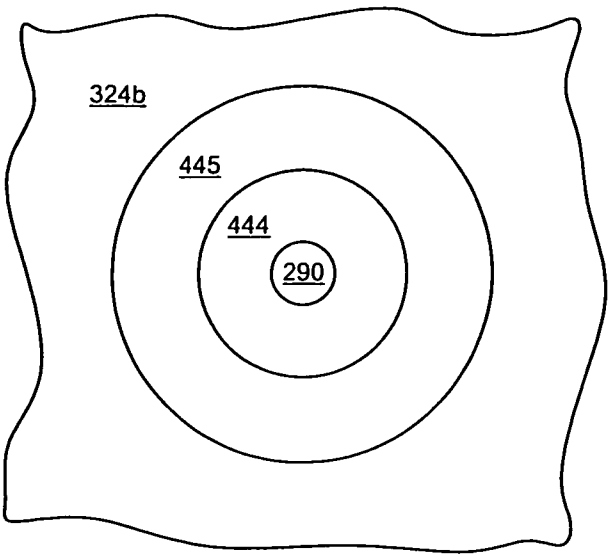


圖 5B

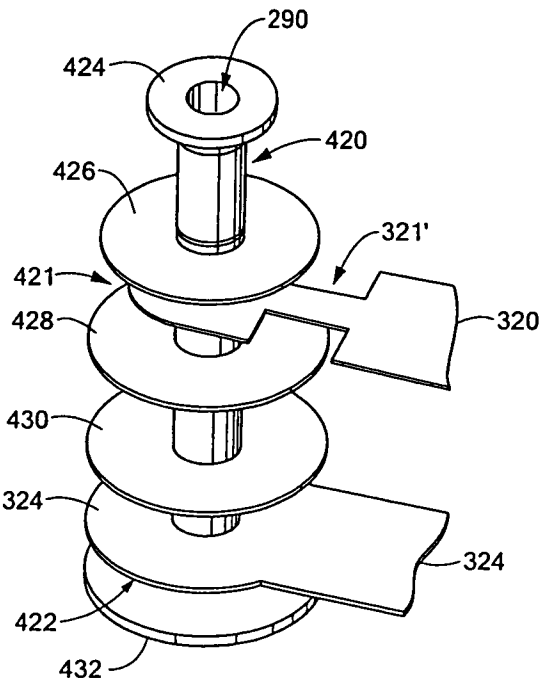

290
424
420
426
321'
421
428
320
430
324
324
422
432

圖 5C

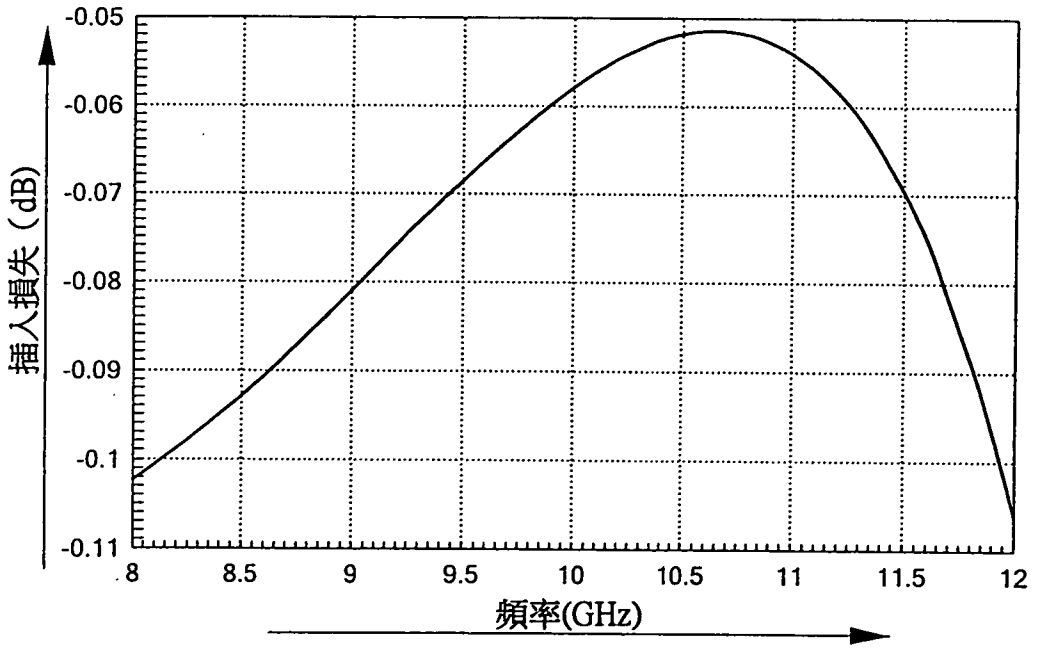

-0.05
-0.06
-0.07
-0.08
-0.09
-0.1
-0.11
插入損失（dB）
8
8.5
9
9.5
10
10.5
11
11.5
12
頻率(GHz)

圖 5D

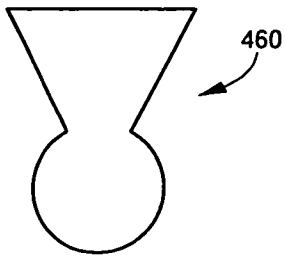

460

圖 6

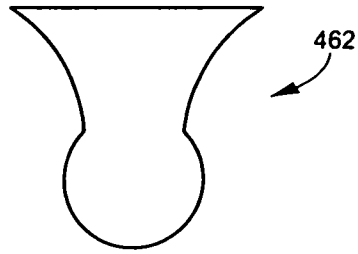

462

圖 6A

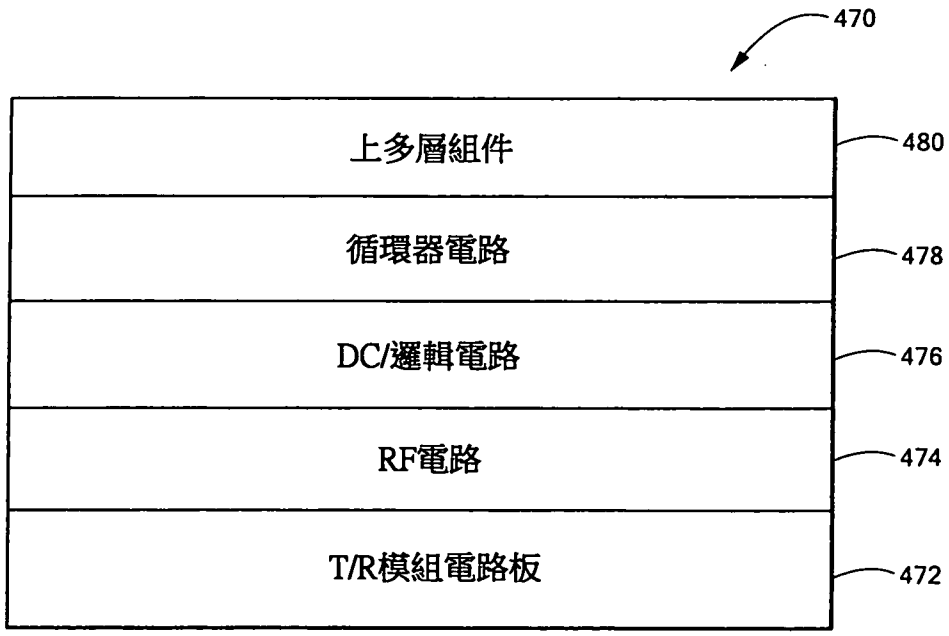

470
上多層組件
480
循環器電路
478
DC/邏輯電路
476
RF電路
474
T/R模組電路板
472

圖 7

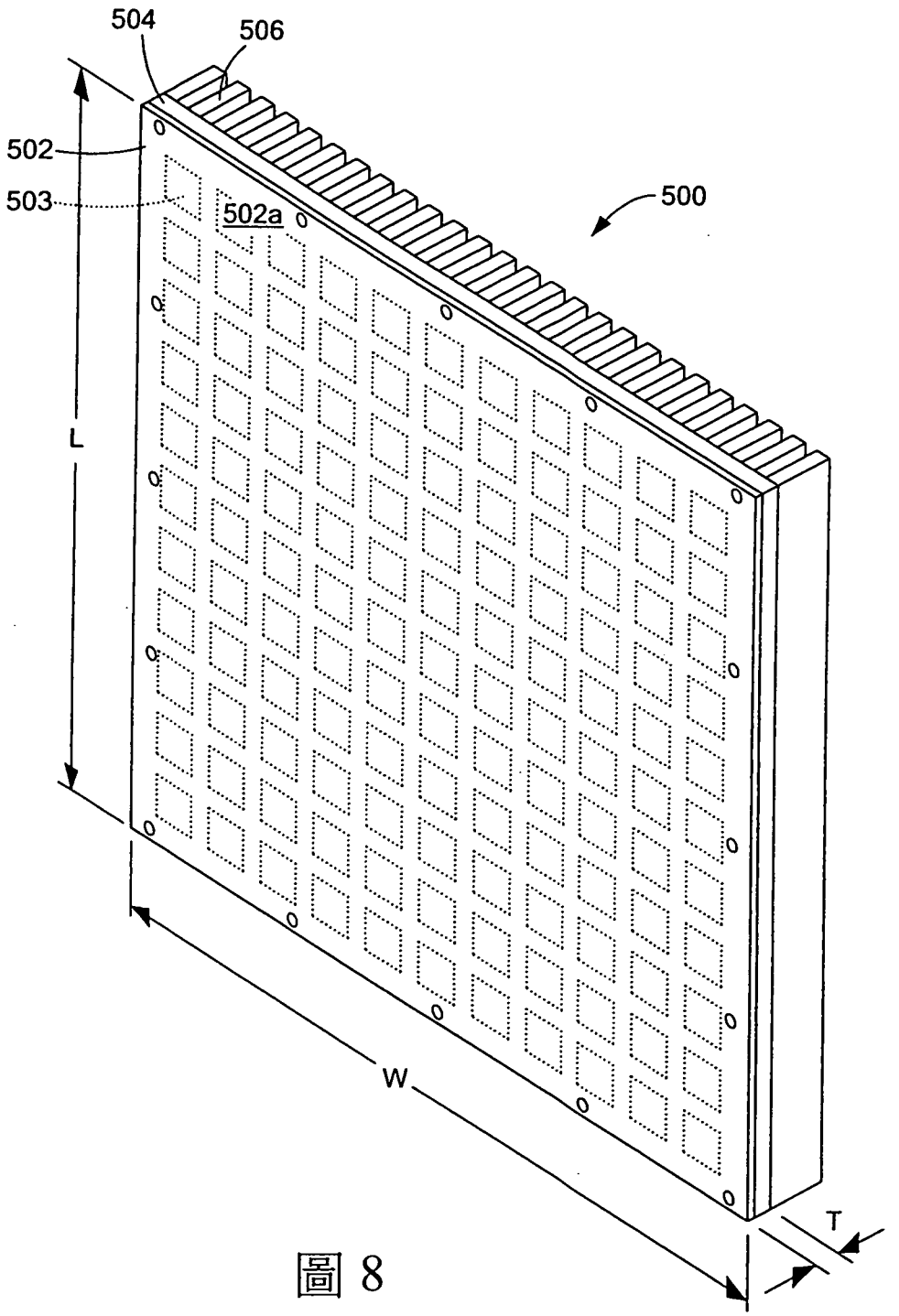


圖 8

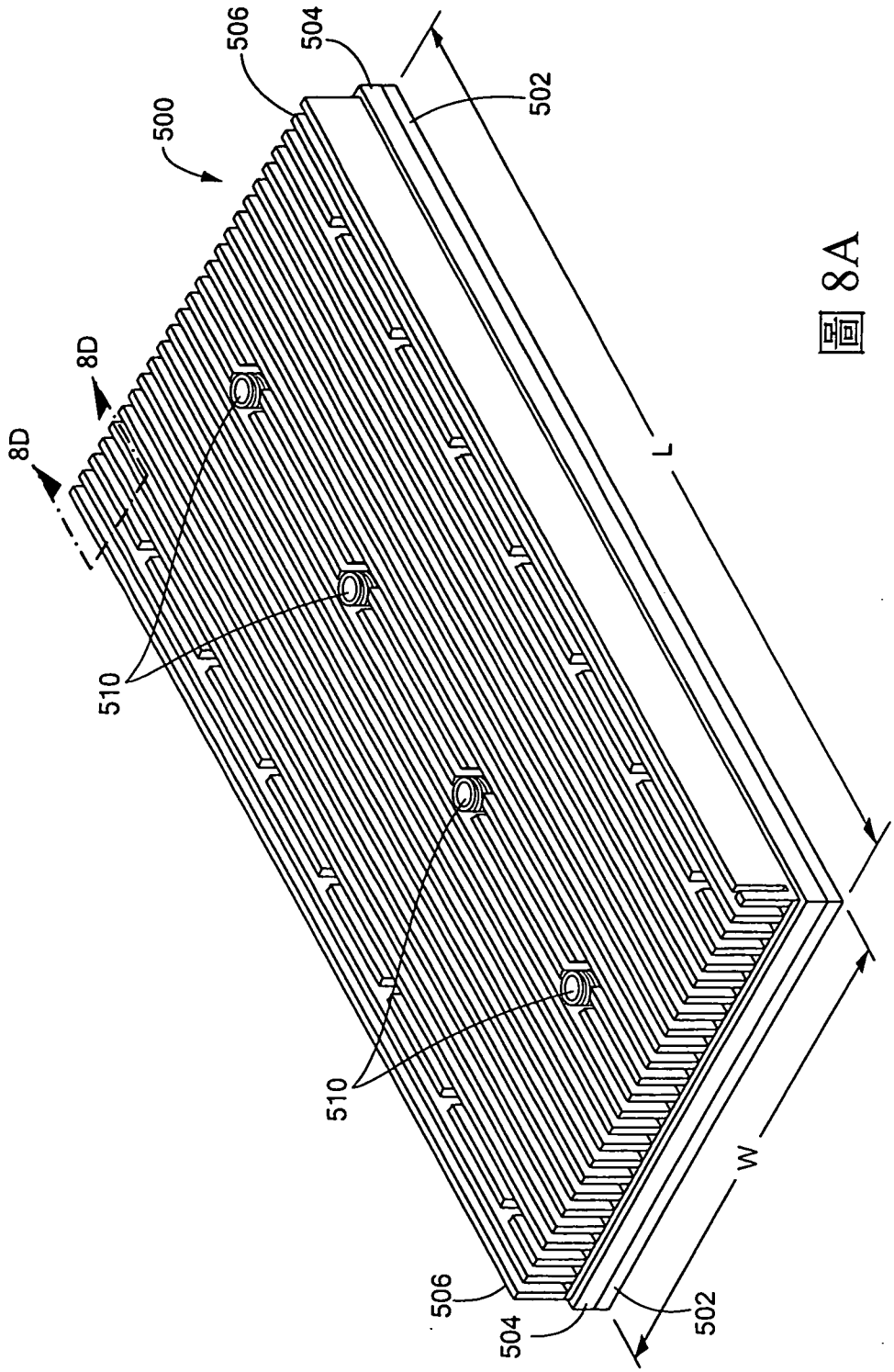


圖 8A

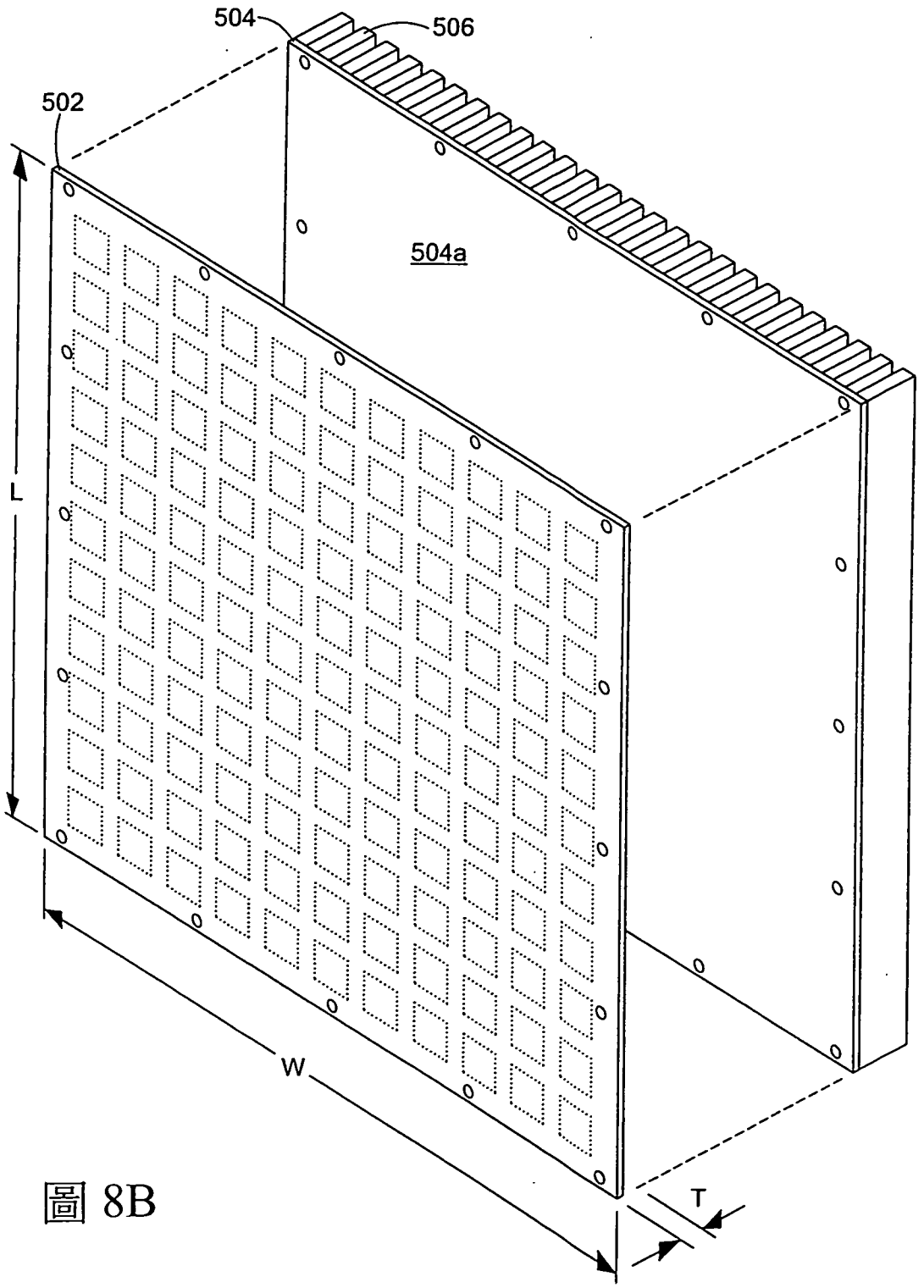


圖 8B

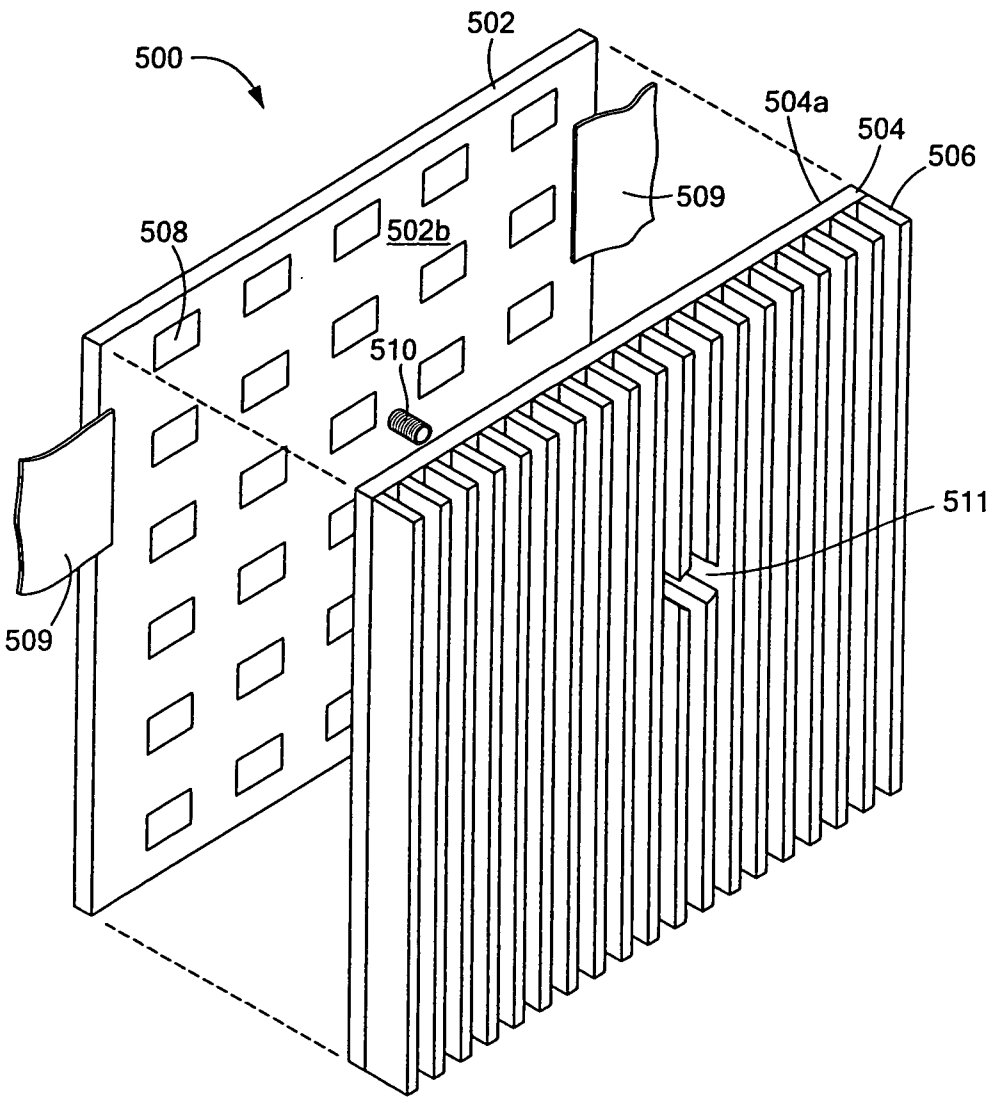


圖 8C

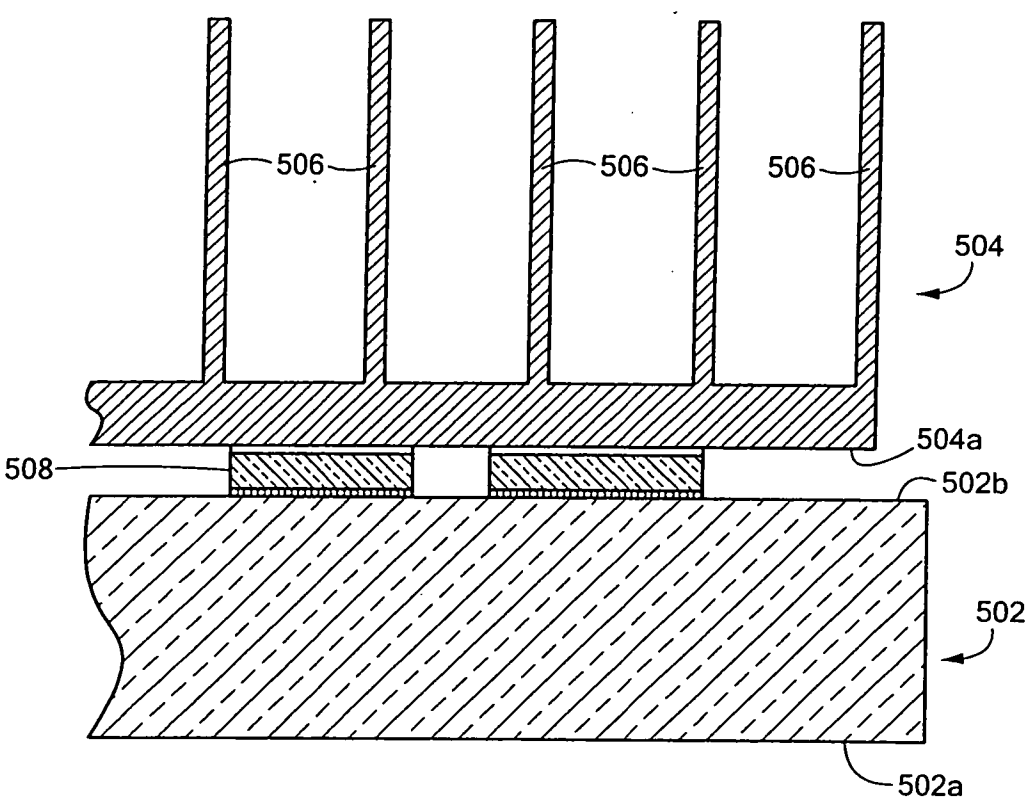


圖 8D

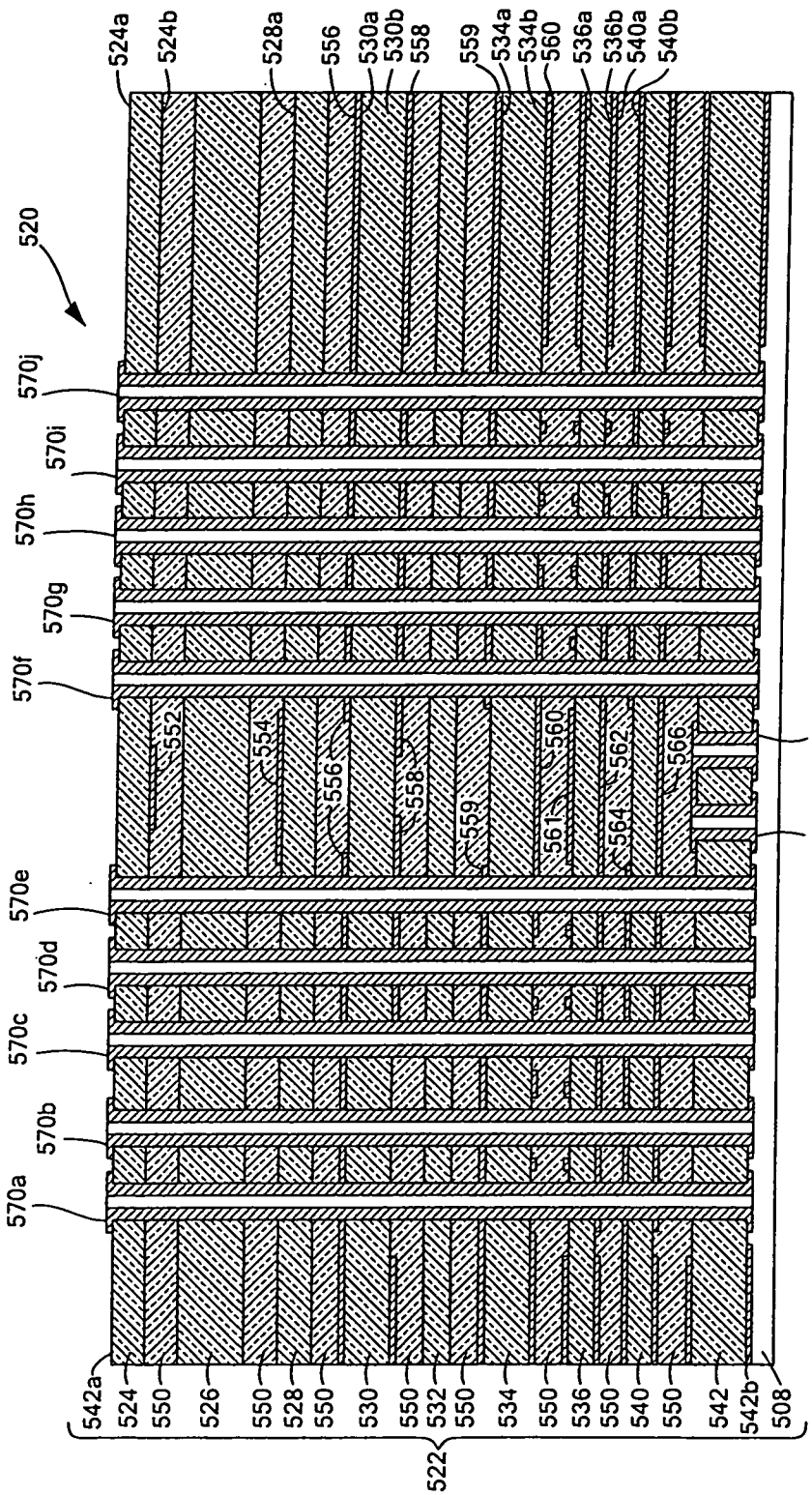

524a
524b
528a
556
530a
530b
558
559
534a
534b
560
536a
536b
540a
540b
520
570j
570i
570h
570g
570f
552
554
556
558
559
560
561
562
564
566
570l
570k
570e
570d
570c
570b
570a
542a
524
550
526
550
528
550
530
550
532
550
534
550
536
550
540
550
542
542b
508
522

圖 9

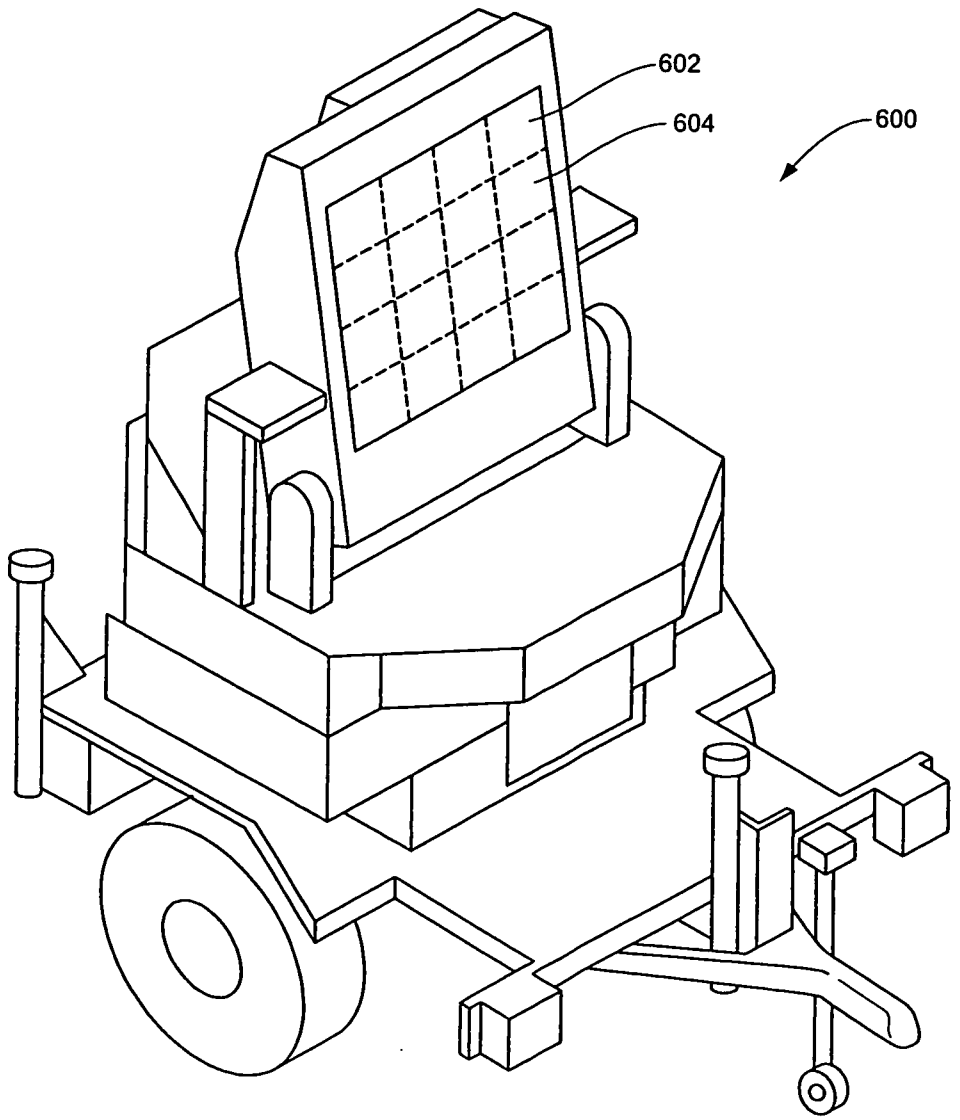


圖 10

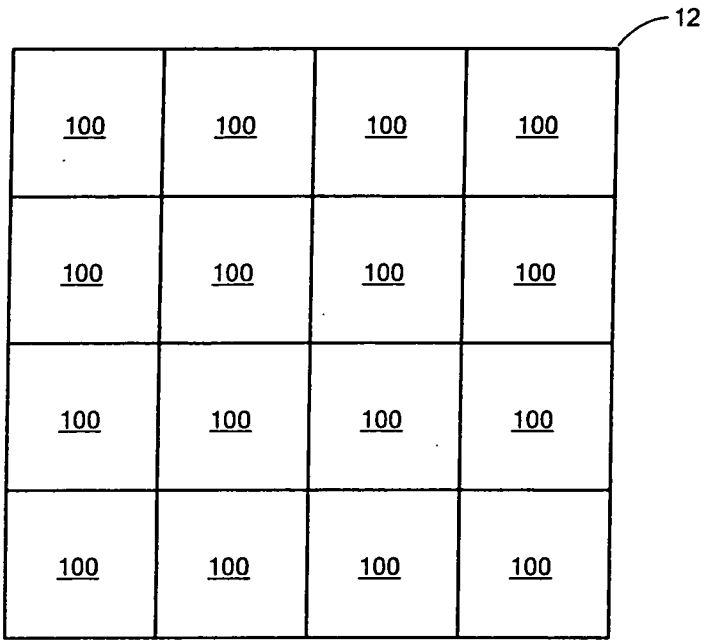

12
100
100
100
100
100
100
100
100
100
100
100
100
100
100
100
100

圖 10A

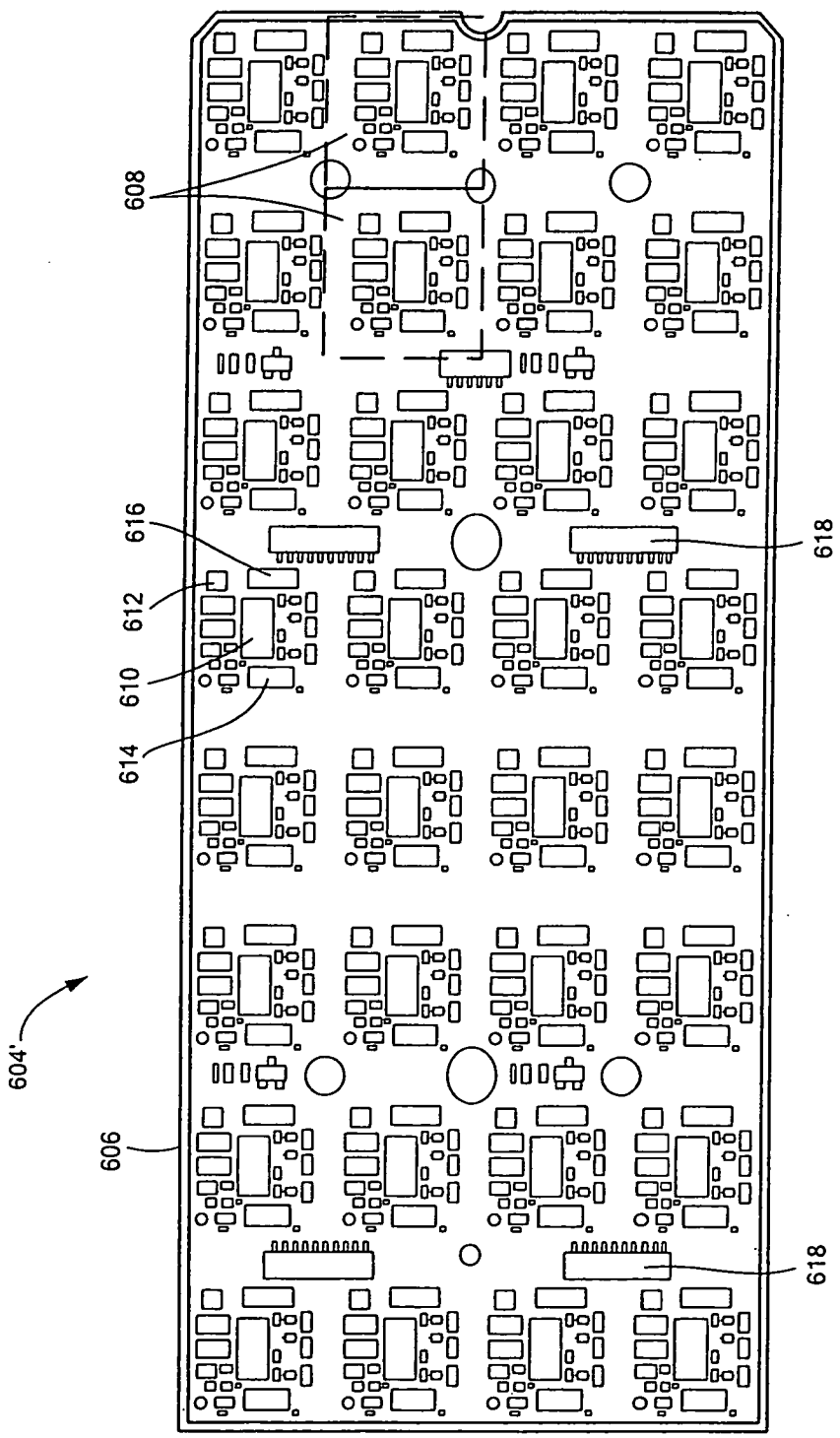


圖 11

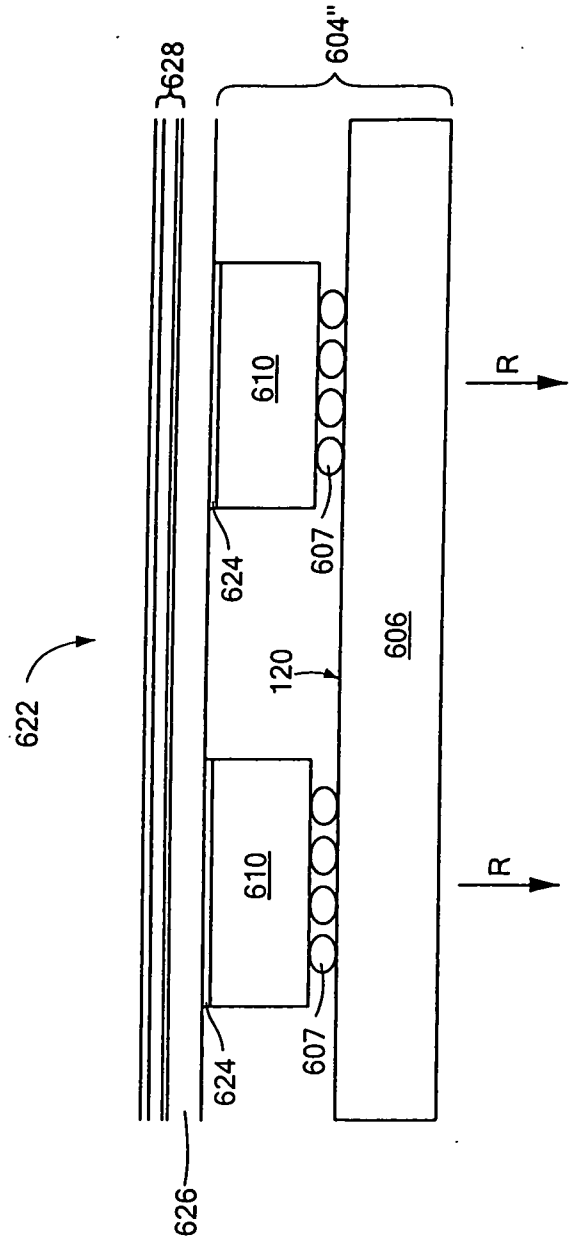


圖 12

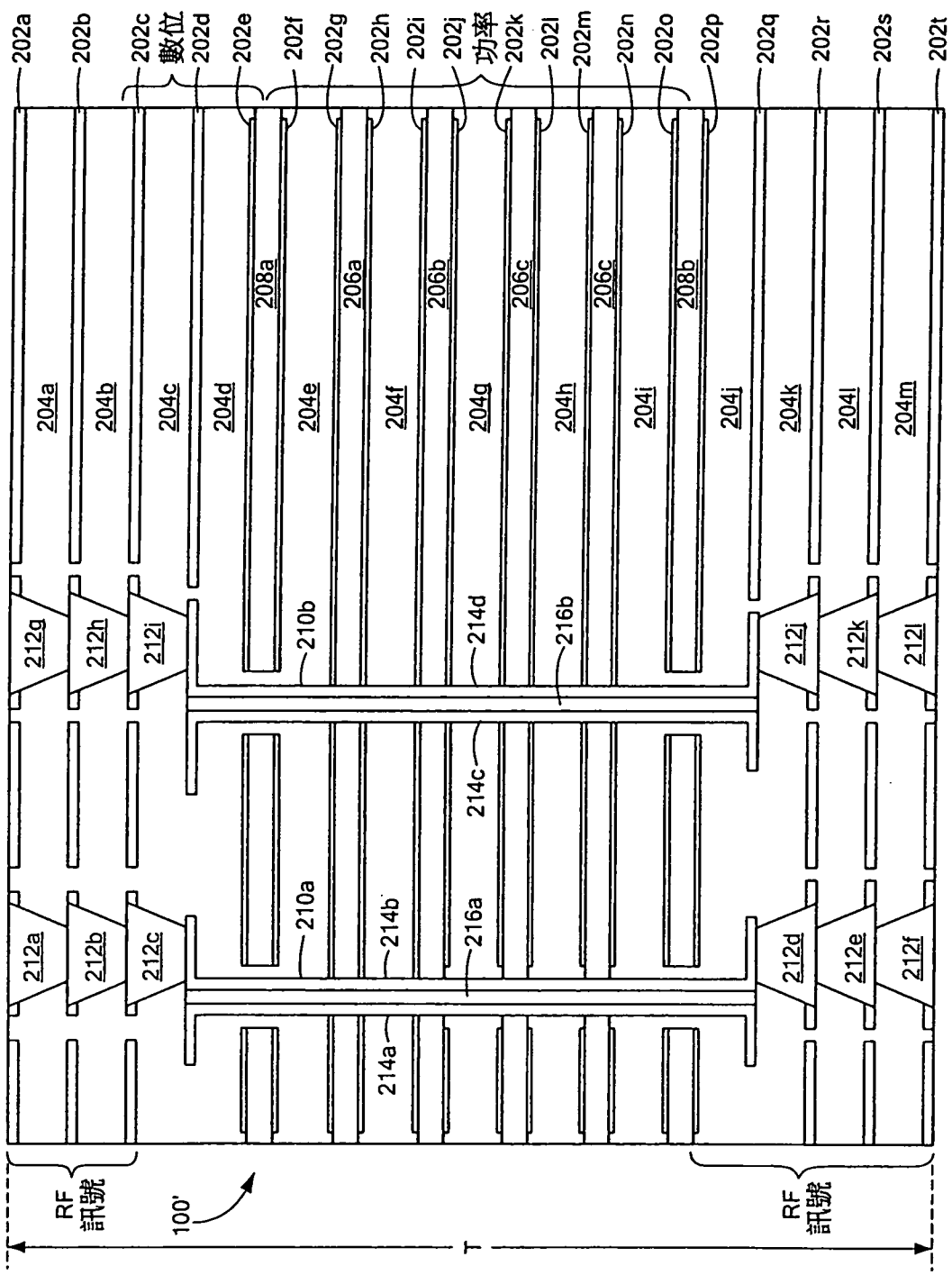

202a
202b
202c
數位
202d
202e
202f
202g
202h
202i
202j
功率
202k
202l
202m
202n
202o
202p
202q
202r
202s
202t
204a
204b
204c
204d
204e
204f
204g
204h
204i
204j
204k
204l
204m
208a
206a
206b
206c
206c
208b
210b
214d
216b
212g
212h
212i
212j
212k
212l
210a
214c
214b
216a
212a
212b
212c
212d
212e
212f
214a
RF
訊號
100'
T
RF
訊號

圖 13

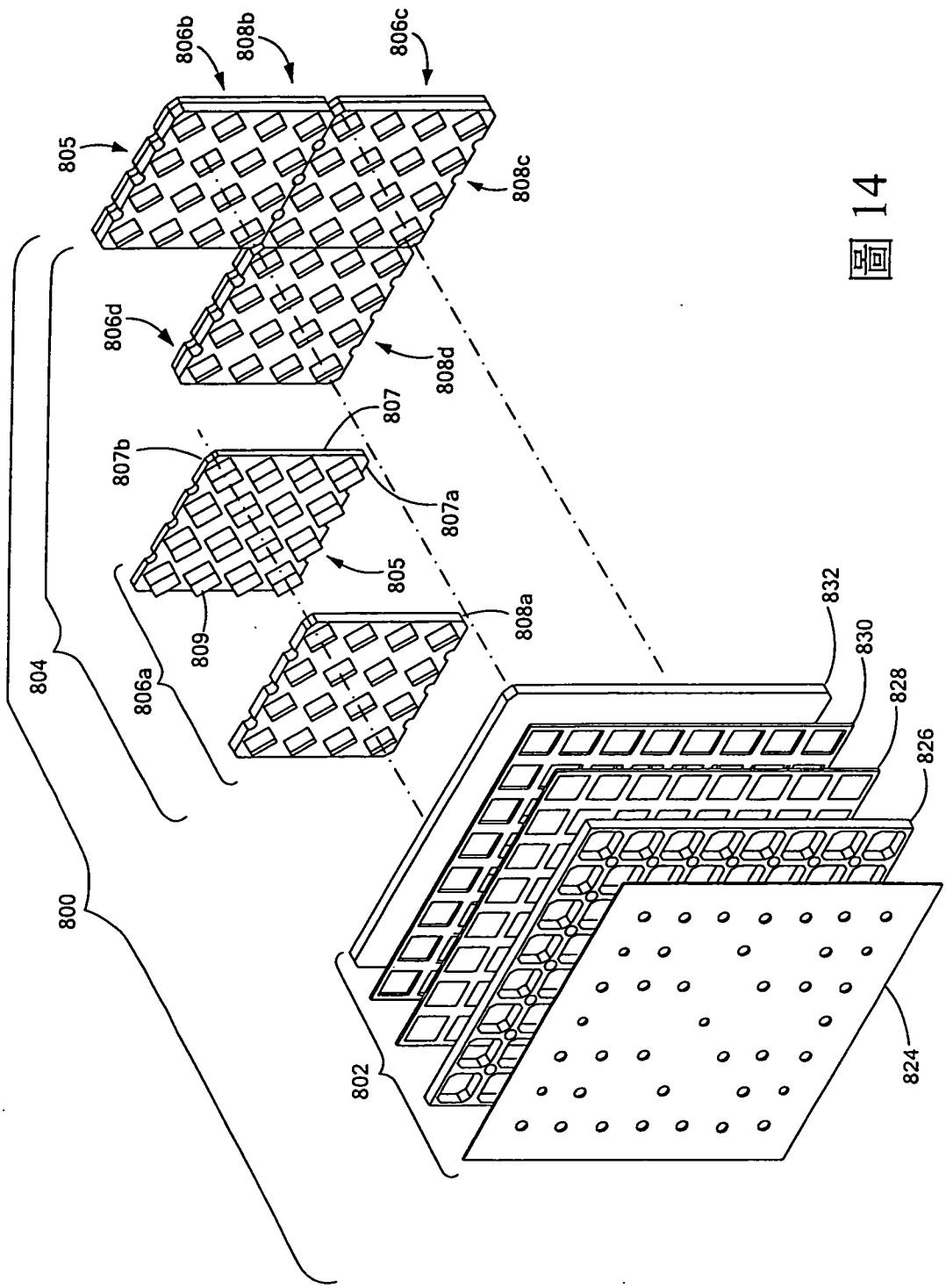

806b
808b
806c
805
808c
806d
808d
807
807b
807a
805
809
808a
804
806a
832
830
828
826
800
802
824

圖 14

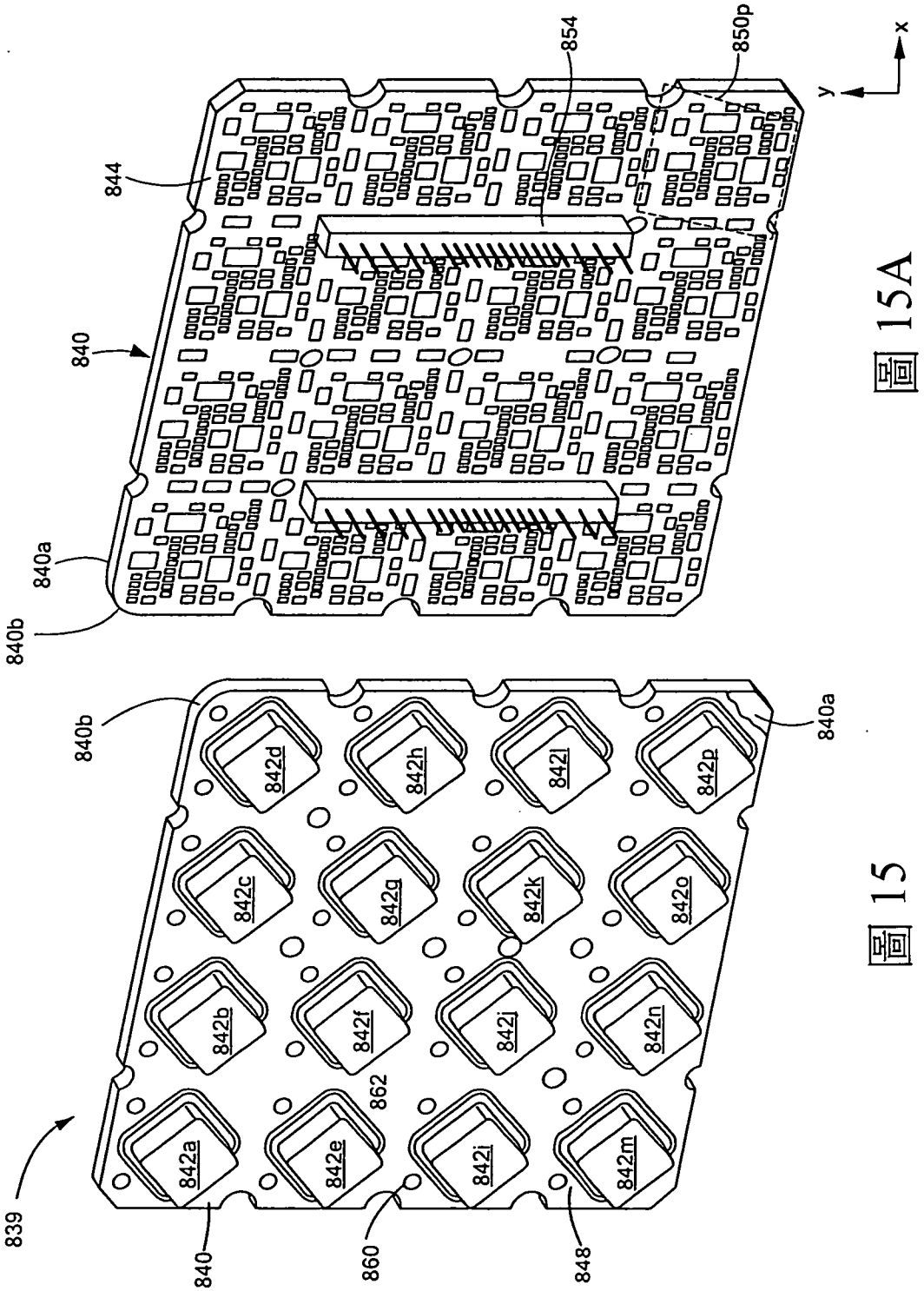

854
850p
x
y
844
840
840a
840b
840b
840a
842d
842h
842l
842p
842c
842g
842k
842o
842b
842f
842j
842n
862
842a
842e
842i
842m
839
840
860
848

圖 15A

圖 15

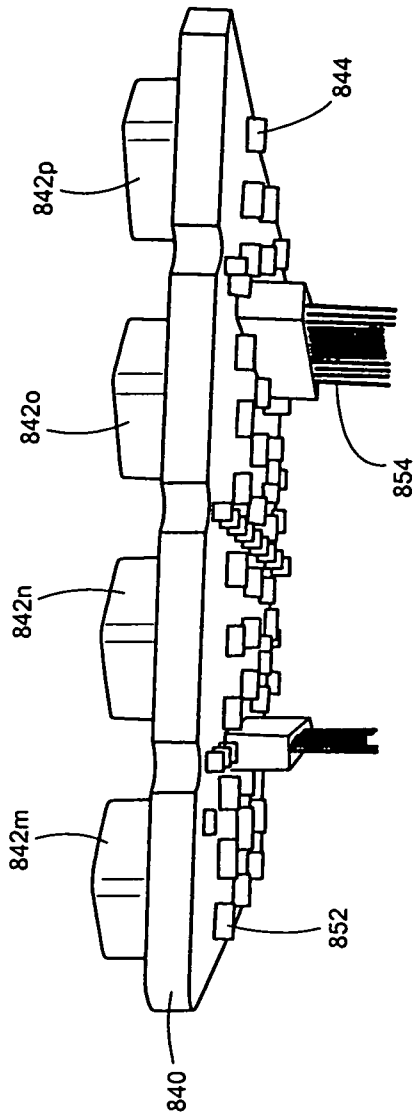


圖 15B

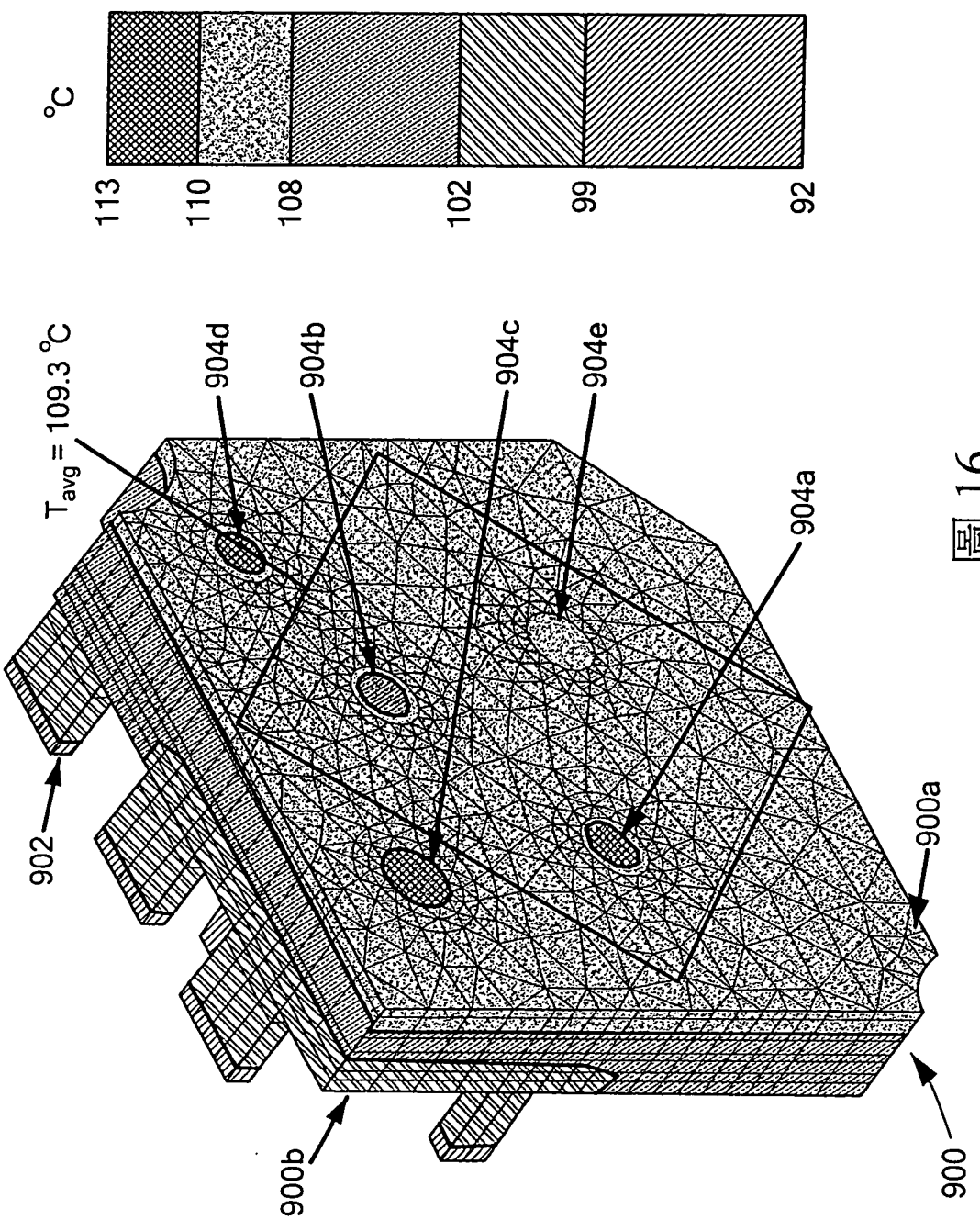

°C
113
110
108
102
99
92
T_{avg} = 109.3 °C
904d
904b
904c
904e
904a
902
900a
900b
900

圖 16

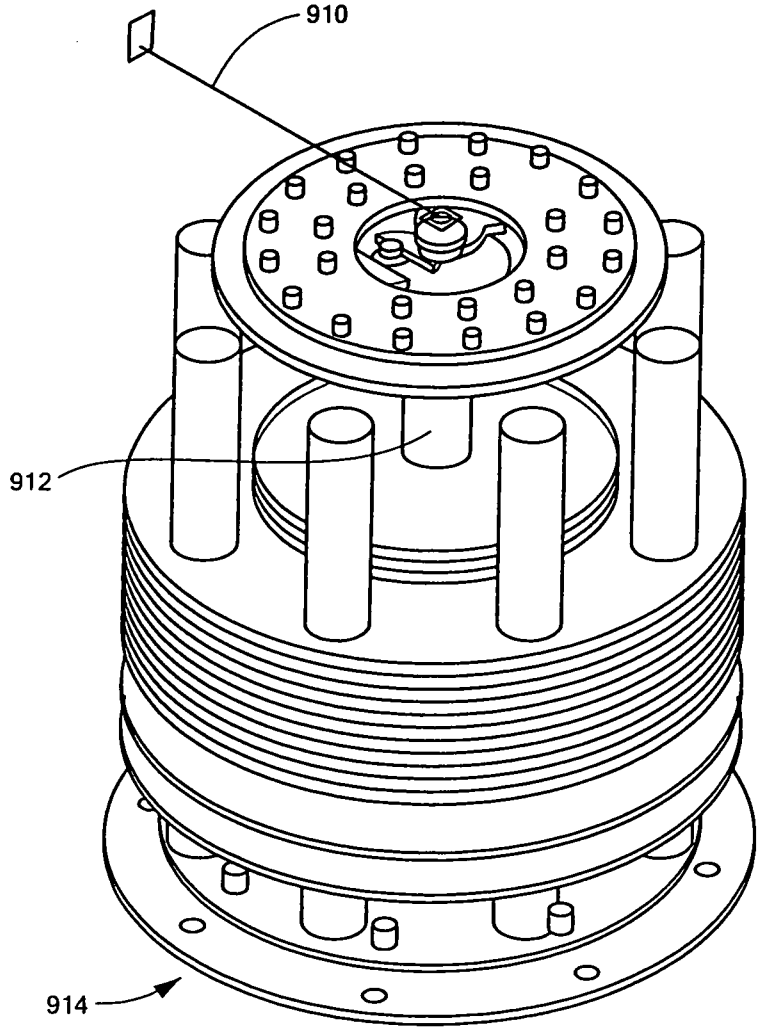


圖 17