



(12) 发明专利

(10) 授权公告号 CN 101369540 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200810210492. 1

CN 1131340 A, 1996. 09. 18, 全文.

(22) 申请日 2008. 08. 14

审查员 李勇

(30) 优先权数据

2007-213102 2007. 08. 17 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 手塚祐朗 鸟海聪志

古野诚 神保安弘 大力浩二

桑原秀明

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 21/20 (2006. 01)

(56) 对比文件

US 6224950 B1, 2001. 05. 01, 全文.

US 2003/0143821 A1, 2003. 07. 31, 全文.

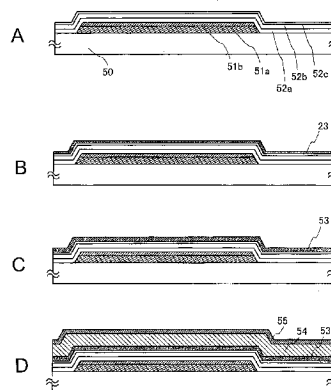
权利要求书 3 页 说明书 33 页 附图 42 页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的目的在于提供一种在大面积衬底上形成品质良好的微晶半导体膜的方法。本发明的技术要点如下:在栅电极上形成栅极绝缘膜之后,为了提高在成膜初期中形成的微晶半导体膜的品质,通过提供具有不同频率的高频电力产生辉光放电等离子体,在成膜速度低而品质良好的第一成膜条件下形成栅极绝缘膜界面附近的膜的下部,然后在成膜速度高的第二成膜条件下堆积膜的上部。接触微晶半导体膜上地层叠缓冲层。



1. 一种半导体装置的制造方法,包括:

在具有绝缘表面的衬底上形成栅电极;

在所述栅电极上形成绝缘膜;

将所述衬底引入到真空室内;

将材料气体引入到所述真空室内;

在所述真空室中,在第一成膜条件下形成微晶半导体膜的下部分,该第一成膜条件如下:通过将具有波长 10m 以上的频率的第一高频电力和具有小于波长 10m 的频率的第二高频电力重叠施加到产生辉光放电等离子体的电极,产生辉光放电等离子体;

在衬底温度、电力、频率、材料气体流量、以及真空度中的至少一种与所述第一成膜条件不相同的第二成膜条件下,堆积所述微晶半导体膜的上部分;以及

在所述微晶半导体膜上形成缓冲层。

2. 根据权利要求 1 所述的半导体装置的制造方法,其中所述缓冲层是非晶半导体膜,在与所述真空室不相同的真空室中形成,并在衬底温度为 300℃ 以上且低于 400℃ 的成膜条件下形成。

3. 根据权利要求 1 所述的半导体装置的制造方法,其中在所述缓冲层上形成包含 n 型杂质元素的半导体膜;在所述包含 n 型杂质元素的半导体膜上形成源电极及漏电极;通过蚀刻所述包含 n 型杂质元素的半导体膜,形成源区及漏区;以及以使与所述源区及漏区重叠的区域残留的方式蚀刻并去除所述缓冲层的一部分。

4. 根据权利要求 1 所述的半导体装置的制造方法,其中使所述第二高频电力进行脉冲振荡。

5. 根据权利要求 1 所述的半导体装置的制造方法,其中用来形成所述微晶半导体膜的所述材料气体包含硅烷气体、氢气体、以及三甲基硼气体。

6. 根据权利要求 1 所述的半导体装置的制造方法,其中所述第一成膜条件的衬底温度为 100℃ 以上且低于 300℃。

7. 根据权利要求 1 所述的半导体装置的制造方法,其中所述绝缘膜通过在所述真空室中将所述具有波长 10m 以上的频率的第一高频电力和所述具有小于波长 10m 的频率的第二高频电力重叠施加到产生辉光放电等离子体的电极来产生辉光放电等离子体而形成。

8. 根据权利要求 1 所述的半导体装置的制造方法,其中所述绝缘膜通过在所述真空室中将 3MHz 至 30MHz 的第一高频电力和 30MHz 至 300MHz 的第二高频电力重叠施加到产生辉光放电等离子体的电极来产生辉光放电等离子体而形成。

9. 一种半导体装置的制造方法,包括:

在具有绝缘表面的衬底上形成栅电极;

在所述栅电极上形成绝缘膜;

将所述衬底引入到真空室内;

将材料气体引入到所述真空室内;

在所述真空室中,在第一成膜条件下形成微晶半导体膜的下部分,该第一成膜条件如下:通过将 3MHz 至 30MHz 的第一高频电力和 30MHz 至 300MHz 的第二高频电力重叠施加到产生辉光放电等离子体的电极,产生辉光放电等离子体;

在衬底温度、电力、频率、材料气体流量、以及真空度中的至少一种与所述第一成膜条

件不相同的第二成膜条件下,堆积所述微晶半导体膜的上部分;以及
在所述微晶半导体膜上形成缓冲层。

10. 根据权利要求 9 所述的半导体装置的制造方法,其中所述缓冲层是非晶半导体膜,在与所述真空室不相同的真空室中形成,并在衬底温度为 300°C 以上且低于 400°C 的成膜条件下形成。

11. 根据权利要求 9 所述的半导体装置的制造方法,其中在将所述衬底引入到所述真空室之前,通过真空排气将所述真空室内的气氛设定为超过 $1 \times 10^{-8}\text{Pa}$ 且 $1 \times 10^{-5}\text{Pa}$ 以下的真空度,然后引入材料气体来在所述真空室内壁上成膜。

12. 根据权利要求 9 所述的半导体装置的制造方法,其中在将所述衬底引入到所述真空室之前,通过真空排气将所述真空室内的气氛设定为超过 $1 \times 10^{-8}\text{Pa}$ 且 $1 \times 10^{-5}\text{Pa}$ 以下的真空度,然后引入氢气体或稀有气体来产生等离子体。

13. 根据权利要求 9 所述的半导体装置的制造方法,其中在将所述衬底引入到所述真空室之后,引入氢气体或稀有气体来产生等离子体。

14. 根据权利要求 9 所述的半导体装置的制造方法,其中:

在所述缓冲层上形成包含 n 型杂质元素的半导体膜;

在所述包含 n 型杂质元素的半导体膜上形成源电极及漏电极;

通过蚀刻所述包含 n 型杂质元素的半导体膜,形成源区及漏区;以及

以使与所述源区及漏区重叠的区域残留的方式蚀刻并去除所述缓冲层的一部分。

15. 根据权利要求 9 所述的半导体装置的制造方法,其中使所述第二高频电力进行脉冲振荡。

16. 根据权利要求 9 所述的半导体装置的制造方法,其中用来形成所述微晶半导体膜的所述材料气体包含硅烷气体、氢气体、以及三甲基硼气体。

17. 根据权利要求 9 所述的半导体装置的制造方法,其中所述第一成膜条件的衬底温度为 100°C 以上且低于 300°C 。

18. 根据权利要求 9 所述的半导体装置的制造方法,其中所述绝缘膜通过在所述真空室中将具有波长 10m 以上的频率的第一高频电力和具有小于波长 10m 的频率的第二高频电力重叠施加到产生辉光放电等离子体的电极来产生辉光放电等离子体而形成。

19. 根据权利要求 9 所述的半导体装置的制造方法,其中所述绝缘膜通过在所述真空室中将所述 3MHz 至 30MHz 的第一高频电力和所述 30MHz 至 300MHz 的第二高频电力重叠施加到产生辉光放电等离子体的电极来产生辉光放电等离子体而形成。

20. 根据权利要求 9 所述的半导体装置的制造方法,其中,所述第一成膜条件如下:重叠施加所述第一高频电力、以及大于所述第一高频电力的所述第二高频电力,

并且,所述第二成膜条件如下:重叠施加大于所述第一高频电力的第三高频电力、以及小于所述第三高频电力的第四高频电力,

并且,所述第三高频电力的频率与所述第一高频电力相同,

并且,所述第四高频电力的频率与所述第二高频电力相同。

21. 根据权利要求 9 所述的半导体装置的制造方法,其中,所述第一成膜条件如下:重叠施加所述第一高频电力、以及所述第二高频电力,

并且,所述第二成膜条件如下:施加具有与所述第一高频电力相同的频率的第三高频

电力,而不重叠施加。

半导体装置的制造方法

技术领域

[0001] 本发明涉及具有由薄膜晶体管（以下称为 TFT）构成的电路的半导体装置及其制造方法。例如，本发明涉及作为部件安装有以液晶显示面板为代表的电光装置或具有有机发光元件的发光显示装置的电子产品。

[0002] 在本说明书中，半导体装置指的是能够通过利用半导体特性而工作的所有装置，因此电光装置、半导体电路及电子产品都是半导体装置。

背景技术

[0003] 近年来，通过使用形成在具有绝缘表面的衬底上的半导体薄膜（厚度大约为几十 nm 至几百 nm）构成薄膜晶体管（TFT）的技术引人注目。薄膜晶体管广泛地应用于电子装置如 IC 或电光装置，尤其是作为图像显示装置的开关元件，正在积极地进行研究开发。

[0004] 现在，使用由非晶半导体膜构成的薄膜晶体管、或由多晶半导体膜构成的薄膜晶体管等作为图像显示装置的开关元件。

[0005] 关于由非晶半导体膜构成的薄膜晶体管，使用氢化非晶硅膜等的非晶半导体膜，因此对工艺温度有一定的限制，从而不进行在膜中的氢脱离的 400℃ 以上的温度下的加热、或在由膜中的氢导致表面粗糙的强度下的激光照射、等等。氢化非晶硅膜是通过使氢与悬空键结合而对悬空键封端以提高电特性的非晶硅膜。

[0006] 作为多晶半导体膜如多晶硅膜的形成方法，已知如下技术：为了不发生表面粗糙，预先进行降低非晶膜中的氢浓度的脱氢化处理，然后通过使用光学系统将脉冲振荡受激准分子激光束加工为线形并通过使用线形光束对被脱氢化了的非晶硅膜进行扫描及照射，以实现结晶化。

[0007] 由多晶半导体膜构成的薄膜晶体管具有如下优点：与由非晶半导体膜构成的薄膜晶体管相比，其迁移率高两位数以上；可以在同一个衬底上一体形成显示装置的像素部和其外围驱动电路。然而，与使用非晶半导体膜时相比，其制造步骤由于半导体膜的结晶化步骤而被复杂化，这导致成品率的降低及成本的上升。

[0008] 在专利文件 1 中，本申请人提出了其沟道形成区域由混合了结晶结构和非晶结构的半导体构成的 FET (Field effect transistor, 即场效应晶体管)。

[0009] 另外，使用由微晶半导体膜构成的薄膜晶体管作为图像显示装置的开关元件（参照专利文件 2 及 3）。

[0010] 作为现有的薄膜晶体管的制造方法，已知如下方法：在栅极绝缘膜上形成非晶硅膜，然后在其上形成金属膜并对该金属膜照射二极管激光，以将非晶硅膜改变为微晶硅膜（非专利文件 1）。在上述方法中，形成在非晶硅膜上的金属膜是用来将二极管激光的光能转换成热能的膜，该膜之后应该被去除，以完成薄膜晶体管。就是说，非晶硅膜只因来自金属膜的传导加热而被加热，以形成微晶硅膜。

[0011] 除了对非晶硅照射激光来形成微晶半导体膜的方法以外，还有通过等离子体 CVD 法形成微晶半导体膜的方法。作为通过等离子体 CVD 法形成微晶硅膜的方法，公开了利用

30MHz 以上的 VHF (Very High Frequency ; 甚高频) 带的高频的发明 (参照专利文件 4)。

[0012] 专利文件 1 美国专利第 5591987 号

[0013] 专利文件 2 日本专利申请公开 H4-242724 号公报

[0014] 专利文件 3 日本专利申请公开 2005-49832 号公报

[0015] 专利文件 4 日本专利第 3201492 号公报

[0016] 非专利文件 1 Toshiaki Arai 等, SID07DIGEST, 2007, p. 1370-1373

[0017] 液晶面板通过在被称为母玻璃的大面积玻璃衬底上加工多个面板之后, 最终分断为适合于电视装置或个人计算机的屏幕的尺寸来制造。这是为了通过从一个母玻璃取出多个面板来降低每个面板的成本。在液晶面板的市场上急剧地进行屏幕尺寸 (面板尺寸) 的大型化和销售价格的下降。近年来, 进行母玻璃的大型化, 以与大屏幕化和低价格化相应地提高生产率。

[0018] 被称为第一代的 1991 年前后的典型的玻璃衬底的尺寸为 300mm×400mm。之后, 母玻璃的尺寸一味扩大, 即第二代 (400mm×500mm)、第三代 (550mm×650mm)、第四代 (730mm×920mm)、第五代 (1000mm×1200mm)、第六代 (2450mm×1850mm)、第七代 (1870mm×2200mm)、第八代 (2000mm×2400mm)、第九代 (2450mm×3050mm)、第十代 (2850mm×3050mm)。

[0019] 如上所述, 若母衬底, 即玻璃衬底大面积化, 则等离子体 CVD 设备的电极面积也大型化, 以在该玻璃衬底上形成微晶硅膜。在此情况下, 当玻璃衬底的尺寸超过第六代时, 等离子体 CVD 设备的电极的尺寸接近于高频电源的频率的波长。例如, 当采用 27MHz 的电源频率时波长为 1100mm, 当采用 60MHz 的电源频率时波长为 500mm, 当采用 120MHz 的电源频率时波长为 250mm。

[0020] 在此情况下, 有如下问题: 明显地出现表面驻波的影响, 等离子体 CVD 设备的反应室内的等离子体密度分布不均匀, 并且形成在玻璃衬底上的薄膜的质量或厚度的面内均匀性受损。

发明内容

[0021] 鉴于上述问题, 本发明的目的如下: 提供一种微晶半导体膜的制造方法, 其中在大面积玻璃衬底上形成具有均匀性高的膜质量的微晶半导体膜; 提供一种微晶半导体膜的制造方法, 其中高效地形成微晶半导体膜; 提供一种与由非晶硅膜构成的 TFT 相比提高场效应迁移率并降低截止电流值的半导体装置的制造方法; 以及提供一种其可靠性比将非晶硅膜主要用于沟道形成区域的 TFT 高的半导体装置的制造方法。

[0022] 当在大面积玻璃衬底上制造使用微晶半导体膜的薄膜晶体管时, 通过提供具有不同频率的两个以上高频电力产生辉光放电等离子体, 来形成微晶半导体膜, 以提高在成膜初期形成的半导体区域的品质及均匀性。另外, 通过提供具有不同频率的两个以上高频电力产生辉光放电等离子体, 形成栅极绝缘膜、等等。

[0023] 第一高频电力是不呈现表面驻波效果的频带的电力, 应用大约为 10m 以上的高频作为波长。对该高频电力施加波长更短的第二高频电力。通过将频率不相同 (波长不相同) 的高频电力重叠施加到等离子体 CVD 设备的电极, 实现等离子体的高密度化, 并实现均匀化以避免等离子体的表面驻波效果。

[0024] 另外,当形成微晶半导体膜时,通过以多个阶段改变成膜条件来提高成膜速度,得到适合大量生产的工艺。例如,为了提高在成膜初期形成的半导体区域的品质,在将栅极绝缘膜形成于栅电极上之后,在成膜速度低而品质良好的第一成膜条件下形成栅极绝缘膜界面附近的微晶半导体膜的下部,然后在成膜速度高的第二成膜条件下堆积微晶半导体膜的上部。

[0025] 作为成膜速度低而品质良好的第一成膜条件,为了在成膜之前预先尽量降低真空室(反应容器)内的氧或 H_2O 等的残留气体,将最低压力设定为 1×10^{-10} 至 1×10^{-7} Torr(大约超过 1×10^{-8} Pa且 1×10^{-5} Pa以下)的超高真空(UHV),流过具有高纯度的材料气体,并将成膜时的衬底温度设定为 100°C 以上且低于 300°C 的范围内。另外,通过施加不引起表面驻波影响的高频电力及属于VHF频带的高频电力中的双方,形成等离子体。通过施加具有不同频率的高频电力,即重叠施加,可以大幅度地减少或消除培养时间,从而可以提高膜质量的均匀性。微晶半导体膜会发生如下现象:不在成膜开始的同时增加膜厚度,即在成膜开始后膜暂时几乎不生长,而在经过某一定时间后膜生长的速度急剧提高。将上述从成膜开始到有效膜生长开始的时间称为培养时间,该培养时间虽然极短,但有时会导致膜质量的不均匀性。另外,若在膜堆积开始时存在着上述培养时间,则会导致产率的降低。

[0026] 本说明书所记载的发明结构是一种半导体装置的制造方法,包括如下步骤:在具有绝缘表面的玻璃衬底上形成栅电极;在该栅电极上形成绝缘膜;将玻璃衬底引入到真空室内;将材料气体引入到真空室内;在第一成膜条件下形成微晶半导体膜的下部,该第一成膜条件如下:通过将具有波长 10m 以上的频率的第一高频电力和具有小于波长 10m 的频率的第二高频电力重叠施加到在所述真空室内产生辉光放电等离子体的电极,来产生辉光放电等离子体,并且在衬底温度、电力、频率、材料气体流量、或真空度中的至少一个条件与所述第一成膜条件不相同的第二成膜条件下,在与所述真空室相同的室内堆积微晶半导体膜的上部;以及在该微晶半导体膜上形成缓冲层。

[0027] 通过上述第一成膜条件而获得的微晶半导体膜的下部是膜中的氧浓度为 $1 \times 10^{17}/\text{cm}$ 以下。当形成微晶半导体膜时,氧阻碍结晶化并在混入硅膜时会用作施主,因此应该减少氧。该通过第一成膜条件而获得的微晶半导体膜的下部的品质对之后形成的TFT的导通电流的增大及场效应迁移率的提高做贡献。

[0028] 优选地是,在形成微晶半导体膜之前,预先通过对真空室进行烘烤(200°C 以上 300°C 以下)处理去除真空室内的以水分为主要成分的残留气体,以在真空室内得到具有超高真空区域的真空度的压力环境。另外,也可以正在形成微晶半导体膜时加热(50°C 以上 300°C 以下)真空室内壁来促进成膜反应。

[0029] 作为第二成膜条件,只要是其成膜速度比第一成膜条件的成膜速度高的条件,即可。例如,通过采用与第一成膜条件不相同的硅烷气体和氢气体的流量比,在能够形成微晶硅膜的范围内降低氢浓度,即可。另外,作为第二成膜条件,可以采用比第一成膜条件的衬底温度高的衬底温度如 300°C 以上,以提高成膜速度。另外,作为第二成膜条件,可以使电力高于第一成膜条件,以提高成膜速度。还可以通过控制真空室的排气阀如导阀得到与第一成膜条件不相同的真空度,以提高成膜速度。

[0030] 另外,作为其成膜速度比第一成膜条件高的第二成膜条件,通过以脉冲方式提供VHF频带的高频电力,可以防止当成膜时在气相中粉体不正常地生长。为了防止粉体生长,

需要考虑气体分子的平均滞留时间,但是将脉冲的振荡频率设定为约 1 至 100kHz,即可。

[0031] 另外,作为其成膜速度比第一成膜条件高的第二成膜条件,可以以高于衬底温度的温度加热形成微晶半导体膜的真空室的内壁来形成微晶半导体膜。当第一成膜条件下的衬底温度为 100℃时,通过将真空室的内壁加热到 150℃,在其温度低于真空室内壁的衬底表面上高效地形成微晶半导体膜。

[0032] 另外,在通过真空排气将真空室内的气氛设定为超过 1×10^{-8} Pa 且 1×10^{-5} Pa 以下的真空度之后,优选在引入衬底之前,预先将氢气体或稀有气体引入到真空室内来产生等离子体,以去除真空室内的以水分为主要成分的残留气体,并得到真空室内的残留氧浓度下降了的环境。

[0033] 另外,在通过真空排气将真空室内的气氛设定为超过 1×10^{-8} Pa 且 1×10^{-5} Pa 以下的真空度之后,在引入衬底之前,可以预先将硅烷气体流过真空室内并与真空室内的残留氧起反应来产生氧化硅,以进一步减少真空室内的氧。还可以在引入衬底之前预先将硅烷气体流过真空室内并产生等离子体来进行在内壁上成膜的处理(也称为预涂处理),以防止在形成微晶半导体膜时混入铝等金属元素。

[0034] 因为第一成膜条件的成膜速度慢,尤其是在增加膜厚度的情况下成膜时间变长。其结果是,杂质如氧容易混入膜中。因此,通过如上所述那样在引入衬底之前充分地降低真空室内的氧及水分,在成膜时间变长的情况下杂质如氧几乎不混入膜中。为了提高之后形成的微晶硅膜的品质,上述处理是重要的。

[0035] 在引入衬底之后且在形成微晶硅膜之前,也可以通过预先进行氩等离子体处理等的稀有气体等离子体处理及氢等离子体处理以去除衬底上的吸附水,来将微晶硅膜中的氧浓度设定为 $1 \times 10^{17}/\text{cm}$ 以下。

[0036] 为了提高之后形成的微晶硅膜的品质,如上所述,在引入衬底之后充分地减少衬底所包含的氧及水分也是重要的。

[0037] 另外,通过在成膜初期(第一成膜期间)中采用第一成膜条件并在成膜后期(第二成膜期间)中采用其成膜速度高的第二成膜条件,由于在成膜初期中形成微晶而可以在成膜后期中以在成膜初期中获得的微晶为晶核来堆积品质良好的微晶硅膜。另外,通过在成膜初期中预先形成微晶,可以提高成膜后期的成膜速度。

[0038] 与不改变成膜条件就只在第一成膜条件下得到所希望的膜厚度所需要的时间相比,可以通过如下方法缩短得到所希望的膜厚度所需要的时间:在第一成膜条件下成膜,然后继续在相同处理室中以第二成膜条件成膜。若可以缩短得到所希望的膜厚度所需要的时间,则可以在杂质如氧几乎不混入到微晶硅膜的状态下成膜。另外,若不改变成膜条件就只在第一成膜条件下获得薄微晶硅膜,则之后层叠的缓冲层的负面影响变大,这会导致薄膜晶体管的场效应迁移率的降低。

[0039] 另外,通过上述第一成膜条件而获得的微晶硅膜容易与氧起反应,因此通过正在成膜时将第一成膜条件改变为成膜速度高的第二成膜条件,可以保护栅极绝缘膜界面附近的膜。通过该第二成膜条件而获得的微晶硅膜的品质还对之后形成的 TFT 的截止电流的降低做贡献。

[0040] 如上所述,通过以两个阶段改变成膜条件而获得的微晶硅膜至少包含柱状结晶,该膜中的氧浓度为 $1 \times 10^{17}/\text{cm}$ 以下。另外,通过以两个阶段改变成膜条件而获得的微晶硅

膜的总厚度为 5nm 至 100nm, 优选在 10nm 至 30nm 的范围内。

[0041] 只要初期成膜条件是形成品质良好的微晶硅膜的条件, 就不局限于以两个阶段改变成膜条件来形成微晶硅膜, 也可以以三个以上的阶段改变成膜条件来成膜。再者, 可以连续地改变成膜条件。“连续地改变成膜条件”指的是连续地发生每单位时间的水平变化, 例如随时增加引入到处理室内的材料气体(硅烷气体等)的平均流量, 当图示气体流量和时间的关系(以纵轴为气体流量, 以横轴为时间)时成为右边上升的直线或右边上升的曲线。或者, 固定或增加引入到处理室内的硅烷气体等的流量, 并随时减少其他气体(氢、稀有气体等)的平均流量, 当图示其他气体的气体流量和时间的关系时成为右边下降的直线或右边下降的曲线。“连续地改变”至少指的是不接触大气地改变成膜条件来对一个衬底进行成膜处理。

[0042] 与非晶硅膜相比, 上述微晶硅膜容易与氧起反应, 因此优选还不暴露于大气地层叠不包含晶粒的缓冲层来保护。关于缓冲层, 在与形成微晶硅膜的真空室不相同的真空室中形成, 其衬底温度高于上述第一及第二成膜条件, 例如 300℃ 以上且低于 400℃。将在形成缓冲层时的衬底温度设定为高于上述第一及第二成膜条件是有用的。这是因为可以在形成缓冲层时对微晶硅膜进行退火处理而不增加制造步骤, 因此可以提高微晶硅膜的质量的缘故。通过在形成缓冲层时对微晶硅膜进行退火处理, 还可以抑制反复施加电压的可靠性试验中的 TFT 特性的变动(阈值的变动等), 从而可以提高 TFT 的可靠性。典型地说, 缓冲层的厚度为 100nm 以上 400nm 以下, 优选为 200nm 以上 300nm 以下。另外, 缓冲层由其缺陷密度比上述微晶硅膜高的非晶硅膜构成。通过将具有高缺陷密度的非晶硅膜用于缓冲层, 可以对之后形成的 TFT 的截止电流的降低做贡献。

[0043] 另外, 上述微晶硅膜因杂质混入而容易呈现 n 型导电性, 因此优选将微量的三甲基硼气体等添加到材料气体来调节成膜条件, 以得到 i 型。通过将微量的三甲基硼气体等添加到以硅烷气体及氢气体为主的材料气体, 可以控制薄膜晶体管的阈值。

[0044] 在本说明书中, 微晶半导体膜指的是包含非晶和结晶结构(包括单晶、多晶)的中间结构的半导体的膜。该半导体是具有在自由能方面上稳定的第三状态的半导体, 并是短程有序且晶格畸变的结晶半导体, 其中粒径为 0.5 至 20nm 的柱状或针状结晶沿相对于衬底表面的法线方向生长。另外, 微晶半导体和非单晶半导体混合在一起。作为微晶半导体的典型例子的微晶硅的拉曼光谱偏移到的比单晶硅的 520.5cm^{-1} 低的波数一侧。就是说, 微晶硅的拉曼光谱的峰值位于单晶硅的 520.5cm^{-1} 和非晶硅的 480cm^{-1} 之间。另外, 包含至少 1 原子% 或更多的氢或卤素, 以对悬空键封端。再者, 通过包含氦、氩、氦、氖等的稀有气体元素来进一步促进晶格畸变, 可以获得稳定性提高的优良微晶半导体膜。上述微晶半导体膜的记载例如在美国专利 4, 409, 134 号中公开。

[0045] 另外, 虽然当处理多个大面积玻璃衬底时, 在产率方面不利, 但是也可以在与形成微晶硅膜的真空室相同的真空室中形成缓冲层。通过在相同的真空室中形成缓冲层, 可以形成叠层界面, 而不在搬运衬底时被浮游的污染杂质污染, 因此可以降低薄膜晶体管特性的不均匀性。尤其是在搬运大面积玻璃衬底时, 需要花费比搬运小型衬底时长的时间, 这会导致污染杂质的附着, 因此在相同的真空室中形成是有用的。

[0046] 在缓冲层上形成源电极或漏电极, 并在缓冲层中形成槽, 以降低上述源电极及漏电极之间的泄漏电流。

[0047] 在缓冲层和源电极或漏电极之间形成有包含 n 型杂质元素的半导体膜 (n+ 层)。另外,缓冲层设置在 n+ 层和微晶硅膜之间以不使 n+ 层和微晶硅膜接触。因而,在源电极的下方,n+ 层、缓冲层、以及微晶硅膜重叠。与此同样,在漏电极的下方,n+ 层、缓冲层、以及微晶硅膜重叠。通过采用上述叠层结构并增加缓冲层的厚度,实现耐压性的提高。另外,通过增加缓冲层的厚度,可以在缓冲层的一部分中形成槽而不暴露容易氧化的微晶硅膜。

[0048] 在进行上述制造步骤之后,在缓冲层上形成包含 n 型杂质元素的半导体膜,在该包含 n 型杂质元素的半导体膜上形成源电极或漏电极,通过蚀刻包含 n 型杂质元素的半导体膜形成源区及漏区,而且通过以使与上述源区及漏区重叠的区域残留的方式蚀刻并去除上述缓冲层的一部分来制造薄膜晶体管。

[0049] 关于如上所述那样获得的薄膜晶体管,在导通时,在第一成膜条件下形成的品质高的微晶硅膜中的栅极绝缘膜界面附近的区域被用作沟道形成区域,而在截止时,通过蚀刻缓冲层的一部分而形成的槽部成为流过极微量的泄漏电流的途径。因此,与现有的由非晶硅单层构成的薄膜晶体管或由微晶硅单层构成的薄膜晶体管相比,可以增大截止电流和导通电流的比,可以说是其开关特性优良,从而可以提高显示面板的对比度。

[0050] 根据本发明的制造方法,可以通过提供不引起表面驻波影响的高频电力及属于 VHF 频带的高频电力产生等离子体,来在其长边超过 2000mm 的大面积玻璃衬底上制造将均匀且品质高的微晶半导体膜用作沟道形成区域的半导体装置。还可以将所获得的薄膜晶体管的场效应迁移率设定为高于 1 且 50 以下。因此,关于根据本发明的制造方法而获得的由微晶半导体膜构成的薄膜晶体管,示出电流电压特性的曲线的上升部分的斜率大,作为开关元件的响应性优良,而且能够进行高速工作。

[0051] 使用根据本发明的制造方法而获得的薄膜晶体管的发光装置可以抑制薄膜晶体管的阈值的变动,从而可以提高可靠性。

[0052] 另外,使用根据本发明的制造方法而获得的薄膜晶体管的液晶显示装置可以增大场效应迁移率,因此可以提高驱动电路的驱动频率。由于可以使驱动电路进行高速工作,所以可以实现将帧频率设定为 4 倍或者进行黑屏插入等。

附图说明

[0053] 图 1A 至 1D 是说明本发明的制造方法的截面图;

[0054] 图 2A 至 2D 是说明本发明的制造方法的截面图;

[0055] 图 3A 至 3C 是说明本发明的制造方法的截面图;

[0056] 图 4 是说明本发明的制造方法的俯视图;

[0057] 图 5 示出说明微晶硅膜的形成步骤的时序图的一个例子;

[0058] 图 6 是说明将多个高频电力施加到一个电极的反应室的结构图;

[0059] 图 7 是示出将第一高频电源的高频电力和第二高频电源的高频电力重叠时的波形的一个例子的示意图;

[0060] 图 8 是示出将第一高频电源的高频电力和第二高频电源的高频电力重叠时的波形的一个例子的示意图;

[0061] 图 9 是示出将多个高频电力施加到一个电极的反应室的电极结构的其他例子的图;

- [0062] 图 10 是示出具有三个处理室的多室式 CVD 设备的结构的俯视图；
- [0063] 图 11 是示出具有四个处理室的多室式 CVD 设备的结构的俯视图；
- [0064] 图 12A 至 12D 是说明可适用于本发明的多灰度掩模的图；
- [0065] 图 13A 和 13B 是本发明的制造步骤的截面图；
- [0066] 图 14A 至 14C 是本发明的制造步骤的截面图；
- [0067] 图 15A 和 15B 是本发明的制造步骤的截面图；
- [0068] 图 16A 至 16C 是本发明的制造步骤的俯视图；
- [0069] 图 17 是说明液晶显示装置的一个例子的图；
- [0070] 图 18 是说明液晶显示装置的一个例子的图；
- [0071] 图 19 是说明液晶显示装置的一个例子的图；
- [0072] 图 20 是说明液晶显示装置的一个例子的图；
- [0073] 图 21 是说明液晶显示装置的一个例子的图；
- [0074] 图 22 是说明液晶显示装置的一个例子的图；
- [0075] 图 23 是说明液晶显示装置的一个例子的图；
- [0076] 图 24 是说明液晶显示装置的一个例子的图；
- [0077] 图 25 是说明液晶显示装置的一个例子的图；
- [0078] 图 26 是说明液晶显示装置的一个例子的图；
- [0079] 图 27 是说明本发明的液晶显示装置的图；
- [0080] 图 28 是说明本发明的液晶显示装置的图；
- [0081] 图 29 是说明液晶显示装置的一个例子的图；
- [0082] 图 30 是说明液晶显示装置的一个例子的图；
- [0083] 图 31A 和 31B 是说明发光装置的制造方法的一个例子的截面图；
- [0084] 图 32A 至 32C 是说明可适用于发光装置的像素的截面图；
- [0085] 图 33A 至 33C 是说明显示面板的立体图；
- [0086] 图 34A 至 34D 是说明使用发光装置的电子产品的立体图；
- [0087] 图 35 是说明使用发光装置的电子产品的图；
- [0088] 图 36 是说明发光装置的结构框图；
- [0089] 图 37A 和 37B 是说明显示面板的俯视图及截面图；
- [0090] 图 38A 和 38B 是说明显示面板的俯视图及截面图；
- [0091] 图 39 是示出通过将具有不同频率的高频电力重叠而成膜的实验结果的图。

具体实施方式

[0092] 下面,说明本发明的实施方式。注意,本发明可以以多种不同的方式实施,本领域的技术人员可以很容易地理解一个事实就是,其方式和详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。

[0093] 实施方式 1

[0094] 在本实施方式中,参照图 1A 至图 6 说明用于液晶显示装置的薄膜晶体管的制造步骤。图 1A 至图 3C 是示出薄膜晶体管的制造步骤的截面图,而图 4 是一个像素中的薄膜晶体

管及像素电极的连接区域的俯视图。另外,图 5 是示出微晶硅膜的成膜方法的时序图,而图 6 是示出能够提供具有不同频率的两个以上高频电力来产生辉光放电等离子体的等离子体 CVD 设备的一个结构例子的截面图。

[0095] 关于具有微晶半导体膜的薄膜晶体管,n 型薄膜晶体管具有比 p 型薄膜晶体管高的场效应迁移率,因此更适合用于驱动电路。优选地是,在同一衬底上形成同一极性的薄膜晶体管,以减少制造步骤。这里,使用 n 沟道型薄膜晶体管进行说明。

[0096] 如图 1A 所示,在衬底 50 上形成栅电极。衬底 50 可以使用通过利用熔融法或浮法而制造的无碱玻璃衬底如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃。当衬底 50 为母玻璃时,衬底的尺寸可以采用第一代(300mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(730mm×920mm)、第五代(1000mm×1200mm)、第六代(2450mm×1850mm)、第七代(1870mm×2200mm)、第八代(2000mm×2400mm)、第九代(2450mm×3050mm)、第十代(2850mm×3050mm)、等等。

[0097] 栅电极通过使用钛、钼、铬、钽、钨、铝等的金属材料或其合金材料而形成。可以通过使用溅射法、真空蒸镀法、或 CVD 法在衬底 50 上形成导电膜,在该导电膜上通过使用光刻技术或喷墨法形成掩模,并使用该掩模蚀刻导电膜,以形成栅电极。栅电极还可以通过使用喷墨法将银、金、铜等的导电纳米胶喷射并焙烧而形成。另外,作为提高栅电极的贴紧性并防止向基底扩散的阻挡金属,可以在衬底 50 和栅电极之间设置上述金属材料的氮化物膜。这里,使用通过第一光掩模而形成的抗蚀剂掩模蚀刻形成在衬底 50 上的导电膜的叠层,以形成栅电极。

[0098] 作为栅电极结构的具体例子,可以在作为第一导电层 51a 的铝膜上层叠作为第二导电层 51b 的钼膜,以防止铝特有的小丘或电迁移。因为在本实施方式中示出通过使用大面积衬底制造具有大显示屏幕的显示装置的例子,所以使用层叠了由电阻低的铝构成的第一导电层 51a 和其耐热性比第一导电层 51a 高的第二导电层 51b 的栅电极。另外,可以采用铝膜被夹在钼膜之间的三层结构。作为栅电极结构的其他例子,可以举出在铜膜上层叠有钼膜的结构、在铜膜上层叠有氮化钛膜的结构、以及在铜膜上层叠有氮化钽膜的结构。

[0099] 由于在栅电极上形成半导体膜或布线,所以优选将其端部加工为锥形以防止断裂。虽然未图示,但是在上述步骤中还可以同时形成与栅电极连接的布线。

[0100] 然后,在作为上层栅电极的第二导电层 51b 上依次形成栅极绝缘膜 52a、52b 及 52c。

[0101] 栅极绝缘膜 52a、52b 及 52c 可以通过使用 CVD 法或溅射法等以氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜而形成。为了防止由形成在栅极绝缘膜中的针孔等导致的层间短路,优选使用不相同的绝缘层来形成多层结构。这里,示出依次层叠氮化硅膜、氧氮化硅膜、以及氮化硅膜作为栅极绝缘膜 52a、52b 及 52c 的方式。

[0102] 这里,氧氮化硅膜指的是在其组成上氧含量多于氮含量的物质,其包含氧、氮、Si 及氢,其浓度如下:55 至 65 原子%的氧;1 至 20 原子%的氮;25 至 35 原子%的 Si;以及 0.1 至 10 原子%的氢。另一方面,氮氧化硅膜指的是在其组成上氮含量多于氧含量的物质,其包含氧、氮、Si 及氢,其浓度如下:15 至 30 原子%的氧;20 至 35 原子%的氮;25 至 35 原子%的 Si;以及 15 至 25 原子%的氢。

[0103] 第一层栅极绝缘膜及第二层栅极绝缘膜都厚于 50nm。作为第一层栅极绝缘膜,优

选使用氮化硅膜或氮氧化硅膜,以防止杂质(例如碱金属等)从衬底扩散。第一层栅极绝缘膜不仅可以防止栅电极的氧化,而且还可以在使用铝作为栅电极的情况下防止小丘。另外,与微晶半导体膜接触的第三层栅极绝缘膜的厚度大于 0nm 且 5nm 以下,优选为大约 1nm。第三层栅极绝缘膜是为了提高与微晶半导体膜的贴紧性的。另外,通过使用氮化硅膜作为第三层栅极绝缘膜,可以防止由之后进行的热处理或激光照射导致的微晶半导体膜的氧化。例如,当在氧含量多的绝缘膜和微晶半导体膜接触的状态下进行热处理时,可能会使微晶半导体膜氧化。

[0104] 再者,优选使用频率为 1GHz 的微波等离子体 CVD 设备形成栅极绝缘膜。通过使用微波等离子体 CVD 设备而形成的氧氮化硅膜、氮氧化硅膜的耐压性高,从而可以提高薄膜晶体管的可靠性。

[0105] 在本实施方式中,优选地是,通过进行稀有气体等离子体处理及氢等离子体处理中的单方或双方,进行基底预处理,然后进行成膜处理。另外,优选预先在反应室内涂敷与栅极绝缘膜相同种类的膜。这是为了防止反应室内壁的金属杂质等混入栅极绝缘膜。

[0106] 作为反应气体,使用硅烷等的氢化硅气体、包含氧或氮的气体。而且,通过重叠施加 HF 频带 (3MHz 至 30MHz,典型为 13.56MHz) 和 VHF 频带 (30MHz 至 300MHz) 的高频电力来产生辉光放电等离子体。通过施加频带不同的高频电力,可以提高等离子体密度,并可以提高等离子体密度的衬底面内均匀性。栅极绝缘膜的成膜温度优选为 200℃ 至 400℃,通过提高等离子体密度可以形成致密且耐压性高的绝缘膜。此时的截面图相当于图 1A。

[0107] 这里,虽然形成具有三层结构的栅极绝缘膜,但是在用作液晶显示装置的开关元件的情况下,由于进行交流驱动而可以只由氮化硅膜的单层构成。

[0108] 接着,优选地是,在形成栅极绝缘膜之后,不接触大气地搬运衬底,以在与形成栅极绝缘膜的真空室不相同的真空室中形成微晶半导体膜 53。

[0109] 下面,参照图 5 说明形成微晶半导体膜 53 的步骤。在图 5 中,以将反应室从大气压排气到真空(真空排气 200)的步骤为起始步骤,以时间序列的方式分别示出之后进行的各种处理如预涂 201、衬底搬入 202、基底预处理 203、成膜处理 204、衬底搬出 205、净化 206。但是,不局限于从大气压排气到真空,从大量生产或以短时间降低最终真空度的观点来看,反应室优选一直保持为一定程度的真空度。

[0110] 在本实施方式中,为了将衬底搬入之前的真空室内的真空度设定为高于 10^{-5} Pa 的真空度,进行超高真空排气。这个步骤相当于图 5 中的真空排气 200。在进行上述超高真空排气的情况下,优选利用涡轮分子泵和低温泵,即利用涡轮分子泵进行排气,并利用低温泵进行真空排气。另外,优选对反应室进行加热处理,以从内壁脱气。还使加热衬底的加热器工作来使温度稳定。衬底的加热温度为 100℃ 以上 300℃ 以下,优选为 120℃ 以上 220℃ 以下。

[0111] 接着,在搬入衬底之前进行预涂 201,以形成硅膜作为内壁覆盖膜。作为预涂 201,通过引入氢或稀有气体产生等离子体以去除附着在反应室的内壁上的气体(氧及氮等的大气成分、或用来使反应室净化的蚀刻气体),然后引入硅烷气体,来产生等离子体。由于硅烷气体与氧或水分等起反应,所以通过流过硅烷气体来产生硅烷等离子体,可以去除反应室内的氧或水分。另外,通过进行预涂 201,可以防止构成反应室的部件的金属元素作为杂质混入微晶硅膜中。就是说,通过使用硅覆盖反应室内,可以防止反应室内被等离子体蚀

刻,并可以降低包含在之后形成的微晶硅膜中的杂质浓度。预涂 201 包括使用与将要堆积在衬底上的膜相同种类的膜覆盖反应室内壁的处理。

[0112] 在预涂 201 之后,进行衬底搬入 202。由于将要堆积微晶硅膜的衬底存储在进行了真空排气的装载室中,所以即使搬入衬底也不会使反应室内的真空度显著恶化。

[0113] 接着,进行基底预处理 203。基底预处理 203 是在形成微晶硅膜时特别有效的处理,因此优选进行基底预处理 203。就是说,当在玻璃衬底表面、绝缘膜的表面、或非晶硅的表面上通过等离子体 CVD 法形成微晶硅膜时,有时会在堆积初期阶段中由于杂质或晶格失配等而导致形成非晶层。为了尽量降低该非晶层的厚度或者如果可能的话去除该非晶层,优选进行基底预处理 203。作为基底预处理,优选进行稀有气体等离子体处理或氢等离子体处理,或者进行这两种处理。作为稀有气体等离子体处理,优选使用质量数大的稀有气体元素如氩、氦、或氙。这是因为通过利用溅射效果去除附着在表面上的氧、水分、有机物、或金属元素等的杂质的缘故。氢等离子体处理是对于通过利用氢自由基去除吸附在表面上的上述杂质、以及通过利用对绝缘膜或非晶硅膜的蚀刻作用形成干净的被成膜表面有效的。另外,通过进行稀有气体等离子体处理及氢等离子体处理,可以期待促进微晶核生成的作用。

[0114] 从促进微晶核生成的观点来看,如图 5 中的虚线 207 所示,在微晶硅膜的成膜初期中继续提供氩等的稀有气体是有效的。

[0115] 在进行基底预处理 203 之后,进行形成微晶硅膜的成膜处理 204。在本实施方式中,在成膜速度低而品质良好的第一成膜条件下形成栅极绝缘膜界面附近的微晶硅膜的下部,然后在成膜速度高的第二成膜条件下堆积微晶硅膜的上部。例如,作为第一成膜条件,通过重叠施加频率不相同的两个高频电力来成膜,作为第二成膜条件,继续在施加 3MHz 至 30MHz 的第三高频电力而不重叠施加的成膜条件下形成微晶半导体膜。另外,作为第一成膜条件,重叠施加第一高频电力、以及其电力大于该第一高频电力的第二高频电力,作为第二成膜条件,继续在施加其电力大于所述第一成膜条件的第三高频电力、以及其电力小于第三高频电力的第四高频电力的成膜条件下形成微晶半导体膜。注意,第三高频电力的频率与第一高频电力相同,而第四高频电力的频率与第二高频电力相同。

[0116] 只要第二成膜条件的成膜速度比第一成膜条件的成膜速度高,就没有特别的限制。在本实施方式中,使用利用通过重叠施加 HF 频带(3MHz 至 30MHz,典型为 13.56MHz)的高频电力和 VHF 频带(30MHz 至 300MHz 左右)的高频电力而生成的辉光放电等离子体的等离子体 CVD 设备。图 7 示出将 HF 频带的高频电力和 VHF 频带的高频电力重叠时的波形的一个例子。

[0117] 典型地说,微晶硅膜可以通过使用氢稀释氢化硅如 SiH_4 或 Si_2H_6 来实现等离子体生成而形成。除了氢化硅及氢以外,还可以使用选自氩、氦、氮、氖中的一种或多种稀有气体元素来稀释,以形成微晶半导体膜。此时的相对于氢化硅的氢的流量比为 12 倍以上 1000 倍以下,优选为 50 倍以上 200 倍以下,更优选为 100 倍。另外,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氢化硅。

[0118] 在将氦加入材料气体的情况下,由于氦的离子化能量在所有气体中最高,即 24.5eV,其亚稳态位于比该离子化能量稍微低的约 20eV 的能级,所以在放电持续期间中,为离子化而只需要其差异的 4eV 左右。因此,放电开始电压值也在所有气体中最低。由于上述特征,氦能够稳定地保持等离子体。另外,由于能够形成均匀的等离子体,所以即使堆

积微晶硅膜的衬底的面积增大,也可以起到实现等离子体密度的均匀化的作用。

[0119] 还可以将碳的氢化物如 CH_4 或 C_2H_6 、氢化锗或氟化锗如 GeH_4 或 GeF_4 混合到硅烷等的气体中,以将能带宽度调整为 1.5 至 2.4eV、或 0.9 至 1.1eV。通过将碳或锗添加到硅,可以改变 TFT 的温度特性。

[0120] 这里,第一成膜条件如下:通过使用氢及/或稀有气体将硅烷稀释为超过 100 倍且 2000 倍以下,衬底的加热温度为 100°C 以上且低于 300°C ,优选为 120°C 以上 220°C 以下。为了促进微晶硅的生长,优选在 120°C 以上 220°C 以下的温度下成膜。

[0121] 将在第一成膜条件下成膜之后的截面图示出于图 1B。在栅极绝缘膜 52c 上形成有成膜速度低而品质良好的微晶半导体膜 23。该在第一成膜条件下获得的微晶半导体膜 23 的品质对之后形成的 TFT 的导通电流的增大及场效应迁移率的提高做贡献,因此重要的是充分地降低氧浓度,以将膜中的氧浓度设定为 $1 \times 10^{17}/\text{cm}$ 以下。另外,通过上述步骤,除了氧以外,还可以降低混入微晶半导体膜中的氮及碳的浓度。因此可以防止微晶半导体膜的 n 型化。

[0122] 接着,通过采用第二成膜条件代替第一成膜条件来提高成膜速度,以形成微晶半导体膜 53。此时的截面图相当于图 1C。微晶半导体膜 53 的厚度可以为 50nm 至 500nm (优选为 100nm 至 250nm)。注意,在本实施方式中,微晶半导体膜 53 的成膜时间包括在第一成膜条件下成膜的第一成膜期间、以及在第二成膜条件下成膜的第二成膜期间。虽然可以将第一成膜条件下获得的膜称为第一微晶半导体膜并将在第二成膜条件下获得的膜称为第二微晶半导体膜,但是在成膜后的第一微晶半导体膜和第二微晶半导体膜的界面不明确,因此通过在成膜期间中改变条件而获得的叠层膜被称为微晶半导体膜。

[0123] 在本实施方式中,第二成膜条件如下:通过使用氢及/或稀有气体将硅烷稀释为 12 倍以上 100 倍以下,衬底的加热温度为 100°C 以上且低于 400°C ,优选为 220°C 以下。在本实施方式中,通过增加硅烷气体的流量使第二成膜条件的成膜速度比第一成膜条件高,但是对其没有特别的限制,也可以通过改变施加 HF 频带的高频电力和 VHF 频带的高频电力的条件使第二成膜条件的成膜速度比第一成膜条件高。例如,在第一成膜条件下,如图 7 所示那样进行 HF 频带的高频电源的输出波形和 VHF 频带的高频电源的输出波形重叠的电力施加,而在第二成膜条件下,如图 8 所示那样反复进行 VHF 频带的高频电力的导通及截止来实现脉冲振荡以获得其一部分重叠的波形。

[0124] 接着,在通过第二成膜条件形成微晶硅膜之后,停止硅烷或氢等材料气体及高频电力的供给来进行衬底搬出 205。在对下一个衬底继续进行成膜处理的情况下,回到衬底搬入 202 的步骤来进行同一处理。为了去除附着在反应室内的膜或粉末,进行净化 206。

[0125] 作为净化 206,通过引入以 NF_3 、 SF_6 为代表的蚀刻气体进行等离子体蚀刻。另外,通过引入即使不利用等离子体也能够蚀刻的气体如 ClF_3 来进行。净化 206 优选在衬底加热用加热器截止且处理室内壁温度降低了的状态下进行。这是为了抑制由蚀刻导致的反应副生成物的生成。在进行净化 206 之后,回到预涂 201,对下一个衬底进行上述同样的处理,即可。

[0126] 这里,将用来形成栅极绝缘膜或微晶硅膜的等离子体 CVD 设备的一个结构例子示出于图 6,多个高频电力被施加到该等离子体 CVD 设备。

[0127] 反应室 100 由铝或不锈钢等具有刚性的材料形成,并可以对其内部进行真空排

气。在反应室 100 中具备有第一电极 101 和第二电极 102。

[0128] 高频电力供给单元 103 联结到第一电极 101,而且接地电位提供给第二电极 102,并具有能够装载衬底的结构。第一电极 101 由绝缘材料 116 与反应室 100 绝缘分离,并构成不漏失高频电力。注意,在图 6 中表示采用电容耦合型(平行平板型)结构的第一电极 101 和第二电极 102,但是只要通过施加两种以上的不同高频电力可以在反应室 100 内部生成辉光放电等离子体,可以采用感应耦合型等其他结构。

[0129] 高频电力供给单元 103 包括第一高频电源 104 和第二高频电源 105、以及分别对应于它们的第一匹配器 106 和第二匹配器 107。从第一高频电源 104 和第二高频电源 105 输出的高频电力一起提供给第一电极 101。也可以在第一匹配器 106 或第二匹配器 107 的输出侧设置带通滤波器,以便防止流入另一方的高频电力。

[0130] 第一高频电源 104 所提供的高频电力利用其波长大约为 10m 以上的高频,利用作为 HF 频带的 3MHz 至 30MHz,典型为 13.56MHz。第二高频电源 105 所提供的高频电力利用 VHF 频带,其波长大约小于 10m,即利用 30MHz 至 300MHz 的高频电力。

[0131] 第一高频电源 104 所提供的高频电力的波长具有第一电极 101 的一边的 3 倍以上的长度,第二高频电源 105 所提供的高频的波长应用短于第一高频电源 104 所提供的高频的波长。通过将不引起表面驻波影响的高频电力提供给第一电极 101 来产生辉光放电等离子体,并提供属于 VHF 频带的高频电力来实现辉光放电等离子体的高密度化,从而可以在其长边超过 2000mm 的大面积衬底上形成均匀且膜质量高的薄膜。

[0132] 图 7 示出当使第一高频电源 104 的高频电力和第二高频电源 105 的高频电力重叠时的波形的实例。通过使应用 HF 频带(典型为 13.56MHz)的频率的第一高频电源 104 的输出波形和应用 VHF 频带的频率的第二高频电源 105 的输出波形重叠,实现等离子体的高密度化,并且可以提高等离子体密度的面内均匀性而不受到表面驻波的影响。图 8 作为示意图示出应用脉冲振荡的电源作为第二高频电源 105 时的实例。通过以脉冲方式提供 VHF 频带的高频电力,可以防止当成膜时在气相中粉体不正常地生长。为了防止粉体生长,需要考虑气体分子的平均滞留时间,但是将脉冲的振荡频率设定为约 1 至 100kHz,即可。

[0133] 第一电极 101 还联结到气体供给单元 108。气体供给单元 108 由填充反应气体的气瓶 110、压力调节阀 111、截止阀 112、质量流量控制器 113 等构成。在反应室 100 内第一电极 101 的相对于衬底的面加工为簇射板状,从而设有多个孔。提供给第一电极 101 的反应气体通过该孔提供给反应室 100 内。

[0134] 图 9 表示第一电极 101 的其他结构。第一电极 101 由从第一高频电源 104 提供高频电力的第一电极 101a 和从第二高频电源 105 提供高频电力的第一电极 101b 构成。第一电极 101a 和第一电极 101b 分别在相对于衬底的面设有孔并形成彼此咬合的梳齿状,并由绝缘材料 116 分离,以防止相邻电极彼此接触。图 9 所示的结构可以代替图 6 所示的第一电极 101,并可以获得相同的效果。

[0135] 连接到反应室 100 的排气单元 109 具有进行真空排气和在流入反应气体的情况下将反应室 100 内保持为预定的压力的功能。作为排气单元 109 的结构包括蝶阀 117、导阀 118、涡轮分子泵 119、干泵 120 等。在并联配置蝶阀 117 和导阀 118 的情况下,通过关闭蝶阀 117 而使导阀 118 工作,可以控制反应气体的排气速度来将反应室 100 的压力保持为预定的范围。另外,通过使传导性高的蝶阀 117 工作,可以进行高真空排气。

[0136] 在为使真空度高于 10^{-5} Pa 而进行超高真空排气的情况下, 优选使用低温泵 121。将两个涡轮分子泵串联来进行真空排气也有效。另外, 在进行真空排气直到最终真空度成为超高真空为止的情况下, 可以对反应室 100 的内壁进行镜面加工, 并设置用于烘烤的加热器以抑制从内壁释放气体。

[0137] 由加热器控制器 115 控制温度的衬底加热器 114 设置在第二电极 102 中。在衬底加热器 114 设置在第二电极 102 中的情况下, 采用热传导加热方式。例如, 衬底加热器 114 由护套加热器 (sheathed heater) 构成。可以适当地改变第一电极 101 和第二电极 102 之间的电极间隔。由波纹管改变在反应室 100 内的第二电极 102 的高度来调节该间隔。

[0138] 接着, 在形成微晶半导体膜 53 之后, 优选不接触大气地搬运衬底, 来在与形成微晶半导体膜 53 的真空室不相同的真空室中形成缓冲层 54。通过另外提供形成缓冲层 54 的真空室, 可以将形成微晶半导体膜 53 的真空室用作在引入衬底之前到达超高真空的专用处理室, 从而可以尽量抑制杂质污染并缩短到达超高真空的时间。在为到达超高真空而进行烘烤的情况下, 为得到处理室内壁温度低且稳定的状态而需要较长时间, 因此是特别有效的。另外, 通过分别提供不相同的真空室, 可以根据想要获得的膜而分别改变高频电力的频率。

[0139] 缓冲层 54 通过使用包含氢、氮、或卤素的非晶半导体膜而形成。通过使用氢, 其流量为氢化硅的流量的 1 倍以上 10 倍以下, 优选为 1 倍以上 5 倍以下, 可以形成包含氢的非晶半导体膜。另外, 通过使用上述氢化硅、以及氮或氨, 可以形成包含氮的非晶半导体膜。通过使用上述氢化硅、以及包含氟、氯、溴、或碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、HF、HCl、HBr、HI 等), 可以形成包含氟、氯、溴、或碘的非晶半导体膜。另外, 可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等代替氢化硅。

[0140] 作为缓冲层 54, 也可以通过将非晶半导体用作靶并使用氢或稀有气体进行溅射来形成非晶半导体膜。此时, 通过将氨、氮、或 N_2O 包含在气氛中, 可以形成包含氮的非晶半导体膜。另外, 通过将包含氟、氯、溴、或碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、HF、HCl、HBr、HI 等) 包含在气氛中, 可以形成包含氟、氯、溴、或碘的非晶半导体膜。

[0141] 缓冲层 54 优选由不包含晶粒的非晶半导体膜构成。因此, 在通过使用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法或微波等离子体 CVD 法形成缓冲层 54 的情况下, 优选调节成膜条件, 以形成不包含晶粒的非晶半导体膜。当然, 为了实现等离子体的高密度化及均匀化以避免等离子体的表面驻波效果, 可以通过使用图 6 所示的等离子体 CVD 设备并施加 HF 频带的高频电力和 VHF 频带的高频电力中的双方来形成缓冲层 54。

[0142] 在之后形成源区及漏区的步骤中, 缓冲层 54 的一部分被蚀刻。因此, 缓冲层 54 优选形成为在上述情况下其一部分残留的厚度, 以不暴露微晶半导体膜 53。典型地说, 缓冲层 54 形成为具有 100nm 以上 400nm 以下, 优选为 200nm 以上 300nm 以下的厚度。在薄膜晶体管的施加电压高 (例如大约为 15V) 的显示装置, 典型地为液晶显示装置中, 通过将缓冲层 54 的厚度设定为上述范围内, 可以提高耐压性, 从而即使高电压被施加到薄膜晶体管也可以避免薄膜晶体管的退化。

[0143] 另外, 缓冲层 54 不添加有赋予一导电类型的杂质如磷或硼等。为了防止杂质从添加有赋予一导电类型的杂质的半导体膜 55 扩散到微晶半导体膜 53, 将缓冲层 54 用作阻挡层。在不设置缓冲层 54 的情况下, 若微晶半导体膜 53 和添加有赋予一导电类型的杂质的

半导体膜 55 接触,则会有在之后的蚀刻步骤或加热处理中杂质移动,从而难以控制阈值电压的问题。

[0144] 通过在微晶半导体膜 53 的表面上形成缓冲层 54,可以防止包含在微晶半导体膜 53 中的晶粒表面的自然氧化。尤其是在非晶半导体和微晶粒接触的区域中,容易因局部应力而产生裂缝。当该裂缝与氧接触时晶粒被氧化,从而形成氧化硅。

[0145] 作为非晶半导体膜的缓冲层 54 的能隙比微晶半导体膜 53 大(非晶半导体膜的能隙为 1.6 至 1.8eV,而微晶半导体膜 53 的能隙为 1.1 至 1.5eV),其电阻高,而且其迁移率低,即微晶半导体膜 53 的 1/5 至 1/10。因此,在之后形成的薄膜晶体管中,形成在源区及漏区和微晶半导体膜 53 之间的缓冲层用作高电阻区域,而微晶半导体膜 53 用作沟道形成区域。因此,可以降低薄膜晶体管的截止电流。在将该薄膜晶体管用作显示装置的开关元件的情况下,可以提高显示装置的对比度。

[0146] 优选地是,在微晶半导体膜 53 上,通过等离子体 CVD 法以 300℃ 以上且低于 400℃ 的衬底温度形成缓冲层 54。通过上述成膜处理,可以将氢提供给微晶半导体膜 53,从而得到与使微晶半导体膜 53 氢化相同的效果。就是说,通过在微晶半导体膜 53 上堆积缓冲层 54,可以将氢扩散到微晶半导体膜 53,从而对悬空键封端。另外,可以在形成缓冲层 54 时进行微晶半导体膜 53 的退火,从而可以提高膜质量。尤其是,通过第二成膜条件而获得的膜虽然有其成膜速度比第一成膜条件高而其结晶性比通过第一成膜条件而获得的结晶性低的特征,但是通过在形成缓冲层时进行退火,可以提高结晶性等的膜质量。另外,通过在形成缓冲层 54 时进行退火,还可以抑制反复施加电压的可靠性试验中的 TFT 特性的变动(阈值电压的变动等),从而可以获得其可靠性比将非晶硅膜主要用于沟道形成区域的 TFT 高的 TFT。

[0147] 接着,在形成缓冲层 54 之后,优选不接触大气地搬运衬底,来在与形成缓冲层 54 的真空室不相同的真空室中形成添加有赋予一导电类型的杂质的半导体膜 55。此时的截面图相当于图 1D。通过在与形成缓冲层 54 的真空室不相同的真空室中形成添加有赋予一导电类型的杂质的半导体膜 55,可以防止赋予一导电类型的杂质在形成缓冲层时混入。

[0148] 关于添加有赋予一导电类型的杂质的半导体膜 55,在形成 n 沟道型薄膜晶体管的情况下,可以添加磷作为典型的杂质元素,并可以将 PH_3 等的杂质气体添加到氢化硅。另外,在形成 p 沟道型薄膜晶体管的情况下,可以添加硼作为典型的杂质元素,并可以将 B_2H_6 等的杂质气体添加到氢化硅。添加有赋予一导电类型的杂质的半导体膜 55 可以由微晶半导体或非晶半导体构成。添加有赋予一导电类型的杂质的半导体膜 55 的厚度为 2nm 以上 50nm 以下。通过减少添加有赋予一导电类型的杂质的半导体膜的厚度,可以提高产率。

[0149] 接着,如图 2A 所示,在添加有赋予一导电类型的杂质的半导体膜 55 上形成抗蚀剂掩模 56。抗蚀剂掩模 56 通过使用光刻技术或喷墨法而形成。这里,通过使用第二光掩模,对涂敷在添加有赋予一导电类型的杂质的半导体膜 55 上的抗蚀剂进行曝光及显影,以形成抗蚀剂掩模 56。

[0150] 接着,通过使用抗蚀剂掩模 56 将微晶半导体膜 53、缓冲层 54、以及添加有赋予一导电类型的杂质的半导体膜 55 蚀刻,如图 2B 所示那样形成微晶半导体膜 61、缓冲层 62、及添加有赋予一导电类型的杂质的半导体膜 63。然后,去除抗蚀剂掩模 56。

[0151] 微晶半导体膜 61 和缓冲层 62 的端部侧面倾斜,从而可以防止在形成在缓冲层 62

上的源区及漏区和微晶半导体膜 61 之间产生泄漏电流。还可以防止在源电极及漏电极和微晶半导体膜 61 之间产生泄漏电流。微晶半导体膜 61 和缓冲层 62 的端部侧面的倾斜角度为 30° 至 90° ，优选为 45° 至 80° 。通过采用上述角度，可以防止由台阶形状导致的源电极或漏电极的断开。

[0152] 接着，如图 2C 所示，覆盖添加有赋予一导电类型的杂质的半导体膜 63 及栅极绝缘膜 52c 地形成导电膜 65a 至 65c 作为导电膜。导电膜 65a 至 65c 优选由铝、铜、或添加有硅、钛、钽、钨、钼等的耐热性提高元素或小丘防止元素的铝合金的单层或叠层构成。还可以采用如下叠层结构：通过使用钛、钽、钨或这些元素的氮化物形成与添加有赋予一导电类型的杂质的半导体膜接触一侧的膜，并在其上形成铝或铝合金。再者，可以采用如下叠层结构：铝或铝合金的上表面及下表面由钛、钽、钨或这些元素的氮化物夹住。这里，示出导电膜 65a 至 65c 这三个层重叠的导电膜，并示出如下叠层导电膜：导电膜 65a 及 65c 由钼膜构成，且导电膜 65b 由铝膜构成；或者，导电膜 65a 及 65c 由钛膜构成，且导电膜 65b 由铝膜构成。导电膜 65a 至 65c 通过溅射法或真空蒸镀法而形成。

[0153] 接着，如图 2D 所示，在导电膜 65a 至 65c 上通过使用第三光掩模形成抗蚀剂掩模 66，并蚀刻导电膜 65a 至 65c 的一部分，以形成源电极及漏电极 71a 至 71c。通过对导电膜 65a 至 65c 进行湿蚀刻，导电膜 65a 至 65c 被选择性地蚀刻。其结果是，由于以各向同性的方式蚀刻导电膜而可以形成其面积比抗蚀剂掩模 66 小的源电极及漏电极 71a 至 71c。

[0154] 然后，如图 3A 所示，通过使用抗蚀剂掩模 66 蚀刻添加有赋予一导电类型的杂质的半导体膜 63，形成一对源区及漏区 72。再者，在该蚀刻步骤中，缓冲层 62 的一部分也被蚀刻。由于其一部分被蚀刻而形成有凹部（槽）的缓冲层被称为缓冲层 73。可以以同一步骤形成源区及漏区、以及缓冲层的凹部（槽）。通过将缓冲层的凹部（槽）的深度设定为缓冲层的最厚区域的 $1/2$ 至 $1/3$ ，可以增加源区及漏区的距离，因此可以降低源区及漏区之间的泄漏电流。之后，去除抗蚀剂掩模 66。

[0155] 将缓冲层蚀刻 50nm 左右，以防止如下情况：尤其是，抗蚀剂掩模在暴露于用于干蚀刻等的等离子体时变质，不能在抗蚀剂去除步骤中完全去除，从而残留着残渣。在导电膜 65a 至 65c 的一部分的蚀刻处理及在形成源区及漏区 72 时的蚀刻处理这两次蚀刻处理中使用抗蚀剂掩模 66，在采用干蚀刻作为该两次蚀刻处理的情况下容易残留残渣，因此将在完全去除残渣时可以被蚀刻的缓冲层形成为具有厚的膜厚度是有效的。另外，缓冲层 73 可以防止在干蚀刻时给微晶半导体膜 61 带来等离子体损伤。

[0156] 接着，如图 3B 所示，形成绝缘膜 76，该绝缘膜 76 覆盖源电极及漏电极 71a 至 71c、源区及漏区 72、缓冲层 73、微晶半导体膜 61、以及栅极绝缘膜 52c。绝缘膜 76 可以以与栅极绝缘膜 52a、52b 及 52c 相同的成膜方法形成。注意，绝缘膜 76 是为防止浮游在大气中的有机物、金属物、水蒸气等的污染杂质的侵入而提供的，因此优选采用致密的膜。另外，通过将氮化硅膜用于绝缘膜 76，可以将缓冲层 73 中的氧浓度设定为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，优选为 $1 \times 10^{19} \text{atoms/cm}^3$ 以下。

[0157] 如图 3B 所示，源电极及漏电极 71a 至 71c 的端部与源区及漏区 72 的端部不一致且彼此错开，源电极及漏电极 71a 至 71c 的端部的距离增大，从而可以防止源电极及漏电极之间的泄漏电流或短路。另外，由于源电极及漏电极 71a 至 71c 的端部与源区及漏区 72 的端部不一致且彼此错开，所以在源电极及漏电极 71a 至 71c 和源区及漏区 72 的端部中不发

生电场集中,从而可以防止栅电极和源电极及漏电极 71a 至 71c 之间的泄漏电流。由此,可以制造高可靠性及高耐压的薄膜晶体管。

[0158] 通过上述步骤,可以形成薄膜晶体管 74。

[0159] 在本实施方式所示的薄膜晶体管中,在栅电极上层叠了栅极绝缘膜、微晶半导体膜、缓冲层、源区及漏区、源电极及漏电极,其中用作沟道形成区域的微晶半导体膜的表面被缓冲层覆盖。另外,在缓冲层的一部分中形成有凹部(槽),而且该凹部以外的区域被源区及漏区覆盖。就是说,由于形成在缓冲层中的凹部而在源区及漏区之间有一定的距离,因此可以降低源区及漏区之间的泄漏电流。另外,因为通过蚀刻缓冲层的一部分形成凹部,所以可以去除在形成源区及漏区的步骤中产生的蚀刻残渣,从而可以避免由残渣导致的源区及漏区的泄漏电流(寄生沟道)。

[0160] 另外,在用作沟道形成区域的微晶半导体膜和源区及漏区之间形成有缓冲层。微晶半导体膜的表面被缓冲层覆盖。高电阻的缓冲层延伸到微晶半导体膜和源区及漏区之间,因而可以降低产生在薄膜晶体管中的泄漏电流,并可以抑制由于施加高电压而导致的退化。另外,缓冲层、微晶半导体膜、源区及漏区都形成在与栅电极重叠的区域上。因此,可以说是不受到栅电极的端部形状的影响的结构。在栅电极具有叠层结构的情况下,若在其下层中使用铝,则可能会在栅电极的侧面露出铝而产生小丘,但是通过采用源区及漏区还不重叠于栅电极端部的结构,可以防止在与栅电极侧面重叠的区域中发生短路。另外,由于在微晶半导体膜的表面上形成有其表面被氢封端的非晶半导体膜作为缓冲层,所以可以防止微晶半导体膜的氧化,并可以防止在形成源区及漏区的步骤中产生的蚀刻残渣混入微晶半导体膜。由此,可以获得电特性良好且耐压性良好的薄膜晶体管。

[0161] 另外,可以缩小薄膜晶体管的沟道长度,从而可以缩小薄膜晶体管的平面面积。

[0162] 然后,通过使用利用第四光掩模而形成的抗蚀剂掩模蚀刻绝缘膜 76 的一部分,形成接触孔,并形成在该接触孔中与源电极或漏电极 71c 接触的像素电极 77。图 3C 相当于沿图 4 的虚线 A-B 的截面图。

[0163] 如图 4 所示,源区及漏区 72 的端部位于源电极及漏电极 71c 的端部的外侧。另外,缓冲层 73 的端部位于源电极及漏电极 71c、源区及漏区 72 的端部的外侧。源电极及漏电极中的一方具有包围源电极及漏电极中的另一方的形状(具体地说,U 形状、C 形状)。因此,可以增加载流子移动的区域面积,从而电流量可以增大,并可以缩小薄膜晶体管的面积。另外,由于微晶半导体膜、源电极及漏电极层叠在栅电极上,所以栅电极的凹凸所引起的负面影响少,从而可以抑制覆盖度的降低及泄漏电流的产生。注意,源电极及漏电极中的一方还用作源极布线或漏极布线。

[0164] 像素电极 77 可以使用包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等的具有透光性的导电材料。

[0165] 另外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成像素电极 77。优选地是,通过使用导电组成物而形成的像素电极的薄层电阻(sheet resistance)为 $10000 \Omega/\square$ 以下,波长 550nm 中的透光率为 70% 以上。另外,包含在导电组成物中的导电高分子的电阻率为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0166] 作为导电高分子,可以使用所谓的 π 电子共轭系统导电高分子。例如,可以举出

聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或这些两种以上的共聚物等。

[0167] 这里,作为像素电极 77,在通过溅射法形成铟锡氧化物膜之后将抗蚀剂涂敷在铟锡氧化物膜上。接着,通过利用第五光掩模对抗蚀剂进行曝光及显影,以形成抗蚀剂掩模。然后,使用抗蚀剂掩模蚀刻铟锡氧化物膜,以形成像素电极 77。

[0168] 通过上述步骤,可以形成适用于显示装置的元件衬底。

[0169] 实施方式 2

[0170] 在本实施方式中,示出适合形成构成实施方式 1 所示的 TFT 的栅极绝缘膜、微晶半导体膜、n+ 层的多室式等离子体 CVD 设备的一个例子。

[0171] 图 10 示出具有多个反应室的多室式 CVD 设备的一个例子。该设备包括公共室 123、装载 / 卸载室 122、第一反应室 100a、第二反应室 100b、第三反应室 100c。被放在装载 / 卸载室 122 的盒子 124 中的衬底由公共室 123 的搬运机构 126 搬出 / 搬入到各反应室,并采用单片方式。在公共室 123 和各室之间设置有闸阀 125,以不使在各反应室中的处理相互干涉。

[0172] 各反应室根据所形成的薄膜种类而区分。例如,在第一反应室 100a 中形成绝缘膜如栅极绝缘膜,在第二反应室 100b 中形成用作沟道的微晶半导体层,并在第三反应室 100c 中层叠缓冲层、用作源极及漏极的一导电类型杂质半导体层。当然,反应室的个数不局限于此,可以根据需要任意增加或减少。另外,可以在一个反应室中形成一个膜,或者在一个反应室中形成多个膜。

[0173] 作为其他例子,可以在第一反应室 100a 中形成绝缘膜如栅极绝缘膜,在第二反应室 100b 中形成用作沟道的微晶半导体层和缓冲层,并在第三反应室 100c 中形成用作源极及漏极的一导电类型杂质半导体层。

[0174] 在各反应室中,连接有涡轮分子泵 119 和干泵 120 作为排气单元。排气单元不局限于上述真空泵的组合,只要能够排气到大约 10^{-5} Pa 至 10^{-1} Pa 的真空度,就可以使用其他真空泵。另外,形成微晶半导体膜的第二反应室 100b 连接有低温泵 121,以排气到超高真空。在排气单元和各反应室之间设置有蝶阀 117,由此可以遮断真空排气,并且由导阀 118 控制排气速度,以调整各反应室的压力。注意,图 10 所示的排气单元的组合只是一个例子,对其没有特别的限制。

[0175] 气体供给单元 108 包括填充有工艺用气体如半导体材料气体或稀有气体的气瓶 110、截止阀 112、质量流量控制器 113 等。气体供给单元 108g 连接到第一反应室 100a,并提供用来形成栅极绝缘膜的气体。气体供给单元 108i 连接到第二反应室 100b,并提供微晶半导体膜用气体。气体供给单元 108n 连接到第三反应室 100c,例如提供 n 型半导体膜用气体。气体供给单元 108a 提供氩,而气体供给单元 108f 提供用来净化反应室内的蚀刻气体,它们是在各反应室之间共同使用的。

[0176] 用来产生辉光放电等离子体的高频电力供给单元 103 连接到各反应室。高频电力供给单元 103 包括高频电源和匹配器。在此情况下,通过与实施方式 1 同样地使用第一高频电源 104、第二高频电源 105、第一匹配器 106 和第二匹配器 107 构成高频电力供给单元 103,可以形成均匀性高的薄膜。等离子体 CVD 设备的结构根据各种玻璃衬底的尺寸(第一代的 $300\text{mm} \times 400\text{mm}$ 、第二代的 $400\text{mm} \times 500\text{mm}$ 、第三代的 $550\text{mm} \times 650\text{mm}$ 、第四代的 $730\text{mm} \times 920\text{mm}$ 、第五代的 $1000\text{mm} \times 1200\text{mm}$ 、第六代的 $2450\text{mm} \times 1850\text{mm}$ 、第七代

的 1870mm×2200mm、第八代的 2000mm×2400mm、第九代的 2450mm×3050mm、第十代的 2850mm×3050mm 等) 而设定,从而可以在具有任何尺寸的衬底上形成均匀性高的薄膜。

[0177] 如本实施方式所示,使用多个图 10 所示的反应室,该多个反应室由公共室连接,从而可以不接触大气地层叠多个不相同的层。

[0178] 本实施方式可以与实施方式 1 自由地组合。

[0179] 实施方式 3

[0180] 在本实施方式中,参照图 11 说明采用与实施方式 2 所示的图 10 不相同的多室式 CVD 设备的薄膜晶体管的制造步骤。图 10 是具有三个反应室的设备,而图 11 是具有四个反应室的多室式 CVD 设备的俯视图。

[0181] 图 11 示出对图 10 所示的多室式 CVD 设备提供第四反应室 100d 的结构。在图 11 中,对与图 10 相同的部分使用同一附图标记,省略详细说明。另外,图 11 所示的排气单元的组合只是一个例子,对其没有特别的限制。

[0182] 气体供给单元 108b 连接到第四反应室 100d。高频电力供给单元和排气单元的结构与图 10 相同。各反应室可以根据所形成的薄膜种类而区分。例如,可以在第一反应室 100a 中形成绝缘膜如栅极绝缘膜,在第二反应室 100b 中形成用作沟道的微晶半导体层,在第四反应室 100d 中形成保护沟道形成用半导体层的缓冲层,并在第三反应室 100c 中形成用作源极及漏极的一导电类型杂质半导体层。每个薄膜具有最合适的成膜温度(也称为衬底温度),因此可以通过分别使用各反应室容易管理成膜温度。再者,由于能够反复形成相同种类的膜,所以可以消除由成膜导致的残留杂质物的影响。

[0183] 在图 11 中,开关 127 设置于第二反应室 100b,以控制第一高频电力和第二高频电力的引入。通过控制开关 127 的导通及截止,可以改变重叠的输出波形。例如,在开关 127 中的双方都处于导通状态时呈现图 7 所示的输出波形,而在开关 127 中的单方反复进行导通及截止时呈现图 8 所示的输出波形。

[0184] 如上所述,通过设置开关 127,可以扩大成膜条件的调整幅度。例如,可以在通过施加第一高频电力和第二高频电力中的双方形成微晶半导体膜之后,施加第一高频电力和第二高频电力中的单方来层叠缓冲层。

[0185] 本实施方式可以与实施方式 1 或 2 自由地组合。

[0186] 实施方式 4

[0187] 下面,参照图 12A 至图 16C 说明与实施方式 1 不相同的薄膜晶体管的制造方法。这里,示出通过采用其光掩模个数比实施方式 1 少的工艺制造薄膜晶体管的步骤。

[0188] 与实施方式 1 所示的图 1A 同样地,在衬底 50 上形成导电膜,并通过使用抗蚀剂掩模蚀刻导电膜的一部分,以形成栅电极 51。该抗蚀剂掩模通过在导电膜上涂敷抗蚀剂并进行利用第一光掩模的光刻步骤而形成。这里,与实施方式 1 不相同,示出导电膜由单层构成的例子。然后,通过使用图 6 所示的等离子体 CVD 设备,在栅电极 51 上依次形成栅极绝缘膜 52a、52b 及 52c。

[0189] 接着,与实施方式 1 所示的图 1B 同样地,在第一成膜条件下形成微晶半导体膜 23。接着,通过在相同的处理室中以第二成膜条件成膜,与实施方式 1 中的图 1C 同样地使用图 6 所示的等离子体 CVD 设备形成微晶半导体膜 53。然后,与实施方式 1 中的图 1D 同样地,在微晶半导体膜 53 上依次形成缓冲层 54、添加有赋予一导电类型的杂质的半导体膜 55。

[0190] 接着,在添加有赋予一导电类型的杂质的半导体膜 55 上形成导电膜 65a 至 65c。然后,如图 13A 所示,在导电膜 65a 上涂敷抗蚀剂 80。

[0191] 抗蚀剂 80 可以使用正型抗蚀剂或负型抗蚀剂。这里,使用正型抗蚀剂。

[0192] 然后,通过使用多灰度掩模 59 作为第二光掩模,将光照射到抗蚀剂 80,以对抗蚀剂 80 进行曝光。

[0193] 这里,参照图 12A 至 12D 说明利用多灰度掩模 59 的曝光。

[0194] 多灰度掩模指的是能够设定三个曝光水平的掩模,该三个曝光水平为曝光部分、中间曝光部分、以及未曝光部分。通过进行一次的曝光及显影步骤,可以形成具有多个(典型为两种)厚度区域的抗蚀剂掩模。因此,通过使用多灰度掩模,可以减少光掩模个数。

[0195] 作为多灰度掩模的典型例子,可以举出图 12A 所示的灰度掩模 59a、以及图 12C 所示的半色调掩模 59b。

[0196] 如图 12A 所示,灰度掩模 59a 由具有透光性的衬底 163、形成在其上的遮光部 164、以及衍射光栅 165 构成。在遮光部 164 中,光的透过率为 0%。另一方面,衍射光栅 165 可以通过将狭缝、点、网眼等的光透过部的间隔设定为用于曝光的光的分辨率限度以下的间隔来控制光的透过率。周期性狭缝、点、网眼、以及非周期性狭缝、点、网眼都可以用于衍射光栅 165。

[0197] 作为具有透光性的衬底 163,可以使用石英等的具有透光性的衬底。遮光部 164 及衍射光栅 165 可以由铬或氧化铬等的吸收光的遮光材料构成。

[0198] 将光照射到灰度掩模 59a 的情况下,如图 12B 所示,在遮光部 164 中,光透过率 166 为 0%,而在不设置有遮光部 164 及衍射光栅 165 的区域中,光透过率 166 为 100%。另外,在衍射光栅 165 中,可以将光透过率调整为 10 至 70% 的范围内。衍射光栅 165 中的光透过率可以通过调整衍射光栅的狭缝、点、或网眼的间隔及栅距而控制。

[0199] 如图 12C 所示,半色调掩模 59b 由具有透光性的衬底 163、形成在其上的半透过部 167、以及遮光部 168 构成。半透过部 167 可以使用 MoSiN、MoSi、MoSiO₂、MoSiON、CrSi 等。遮光部 168 可以由铬或氧化铬等的吸收光的遮光材料构成。

[0200] 将光照射到半色调掩模 59b 的情况下,如图 12D 所示,在遮光部 168 中,光透过率 169 为 0%,而在不设置有遮光部 168 及半透过部 167 的区域中,光透过率 169 为 100%。另外,在半透过部 167 中,可以将光透过率调整为 10 至 70% 的范围内。半透过部 167 中的光透过率可以根据半透过部 167 的材料而调整。

[0201] 通过在使用多灰度掩模进行曝光之后进行显影,可以如图 13B 所示那样形成具有不相同的厚度区域的抗蚀剂掩模 81。

[0202] 接着,通过使用抗蚀剂掩模 81 将微晶半导体膜 53、缓冲层 54、添加有赋予一导电类型的杂质的半导体膜 55、以及导电膜 65a 至 65c 蚀刻并分离。其结果是,如图 14A 所示那样形成微晶半导体膜 61、缓冲层 62、添加有赋予一导电类型的杂质的半导体膜 63、以及导电膜 85a 至 85c。图 14A 相当于沿图 16A 的 A-B 线的截面图(抗蚀剂掩模 86 以外)。

[0203] 然后,对抗蚀剂掩模 81 进行灰化处理。其结果是,抗蚀剂的面积缩小,其厚度变薄。此时,厚度薄的区域的抗蚀剂(与栅电极 51 的一部分重叠的区域)被去除,由此如图 14A 所示,可以形成被分离的抗蚀剂掩模 86。

[0204] 接着,通过使用抗蚀剂掩模 86 将导电膜 85a 至 85c 蚀刻并分离。其结果是,如图

14B 所示那样可以形成一对源电极及漏电极 92a 至 92c。通过使用抗蚀剂掩模 86 对导电膜 85a 至 85c 进行湿蚀刻,导电膜 85a 至 85c 被选择性地蚀刻。其结果是,由于以各向同性的方式蚀刻导电膜而可以形成其面积比抗蚀剂掩模 86 小的源电极及漏电极 92a 至 92c。

[0205] 然后,通过使用抗蚀剂掩模 86 蚀刻添加有赋予一导电类型的杂质的半导体膜 63,形成一对源区及漏区 88。注意,在该蚀刻步骤中,缓冲层 62 的一部分也被蚀刻。将其一部分被蚀刻的缓冲层称为缓冲层 87。另外,在缓冲层 87 中形成有凹部。可以以同一步骤形成源区及漏区、以及缓冲层的凹部(槽)。这里,由于通过使用其面积比抗蚀剂掩模 81 小的抗蚀剂掩模 86 蚀刻缓冲层 87 的一部分,所以缓冲层 87 向源区及漏区 88 的外侧突出。然后,去除抗蚀剂掩模 86。另外,源电极及漏电极 92a 至 92c 的端部与源区及漏区 88 的端部不一致且彼此错开,并在源电极及漏电极 92a 至 92c 的端部的内侧形成有源区及漏区 88 的端部。

[0206] 图 14C 相当于沿图 16B 的 A-B 线的截面图。如图 16B 所示,源区及漏区 88 的端部位于源电极及漏电极 92c 的端部的内侧。另外,缓冲层 87 的端部位于源电极及漏电极 92c、源区及漏区 88 的端部的内侧。源电极及漏电极中的一方具有包围源区及漏区中的另一方的形状(具体地说,U 字形状、C 字形状)。因此,可以增加载流子移动的区域面积,从而电流量可以增大,并可以缩小薄膜晶体管的面积。另外,由于微晶半导体膜、源电极及漏电极层叠在栅电极上,所以栅电极的凹凸所引起的负面影响少,而可以抑制覆盖度的降低及泄漏电流的产生。注意,源电极及漏电极中的一方还用作源极布线或漏极布线。

[0207] 如图 14C 所示,源电极及漏电极 92a 至 92c 的端部与源区及漏区 88 的端部不一致且彼此错开,从而源电极及漏电极 92a 至 92c 的端部的距离增大,从而可以防止源电极及漏电极之间的泄漏电流或短路。另外,由于源电极及漏电极 92a 至 92c 的端部与源区及漏区 88 的端部不一致且彼此错开,所以在源电极及漏电极 92a 至 92c 和源区及漏区 88 的端部中不发生电场集中,从而可以防止栅电极 51 和源电极及漏电极 92a 至 92c 之间的泄漏电流。由此,可以制造高可靠性及高耐压的薄膜晶体管。

[0208] 通过上述步骤,可以形成薄膜晶体管 83。另外,通过使用两个光掩模,可以形成薄膜晶体管。

[0209] 如图 15A 所示,在源电极及漏电极 92a 至 92c、源区及漏区 88、缓冲层 87、微晶半导体膜 90、以及栅极绝缘膜 52c 上形成绝缘膜 76。绝缘膜 76 可以与栅极绝缘膜 52a、52b 及 52c 同样地形成。

[0210] 然后,通过使用利用第三光掩模而形成的抗蚀剂掩模蚀刻绝缘膜 76 的一部分,形成接触孔。接着,形成在该接触孔中与源电极或漏电极 92c 接触的像素电极 77。这里,作为像素电极 77,在通过溅射法形成铟锡氧化物膜之后将抗蚀剂涂敷在铟锡氧化物膜上。接着,通过利用第四光掩模对抗蚀剂进行曝光及显影,以形成抗蚀剂掩模。然后,使用抗蚀剂掩模蚀刻铟锡氧化物膜,以形成像素电极 77。图 15B 相当于沿图 16C 的 A-B 线的截面图。

[0211] 通过上述步骤,可以使用多灰度掩模来减少掩模个数,并可以形成适用于显示装置的元件衬底。

[0212] 本实施方式可以与实施方式 1 至 3 中的任何一个自由地组合。

[0213] 实施方式 5

[0214] 在本实施方式中,示出具有实施方式 1 所示的薄膜晶体管的液晶显示装置作为显

示装置的一个方式。

[0215] 首先,对 VA(Vertical Alignment:垂直取向)型液晶显示装置进行描述。VA 型液晶显示装置是指一种控制液晶面板的液晶分子的排列的方式。VA 型液晶显示装置是当没有施加电压时液晶分子朝垂直于面板表面的方向的方式。在本实施方式中,特别地,将像素分成几个区域(子像素),并分别将分子向不同的方向推倒。这称为多区域(multi domain)化或多区域设计。在下面的说明中,对考虑多区域设计的液晶显示装置进行说明。

[0216] 图 18 及图 19 分别示出像素电极及相对电极。图 18 是形成有像素电极的衬底一侧的平面图,并将沿 A-B 线的截面结构示出于图 17。图 19 是形成有相对电极的衬底一侧的平面图。下面,参照这些附图进行说明。

[0217] 图 17 示出衬底 600 和相对衬底 601 重叠且注入了液晶的状态,在该衬底 600 上形成有 TFT628、与 TFT628 连接的像素电极 624、以及保持电容部 630,并在该相对衬底 601 上形成有相对电极 640 等。

[0218] 在相对衬底 601 的形成间隔物 642 的位置上形成有遮光膜 632、第一着色膜 634、第二着色膜 636、第三着色膜 638、以及相对电极 640。通过该结构,用于控制液晶取向的突起 644 和间隔物 642 的高度彼此不同。在像素电极 624 上形成有取向膜 648,与此同样地在相对电极 640 上形成有取向膜 646。在此之间形成有液晶层 650。

[0219] 至于间隔物 642,这里示出柱状间隔物,但是也可以散布珠状间隔物。再者,可以在形成在衬底 600 上的像素电极 624 上形成间隔物 642。

[0220] 在衬底 600 上形成有 TFT628、与它连接的像素电极 624、以及保持电容部 630。像素电极 624 通过贯穿覆盖 TFT628、布线及保持电容部 630 的绝缘膜 620、覆盖绝缘膜的第三绝缘膜 622 的接触孔 623 连接到布线 618。可以将实施方式 1 所示的薄膜晶体管适用于 TFT628。另外,保持电容部 630 由与 TFT628 的栅极布线 602 同样地形成的第一电容布线 604、栅极绝缘膜 606、以及与布线 616 及 618 同样地形成的第二电容布线 617 构成。

[0221] 像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成液晶元件。

[0222] 图 18 示出衬底 600 上的结构。像素电极 624 通过使用实施方式 1 所示的材料来形成。在像素电极 624 中设置有狭缝 625。狭缝 625 是为了控制液晶取向的。

[0223] 图 18 所示的 TFT629、与它连接的像素电极 626 及保持电容部 631 可以与 TFT628、像素电极 624 及保持电容部 630 同样地形成。TFT628 和 TFT629 都连接到布线 616。所述液晶面板的像素由像素电极 624 及像素电极 626 构成。像素电极 624 及像素电极 626 是子像素。

[0224] 图 19 示出相对衬底一侧的结构。在遮光膜 632 上形成有相对电极 640。相对电极 640 优选由与像素电极 624 同样的材料构成。在相对电极 640 上形成有用于控制液晶取向的突起 644。另外,根据遮光膜 632 的位置形成有间隔物 642。

[0225] 图 20 示出上述像素结构的等效电路。TFT628 和 TFT629 都连接到栅极布线 602、布线 616。在此情况下,通过使电容布线 604 和电容布线 605 的电位不相同,可以使液晶元件 651 和液晶元件 652 进行不同的动作。就是说,通过分别控制电容布线 604 和电容布线 605 的电位,来精密地控制液晶的取向并且扩大视角。

[0226] 当对设置有狭缝 625 的像素电极 624 施加电压时,在狭缝 625 附近发生电场的应变(倾斜电场)。通过互相咬合地配置所述狭缝 625 和相对衬底 601 一侧的突起 644,有效

地产生倾斜电场来控制液晶的取向,从而根据其位置使液晶具有彼此不同的取向方向。就是说,通过进行多区域化来扩大液晶面板的视角。

[0227] 参照图 21 至图 24 说明与上述不同的 VA 型液晶显示装置。

[0228] 图 21 及图 22 示出 VA 型液晶面板的像素结构。图 22 是衬底 600 的平面图,而图 21 示出沿 Y-Z 线的截面结构。下面,参照上述两个附图进行说明。

[0229] 在该像素结构中,一个像素具有多个像素电极,并且各个像素电极连接到 TFT。各个 TFT 由不同的栅极信号驱动。就是说,在以多区域方式设计的像素中,具有独立控制施加到各个像素电极的信号的结构。

[0230] 像素电极 624 在接触孔 623 中通过布线 618 连接到 TFT628。像素电极 626 在接触孔 627 中通过布线 619 连接到 TFT629。TFT628 的栅极布线 602 和 TFT629 的栅极布线 603 彼此分离,以便能够提供不同的栅极信号。另一方面,TFT628 和 TFT629 共同使用用作数据线的布线 616。可以适当地使用实施方式 1 所示的薄膜晶体管作为 TFT628 和 TFT629。

[0231] 像素电极 624 和像素电极 626 具有不同的形状,并且被狭缝 625 彼此分离。像素电极 626 被形成围绕呈 V 字状扩大的像素电极 624 的外侧。通过使用 TFT628 及 TFT629 使施加到像素电极 624 和像素电极 626 的电压时序不相同,来控制液晶的取向。图 24 示出了该像素结构的等效电路。TFT628 连接到栅极布线 602,而 TFT629 连接到栅极布线 603。通过对栅极布线 602 和栅极布线 603 施加不同的栅信号,可以使 TFT628 和 TFT629 的动作时序互不相同。

[0232] 在相对衬底 601 上形成有遮光膜 632、第二着色层 636、相对电极 640。此外,第二着色层 636 和相对电极 640 之间形成平坦化膜 637,以便防止液晶取向的错乱。图 23 示出相对衬底一侧的结构。不同的像素共同使用相对电极 640,并且该相对电极 640 形成有狭缝 641。通过互相咬合地配置所述狭缝 641 和像素电极 624 及像素电极 626 一侧的狭缝 625,可以有效地产生倾斜电场来控制液晶的取向。由此,可以根据其位置使液晶具有彼此不同的取向方向,从而扩大视角。

[0233] 像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成第一液晶元件。像素电极 626、液晶层 650、以及相对电极 640 重叠,从而形成第二液晶元件。另外,采用在一个像素中设置有第一液晶元件及第二液晶元件的多区域化结构。

[0234] 下面,示出横向电场方式的液晶显示装置。横向电场方式是指通过对单元内的液晶分子沿水平方向施加电场来驱动液晶以便显示灰度的方式。通过横向电场方式,可以使视角增大到大约 180 度。在下面的说明中,对采用横向电场方式的液晶显示装置进行说明。

[0235] 图 25 示出衬底 600 和相对衬底 601 重叠且注入了液晶的状态,在该衬底 600 上形成有 TFT628 及与它连接的像素电极 624,而在该相对衬底 601 上形成有遮光膜 632、第二着色膜 636、以及平坦化膜 637 等。由于在衬底 600 上形成有像素电极,所以不在相对衬底 601 上设置有像素电极。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0236] 在衬底 600 上形成有第一像素电极 607、与第一像素电极 607 连接的电容布线 604、以及实施方式 1 所示的 TFT628。第一像素电极 607 可以使用与实施方式 1 所示的像素电极 77 同样的材料。另外,第一像素电极 607 形成为大致分割成像素形状的形状。栅极绝缘膜 606 形成在第一像素电极 607 及电容布线 604 上。

[0237] 在栅极绝缘膜 606 上形成 TFT628 的布线 616 及 618。布线 616 是在液晶面板中传

送视频信号的数据线,并是沿一个方向延伸的布线,并且它与源区 610 连接而成为源极及漏极中的一方电极。布线 618 成为源极及漏极中的另一方电极,它是与第二像素电极 624 连接的布线。

[0238] 第二绝缘膜 620 形成在布线 616 及 618 上。另外,在绝缘膜 620 上,形成通过形成在绝缘膜 620 中的接触孔连接到布线 618 的第二像素电极 624。像素电极 624 由与实施方式 1 所示的像素电极 77 同样的材料构成。

[0239] 如上所述,在衬底 600 上形成 TFT628、以及与它连接的第二像素电极 624。另外,保持电容形成在第一像素电极 607 和第二像素电极 624 之间。

[0240] 图 26 是示出像素电极的结构平面图。在第二像素电极 624 中设置狭缝 625。该狭缝 625 用来控制液晶的取向。在此情况下,电场发生在第一像素电极 607 和第二像素电极 624 之间。在第一像素电极 607 和第二像素电极 624 之间形成有栅极绝缘膜 606,但是栅极绝缘膜 606 的厚度为 50 至 200nm,该厚度与 2 至 10 μm 的液晶层的厚度相比十分薄,因此沿平行于衬底 600 的方向(水平方向)发生电场。该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下,由于液晶分子在任何状态下也处于水平,所以根据观看角度的对比度等的影响很少,从而增大视角。而且,第一像素电极 607 和第二像素电极 624 都是透光电极,因此可以提高开口率。

[0241] 下面,示出横向电场方式的液晶显示装置的其它例子。

[0242] 图 27 及图 28 示出 IPS 型液晶显示装置的像素结构。图 28 是平面图,而图 27 示出沿 A-B 线的截面结构。下面,参照上述两个附图进行说明。

[0243] 图 27 示出衬底 600 和相对衬底 601 重叠且注入了液晶的状态,在该衬底 600 上形成有 TFT628 及与它连接的像素电极 624,而在该相对衬底 601 上形成有遮光膜 632、第二着色膜 636、以及平坦化膜 637 等。由于在衬底 600 上形成有像素电极,所以不在相对衬底 601 上设置有像素电极。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0244] 在衬底 600 上形成有公共电位线 609、以及实施方式 1 所示的 TFT628。公共电位线 609 可以与薄膜晶体管 628 的栅极布线 602 同时形成。另外,像素电极 624 形成为大致分割成像素形状的形状。

[0245] TFT628 的布线 616 及 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线,并是沿一个方向延伸的布线,并且它与源区 610 连接而成为源极及漏极中的一方电极。布线 618 成为源极及漏极中的另一方电极,它是与像素电极 624 连接的布线。

[0246] 第二绝缘膜 620 形成在布线 616 及 618 上。另外,在绝缘膜 620 上,形成通过形成在绝缘膜 620 中的接触孔 623 连接到布线 618 的像素电极 624。像素电极 624 由与实施方式 1 所示的像素电极 77 同样的材料构成。如图 28 所示,像素电极 624 形成为与在形成公共电位线 609 时一同形成的梳形电极产生横向电场。而且,像素电极 624 的梳齿部分和在形成公共电位线 609 时一同形成的梳形电极互相咬合。

[0247] 当在施加到像素电极 624 的电位和公共电位线 609 的电位之间产生电场时,该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下,由于液晶分子在任何状态下也处于水平,所以根据观看角度的对比度等的影响很少,从而增大视角。

[0248] 如上所述,在衬底 600 上形成 TFT628、以及与它连接的像素电极 624。另外,保持电容通过在公共电位线 609 和电容电极 615 之间形成栅极绝缘膜 606 而形成。电容电极 615 和像素电极 624 通过接触孔 633 连接。

[0249] 下面,示出 TN 型液晶显示装置的方式。

[0250] 图 29 及图 30 示出 TN 型液晶显示装置的像素结构。图 30 是平面图,而图 29 示出沿 A-B 线的截面结构。下面,参照上述两个附图进行说明。

[0251] 像素电极 624 在接触孔 623 中通过布线 618 连接到 TFT628。用作数据线的布线 616 与 TFT628 连接。TFT628 可以适当地使用实施方式 1 所示的任何 TFT。

[0252] 像素电极 624 通过使用实施方式 1 所示的像素电极 77 而形成。

[0253] 在相对衬底 601 上形成有遮光膜 632、第二着色膜 636、以及相对电极 640。而且,在第二着色膜 636 和相对电极 640 之间形成有平坦化膜 637,以防止液晶的取向混乱。液晶层 650 形成在像素电极 624 和相对电极 640 之间。

[0254] 像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成液晶元件。

[0255] 另外,可以在衬底 600 或相对衬底 601 上形成有彩色滤光片或用来防止向错(disclination)的遮蔽膜(黑矩阵)等。而且,将偏振片贴合在与衬底 600 的形成有薄膜晶体管的面相反一侧的面上,并将偏振片贴合在与相对衬底 601 的形成有相对电极 640 的面相反一侧的面上。

[0256] 相对电极 640 可以适当地使用与像素电极 624 同样的材料。像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成液晶元件。

[0257] 通过上述步骤,可以制造液晶显示装置。本实施方式的液晶显示装置使用截止电流少、电特性良好、以及可靠性高的薄膜晶体管,因此该液晶显示装置的对比度高且可见度高。另外,通过使用图 6 所示的等离子体 CVD 设备并提供不引起表面驻波影响的高频电力和属于 VHF 频带的高频电力来产生等离子体,从而可以在其长边超过 2000mm 的大面积衬底上形成均匀且膜质量高的薄膜,因此可以抑制液晶显示装置的电特性的不均匀,可以实现大量生产。

[0258] 实施方式 6

[0259] 下面,参照图 13A 至图 15B、图 31A 和 31B、以及图 32A 至 32C 说明发光装置作为显示装置的一个方式。这里,以利用电致发光的发光元件示出发光装置。利用电致发光的发光元件是以发光材料是有机化合物还是无机化合物来区分的。一般,前者称为有机 EL 元件而后者称为无机 EL 元件。

[0260] 关于有机 EL 元件,当电压施加到发光元件时,电子和空穴从一对电极注入到包含发光有机化合物的层中,并电流流动。而且,通过那些载流子(电子和空穴)复合,发光有机化合物形成激发态,并且当该激发态返回基态时发出光。由于这种机制,将这种发光元件称为电流激发发光元件。

[0261] 无机 EL 元件根据其元件结构,被分为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件具有将发光材料的粒子分散在粘结剂中的发光层,其发光机制为利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机 EL 元件具有以电介质层夹住发光层并且它被电极夹住的结构,其发光机制为利用金属离子的内壳层电子跃迁的局部存在型发光。这里,举出有机 EL 元件作为发光元件进行说明。另外,举出实施方式 1 的薄膜

晶体管作为控制发光元件的驱动的薄膜晶体管。使用根据实施方式 1 而获得的薄膜晶体管的发光装置可以抑制薄膜晶体管的阈值的变动,从而可以提高可靠性。尤其是,对于发光装置的薄膜晶体管进行直流驱动,因此其栅极绝缘膜由三个层,即作为第一层的氮化硅膜、作为第二层的氧氮化硅膜、作为第三层的氮化硅膜构成的实施方式 1 的薄膜晶体管能够主要以作为第二层的氧氮化硅膜抑制阈值的漂移。

[0262] 通过图 13A 至图 15B 所示的步骤,如图 31A 和 31B 所示那样在衬底 50 上形成薄膜晶体管 83,并在薄膜晶体管 83 上形成用作保护膜的绝缘膜 87。另外,还在驱动电路 12 中形成薄膜晶体管 84。薄膜晶体管 84 可以以与像素部 11 的薄膜晶体管 83 相同的步骤形成。接着,在绝缘膜 87 上形成平坦化膜 93,并在平坦化膜 93 上形成与薄膜晶体管 83 的源电极或漏电极连接的像素电极 94。

[0263] 平坦化膜 93 优选使用丙烯酸、聚酰亚胺、聚酰胺等有机树脂、或硅氧烷而形成。

[0264] 在图 31A 中,因为像素部 11 的薄膜晶体管为 n 型,所以作为像素电极 94 优选使用阴极,与此相反,当像素部 11 的薄膜晶体管为 p 型时,优选使用阳极。具体而言,作为阴极可以使用功函数小的已知的材料如钙、铝、氟化钙、镁银合金、锂铝合金等。

[0265] 其次,如图 31B 所示,在平坦化膜 93 及像素电极 94 的端部上形成隔离墙 91。隔离墙 91 具有开口部,在该开口部中露出像素电极 94。隔离墙 91 使用有机树脂膜、无机绝缘膜、或有机聚硅氧烷而形成。尤其是,优选使用感光性的材料,并在像素电极上形成开口部,该开口部的侧壁具有以连续的曲率形成的倾斜面。

[0266] 其次,以在隔离墙 91 的开口部中接触像素电极 94 的方式形成发光层 95。发光层 95 既可以由单独层构成,又可以由多层的叠层构成。

[0267] 以覆盖发光层 95 的方式形成使用阳极的共同电极 96。共同电极 96 可以通过使用由在实施方式 1 中作为像素电极 77 举出的具有透光性的导电材料构成的透光导电膜而形成。作为共同电极 96,上述透光导电膜之外,还可以使用氮化钛膜或钛膜。在图 31B 中,作为共同电极 96 使用铟锡氧化物。在隔离墙 91 的开口部中,通过像素电极 94、发光层 95、共同电极 96 彼此重叠,形成发光元件 98。然后,优选在共同电极 96 及隔离墙 91 上形成保护膜 97,以便防止氧、氢、水分、二氧化碳等浸入到发光元件 98 中。作为保护膜 97,可以形成氮化硅膜、氮氧化硅膜、DLC 膜等。

[0268] 再者,实际上当完成图 31B 的工序时,为了不被暴露于空气,优选由气密性高且脱气少的保护薄膜(层压薄膜、紫外线硬化树脂薄膜等)或覆盖材料来封装(密封)。

[0269] 接下来,对发光元件的结构将参照图 32A 至 32C 进行说明。在此,举出驱动 TFT 为 n 型的情况作为一例,对像素的截面结构进行说明。

[0270] 为了取出发光,发光元件的阳极和阴极中的至少一个是透明的即可。薄膜晶体管及发光元件形成在衬底上。存在具有顶部发射结构、底部发射结构和双面发射结构的发光元件,其中顶部发射结构通过与衬底相对表面取出发射的光,其中底部发射结构通过衬底一侧的表面取出发射的光,其中双面发射结构通过衬底一侧的表面和与衬底相对表面取出发射的光。本发明的像素结构可以应用于具有任一种发射结构的发光元件。

[0271] 对具有顶部发射结构的发光元件参照图 32A 进行说明。

[0272] 在图 32A 中示出当驱动 TFT7001 为 n 型且从发光元件 7002 发射的光传输到阳极 7005 一侧时的像素的截面图。在图 32A 中,发光元件 7002 的阴极 7003 和驱动 TFT7001 电

连接,并且在阴极 7003 上按顺序层叠有发光层 7004、阳极 7005。阴极 7003 只要是功函数小且反射光的导电膜,可以使用已知的材料。例如,优选使用钙、铝、氟化钙、镁银合金、锂铝合金等。发光层 7004 既可以由单独层构成,又可以由多层的叠层构成。在由多层构成的情况下,在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意,不需要一定设置所有的这些层。阳极 7005 使用透过光的透光导电材料而形成,例如也可以使用具有透光性的导电膜如含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物、铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0273] 由阴极 7003 及阳极 7005 夹有发光层 7004 的区域相当于发光元件 7002。在图 32A 所示的像素中,如空心箭头所示,从发光元件 7002 发射的光发射到阳极 7005 一侧。

[0274] 接下来,对具有底部发射结构的发光元件将参照图 32B 进行说明。图 32B 示出当驱动 TFT7011 为 n 型且从发光元件 7012 发射的光发射到阴极 7013 一侧时的像素的截面图。在图 32B 中,在与驱动 TFT7011 电连接的透光导电材料 7017 上形成有发光元件 7012 的阴极 7013,在阴极 7013 上按顺序层叠有发光层 7014、阳极 7015。注意,在阳极 7015 具有透光性的情况下,可以以覆盖阳极上的方式形成有用于反射光或遮光的屏蔽膜。与图 32A 相同,阴极 7013 只要是功函数小的导电膜,可以使用已知的材料。注意,将其膜厚度设定为透过光的膜厚度(优选大约为 5nm 至 30nm)。例如,可以使用膜厚度为 20nm 的 Al 作为阴极 7013。而且,与图 32A 相同,发光层 7014 既可以由单独层构成,又可以由多层的叠层构成。阳极 7015 不必要透过光,但是与图 32A 相同,可以使用透光导电材料而形成。屏蔽膜可以使用如反射光的金属等,但是不局限于金属膜。例如,也可以使用添加黑色颜料的树脂等。

[0275] 由阴极 7013 及阳极 7015 夹有发光层 7014 的区域相当于发光元件 7012。在图 32B 所示的像素中,如空心箭头所示,从发光元件 7012 发射的光发射到阴极 7013 一侧。

[0276] 其次,对具有双面发射结构的发光元件,使用图 32C 进行说明。在图 32C 中,在与驱动 TFT7021 电连接的透光导电材料 7027 上形成有发光元件 7022 的阴极 7023,在阴极 7023 上按顺序层叠有发光层 7024、阳极 7025。与图 32A 相同,阴极 7023 只要是功函数小的导电膜,可以使用已知的材料。注意,将其膜厚度设定为透过光的膜厚度。例如,可以使用膜厚度为 20nm 的 Al 作为阴极 7023。而且,与图 32A 相同,发光层 7024 既可以由单独层构成,又可以由多层的叠层构成。与图 32A 相同,阳极 7025 可以使用透过光的透光导电材料而形成。

[0277] 阴极 7023、发光层 7024、阳极 7025 彼此重叠的区域相当于发光元件 7022。在图 32C 所示的像素中,如空心箭头所示,从发光元件 7022 发射的光发射到阳极 7025 一侧和阴极 7023 一侧的双方。

[0278] 这里,说明了有机 EL 元件作为发光元件,但是也可以设置无机 EL 元件作为发光元件。

[0279] 注意,虽然在本实施方式中示出控制发光元件的驱动的薄膜晶体管(驱动 TFT)和发光元件电连接的一例,但是也可以采用在驱动 TFT 和发光元件之间连接有电流控制 TFT 的结构。

[0280] 注意,本实施方式所示的发光装置不限于图 32A 至 32C 所示的结构,而基于本发明的技术思想可以实现各种各样的变形。

[0281] 通过上述步骤,可以制造发光装置。本实施方式的发光装置使用截止电流少、电特性良好、以及可靠性高的薄膜晶体管,因此该发光装置的对比度高且可见度高。另外,通过使用图 6 所示的等离子体 CVD 设备并提供不引起表面驻波影响的高频电力和属于 VHF 频段的高频电力来产生等离子体,从而可以在其长边超过 2000mm 的大面积衬底上形成均匀且膜质量高的薄膜,因此可以抑制发光装置的电特性的不均匀,可以实现大量生产。

[0282] 实施方式 7

[0283] 下面,示出作为本发明的显示装置的一个方式的显示面板的结构。

[0284] 在图 33A 中示出另外仅形成信号线驱动电路 6013 且与在衬底 6011 上形成的像素部 6012 连接的显示面板的方式。像素部 6012 及扫描线驱动电路 6014 使用由微晶半导体膜构成的薄膜晶体管而形成。通过由其迁移率高于由微晶半导体膜构成的薄膜晶体管的晶体管形成信号线驱动电路,可以使信号线驱动电路的工作稳定,该信号线驱动电路的驱动频率被要求高于扫描线驱动电路的驱动频率。注意,信号线驱动电路 6013 可以为使用单晶半导体的晶体管、使用多晶半导体的薄膜晶体管、或使用 SOI 的晶体管。电源的电位、各种信号等通过 FPC6015 分别供给给像素部 6012、信号线驱动电路 6013、扫描线驱动电路 6014。

[0285] 注意,也可以将信号线驱动电路及扫描线驱动电路都形成在与像素部相同的衬底上。

[0286] 此外,在另外形成驱动电路的情况下,不一定需要将形成有驱动电路的衬底贴合到形成有像素部的衬底上,也可以如贴合到 FPC 上。在图 33B 中表示另外仅形成信号线驱动电路 6023 且与形成在衬底 6021 上的像素部 6022 及扫描线驱动电路 6024 连接的液晶显示装置面板的方式。像素部 6022 及扫描线驱动电路 6024 通过使用由微晶半导体膜构成的薄膜晶体管而形成。信号线驱动电路 6023 通过 FPC6025 连接到像素部 6022。电源的电位、各种信号等通过 FPC6025 分别供给给像素部 6022、信号线驱动电路 6023、扫描线驱动电路 6024。

[0287] 另外,也可以使用由微晶半导体膜构成的薄膜晶体管在与像素部相同的衬底上仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分,另外形成其他部分且与像素部电连接。在图 33C 中表示将作为信号线驱动电路的一部分的模拟开关 6033a 形成在与像素部 6032、扫描线驱动电路 6034 相同的衬底 6031 上,并且将作为信号线驱动电路的一部分的移位寄存器 6033b 另外形成在不同的衬底上,来彼此贴合的液晶显示装置面板的方式。像素部 6032 及扫描线驱动电路 6034 使用由微晶半导体膜构成的薄膜晶体管而形成。作为信号线驱动电路的一部分的移位寄存器 6033b 通过 FPC6035 连接到像素部 6032。电源的电位、各种信号等通过 FPC6035 分别供给给像素部 6032、信号线驱动电路、扫描线驱动电路 6034。

[0288] 如图 33A 至 33C 所示,可以在与像素部相同的衬底上使用由微晶半导体膜构成的薄膜晶体管形成本发明的液晶显示装置的驱动电路的一部分或全部。

[0289] 注意,对另外形成的衬底的连接方法没有特别的限制,可以使用已知的 COG 方法、引线键合方法、或 TAB 方法等。此外,连接的位置只要是能够电连接,就不限于图 33A 至 33C 所示的位置。另外,也可以另外形成控制器、CPU、存储器等来连接。

[0290] 注意,在本发明中使用的信号线驱动电路不局限于仅具有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关之外,还可以具有缓冲器、电平转移电路、源极跟随器等其他电路。另外,不需要一定设置移位寄存器和模拟开关,例如既可以使用如译码器电路

的可以选择信号线的其他电路代替移位寄存器,又可以使用锁存器等代替模拟开关。

[0291] 图 36 示出本发明的液晶显示装置的框图。图 36 所示的显示装置包括具有多个具备显示元件的像素的像素部 701、选择每个像素的扫描线驱动电路 702、以及控制视频信号输入到被选择的像素的信号线驱动电路 703。

[0292] 在图 36 中信号线驱动电路 703 具有移位寄存器 704、模拟开关 705。对移位寄存器 704 输入时钟信号 (CLK)、起始脉冲信号 (SP)。当输入时钟信号 (CLK) 和起始脉冲信号 (SP) 时,在移位寄存器 704 中生成定时信号,而输入到模拟开关 705。

[0293] 另外,将视频信号 (video signal) 供给给模拟开关 705。根据输入的定时信号,模拟开关 705 取样视频信号,并供给给信号线。

[0294] 接下来,对扫描线驱动电路 702 的结构进行说明。扫描线驱动电路 702 具有移位寄存器 706、缓冲器 707。此外,根据情况也可以具有电平转移电路。在扫描线驱动电路 702 中,通过对移位寄存器 706 输入时钟信号 (CLK) 及起始脉冲信号 (SP) 生成选择信号。生成了的选择信号在缓冲器 707 中被缓冲放大,而供给给对应的扫描线。一条线上的像素所具有的晶体管的栅极连接到扫描线。而且,需要使一条线上的像素的晶体管同时导通,因此采用能够流过大电流的缓冲器 707。

[0295] 关于全彩色液晶显示装置,在将对应于 R(红)、G(绿)、B(蓝)的视频信号按顺序取样而供给给对应的信号线的情况下,用于连接移位寄存器 704 和模拟开关 705 的端子数目相当于用于连接模拟开关 705 和像素部 701 的信号线的端子数目的三分之一左右。因此,通过将模拟开关 705 形成在与像素部 701 相同的衬底上,与将模拟开关 705 形成在与像素部 701 不同的衬底上时相比,可以减少用于连接另外形成的衬底的端子数目,并且抑制连接不良的发生比例,来可以提高成品率。

[0296] 图 36 所示的扫描线驱动电路 702 具有移位寄存器 706 及缓冲器 707,但是扫描线驱动电路 702 也可以由移位寄存器 706 构成。

[0297] 图 36 所示的结构只是本发明的显示装置的一个方式,信号线驱动电路和扫描线驱动电路的结构不局限于此。图 36 所示的电路由使用微晶半导体的晶体管构成的液晶显示装置能够使电路进行高速工作。例如,当对使用非晶半导体膜的情况和使用微晶半导体膜的情况进行比较时,使用微晶半导体膜的晶体管的迁移率高,因此可以提高驱动电路(例如扫描线驱动电路 702 的移位寄存器 706)的驱动频率。由于能够使扫描线驱动电路 702 进行高速工作,所以可以实现提高帧频率或黑屏插入等。

[0298] 在提高帧频率的情况下,优选与图像的运动方向相应地产生屏幕的数据。就是说,优选进行运动补偿来内插数据。像这样,通过提高帧频率并内插图像数据,可以改善动画的显示特性并可以进行平滑的显示。例如,通过将帧频率设定为 2 倍(例如 120Hz、100Hz)以上,更优选为 4 倍(例如 480Hz、400Hz)以上,可以减少动画中的图像模糊或视觉残留。在此情况下,通过还以提高驱动频率的方式使扫描线驱动电路 702 工作,可以提高帧频率。

[0299] 在进行黑屏插入的情况下,采用能够将图像数据或成为黑色显示的数据提供给像素部 701 的方式。其结果是,成为与脉冲驱动类似的方式,并可以减少视觉残留。在此情况下,通过还以提高驱动频率的方式使扫描线驱动电路 702 工作,可以进行黑屏插入。

[0300] 再者,通过增大扫描线驱动电路 702 的晶体管的沟道宽度,或者配置多个扫描线驱动电路,等等,可以实现更高的帧频率。例如,可以将帧频率设定为 8 倍(例如 960Hz、

800Hz) 以上。在配置多个扫描线驱动电路的情况下,通过将用来驱动第偶数行的扫描线的扫描线驱动电路配置在一侧,并将用来驱动第奇数行的扫描线的扫描线驱动电路配置在相反的一侧,可以实现提高帧频率。

[0301] 通过使用由微晶半导体构成的晶体管构成图 36 所示的电路,可以缩小布局面积。由此,可以缩小作为显示装置的一个例子的液晶显示装置的边框。例如,当对使用非晶半导体膜的情况和使用微晶半导体膜的情况进行比较时,使用微晶半导体膜的晶体管的迁移率高,因此可以缩小晶体管的沟道宽度。其结果是,可以实现液晶显示装置的窄边框化。

[0302] 当对使用非晶半导体膜的情况和使用微晶半导体膜的情况进行比较时,在使用微晶半导体膜的情况下不容易退化。因此,在使用微晶半导体膜的情况下,可以缩小晶体管的沟道宽度。或者,即使不配置对退化的补偿用电路,也可以正常地工作。因此,可以缩小每个像素中的晶体管的平面面积。

[0303] 实施方式 8

[0304] 接下来,对相当于本发明的显示装置的一个方式的液晶显示面板的外观及截面,使用图 37A 和 37B 进行说明。图 37A 是通过使用密封剂 4005 将形成在第一衬底 4001 上的具有微晶半导体膜的薄膜晶体管 4010 及液晶元件 4013 密封在第一衬底 4001 与第二衬底 4006 之间的面板的俯视图,图 37B 相当于沿图 37A 的 A-A' 的截面图。

[0305] 以围绕在第一衬底 4001 上设置的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封剂 4005。另外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶 4008 一起由第一衬底 4001、密封剂 4005、以及第二衬底 4006 密封。另外,在第一衬底 4001 上的与由密封剂 4005 围绕的区域不同的区域中安装有另外准备的衬底上由多晶半导体膜形成的信号线驱动电路 4003。注意,虽然在本实施方式中,对将具有由多晶半导体膜构成的薄膜晶体管的信号线驱动电路贴合到第一衬底 4001 的一例进行说明,但是也可以由使用单晶半导体的晶体管形成信号线驱动电路并贴合。图 37A 和 37B 例示包含于信号线驱动电路 4003 的由多晶半导体膜形成的薄膜晶体管 4009。

[0306] 设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 具有多个薄膜晶体管,图 37B 例示包含于像素部 4002 的薄膜晶体管 4010。薄膜晶体管 4010 相当于使用微晶半导体膜的薄膜晶体管。

[0307] 另外,附图标记 4013 相当于液晶元件。液晶元件 4013 所具有的像素电极 4030 通过布线 4041 与薄膜晶体管 4010 电连接。液晶元件 4013 的相对电极 4031 形成在第二衬底 4006 上。像素电极 4030、相对电极 4031、以及液晶 4008 重叠的部分相当于液晶元件 4013。

[0308] 注意,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(代表为不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP(Fiberglass-ReinforcedPlastics,即纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜、或丙烯酸树脂薄膜。另外,也可以采用由 PVF 薄膜或聚酯薄膜夹有铝箔的薄片。

[0309] 另外,球状的隔离物 4035 用来控制像素电极 4030 和相对电极 4031 之间的距离(单元间隙)。注意,也可以使用通过选择性地蚀刻绝缘膜而获得的隔离物。

[0310] 此外,供给给另外形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 的各种信号及电位,通过引导布线 4014 及引导布线 4015 从 FPC4018 提供。

[0311] 在本实施方式中,连接端子 4016 由与液晶元件 4013 所具有的像素电极 4030 相同的导电膜形成。另外,引导布线 4014、引导布线 4015 由与布线 4041 相同的导电膜形成。

[0312] 连接端子 4016 与 FPC4018 所具有的端子通过各向异性导电膜 4019 电连接。

[0313] 注意,虽然未图示,本实施方式所示的液晶显示装置具有定向膜、偏振片,进而也可以具有颜色滤光片、屏蔽膜。

[0314] 注意,图 37A 和 37B 示出另外形成信号线驱动电路 4003 并安装到第一衬底 4001 的一例,但是本实施方式不局限于该结构。既可以另外形成扫描线驱动电路并安装,又可以另外仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分并安装。

[0315] 本实施方式可以与其他实施方式所记载的结构组合而实施。

[0316] 实施方式 9

[0317] 接下来,对相当于本发明的显示装置的一个方式的发光显示面板的外观及截面,使用图 38A 和 38B 进行说明。图 38A 是通过使用密封剂将形成在第一衬底上的使用微晶半导体膜的薄膜晶体管及发光元件密封在第一衬底与第二衬底之间的面板的俯视图,图 38B 相当于沿图 38A 的 A-A' 的截面图。

[0318] 以围绕在第一衬底 4001 上设置的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封剂 4005。另外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与填料 4007 一起由第一衬底 4001、密封剂 4005、以及第二衬底 4006 密封。另外,在第一衬底 4001 上的与由密封剂 4005 围绕的区域不同的区域中安装有另外准备的衬底上由多晶半导体膜形成的信号线驱动电路 4003。注意,虽然在本实施方式中,对将具有由多晶半导体膜构成的薄膜晶体管的信号线驱动电路贴合到第一衬底 4001 的一例进行说明,但是也可以由使用单晶半导体的晶体管形成信号线驱动电路并贴合。图 38B 例示包含于信号线驱动电路 4003 的由多晶半导体膜形成的薄膜晶体管 4009。

[0319] 设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 具有多个薄膜晶体管,图 38B 例示包含于像素部 4002 的薄膜晶体管 4010。注意,在本实施方式中,虽然假定了薄膜晶体管 4010 为驱动 TFT,但是薄膜晶体管 4010 既可以为电流控制 TFT,又可以为擦除 TFT。薄膜晶体管 4010 相当于由微晶半导体膜构成的薄膜晶体管。

[0320] 另外,发光元件 4011 所具有的像素电极通过布线 4017 与薄膜晶体管 4010 的源电极或漏电极电连接。在本实施方式中,发光元件 4011 的共同电极和具有透光性的导电膜 4012 电连接。注意,发光元件 4011 的结构不局限于本实施方式所示的结构。根据从发光元件 4011 取出的光的方向或薄膜晶体管 4010 的极性,可以适当地改变发光元件 4011 的结构。

[0321] 此外,供给给另外形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 的各种信号及电位,虽然在图 38B 所示的截面图中未图示,但是通过引导布线 4014 及引导布线 4015 从 FPC4018 提供。

[0322] 在本实施方式中,连接端子 4016 由与布线 4017 相同的导电膜形成。另外,引导布线 4014、引导布线 4015 由与薄膜晶体管 4010 的源电极或漏电极相同的导电膜形成。

[0323] 连接端子 4016 与 FPC4018 所具有的端子通过各向异性导电膜 4019 电连接。

[0324] 位于从发光元件 4011 取出光的方向的第二衬底必须为透明。在此情况下,使用玻

璃板、塑料板、聚酯薄膜或丙烯酸薄膜等具有透光性的材料。

[0325] 另外,作为填料 4007 除了氮或氩等惰性的气体之外,还可以使用紫外线硬化树脂或热硬化树脂,即可以使用 PVC(聚氯乙烯)、丙烯、聚酰亚胺、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)、或 EVA(ethylene vinyl acetate,即乙烯-醋酸乙烯酯)。在本实施方式中作为填料使用氮。

[0326] 另外,若有需要,也可以在发光元件的射出表面上适当地提供诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、以及颜色滤光片等的光学膜。另外,也可以在偏振片或圆偏振片上提供抗反射膜。例如,可以执行抗眩光处理,该处理是利用表面的凹凸来扩散反射光并降低眩光的。

[0327] 注意,图 38A 和 38B 示出另外形成信号线驱动电路 4003 并安装到第一衬底 4001 的一例,但是本实施方式不局限于该结构。既可以另外形成扫描线驱动电路并安装,又可以另外仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分并安装。

[0328] 本实施方式可以与其他实施方式所记载的结构组合而实施。

[0329] 实施方式 10

[0330] 根据本发明而获得的显示装置等可以用于有源矩阵型显示装置模块。换句话说,其显示部分安装有上述模块的所有电子产品均可以实施本发明。

[0331] 作为这种电子产品,可以举出影像拍摄装置如摄像机或数字照相机、头戴式显示器(护目镜型显示器)、汽车导航系统、投影机、汽车音响、个人计算机、便携式信息终端(移动计算机、移动电话或电子书籍等)等。图 34A 至 34D 示出了其一例。

[0332] 图 34A 表示电视装置。如图 34A 所示,可以将显示模块组装在框体中来完成电视装置。将安装了 FPC 的显示面板还称为显示模块。由显示模块形成主画面 2003,作为其他附属器件还具有扬声器部分 2009、操作开关等。如上所述,可以完成电视装置。

[0333] 如图 34A 所示,在框体 2001 中组装利用了显示元件的显示用面板 2002,并且可以由接收机 2005 接收普通的电视广播,而且通过调制解调器 2004 连接到有线或无线方式的通讯网络,从而还可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间,或者在接收者之间)的信息通讯。电视装置的操作可以由组装在框体中的开关或另外的遥控装置 2006 进行,并且该遥控装置 2006 也可以设置有显示输出信息的显示部分 2007。

[0334] 另外,电视装置还可以附加有如下结构:除了主画面 2003 以外,使用第二显示用面板形成辅助画面 2008,并显示频道或音量等。在这种结构中,也可以采用视角优良的液晶显示面板形成主画面 2003,并且采用能够以低耗电量进行显示的发光显示面板形成辅助画面。另外,为了优先地减小耗电量,也可以采用如下结构:使用发光显示面板形成主画面 2003,使用发光显示面板形成辅助画面,并且辅助画面能够点亮和熄灭。

[0335] 图 35 是电视装置的主要结构的框图。像素部 921 形成在显示面板 900 上。可以采用 COG 方法将信号线驱动电路 922 和扫描线驱动电路 923 安装在显示面板 900 上。

[0336] 作为其它外部电路的结构,在视频信号的输入一侧具有视频信号放大电路 925、视频信号处理电路 926、控制电路 927 等。其中,视频信号放大电路 925 放大调谐器 924 所接收信号中的视频信号,视频信号处理电路 926 将从视频信号放大电路 925 输出的信号转换成对应于红、绿和蓝各种颜色的色信号,控制电路 927 将该视频信号转换成驱动器 IC 输入规格。控制电路 927 将信号输出到扫描线侧和信号线侧。在进行数字驱动的情况下,可以采

用如下结构：在信号线一侧设置信号分割电路 928，并将输入数字信号划分成 m 个而供给。

[0337] 由调谐器 924 接收的信号中的音频信号被发送到音频信号放大电路 929，并经音频信号处理电路 930 供给到扬声器 933。控制电路 931 从输入部 932 接收有关接收站（接收频率）或音量的控制信息，并将信号传送到调谐器 924 和音频信号处理电路 930。

[0338] 当然，本发明不局限于电视装置，还可以应用于各种用途如个人计算机的监视器、铁路的车站或飞机场等中的信息显示屏、街头上的广告显示屏等大面积显示媒体。

[0339] 图 34B 表示便携式电话机 2301 的一例。该便携式电话机 2301 包括显示部 2302、操作部 2303 等而构成。在显示部 2302 中，应用上述实施方式所说明的显示装置，而可以提高批量生产性。

[0340] 另外，图 34C 所示的便携型计算机包括主体 2401、显示部 2402 等。通过对显示部 2402 应用上述实施方式所示的显示装置，可以提高批量生产性。

[0341] 图 34D 是桌照明灯，其包括照明部分 2501、灯罩 2502、可变臂 2503、支座 2504、基座 2505 和电源 2506。对于照明部分 2501，使用实施方式 6 所示的发光装置来制造桌照明灯。注意，照明灯包括固定到天花板上的照明灯和壁挂照明灯等。通过应用实施方式 6 所示的显示装置，可以提高批量生产性，并可以提供廉价的桌照明灯。

[0342] 实施例 1

[0343] 在本实施例中，在通过施加一个高频电力形成等离子体的成膜条件、以及通过重叠施加两个高频电力形成等离子体的成膜条件下分别形成微晶硅膜，并对其成膜速度进行比较。成膜速度指的是成膜开始后膜几乎不生长的培养时间以外的时间中的堆积速度，即以培养时间刚经过后的时间为 0 的膜开始堆积后的堆积速度。另外，成膜速度指的是以将气体如硅烷气体等引入处理室内并引入高频电力的时间为 0 的成膜开始后的堆积速度。

[0344] 各成膜条件如下：SiH₄ 流量为 4sccm，H₂ 流量为 400sccm，成膜压力为 100Pa，衬底温度为 200℃。另外，在玻璃衬底上形成 50nm 的氮化硅膜并在其上形成 50nm 的微晶硅膜，以对成膜速度进行比较。

[0345] 比较例 1 是通过施加一个高频电力（电源频率 60MHz，电力功率 15W）成膜的例子。在电极间隔为 20mm 的状态下成膜，其结果是，微晶硅膜的生长速度为 2.8nm/min，培养时间为 0.7 分钟。

[0346] 比较例 2 是通过施加一个高频电力（电源频率 13.56MHz，电力功率 80W）成膜的例子。在电极间隔为 30mm 的状态下成膜，其结果是，微晶硅膜的生长速度为 4.8nm/min，培养时间为 0.4 分钟。

[0347] 比较例 3 是通过施加一个高频电力（电源频率 60MHz，电力功率 80W）成膜的例子。在电极间隔为 30mm 的状态下成膜，其结果是，微晶硅膜的生长速度为 3.3nm/min，培养时间为 0.6 分钟。

[0348] 样品 1 是通过重叠施加两个高频电力而成膜的，作为第一高频电力采用 13.56MHz 的频率及 60W 的电力功率，作为第二高频电力采用 60MHz 的频率及 20W 的电力功率，并在电极间隔为 30mm 的状态下成膜。关于样品 1，微晶硅膜的生长速度为 6.3nm/min，培养时间为 0.8 分钟。

[0349] 样品 2 是通过重叠施加两个高频电力而成膜的，作为第一高频电力条件采用 13.56MHz 的频率及 40W 的电力功率，作为第二高频电力条件采用 60MHz 的频率及 40W 的电

力功率,并在电极间隔为 30mm 的状态下成膜。关于样品 2,微晶硅膜的生长速度为 5.5nm/min,培养时间为 0.3 分钟。

[0350] 样品 3 是通过重叠施加两个高频电力而成膜的,作为第一高频电力条件采用 13.56MHz 的频率及 20W 的电力功率,作为第二高频电力条件采用 60MHz 的频率及 60W 的电力功率,并在电极间隔为 30mm 的状态下成膜。关于样品 3,微晶硅膜的生长速度为 3.6nm/min,培养时间为 0 分钟。

[0351] 在样品 1 中,可以实现通过重叠施加来提高生长速度。虽然培养时间为 0.8 分钟,但是可以说是微晶硅膜的生长速度最高的条件。

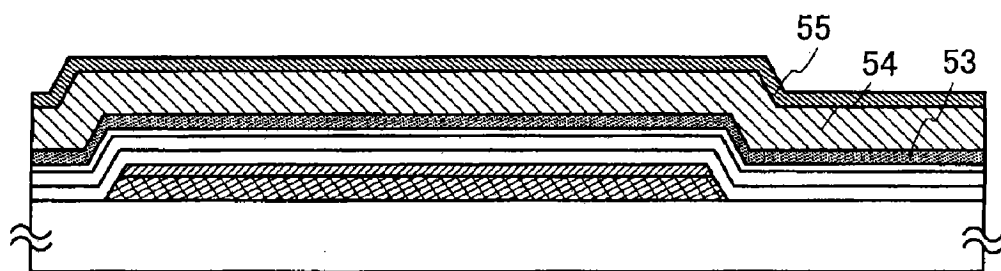
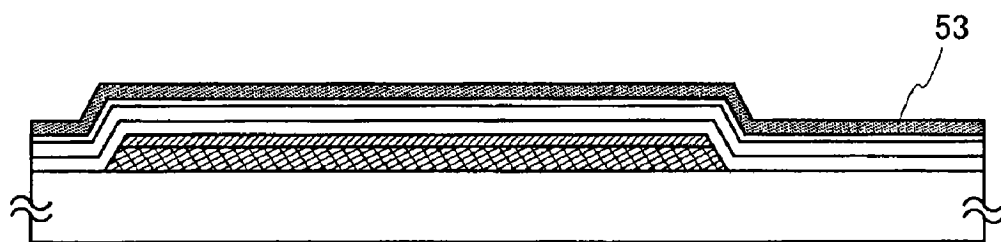
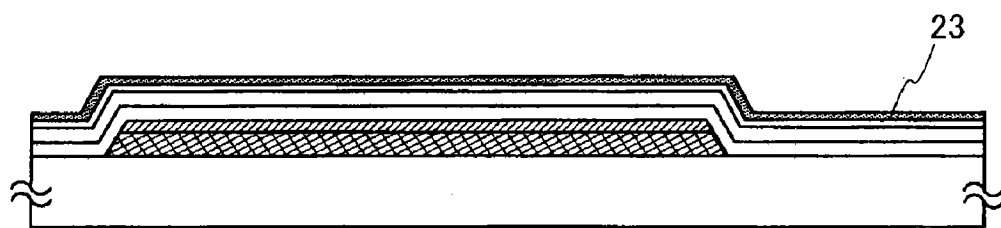
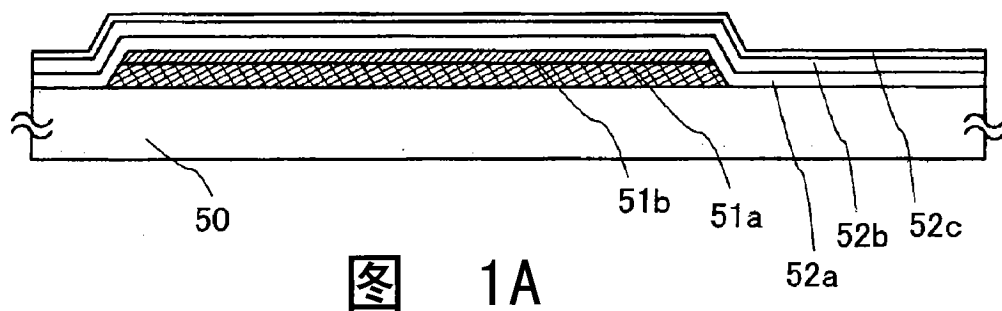
[0352] 在样品 2 中,与比较例 1 至 3 相比可以减少培养时间。再者,在样品 3 中,可以实现通过重叠施加高频电力来消除培养时间,而且通过消除培养时间来实现膜质量的均匀性。在样品 3 中,由于消除培养时间,所以样品 3 的生长速度可以说是成膜速度。尤其是在对每个衬底分别进行成膜处理的单片式成膜工艺中,根据每个衬底而产生对应于培养时间的等待时间,这会导致整个半导体装置制造步骤中的产率降低。因此,消除培养时间是在大量生产上有用的。

[0353] 由此可见,样品 2 的成膜条件符合用来提高在成膜初期中形成的半导体区域的品质及均匀性的微晶半导体膜的成膜条件。例如,通过采用样品 2 的成膜条件作为第一成膜条件,并采用样品 1 的成膜条件作为第二成膜条件,可以在成膜速度低而品质高的第一成膜条件下形成栅极绝缘膜界面附近的膜的下部,然后在成膜速度高的第二成膜条件下堆积膜的上部。在此情况下,在采用第二成膜条件前的第一成膜条件下已形成包含作为晶核的晶粒的膜,因而几乎不产生第二成膜条件的培养时间,从而可以高效地形成微晶半导体膜。

[0354] 当然,通过采用样品 2 的成膜条件作为第一成膜条件,并采用比较例 2 的成膜条件作为第二成膜条件来形成微晶硅膜也是有用的。就是说,在成膜初期中通过重叠施加两个高频电力来成膜,然后在停止引入一方高频电力的成膜条件下继续形成微晶半导体膜。

[0355] 将上述实验结果示出于图 39。在通过重叠施加而成膜的样品 1 至 3 中,微晶硅膜的厚度的面内分布被抑制为 $\pm$ 小于 3%,呈现良好的膜厚度均匀性。

[0356] 本说明书根据 2007 年 8 月 17 日在日本专利局受理的日本专利申请编号 2007-213102 而制作,所述申请内容包括在本说明书中。



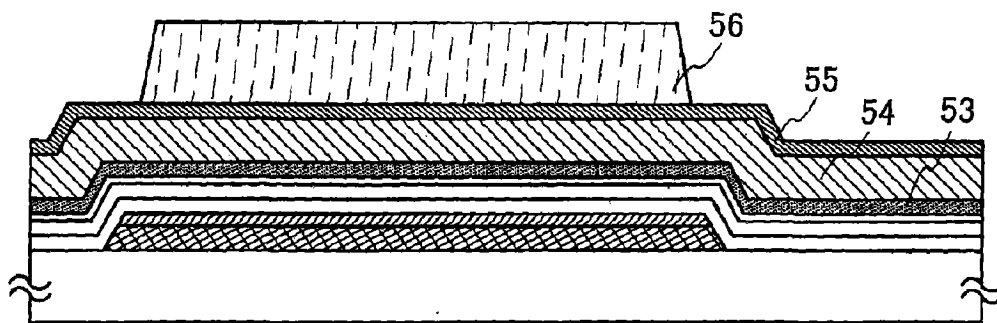


图 2A

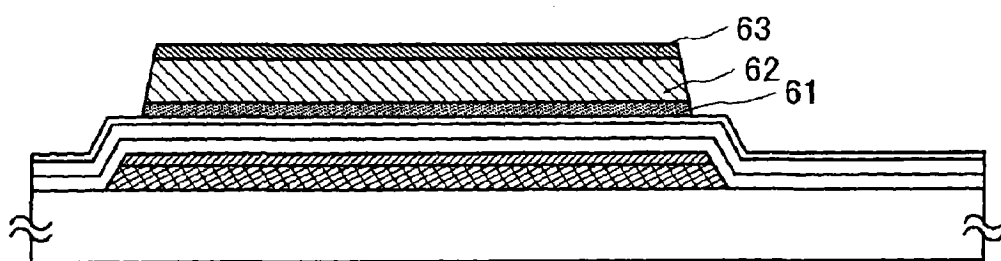


图 2B

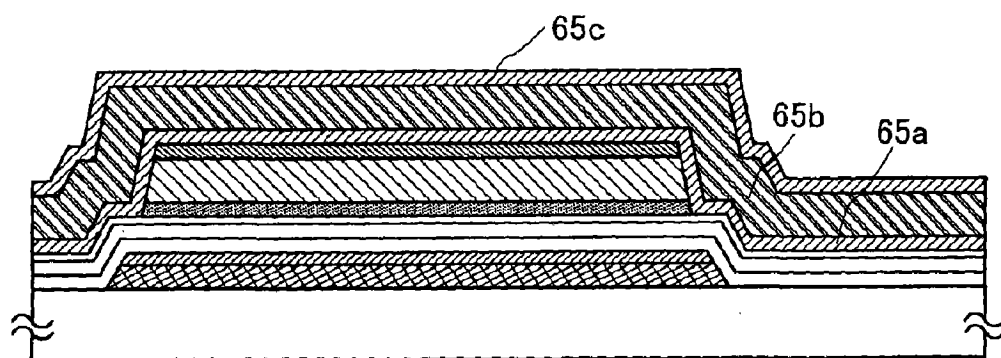


图 2C

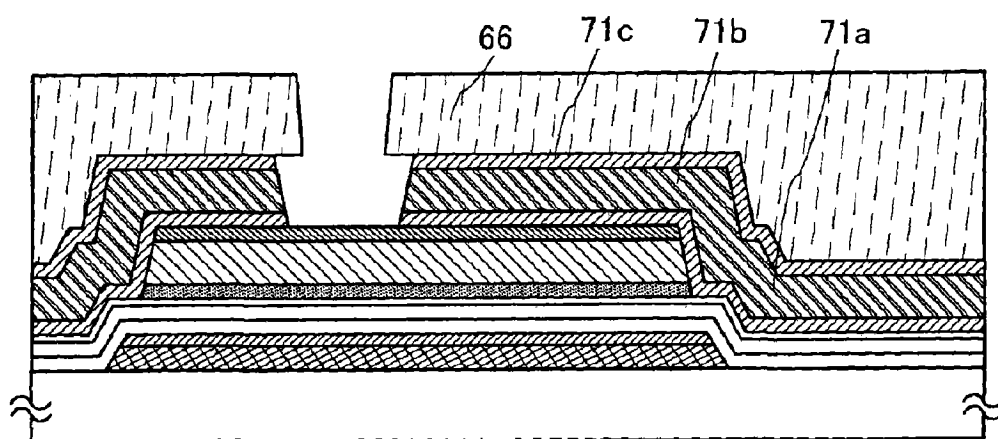


图 2D

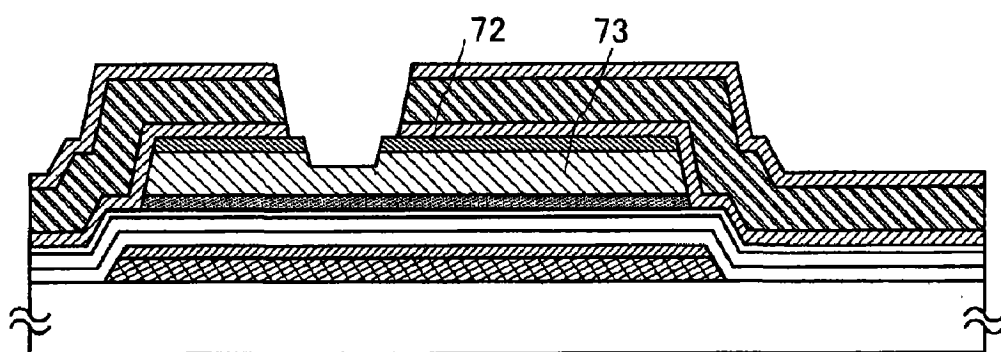


图 3A

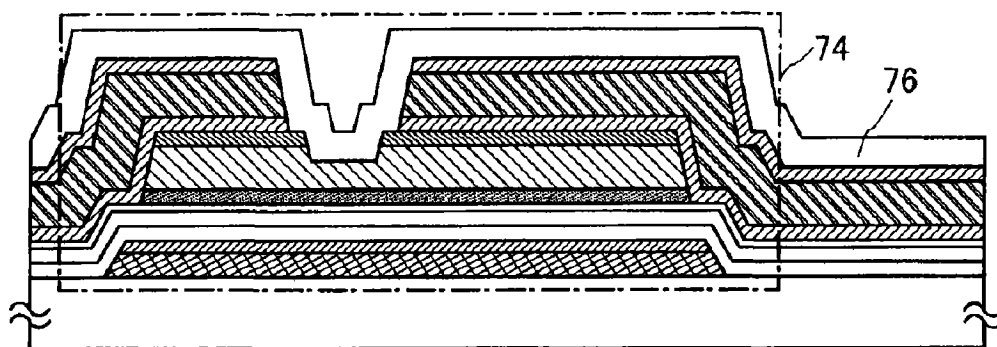


图 3B

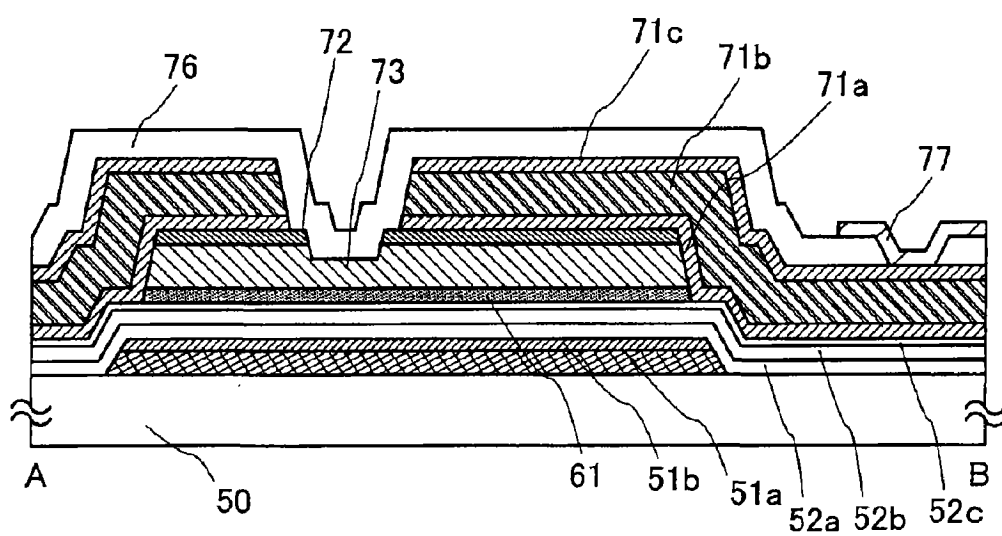


图 3C

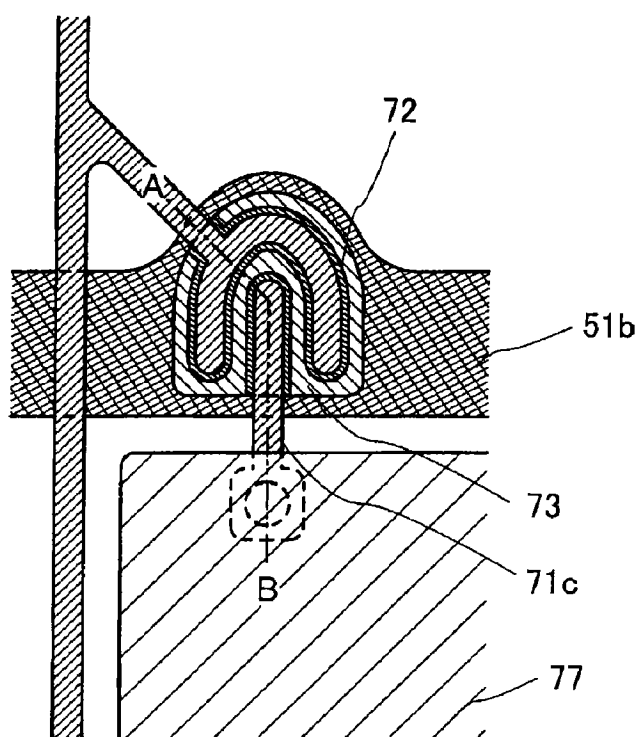


图 4

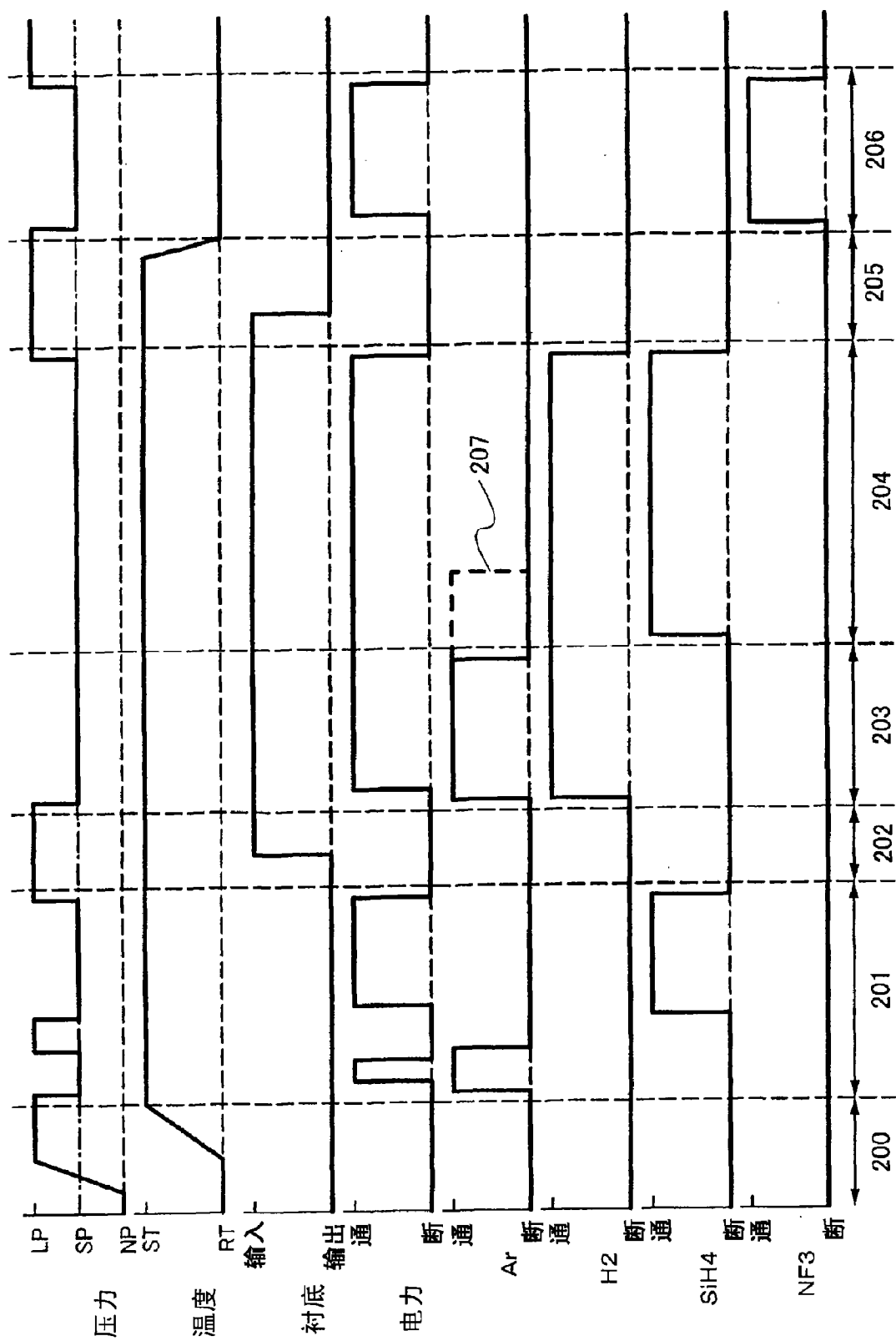


图 5

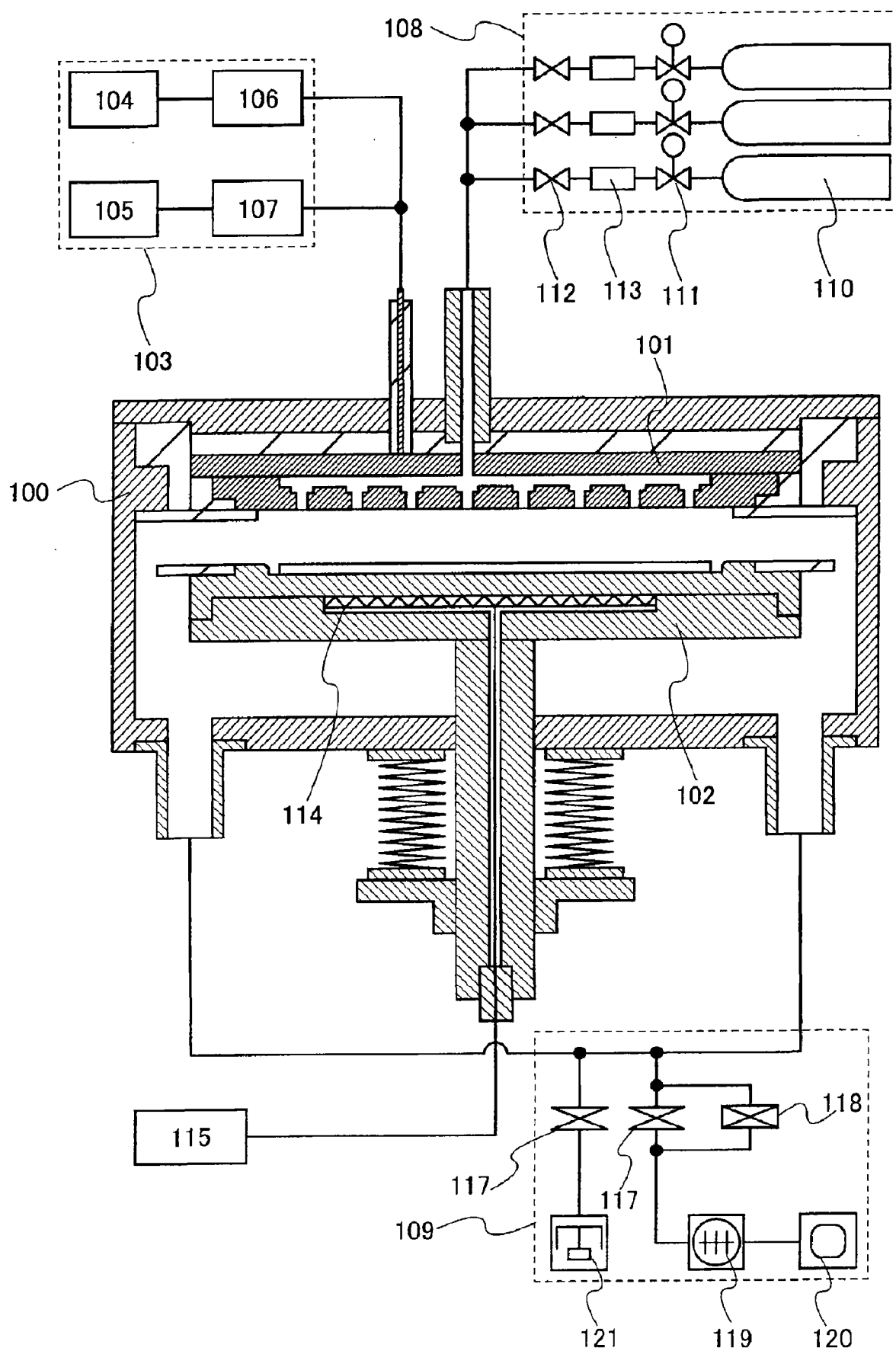


图 6

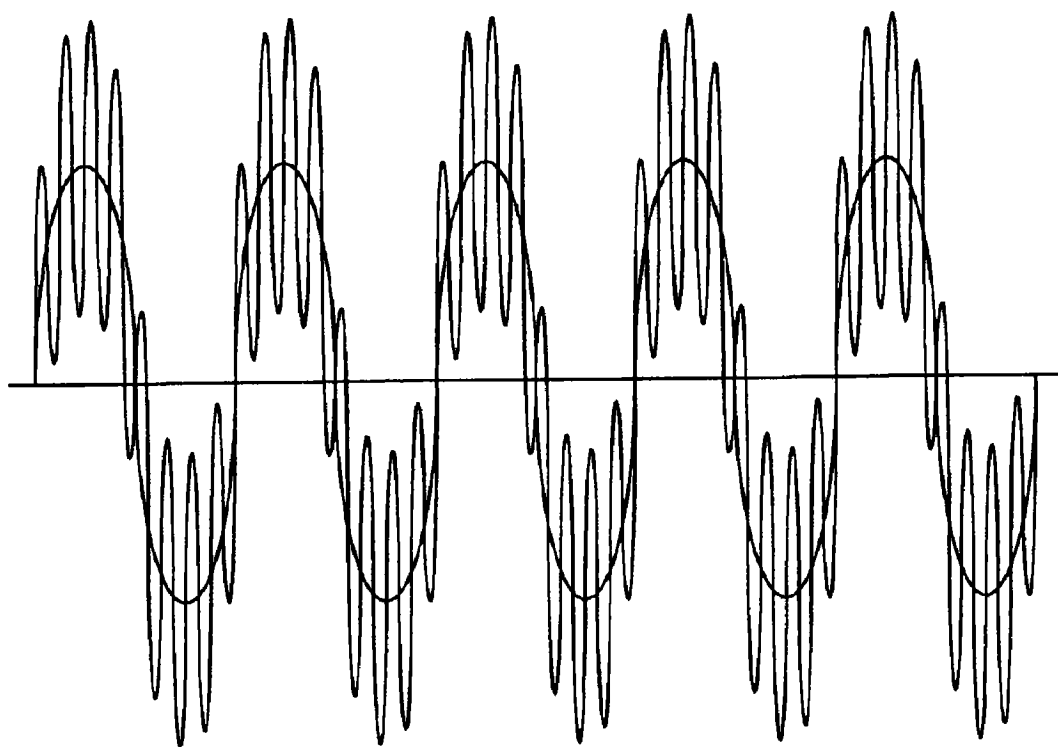


图 7

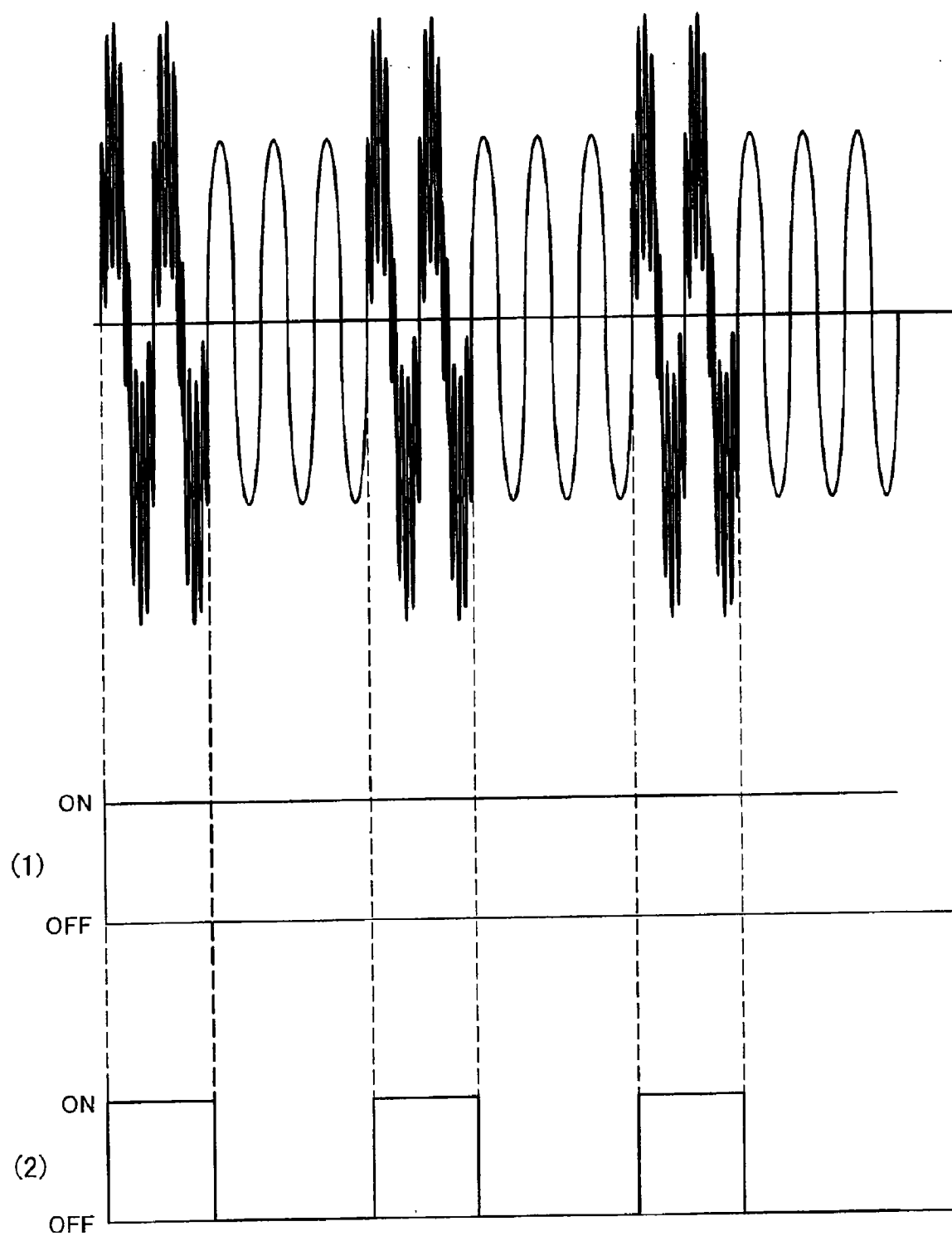


图 8

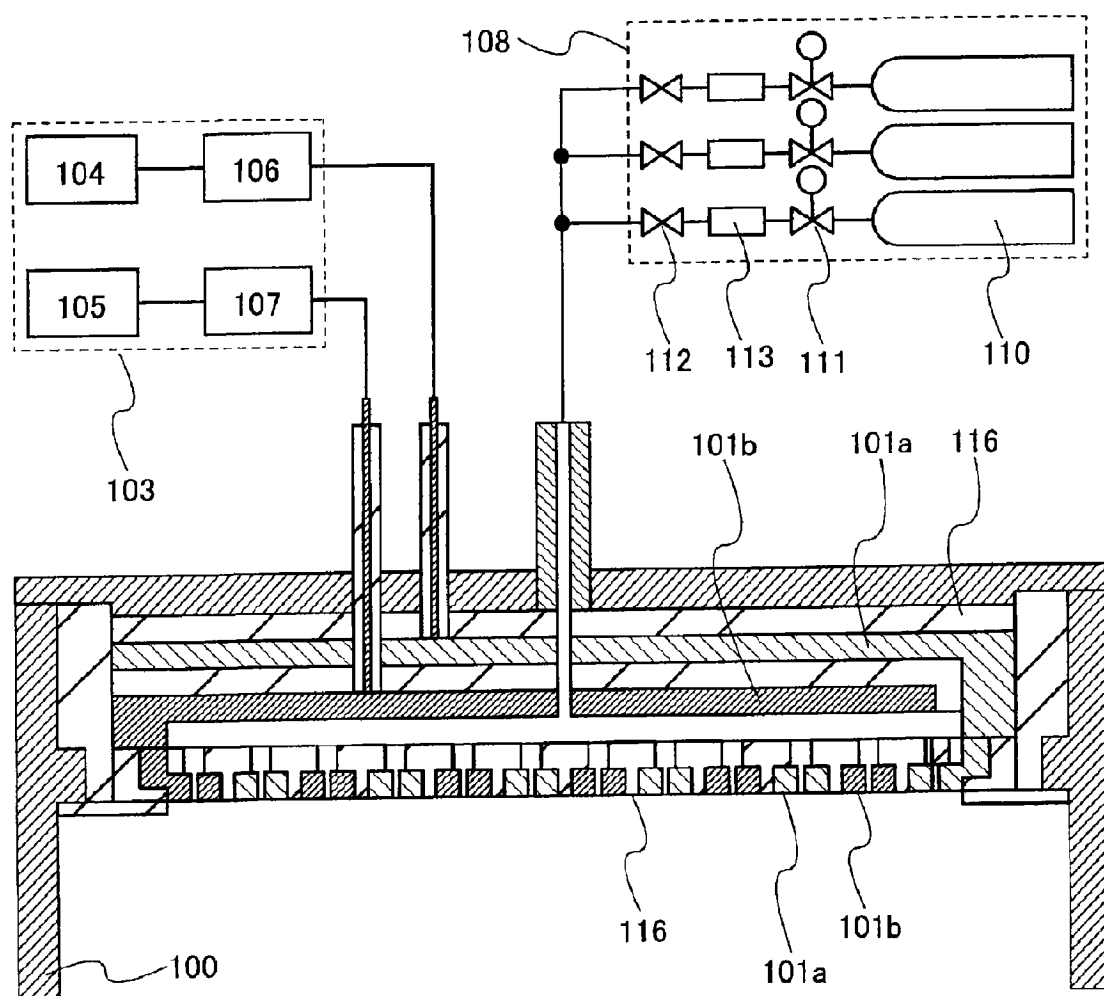


图 9

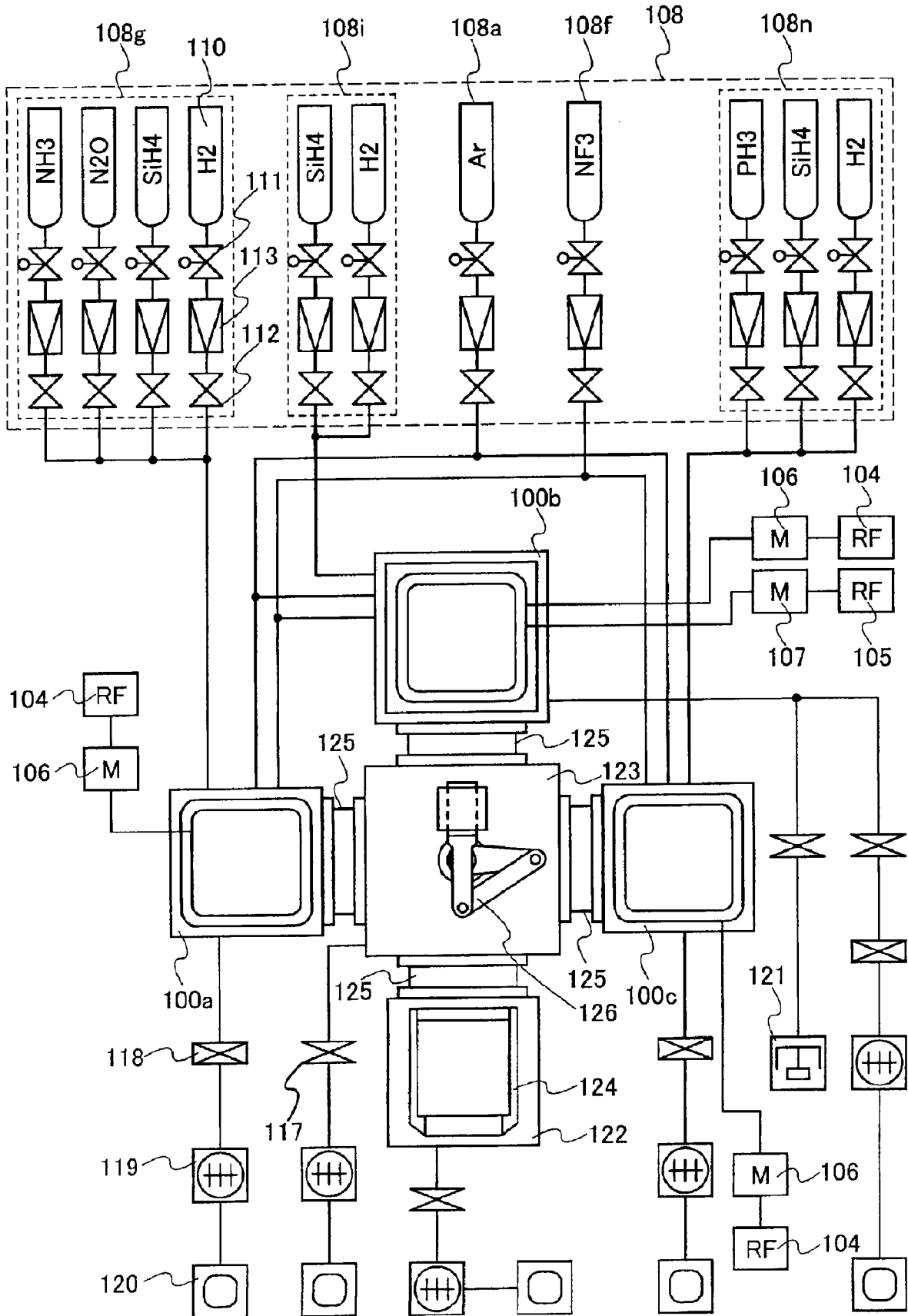


图 10

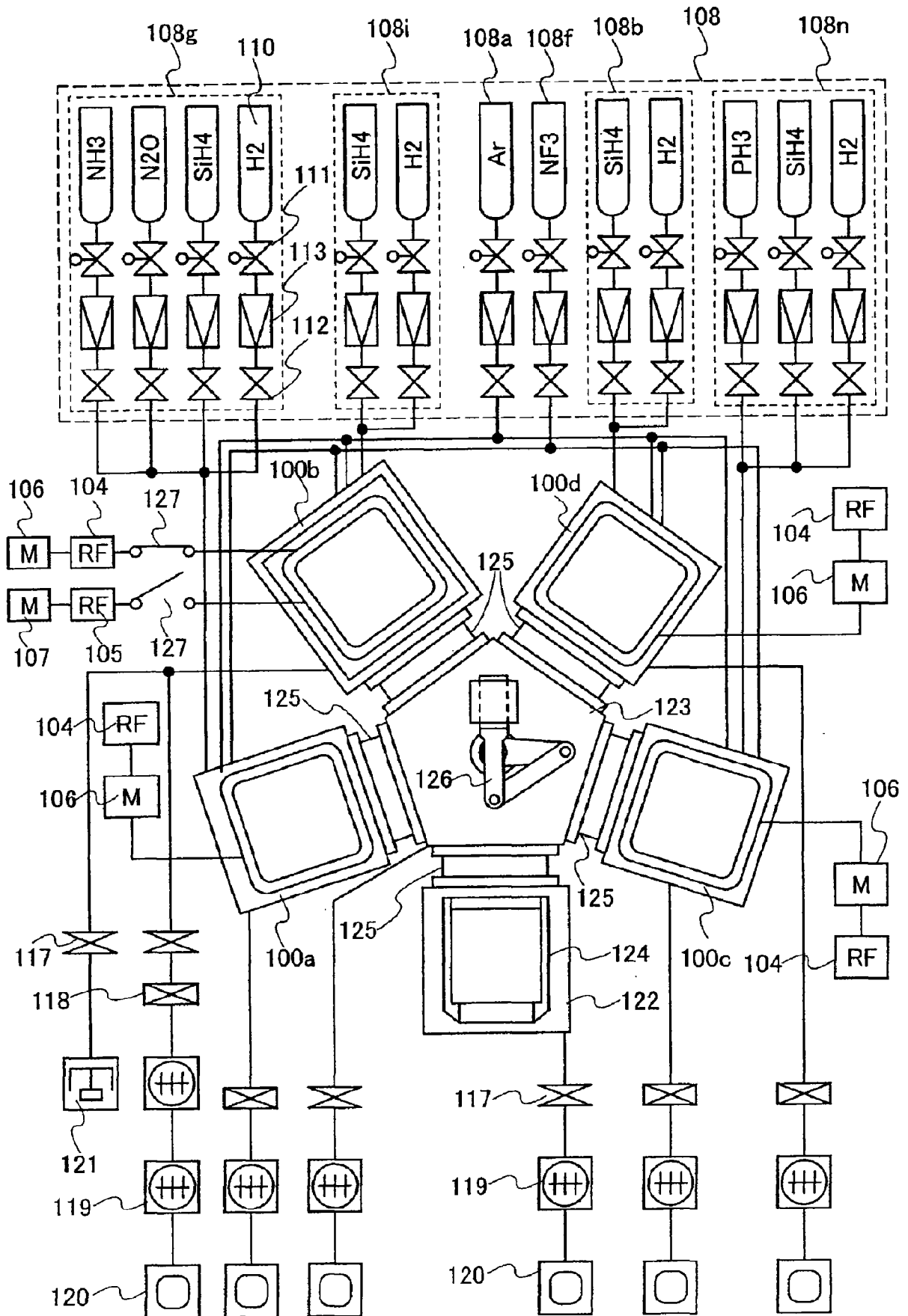


图 11

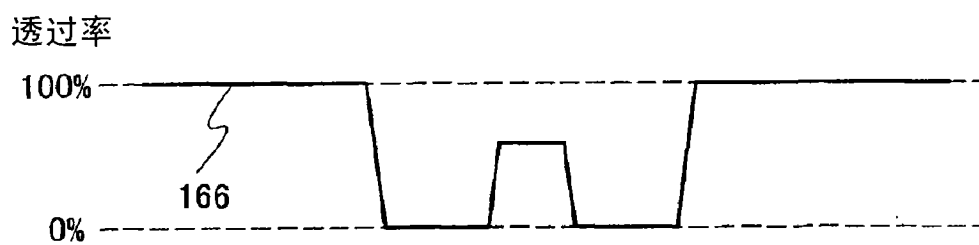
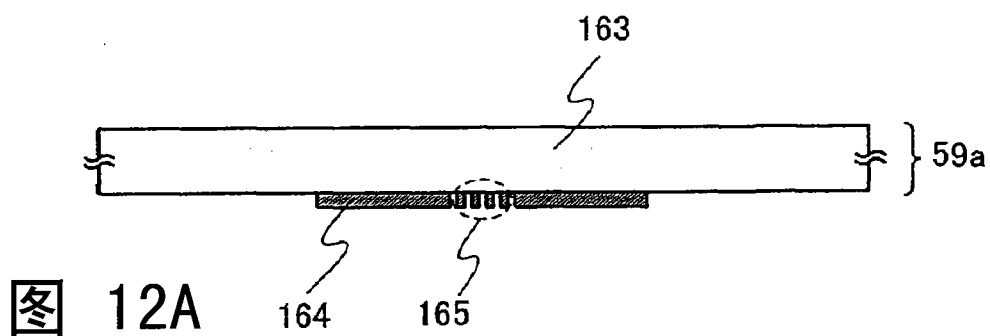


图 12B

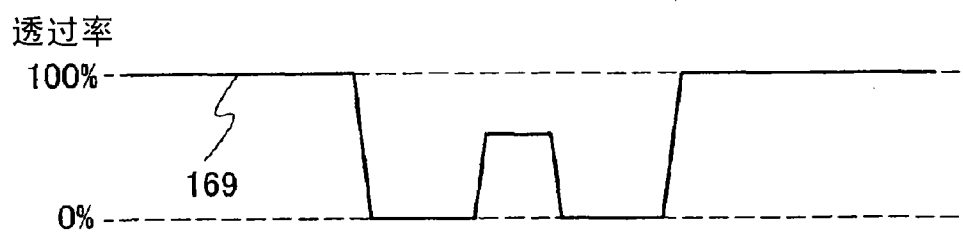
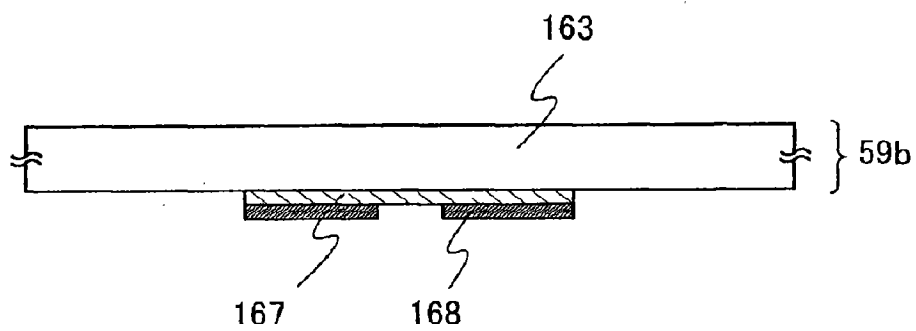


图 12D

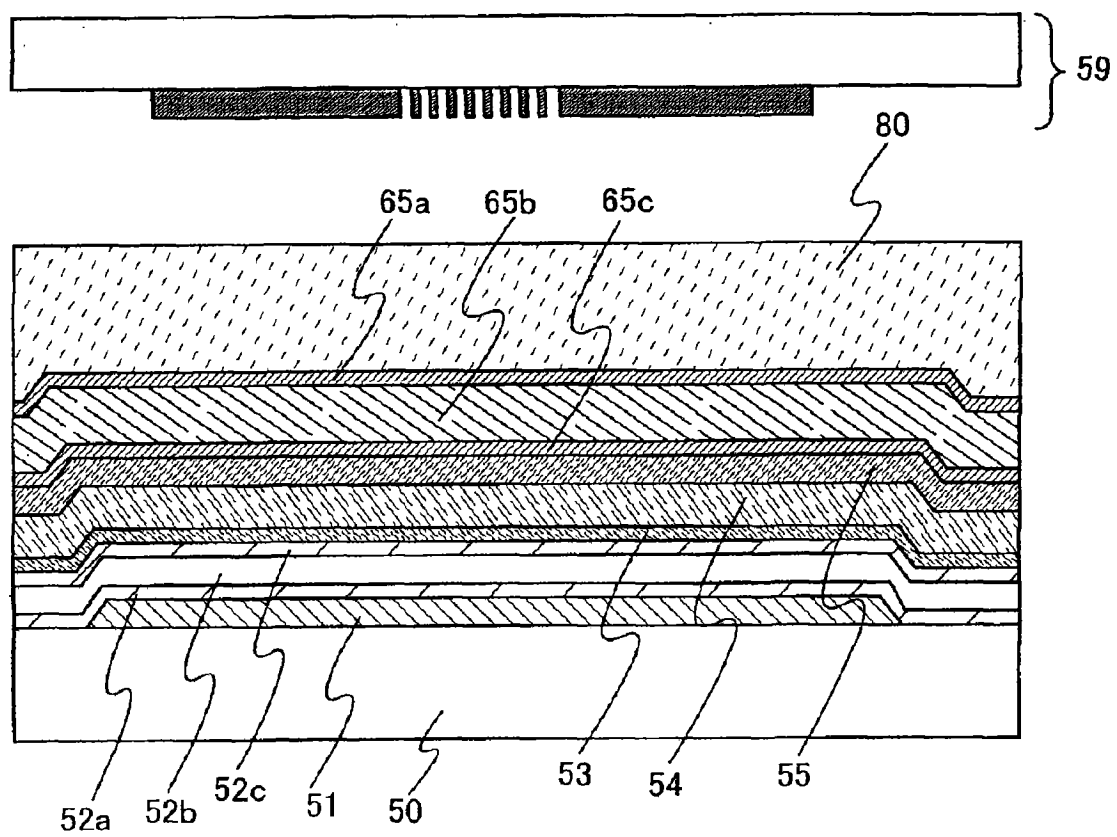


图 13A

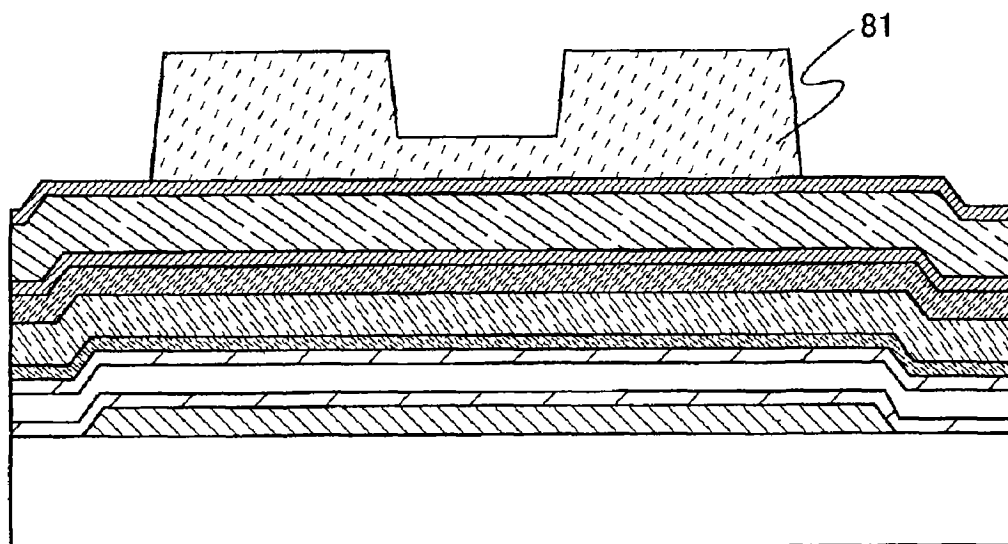


图 13B

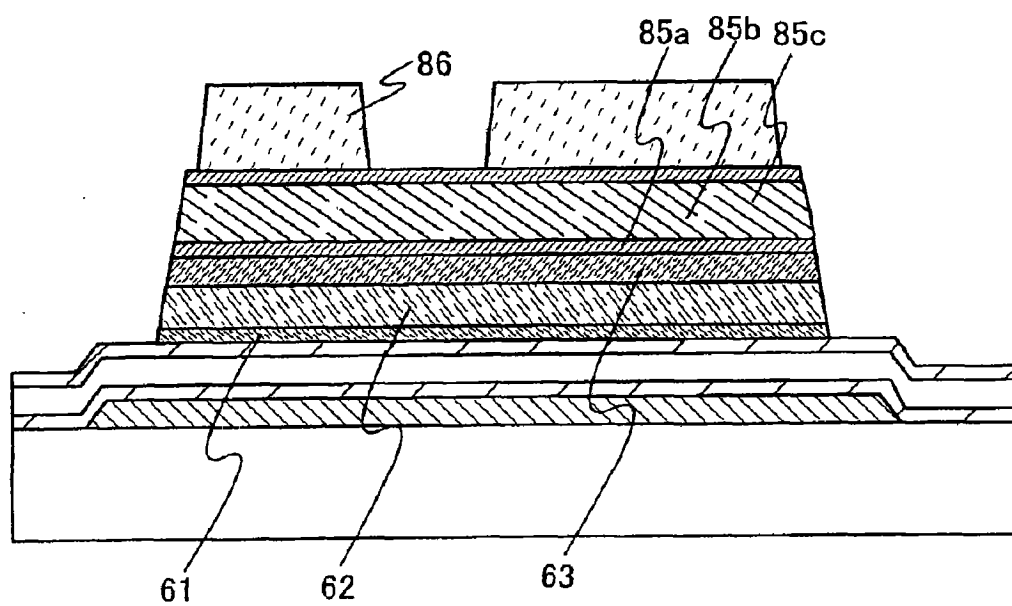


图 14A

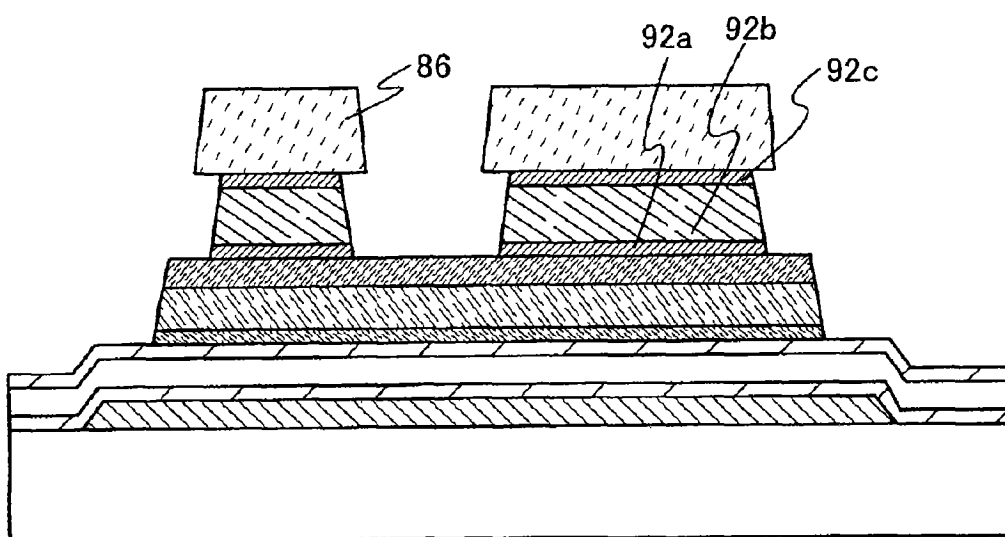


图 14B

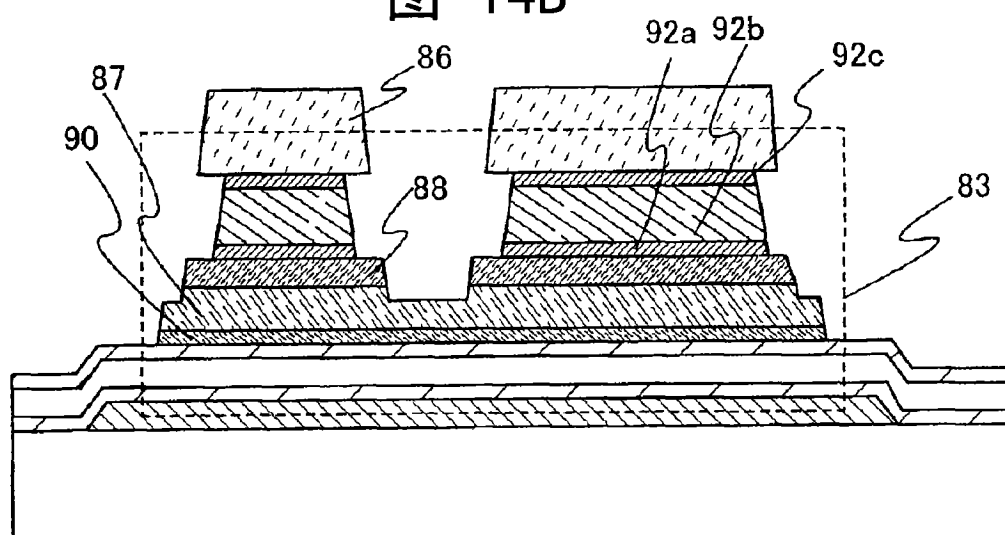


图 14C

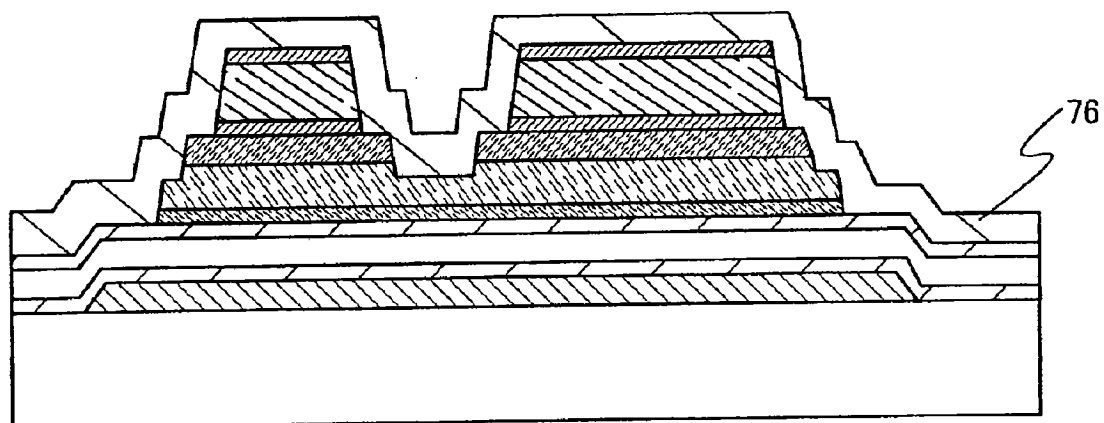


图 15A

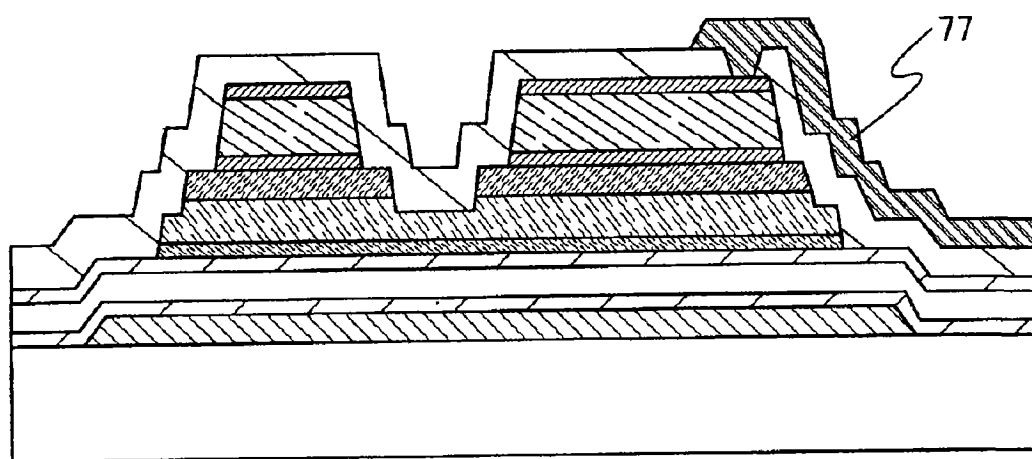


图 15B

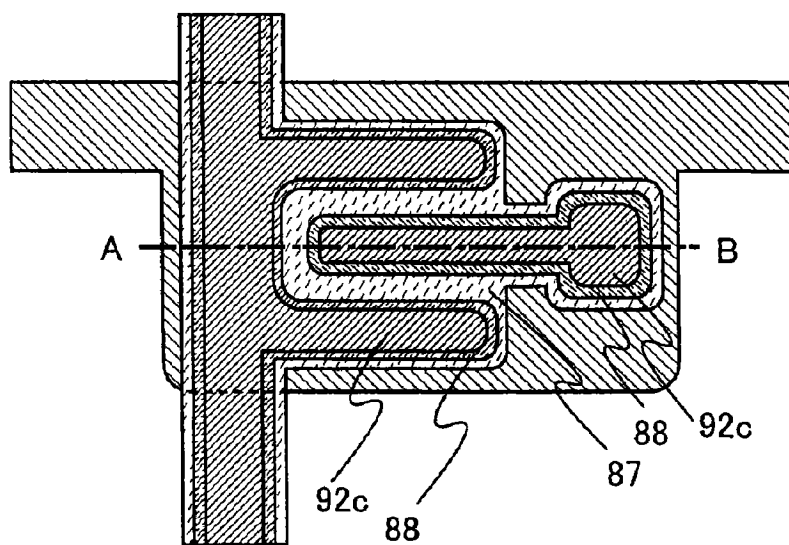


图 16B

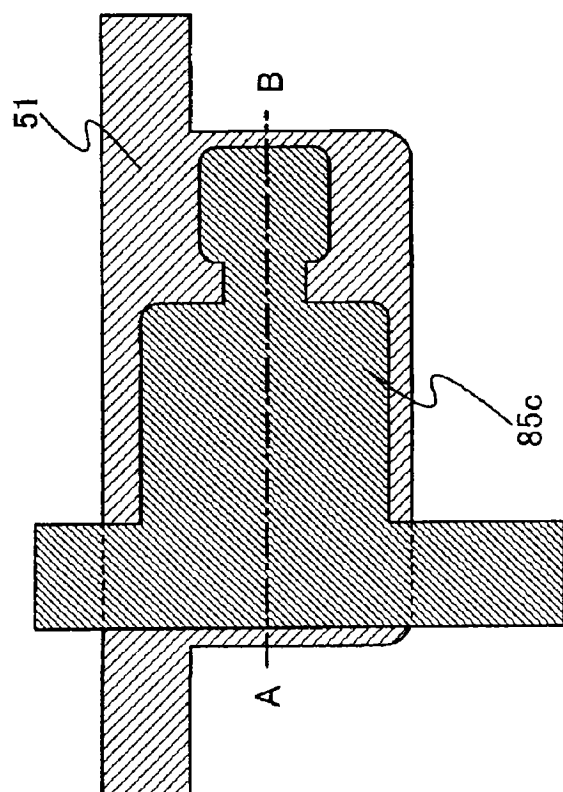


图 16A

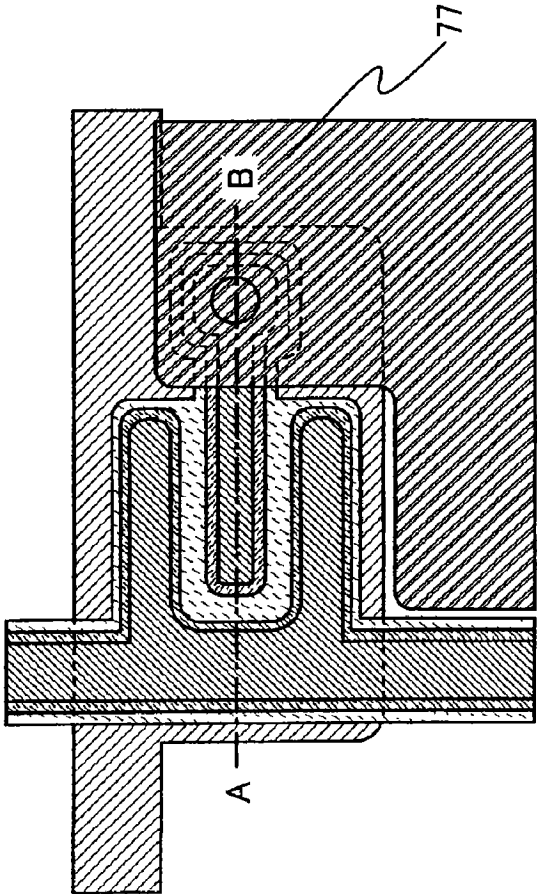


图 16C

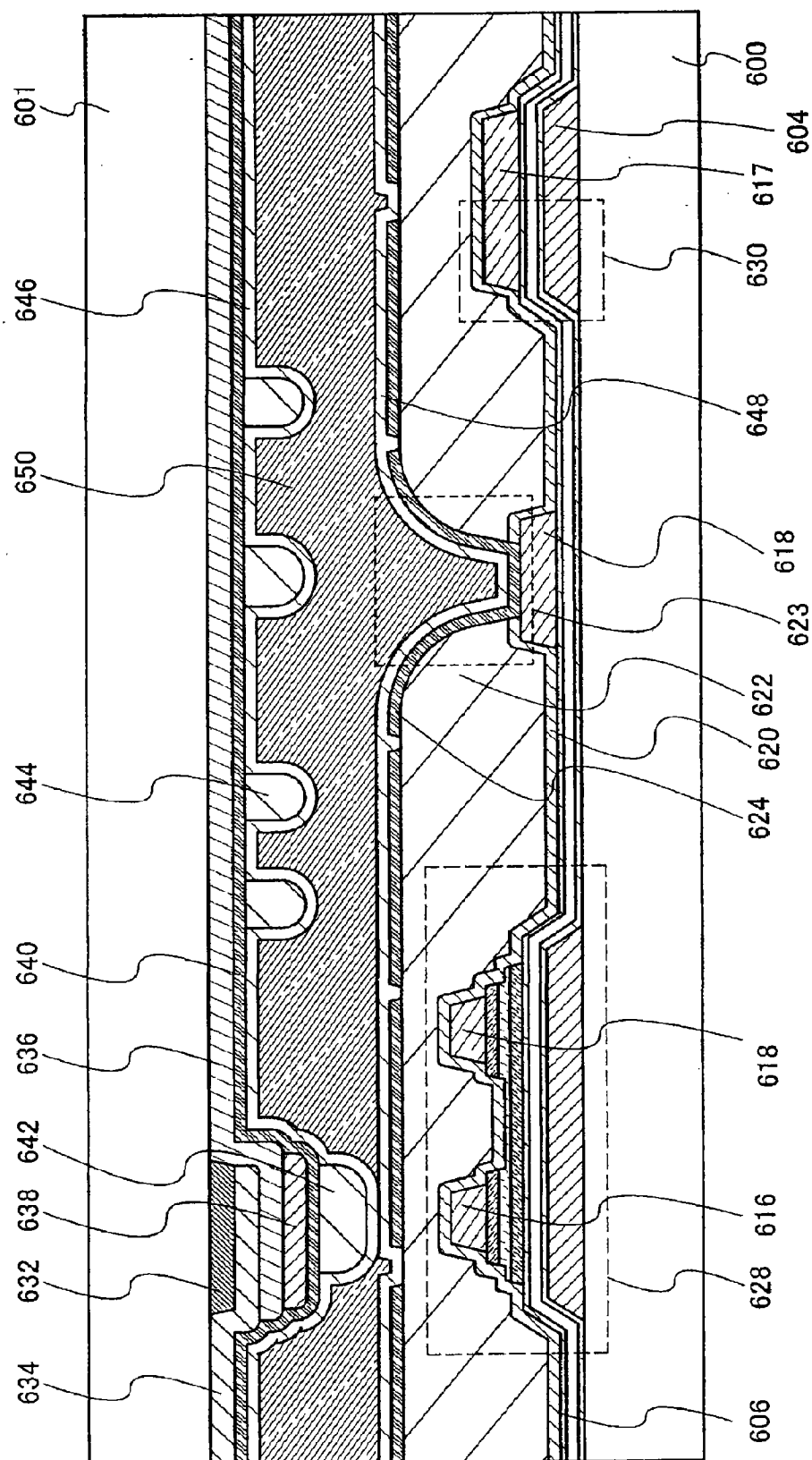


图 17

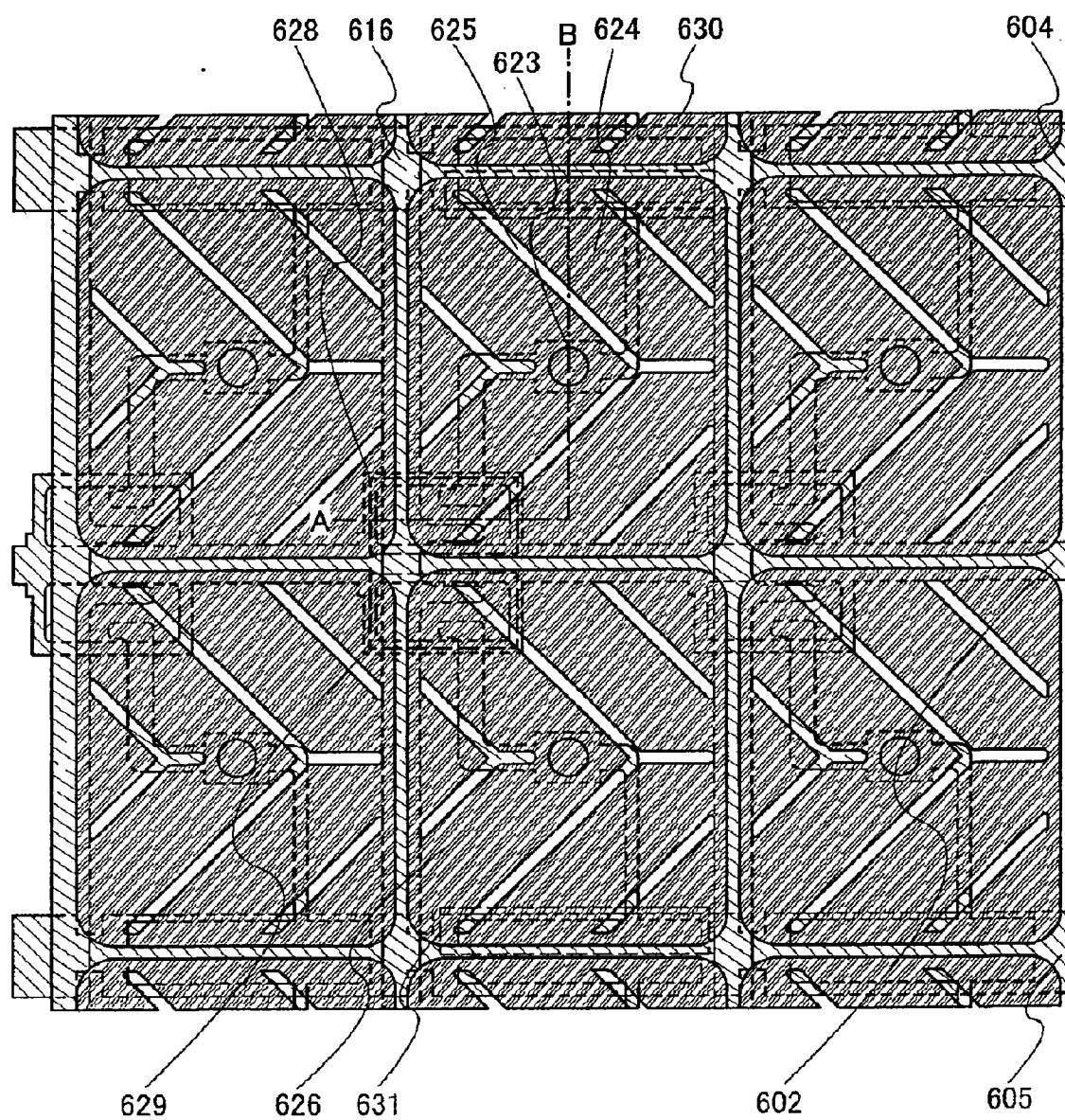


图 18

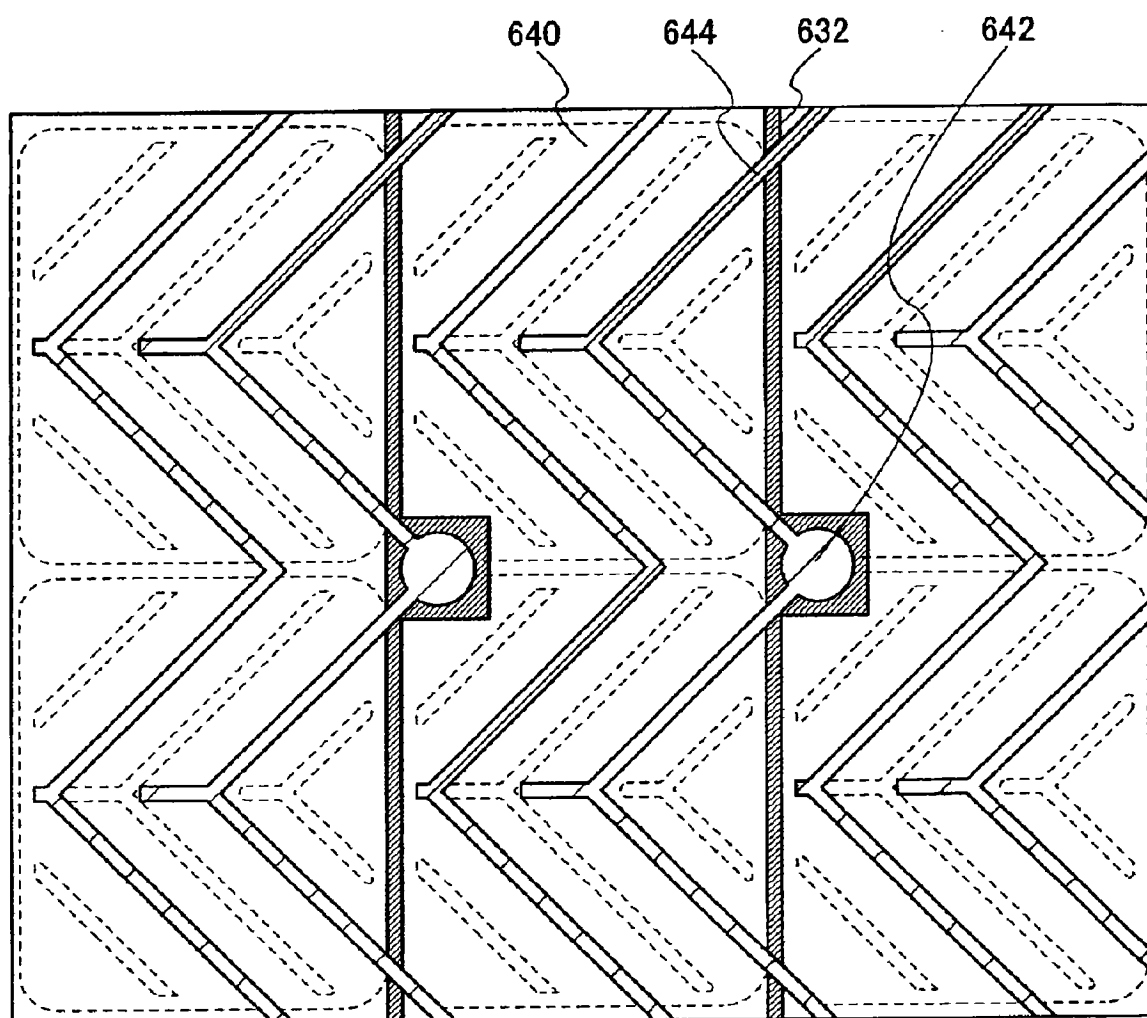


图 19

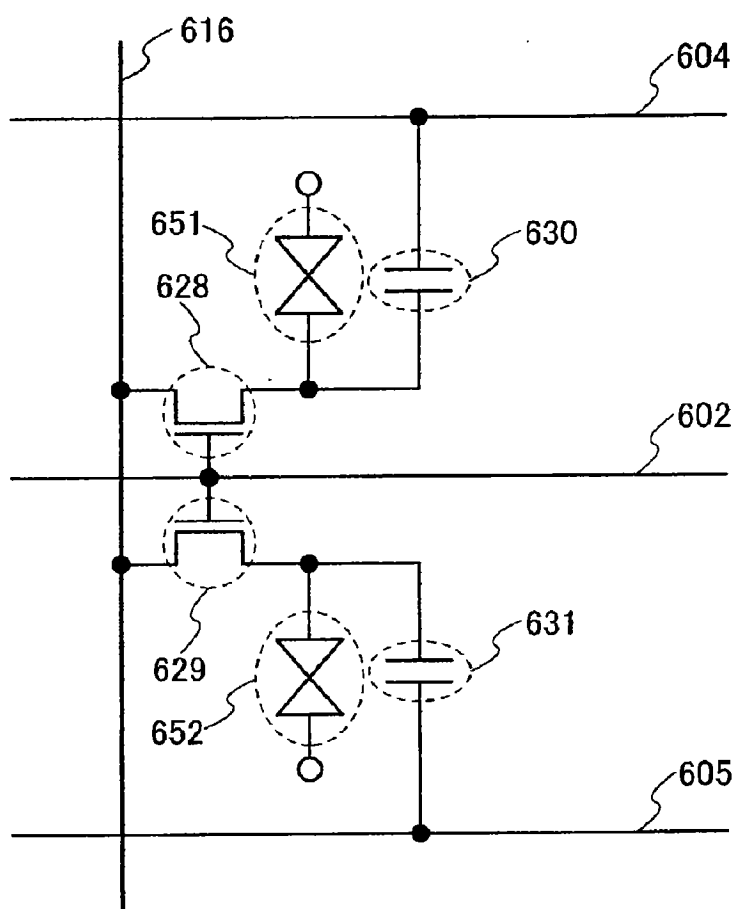


图 20

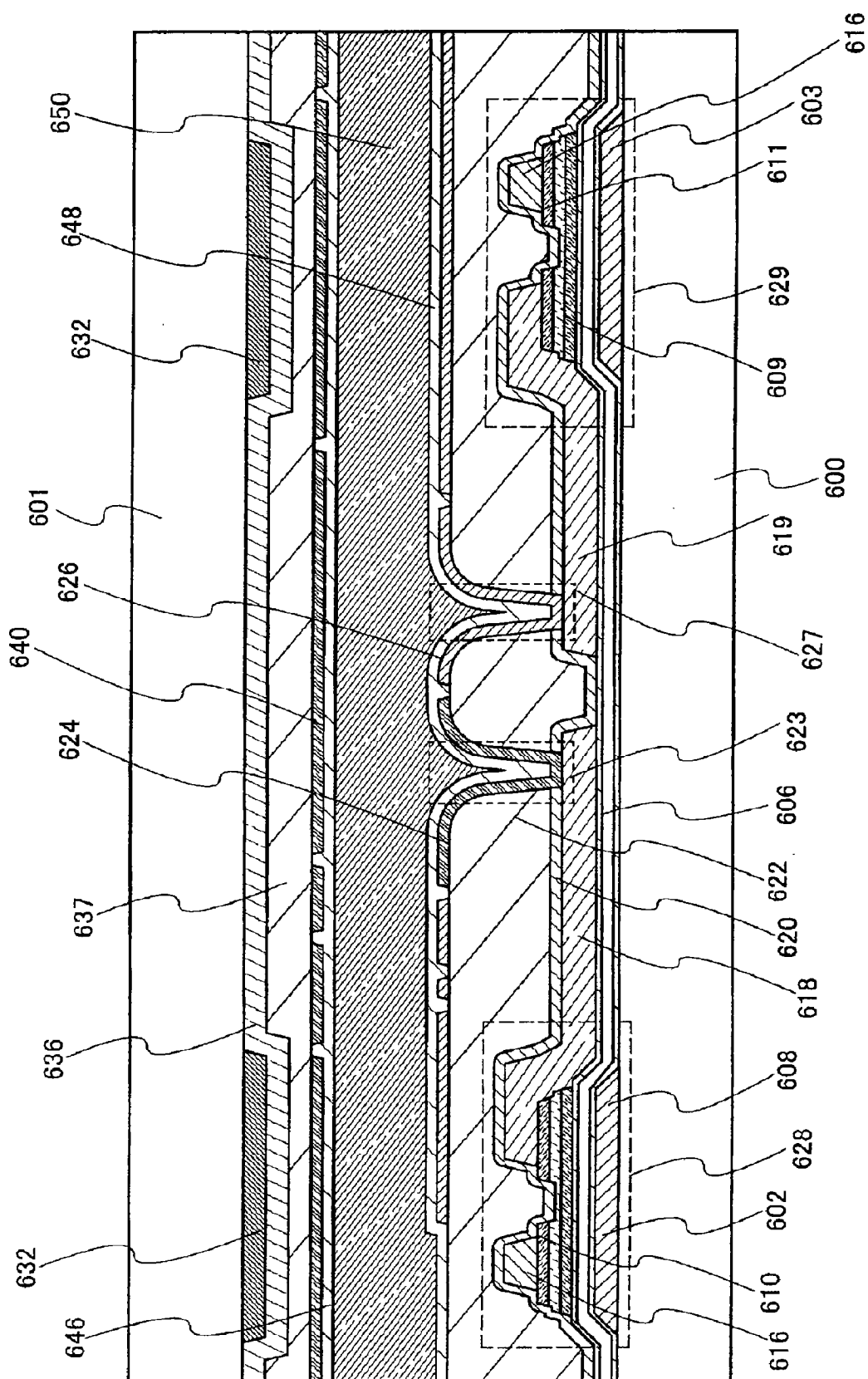


图 21

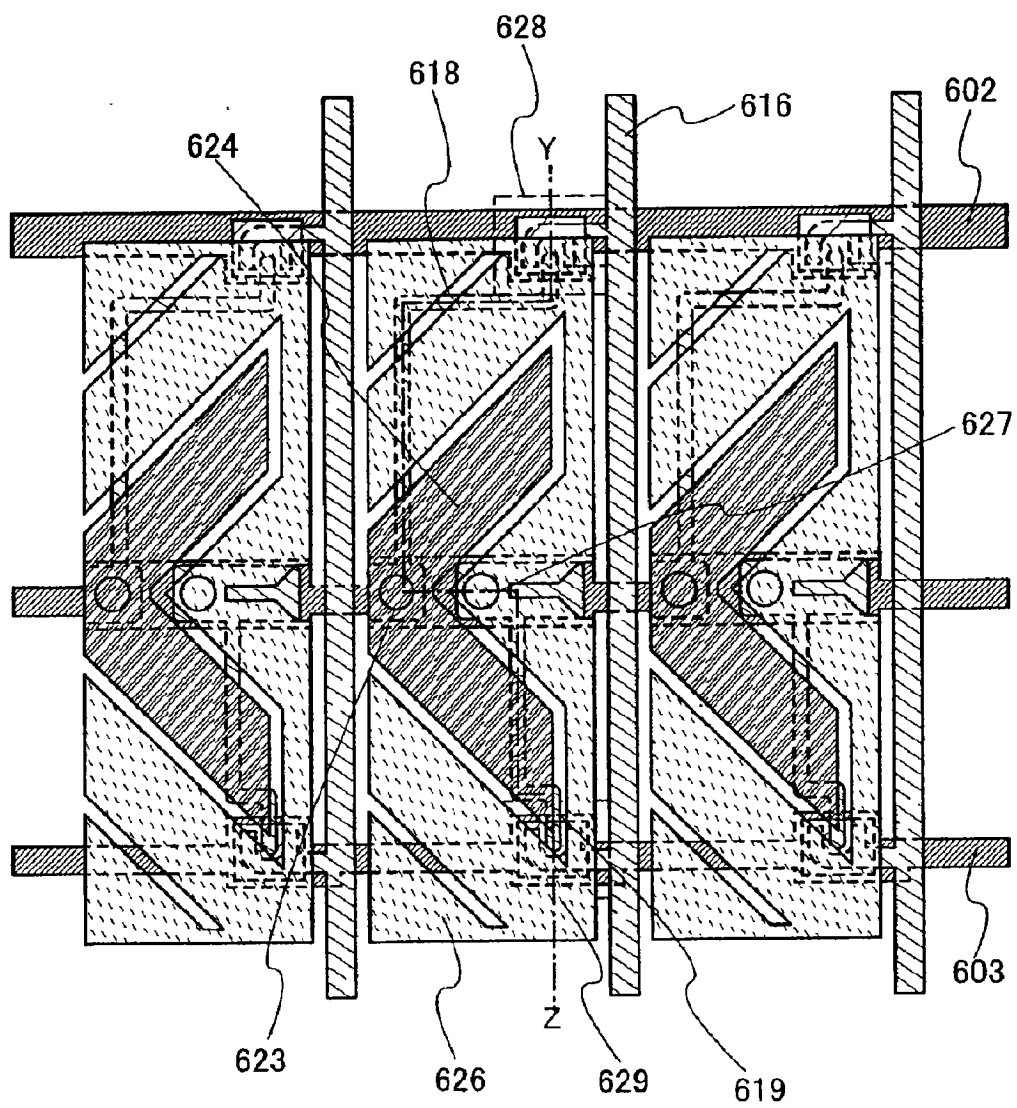


图 22

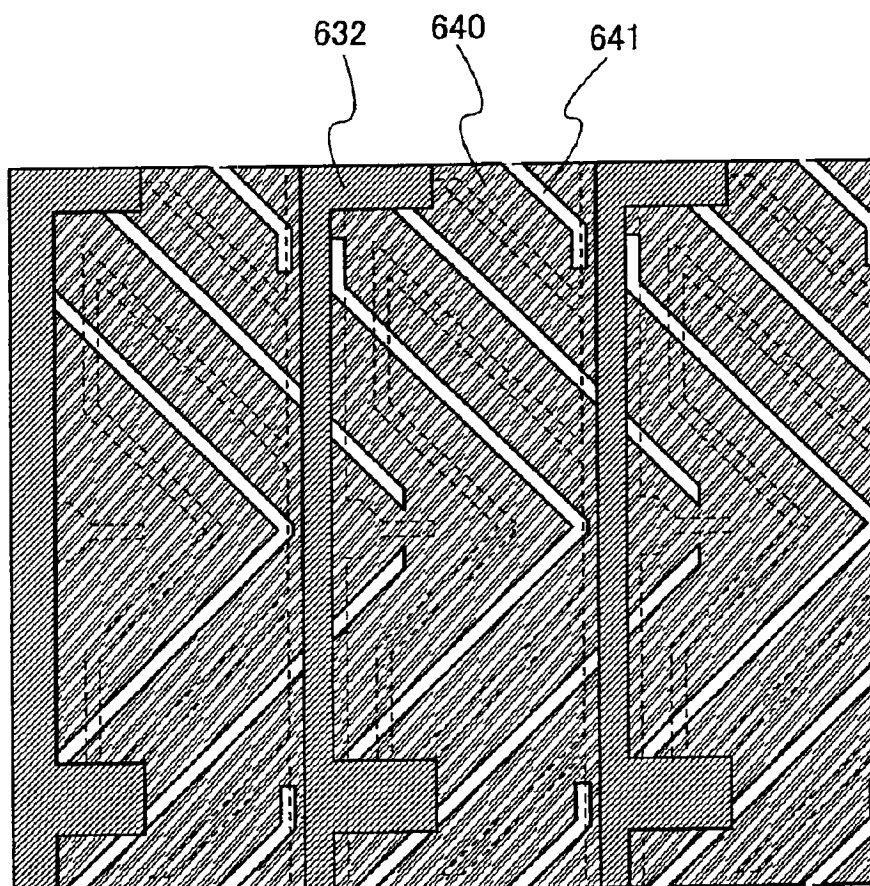


图 23

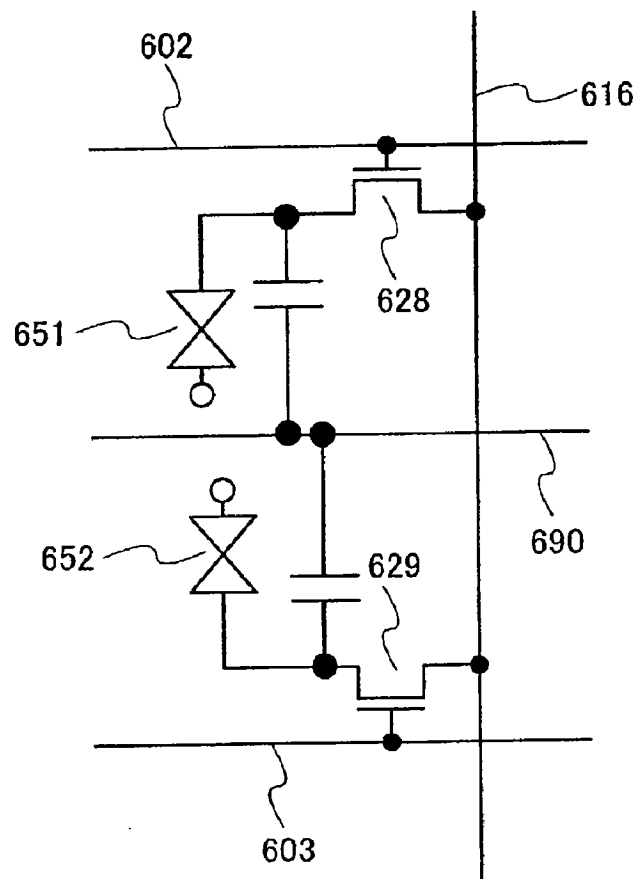


图 24

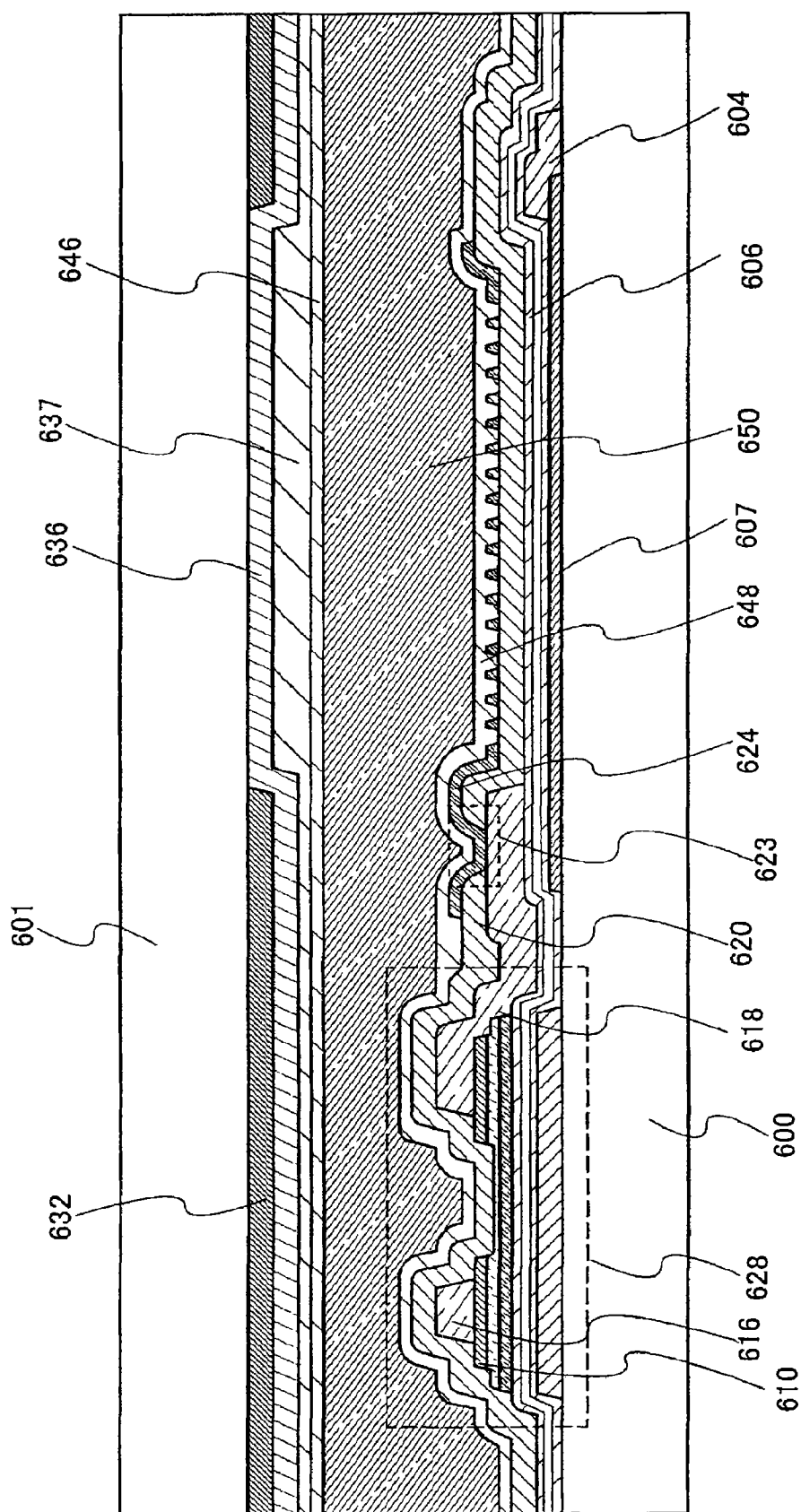


图 25

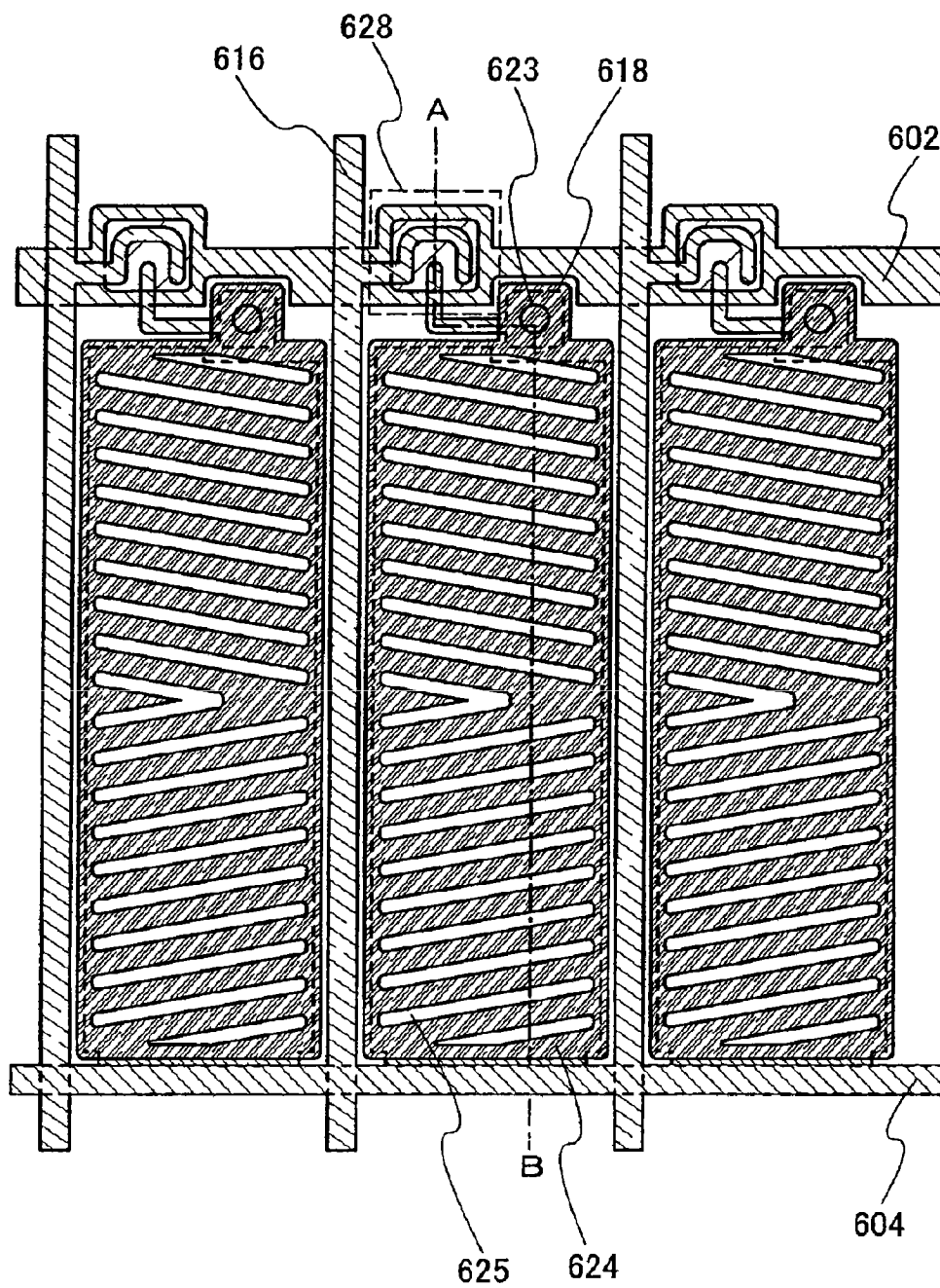


图 26

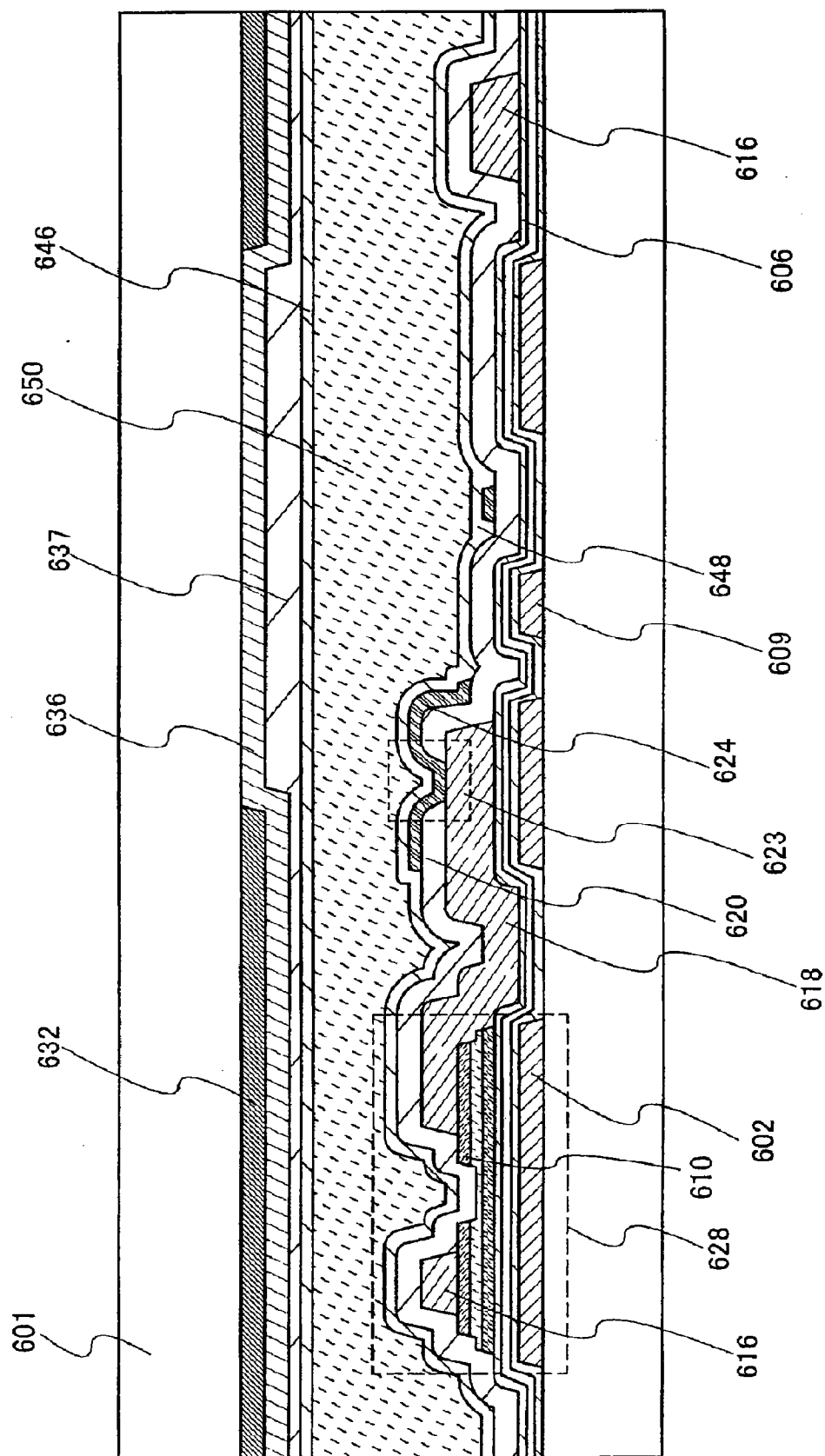


图 27

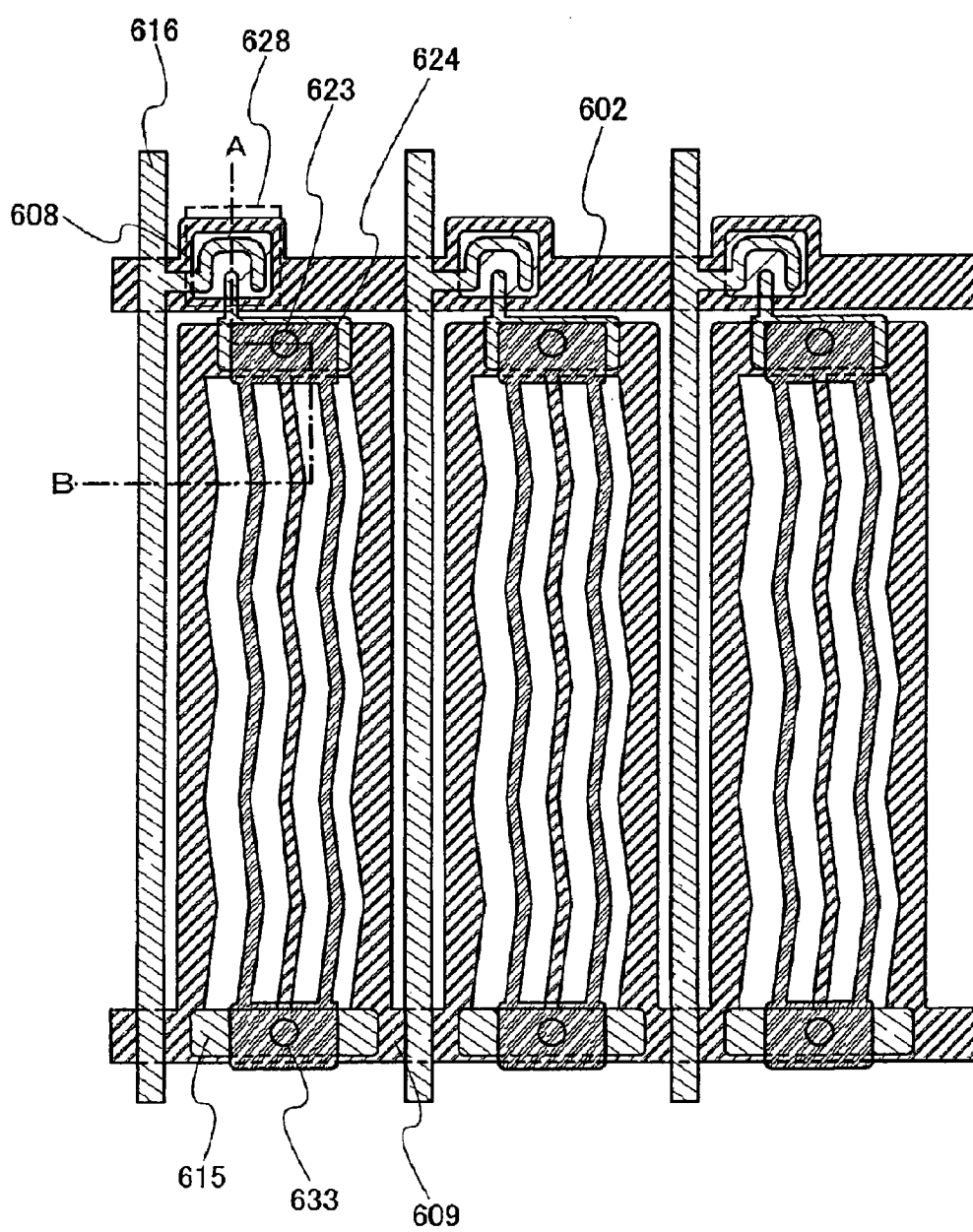


图 28

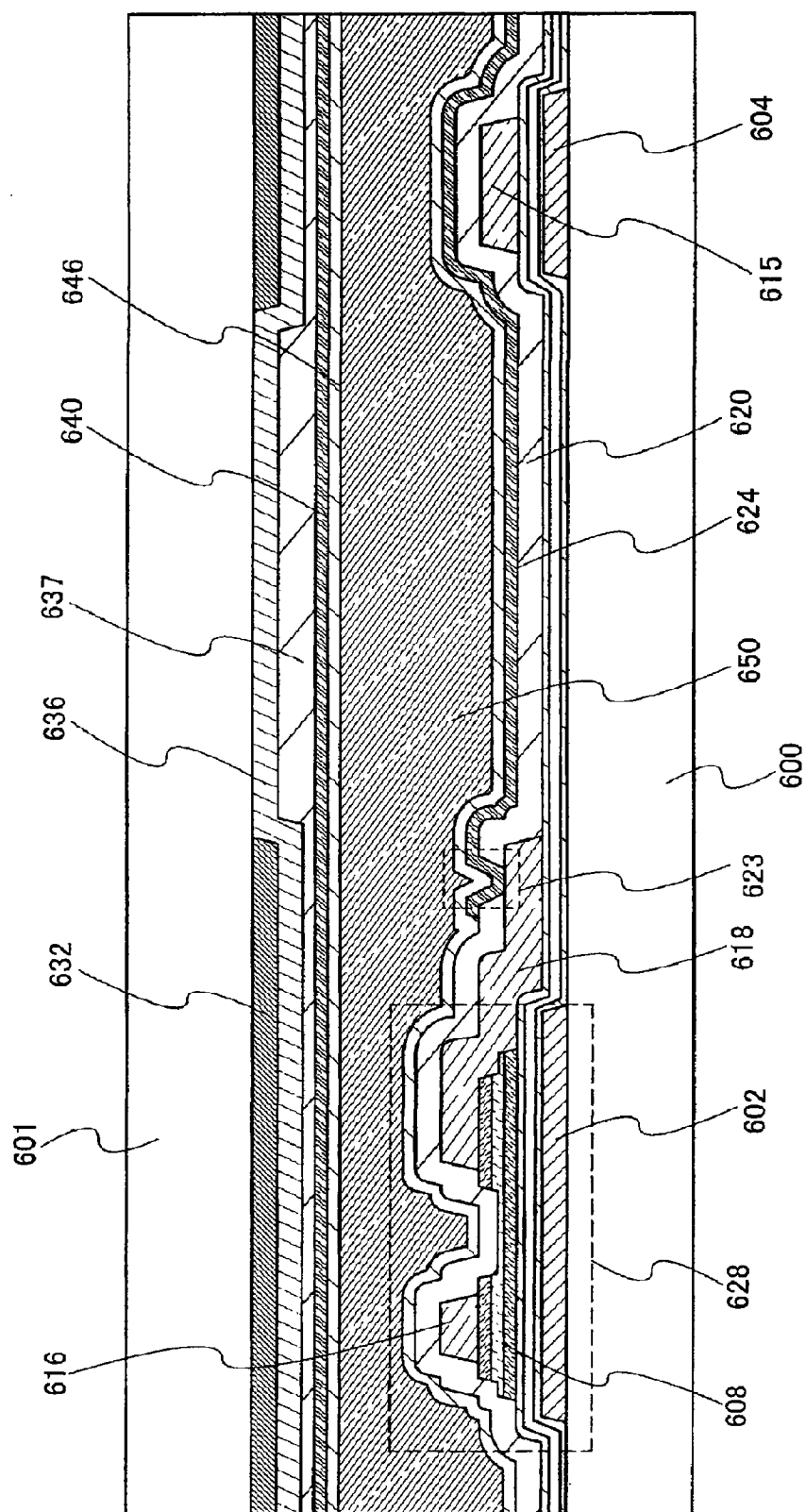


图 29

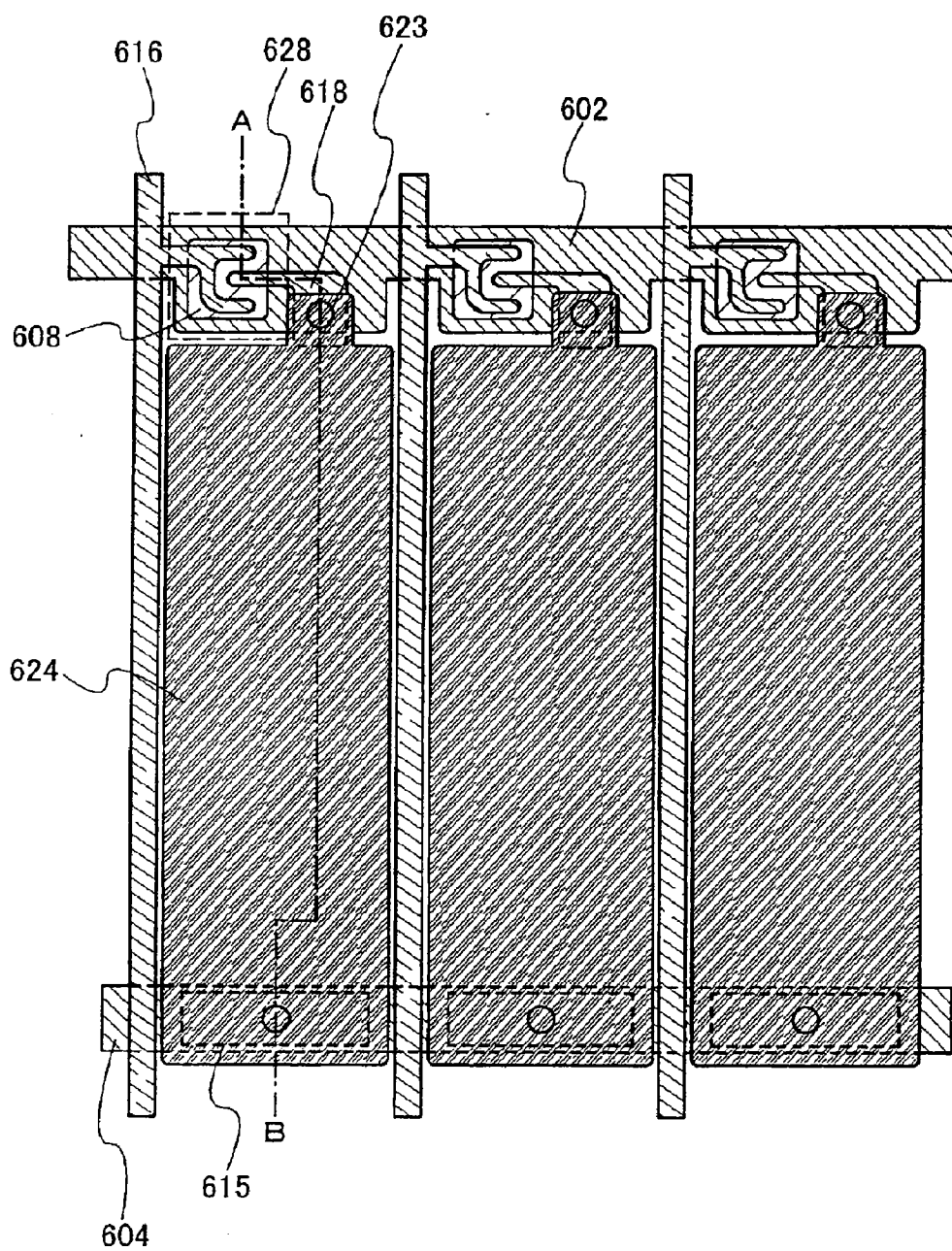


图 30

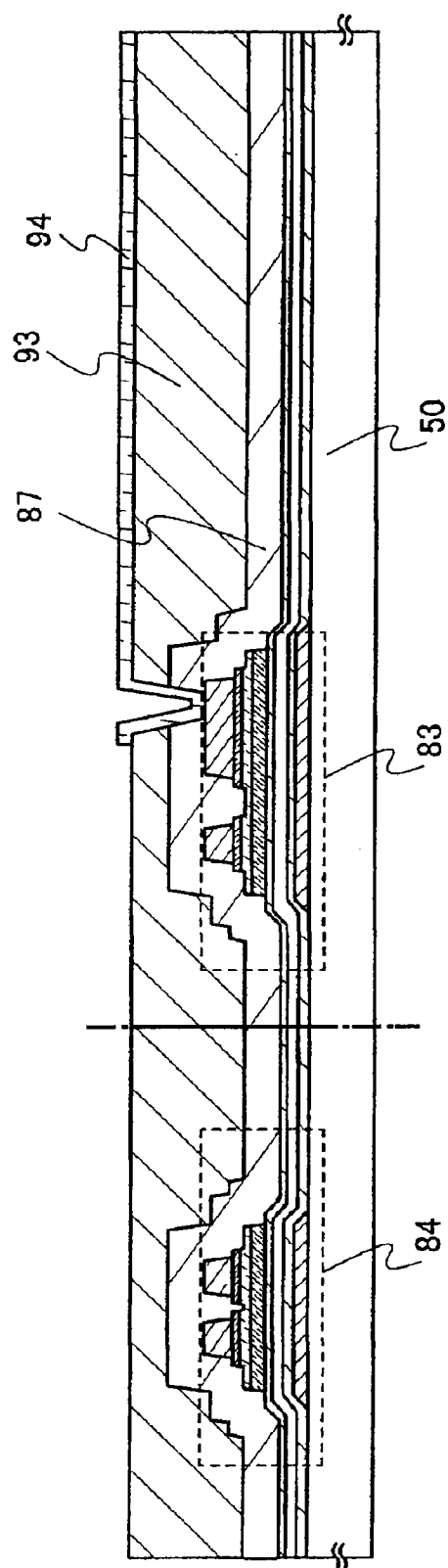


图 31A

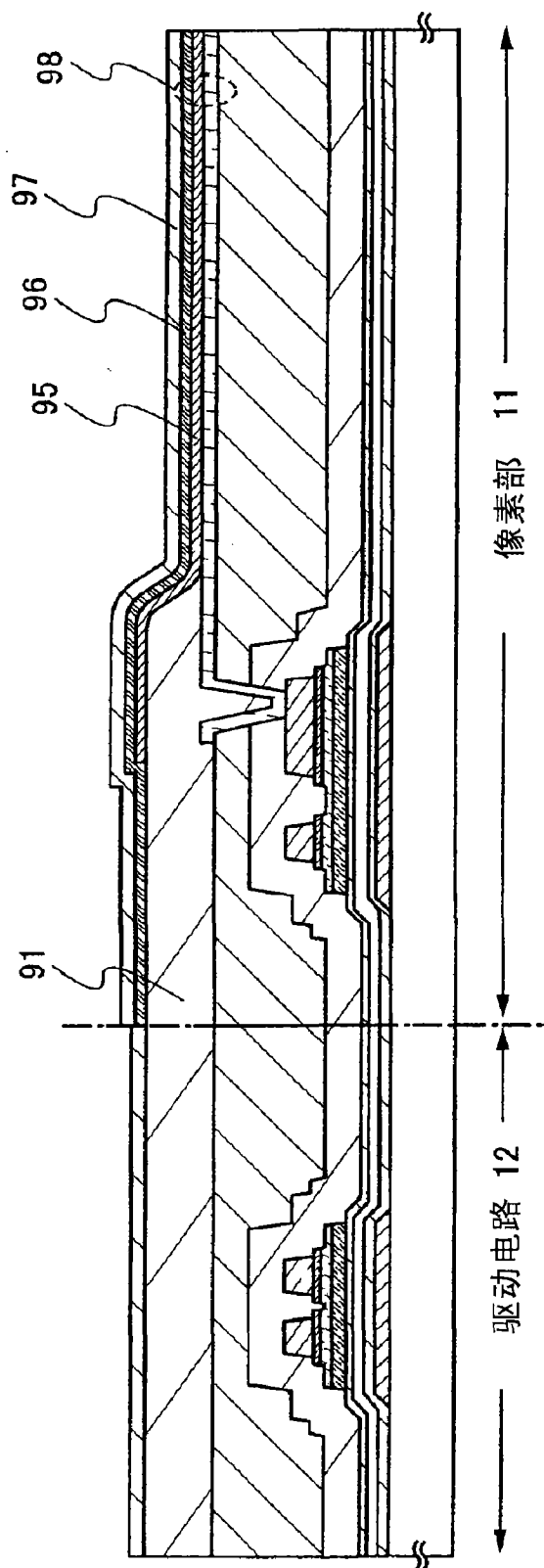


图 31B

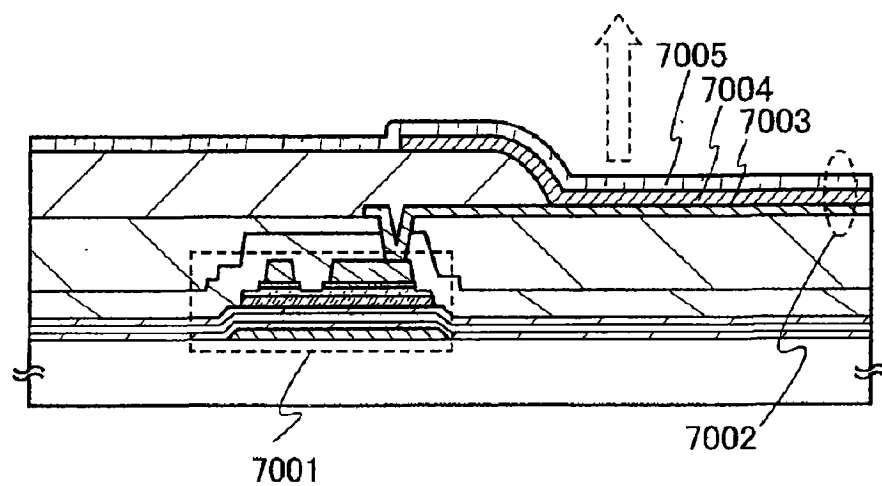


图 32A

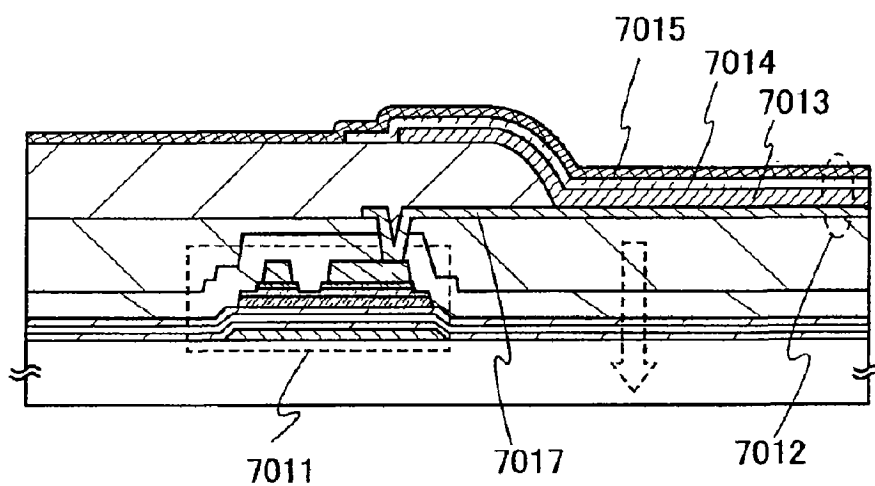


图 32B

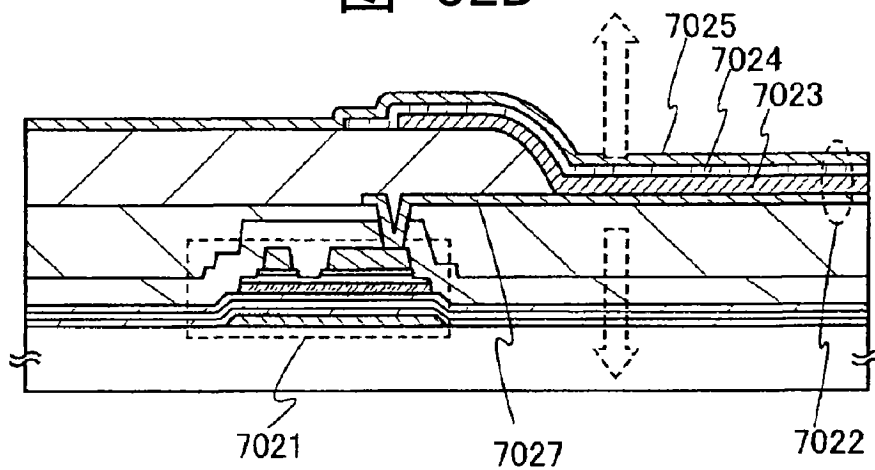


图 32C

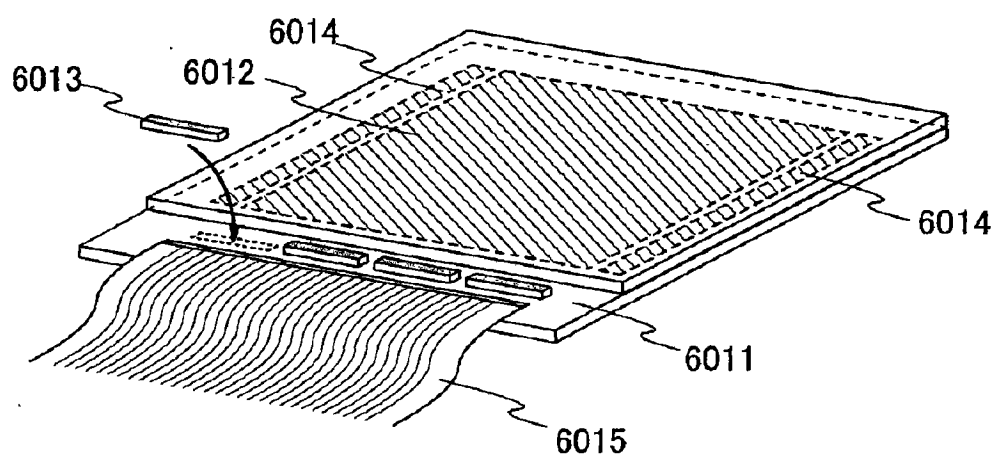


图 33A

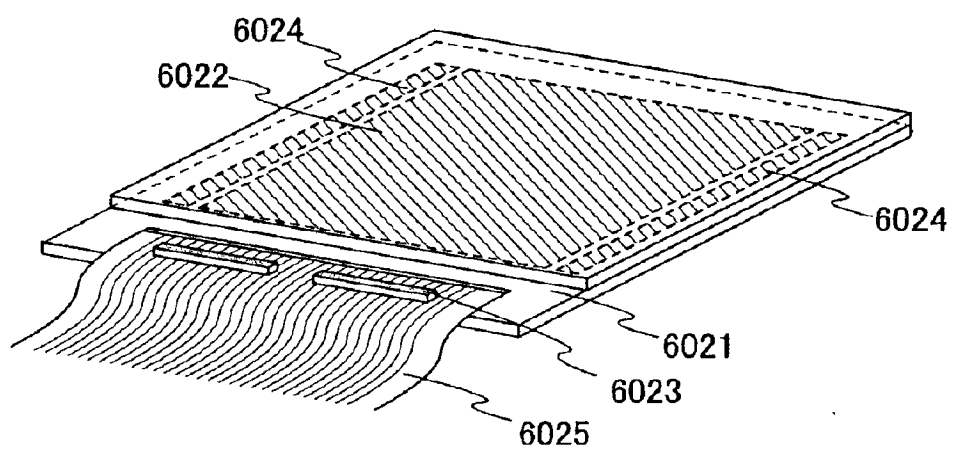


图 33B

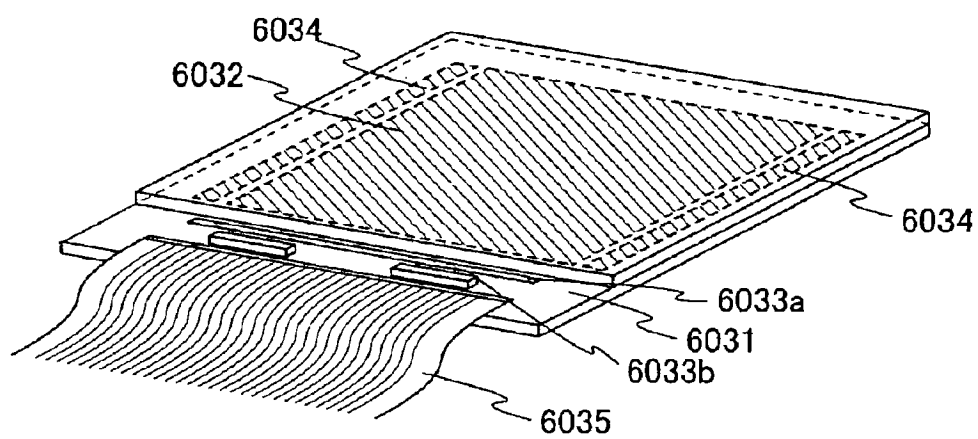


图 33C

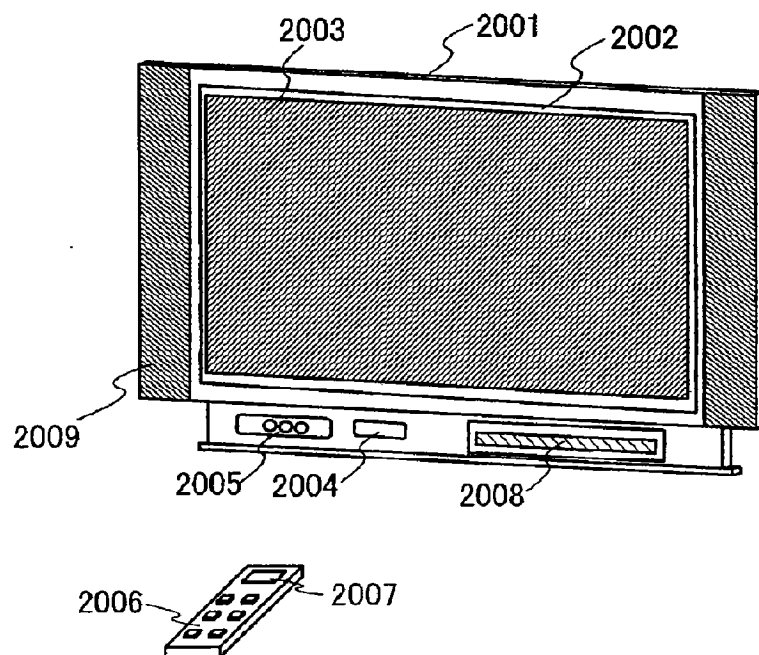


图 34A

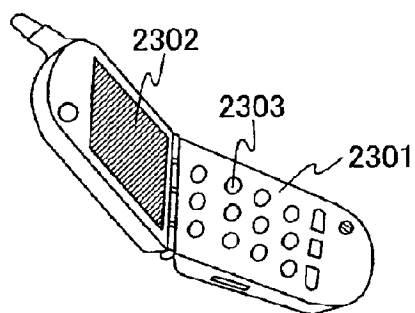


图 34B

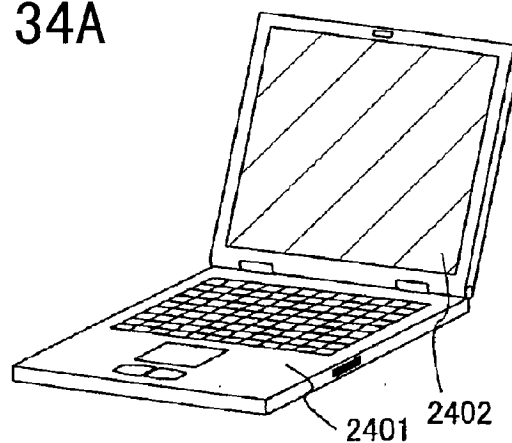


图 34C

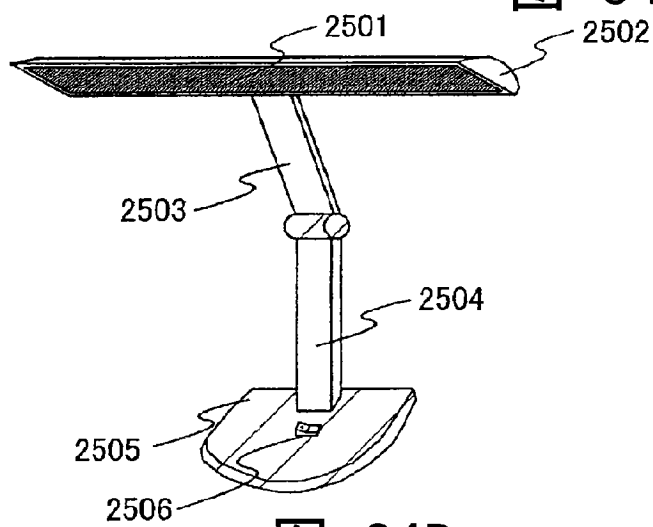


图 34D

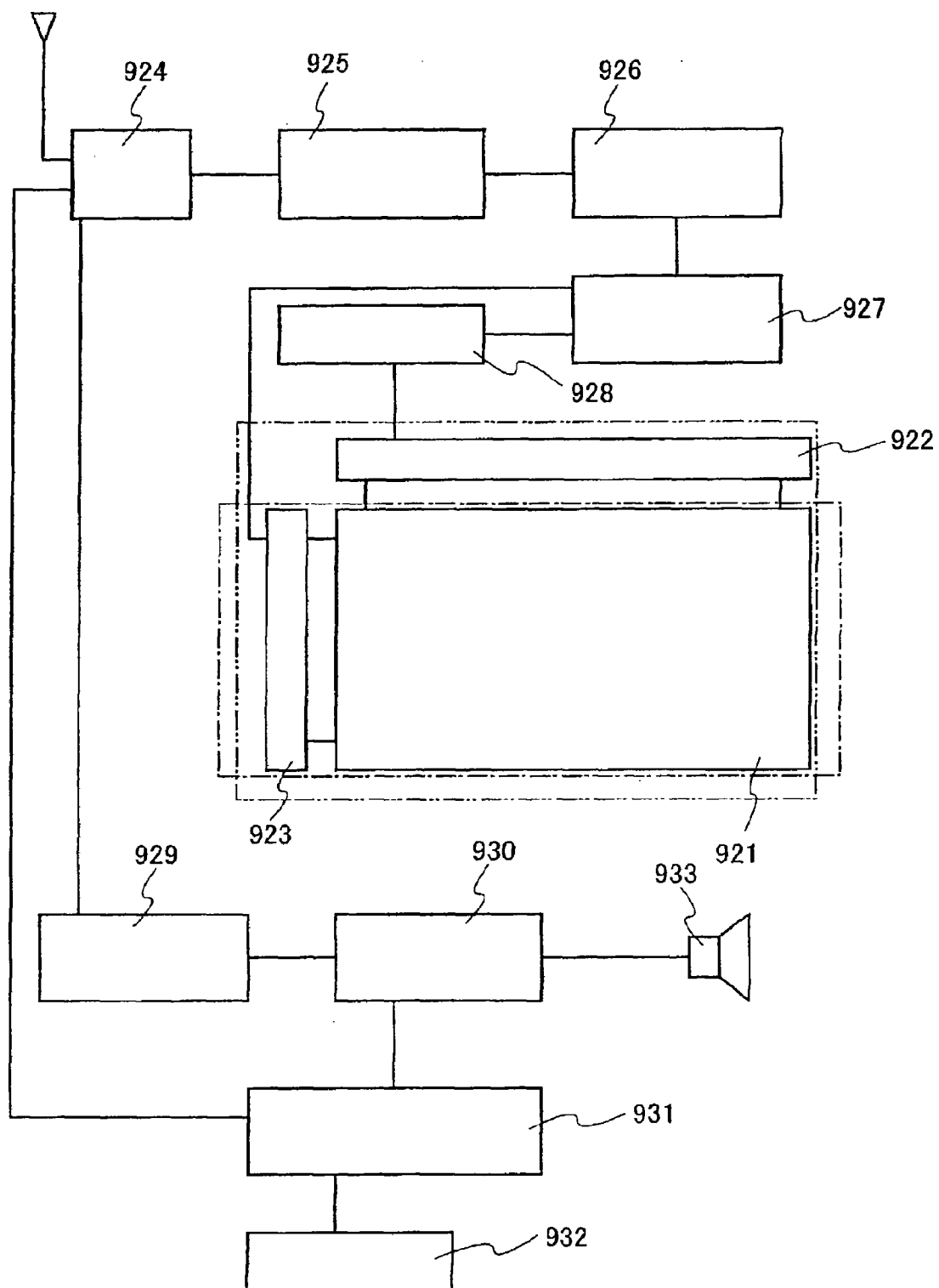


图 35

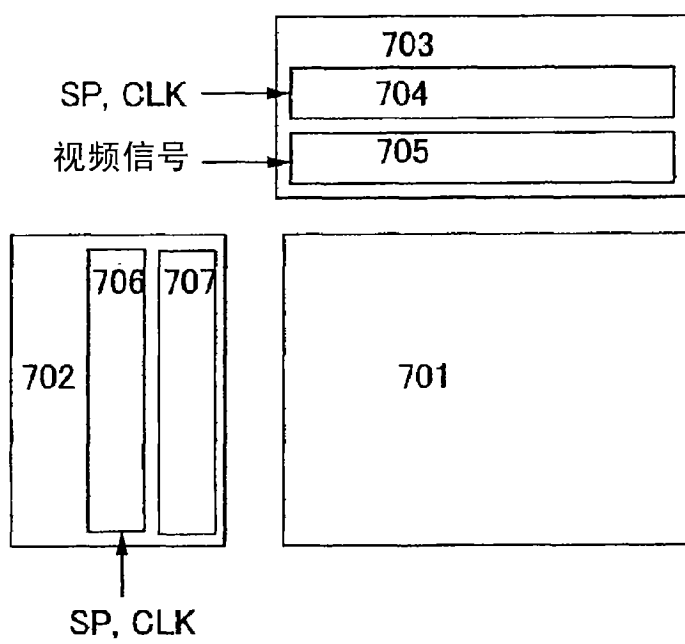


图 36

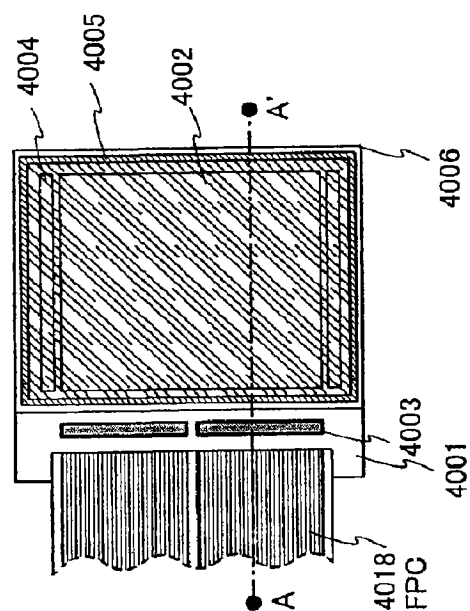


图 37A

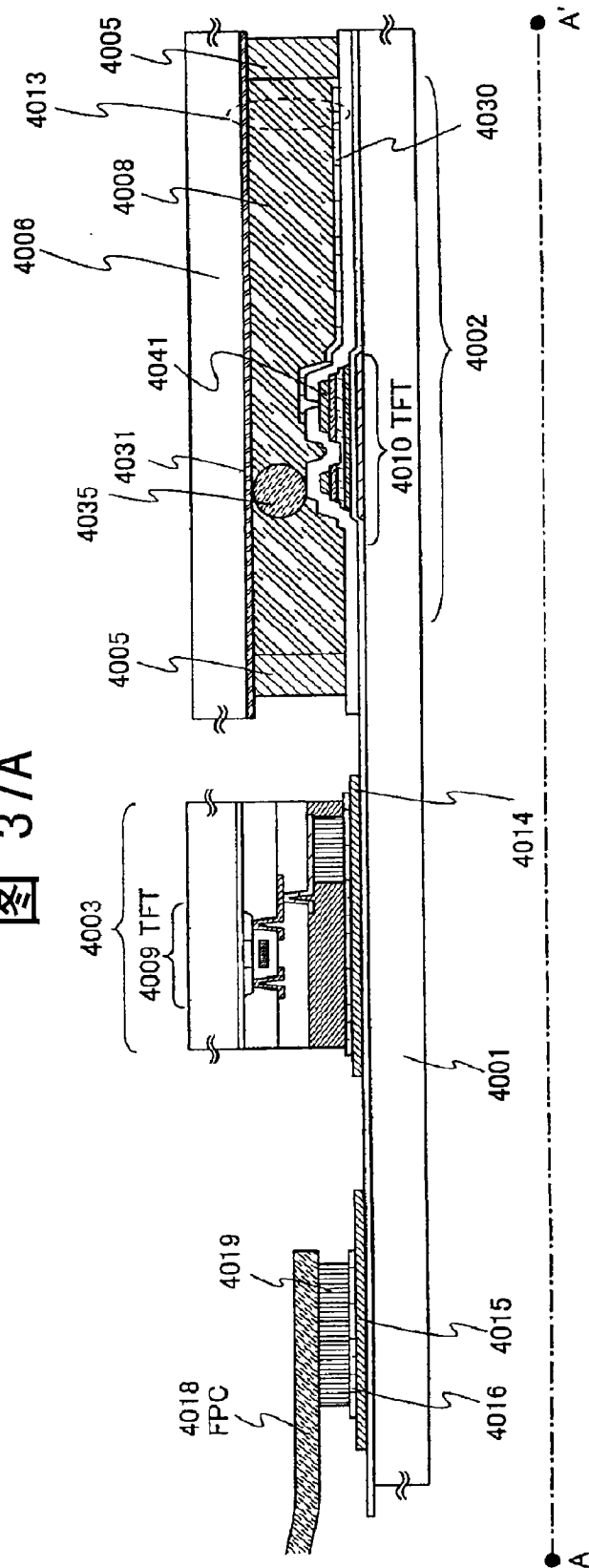


图 37B

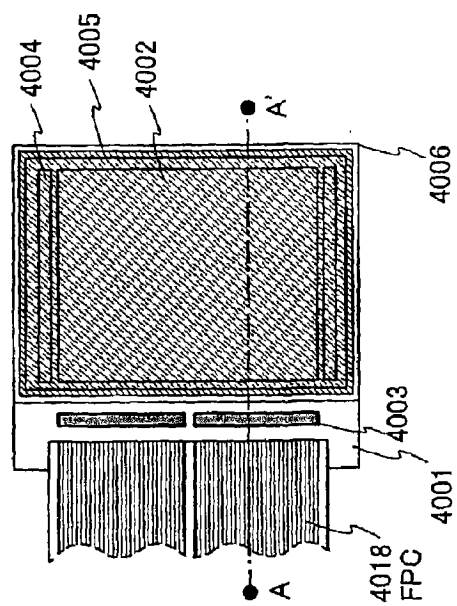


图 38A

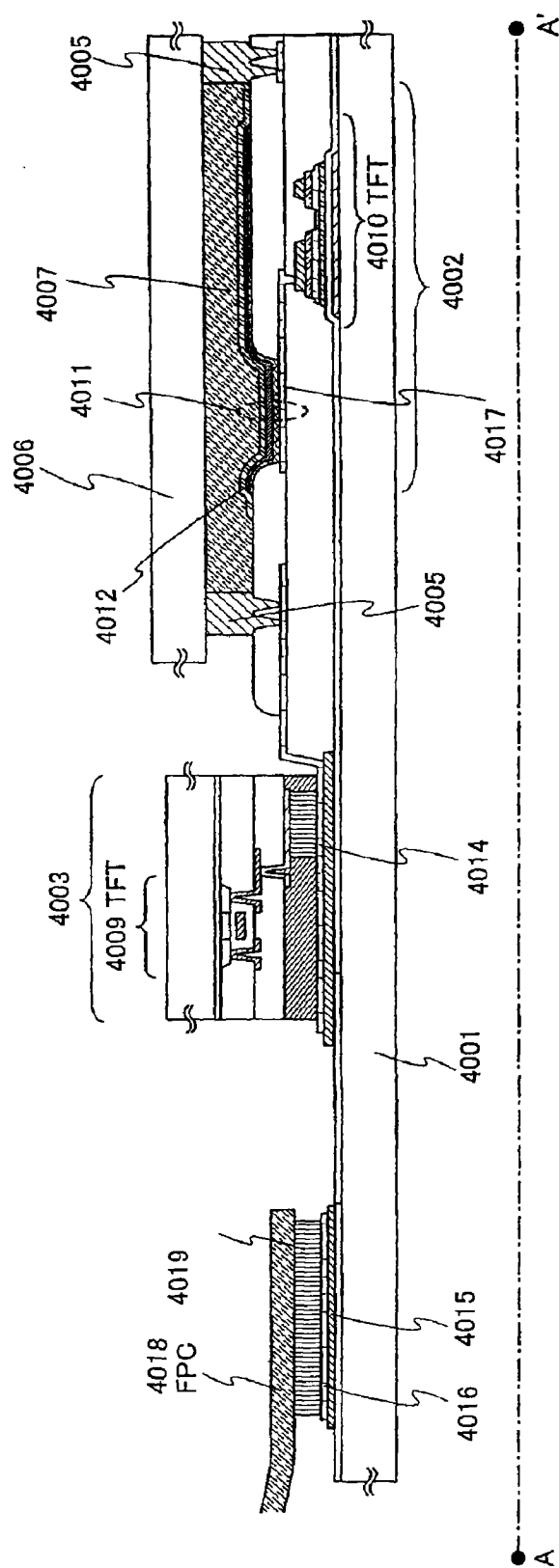


图 38B

	SiH4 流量	H2 流量	成膜 压力	电源 频率	RF 功率	电极 间隔	培养 时间	生长 速度 (堆积 速度)	膜厚 分布
< 单位 >	[sccm]	[sccm]	[Pa]	[MHz]	[W]	[mm]	[min]	[nm/min]	[± %]
比较例1	4	400	100	60	15	20	0.7	2.8	1.3
比较例2	4	400	100	13.56	80	30	0.4	4.8	1.3
样品1	4	400	100	13.56/60	60/20	30	0.8	6.3	1.8
样品2	4	400	100	13.56/60	40/40	30	0.3	5.5	2.1
样品3	4	400	100	13.56/60	20/60	30	0.0	3.6	1.7
比较例3	4	400	100	60	80	30	0.6	3.3	3.1

图 39