

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年12月12日 (12.12.2002)

PCT

(10) 国際公開番号
WO 02/099906 A1

(51) 国際特許分類: H01L 43/08, 27/105,
G11B 5/39, G01R 33/09, H01F 10/32

(HIRAMOTO,Masayoshi) [JP/JP]: 〒630-0243 奈良県 生駒市 俵口町 1863-2 Nara (JP). 松川 望 (MATSUKAWA,Nozomu) [JP/JP]: 〒631-0015 奈良県 奈良市 学園朝日元町 1丁目 498-2-1-101 Nara (JP). 出口 正洋 (DEGUCHI,Masahiro) [JP/JP]: 〒573-0093 大阪府 枚方市 東中振1丁目 20番 11-502号 Osaka (JP).

(21) 国際出願番号: PCT/JP02/05494

(74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒530-6026 大阪府 大阪市 北区 天満橋1丁目8番30号 OAPタワー26階 Osaka (JP).

(22) 国際出願日: 2002年6月4日 (04.06.2002)

日本語

(81) 指定国(国内): CN, KR, US.

(25) 国際出願の言語: 日本語

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(26) 国際公開の言語: 日本語

添付公開書類:

— 国際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

(30) 優先権データ:

特願2001-167971 2001年6月4日 (04.06.2001) JP
特願2001-167973 2001年6月4日 (04.06.2001) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1006番地 Osaka (JP).

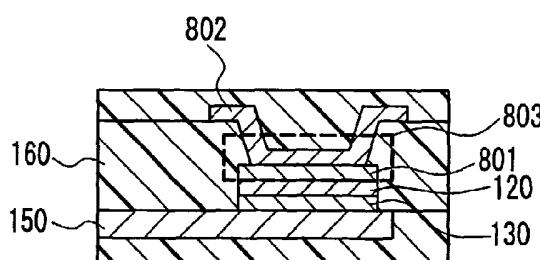
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 小田川 明弘 (ODAGAWA,Akihiro) [JP/JP]; 〒631-0032 奈良県 奈良市 あやめ池北3-10-7-404 Nara (JP). 平本 雅祥

(54) Title: MAGNETORESISTANCE ELEMENT AND MAGNETORESISTANCE STORAGE ELEMENT AND MAGNETIC MEMORY

(54) 発明の名称: 磁気抵抗素子および磁気抵抗記憶素子および磁気メモリ



(57) Abstract: A magnetoresistance element, wherein a first electric conductor is so formed as to contact almost the center of the surface opposite to a non-magnetic layer of a first ferromagnetic layer so formed as to sandwich, along with a second ferromagnetic layer, the non-magnetic layer, and an insulator so formed as to cover at least the side surfaces of the first ferromagnetic layer and the non-magnetic layer is formed so as to cover the peripheral edge of the surface of the first ferromagnetic layer, whereby it is possible to prevent a leakage current from flowing from the first electric conductor to a second electric conductor along the side surfaces of the first ferromagnetic layer, the non-magnetic layer and the second

ferromagnetic layer, and to make uniform a bias current running from the first electric conductor to the second electric conductor to thereby restrict variations in magnetoresistance characteristics such as MR value and junction resistance.

[続葉有]

WO 02/099906 A1



(57) 要約:

本発明に係る磁気抵抗素子においては、第2強磁性層とともに非磁性層を挟み込むように形成された第1強磁性層の非磁性層と反対側の表面における略中央に接触するように第1の電気伝導体が形成されており、少なくとも第1強磁性層と非磁性層との側面を覆うように形成された絶縁体が、第1強磁性層の表面の周縁を被覆するように形成されているので、第1電気伝導体から第1強磁性層、非磁性層及び第2強磁性層の側面に沿って、第2電気伝導体へ漏れ電流が流れることを防止できるとともに、第1電気伝導体から第2電気伝導体へと流れるバイアス電流を均一化することができ、その結果、MR値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

明細書

磁気抵抗素子および磁気抵抗記憶素子および磁気メモリ

技術分野

本発明は、微細な形状の磁気抵抗素子および微細な形状の磁気抵抗記憶素子および磁気メモリを可能とし、これらを行列状に配置した高密度磁気抵抗効果型記憶デバイスを実現するものである。

背景技術

磁気抵抗効果 (MR) 膜を用いた固体磁気メモリデバイス (MRAM) は、L. J. Schewe の、Proc. INTERMAG Conf. IEEE Trans. on Magn. Kyoto (1972) 405. によって提案され、記録磁界発生用の電流線であるワード線と MR 膜を用いた読み出し用のセンス線により成る構成の様々なタイプの MRAM が研究されている。

このような研究の例として、A. V. Pohm らの、IEEE Trans. on Magn. 28 (1992) 2356. が挙げられる。これらのメモリデバイスには、一般的に MR 变化率が 2 % 程度の異方性 MR 効果 (AMR) を示す NiFe 膜等が使用され、出力される信号値の向上が課題であった。

非磁性膜を挟んで交換結合した 2 つの磁性膜より成る人工格子膜が、巨大磁気抵抗効果 (GMR) を示すことが、M. N. Baibich ら、Phys. Rev. Lett. 61 (1988) 2472. に記述されている。また、このような GMR 膜を用いた MRAM の提案が、K. T. M. Rannamuthu ら、IEEE Trans. on Magn. 2

9 (1993) 2593. によってなされている。しかしながら、このような反強磁性交換結合をした磁性膜より成るGMR膜は、大きなMR変化率を示すものの、前述したAMR膜に比べ大きな印加磁界を必要とし、大きな情報記録および読み出し電流を必要とする問題点がある。

- 5 上記の交換結合型GMR膜に対して、非交換結合型GMR膜としてはスピンバルブ膜があり、反強磁性膜を用いたものが、B. Dieynら、
J. Magn. Magn. Mater. 93 (1991) 101. に記述されている。また、(半)硬質磁性膜を用いた非交換結合型GMR膜(スピンバルブ膜)が、H. Sakakimaら、Jpn. J. Appl. Phys. 33 (1994) L1668. に記述されている。これらの非交換結合型GMR膜(スピンバルブ膜)は、AMR膜と同様の低磁界で、かつAMR膜よりも大きなMR変化率を示す。また、反強磁性膜あるいは硬質磁性膜を用いたスピンバルブ膜を用いたMRAMにおいて、記憶素子が非破壊読み出し特性(NDRO)を有することを示すものが、
10 Y. Irieら、Jpn. J. Appl. Phys. 34 (1995) L415. に記述され、本発明はこの技術に関連する。
- 15 上記の非交換結合型GMR膜の非磁性膜はCu等の導体膜であるが、
非磁性膜にAl₂O₃やMgO等の酸化物絶縁膜を用いたトンネル型G
MR膜(TMR膜)の研究も盛んとなり、このTMR膜を用いたMRA
20 Mも提案されている。

- 25 非交換結合型GMR膜においては、膜面に垂直に電流を流した場合の
MR効果(CPPMR)の方が膜面に平行に電流を流した場合のMR効
果(CIPMR)より大きいことが知られている。また、更にTMR膜
はインピーダンスが高いので、TMR膜を用いることにより大きな出力
が期待される。

しかし、このようなスピンバルブ膜によって構成される磁気抵抗素子

あるいは磁気抵抗記憶素子を利用した磁気メモリや磁気ヘッドを実際に作製する場合には、素子間および加工ウェハー間での素子の磁気抵抗特性のばらつきを最小限に抑制することが重要になる。なかでも、MR値（MR値は $(R_{ap} - R_p) / R_p$ で定義する。ここで R_p は非磁性層を挟んだ 2 つの強磁性層の磁化方向が互いに平行な際の抵抗値を表しており、 R_{ap} は 2 つの強磁性層の磁化方向が互いに非平行な際の抵抗を表している。MR値が最も大きくなるのは R_{ap} として 2 つの強磁性層の磁化方向が互いに反平行な際の抵抗値を示すときである。）のばらつき、接合抵抗値（一般に $R_p \times A$ で表される。A は素子の接合面積を表す。）のばらつき、および MR 値と接合抵抗値との間のバイアス依存性のばらつきを抑制することが重要である。

素子を微細化した結果、素子のサイズがサブミクロンオーダーになると、接合抵抗値のばらつきが顕著になる。この原因は、素子の接合面積の低下に伴い、素子と電極材との間の電気コンタクトが実質上容易ではなくなり、接合面における電気コンタクトの状態の分布が不均一になるためであると考えられる。

本発明は、上記のような課題を鑑みて、微細パターン化された磁気抵抗素子および磁気抵抗記憶素子および磁気メモリにおける MR 値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することを目的とする。

20

発明の開示

本発明に係る磁気抵抗素子は、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第 1 強磁性層および第 2 強磁性層と、前記第 1 強磁性層の前記非磁性層と反対側の表面における略中央に接触するよう 25 に形成された第 1 電気伝導体と、前記第 2 強磁性層の前記非磁性層と反対側の表面に接触するよう に形成された第 2 電気伝導体と、少なくと

も前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体とを具備する磁気抵抗素子であって、前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっており、前記磁気抵抗素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ電流が流れることによって動作するようになっており、前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、前記絶縁体は、前記第1強磁性層の前記表面における周縁を覆うように形成されていることを特徴とする。

本発明に係る磁気抵抗記憶素子は、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するように形成された第1電気伝導体と、前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、少な
くとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体とを具備する磁気抵抗記憶素子であって、前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっており、前記磁気抵抗記憶素子は、

前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ電流が流れることによって動作するようになっており、前記磁気抵抗記憶素子は、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによって少なくとも2つ以上の記憶状態を有しております、前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、前記絶縁体は、前記第1強磁性層の前記表面における周縁を被覆するように形成されていることを特徴とする。

本発明に係る磁気メモリは、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するよう15に形成された第1電気伝導体と、前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体と、前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2強磁性層との双方の磁化を反転させるために設けられ、前記第1強20磁性層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気メモリであって、前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしに

くくなつており、前記磁気メモリは、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通つて前記第2電気伝導体へ電流が流れることによつて動作するようになつており、前記磁気メモリは、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによつて少なくとも2つ以上の記憶状態を有しており、前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通つて前記電流が流れることによつて電気的接触を保つ以外は、前記絶縁体によつて電気的に絶縁されており、前記絶縁体は、前記第1強磁性層の前記表面における周縁を被覆するように形成されていることを特徴とする。

本発明に係る他の磁気抵抗素子は、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するように形成された第1電気伝導体と、前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体とを具備する磁気抵抗素子であつて、前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿つて磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなつており、前記磁気抵抗素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通つて前記第2電気伝導体へ電流が流れることによつて動作するようになつており、前記第1電気伝導体と前記第2電気伝導体とは、前

記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、少なくとも 1×10^5 アンペア/ cm^2 以上の電流が前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ流れることによって前記磁気抵抗素子が動作するように、前記第1強磁性層の前記表面における周縁を前記絶縁体が被覆していることを特徴とする。

本発明に係る他の磁気抵抗記憶素子は、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するように形成された第1電気伝導体と、前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体と、前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2強磁性層との双方の磁化を反転させるために設けられ、前記第1強磁性層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気抵抗記憶素子であって、前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっており、前記磁気抵抗記憶素子は、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによって少なくとも2つ以上の記憶状態を有しており、前記第1電気伝導体と

前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、前記磁気抵抗記憶素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ第1電流を流して磁気抵抗変化を検出することによって記憶状態を読み出し、前記非磁性導電層に第2電流を流すことによって発生する磁界によって記憶状態を書き込み、またあるいは、前記非磁性導電層に第2電流を流し、それと同期して、前記第1伝導体または前記第2伝導体に第3電流を流して発生する合成磁界により、記憶状態を書き込み、少なくとも 1×10^5 アンペア/ cm^2 以上の前記第1電流が前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ流れることによって前記記憶状態を読み出すように、前記第1強磁性層の前記表面における周縁を前記絶縁体が被覆していることを特徴とする。

本発明に係る他の磁気メモリは、非磁性層と、前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するように形成された第1電気伝導体と、前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体と、前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2強磁性層との双方の磁化を反転させるために設けられ、前記第1強磁性層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気メモリであって、前記第1強磁性層および前記第2強磁性層の

少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっており、前記磁気抵抗記憶素子は、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによって少なくとも2つ以上の記憶状態を有しており、前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、前記磁気抵抗記憶素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記第2電気伝導体へ第1電流を流して磁気抵抗変化を検出することによって記憶状態を読み出し、前記非磁性導電層に第2電流を流すことによって発生する磁界によって記憶状態を書き込み、またあるいは、前記非磁性導電層に第2電流を流し、それと同期して、前記第1伝導体または前記第2伝導体に第3電流を流して発生する合成磁界により、記憶状態を書き込むようになっている磁気抵抗記憶素子が2次元状あるいは3次元状に整列配置された記憶素子アレイと、前記記憶素子アレイに記憶された情報を選択的に読み出すために、前記第1電気伝導体または第2電気伝導体に接続された第1トランジスタと、前記磁気抵抗記憶素子の磁気抵抗変化を出力するビット線に接続された感度増幅器と、前記記憶素子アレイに記憶させる情報を選択的に書き込むために、前記非磁性導電体に接続された第2トランジスタと、前記非磁性導電体に接続された電流源とを具備することを特徴とする。

図面の簡単な説明

図 1 A および図 1 B は、本発明の実施の形態 1 における磁気抵抗記憶素子の断面図である。

図 2 A および図 2 B は、本発明の実施の形態 1 における磁気抵抗記憶
5 素子の動作原理を示す図である。

図 3 A および図 3 B は、本発明の実施の形態 2 における磁気抵抗記憶素子の断面図である。

図 4 A～図 4 C は、本発明の実施の形態 2 における磁気抵抗記憶素子の動作原理を示す図である。

10 図 5 A～図 5 E は、本発明の実施の形態 3 における素子の断面図である。

図 6 は、本発明の実施の形態 3 における素子の上面図である。

図 7 A～図 7 X は、本発明の実施の形態 3 における素子形状を示す上
面図である。

15 図 7 Y は、本発明の実施の形態 3 における素子形状における座標を示
す図である。

図 8 は、本発明の実施の形態 3 における磁場変化に対する磁気抵抗変
化率特性を示す図である。

20 図 9 A～図 9 D は、本発明の実施の形態 3 における素子形状を示す上
面図である。

図 10 A～図 10 C は、本発明の実施の形態 3 における素子形状を示
す上面図である。

図 11 A から図 11 D は、本発明の実施の形態 3 における素子の断面
図である。

25 図 11 E は、本発明の実施の形態 3 における素子の上面図である。

図 12 は、本発明の実施の形態 3 における磁気抵抗素子の評価結果を

示す図である。

図13A～図13Cは、本発明の実施の形態3における素子の断面図である。

図14Aは、本発明の実施の形態3における素子の断面図である。

5 図14Bおよび図14Cは、本発明の実施の形態4における素子の断面図である。

図15A～図15Dは、本発明の実施の形態4における素子の断面図である。

10 図16A～図16Gは、本発明の実施の形態4における素子の断面図である。

図17A～図17Fは、本発明の実施の形態4における素子の断面図である。

図18A～図18Cは、本発明の実施の形態4における素子形状を作製する工程図である。

15 図19Aは、本発明の実施の形態5におけるMRAMデバイスを示す上面図である。

図19Bは、本発明の実施の形態5におけるMRAMデバイスの一部を示す斜視図である。

20 図19Cは、本発明の実施の形態5におけるMRAMデバイスの一部を示す断面図である。

図20は、本発明の磁気抵抗記憶素子におけるアステロイド型の磁界曲線を示す図である。

図21Aは、本発明の実施の形態5における磁気抵抗記憶素子を示す断面図である。

25 図21Bは、本発明の実施の形態5におけるMRAMデバイスの一部を示す斜視図である。

図22A～図22Dは、本発明の実施の形態6における磁気抵抗記憶素子の断面図である。

図23A～図23Dは、本発明の実施の形態7におけるMR素子部を示す断面図である。

5 図23E～図23Gは、本発明の実施の形態7における強磁性膜を示す斜視図である。

図24Aおよび図24Bは、本発明の実施の形態8における磁気抵抗記憶素子の動作を示す図である。

図25Aおよび図25Bは、本発明の実施の形態9における磁気抵抗記憶素子の動作を示す図である。

図26Aおよび図26Bは、本発明の実施の形態11における磁気抵抗記憶素子の動作を示す図である。

図27Aは、本発明の実施の形態16におけるMRAMデバイスを示す斜視図である。

15 図27Bは、本発明の実施の形態16におけるMRAMデバイスの一部を示す斜視図である。

図27Cから図27Eは、本発明の実施の形態16の変形例におけるMRAMデバイスの一部を示す斜視図である。

20 図27Fは、本発明の実施の形態16におけるMRAMデバイスを示す上面図である。

図28は、本発明の実施の形態22における磁気抵抗記憶素子の動作を示す図である。

図29Aは、本発明の実施の形態22におけるMRAMデバイスを示す斜視図である。

25 図29Bは、本発明の実施の形態22におけるMRAMデバイスを示す上面図である。

図 30 A は、本発明の実施の形態 23 における磁気抵抗効果ヘッドを示す斜視図である。

図 30 B は、本発明の実施の形態 23 における磁気抵抗効果ヘッドを示す断面図である。

5 図 31 A は、本発明の実施の形態 23 における磁気ディスク装置を示す上面図である。

図 31 B は、本発明の実施の形態 23 における磁気ディスク装置を示す断面図である。

10 発明を実施するための最良の形態

本発明に係る磁気抵抗素子においては、第 2 強磁性層とともに非磁性層を挟み込むように形成された第 1 強磁性層の非磁性層と反対側の表面における略中央に接触するように第 1 電気伝導体が形成されており、少なくとも第 1 強磁性層と非磁性層との側面を覆うように形成された絶縁体は、第 1 強磁性層の表面における周縁を被覆するように形成されている。このため、第 1 電気伝導体から第 1 強磁性層、非磁性層および第 2 強磁性層の側面に沿って第 2 電気伝導体へ漏れ電流が流れることを防止することができるので、第 1 電気伝導体から第 1 強磁性層、非磁性層および第 2 強磁性層を通って第 2 電気伝導体へバイアス電流が均一に流れ 20 る。その結果、磁気抵抗素子における MR 値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

前記絶縁体によって被覆される前記第 1 強磁性層の前記表面の面積の割合は、前記第 1 強磁性層の前記表面の全体の面積の 5 % 以上 60 % 以下になっていることが好ましい。磁気抵抗素子における MR 値および接合抵抗値のばらつきをより顕著に抑制することができるからである。絶縁体によって被覆される第 1 強磁性層の表面の面積の割合が 5 % よりも

小さいと、第1強磁性層の表面から第1強磁性層、非磁性層および第2強磁性層の側面に沿って漏れ電流が流れるために、第1強磁性層、非磁性層および第2強磁性層を通って流れるバイアス電流が不均一になる結果、MR値および接合抵抗値にはばらつきが生じる。絶縁体によって被覆される第1強磁性層の表面の面積の割合が60%よりも大きいと、5%以上60%以下の場合程にはMR値および接合抵抗値のばらつきの抑制に顕著な効果が見られない。

前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対して5度以上90度未満の角度を有するスロープが形成されていることが好ましい。磁気抵抗素子におけるMR値および接合抵抗値のばらつきをより顕著に抑制するためである。特に30度以上80度未満の角度においては、より一層顕著にばらつきを抑制することができる。

前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部は、前記第1強磁性層の前記表面に対して少なくとも1nm以上の厚みを有していることが好ましい。第1強磁性層の表面を通って漏れ電流が流れることを防止するためである。

前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、曲率半径5nm以上を有する曲面が形成されていることが好ましい。第1強磁性層の表面における周縁を被覆する絶縁体を容易に形成することができるからである。

前記第1電気伝導体と接触する前記第1強磁性層の前記表面の面積の割合は、前記第1強磁性層の前記表面の全体の面積の40%よりも大きく95%よりも小さくなっていることが好ましい。磁気抵抗素子におけるMR値および接合抵抗値のばらつきをより顕著に抑制することができるからである。第1電気伝導体と接触する第1強磁性層の表面の面積の

割合が 95 %以上であると、第 1 強磁性層の表面から第 1 強磁性層、非磁性層および第 2 強磁性層の側面に沿って漏れ電流が流れるために、第 1 強磁性層、非磁性層および第 2 強磁性層を通って流れるバイアス電流が不均一になる結果、MR 値および接合抵抗値にばらつきが生じる。第 5 電気伝導体と接触する第 1 強磁性層の表面の面積の割合が 40 %以下であると、40 %よりも大きく 95 %よりも小さくなっている場合程には MR 値および接合抵抗値のばらつきの抑制に顕著な効果が見られない。

前記第 1 強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第 1 強磁性層の前記表面に対して 90 度以上 180 度未満の角度を有するスロープが形成されていることが好ましい。磁気抵抗素子における MR 値および接合抵抗値のばらつきをより顕著に抑制するためである。特に 90 度以上 140 度未満の角度においてより一層顕著にばらつきを抑制することができる。

本発明に係る磁気抵抗記憶素子においては、第 2 強磁性層とともに非磁性層を挟み込むように形成された第 1 強磁性層の非磁性層と反対側の表面における略中央に接触するように第 1 電気伝導体が形成されており、少なくとも第 1 強磁性層と非磁性層との側面を覆うように形成された絶縁体は、第 1 強磁性層の表面における周縁を被覆するように形成されている。このため、第 1 電気伝導体から第 1 強磁性層、非磁性層および第 20 強磁性層の側面に沿って第 2 電気伝導体へ漏れ電流が流れることを防止することができるので、第 1 電気伝導体から第 1 強磁性層、非磁性層および第 2 強磁性層を通って第 2 電気伝導体へバイアス電流が均一に流れれる。その結果、磁気抵抗記憶素子における MR 値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

25 本発明に係る磁気メモリにおいては、第 2 強磁性層とともに非磁性層を挟み込むように形成された第 1 強磁性層の非磁性層と反対側の表面に

5 おける略中央に接触するように第1電気伝導体が形成されており、少なくとも第1強磁性層と非磁性層との側面を覆うように形成された絶縁体は、第1強磁性層の表面における周縁を被覆するように形成されている。このため、第1電気伝導体から第1強磁性層、非磁性層および第2強磁性層の側面に沿って第2電気伝導体へ漏れ電流が流れることを防止することができる、第1電気伝導体から第1強磁性層、非磁性層および第2強磁性層を通じて第2電気伝導体へバイアス電流が均一に流れる。その結果、磁気メモリにおけるMR値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

10 以下、本発明の実施の形態を図面を参照して説明する。

(実施の形態1)

図1Aおよび図1Bに本発明の実施の形態1における磁気抵抗素子500の断面図を示す。

15 磁気抵抗素子500は、硬質磁性膜を用いたスピンドル型（以下ではHMスピンドル型と呼ぶ）磁気抵抗素子である。

HMスピンドル型磁気抵抗素子500においては、硬質磁性膜110（第1強磁性層）と、非磁性絶縁膜120と、軟磁性膜130（第2強磁性層）によりMR素子部100が形成される。軟磁性膜130は硬質磁性膜110よりも外部磁界に対して磁化回転しやすい。MR素子部20 100は、センス線およびビット線をそれぞれ構成する導電膜140および150に接続される。また、ワード線を構成する導電膜170が絶縁膜160を介してMR素子部100の上部に設けられている。

25 本発明の説明において、図示される各磁性膜中に示される矢印は、各磁性膜のそれぞれの磁化方向の一例を示している。ただし、各磁性膜の磁化方向は、図示される方向に限定されず、様々な実施の形態において変化し得るものである。

また、磁気抵抗素子として書き込み動作および読み出し動作を行う際にも様々な実施の形態において変化し得る。

HMスピナルブ型磁気抵抗素子500を利用した磁気抵抗記憶素子1000においては、導電膜170（ワード線）を流れる電流によって5発生する磁界により、硬質磁性膜110を磁化反転させ情報を書き込む。情報の読み出しへは、硬質磁性膜110の磁化反転を起こさずに、軟磁性膜130のみを磁化反転させることにより行う。また、導電膜170のみでなく、導電膜140または150（センス線）にも電流を流して磁界を発生させても良い。この場合には、導電膜170と140（150）10とにより構成されるそれぞれの配線は、互いに直交する関係にあることが好ましい。

このような書き込みおよび読み出し動作を行うことにより、磁気抵抗記憶素子1000は、非破壊読み取り（N D R O）が可能となる。また、この場合、磁化反転させるための磁界のしきい値として、硬質磁性膜110および軟磁性膜130のそれぞれの保磁力に対応する記録用しきい値H_hと読み出し用しきい値H_sの2つが必要となる。

図2Aおよび図2Bに、HMスピナルブ型磁気抵抗素子500を利用した磁気抵抗記憶素子1000の動作原理を示す。磁気抵抗記憶素子1000への信号の記録は、図2Aに示すように、導電膜170に正のパルス電流501または負のパルス電流502を流し、硬質磁性膜110の記録用しきい値H_hを越える磁界を硬質磁性膜110に印加し、硬質磁性膜110を磁化反転させ、硬質磁性膜110の磁化方向により“1”または“0”的信号を記録することにより行われる。

記録された信号の読み出しへは、導電膜140および150（図1A、25図1B）に定電流を流した状態で、導電膜170に弱電流パルスを流し、軟磁性膜130の読み出し用しきい値H_s以上、硬質磁性膜110の

記録用しきい値 H_h 以下の磁界を発生させ、軟磁性膜 130 が磁化反転するか否かを判別することにより行われる。この場合、導電膜 140 および 150 を通じてモニターされた MR 素子部 100 の抵抗値の変化により、"1" または "0" の記憶状態が識別される。

5 例えば、図 2A に示される "1" および "0" の記憶状態において、正のパルス電流 501 と同様のパルス電流を導電膜 170 に流した場合は、記憶状態 "1" の磁気抵抗記憶素子 1000 に対しては抵抗値の変化はなく、また、記憶状態 "0" の磁気抵抗記憶素子 1000 に対しては抵抗値が増加する。そして、反対に、負のパルス電流 502 と同様の 10 パルス電流を導電膜 170 に流した場合は、抵抗値の変化は上記と逆になる。

更に、図 2B に示すように正→負のパルスを組み合わせたパルス電流 503 (ただし、パルス電流 503 の大きさは、硬質磁性膜 110 の磁化反転を起こさず、軟磁性膜 130 のみを磁化反転させ得る大きさである) を流した場合、記憶状態が "1" の磁気抵抗記憶素子 1000 に対しては、抵抗変化は零→正となるので、変化率 ($\Delta R_1 / \Delta t$) は正となり、反対に記憶状態が "0" の磁気抵抗記憶素子 1000 に対しては、抵抗の変化率 ($\Delta R_1 / \Delta t$) は負になる。

上記のような動作原理で、磁気抵抗記憶素子 1000 から信号の読み出しが可能となる。磁気抵抗記憶素子 1000 のような HM スピンバルブ型記憶素子において特徴的なことは、硬質磁性膜 110 の磁化状態は読み出し中は不变であるので、NDR が可能となることである。

なお、硬質磁性膜 110 の代わりに半硬質磁性膜が用いられても良い。

また、硬質磁性膜 110 および軟磁性膜 130 とが逆に配置されてもよい。特に、導電膜 170 を用いての磁界印加を効率的に行うためには、自由層として用いる軟質磁性膜 130 は、導電膜 170 に、より

近接して配置するのが好ましい。

また、本実施の形態では、定電流印加の下での抵抗値変化を電圧変化として検出する、いわゆる定電流モードの例を示しているが、定電圧印加の下での抵抗値変化を電流変化として検出する、いわゆる定電圧モードによる記録情報の検出を用いても良い。
5

また、磁気抵抗記憶素子 1000 の構成は、磁気抵抗効果素子としても用いることができる。この場合は、磁気抵抗記憶素子 1000 の構成からなる磁気抵抗効果素子は磁気ヘッドとして用いられ得、記録媒体等から印加される磁界は MR 素子部 100 によって感知される。また、磁
10 気ヘッドとして用いられる場合は、導電膜 170 は設けられていないのも良い。

(実施の形態 2)

図 3 A および図 3 B に本発明の実施の形態 2 における磁気抵抗素子 1500 および磁気抵抗記憶素子 2000 の断面図を示す。実施の形態 1
15 で示した磁気抵抗素子 500 および磁気抵抗記憶素子 1000 と同一の構成要素については同一の参照符号で表し、これらについての詳細な説明は省略する。

磁気抵抗素子 1500 は反強磁性膜を用いたスピンドル型（以下では AF スピンドル型と呼ぶ）磁気抵抗素子であり、および磁気抵抗素
20 子 1500 を利用した磁気抵抗記憶素子 2000 は、AF スピンドル型磁気抵抗記憶素子である。

磁気抵抗記憶素子 2000 においては、反強磁性膜 180 と交換結合した強磁性膜 190（第 1 強磁性層）と、非磁性絶縁膜 120 と、軟磁性膜 130（第 2 強磁性層）とにより MR 素子部 101 が形成され、センス線およびビット線をそれぞれ構成する導電膜 141 および 150 が
25 MR 素子部 101 に接続されている。軟磁性膜 130 は強磁性膜 190

よりも外部磁界に対して磁化回転し易い。

強磁性膜 190 は、導電膜 170（ワード線）を流れる電流によって発生する磁界では磁化反転せず、非磁性絶縁膜 120 を介して強磁性膜 190 と磁気的に分離された軟磁性膜 130 のみが磁化反転する。従つて情報の書き込みと読み出しあは軟磁性膜 130 の磁化反転によってのみ行われ、N D R O は困難であるが、磁化反転させるための磁界のしきい値は一つであるため、実施の形態 1 において前述した磁気抵抗記憶素子 100 よりも動作原理がシンプルである。

図 4 A および図 4 B に、AF スピンバルブ型記憶素子である磁気抵抗記憶素子 2000 の動作原理を示す。

磁気抵抗記憶素子 2000 において、強磁性膜 190 は、反強磁性膜 180 と交換結合しているため、強磁性膜 190 の磁化は一方向にピン止めされている。

磁気抵抗記憶素子 2000 への信号の記録は、図 4 A に示すように、導電膜 170 に正のパルス電流 511 または負のパルス電流 512 を流し、軟磁性膜 130 の Hs 以上の磁界を軟磁性膜 130 に印加し、軟磁性膜 130 を磁化反転させ、軟磁性膜 130 の磁化方向により "1" または "0" の信号を記録することにより行われる。

記録された信号の読み出しあは、導電膜 141 および 150（図 3 A、図 3 B）に定電流を流した状態で、導電膜 170 に正または負の弱電流パルスを流して軟磁性膜 130 の読み出し用しきい値 Hs 以上の磁界を発生させ、軟磁性膜 130 が磁化反転するか否かを判定することにより行われる。この場合、導電膜 141 および 150 を通じてモニターされた MR 素子部 101 の抵抗値の変化により、"1" または "0" の記憶状態が識別される。

例えば、図 4 B に示される "1" および "0" の記憶状態において、

- 正のパルス電流 513（ただし、パルス電流 513 の大きさは、強磁性膜 190 の磁化反転を起こさず、軟磁性膜 130 のみを磁化反転させ得る大きさである）を導電膜 170 に流した場合は、記憶状態 “1” の磁気抵抗記憶素子 2000 に対しては抵抗値の変化はない ($\Delta R = 0$)。
- 5 また、正のパルス電流 513 を導電膜 170 に流した場合、記憶状態 “0” の磁気抵抗記憶素子 2000 に対しては抵抗値が変化する ($\Delta R \neq 0$)。そして、反対に負のパルス電流（図示せず）を導電膜 170 に流した場合は、抵抗値の変化は上記と逆になる。
- 上記のような動作原理で、磁気抵抗記憶素子 2000 からの信号の読み出しが可能となる。磁気抵抗記憶素子 2000 のような A F スピンバルブ型記憶素子においては、信号の読み出し時に記録された信号が破壊されるので、N D R O は困難である。
- しかし、磁気抵抗記憶素子 2000 のような A F スピンバルブ型記憶素子においても N D R O は可能である。具体的には、図 4C に示すように、MR 素子部 101 の抵抗値と参照抵抗 R_1 との差 ΔR_3 を検出する方法により信号を読み出せば、導電膜 170 にパルス電流を流すことなく、記憶状態 “1” または “0” を読み出すことができる。この場合は、信号の読み出し時に記録された信号が破壊されないので、N D R O が可能である。このとき用いる参照抵抗 R_1 の抵抗値は、比較する MR 素子部 101 の抵抗値変化の範囲内の値であることが好ましく、磁気抵抗記憶素子 2000 が集積される場合は、磁気抵抗記憶素子 2000 の一つを参照抵抗 R_1 として用いることが好ましい。
- また、強磁性膜 190 および軟磁性膜 130 とが逆に配置されていてもよい。
- 25 また、実施の形態 1 と同様に、磁気抵抗記憶素子 2000 の構成は、磁気抵抗効果素子としても用いることができる。

実施の形態 1 および本実施の形態でそれぞれ示された硬質磁性膜 110 および強磁性膜 190 は、磁気抵抗効果素子の固定層にあたる。硬質磁性膜 110 および強磁性膜 190 として用いられる金属磁性膜としては、Co または Co-Fe、Ni-Fe、Ni-Fe-Co 合金等の材料が優れている。特に、Co または Co-Fe 合金が大きな MR 比を得るので良いので非磁性膜 120 との間の界面には Co-rich を用いることが望ましい。

また、更に、Mn 系ホイスラー合金やペロブスカイト型 Mn 酸化物（層状ペロブスカイト Mn 酸化物を含む）、Sr-Fe-Mo 系ダブルペロブスカイト型酸化物、CrO₂、Fe₃O₄などのハーフメタル材料は、高い磁性分極率を有するため、MR 素子を構成した際、大きな MR 比が得られる。

硬質磁性膜 110 および強磁性膜 190 として用いられる酸化物磁性膜としては、MFe₂O₄（M は Fe、Co、Ni から選ばれる 1 種もしくは 2 種以上の元素）が好ましい。これらは比較的高温まで強磁性を示し、Fe-rich に比べ Co、Ni-rich は極めて抵抗値が高い。また、Co-rich は磁気異方性が大きいという特性があるので、これらの組成比の調整により所望の特性の硬質磁性膜 110 および強磁性膜 190 が得られる。

なお、硬質磁性膜 110 および強磁性膜 190 の全体の膜厚は 1 nm 以上 10 nm 以下が好ましい。

更に、強磁性膜 190 に接する反強磁性膜 180 として用いられる磁化回転抑制層としては、金属層として不規則合金系の Ir-Mn、Rh-Mn、Ru-Mn、Cr-Pt-Mn 等があり、磁界中で成膜することにより強磁性膜 190 と交換結合させることができ、工程が簡便となる利点がある。一方、規則合金系の Ni-Mn、Pt-(Pd)-Mn

等は規則化のための熱処理が必要であるが、熱的安定性に優れしており、特に Pt-Mn が好ましい。

実施の形態 1 および本実施の形態で示された軟質磁性膜 130 は、磁気抵抗効果素子の自由層にあたる。軟質磁性膜 130 として、Co または Co-Fe、Ni-Fe、Ni-Fe-Co 合金等の材料が優れている。また、軟質磁性膜 130 として、Ni-Fe-Co 膜を用いる場合には、

$$\begin{aligned} & \text{Ni}_x \text{Fe}_y \text{Co}_z \\ & 0.6 \leq x \leq 0.9 \\ 10 & 0 \leq y \leq 0.3 \\ & 0 \leq z \leq 0.4 \end{aligned}$$

の原子組成比の Ni-rich の軟磁性膜、もしくは、

$$\begin{aligned} & \text{Ni}_x \cdot \text{Fe}_y \cdot \text{Co}_z \\ & 0 \leq x' \leq 0.4 \\ 15 & 0 \leq y' \leq 0.5 \\ & 0.2 \leq z' \leq 0.95 \end{aligned}$$

の Co-rich 膜を用いるのが望ましい。

これらの組成膜はセンサーや MR ヘッド用として要求される低磁歪特性 (1×10^{-5}) を有する。

20 (実施の形態 3)

図 5A～図 5E には実施の形態 3 における磁気抵抗素子の強磁性層 801 および電極として用いる電気伝導体 802 および層間絶縁体 160 の配置の様子を示す。以下に示す実施の形態 3 によれば、電極として用いる電気伝導体 802 と強磁性層 801 との間の電気接触の方法が、MR 値のばらつき、接合抵抗値のばらつき、あるいはそれらの値のバイアス依存性のばらつきを抑制の度合いに大きく影響し、本発明の構成を有

することによってこれらのばらつきを効果的に抑制することを示す。

図 5 A は実施の形態 3 に係る磁気抵抗素子の構成を示す断面図である。ここでの強磁性層 801 は、実施の形態 1 において前述した硬質強磁性膜 110 に相当し、あるいは実施の形態 2 において前述した反強磁性膜 5 180 と強磁性膜 190 とを組み合わせた層に相当する。反強磁性膜 180 として酸化物を選んだ場合には、電気伝導体 802 は強磁性層 190 と電気的接触が保たれるように配置する。ここで電気伝導体 802 は、実施の形態 1 および実施の形態 2 において前述した電極体 140 および 141 に相当する。

10 なお、ここで強磁性層 801 とは、強磁性層上に付与された保護膜も含めている。

例えば、

Si / SiO₂ / Ta (5) / Cu (50) / Ta (5) / PtMn
 (20) / CoFe (3) / Ru (0.9) / CoFe (1) / FePt
 15 t (2) / Al-O (1.0) / FePt (2) / NiFe (1) / Ru
 u (0.7) / NiFe (2) / Pt (10)

と素子部を構成したとき、

Ta (5) / Cu (50) / Ta (5) の部分が、図 5 A での導電膜 150 を表しており、PtMn (20) / CoFe (3) / Ru (0.9) / CoFe (1) / FePt (2) が強磁性層 130 を表しており、Al-O (1.0) が非磁性層 120 を表しており、FePt (2) / NiFe (1) / Ru (0.7) / NiFe (2) / Pt (10) が強磁性層 801 を表している。

図 5 B ~ 図 5 D は図 5 A の強磁性層 801 および電極として用いる電気伝導体 802 および層間絶縁体 160 の詳しい配置の様子を破線で囲まれた領域 803 として示している。図 5 B では、強磁性層 801 の上

面に対する層間絶縁体 160 の端部のなす角度 804 が 5 度以上から 90 度未満のスロープを有するようにして素子部を加工し、素子特性への影響を調べた。またこの際、微細加工を施した強磁性層 801 の上面に対する層間絶縁層 160 の被覆率を変えて、素子特性への影響を調べた。

- 5 図 6 は図 5B にて示した強磁性層 801 および層間絶縁体 160 との詳しい配置の様子を示す上面図である。本図は強磁性層 801 の上面に電気接触用の窓を層間絶縁体 160 にて形成した直後の様子を示している。ここでは 811 は 813 よりも外側に位置しているが、被覆率や層間絶縁体 160 の端部の角度の変化によっては内側になる場合もある。
- 10 10 微細加工する素子部分の大きさは 0.06 ミクロンから 10 ミクロンまでの大きさを変えて、典型的な大きさである 6 インチウェハー基板上に作製した。作製した素子の形状は図 7A～図 7X に示した。図 7A～図 7X は第 1 強磁性層 801 と第 2 強磁性層 130 とを、便宜上位置をずらしてそれぞれ示している。図 7M～図 7X に示したような形状異方性 15 を有した素子形状の方が、図 7A～図 7L に示す素子の形状よりも磁気抵抗記憶素子および磁気メモリ用に相応しく、磁気抵抗変化が急峻に起こり、かつ、記憶の安定性に優れていて好ましい。さらに素子形状の縦横比は、1.5 以上が更に好ましいことが評価結果から分かった。図 8 は図 7B に示す形状と図 7N に示す形状にて素子を形成した場合の MR 20 変化の様子を示す。素子形状の縦横比はそれぞれ 1 (曲線 2701) 、 1.5 (曲線 2702) 、 5 (曲線 2703) である。

また図 7B、図 7D、図 7F、図 7H、図 7I、図 7K、図 7L、図 7N、図 7P、図 7R、図 7T、図 7U、図 7W および図 7X は周辺部が丸くしてあるため、磁化回転の際に有利であり、好ましい。図 7Y には、図 7C、図 7D、図 7E、図 7F、図 7G、図 7H、図 7I、図

7 J、図 7 K、図 7 L、図 7 O、図 7 P、図 7 Q、図 7 R、図 7 S、図 7 T、図 7 U、図 7 V、図 7 W および図 7 X のように周辺部に、磁界 H_x の方向および磁界 H_y の方向と平行でない辺を有した形状にて素子を実現した方が、磁化回転の急峻さに優れ、好ましい。磁界 H_x と磁界 H_y が直交の関係にある場合には、図 9 A～図 9 D に示すように、磁界 H_x となす角度 2501 が、 20 度 \leq |角度 2501 | \leq 70 度であるのが好ましい。

また、図 10 A～図 10 C に示すような種々の形状を有する素子に作用する磁化方向の、磁界 H_x に対する角度 2601 は、 50 度 \leq |角度 2601 | もしくは (90 度 - |角度 2601 |) \leq 85 度であるのが好ましい。素子形状の縦横比 (L/W) が 1.5 以上から 3 以下の場合に図 10 A に示す素子形状において特に好ましい角度 2601 は、 50 度以上から 75 度以下 (ただし、角度 2602 は 50 度以上から 85 度以下)、図 10 B に示す素子形状において特に好ましい角度 2601 は、 55 度以上から 80 度以下 (ただし、角度 2602 は 25 度以上から 80 度以下)、図 10 C に示す素子形状において特に好ましい角度 2601 は、 60 度以上から 85 度以下 (ただし、角度 2602 および角度 2603 は 25 度以上から 80 度以下) であった。

なお、実施の形態 2 における素子の作製にはレジストマスクやメタルマスクあるいはその両方などを用い、電子あるいはエキシマレーザーあるいは UV などの光源を利用しての露光を行い、反応性イオンエッティング (RIE) あるいはイオンミリングあるいはレーザーパターニングなどを用いて加工を行った。素子部における微細なパターンの加工には、場合によりリフトオフ用のキノコ型レジストを用いて加工を行った。

図 11 A～図 11 E は被覆率を変化させた場合の典型的な素子の構成を示す断面図を示している。

図 1 1 A では被覆率は 0 % の場合で、原理的には最も理想的な状態であるといえる。しかし、強磁性層 8 0 1 の端部の形状によっては、図 1 1 B に示す様に層間絶縁体 1 6 0 の端部の形状がスムーズでなくなる場合がある。このような場合、素子にかかるバイアス電流に不均一が生じ、5 その結果、素子間の特性にばらつきが生じることが分かった。あるいは図 1 1 E のように層間絶縁体 1 6 0 の端部の形状がスムーズでない場合にも、バイアス電流のリークや不均一が生じ、結果的に素子間の特性にばらつきが生じることが分かった。図 1 1 C は被覆率が 5 % 以上から 6 0 % 以下の場合を示している。この場合、6 インチウェハー内の素子 10 の MR 値および接合抵抗 RA 値のばらつきは、被覆率が 5 % 未満の場合に比べて共に抑制されることが確認された。このことは、素子の接合部分を流れるバイアス電流の均一性が向上したことに起因していると考えられる。また、このときの層間絶縁体 1 6 0 の端部の角度に関して、約 15 5 度以上約 9 0 度未満のスロープ形状に対して、ばらつき抑制効果が確認された。特に 3 0 度以上から 8 0 度未満の範囲において抑制効果のより一層の向上が確認された。6 インチウェハー内で確認された最も良い状態でのばらつきの度合いは、一例として MR 値～ 3 5 %、RA 値～ 1 . 6 k Ω · μ m² に対する σ 値を求めて、被覆率が 5 % 未満の場合と比べると、σ (被覆率 5 % 以上から被覆率 6 0 % 以下) / σ (被覆率 5 % 未 20 満) ~ 0 . 1 (MR 値)、0 . 1 2 (接合抵抗 RA 値) となり、少なくとも約 8 倍以上のばらつき抑制効果が得られたことが分かった。ここで σ は標準偏差値を示している。

図 1 1 D は被覆率が 6 0 % よりも大きい場合を示している。この場合、6 インチウェハー内の素子の MR 値および接合抵抗 RA 値のばらつき 25 は、被覆率が 5 % 未満の場合に比べて共に抑制されるものの、被覆率が 5 % 以上から 6 0 % 以下の場合と比べ、ばらつき抑制に顕著な効果が見

られないことが分かった。

さらに、MR値、接合抵抗RA値に関して、素子にかかるバイアス依存性を0から2Vまで評価したところ、0Vから1Vの範囲においてバイアス依存性におけるばらつきは、被覆率が5%以上から60%以下の5場合に最も抑制されることが分かった。耐電圧特性においても約5Vまでの素子耐圧を示すことがわかった。

すなわち、被覆率が5%以上から60%以下の場合に、MR値や接合抵抗RA値、両値のバイアス依存性まで含めた磁気抵抗特性における素子間のばらつき度合いが改善され、本発明が効果的であることが分かった。

以上のように実施の形態2によれば、軟磁性膜130(第2強磁性層)とともに非磁性絶縁膜120(非磁性層)を挟み込むように形成された強磁性層801(第1強磁性層)の非磁性絶縁膜120と反対側の表面における略中央に接触するように電気伝導体802(第1電気伝導体)が形成されており、少なくとも強磁性層801と非磁性絶縁膜120との側面を覆うように形成された層間絶縁体160は、強磁性層801の表面における周縁を被覆するように形成されている。このため、電気伝導体802から強磁性層801、非磁性絶縁膜120および軟磁性膜130の側面に沿って導電膜150へ漏れ電流が流れることを防止することができる。その結果、磁気抵抗素子におけるMR値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

層間絶縁体160によって被覆される強磁性層801の表面の面積の割合は、強磁性層801の表面の全体の面積の5%以上60%以下にな

っていることが好ましい。磁気抵抗素子におけるMR値および接合抵抗値のばらつきをより顕著に抑制することができるからである。

さらに、このときの層間絶縁体160の端部の角度に関して、約5度以上から90度未満のスロープ形状に対して、ばらつきが抑制され、特に好ましくは30度以上から80度未満の範囲においてより一層の抑制効果があることが分かった。

図5Cでは、膜厚1nm以上の絶縁体層にて強磁性層801の上面の一部を被覆し、さらに強磁性層801の上面に対して層間絶縁体160の端部のなす角度805が5度以上から90度未満のスロープを有するようにして素子部を加工した場合の断面の様子を示している。このような素子は、最初に膜厚1nm以上の絶縁体層にて強磁性層801の上面の一部を被覆するようにし、その上に、強磁性層801の上面に対して層間絶縁体160の端部のなす角度805が5度以上から90度未満のスロープを有するように層間絶縁体160を配置して作製することができる。あるいは強磁性層801の上面に対して層間絶縁体160にて電気接触用の窓をあける際ににおいて、エッティングマスクとして用いるレジストの上部と下部とで被エッティング率の異なる材料を用いることなどにより、一度のエッティング処理にて図5Cの形状を得ることも可能である。図5Cの構成によれば、強磁性層801の上面に対する層間絶縁体160の端部のなす角度805が40度以上から90度未満のスロープを有するようにして素子部を加工した際に、作製した素子特性のばらつきが、40度未満の条件に比べてより一層抑制され、特に好ましい配置であることが分かった。

図5Dでは、強磁性層801の上面の一部を被覆する際に、層間絶縁体160の端部が曲率半径807が5nm以上の裾を引くようにして加工した場合の断面の様子を示している。このような素子は、強磁性層8

01 の上面に対して層間絶縁体 160 にて電気接触用の窓をあける際に
おいてエッティングマスクとして用いるレジストの上部と下部とで被エッティング率の異なる材料を用いることなどにより、一度のエッティング処理にて図 5 D の形状を得ることが可能である。層間絶縁体 160 の
5 端部の形状は曲率半径 807 が 5 nm 以上であることが重要で、単一の曲率半径にて本構造が実現されなくても良い。すなわち、曲率半径 807 が 5 nm 以上のいくつかの形状の足し合わせによって実現される図 5 E の様な形状でももちろん良い。図 5 E では曲率半径 807a から 807d の円弧形状を足し合わせた曲線を有する層間絶縁体 160 の端部を
10 実現した場合の断面図を示している。このような形状の加工には、リフトオフ用のキノコ型レジストを用い、層間絶縁膜 160 の堆積角度を、強磁性層 801 の上面に対し鉛直方向を 0 度としたとき、0 度から 45 度の範囲にて堆積を行うことにより実現することが容易となる。図 5 D の構成によれば、強磁性層 801 に対して被覆率を 5 % 以上から 60 %
15 以下に作製すると、もっとも容易に実現する。すなわち、MR 値、接合抵抗 R A 値、両値のバイアス依存性まで含めた磁気抵抗特性における素子間のばらつき度合いを改善するためには、本構成が大変好ましいということが分かった。

この場合も強磁性層 801 の上面に対する層間絶縁体 160 の端部の
20 なす角度 806 が 5 度以上から 90 度未満のスロープを有するようにして素子部を加工した際に、作製した素子の磁気抵抗特性のばらつきが、40 度未満の場合に比べてより一層抑制され、特に好ましい配置であることが分かった。

曲率半径 807 が 5 nm 未満にて層間絶縁体 160 の端部を形成した
25 場合には、層間絶縁体 160 自身の形状 자체がばらついてしまい、そのため素子の特性もばらついてしまい、その効果を確認するに至らなかつ

た。

図 5 A～図 5 D のような素子断面形状を有し、図 7 A～図 7 X の様に成形した磁気抵抗素子について、磁気抵抗変化率 (MR) 、接合抵抗 (RA) 値、両値のバイアス依存性、さらに臨界電流容量を評価し、ウェハー内でのばらつきの度合いを評価した。評価結果は図 1 2 にまとめた。

各試料番号によって表される試料の母集団の数は、ほぼ 1 5 0 0 ～ 2 5 0 0 個 / 1 ウェハーである。形状の欄に示された A、B および C は図 1 3 A、図 1 3 B および 図 1 3 C にてそれぞれ示した素子の断面形状に対応している。図 1 2 の評価結果からは、ウェハー内の磁気抵抗特性のばらつきの度合いと臨界電流容量値（電流密度）との間には相関があることが読みとれる。すなわち、臨界電流容量値（電流密度）が大きい素子をウェハー内に作製した場合には、総じてばらつき度は抑制されているといえる。また素子の臨界電流容量値（電流密度）が $1 \times 1 0^5$ A / cm² 以上の試料に着目すると、素子は図 1 3 B に示すような断面形状にて実現した方が、磁気抵抗特性のばらつきを抑制するのに効果的であることが分かった。

さらに、MR 値、接合抵抗 RA 値に関して、素子に流れるバイアス電流のバイアス依存性を 0 から 2 V まで評価したところ、0 V から 1 V の範囲においてバイアス依存性に関しても、臨界電流容量値の高い、すなわち $1 \times 1 0^5$ A / cm² 以上を示す場合に、ばらつきの抑制度が高いことが分かった。このような素子は直流の耐電圧特性においても約 5 V までと、高耐圧特性を示すことがわかった。

そこで、臨界電流容量値の高い、すなわち $1 \times 1 0^5$ A / cm² 以上を示す場合の、素子の断面について更に詳しく図 1 4 A～図 1 4 C に示した。図 1 4 A あるいは図 1 4 B にて示した断面構造を実現することにより、ほぼ定常的に高い臨界電流容量値を有する素子を実現できる。さら

に、図 14 C の端部 804 にて示すように、層間絶縁体 160 の端部 804において、まず膜厚 1 nm 以上の層間絶縁体で、強磁性層 801 の上面の周縁を広く被覆しておいて、さらにその上に、層間絶縁体 160 を形成することによっても同様の効果が得られることが分かった。

5 (実施の形態 4)

図 15 A～図 15 D には実施の形態 4 における磁気抵抗素子の強磁性層 801 および電極として用いる電気伝導体 902 および層間絶縁体 160 の配置の様子を示す。以下に示す実施の形態 4 によれば、電極として用いる電気伝導体 902 と強磁性層 801 との間の電気接触の方法が、
10 MR 値のばらつき、接合抵抗値のばらつき、あるいはそれらの値のバイアス依存性のばらつきを抑制の度合いに大きく影響し、本発明の構成を有することによって、これらのばらつきを効果的に抑制することを示す。

図 15 A は実施の形態 4 に係る磁気抵抗素子の構成を示す断面図である。ここでの強磁性層 801 は、実施の形態 1 において前述した硬質強磁性膜 110 に相当し、あるいは実施の形態 2 において前述した反強磁性膜 180 と強磁性膜 190 とを組み合わせた層に相当する。反強磁性膜 180 として酸化物を選んだ場合には、電気伝導体 902 は強磁性層 190 と電気的接触が保たれるように配置する。ここで電気伝導体 902 は、実施の形態 1 および実施の形態 2 において前述した電極体 140 および 141 にそれぞれ相当する。
15
20

図 15 B～図 15 D は図 15 A の強磁性層 801 および電極として用いる電気伝導体 902 および層間絶縁体 160 の詳しい配置の様子を破線で囲まれた領域 903 として示している。図 15 B では、強磁性層 801 の上面に対する層間絶縁体 160 の端部のなす角度 904 が 90 度以上から 180 度未満のスロープを有するようにして素子部を加工し、素子特性への影響を調べた。またこの際、微細加工を施した強磁性層 8
25

01の上面に対する層間絶縁層160の被覆率あるいは強磁性層801の上面に対する電気伝導体902の接触面積率を変えて、素子特性への影響を調べた。図15Bおよび図15Dに示す例では、電気伝導体902と層間絶縁体160と間に空隙907が形成されている。

5 微細加工する素子の大きさは0.06ミクロンから10ミクロンまでの大きさを変えて、典型的な大きさである6インチウェハー基板上に作製した。

なお、本実施例にての素子の作製にはレジストマスクやメタルマスクあるいはその両方などを用い、電子あるいはエキシマレーザーあるいはUVなどの光源を利用しての露光を行い、反応性イオンエッティング(RIE)あるいはイオンミリングあるいはレーザーパターニング、化学的湿式エッティング法などを用いて加工を行った。素子部のように微細なパターンの加工には、場合によりリフトオフ用のキノコ型レジストを用いて加工を行った。

15 図15Bの構成にて、強磁性層801の上面に対する電気伝導体902の接触面積率が40%よりも大きく95%よりも小さい場合に関して、素子特性への影響を調べた。ここでの接触面積率とは、被覆率が5%以上から60%以下の場合と対応している。また電気伝導体902は、その堆積方法により、図15B～図15Dのようないくつかの場合があり得、求める接触面積率の実現に際し、その形態を使い分けるのが好ましい。6インチウェハー内の素子のMR値および接合抵抗RA値のばらつきを調べたところ、接触面積率が95%以上および接触面積率40%以下の場合に比べて共に抑制されることが確認された。このことは、素子の接合部分を流れるバイアス電流の均一性が向上したことに起因していると考えられる。また、このときの層間絶縁体160の端部の角度904に関して、約90度以上から150度未満のスロープ形状に対して、

本実施例によれば、ばらつき抑制効果が確認されたが、特に 90 度以上から 140 度未満の範囲において抑制効果のより一層の向上が確認された。

さらに、MR 値、接合抵抗 RA 値に関して、素子にかかるバイアス依存性を 0 から 2 V まで評価したところ、0 V から 1 V の範囲においてバイアス依存性におけるばらつきは、接触面積率が 40 %よりも大きく 95 %よりも小さい場合に最も抑制されることが分かった。耐電圧特性においても約 5 V までの素子耐圧を示すことがわかった。さらに素子部分の微細加工の大きさは 0.06 ミクロンから 10 ミクロンまでの大きさ 10 にて、図 15 A～図 15 D で示した本発明の構成が好ましいことが確認されたが、約 1 ミクロン以下の大きさの素子に関しては、図 11 A～図 11 E に示した構成に比べてばらつき抑制効果が大きいことが認められた。

すなわち、接触面積率が 40 %よりも大きく 95 %よりも小さい場合 15 に、MR 値や接合抵抗 RA 値、両値のバイアス依存性まで含めた磁気抵抗特性における素子間のばらつき度合いが改善され、本発明が効果的であることが分かった。さらに、このときの層間絶縁体 160 の端部の角度に関して、約 90 度以上から 150 度未満のスロープ形状に対して、ばらつきが抑制され、特に好ましくは 90 度以上から 140 度未満の範 20 囲においてより一層の抑制効果があることが分かった。

図 16 A～図 16 G では、強磁性層 801 の上面に対して層間絶縁体 160 の端部のなす角度 1004 が 90 度以上から 180 度未満のスロープあるいは図 16 D や図 16 F のような曲線を有する層間絶縁体 160 の端部を有するようにして素子部を加工した場合の断面の様子を示し 25 ている。図 16 B～図 16 G に示す例では、電気伝導体 1002 と層間絶縁体 160 との間に空隙 1007 が形成されている。また電気伝導体

1002は、その堆積方法により、図16D、図16E、図16F、図16Gのようないくつかの場合があり得、求める接触面積率の実現に際し、その形態を使い分けるのが好ましい。図16B、図16Cのような素子は、最初に強磁性層801の上面に対して層間絶縁体160の端部のなす角度1004、角度1005が90度以上から150度未満のスロープを有するように作製し、その上にさらに層間絶縁体160を配置して作製することができる。あるいは強磁性層801の上面にあらかじめレジストマスクを堆積し、その上に層間絶縁体160を堆積した後、リフトオフ工程を行うことにより実現することもできる。また化学的湿式エッティングにて電気接触用の窓をあける際には、一度のエッティング処理にて図16B～図16Gまで種々の形状を得ることも可能である。

図16F、図16Gでは、実施の形態3で示した図5Dのように強磁性層801の上面の一部を被覆する際に、層間絶縁体160の端部が裾を引くようにして加工・配置した場合の断面の様子を示している。このような素子は、強磁性層801の上面に対して層間絶縁体160にて電気接触用の窓をあける際のエッティングマスクとして用いるレジストの上部と下部とで被エッティング率の異なる材料を用いることなどにより、一度のエッティング処理にて図16F、図16Gに示す形状を得ることが可能で、層間絶縁体160の端部の形状は曲率半径が5nm以上であることが重要で、单一の曲率半径にて本構造が実現されなくても良い。すなわち、曲率半径が5nm以上のいくつかの形状の足し合わせによって実現されてももちろん良い。図16Gの構成によれば、強磁性層801に対して被覆率を5%以上から60%以下に作製することがもっとも容易に実現する。すなわち、MR値や接合抵抗RA値、両値のバイアス依存性まで含めた磁気抵抗特性における素子間のばらつき度合いを改善するためには、好ましい構成であるということが分かった。

本実施例における素子の強磁性層 801 および電極および層間絶縁体 160 の端部加工した際の断面配置の様子を図 17A～図 17F に示す。

図 17A、図 17B、図 17C、図 17D、図 17E および図 17F にて示すような接合部の断面形状においても、強磁性層 801 の上面に 5 おける層間絶縁体 160 の端部構造が図 13A～図 13C および図 14 A～図 14C に示すようであれば、やはりほぼ定常に高い臨界電流容量値を有する素子を実現できる。

図 17A～図 17F に示した種々の素子形状は、図 18A～図 18C に示す方法によって実現できる。図 18Aにおいては、ホトレジスト 8 10 05 にて形状を指定し、アルゴンイオンミリングなどの直進性の高い物理的なエッティング法を用いて、パターンに対して斜め入射を行うことにより図 17A に示す構造と同じ構造を実現できる。

図 18Bにおいては、あらかじめ形状を指定したホトレジスト 805 を堆積し、その上に層間絶縁体 160 を堆積させ、リフトオフ洗浄の工程を経ることで、レジスト上部の絶縁体を剥離し、図 17B に示す構造を実現できる。図 18A および図 18B に示した方法では、物理的エッティングあるいは反応性ガスイオンエッティングを用いるために、層間絶縁体 160 の材料にあまり依存せずに本構造を実現できる。

図 18Cにおいては、層間絶縁体 160 のうえに後の工程にて用いる 20 エッティング剤に対して層間絶縁体 160 よりも耐性のある絶縁体 807 を堆積し、その上に形状を指定するためのホトレジスト 805 を堆積する。アルゴンイオンエッティングのような、絶縁体 807 をエッティングできる手段にて、807 のみをエッティングする。その後、そのまま湿式による化学エッティングの手段にて、層間絶縁体 160 の一部をエッティングする。エッティングされる材料 160 とエッティング剤との組み合わせによって、図 18C に示す 4 種類の構造を実現できる。一例 25

には、層間絶縁体 160として SiO_2 を、絶縁体 807として SiN_x を、エッティング剤として弗酸を用いることにより、図 17C および図 17D に示す形状と同じ形状が実現できる。

すなわち、強磁性層 801の上面を一部被覆するように形成した本実
5 施例によれば、電極として用いる電気伝導体 802と強磁性層 801との電気接触の度合いを決める層間絶縁体 160の端部形状を、MR 値や接合抵抗値あるいはそれらの値のバイアス依存性のばらつきを抑制できるように構成できる上で本発明の目的を達成できる。

(実施の形態 5)

10 図 19A および図 19B に本発明の実施の形態 5 における MRAM デバイス 3000 を示す。図 19A は、MRAM デバイス 3000 の上面図であり、図 19B は、MRAM デバイス 3000 の一部分を示す斜視図である。実施の形態 1 および 2 で示した磁気抵抗記憶素子 1000 および 2000 と同一の構成要素については同一の参照符号で表し、これらについての詳細な説明は省略する。ここでは、MR 素子部 100 (101) は、角柱形状にて表しているが、実施の形態に応じて円柱状 (または楕円柱状)、円すい台形状または角すい台形状にて実現され得る。また MR 素子部 100 (101) における面内形状は、形状異方性をつける上で、平面方向の幅を W_1 、長さを L_1 として表すと、 $L_1 > W_1$ にて実現されることが好ましい。またこの場合に電極体 140 は実施の形態 3 および実施の形態 4 にて示した構成にて MR 素子部 100 (101) と接觸が図られている。

15 20 25

また、導電膜 170 による MR 素子部 100 (101) への効率的な磁界印加を実現させるための、より好ましい導電膜 170 の断面形状を図 19C に示す。図 19C における角度 h および h' (導電膜 170 の角型形状の内の少なくとも 1 つの角における角度を表す) が鋭角である

ことが好ましい。導電膜 170 の断面形状において、角度 h および h' は、MR 素子部 100 (101) と対向する一边と成される内角である。

導電膜 170 の断面形状を図 19C に示されるような形状とすることは、導電膜 170 を一様に流れる電流において、MR 素子部 100 (101) に近接する部分に流れる電流分を実効的に増加させることができるので、効果的に MR 素子部 100 (101) に磁界印加が行える上で好ましい。このような形状は、MRAM デバイス 3000 の微細化に伴って、導電膜 170 の断面形状のアスペクト比（幅／厚み）が低下する際には特に好ましい。

この様に磁界印加を効率良く行う場合には、MR 素子部 100 (101) 内の自由層は、導電膜 170 に、より近接するように配置するのが好ましい。この様な配置にすることにより、直交して配置された導電膜 170 とセンス線 150 にての合成磁界を用いる際にも、MRAM デバイスとしての MR 素子選択の動作マージンが取りやすく好ましい。このことは、導電膜 170 にて発生させる磁界とセンス線 150 にて発生させる磁界とが動作点にて 1 対 1 (つまり図 20 における $\theta = 45^\circ$ の場合) となることが最も磁化回転のための磁界が少なくて済むことに依っている。

MRAM デバイス 3000 は、実施の形態 1 および 2 で示した磁気抵抗記憶素子 1000 または 2000 を行列状に配置することにより構成される。磁気抵抗記憶素子 1000 および 2000 は共に、上述の CPPMR 素子である。

図 19A および図 19B に示すように、CPPPMR 素子を用いた MRAMにおいては、各磁気抵抗記憶素子は互いに並列につながれるため、磁気抵抗記憶素子の個数 N が増加しても S/N 比はほとんど低下しない。

図 21A に、本発明の実施の形態の他の局面として、磁気抵抗記憶素

子 1 0 0 1 の断面図を示す。

磁気抵抗記憶素子 1 0 0 1においては、硬質磁性膜 1 1 1 と、非磁性導電膜 1 2 1 と、軟磁性膜 1 3 1 とにより MR 素子部 1 0 2 が形成されている。MR 素子部 1 0 2 は、センス線およびビット線を構成する導電膜 1 4 2 および 1 4 3 に接合される。また、ワード線を構成する導電膜 1 7 1 が絶縁膜 1 6 1 を介して MR 素子部 1 0 2 上部に設けられている。このような図 2 1 A に示される構成の磁気抵抗記憶素子 1 0 0 1 は、CIPMR 素子である。

図 2 1 B に示すように、CIPMR 素子型の磁気抵抗記憶素子 1 0 0 1 を行列状に配置して MRAM デバイス 3 0 0 1 が構成される。このとき、各磁気抵抗記憶素子は互いに直列につながることとなる。このように、各磁気抵抗記憶素子が互いに直列につながれた場合、磁気抵抗記憶素子の個数 N が多くなると、一個の素子が示す MR 比は同じでも、MRAM 全体としての S/N 比は低下すると考えられる。

なお、図示される本発明の実施の形態全体の大部分において、MR 素子部がセンス線およびワード線等の配線部よりも大きく表記されている。図 1 9 A～図 1 9 C および図 2 1 A～図 2 1 B においてもそのように表記されている。しかし、これは本発明の実施の形態を分かり易く説明するためのもので、MR 素子部と配線部との大小関係は、上記に限定されない。また、MR 素子部に効率的な磁界印加を行うには、配線部が MR 素子部を覆うような大小関係であることが好ましい。

上述の MRAM デバイス 3 0 0 0 および 3 0 0 1 は磁気を活用する記憶素子であるので、電荷の蓄積を活用する半導体記憶素子の DRAM とは異なり不揮発性である。また、半導体のフラッシュ型記憶素子とは異なり、書き込み／読み出し回数が原理的には無制限であり、且つ、書き込み／消去時間もナノ秒 (n s) のオーダーで早いのが特徴である。

1 つの磁気抵抗記憶素子についての動作原理については、実施の形態 1 および 2 で既に述べたとおりである。ところで、実際にMRAMデバイスを構成する場合は、図19A、図19Bおよび図19Cに示したように、これら磁気抵抗記憶素子を行列状に配置する必要がある。その場合 5 は、ワード線が行列状に配置され、各ワード線の交差点に隣接してMR 素子部が設けられる。なお、図19A、図19Bおよび図21Bに示されるワード線（導電膜170または171）は、図1、図3および図 10 21Aとの対比のため、行または列の一方向にしか記載されていない。行列状に配置されたワード線については、後述の実施の形態において更に詳しく述べる。

このとき選択された (N、M) 番地のMR 素子部に隣接して交差する 2 本のワード線によって発生した磁界が、そのMR 素子部に印加される。また、このとき、2 本のワード線の内の 1 本をセンス線で代用させてよい。

15 図1に示される磁気抵抗記憶素子1000を用いてMRAMデバイスを構成する場合は、上記2本のワード線による合成磁界が、硬質磁性膜のアステロイド型曲線にて表されるスイッチング磁界の値を越えれば情報の書き込みがなされる。また、その磁界の値を越えずに、軟磁性膜のスイッチング磁界の値を越えれば情報の非破壊読み出しが所望の記憶素子について行われる。

また、図2に示される磁気抵抗記憶素子2000の場合も、合成磁界で軟磁性膜を磁化反転させて情報を書き込む点では基本的には同様である。また、これらの記憶素子の情報の読み出しに関しては、(N、M) 番地の素子に隣接する2本のワード線（あるいはワード線とセンス線）に 25 電流パルスを流し、同じく (N、M) 番地の素子に接続されたセンス線およびビット線を通じてモニターされた抵抗変化により、(N、M) 番地

の素子部の情報を読み出すことが可能である。

また、実施の形態 2 の図 4 C で説明したように、MR 素子部の抵抗値と参照抵抗との比較を行えば、(N、M) 番地の MR 素子部の情報の読み出しを N D R O とすることが可能である。

- 5 さらに、ワード線群とセンス線群に、トランジスタのようなスイッチング素子をそれぞれ配置し、番地指定の信号により、N 行と M 列のワード線と N 行 M 列のセンス線（ビット線）とを選択して、(N、M) 番地の記憶素子を選択することができる。この際、特に他の経路を介した信号パルスの流入や信号パルスの高速化に伴う高調波成分の反射を防止し、
10 信号パルスを効率よく伝送するために、各記憶素子にダイオードあるいはトランジスタを配することが望ましい。なかでも高速なパルス応答に対応するために、これらのトランジスタとして MOS 型トランジスタを用いることが好ましい。

- また、記憶素子の高密度化に伴って、ワード線によって発生させる磁界の、選択する MR 素子部以外の場所への漏れ磁界の問題が大きくなってくる。これら漏れ磁界による選択された MR 素子部以外への干渉効果を低減させるために、(N、M) 番地に対して磁界を発生する 1 組のワード線のみに電流パルスを流すだけでなく、その両端あるいは隣り合う少なくとも 1 本あるいは 1 組以上のワード線にも電流パルスを流し、発生する漏れ磁界を打ち消して、その影響を低減することが好ましい。
20

（実施の形態 6）

図 22 A～図 22 D に、本発明の実施の形態 6 における磁気抵抗記憶素子 4000 の断面図を示す。

磁気抵抗記憶素子 4000 においては、MR 素子部 200 が、硬質磁性膜 112、113 および 114 と、軟磁性膜 132、133 および 134 と、非磁性絶縁膜 122、123 および 124 と、非磁性膜 222
25

および 223 とにより形成される。また、ワード線を構成する導電膜 172 が絶縁膜 162 を介して MR 素子部 200 上部に設けられている。

MR 素子部 200 は、軟磁性膜／非磁性絶縁膜／硬質磁性膜というパターンからなる構造を非磁性膜を介して複数回積層した構造となっている。
5 磁気抵抗記憶素子 4000においては、積層数は 3 回となっている。
なお、積層数は任意の回数が設定される。

本実施の形態では、硬質磁性膜 112、113 および 114 として保磁力がそれぞれ異なるものを用い、その結果、記録時の磁界のしきい値が複数個存在するので、1 つの磁気抵抗記憶素子 4000 に多値記憶を
10 させることが可能である。各硬質磁性膜 112、113 および 114 の保磁力を変化させるには、それぞれの組成を変化させても良いし、それぞれの膜厚を変えても良い。この場合、図 22A に示すように、MR 素子部 200 の抵抗値と参照抵抗 R_2 との差 ΔR_4 を検出する方法を用いて信号を読み出すことにより、多値記憶されたそれぞれの信号（例えば
15 "0"、"1"、"2" および "3" 等）を読み出すことができる。

磁気抵抗記憶素子 4000 の積層数は 3 回であり、図 22A～図 22D に示されるように、MR 素子部 200 の磁化方向パターンは 4 パターンあるので、1 つの磁気抵抗記憶素子 4000 に 4 つの値 ("0"、"
1"、"
2" および "
3") を記憶させることができる。

20 磁気抵抗記憶素子 4000 においては、導電膜 172 を流れるパルス電流 521、522 および 523 によって発生する磁界により、硬質磁性膜 112、113 および 114 を磁化反転させ、信号を書き込む。本実施の形態では、硬質磁性膜 112 の保磁力が一番小さく、硬質磁性膜 114 の保磁力が一番大きい。このとき、導電膜 172 を流れるパルス電流の大きさを調整することにより、硬質磁性膜 112、113 および
25 114 の内の磁化反転させる硬質磁性膜を選択することができる。図 2

2 A～図 22 D に示される本実施の形態では、図 22 A から、図 22 B、図 22 C および図 22 D に移るに連れて、導電膜 172 を流れるパルス電流の値が順に大きくなっている。図 22 A において導電膜 172 を流れるパルス電流の値は、図 22 B におけるパルス電流 521 の値よりも 5 更に小さい。図 22 A では何れの硬質磁性膜 112、113 および 114 も磁化反転せず、図 22 D では全ての硬質磁性膜 112、113 および 114 が磁化反転している。

読み出しへは、上述のように、MR 素子部 200 の抵抗値と参照抵抗 R_2 との差 ΔR_4 を検出する方法を用いて信号を読み出す。

10 また、読み出しにおいては、導電膜 172 に電流を流し、MR 素子部 200 の抵抗値の変化を読み出すことにより行っても良い。この場合、MR 素子部 200 の抵抗値の変化は、例えば参照抵抗 R_2 の抵抗値との比較により検出され得る。

15 また、軟磁性膜 132、133 および 134 においても保磁力がそれ異なるものを用いても良い。この場合、導電膜 172 を流れるパルス電流の大きさを更に精密に調整し、軟磁性膜 132、133 および 134 の内で、磁化反転する軟磁性膜と磁化反転しない軟磁性膜とを設定することにより、1 つの磁気抵抗記憶素子 4000 に更に多くの信号を記憶させることができる。また、この場合の信号の読み出しへは、上述の 20 ように、MR 素子部 200 の抵抗値と参照抵抗 R_2 との差 ΔR_4 を検出する方法を用いて信号を読み出すのが好ましい。

また、全ての硬質磁性膜の磁化方向を固定し、本発明の実施の形態 2 で示したように、軟磁性膜のみを磁化反転させて信号を記憶させても良い。

25 (実施の形態 7)

本発明の実施の形態 7 として、実施の形態 1 で示した MR 素子部 10

0（図1）についてより詳細に述べる。図23A～図23Gは、本発明の実施の形態7におけるMR素子部100の断面図および斜視図である。

図23Aに示されるMR素子部100においては、MR比を大きくするため、自由層である軟質磁性膜130は、非磁性絶縁膜120との界面に設けられる界面磁性膜220と、非晶質磁性膜210とを備えている。自由層は軟磁気特性が必要なため、Ni-richである材料が用いられても良いが、本実施の形態では、界面磁性膜220としてCo-richが用いられ、非晶質磁性膜210としてCoFeBまたはCoMnB等が用いられる。このような構成とすることにより、軟質磁性膜130の膜厚が2nm以下であっても、軟磁性特性を損なうことなく高MR比を得ることが可能である。なお、本実施の形態に示されるような自由層を用いた磁気抵抗記憶素子は、熱的安定性にも優れている。

界面磁性膜220として、Ni、Co、Feの内の少なくとも1種の原子を主成分とする合金材料が好ましく、また、Ni-Co-Feを主成分とする合金材料を用いる場合は、界面磁性膜220の原子組成比が、 $Ni_xCo_yFe_z$ において、xが0～0.4、yが0.2～0.95、zが0～0.5であることが望ましい。

本実施の形態に示されるように、軟質磁性膜130（自由層）として界面磁性膜220と非晶質磁性膜210とを用いることで、磁的な実効の厚みが2nm以下である自由層を有する磁気抵抗記憶素子が実現される。

このとき、界面磁性膜220の膜厚が厚いと軟磁性特性が劣化し、MR比が低下するので、界面磁性膜220の膜厚は2nm以下、望ましくは1.2nm以下とする必要がある。またこの界面磁性膜220が有効に働くためには、少なくとも0.2nm以上の膜厚は必要であり、望ましくは0.8nm以上の膜厚がよい。界面磁性膜220の材料としては、

C_oまたはC_o高濃度のC_o—F_e合金が優れている。

図23Bに、軟質磁性膜130（自由層）として、交換結合型フェリ磁性膜を用いた場合のMR素子部100を示す。軟質磁性膜130に含まれる2つの強磁性膜230および250は、非磁性膜240を介して5磁気的に交換結合している。このとき、非磁性膜240の膜厚を適當な値（例えば、Ruを用いた場合、膜厚は0.6nm以上0.8nm以下）とすることにより、この交換結合を反強磁性的とすることが可能である。図23Bに示されるMR素子部100においては、非磁性膜240（例えばRu）を介して反強磁的に交換結合した強磁性膜230および210、50の膜厚を互いに異なるようにする、あるいは飽和磁化の大きさを互いに異なるようにすることが特徴である。

また、図23Bに示される交換結合型フェリ磁性膜構造の軟質磁性膜130の非磁性膜240としては、磁性膜間の交換結合を生じやすい非磁性金属膜が望ましく、Cu、Ag、Auが用いられる。また、界面の15熱的安定性を考慮すると、Ru、Rh、Ir、Re等のほうがより望ましく、特にRuが優れている。さらに、交換結合型フェリ磁性膜に用いる金属磁性膜としては、Ni、Co、Feの内いづれか1種もしくは2種以上の元素を主成分とする金属磁性膜が望ましい。

強磁性体の飽和磁化の大きさは、磁化を決定する材料固有の磁気モーメントの大きさに、その強磁性体の体積（強磁性体内に含まれる磁気モーメントの数に相当）を掛け合わせて決定される。図23Bに示される構成の場合には、交換結合型フェリ磁性膜に含まれる2つの強磁性膜230および250の平面方向のサイズは同程度である。従って、2つの強磁性膜230および250のそれぞれの平面方向の飽和磁化の大きさ25は、互いの材料固有の磁気モーメントの強さと、膜厚によって決定される。このような交換結合型フェリ磁性膜で構成される自由層（軟質磁性

膜 130)においては、その自由層としての役割を果たす磁性的な実効の膜厚が、実質的に2つの強磁性膜230および250の膜厚(磁化)の差となる。磁的な実効の膜厚を薄くすることは、デバイスの高感度化に効果がある。

- 5 図23Bに示されるようなMR素子部100の構成での実施において、強磁性膜の厚みによって磁化の大きさに差を付ける場合には特に、2つの強磁性膜230および250の膜厚の差異は2nm以下が好ましい。このとき、上記のような意味では、磁的な実効の厚みが2nm以下である自由層を有する磁気抵抗素子を実現することができる。
- 10 2つの強磁性膜の厚みの差異が2nm以上の自由層にて磁化反転動作を行う場合には、反磁界成分の上昇に伴い、より強い外部磁界が必要となる。MRAMを構成する場合、外部磁界はワード線(あるいはセンス線)を用いて発生させ、MR素子部に印加される。このワード線に低抵抗の銅(Cu)を用いた場合においても、ワード線に最大50MA/cm²程度までしか電流を流すことができないとすると、デバイスの安定動作を鑑みて動作マージンを考慮した場合、発生し得る外部磁界から見積もられる強磁性膜の厚みの差異は、数nmオーダー以下が好ましい。
- 15 図23Bに示されるような本発明の構成の実施によれば、強磁性膜230および250の厚みの差異は2nm以下が最も好ましいことが分かった。また、自由層としての実効的な厚みが0.2nm以下では、自由層としてのソフト性が劣化するため、実効的な厚みは0.2nm以上が好ましい。
- 20 また、軟磁性膜130の磁化回転応答は、2つの強磁性膜230および250が外部磁界の印加に対して互いの磁化方向を反平行に保ったまま、2つの強磁性膜の磁化の差によって生じる実効的な磁化の回転として行われるようにすることが好ましい。これは、磁界印加により2つの

25 また、軟磁性膜130の磁化回転応答は、2つの強磁性膜230および250が外部磁界の印加に対して互いの磁化方向を反平行に保ったまま、2つの強磁性膜の磁化の差によって生じる実効的な磁化の回転として行われるようにすることが好ましい。これは、磁界印加により2つの

強磁性膜の磁化の反平行状態を崩す磁化回転は、2つの強磁性膜230および250間の交換結合に打ち勝つ必要があるため、上記の反平行状態を保ったままの磁化回転に比べてより高い外部磁場が必要となり、好ましくないからである。本実施の形態において、図23Dに示すように
5 外部磁界に対して、2つの強磁性膜230および250の磁化ベクトルが互いに反平行を保ったまま磁化回転するようすれば、磁気抵抗効果要素の低磁界動作に効果的である。

図23Dは、外部磁界H₁からH₂に磁界印加方向が変わった際の強磁性膜230および250の磁化方向の変化の様子を示している。図23E～図23Gは、図23Dにおいて、外部磁界H₁からH₂に磁界印加方向が変わった際の強磁性膜230および250の磁化方向の変化の様子を斜視図として模式的に示している。なお、図23E～図23Gにおいては、強磁性膜230および250以外の構成要素は、説明を容易にするために省略されている。外部磁界H₁からH₂に磁界印加方向が変わったとき、強磁性膜230および250の磁化方向は、図23Eから図23Gに示されるように変化する。図23Fは、強磁性膜230および250の磁化方向の変化の途中の様子を示している。軟質磁性膜130の磁化回転応答は、強磁性膜230および250の2つの磁化方向が反平行の関係を保った状態で2つの磁化の差によって生じた実効的な磁化の
15 回転として行われる。
20

また、MRAMデバイスのように、磁気抵抗効果素子を用いるRAMにおいては、サブミクロンオーダーでの微細化に伴って、加工精度の低下や、加工素子自体が磁性膜内の一つ一つの粒の影響を受けやすい状態となり、素子の磁性層の単磁区化はより困難となってくる。本発明のよ
25 うに、自由層を上記のような交換結合型フェリ磁性構造にて構成することは、自由層の単磁区化にも効果がある。

更に、単磁区化が図られるという利点と、反強磁性的交換結合エネルギーにより2つの強磁性層が磁気的に結合しているという特性が合わされることにより、本発明の磁気抵抗効果素子は熱安定性にも優れた特性となる。

5 また、上記のような自由層に用いられる交換結合型フェリ磁性膜の構成は、固定層である硬質強磁性膜110に用いられても良い。この場合、図23Cに示すような、非磁性膜270には、上述の通り、強磁性膜260および280間の交換結合を生じやすい非磁性金属膜が望ましく、Cu、Ag、Auが用いられる。また、界面の熱的安定性を考慮すれば、
10 Ru、Rh、Ir、Re等がより望ましい。特にRuが優れている。

また、交換結合型フェリ磁性膜に用いる金属磁性膜としても、上述の通り、Ni、Co、Feの内いづれか1種もしくは2種以上の元素を主成分とする金属磁性膜が望ましい。この場合にも、非磁性膜270の膜厚が適当な厚み(0.4~1nm)の時に、これに接した強磁性体に反強磁性的な交換結合が生じる。特に、非磁性膜270としてRuを用いる場合には、非磁性膜270の膜厚は0.6~0.8nmが好ましい。さらに、図3に示した反強磁性膜(磁化回転抑制層)180を強磁性膜260および280に隣接させることにより、ピンニング効果を高める効果が得られる。

20 本実施の形態で示したようなMR素子部100の構成は、実施の形態2および3で示したMR素子部101(図3)および102(図21)についても適用される。

25 非磁性絶縁膜120としては、Al₂O₃やMgOといった酸化物や、あるいは炭化物、窒化物が優れている。あるいは、エネルギーギャップ値が2eV~6eVの値を有するワイドギャップ半導体も好ましい。

また、特に、非磁性膜121(図21A)として金属を用いる場合に

は、Cu、Ag、Au、Ruなどがあるが、特にCuが優れている。

非磁性膜121の膜厚としては、磁性膜間の相互作用を弱くするため
に少なくとも0.9nm以上は必要である。また、非磁性膜121が厚
くなるとMR比が低下してしまうので膜厚は10nm以下、望ましくは
5 3nm以下とするべきである。また、膜厚が3nm以下の場合は、各層
の平坦性は重要となり、平坦性が悪いと、非磁性膜で磁気的に分離され
ているはずの2つの強磁性膜間に磁気的結合が生じてMR比の劣化と感
度の低下が生ずる。従って、強磁性膜と非磁性膜との界面の凹凸は0.
5nm以下であることが望ましい。

10 非磁性絶縁膜120の膜厚としては、絶縁性を確保するために、少な
くとも0.3nm以上は必要である。また、非磁性絶縁膜120の膜厚
が厚くなりすぎるとトンネル電流が流れなくなるため、膜厚は3nm以
下にすることが望ましい。この場合においても、各層の平坦性が重要で、
平坦性が劣化すると、非磁性絶縁膜120が破れて、トンネルリークが
15 起こる。あるいは、2つの強磁性膜（硬質磁性膜110および軟磁性膜
130）間に、磁気的結合が生じて、MR素子部100のMR比の劣化
と感度の低下が生じる。従って、各強磁性膜と非磁性絶縁膜との界面の
凹凸は0.5nm以下、さらに好ましくは0.3nm以下が良い。

本実施の形態において示されたMR素子部100、101および10
20 2は、実施の形態1および2と同様に、磁気抵抗効果素子として用いら
れても良い。

(実施の形態8)

本発明の実施の形態8として、実施の形態1で示した磁気抵抗記憶素
子1000の作製方法を示す。

25 図1を参照して、スペッタリングのターゲットとしてNi_{0.68}Co_{0.32}F_{0.12}（軟質磁性膜130用）、A1（非磁性絶縁膜120用）、A

1₂O₃（非磁性絶縁膜120用）、Co_{0.75}Pt_{0.25}（硬質磁性膜110用）を用い（組成は全て原子比）、多元スパッタ装置により基板（図示せず）上に、図1に示されたようなサンドイッチタイプのMR素子部100を作製した。MR素子部100の基本構成は、NiCoFe（15）／Al₂O₃（1.5）／CoPt（10）である（このような構成要素の説明において、カッコ内は厚さ（nm）を表し、”／”は、各構成物質同士の組み合わせを表す）。なお各膜厚はシャッターで制御した。

Al₂O₃（非磁性絶縁膜120）の製膜方法としては、Alを製膜したうえで酸化工程を経て作製する方法（方法A）と、Al₂O₃をそのままスパッタして作製する方法（方法B）とを行い、それぞれの非磁性絶縁膜120について検討した。上記A1の酸化工程としては、真空槽内の自然酸化によるもの、真空槽内での加温下での自然酸化によるもの、あるいは真空槽内でのプラズマ中においての酸化によるものそれぞれについて行った。そして、何れの工程に対しても良好な非磁性絶縁膜が得られた。

MR素子部100の作製後、硬質磁性膜110のCoPtを着磁し、MR素子部100のMR特性を室温、印加磁界100 Oeで測定したところ、MR比は上述の方法Aおよび方法Bにおいて、それぞれ30%、18%であった。MRが生じる磁界幅はそれぞれ5 Oe、10 Oeであった。このときの接合面積は、およそ0.25平方マイクロメートルであった。このうち、MR比の高かった方法Aを用いて、図1に示したような磁気抵抗記憶素子1000を作製した。センス線およびビット線用の導電膜140および150にはPtまたはAuを用い、ワード線用の導電膜170にはAl、AuCr、Ti/Au、Ta/Pt、Cr/Cu/Pt/TaまたはTiWなどを用いた。MR素子部100と導電膜170との絶縁にはCaF₂またはSiO₂を用い、また、Si₃N₄

も用いられる。

上記のような方法で作製された磁気抵抗記憶素子 1000 の動作を以下のように確認した。

まず、図 24 A に示すようなパルス電流 531 を導電膜 170 (ワード線) に流して硬質磁性膜 110 を一方向に磁化した。次に、やはり導電膜 170 に、図 24 B 上側のグラフに示すようなパルス電流 532 を流し、導電膜 140 および 150 (センス線およびビット線) を通じて測定した記憶素子の電圧変化 ($\Delta R_5 / \Delta t$) をモニターした。電圧変化 ($\Delta R_5 / \Delta t$) の結果は、図 24 B の下側のグラフに示すように記憶情報に応じたパルス 533 が検出され、非磁性膜に絶縁体を用いた所望の磁気抵抗記憶素子 1000 が実現できたことが分かった。

(実施の形態 9)

本発明の実施の形態 9 として、実施の形態 2 で示した磁気抵抗記憶素子 2000 の作製方法を示す。

15 上述の実施の形態 8 と同様の方法で、図 3 B に示すような磁気抵抗記憶素子 2000 を作製した。

ターゲットに $\text{Co}_{0.9}\text{Fe}_{0.1}$ (軟質磁性膜 130 用)、A1 (非磁性絶縁膜 120 用)、 $\text{Ni}_{0.2}\text{Fe}_{2.8}\text{O}_4$ (強磁性膜 190 用)、IrMn (反強磁性膜 180 としての磁化回転抑制層用) を用い、 $\text{Co}_{0.9}\text{Fe}_{0.1} (7) / \text{Al}_2\text{O}_3 (1.8) / \text{Ni}_{0.2}\text{Fe}_{2.8}\text{O}_4 (10) / \text{IrMn} (15)$ の基本構成を持つ MR 素子部 101 を作製した。なお、 Al_2O_3 は、上述の方法 A の方法で作製した。

MR 素子部 101 の MR 特性を室温、印加磁界 100 Oe で測定したところ、MR 比はおよそ 26 % であった。このときの接合面積は、およそ 0.7 平方マイクロメートルであった。

導電膜 141 および 150 には Au を用い、導電膜 170 には AuC

r を用いた。MR 素子部 101 と導電膜 170 との絶縁には SiO₂ を用いている。なお、本実施の形態では絶縁に SiO₂ を用いたが、CaF₂ または Al₂O₃ も用いられ得、あるいは Si₃N₄ が用いられても良い。

5 上記のような方法で作製された磁気抵抗記憶素子 2000 の動作を以下のように確認した。

まず、図 25 A に示すようなパルス電流 541 を導電膜 170 に流して軟質磁性膜 130 を一方向に磁化した。次に、やはり導電膜 170 に、図 25 B における上側のグラフに示すようなパルス電流 542 を流し、10 導電膜 141 および 150 を通じて測定した記憶素子の電圧変化 (ΔV₁) をモニターした。電圧変化 (ΔV₁) の結果は、図 25 B における下側のグラフに示すように、記憶情報に応じた電圧変化 543 として検出でき、所望の磁気抵抗記憶素子 2000 が実現できたことが分かった。

(実施の形態 10)

15 本発明の実施の形態 10 として、実施の形態 7 で示した MR 素子部 100 の作製方法を示す。

上述の実施の形態 8 と同様の方法で、図 23 A に示すような MR 素子部 100 を作製した。

ターゲットに Co_{0.9}Fe_{0.1} (界面磁性膜 220 用)、Co (界面磁性膜 220 および硬質磁性膜 110 用)、Al (非磁性絶縁膜 120 用)、20 CoMnB (非晶質磁性膜 210) を用い、MR 素子部 100 として、CoMnB (1) / Co (1) / Al₂O₃ (1.5) / Co (2) の構成を成す MR 素子部と、CoFeB (1) / Co_{0.9}Fe_{0.1} (1) / Al₂O₃ (1.5) / Co (2) の構成を成す MR 素子部とを作製した。

25 なお、両者とも Al₂O₃ は、上述の方法 A の方法で作製した。

MR 素子部 100 が設けられる基板 (図示せず) としては、表面を熱

酸化処理したSi基板、あるいはAl₂O₃・TiCなどを用いた。基板上に下地層としてTaやCu、NiFe、Ptなどの単層膜あるいは積層膜を目的に応じて作製し、その上に上述のMR素子部100を作製した。更に、上部のキャップ層としてTaやCu、NiFe、Ptなどの5 単層膜あるいは積層膜を目的に応じて作製した。

作製されたMR素子部100のMR特性を室温、印加磁界100 Oeで測定したところ、MR比はおよそ32%および29%であった。このときの接合面積は、およそ0.25平方マイクロメートルであった。

更に、上記のように作製されたMR素子部100を用いて、実施の形態1で示した磁気抵抗記憶素子1000を構成した。導電膜140および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部100と導電膜170との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

15 上記のような方法で作製された磁気抵抗記憶素子1000の動作を、実施の形態8における図24に示した方法と同様の方法で確認した。その結果、上述の2種類のそれぞれのMR素子部100を備えた磁気抵抗記憶素子1000は両者とも、図24Bに示されるような記憶情報に応じたパルスが検出され、本発明の磁気抵抗記憶素子1000が実現でき20 たことが分かった。

(実施の形態11)

本発明の実施の形態11として、実施の形態6で示した磁気抵抗記憶素子4000の作製方法を示す。

上述の実施の形態8と同様の方法で、図22A～図22Dに示すような25 磁気抵抗記憶素子4000を作製した。ターゲットとして、軟質磁性膜132、133および134用にNi_{0.68}Co_{0.2}Fe_{0.12}、非磁

性絶縁膜 122、123および124用にA1、また、それぞれ保磁力の違う硬質磁性膜112、113および114用にCo_{0.9}Fe_{0.1}、CoおよびCo_{0.5}Fe_{0.5}を用い、MR素子部200を作製した。硬質磁性膜の保磁力の大きさは、Co_{0.9}Fe_{0.1}>Co>Co_{0.5}Fe_{0.5}の順になっている。

作製したMR素子部200は、Ni_{0.68}Co_{0.2}Fe_{0.12}(10)／Al₂O₃(1.5)／Co_{0.9}Fe_{0.1}(15)／Cu(15)／Ni_{0.68}Co_{0.2}Fe_{0.12}(10)／Al₂O₃(1.5)／Co(15)／Cu(15)／Ni_{0.68}Co_{0.2}Fe_{0.12}(10)／Al₂O₃(1.5)／Co_{0.5}Fe_{0.5}(15)の構成で、3接合アレイを形成している。なお、Al₂O₃は上述の方法Aの方法で作製した。MR素子部200のMR特性を室温、印加磁界100 Oeで測定したところ、アレイとしてのMR比はおよそ28%であった。このときの接合面積は、およそ0.25平方マイクロメートルであった。

センス線およびビット線として用いられる導電膜（実施の形態1の導電膜140および150と同様の導電膜、図22A～図22Dにおいて図示せず）にはAuを用い、ワード線として用いられる導電膜172にはAuCrを用いた。MR素子部200と導電膜172との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子2000の動作を以下のように確認した。

まず、図26Aに示すように、導電膜172にパルス電流551を流して硬質磁性膜112、113および114を一方向に磁化した。次に、図26Bに示すような立ち上がり方に傾斜の有るパルス電流552によって、それぞれの硬質磁性膜112、113および114の磁化方向を

順番に反転させ、センス線およびビット線を通じて電圧変化 ΔV_2 をモニターした。その結果、記憶情報に応じた電圧変化 553 が検出され、磁気抵抗記憶素子 4000 に多値が記録・読み出しがなされたことが確認された。

5 本発明の磁気抵抗記憶素子 4000においては、適当なバイアスを印加することによる多値記録を行うことが出来る。また、定バイアス下における電圧変化 ΔV_2 に応じて記録情報を検出することが出来る。

なお本実施例ではMR素子部 200 として、 $Ni_{0.68}Co_{0.2}Fe_{0.12}$ (1.0) / Al_2O_3 (1.0) / $Co_{0.9}Fe_{0.1}$ (1.5) / Al_2O_3 (1.5) / $Ni_{0.68}Co_{0.2}Fe_{0.12}$ (1.0) / Al_2O_3 (1.5) / $Co_{0.9}Fe_{0.1}$ (1.5) の構成でも、3接合アレイを形成して実証を行い、多値の記録・読み出しが可能であることが確認された。

15 (実施の形態 12)

本発明の実施の形態 12 として、実施の形態 5 で示したMR素子部 100 の作製方法を示す。

上述の実施の形態 6 と同様の方法で、図 23B に示すようなMR素子部 100 を作製した。

20 ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜 230 および 250 用として $Co_{0.9}Fe_{0.1}$ または $Ni_{0.81}Fe_{0.19}$ 、金属の非磁性膜 240 用として Ru、非磁性絶縁膜 120 用として Al、硬質磁性膜 110 用に $Co_{0.9}Fe_{0.1}$ を用いた。

MR素子部 100 として、 $Co_{0.9}Fe_{0.1}$ (1.9) / Ru (0.7) / $Co_{0.9}Fe_{0.1}$ (2.9) / Al_2O_3 (1.2) / $Co_{0.9}Fe_{0.1}$ (2.0) の構成から成るMR素子部と、 $Ni_{0.81}Fe_{0.19}$ (3)

／R u (0. 7)／N i_{0.81}F e_{0.19}(2)／A l₂O₃(1. 2)／C o_{0.9}F e_{0.1}(20)の構成から成るMR素子部とを作製した。なお、A l₂O₃は、上述の方法Aの方法で作製した。作製されたMR素子部100のMR特性を室温、印加磁界100 Oeで測定したところ、5 両者ともMR比はおよそ25%程度であった。このときの接合面積は、およそ0.05平方マイクロメートルであった。

本実施の形態のMR素子部100は、C o_{0.9}F e_{0.1}(4. 8)／A l₂O₃(1. 2)／C o_{0.9}F e_{0.1}(20)またはN i_{0.81}F e_{0.19}(5)／A l₂O₃(1. 2)／C o_{0.9}F e_{0.1}(20)の基本構成10 を持つようなMR素子部に比べて、抗磁力が小さいことが分かった。このことは、図23Bの様な構造をとることにより、反磁界の影響が低減したことによるものである。

更に、上記のように作製されたMR素子部100を用いて、実施の形態1で示した磁気抵抗記憶素子1000を構成した。導電膜140および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部100と導電膜170との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子1000の動作を、20 実施の形態8における図24Aおよび図24Bに示した方法と同様の方法で確認した。その結果、上述の2種類のそれぞれのMR素子部100を備えた磁気抵抗記憶素子1000は両者とも、図24Bに示されるような記憶情報に応じたパルスが検出され、本発明の磁気抵抗記憶素子1000が実現できたことが分かった。

25 (実施の形態13)

本発明の実施の形態13として、実施の形態2で示した磁気抵抗記憶

素子 2000 の作製方法を示す。本実施の形態における磁気抵抗記憶素子 2000 は、実施の形態 7 の図 23B で示した軟質磁性膜 130 を備える。

上述の実施の形態 6 と同様の方法で、実施の形態 7 の図 23B で示した軟質磁性膜 130 を備えた MR 素子部 101 (図 3) を作製した。

ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜 230 および 250 用として Co_{0.9}Fe_{0.1} または Ni_{0.81}Fe_{0.19}、金属の非磁性膜 240 用として Ru、非磁性絶縁膜 120 用として Al、強磁性膜 190 用に Co_{0.5}Fe_{0.5} および 反強磁性膜 180 としての 10 磁化回転抑制層用に IrMn を用いた。

MR 素子部 101 として、Co_{0.9}Fe_{0.1} (1.9) / Ru (0.7) / Co_{0.9}Fe_{0.1} (2.9) / Al₂O₃ (1.2) / Co_{0.5}Fe_{0.5} (20) / IrMn (30) の構成から成る MR 素子部と、Ni_{0.81}Fe_{0.19} (3) / Ru (0.7) / Ni_{0.81}Fe_{0.19} (2) / Al₂O₃ (1.2) / Co_{0.5}Fe_{0.5} (20) / IrMn (30) の構成から成る MR 素子部とを作製した。なお、Al₂O₃ は、上述の方法 A の方法で作製した。

作製された MR 素子部 101 の MR 特性を室温、印加磁界 100 Oe で測定したところ、両者とも MR 比はおよそ 30% 程度であった。このときの接合面積は、およそ 0.05 平方マイクロメートルであった。

本実施例の MR 素子部 101 は、Co_{0.9}Fe_{0.1} (4.8) / Al₂O₃ (1.2) / Co_{0.5}Fe_{0.5} (20) / IrMn (30)、Ni_{0.81}Fe_{0.19} (5) / Al₂O₃ (1.2) / Co_{0.5}Fe_{0.5} (20) / IrMn (30) の基本構成を持つような MR 素子部に比べて、抗磁力が小さいことが分かった。このことは、図 23B に示す軟質磁性膜 130 を含む構造をとることにより、反磁界の影響が低減したことによる

ものである。

更に、上記のように作製されたMR素子部101を用いて、実施の形態2で示した磁気抵抗記憶素子2000を構成した。導電膜141および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部101と導電膜170との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子2000の動作を、実施の形態9における図25Aおよび図25Bに示した方法と同様の方法で確認した。

その結果、上述の2種類のそれぞれのMR素子部101を備えた磁気抵抗記憶素子2000は両者とも、図25Bに示されるような記憶情報に応じた電圧変化が検出され、本発明の磁気抵抗記憶素子2000が実現できたことが分かった。

なお、磁化回転抑制層としてIrMnを用いたが、PtMn、a-F_e₂O₃、NiOを用いても良い。また、磁化回転抑制層としてYFeO₃あるいはSmFeO₃などのペロブスカイト型酸化物を用いても良い。

(実施の形態14)

本発明の実施の形態14として、実施の形態7の図23Bで示した軟質磁性膜130を備えた、実施の形態1で示した磁気抵抗記憶素子100の作製方法を示す。

上述の実施の形態8と同様の方法で、図23Bに示すような実施の形態7で示した軟質磁性膜130を備えたMR素子部100を作製した。また、本実施の形態においては、非磁性絶縁膜120の替わりに非磁性導電膜121(図21A)を用いている。即ち、本実施の形態における磁気抵抗記憶素子1000は、GMR素子である。

ターゲットに、強磁性膜 230 および 250 用として $\text{Ni}_{0.68}\text{Co}_{0.2}\text{Fe}_{0.12}$ 、非磁性導電膜 121 用として Cu、硬質強磁性膜 110 用として $\text{Co}_{0.9}\text{Fe}_{0.1}$ を用いた。

MR 素子部 100 として、 $\text{Co}_{0.9}\text{Fe}_{0.1}$ (20) / Cu (3) / 5 $\text{Ni}_{0.68}\text{Co}_{0.2}\text{Fe}_{0.12}$ (2) / Ru (0.7) / $\text{Ni}_{0.68}\text{Co}_{0.2}\text{Fe}_{0.12}$ (3) から成る CPP 構造の MR 素子部を作製した。

作製された MR 素子部 100 の MR 特性を室温、印加磁界 100 Oe で測定したところ、MR 比はおよそ 16 % であった。このときの接合面積は、およそ 0.05 平方マイクロメートルであった。

10 更に、上記のように作製された MR 素子部 100 を用いて、実施の形態 1 で示した磁気抵抗記憶素子 1000 を構成した。導電膜 140 および 150 には Au および Cu を用い、導電膜 170 には AuCr を用いた。MR 素子部 100 と導電膜 170 との絶縁には SiO_2 を用いている。なお、本実施の形態では絶縁に SiO_2 を用いたが、 CaF_2 、Al₂O₃ あるいは Si_3N_4 を用いても良い。

20 上記のような方法で作製された磁気抵抗記憶素子 1000 の動作を、実施の形態 8 における図 24A および図 24B に示した方法と同様の方法で確認した。その結果、図 24B に示されるような記憶情報に応じたパルスが検出され、本発明の磁気抵抗記憶素子 1000 が実現できたことが分かった。

(実施の形態 15)

本発明の実施の形態 15 として、実施の形態 2 の図 3 で示した磁気抵抗記憶素子 2000 の作製方法を示す。本実施の形態における磁気抵抗記憶素子 2000 は、実施の形態 7 の図 23B で示した軟質磁性膜 130 を備える。

上述の実施の形態 8 と同様の方法で、実施の形態 7 の図 23B で示し

た軟質磁性膜130を備えたMR素子部101(図3)を作製した。また、本実施の形態においては、非磁性絶縁膜120の替わりに非磁性導電膜121(図21A)を用いている。即ち、本実施の形態における磁気抵抗記憶素子2000は、GMR素子である。

5 ターゲットに、強磁性膜230および250用としてNi_{0.68}Co_{0.2}Fe_{0.12}、非磁性導電膜121用としてCu、強磁性膜190用としてCo_{0.9}Fe_{0.1}、反強磁性膜180としての磁化回転抑制層用としてPtMnを用いた。

MR素子部101として、PtMn(30)/Co_{0.9}Fe_{0.1}(20)/Cu(3)/Ni_{0.68}Co_{0.2}Fe_{0.12}(2)/Ru(0.7)/Ni_{0.68}Co_{0.2}Fe_{0.12}(3)から成るCPP構造のMR素子部を作製した。

作製されたMR素子部101のMR特性を室温、印加磁界100Oeで測定したところ、MR比はおよそ19%であった。このときの接合面積は、およそ0.05平方マイクロメートルであった。

更に、上記のように作製されたMR素子部101を用いて、実施の形態2で示した磁気抵抗記憶素子2000を構成した。導電膜141および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部101と導電膜170との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子2000の動作を、実施の形態9における図25Aおよび図25Bに示した方法と同様の方法で確認した。

25 その結果、上述の2種類のそれぞれのMR素子部101を備えた磁気抵抗記憶素子2000は両者とも、図25Bに示されるような記憶情報

に応じた電圧変化が検出され、本発明の磁気抵抗記憶素子 2000 が実現できたことが分かった。

(実施の形態 16)

図 27A～図 27F に、本発明の実施の形態 16 における MRAM デバイス 5000 を示す。図 27A～図 27E は、MRAM デバイス 5000 およびその一部を示す斜視図である。図 27F は、MRAM デバイス 5000 の上面図である。実施の形態 1、2、5 で示した磁気抵抗記憶素子 1000 および 2000 と同一の構成要素については同一の参照符号で表し、これらについての詳細な説明は省略する。

MRAM デバイス 5000 は、複数の磁気抵抗記憶素子 1010 を、 256×256 の行列状に配した MRAM デバイスである。なお、磁気抵抗記憶素子 1010 は任意の数が配置され得る。

図 27B に示すように、磁気抵抗記憶素子 1010 は、実施の形態 5 の図 5 (b) で示した磁気抵抗記憶素子 1000 または 2000 の構成に、更にワード線 173 を加えた構造となっている。ワード線 170 および 173 は、好ましくは図 27B に示すように MR 素子部 100 (または 101) の上下部に沿って配置されるが、磁界が MR 素子部 100 (または 101) に効果的に印加可能であれば、図 27B に示される配置に限定されるものではない。図 27C～図 27E は、ワード線 170 および 173 の他の実施の形態を示している。またこの場合に電極体 140 は実施の形態 3 および実施の形態 4 にて示した構成にて MR 素子部 100 (101) と接触が図られている。

図 27C は、MR 素子部 100 (または 101) に対して効率的に磁界印加が可能な様にワード線 170 および 173 の配置を互いに一定角ずらして配置したものを見ている。また、図 27D は、ワード線 170 をセンス線 140 にて代用させたものを示している。図 27E は、ワ

一ワード線 170 および 173 を MR 素子部 100 (101) の横側に配置したものを見ている。図 27E は、両ワード線 170 および 173 に同方向に電流を流して、発生する合成磁界と直交するセンス線 140 (141) との合成磁界を用いて MR 素子部 100 (101) に記録を行うものである。

まず、磁気抵抗記憶素子 1010 が、磁気抵抗記憶素子 1000 の構成にワード線 173 を備えた構成である場合について説明する。

この場合、作製された磁気抵抗記憶素子 1010 が備える MR 素子部 100 は、実施の形態 10 で示した $\text{Ni}_{0.81}\text{Fe}_{0.19}$ (3) / Ru (0.7) / $\text{Ni}_{0.81}\text{Fe}_{0.19}$ (2) / Al_2O_3 (1.2) / $\text{Co}_{0.9}\text{Fe}_{0.1}$ (20) の構成から成っている。また、MR 素子部 100 が $\text{Ni}_{0.81}\text{Fe}_{0.19}$ (2) / Ru (0.7) / $\text{Ni}_{0.81}\text{Fe}_{0.19}$ (3) / Al_2O_3 (1.2) / $\text{Co}_{0.9}\text{Fe}_{0.1}$ (20) の構成から成るものについても作製した。

導電膜 140 および 150 には Au、Cu あるいは Al を用い、導電膜 170 および 173 には Cu を用いた。MR 素子部 101 と導電膜 170 との絶縁には SiO_2 を用いている。なお、本実施の形態では絶縁に SiO_2 を用いたが、 CaF_2 、 Al_2O_3 あるいは Si_3N_4 を用いても良い。

導電膜 140 および 150 (センス線およびビット線)、導電膜 170 および 173 (ワード線) は、図 27A に示すように行列状に配置されている。また、アドレス指定用のスイッチ部 301 および 311 と、信号検出部 302 および 312 が、図 27F に示すように配置されている。なお、図 27Fにおいて、説明の簡便のため導電膜 173 は省略されている。スイッチ部 301 および 311 により任意の導電膜 140 および 150、導電膜 170 および 173 が選択される。また、信号検出部 3

0 2 および 3 1 2 によって、各導電膜の電流値または電圧値が検出される。

MR 素子部 1 0 0 への記憶の書き込みについては、電流パルスを行要素と列要素の導電膜 1 7 0 および 1 7 3 にそれぞれに流し、発生する合
5 成の磁界によって、特定の MR 素子部 1 0 0 に対してのみ磁化状態を変化させることにより行われる。

MRAM デバイス 5 0 0 0 の情報の書き込みおよび読み出し動作は、
基本的には実施の形態 8 の図 2 4 A および図 2 4 B に示される動作と同
様である。任意の記憶状態にある MRAM デバイス 5 0 0 0 に対する読
10 み出し動作を以下のように確認した。

スイッチ部 3 0 1 および 3 1 1 により、特定の導電膜 1 4 0 および 1
5 0 、導電膜 1 7 0 および 1 7 3 が選択される。そして、選択された各
導電膜に対応する MR 素子 1 0 0 の抵抗値をモニターしながら、軟質磁
性膜 1 3 0 (図 1) を磁化反転させるための磁場を選択された MR 素子
15 部 1 0 0 に印加した。このとき、図 2 4 B に示されるような記憶情報に
応じたパルスが、信号検出部 3 0 2 または 3 1 2 を通じて検出された。
なお、このとき、記憶状態は保存されていることから、読み出し動作が
N D R O 動作であることが確認された。これらの結果により、本発明の
MRAM デバイス 5 0 0 0 が実現できたことが分かった。

20 次に、磁気抵抗記憶素子 1 0 1 0 が、実施の形態 1 3 で示した磁気抵
抗記憶素子 2 0 0 0 の構成にワード線 1 7 3 を備えた構成である場合に
について説明する。

この場合、作製された磁気抵抗記憶素子 1 0 1 0 が備える MR 素子部
1 0 1 は、実施の形態 1 3 で示した $Ni_{0.81}Fe_{0.19}(3)/Ru(0.$
25 $7)/Ni_{0.81}Fe_{0.19}(2)/Al_2O_3(1.2)/Co_{0.5}Fe_{0.5}(20)/IrMn(30)$ の構成から成っている。また、 MR 素

子部 101 が Ni_{0.81}Fe_{0.19}(2) / Ru(0.7) / Ni_{0.81}Fe_{0.19}(3) / Al₂O₃(1.2) / Co_{0.5}Fe_{0.5}(20) / IrMn(30) の構成から成るものについても作製した。

導電膜 141 および 150 には Au および Cu を用い、導電膜 170 5 および 173 には AuCr を用いた。MR 素子部 101 と導電膜 170 との絶縁には SiO₂ を用いている。なお、本実施の形態では絶縁に SiO₂ を用いたが、CaF₂、Al₂O₃ あるいは Si₃N₄ を用いても良い。

導電膜 141 および 150 (センス線およびビット線)、導電膜 170 10 および 173 (ワード線) は、図 27A に示すように行列状に配置されている。MR 素子部 101 への記憶の書き込みについては、上記と同様に電流パルスを行要素と列要素の導電膜 170 および 173 にそれぞれに流し、発生する合成の磁界によって、特定の MR 素子部 101 に対してのみ磁化状態を変化させることにより行われる。

15 この場合の MRAM デバイス 5000 の情報の書き込みおよび読み出し動作は、基本的には実施の形態 9 の図 25A～図 25B に示される動作と同様である。任意の記憶状態にある MRAM デバイス 5000 に対する読み出し動作を以下のように確認した。

スイッチ部 301 および 311 により、特定の導電膜 141 および 1 20 50、導電膜 170 および 173 が選択される。そして、選択された各導電膜に対応する MR 素子 100 の抵抗値をモニターしながら、軟質磁性膜 130 (図 23B) のみを磁化反転させるための磁場を選択された MR 素子部 101 に印加した。この場合の軟質磁性膜 130 の磁化方向 25 は、実効的に働く 2 つの強磁性膜 230 および 250 (図 23B) のもつ磁化の差分の指す方向を意味している。モニターの結果、図 25B に示されるような記憶情報に応じた電圧変化が、信号検出部 302 または

312を通じて検出された。

これらの結果により、本発明のMRAMデバイス5000が実現できたことが分かった。

この場合にも、実施の形態3および実施の形態4にて示した構成にて
5 MR素子部100(101)と接触を図ることにより、256×256
にて構成したMRAMデバイスの正常動作可能なチップのスループット
は6インチウェハー内で向上した。すなわち、被覆率が5%以上から6
0%以下の場合に、MR値や接合抵抗RA値、両値のバイアス依存性まで含めた特性における素子間のばらつき度合いが改善され、これらの特
10 性を利用して動作するMRAMデバイスの動作安定性が向上したことが
確認された上で、本発明が効果的であることが分かった。

(実施の形態17)

本発明の実施の形態17として、実施の形態7の図23Cで示した軟
質磁性膜130を備えた実施の形態2で示した磁気抵抗記憶素子200
15 0の作製方法を示す。

上述の実施の形態8と同様の方法で、実施の形態7の図23Cで示し
た軟質磁性膜130を備えたMR素子部101を作製した。

ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜230
および250用としてNi_{0.81}Fe_{0.19}、金属の非磁性膜240用と
20 してRu、非磁性絶縁膜120用としてAl、もう一方の交換結合型フ
エリ磁性膜における金属の強磁性膜260、280用にCo_{0.7}Fe_{0.}
3および反強磁性膜180としての磁化回転抑制層用にPtMnを用い
た。

MR素子部101として、Ni_{0.81}Fe_{0.19} (3) / Ru (0.
25 7) / Ni_{0.81}Fe_{0.19} (2) / Al₂O₃ (1. 2) / Co_{0.7}Fe_{0.}
0.3 (2) / Ru (0. 7) / Co_{0.7}Fe_{0.3} (2) / PtMn (2

0) の構成から成るMR素子部を作製した。なお、 Al_2O_3 は、上述の方法Aの方法で作製した。

MR素子部101のMR特性を室温、印加磁界100 Oeで測定したところ、MR比はおよそ36%であった。このときの接合面積は、およそ0.1平方マイクロメートルであった。
5

本実施例のMR素子部101は、 $\text{Ni}_{0.81}\text{Fe}_{0.19}$ (5)/ Al_2O_3 (1.2)/ $\text{Co}_{0.7}\text{Fe}_{0.3}$ (2)/ $\text{Ru}(0.7)$ / $\text{Co}_{0.7}\text{Fe}_{0.3}$ (2)/ PtMn (20)の基本構成を持つようなMR素子部に比べて、抗磁力が小さいことが分かった。このことは、図23Cの様な構造をとることにより、反磁界の影響が低減したことによるものである。
10

更に、上記のように作製されたMR素子部101を用いて、実施の形態2で示した磁気抵抗記憶素子2000を構成した。導電膜141および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部101と導電膜170との絶縁には SiO_2 を用いている。なお、本実施の形態では絶縁に SiO_2 を用いたが、 CaF_2 、 Al_2O_3 あるいは Si_3N_4 を用いても良い。
15

上記のような方法で作製された磁気抵抗記憶素子2000の動作を、実施の形態7における図25Aおよび図25Bに示した方法と同様の方法で確認した。その結果、図25Bに示されるような記憶情報に応じた電圧変化が検出され、本発明の磁気抵抗記憶素子2000が実現できたことが分かった。
20

(実施の形態18)

本発明の実施の形態18として、実施の形態7の図23Cで示した軟質磁性膜130を備えた実施の形態2で示した磁気抵抗記憶素子2000の他の作製方法を示す。
25

上述の実施の形態8と同様の方法で、実施の形態7の図23Cで示し

た軟質磁性膜130を備えたMR素子部101を作製した。

ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜230および250用としてNi_{0.81}Fe_{0.19}、金属の非磁性膜240用としてRu、非磁性絶縁膜120用としてAl、もう一方の交換結合型フェリ磁性膜における金属の強磁性膜260、280用にCo_{0.9}Fe_{0.1}および反強磁性膜180としての磁化回転抑制層用にIrMnを用いた。また、非磁性絶縁膜120と強磁性膜250との間の界面に新たな強磁性層（図示せず）を配したMR素子部101も作製し、この新たな強磁性層にはCo_{0.9}Fe_{0.1}を用いた。

MR素子部101として、Ni_{0.81}Fe_{0.19} (3) / Ru (0.7) / Ni_{0.81}Fe_{0.19} (2) / Al₂O₃ (1.2) / Co_{0.9}Fe_{0.1} (2) / Ru (0.7) / Co_{0.9}Fe_{0.1} (2) / IrMn (20) の構成から成るMR素子部と、

Ni_{0.81}Fe_{0.19} (3) / Ru (0.7) / Ni_{0.81}Fe_{0.19} (2) / Co_{0.9}Fe_{0.1} (0.5) / Al₂O₃ (1.2) / Co_{0.9}Fe_{0.1} (2) / Ru (0.7) / Co_{0.9}Fe_{0.1} (2) / IrMn (20) の構成から成るMR素子部とを作製した。なお、Al₂O₃は、上述の方法Aの方法で作製した。

前者のMR素子部101および新たな強磁性層を配した後者のMR素子部101のMR特性を室温、印加磁界100 Oeで測定したところ、MR比はそれぞれ、前者は約35%、後者は約37%であった。このときの接合面積は、両方のMR素子部ともおよそ0.1平方マイクロメートル程度であった。

さらに、両方のMR素子部に対して熱処理を加えたところ、約280度の熱処理に対して後者のMR比は約41%に上昇した。このことは、軟質磁性膜130（自由層）に含まれるCo_{0.9}Fe_{0.1}によって構成

された新たな強磁性層が、 $\text{Ni}_{0.81}\text{Fe}_{0.19}$ と Al_2O_3 における Ni と Al との相互拡散を抑え、安定な界面が実現されていることを示唆するものである。なお、この $\text{Co}_{0.9}\text{Fe}_{0.1}$ 層は1 nm程度以下の膜厚で配するのが望ましい。

5 更に、上記のように作製されたMR素子部101を用いて、実施の形態2で示した磁気抵抗記憶素子2000を構成した。導電膜141および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部101と導電膜170との絶縁には SiO_2 を用いている。なお、本実施の形態では絶縁に SiO_2 を用いたが、 CaF_2 、 Al_2O_3 あるいは Si_3N_4 を用いても良い。
10

上記のような方法で作製された磁気抵抗記憶素子2000の動作を、実施の形態9における図25Aおよび図25Bに示した方法と同様の方法で確認した。その結果、図25Bに示されるような記憶情報に応じた電圧変化が検出され、本発明の磁気抵抗記憶素子2000が実現できた
15 ことが分かった。

(実施の形態19)

本発明の実施の形態19として、実施の形態1で示した磁気抵抗記憶素子1000の作製方法を示す。

上述の実施の形態8と同様の方法で、図1に示すような磁気抵抗記憶素子1000を作製した。
20

ターゲットに $\text{Ni}_{0.8}\text{Fe}_{0.2}$ （軟質磁性膜130用）、 Al （非磁性絶縁膜120用）、 NiMnSb （硬質磁性膜110用）を用い、サファイアc面基板上に、 $\text{Ni}_{0.8}\text{Fe}_{0.2}$ （15）／ Al_2O_3 （1.2）／ NiMnSb （50）により構成されるMR素子部100を作製した。

25 なお、 Al_2O_3 は、上述の方法Aの方法で作製した。

MR素子部100のMR特性を室温、印加磁界100 Oeで測定し

たところ、MR比は約40%であった。このときの接合面積は、約0.25平方マイクロメートルであった。

なお、本実施の形態ではサファイア基板を用いる例を示したが、酸化マグネシウム(100)基板を用いても良質なNiMnSb膜を作製することができる。

更に、高い磁気分極率を示す材料として、NiMnSbを用いた例を示したが、PtMnSbやPdMnSbを用いた場合でも、ほぼ同様に高いMR特性を示し、良好な磁気抵抗素子を作製することができる。

更に、上記のように作製されたMR素子部100を用いて、実施の形態1で示した磁気抵抗記憶素子1000をサファイアc面基板上に作製した。導電膜140および150にはAuおよびCuを用い、導電膜170にはAuCrを用いた。MR素子部100と導電膜170との絶縁にはSiO₂を用いている。なお、本実施の形態では絶縁にSiO₂を用いたが、CaF₂、Al₂O₃あるいはSi₃N₄を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子1000の動作を、実施の形態8における図24Aおよび図24Bに示した方法と同様の方法で確認した。その結果、図24Bに示されるような記憶情報に応じたパルスが検出され、本発明の磁気抵抗記憶素子1000が実現できたことが分かった。

20 (実施の形態20)

本発明の実施の形態20として、実施の形態1で示した磁気抵抗記憶素子1000の他の作製方法を示す。

上述の実施の形態8と同様の方法で、図1に示すような磁気抵抗記憶素子1000を作製した。

ターゲットにNi_{0.8}Fe_{0.2}(軟質磁性膜130用)、Al(非磁性絶縁膜120用)、PtMnSb(硬質磁性膜110用)を用いた。

サファイアc面基板上に、 $Ni_{0.8}Fe_{0.2}(15)/Al_2O_3(1.2)/PtMnSb(50)$ により構成されるMR素子部100を作製した。なお、 Al_2O_3 は、上述の方法Aの方法で作製した。

まず、サファイアc面基板上に、製膜温度がおよそ500度の条件で、
5 $PtMnSb$ をエピタキシャル成長させた。サファイアc面基板との格子整合性より、 $PtMnSb$ は(111)面配向を示した。この後、 A 1膜を堆積し、上述の方法Aの方法で Al_2O_3 を作製した。その上に $Ni_{0.8}Fe_{0.2}$ を堆積して、 $Ni_{0.8}Fe_{0.2}(15)/Al_2O_3(1.2)/PtMnSb(50)$ により構成されるMR素子部100を作製
10 した。

MR素子部100のMR特性を室温、印加磁界100 Oeで測定したところ、MR比は約40%であった。このときの接合面積は、およそ0.25平方マイクロメートル程度であった。

なお、本実施の形態ではサファイア基板を用いる例を示したが、酸化マグネシウム(100)基板を用いても良質な $PtMnSb$ 膜を作製することができる。また、この場合、格子整合性より(100)面に配向した $PtMnSb$ を作製できることが分かった。

本実施の形態では、高い磁気分極率を示す材料として、 $PtMnSb$ を用いる例を示したが、 $NiMnSb$ や $PdMnSb$ を用いた場合でも、
20 ほぼ同様な特性を示し、良好なMR特性を示すMR素子部100を作製できることが分かった。

更に、上記のように作製されたMR素子部100を用いて、実施の形態1で示した磁気抵抗記憶素子1000をサファイアc面基板上に作製した。導電膜140および150にはAuおよびCuを用い、導電膜1
25 70にはAuCrを用いた。MR素子部100と導電膜170との絶縁には SiO_2 を用いている。なお、本実施の形態では絶縁に SiO_2 を用

いたが、 CaF_2 、 Al_2O_3 あるいは Si_3N_4 を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子 1000 の動作を、実施の形態 8 における図 24 A および図 24 B に示した方法と同様の方法で確認した。その結果、図 24 B に示されるような記憶情報に応じた
5 パルスが検出され、本発明の磁気抵抗記憶素子 1000 が実現できたことが分かった。

(実施の形態 21)

本発明の実施の形態 21 として、実施の形態 2 で示した磁気抵抗記憶素子 2000 の作製方法を示す。

10 上述の実施の形態 8 と同様の方法で、図 3 に示すような磁気抵抗記憶素子 2000 を作製した。

ターゲットに軟質磁性膜 130 用として $\text{Ni}_{0.8}\text{Fe}_{0.2}$ 、非磁性絶縁膜 120 用として Al、強磁性膜 190 用に PtMnSb、および反強磁性膜 180 としての磁化回転抑制層用に $\alpha-\text{Fe}_2\text{O}_3$ を用いた。

15 作製においては、サファイア c 面基板上に $\alpha-\text{Fe}_2\text{O}_3$ を成長させ、 $\text{Ni}_{0.8}\text{Fe}_{0.2}$ (15) / Al_2O_3 (1.2) / PtMnSb (25) / $\alpha-\text{Fe}_2\text{O}_3$ (40) により構成される MR 素子部 101 を作製した。なお、 Al_2O_3 は、上述の方法 A の方法で作製した。

MR 素子部 101 の MR 特性を室温、印加磁界 100 Oe で測定したところ、MR 比は約 40 % であった。このときの接合面積は、最小で約 0.25 平方マイクロメートルであった。

本実施の形態では、高い磁気分極率を示す材料として、PtMnSb を用いたが、NiMnSb や CuMnSb もほぼ同様な特性を示し、良好な MR 特性を示す磁気抵抗素子を作製することができる。

25 更に、上記のように作製された MR 素子部 101 を用いて、実施の形態 2 で示した磁気抵抗記憶素子 2000 をサファイア c 面基板上に作製

した。導電膜 141 および 150 には Au および Cu を用い、導電膜 170 には AuCr を用いた。MR 素子部 101 と導電膜 170 との絶縁には SiO₂ を用いている。なお、本実施の形態では絶縁に SiO₂ を用いたが、CaF₂、Al₂O₃ あるいは Si₃N₄ を用いても良い。

5 上記のような方法で作製された磁気抵抗記憶素子 2000 の動作を、実施の形態 9 における図 25A および図 25B に示した方法と同様の方法で確認した。その結果、図 25B に示されるような記憶情報に応じた電圧変化が検出され、本発明の磁気抵抗記憶素子 2000 が実現できたことが分かった。

10 (実施の形態 22)

本発明の実施の形態 22 として、実施の形態 7 の図 23C で示した軟質磁性膜 130 を備えた実施の形態 2 で示した磁気抵抗記憶素子 2000 の作製方法を示す。

上述の実施の形態 8 と同様の方法で、実施の形態 7 の図 23C で示した軟質磁性膜 130 を備えた MR 素子部 101 を作製した。

ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜 230 および 250 用として Ni_{0.81}Fe_{0.19}、金属の非磁性膜 240 用として Ru、非磁性絶縁膜 120 用として Al、もう一方の交換結合型フェリ磁性膜における金属の強磁性膜 260、280 用に Co_{0.9}Fe_{0.1} および反強磁性膜 180 としての磁化回転抑制層用に IrMn を用いた。

MR 素子部 101 として、Ni_{0.81}Fe_{0.19}(3) / Ru(0.7) / Ni_{0.81}Fe_{0.19}(2) / Al₂O₃(1.2) / Co_{0.9}Fe_{0.1}(2) / Ru(0.7) / Co_{0.9}Fe_{0.1}(2) / IrMn(20) の構成からなる MR 素子部を作製した。なお、Al₂O₃ は、上述の方法 A の方法で作製した。

MR 素子部 101 の MR 特性を室温、印加磁界 100 Oe で測定したところ、MR 比は約 35 % であった。このときの接合面積は、およそ 0.05 平方マイクロメートルであった。

更に、上記のように作製された MR 素子部 101 を用いて、実施の形態 2 で示した磁気抵抗記憶素子 2000 を構成した。またこの場合に電極体 141 は実施の形態 3 および実施の形態 4 にて示した構成にて MR 素子部 100 (101) と接触が図られている。導電膜 141 および 150 には Cu を用い、導電膜 170 にも Cu を用いた。MR 素子部 101 と導電膜 170 との絶縁には SiO₂ を用いている。なお、本実施の形態では絶縁に SiO₂ を用いたが、CaF₂、Al₂O₃ あるいは Si₃N₄ を用いても良い。

上記のような方法で作製された磁気抵抗記憶素子 2000 の高速動作を確認するべく、ワード線である導電膜 170 と、センス線として設定した導電膜 150 とのそれぞれに、図 28 における上部および中央に示すグラフのような電流パルス 561 および 562 を流して、MR 素子部 101 の電圧変化 ΔV_3 をモニターした。その結果、図 28 における下側に示すグラフのような記憶情報に応じた電圧変化 563 が検出された。

本実施の形態では、一例として、センス線への電流印加による磁界発生方向は磁化困難軸方向を向いており、ワード線への電流印加による磁界発生方向は磁化容易軸方向をそれぞれ向いている構成をとっている。つまり、MR 素子部 101 は、センス線から発生する磁界の方向よりもワード線から発生する磁界の方向へ磁化し易い構成となっている。

このとき、センス線とワード線とに印加したパルス電流のトリガータイミングを変化させることで、出力電圧の差が現れることが分かった。印加電流パルスの大きさは、ワード線への印加電流がセンス線への印加電流よりも大きくなるようにした。センス線への印加電流のパルス幅 t

sは最低0.1n s以上、ワード線への印加電流のパルス幅{t_w}は0.1n s以上、センス線への印加電流のパルスに対するワード線への印加電流のパルスのタイミング差_{t_d}は約0.1n s以上50n s以下の範囲にあることがそれぞれ好ましい。このようなトリガータイミングを変化させる操作を行うことで、高いMR比が確保され、高い出力電圧が得られることが分かった。

また、このような出力特性は、磁化方向を180度回転させる際に、磁化容易軸方向（あるいは磁化困難軸方向）にのみに磁界印加を行うだけでなく、磁化容易軸方向への磁界印加に先だって、磁界困難軸方向に磁界を印加することが、高い出力電圧を得る上で効果的であることを示している。この操作により、磁化容易軸方向への磁化反転に対する磁気トルクがかかりやすくなると考えられる。

本実施の形態の場合、センス線を用いて磁界困難軸方向へ磁界を発生させ、ワード線を用いて磁界容易軸方向へ磁界を発生させる構成を用いたが、逆の配置で用いても良い。

また、ほぼ直交するセンス線とワード線の共用による磁界印加では、図20に示すようなアステロイド型の磁界曲線1401によりセンス線による磁界の大きさ_{H_s}とワード線による磁界の大きさ_{H_w}とが決定される。従って、直交するセンス線とワード線（あるいは直交する2本のワード線）を共用して磁界印加することは、記憶素子のアドレス選択のみでなく、磁界発生のためにセンス線およびワード線に流す電流値を低減させることができる。

次に、図29Aに示すように、上記のような磁気抵抗記憶素子200の複数個を512×512の行列状に配置したMRAMデバイス600を構成した。なお、磁気抵抗記憶素子2000は任意の数が配置され得る。図29Bに示すようにアドレス指定用のスイッチ部401およ

び 4 1 1 と、信号検出部 4 0 2 および 4 1 2 とが配置される。スイッチ部 4 0 1 および 4 1 1 により任意の導電膜 1 4 1 、 1 5 0 および 1 7 0 が選択される。また、信号検出部 4 0 2 および 4 1 2 によって、各導電膜の電流値または電圧値が検出される。

5 ワード線 1 7 0 は、好ましくは図 2 9 B に示すように MR 素子部 1 0 1 の上部に沿って配置されるが、磁界が MR 素子部 1 0 1 に効果的に印加可能であれば、この配置に限定されるものではない。

導電膜 1 4 1 および 1 5 0 (ビット線およびセンス線)、導電膜 1 7 0 (ワード線) は、図 2 7 A に示すように行列状に配置されている。また、
10 アドレス指定用のスイッチ部 4 0 1 および 4 1 1 と、信号検出部 4 0 2 および 4 1 2 が、図 2 7 B に示すように配置されている。スイッチ部 4 0 1 および 4 1 1 により任意の導電膜 1 4 1 、 1 5 0 および 1 7 0 が選択される。また、信号検出部 4 0 2 および 4 1 2 によって、各導電膜の電流値または電圧値が検出される。

15 MR 素子部 1 0 1 への記憶の書き込みについては、電流パルスを行要素と列要素の導電膜 1 5 0 および 1 7 0 にそれぞれに流し、発生する合成の磁界によって、特定の MR 素子部 1 0 1 に対してのみ磁化状態を変化させることにより行われる。本実施の形態では、導電膜 1 5 0 (センス線) を、実施の形態 1 6 で示した導電膜 1 7 3 (ワード線) の代わり
20 として用いている。

任意の記憶状態にある MRAM デバイス 6 0 0 0 に対する読み出し動作を以下のように確認した。

スイッチ部 4 0 1 および 4 1 1 により、特定の導電膜 1 4 1 、 1 5 0 および 1 7 0 が選択される。そして、選択された各導電膜に対応する M
25 R 素子 1 0 1 の抵抗値をモニターした。そして、実施の形態 2 で示した読み出し方法と同様に、モニターされた上記対応する MR 素子 1 0 1 の

抵抗値と参照抵抗との差分値を差分回路（図示せず、好ましくは信号検出部 402 および 412 に内蔵される）を通じてモニターし、差分値に応じて記憶状態を読み出すことができた。これらの結果によって、本発明の MRAM デバイス 6000 が実現できたことが分かった。この場合 5 にも、実施の形態 3 および実施の形態 4 にて示した構成にて MR 素子部 100 (101) と接触することにより、 512×512 にて構成した MRAM デバイスの正常動作可能なチップのスループットは 6 インチウエハー内で向上した。すなわち、被覆率が 5 % 以上から 60 % 以下の場合に、MR 値や接合抵抗 RA 値、両値のバイアス依存性まで含めた特性 10 における素子間のばらつき度合いが改善され、これらの特性を利用して動作する MRAM デバイスの動作安定性が向上したことが確認された上で、本発明が効果的であることが分かった。

(実施の形態 23)

本発明の実施の形態 23 として、図 30A および図 30B に、実施の形態 2 (図 3) で示した MR 素子部 101 を備えた、磁気抵抗効果ヘッド 7000 を示す。図 30A は磁気抵抗効果ヘッド 7000 の斜視図、図 30B は磁気抵抗効果ヘッド 7000 の断面図である。磁気抵抗効果ヘッド 7000 の MR 素子部 101 は、実施の形態 7 (図 23B) で示した軟質磁性膜 130 を備える。実施の形態 2 および 5 で示した磁気抵抗記憶素子 2000 と同一の構成要素については同一の参照符号で表し、これらについての詳細な説明は省略する。

上述の実施の形態 8 と同様の方法で、MR 素子部 101 を作製した。ターゲットに交換結合型フェリ磁性膜における金属の強磁性膜 230 および 250 用として Co_{0.9}Fe_{0.1} または Ni_{0.8}Fe_{0.19}、金属の非磁性膜 240 用として Ru、非磁性絶縁膜 120 用として Al、強磁性膜 190 用に Co_{0.9}Fe_{0.1}、および反強磁性膜 180 として

の磁化回転抑制層用に I r M n を用いた。

MR 素子部 101 として、N i_{0.81}F e_{0.19}(3) / R u(0.7)
/ N i_{0.81}F e_{0.19}(2) / A l₂O₃(1.2) / C o_{0.9}F e_{0.1}
(20) / I r M n(30)、の構成から成るMR 素子部を作製した。な
5 お、A l₂O₃は上記の方法Aの方法で作製した。

作製されたMR 素子部 101 のMR 特性を室温、印加磁界 100 O
e で測定したところ、MR 比は約 30 % であった。このときの接合面積
は、およそ 0.25 平方マイクロメートルであった。

このようなトンネル接合型のMR 素子部 101 を磁気抵抗効果ヘッド
10 7000 は備えている。

磁気抵抗効果ヘッド 7000 は、A l₂O₃・T i C を主成分とする焼
結体から成るスライダ用の基板 601 と、シールド層 602 および 60
3 と、N i F e 合金から成る記録磁極 605 および 606 と、C u から
成るコイル 607 と、A l₂O₃から成る各構成要素間のギャップ層 60
15 8 とを備える。シールド層 602 および 603 の膜厚はそれぞれ 1 μ m
である。また、記録磁極 605、606 の膜厚はそれぞれ 3 μ m である。
ギャップ層 608 の膜厚は、シールド層 602 および 603 と MR 素子
部 101 との間で 0.1 μ m であり、記録磁極 605 および 606 間では
20 0.2 μ m である。導電膜 150 と記録磁極 605 の間隔は約 4 μ m
である。コイル 607 の膜厚は 3 μ m である。

MR 素子部 101 はシールド層 602 および 603 の間に配置されて
おり、ヘッド表面 604 に直接露出しない構成となっている。

バイアス電流は導電膜 141 および 150 を通じて MR 素子部 101
に印加される。軟質磁性膜 130 および 強磁性膜 190 は、互いの磁化
25 方向が直交する方向にそれぞれ磁化方向が向くように設定されており、
再生信号に応じた磁化方向の変位を感度良く読みとることができた。

また、図31Aおよび図31Bに示すように、上記の磁気抵抗効果ヘッド7000を備えた磁気ディスク装置8000を作製した。図31Aは、磁気ディスク装置8000の上面図を、図31Bは磁気ディスク装置8000の断面図を示している。

5 磁気記録媒体701はCo-Ni-Pt-Ta系合金から成る。磁気抵抗効果ヘッド7000は、磁気ヘッド支持部702により支持され、磁気ヘッド駆動部703により駆動される。磁気抵抗効果ヘッド7000のトラック幅は5μmとした。上記のような構成を磁気ディスク装置8000は、図31Bに示すように複数個備える。

10 本発明の磁気抵抗効果ヘッド7000は、従来のCIPMR素子であるGMR型磁気抵抗効果ヘッドよりも抵抗変化率が高い。従って、磁気抵抗効果ヘッド7000は再生出力が高く、再生用磁気ヘッドとして大変有効である。作製した磁気ディスク装置8000から、磁気記録媒体701に記録された情報に応じた電圧変化が良好に検出でき、本発明の
15 磁気抵抗効果ヘッド7000が実現できたことが分かった。

なお、本発明の全ての実施の形態で示したMR素子部100、101、102および200は、本実施の形態と同様に、磁気抵抗効果ヘッドとして用いることが出来る。これらすべての場合にも、実施の形態3および実施の形態4にて示した構成にてMR素子部100(101、102、
20 200)と接触することにより、デバイスの正常動作可能なチップのスループットは6インチウェハー内で向上することが確認された。すなわち、被覆率が5%以上から60%以下の場合に、MR値や接合抵抗RA値、両値のバイアス依存性まで含めた磁気抵抗特性における素子間のばらつき度合いが改善され、これらの特性を利用して動作するデバイスの
25 動作安定性が向上したことが確認された上で、本発明が効果的であることが分かった。

産業上の利用可能性

以上のように本発明によれば、微細パターン化された磁気抵抗素子および磁気抵抗記憶素子および磁気メモリにおけるMR値、接合抵抗値等の磁気抵抗特性のばらつきを抑制することができる。

請求の範囲

1. 非磁性層と、
 - 前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層およ
- 5 び第2強磁性層と、
 - 前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接觸するように形成された第1電気伝導体と、
 - 前記第2強磁性層の前記非磁性層と反対側の表面に接觸するように形成された第2電気伝導体と、
- 10 少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体とを具備する磁気抵抗素子であって、
 - 前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、
- 15 前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっている、
 - 前記磁気抵抗素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記第2電気伝導体へ電流が流れることによって動作するようになっており、
- 20 前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されている、
 - 前記絶縁体は、前記第1強磁性層の前記表面における周縁を被覆するように形成されていることを特徴とする磁気抵抗素子。

2. 前記絶縁体によって被覆される前記第1強磁性層の前記表面の面積の割合は、前記第1強磁性層の前記表面の全体の面積の5%以上60%以下になっている、請求の範囲1記載の磁気抵抗素子。

5

3. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対して5度以上90度未満の角度を有するスロープが形成されている、請求の範囲1記載の磁気抵抗素子。

10

4. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部は、前記第1強磁性層の前記表面に対して少なくとも1nm以上の厚みを有している、請求の範囲1記載の磁気抵抗素子。

15

5. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、曲率半径5nm以上を有する曲面が形成されている、請求の範囲1記載の磁気抵抗素子。

20

6. 前記第1電気伝導体と接触する前記第1強磁性層の前記表面の面積の割合は、前記第1強磁性層の前記表面の全体の面積の40%よりも大きく95%よりも小さくなっている、請求の範囲1記載の磁気抵抗素子。

25

7. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対して90度以上180度未満の角度を有するスロープが形成されている、請

求の範囲 1 記載の磁気抵抗素子。

8. 非磁性層と、

前記非磁性層を挟み込むようにそれぞれ形成された第 1 強磁性層およ
5 び第 2 強磁性層と、

前記第 1 強磁性層の前記非磁性層と反対側の表面における略中央に接
触するように形成された第 1 電気伝導体と、

前記第 2 強磁性層の前記非磁性層と反対側の表面に接触するように形
成された第 2 電気伝導体と、

10 少なくとも前記第 1 強磁性層と前記非磁性層との側面を覆うように形
成された絶縁体とを具備する磁気抵抗記憶素子であって、

前記第 1 強磁性層および前記第 2 強磁性層の少なくとも一方は、前記
第 1 強磁性層および前記第 2 強磁性層に平行な方向に沿って磁化されて
おり、

15 前記第 1 強磁性層と前記第 2 強磁性層とのうちの一方は外部から印加
される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部か
ら印加される磁界に対して磁化反転を起こしにくくなっており、

前記磁気抵抗記憶素子は、前記第 1 電気伝導体から前記第 1 強磁性層、
前記非磁性層および前記第 2 強磁性層を通って前記第 2 電気伝導体へ電
20 流が流れることによって動作するようになっており、

前記磁気抵抗記憶素子は、前記第 1 強磁性層の磁化方向と前記第 2 強
磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも 2 つ
以上の磁化安定状態を有することによって少なくとも 2 つ以上の記憶状
態を有しており、

25 前記第 1 電気伝導体と前記第 2 電気伝導体とは、前記第 1 強磁性層、
前記非磁性層および前記第 2 強磁性層を通って前記電流が流れることに

よって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁され
ており、

前記絶縁体は、前記第1強磁性層の前記表面における周縁を被覆する
ように形成されていることを特徴とする磁気抵抗記憶素子。

5

9. 前記絶縁体によって被覆される前記第1強磁性層の前記表面の面積
の割合は、前記第1強磁性層の前記表面の全体の面積の5%以上60%
以下になっている、請求の範囲8記載の磁気抵抗記憶素子。

10 10. 前記第1強磁性層の前記表面における前記周縁を被覆するように
形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対して
5度以上90度未満の角度を有するスロープが形成されている、請求
の範囲8記載の磁気抵抗記憶素子。

15 11. 前記第1強磁性層の前記表面における前記周縁を被覆するように
形成された前記絶縁体の端部は、前記第1強磁性層の前記表面に対して
少なくとも1nm以上の厚みを有している、請求の範囲8記載の磁気抵
抗記憶素子。

20 12. 前記第1強磁性層の前記表面における前記周縁を被覆するように
形成された前記絶縁体の端部には、曲率半径5nm以上を有する曲面が
形成されている、請求の範囲8記載の磁気抵抗記憶素子。

25 13. 前記第1電気伝導体と接触する前記第1強磁性層の前記表面の面
積の割合は、前記第1強磁性層の前記表面の全体の面積の40%よりも
大きく95%よりも小さくなっている、請求の範囲8記載の磁気抵抗記

憶素子。

14. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対し
5 度以上180度未満の角度を有するスロープが形成されている、
請求の範囲8記載の磁気抵抗記憶素子。

15. 非磁性層と、

前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層およ
10 び第2強磁性層と、

前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接
触するように形成された第1電気伝導体と、

前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形
成された第2電気伝導体と、

15 少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形
成された絶縁体と、

前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2
強磁性層との双方の磁化を反転させるために設けられ、前記第1強磁性
層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体
20 と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気
メモリであって、

前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記
第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されて
おり、

25 前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加
される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部か

ら印加される磁界に対して磁化反転を起こしにくくなつており、

前記磁気メモリは、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通つて前記第2電気伝導体へ電流が流れることによつて動作するようになつており、

5 前記磁気メモリは、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによつて少なくとも2つ以上の記憶状態を有しており、

前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、
10 前記非磁性層および前記第2強磁性層を通つて前記電流が流れることによつて電氣的接触を保つ以外は、前記絶縁体によつて電氣的に絶縁されており、

前記絶縁体は、前記第1強磁性層の前記表面における周縁を被覆する
ように形成されていることを特徴とする磁気メモリ。

15 16. 前記絶縁体によつて被覆される前記第1強磁性層の前記表面の面積の割合は、前記第1強磁性層の前記表面の全体の面積の5%以上60%以下になつてゐる、請求の範囲15記載の磁気メモリ。

20 17. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部には、前記第1強磁性層の前記表面に対して5度以上90度未満の角度を有するスロープが形成されている、請求の範囲15記載の磁気メモリ。

25 18. 前記第1強磁性層の前記表面における前記周縁を被覆するように形成された前記絶縁体の端部は、前記第1強磁性層の前記表面に対して

少なくとも 1 nm 以上の厚みを有している、請求の範囲 1 5 記載の磁気メモリ。

19. 前記第 1 強磁性層の前記表面における前記周縁を被覆するように
5 形成された前記絶縁体の端部には、曲率半径 5 nm 以上を有する曲面が
形成されている、請求の範囲 1 5 記載の磁気メモリ。

20. 前記第 1 電気伝導体と接触する前記第 1 強磁性層の前記表面の面積の割合は、前記第 1 強磁性層の前記表面の全体の面積の 40 % よりも
10 大きく 95 % よりも小さくなっている、請求の範囲 1 5 記載の磁気メモリ。

21. 前記第 1 強磁性層の前記表面における前記周縁を被覆するように
形成された前記絶縁体の端部には、前記第 1 強磁性層の前記表面に対して
15 90 度以上 180 度未満の角度を有するスロープが形成されている、
請求の範囲 1 5 記載の磁気メモリ。

22. 非磁性層と、
前記非磁性層を挟み込むようにそれぞれ形成された第 1 強磁性層およ
び第 2 強磁性層と、
前記第 1 強磁性層の前記非磁性層と反対側の表面における略中央に接
触するように形成された第 1 電気伝導体と、
前記第 2 強磁性層の前記非磁性層と反対側の表面に接触するように形
成された第 2 電気伝導体と、
25 少なくとも前記第 1 強磁性層と前記非磁性層との側面を覆うように形
成された絶縁体とを具備する磁気抵抗素子であって、

前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、

前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加
5 される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっている、

前記磁気抵抗素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記第2電気伝導体へ電流が流れることによって動作するようになっている、

10 前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されている、

少なくとも 1×10^5 アンペア / cm^2 以上の電流が前記第1電気伝
15 導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記第2電気伝導体へ流れることによって前記磁気抵抗素子が動作するように、前記第1強磁性層の前記表面における周縁を前記絶縁体が被覆していることを特徴とする磁気抵抗素子。

20 23. 非磁性層と、

前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、

前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接觸するように形成された第1電気伝導体と、

25 前記第2強磁性層の前記非磁性層と反対側の表面に接觸するように形成された第2電気伝導体と、

少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体と、

前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2強磁性層との双方の磁化を反転させるために設けられ、前記第1強磁性層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気抵抗記憶素子であって、

前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、

前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっている、

前記磁気抵抗記憶素子は、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上の磁化安定状態を有することによって少なくとも2つ以上の記憶状態を有しております、

前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁されており、

前記磁気抵抗記憶素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ第1電流を流して磁気抵抗変化を検出することによって記憶状態を読み出し、前記非磁性導電層に第2電流を流すことによって発生する磁界によって記憶状態を書き込み、またあるいは、前記非磁性導電層に第2電流

を流し、それと同期して、前記第1伝導体または前記第2伝導体に第3電流を流して発生する合成磁界により、記憶状態を書き込み、

少なくとも 1×10^5 アンペア/ cm^2 以上の前記第1電流が前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通って前記第2電気伝導体へ流れることによって前記記憶状態を読み出すように、前記第1強磁性層の前記表面における周縁を前記絶縁体が被覆していることを特徴とする磁気抵抗記憶素子。

24. 非磁性層と、

前記非磁性層を挟み込むようにそれぞれ形成された第1強磁性層および第2強磁性層と、

前記第1強磁性層の前記非磁性層と反対側の表面における略中央に接触するように形成された第1電気伝導体と、

前記第2強磁性層の前記非磁性層と反対側の表面に接触するように形成された第2電気伝導体と、

少なくとも前記第1強磁性層と前記非磁性層との側面を覆うように形成された絶縁体と、

前記第1強磁性層のみの磁化、あるいは前記第1強磁性層と前記第2強磁性層との双方の磁化を反転させるために設けられ、前記第1強磁性層、前記第2強磁性層、前記第1電気伝導体および前記第2電気伝導体と電気的に接触しない位置に配置された非磁性導電層とを具備する磁気抵抗記憶素子であって、

前記第1強磁性層および前記第2強磁性層の少なくとも一方は、前記第1強磁性層および前記第2強磁性層に平行な方向に沿って磁化されており、

前記第1強磁性層と前記第2強磁性層とのうちの一方は外部から印加

される磁界に対して容易に磁化反転を起こしやすく、他方は前記外部から印加される磁界に対して磁化反転を起こしにくくなっており、

前記磁気抵抗記憶素子は、前記第1強磁性層の磁化方向と前記第2強磁性層の磁化方向とが互いに平行あるいは非平行である少なくとも2つ以上5の磁化安定状態を有することによって少なくとも2つ以上の記憶状態を有しており、

前記第1電気伝導体と前記第2電気伝導体とは、前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記電流が流れることによって電気的接触を保つ以外は、前記絶縁体によって電気的に絶縁され10ており、

前記磁気抵抗記憶素子は、前記第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強磁性層を通じて前記第2電気伝導体へ第1電流を流して磁気抵抗変化を検出することによって記憶状態を読み出し、前記非磁性導電層に第2電流を流すことによって発生する磁界によって記憶状態を書き込み、またあるいは、前記非磁性導電層に第2電流15を流し、それと同期して、前記第1伝導体または前記第2伝導体に第3電流を流して発生する合成磁界により、記憶状態を書き込むようになっており、いる磁気抵抗記憶素子が2次元状あるいは3次元状に整列配置された記憶素子アレイと、

20 前記記憶素子アレイに記憶された情報を選択的に読み出すために、前記第1電気伝導体または第2電気伝導体に接続された第1トランジスタと、

前記磁気抵抗記憶素子の磁気抵抗変化を出力するビット線に接続された感度増幅器と、

25 前記記憶素子アレイに記憶させる情報を選択的に書き込むために、前記非磁性導電体に接続された第2トランジスタと、

前記非磁性導電体に接続された電流源とを具備することを特徴とする
磁気メモリ。

25. 少なくとも 1×10^5 アンペア / cm^2 以上の前記第1電流が前記
5 第1電気伝導体から前記第1強磁性層、前記非磁性層および前記第2強
磁性層を通って前記第2電気伝導体へ流れることによって前記憶状態
を読み出すように、前記第1強磁性層の前記表面における周縁を前記絶
縁体が被覆している、請求の範囲24記載の磁気メモリ。

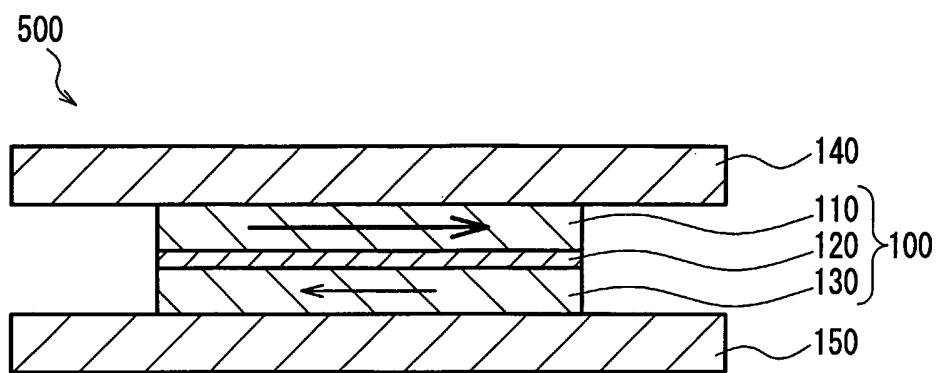


FIG. 1A

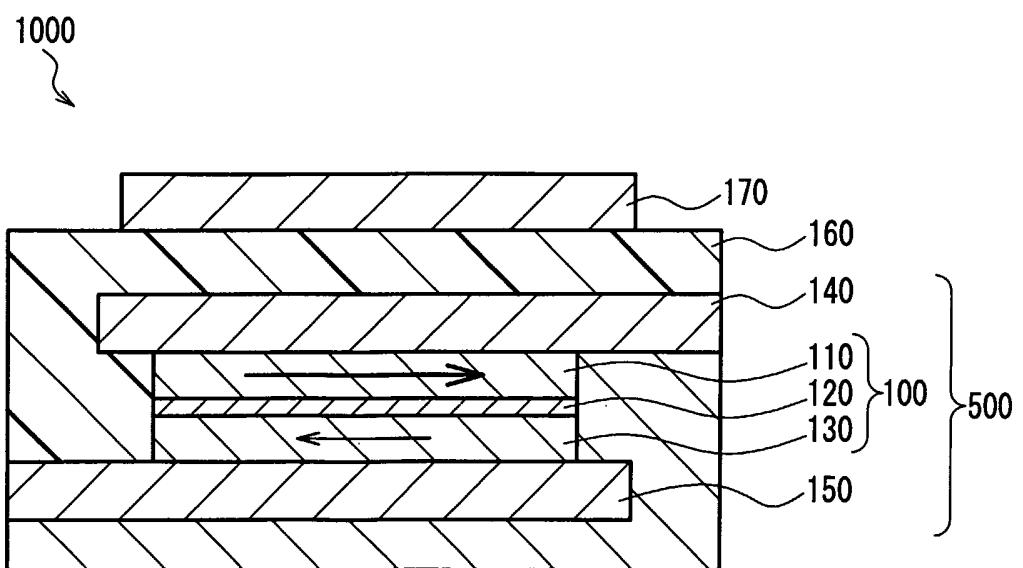


FIG. 1B

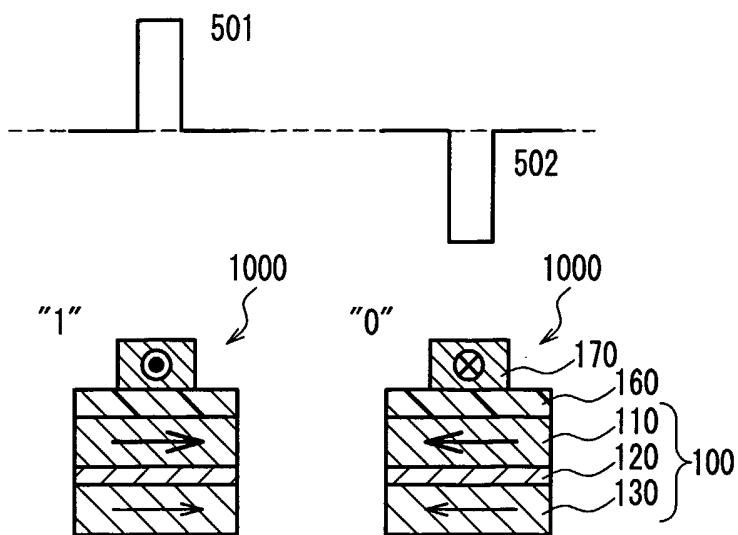


FIG. 2A

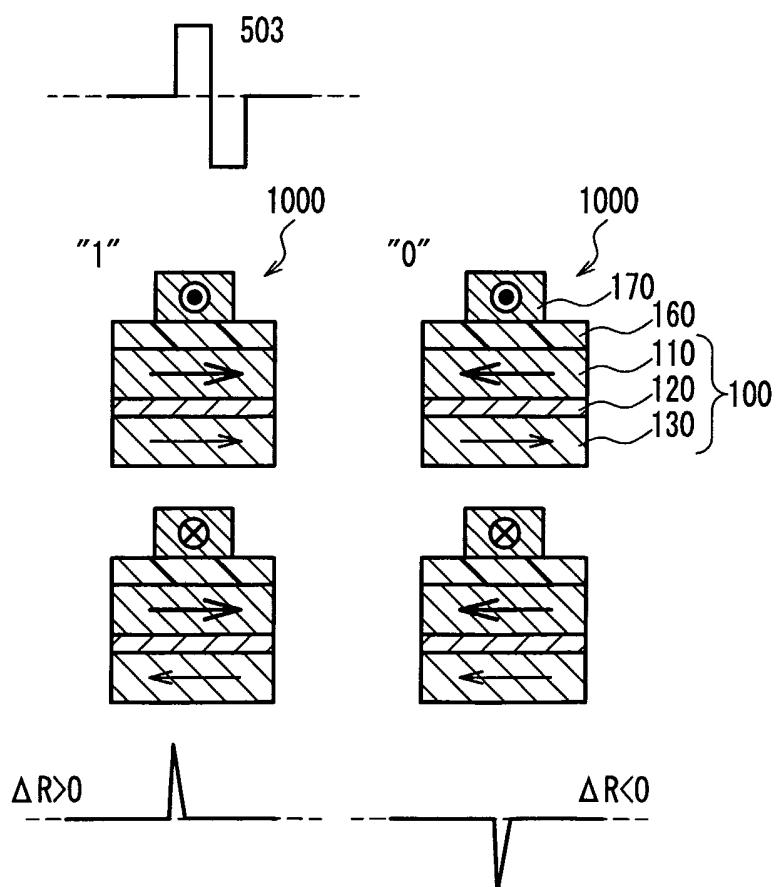


FIG. 2B

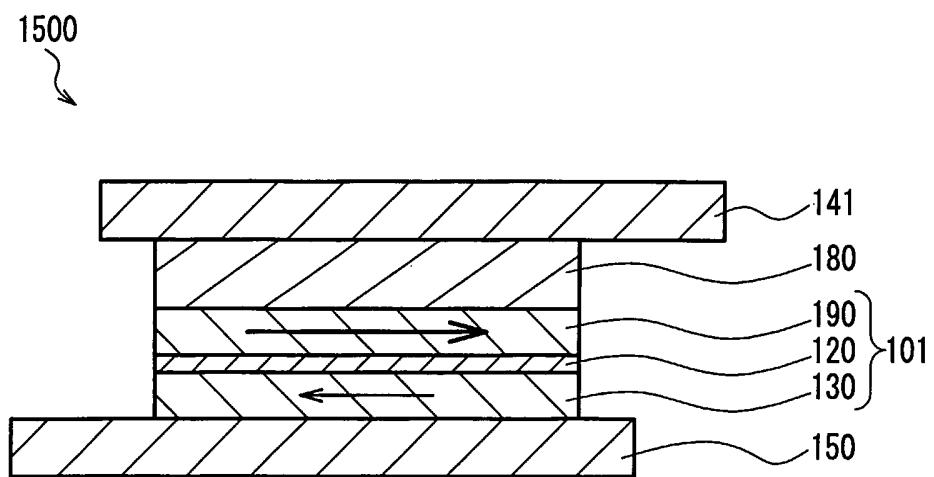


FIG. 3A

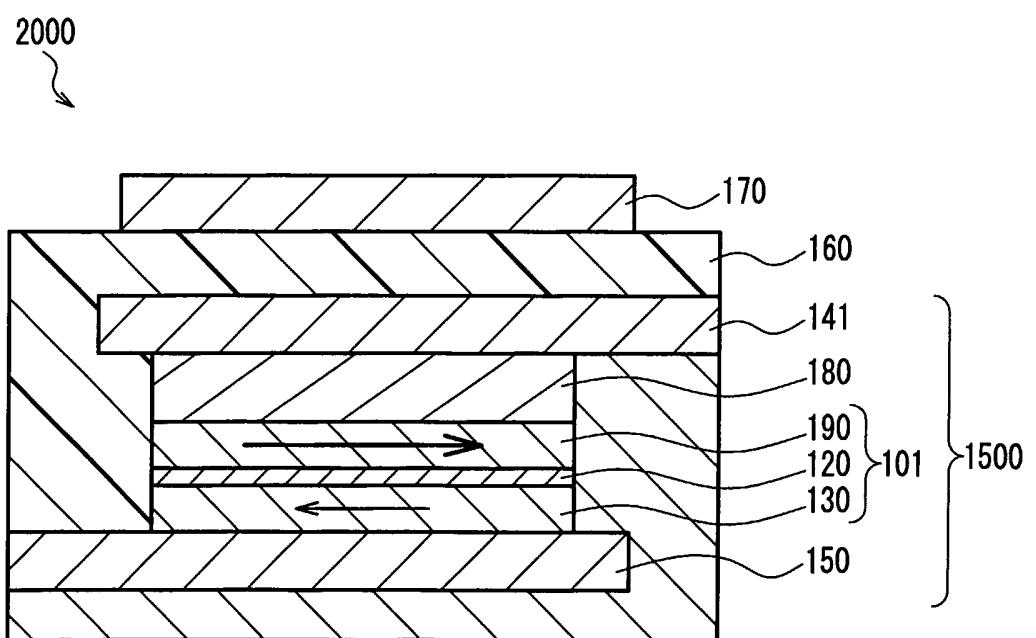


FIG. 3B

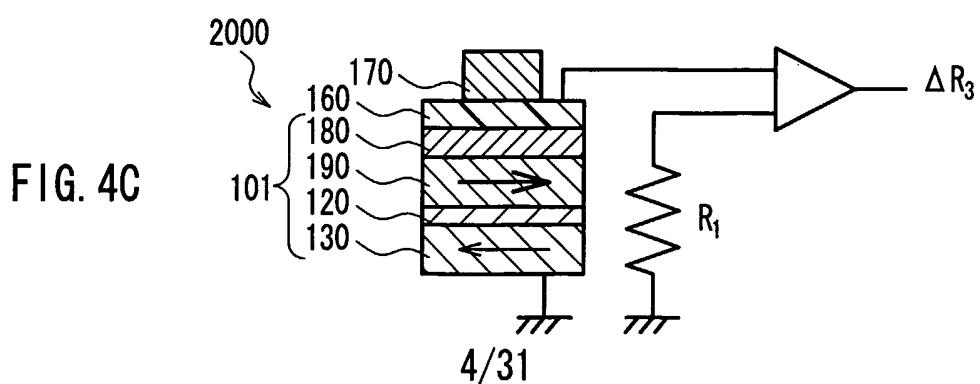
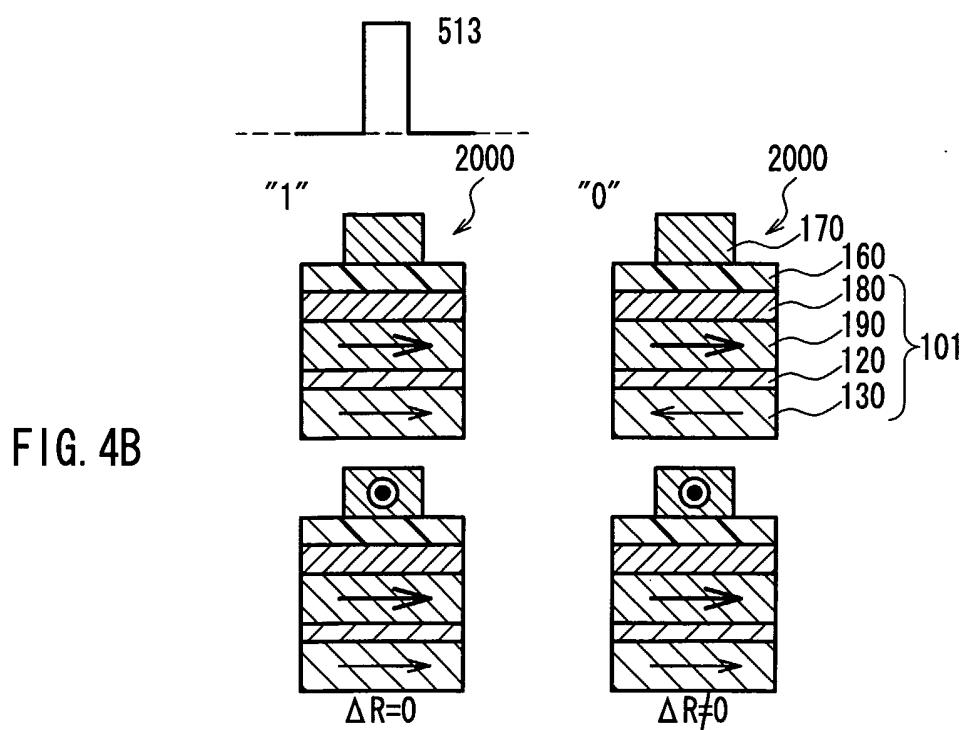
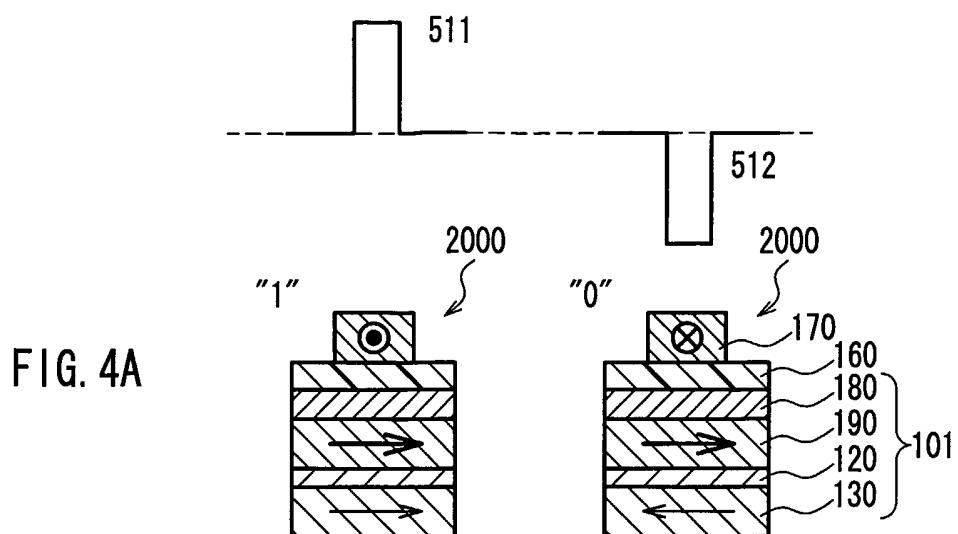


FIG. 5A

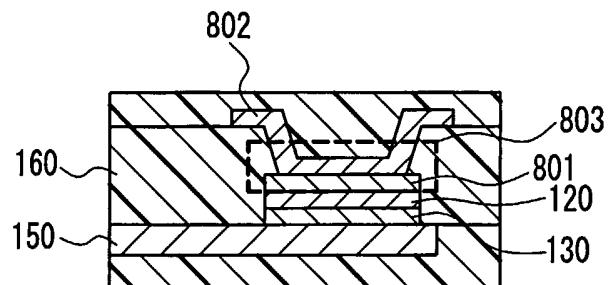


FIG. 5B

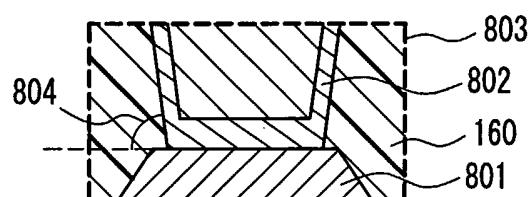


FIG. 5C

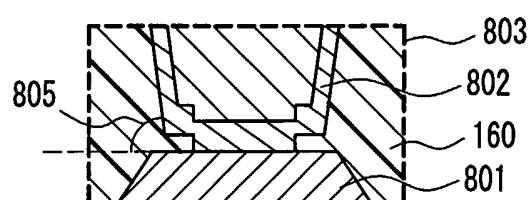


FIG. 5D

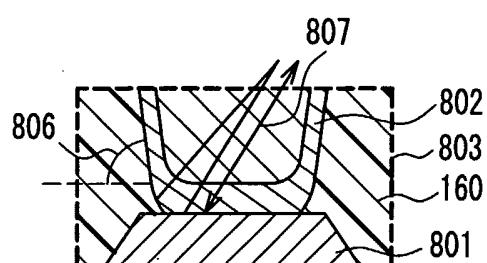
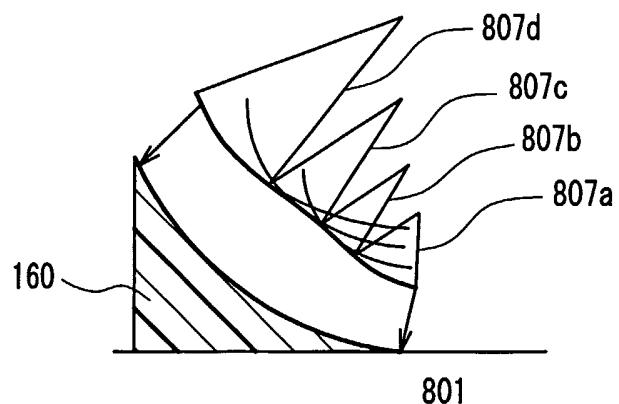


FIG. 5E



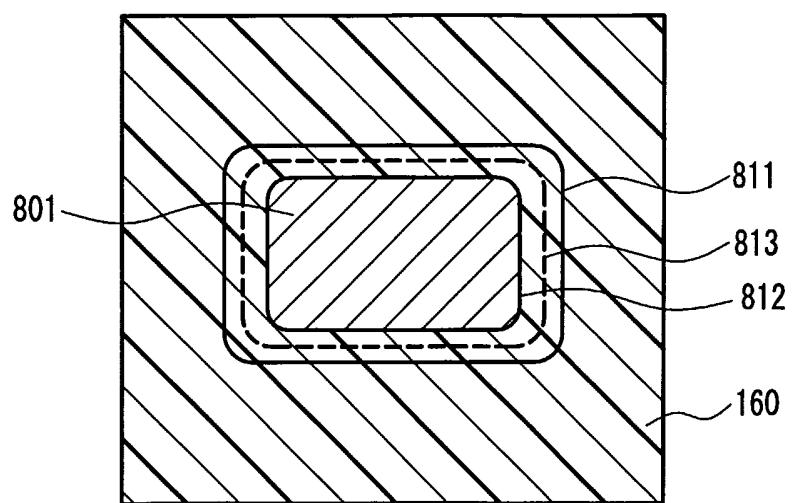
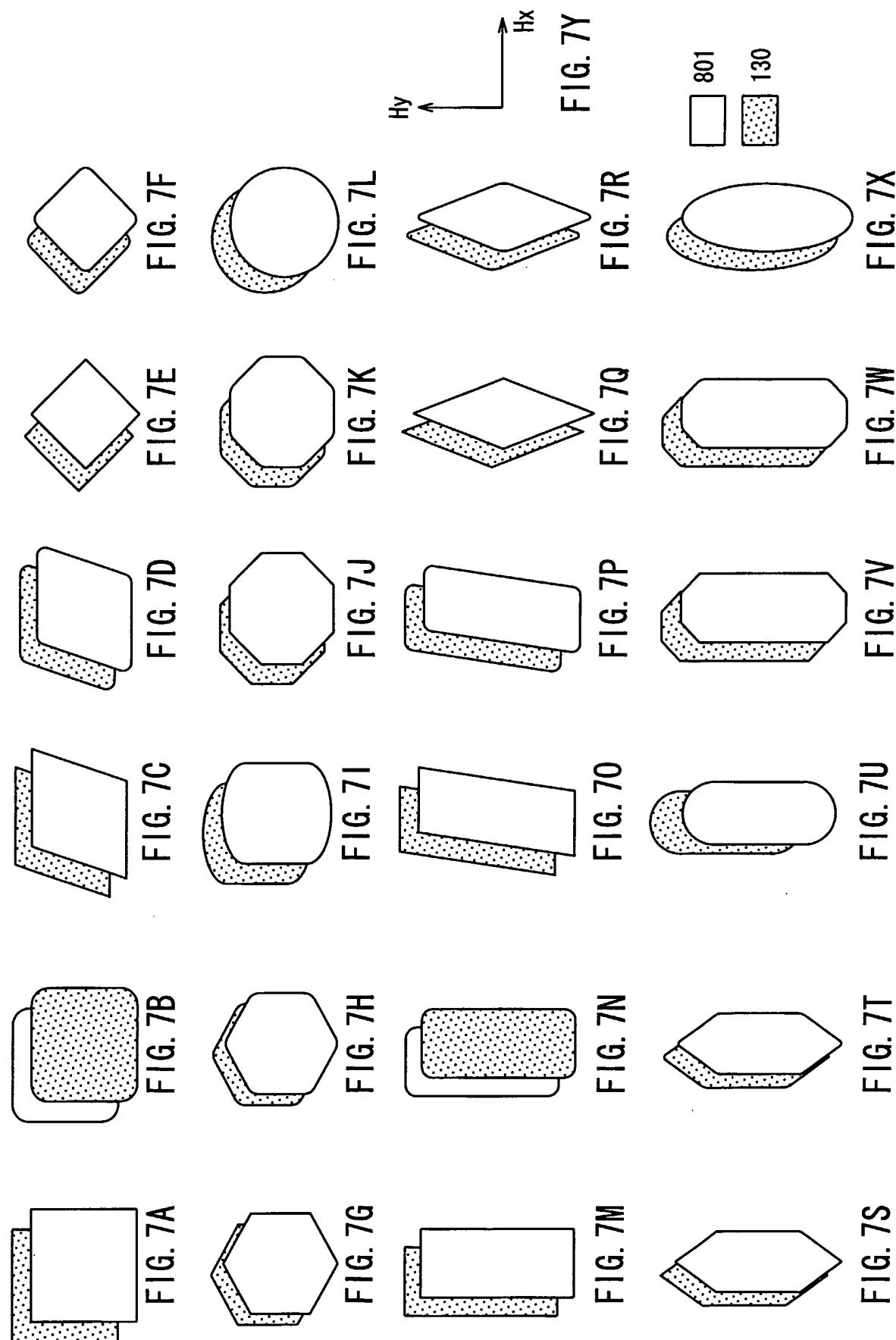


FIG. 6



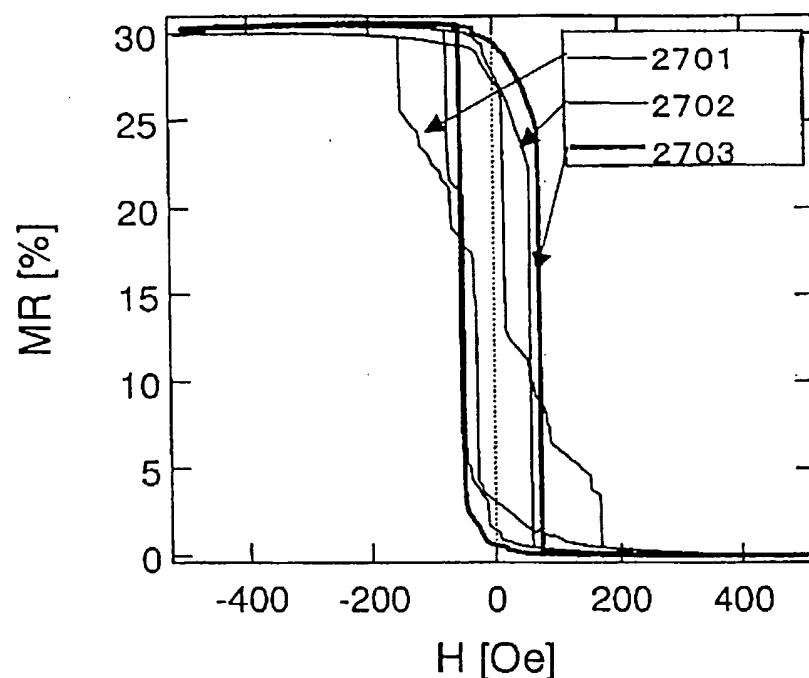


FIG. 8

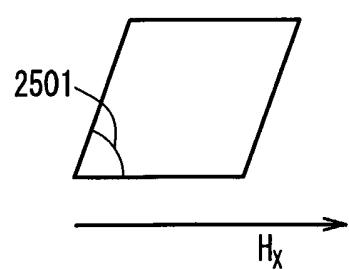


FIG. 9A

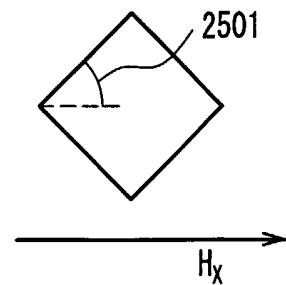


FIG. 9B

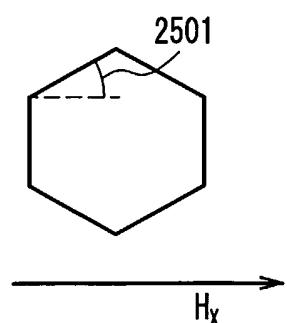


FIG. 9C

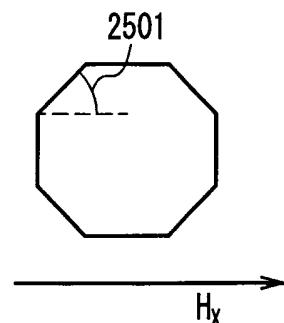


FIG. 9D

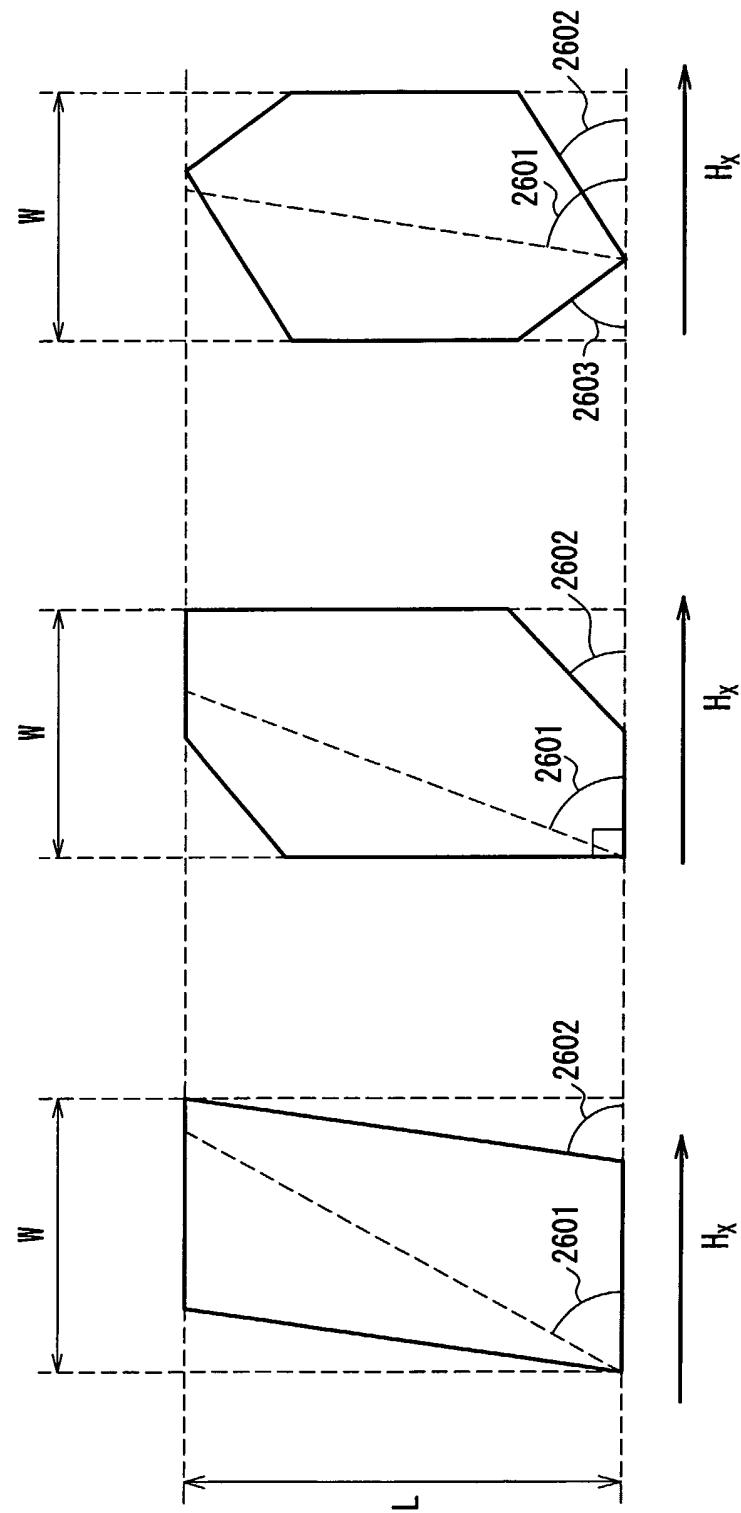


FIG. 10A

FIG. 10B

FIG. 10C

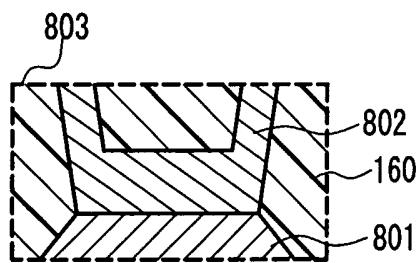


FIG. 11A

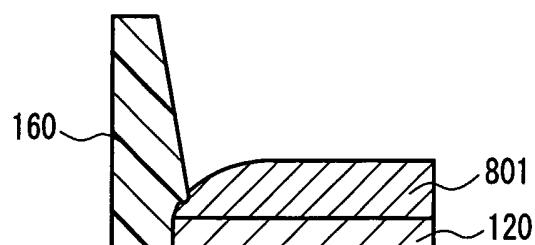


FIG. 11B

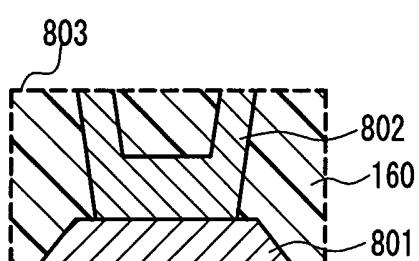


FIG. 11C

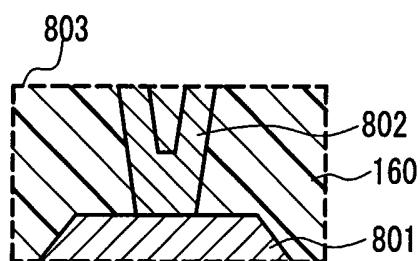


FIG. 11D

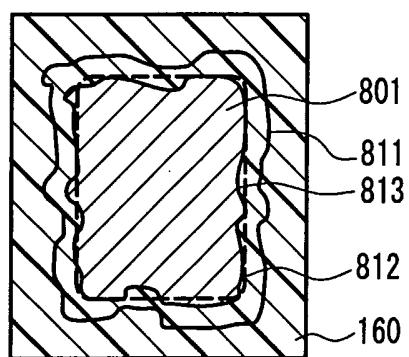


FIG. 11E

| 試料番号 | MR [%] | | | RA [$\Omega \mu\text{m}^2$] | | | $\Delta' 173$ 値 [mV] | 電流密度 [10^4A/cm^2] | 形状 |
|------|-----------|------|------|----------------------------------|------|------|-------------------------|----------------------------------|----|
| | | 平均 | 分散 | | 基準偏差 | 平均 | | | |
| 1 | 30.5 | 0.21 | 0.46 | 22.2 | 3.24 | 1.80 | 200 | 255 | B |
| 2 | 30.3 | 0.30 | 0.55 | 18.5 | 4.50 | 2.12 | 200 | 250 | B |
| 3 | 31.2 | 3.12 | 1.77 | 18.5 | 45.3 | 6.73 | 180 | 4.35 | A |
| 4 | 30.5 | 0.32 | 0.57 | 37.6 | 4.90 | 2.21 | 200 | 121 | B |
| 5 | 29.3 | 1.80 | 1.34 | 46.0 | 16.8 | 4.10 | 200 | 89.3 | C |
| 6 | 30.1 | 0.35 | 0.59 | 40.5 | 5.10 | 2.26 | 200 | 136 | B |
| 7 | 30.5 | 0.35 | 0.59 | 257 | 7.25 | 2.69 | 200 | 78.5 | B |
| 8 | 30.2 | 0.25 | 0.50 | 284 | 6.11 | 2.47 | 200 | 65.0 | B |
| 9 | 28.6 | 0.92 | 0.96 | 998 | 17.3 | 4.16 | 200 | 12.4 | C |
| 10 | 29.4 | 1.10 | 1.05 | 1054 | 55.6 | 7.46 | 200 | 6.55 | C |
| 11 | 29.8 | 2.65 | 1.63 | 1302 | 70.3 | 8.38 | 200 | 1.11 | A |
| 12 | 30.2 | 3.11 | 1.76 | 1886 | 66.2 | 8.14 | 200 | 3.65 | A |
| 13 | 30.5 | 0.33 | 0.57 | 4236 | 12.2 | 3.49 | 200 | 198 | B |

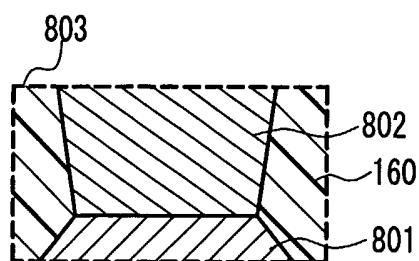


FIG. 13A

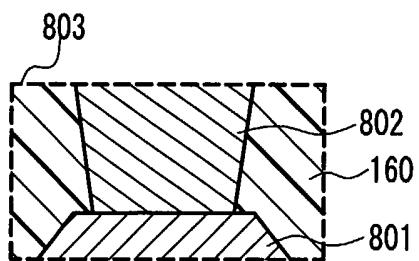


FIG. 13B

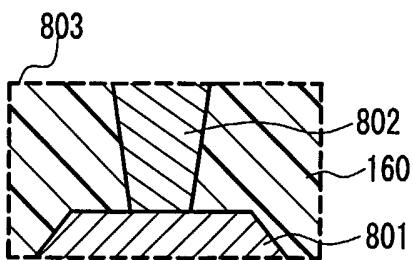


FIG. 13C

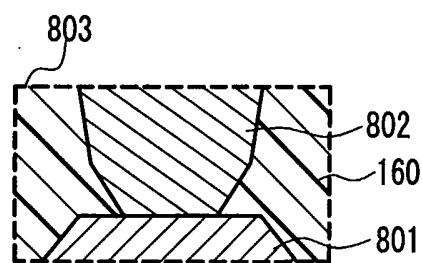


FIG. 14A

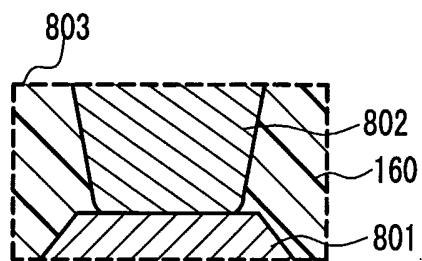


FIG. 14B

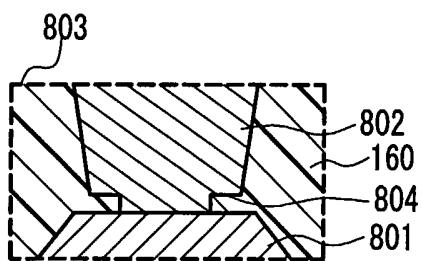


FIG. 14C

FIG. 15A

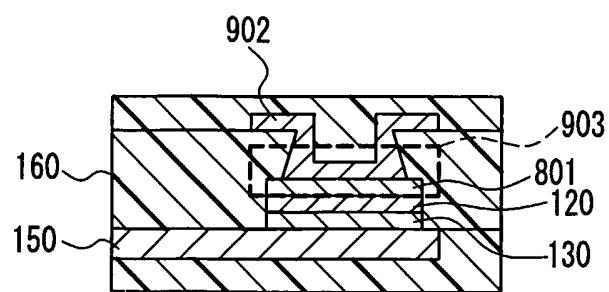


FIG. 15B

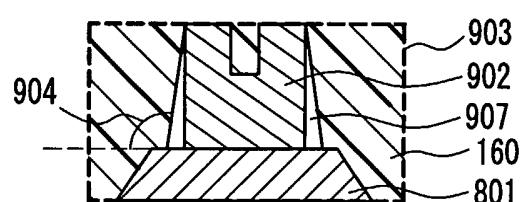


FIG. 15C

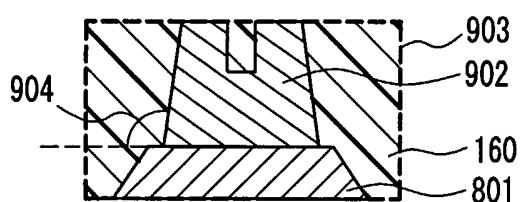
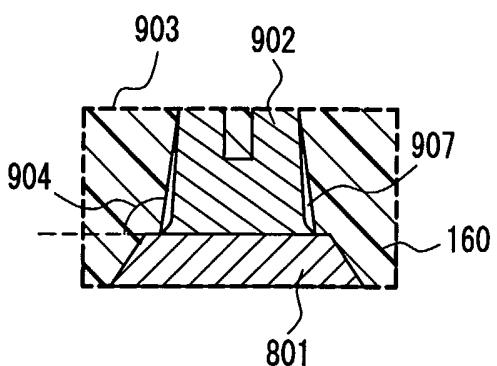


FIG. 15D



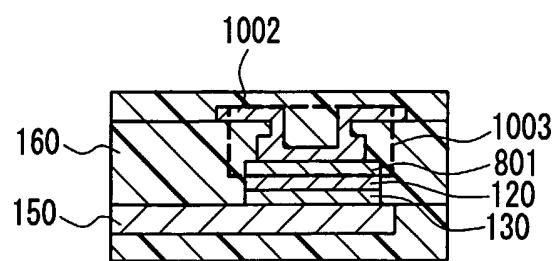


FIG. 16A

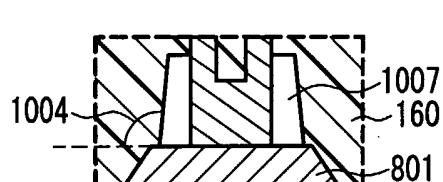


FIG. 16B

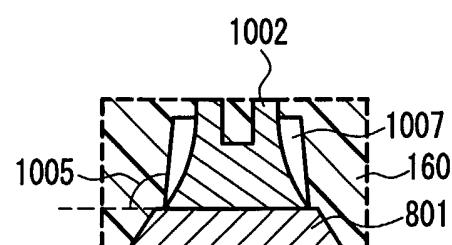


FIG. 16C

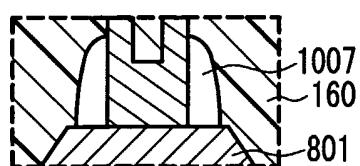


FIG. 16D

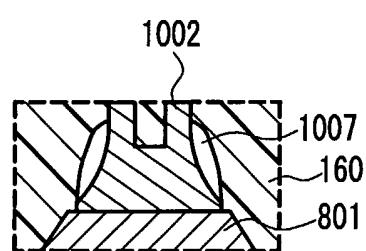


FIG. 16E

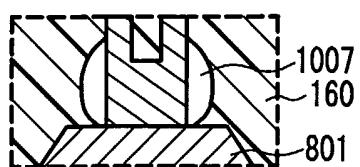


FIG. 16F

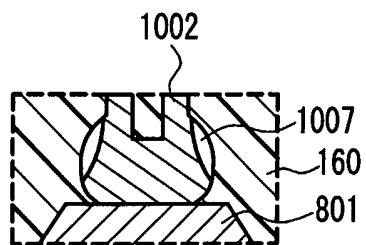


FIG. 16G

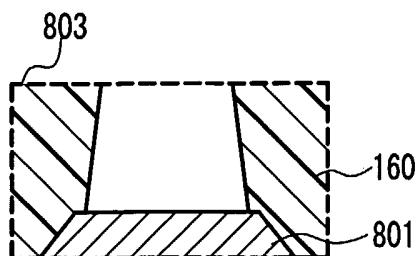


FIG. 17A

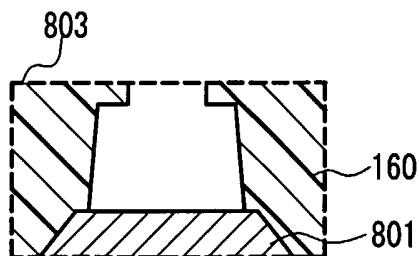


FIG. 17B

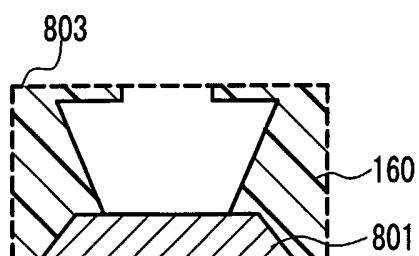


FIG. 17C

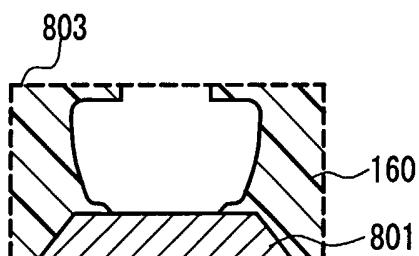


FIG. 17D

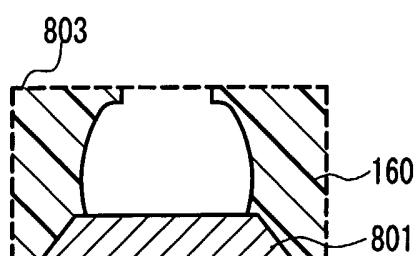


FIG. 17E

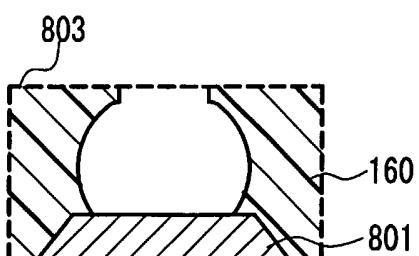


FIG. 17F

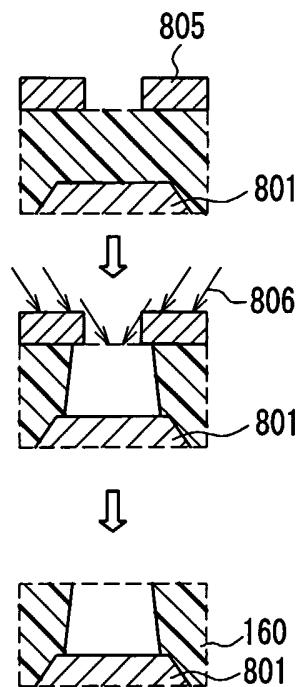


FIG. 18A

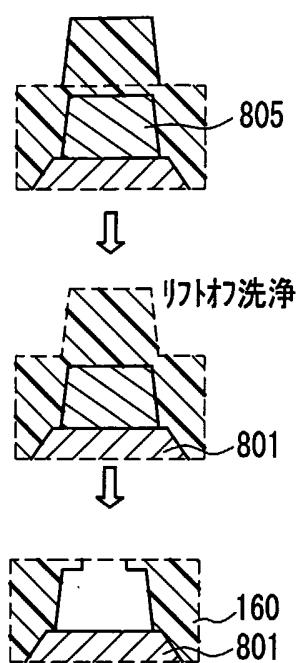


FIG. 18B

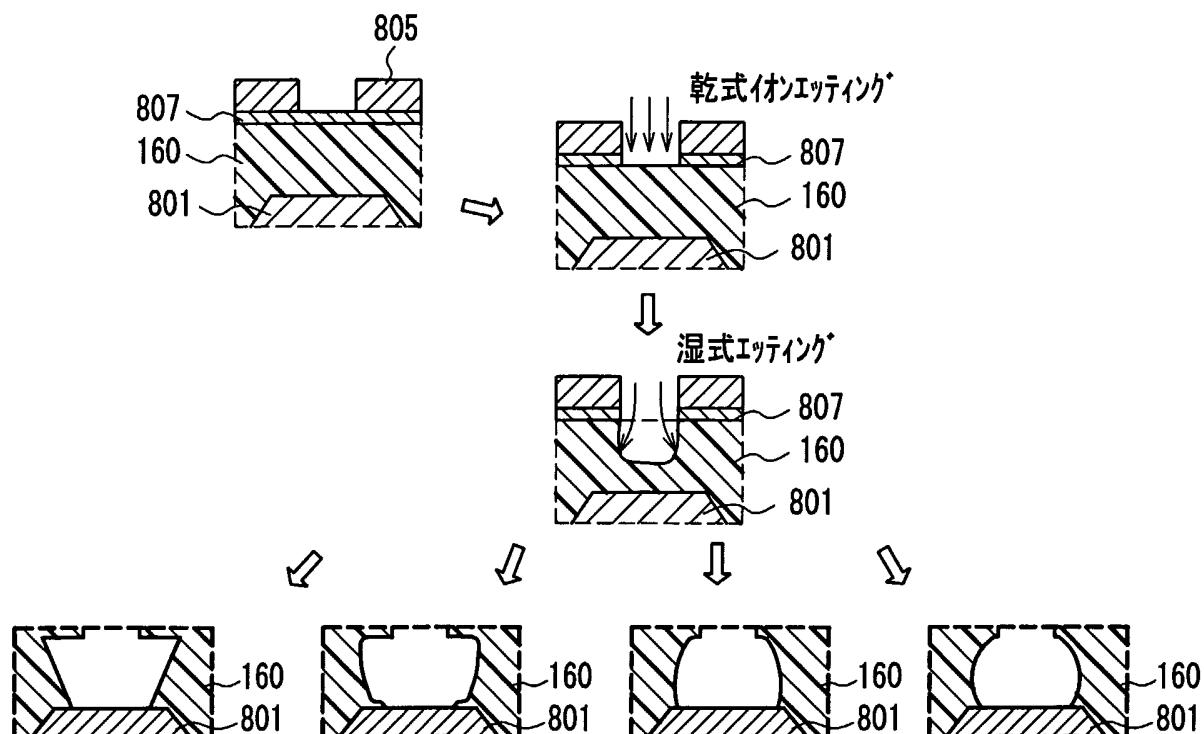


FIG. 18C

FIG. 19A

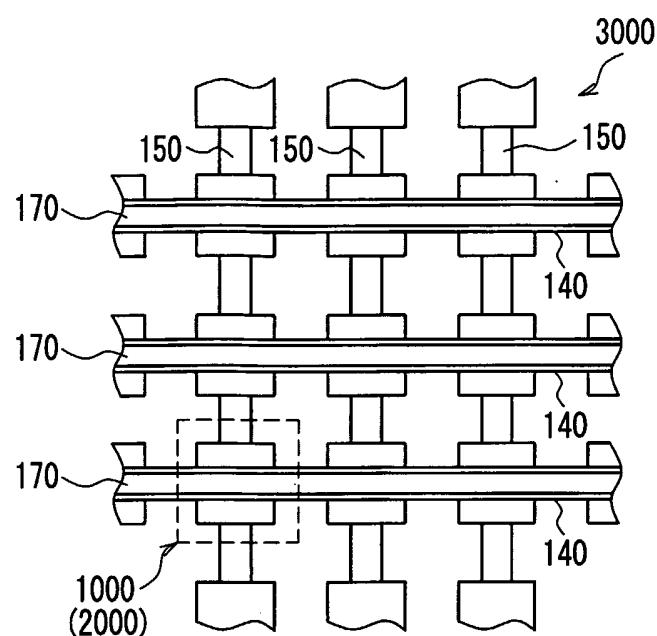


FIG. 19B

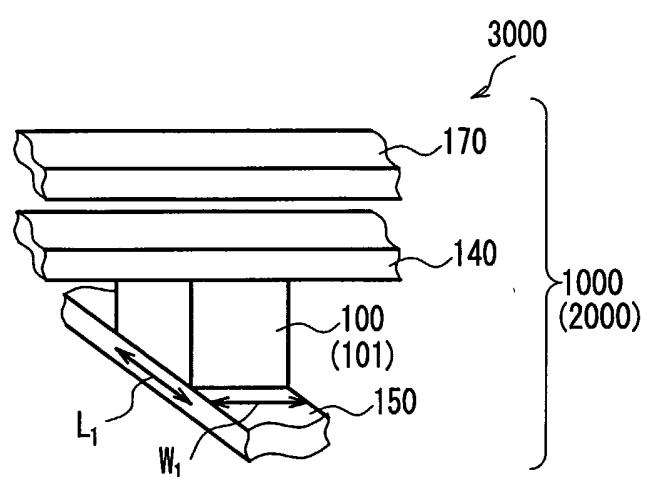
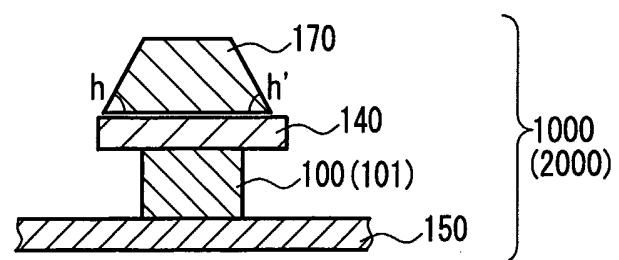


FIG. 19C



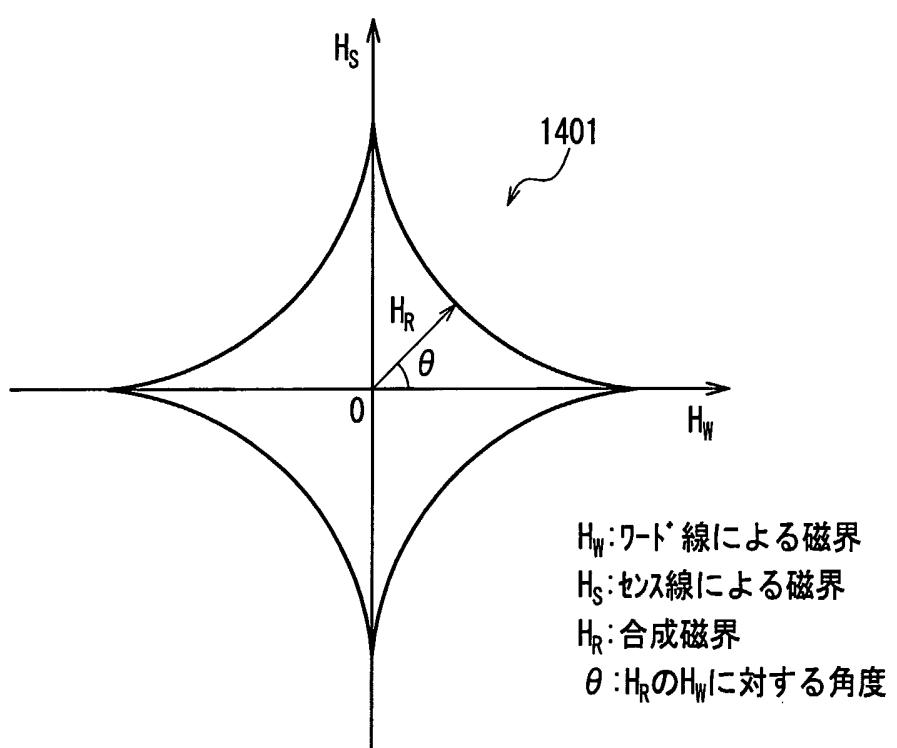


FIG. 20

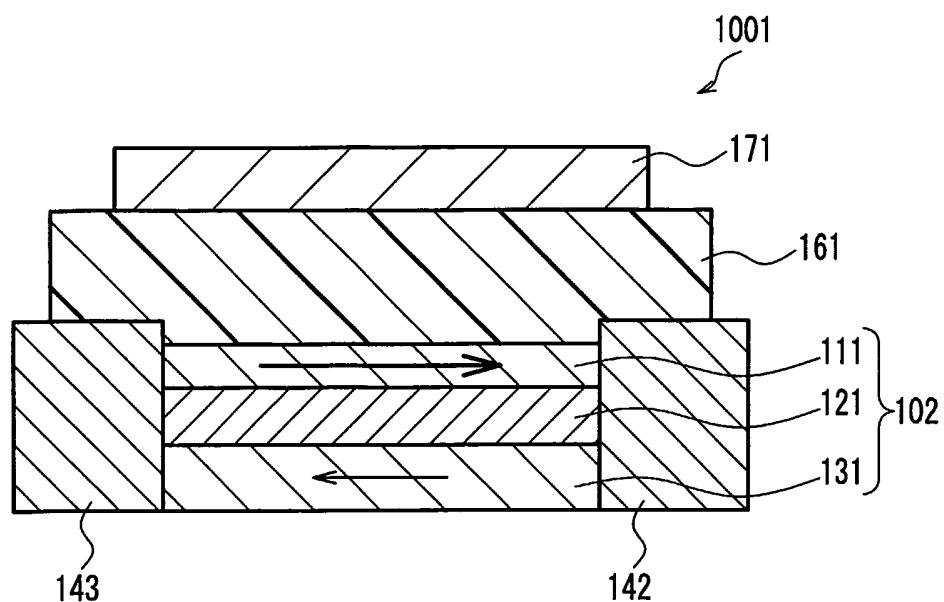


FIG. 21A

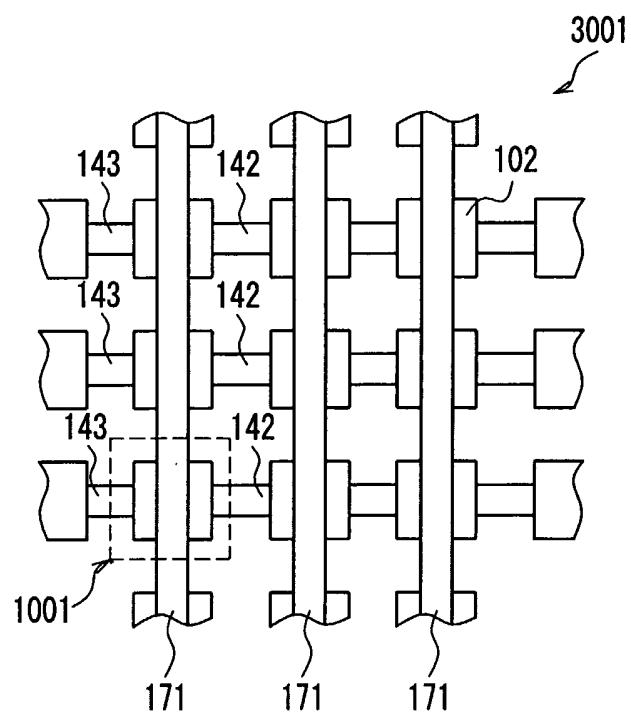


FIG. 21B

FIG. 22A

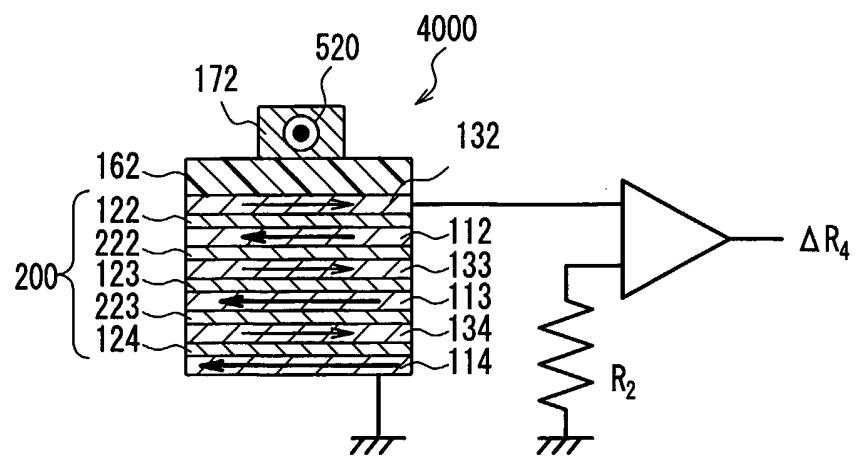


FIG. 22B

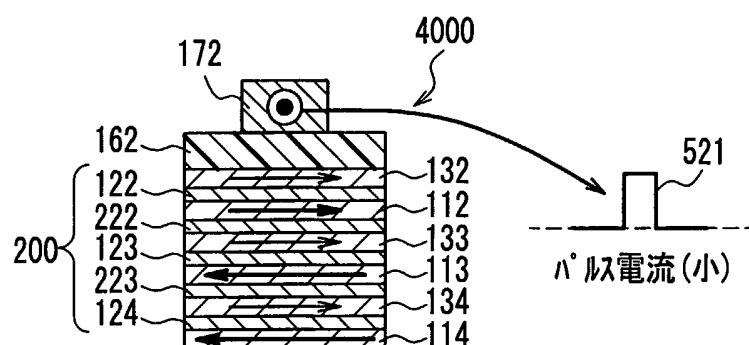


FIG. 22C

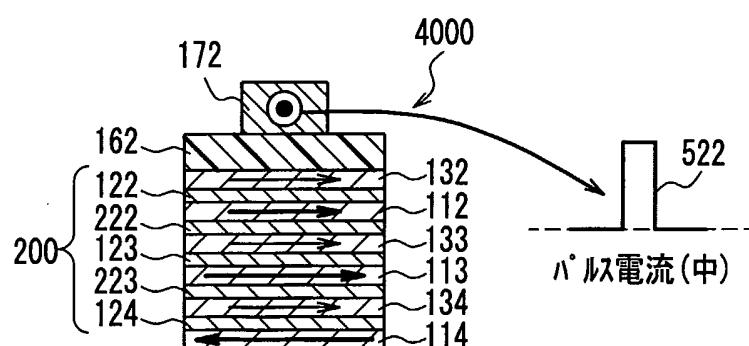
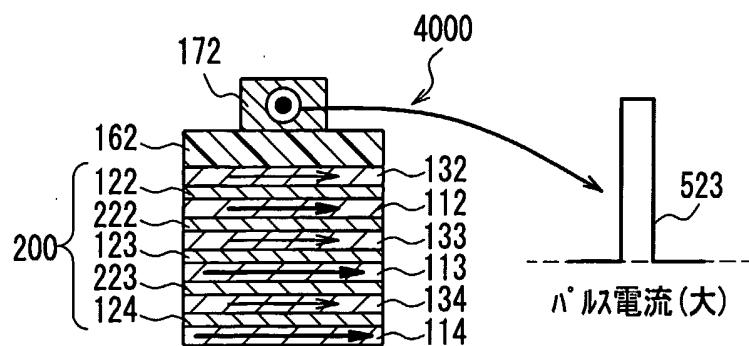


FIG. 22D



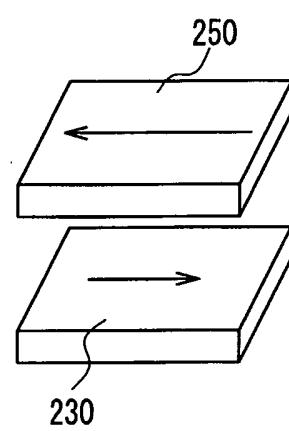
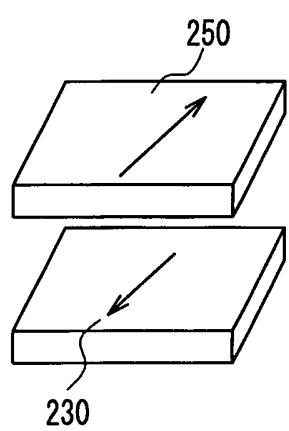
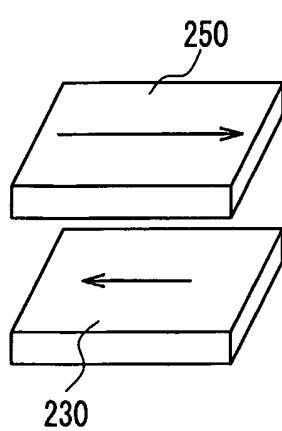
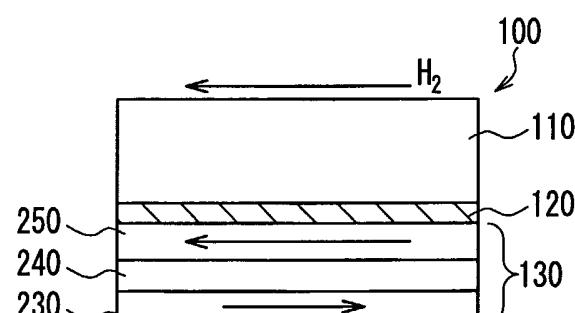
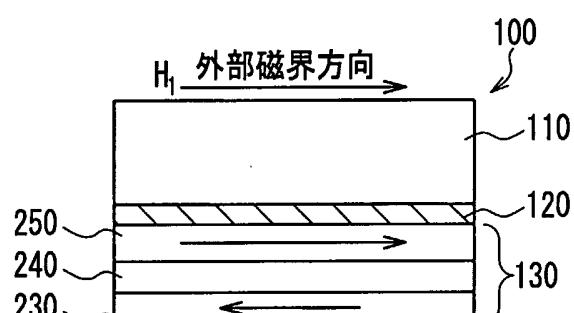
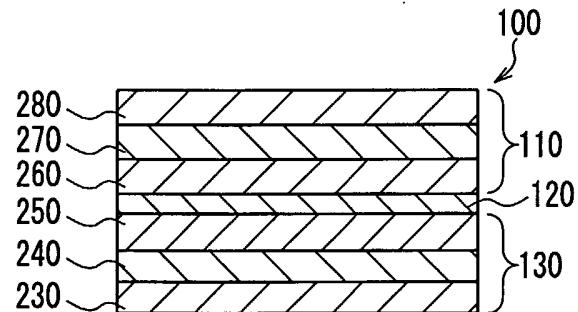
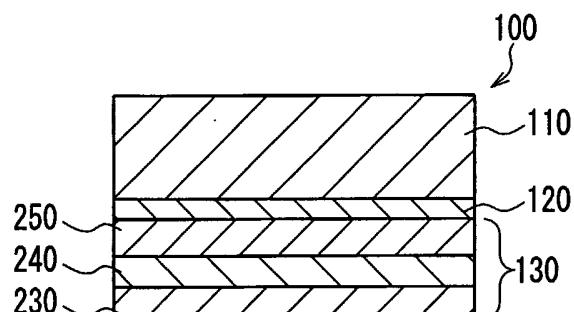
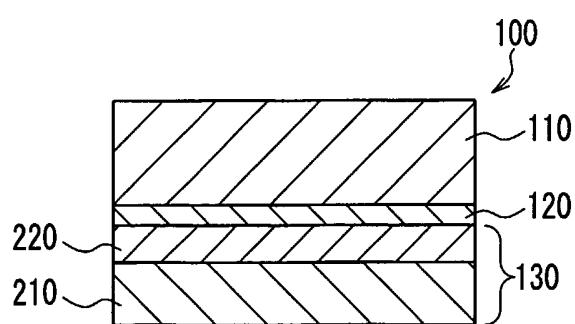


FIG. 24A

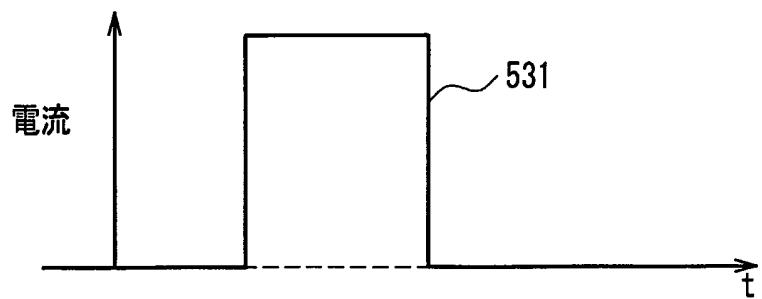


FIG. 24B

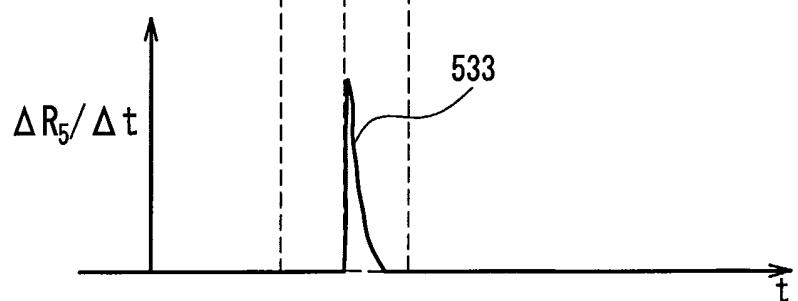
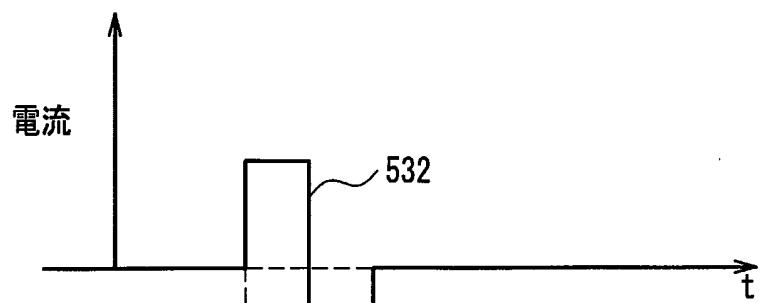


FIG. 25A

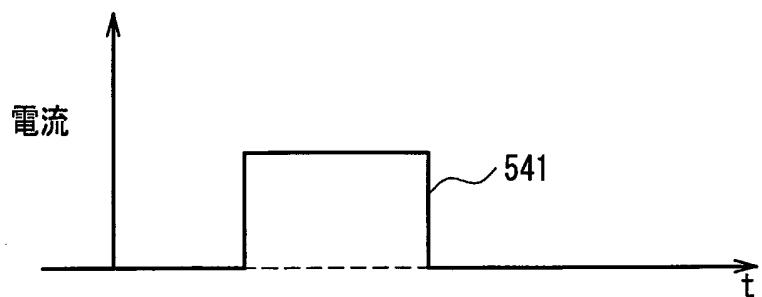


FIG. 25B

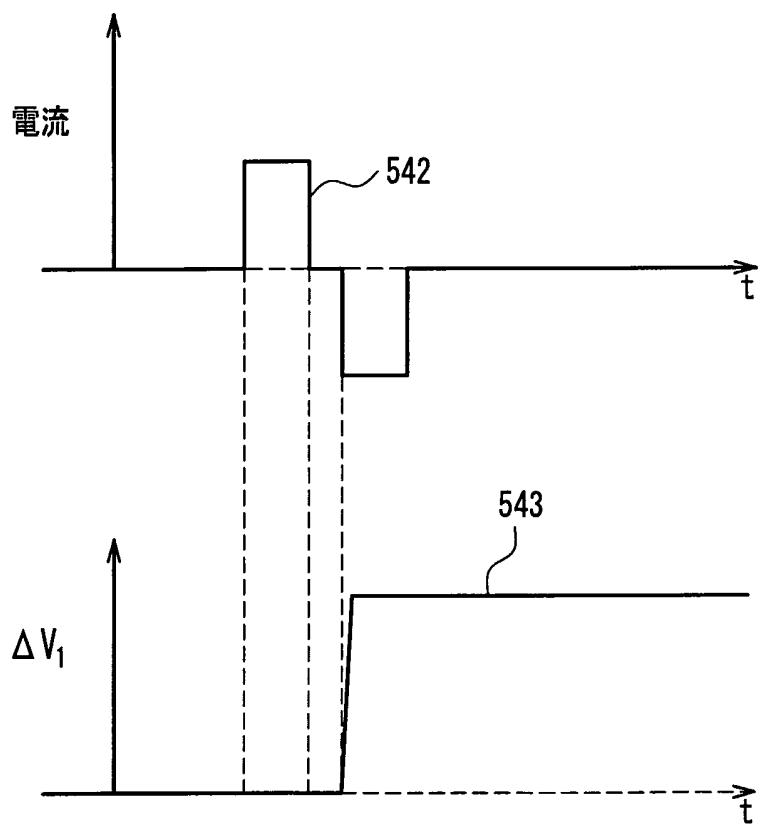


FIG. 26A

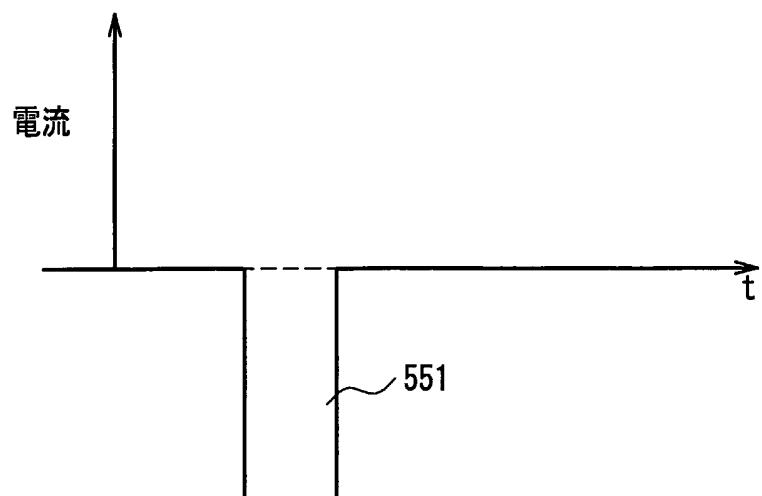


FIG. 26B

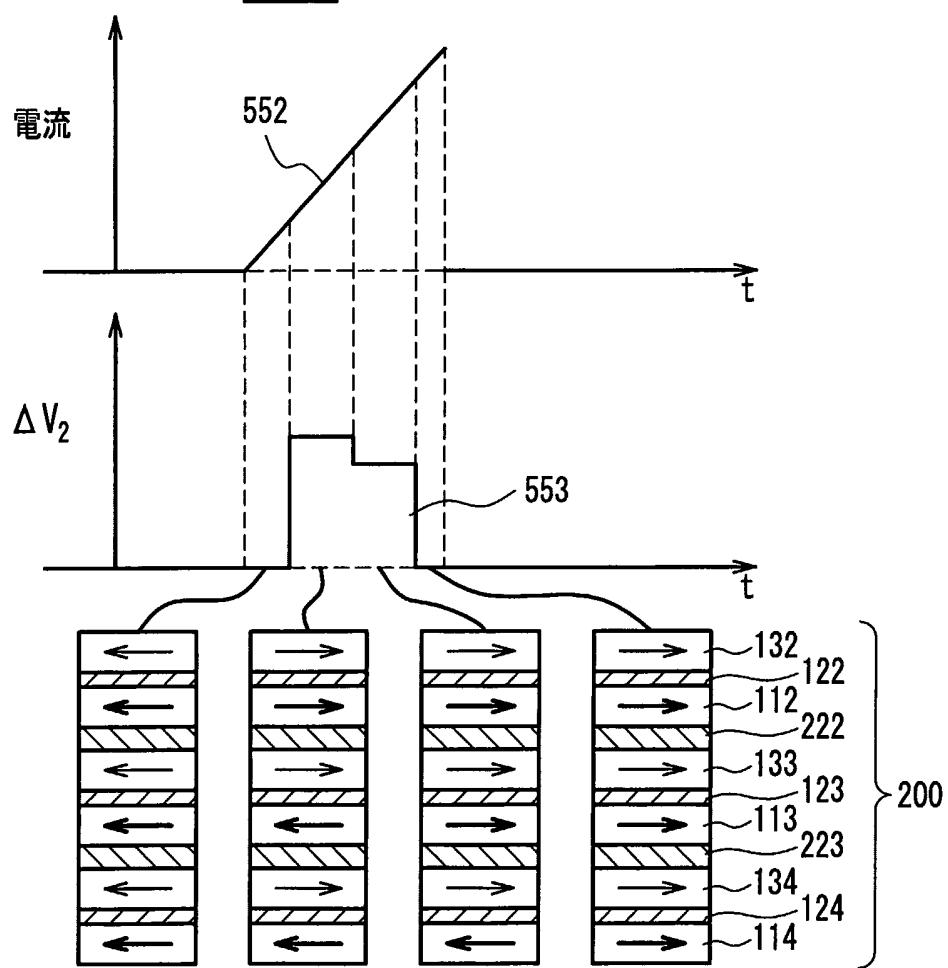


FIG. 27A

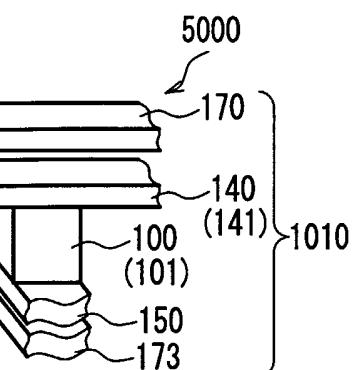
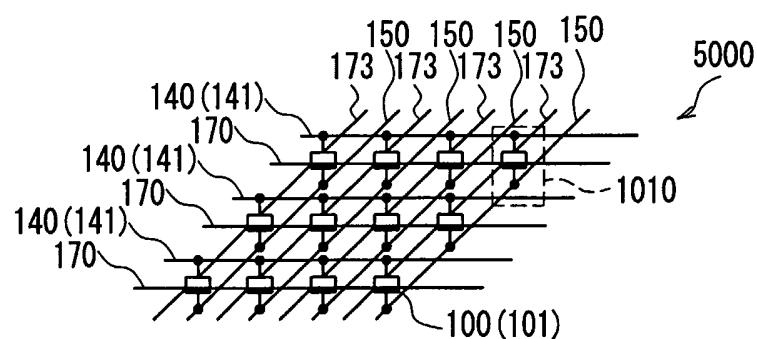


FIG. 27B

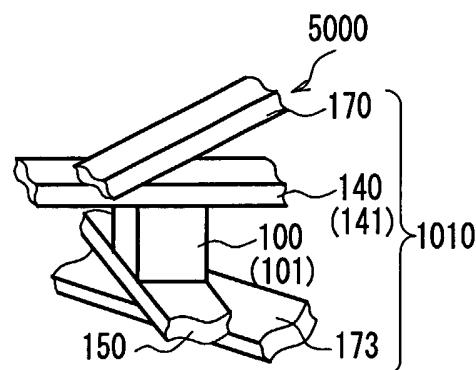


FIG. 27C

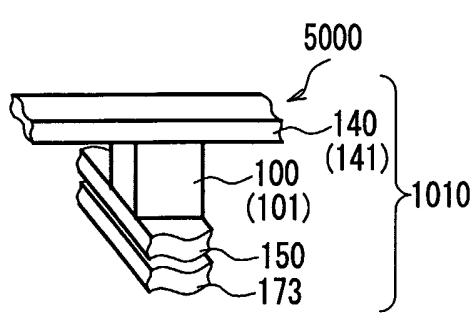


FIG. 27D

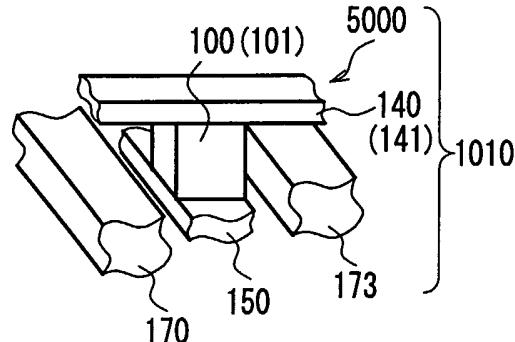
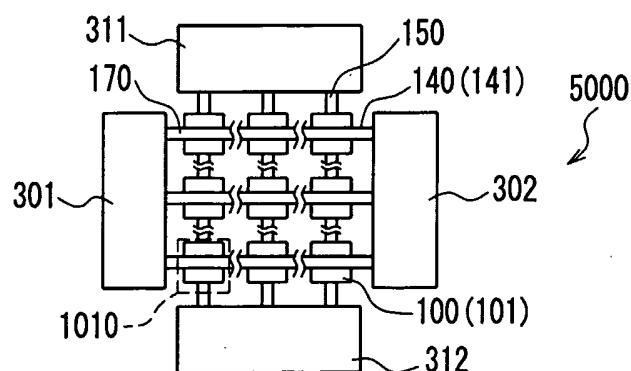


FIG. 27E

FIG. 27F



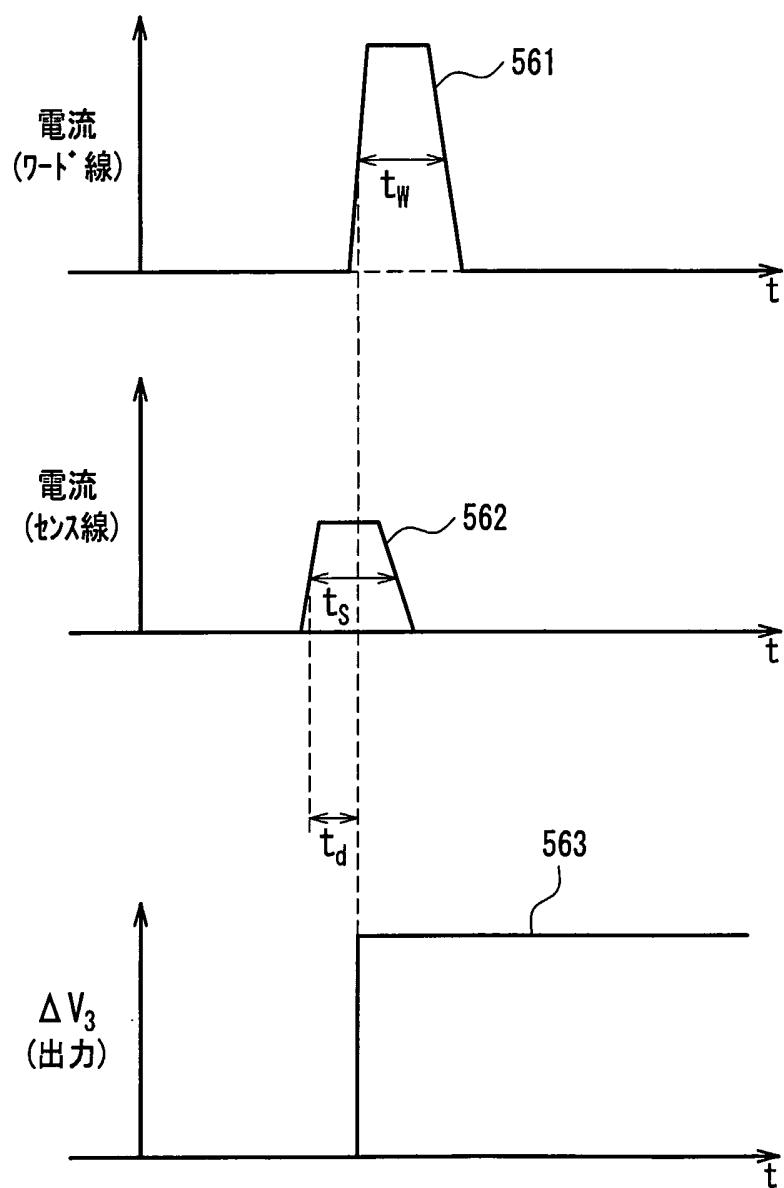


FIG. 28

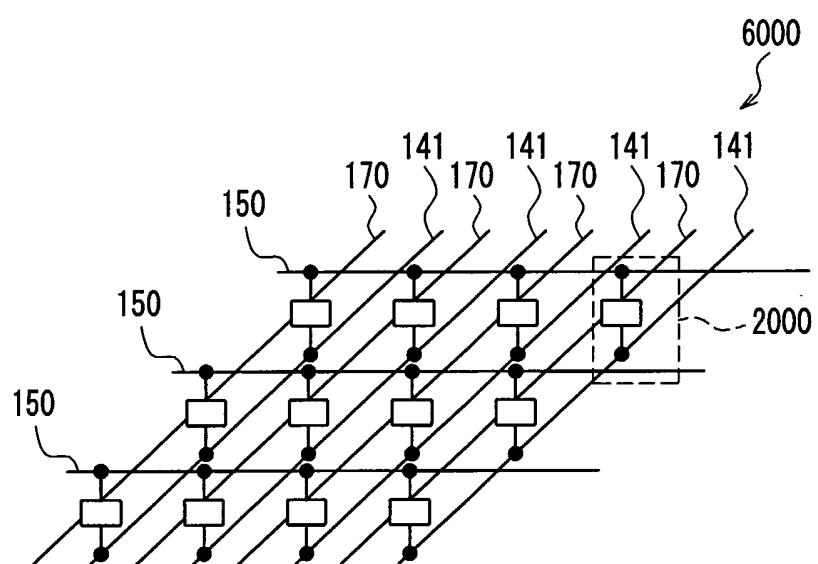


FIG. 29A

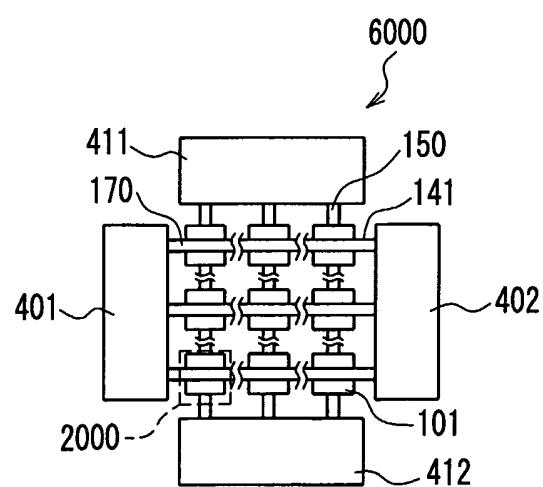


FIG. 29B

FIG. 30A

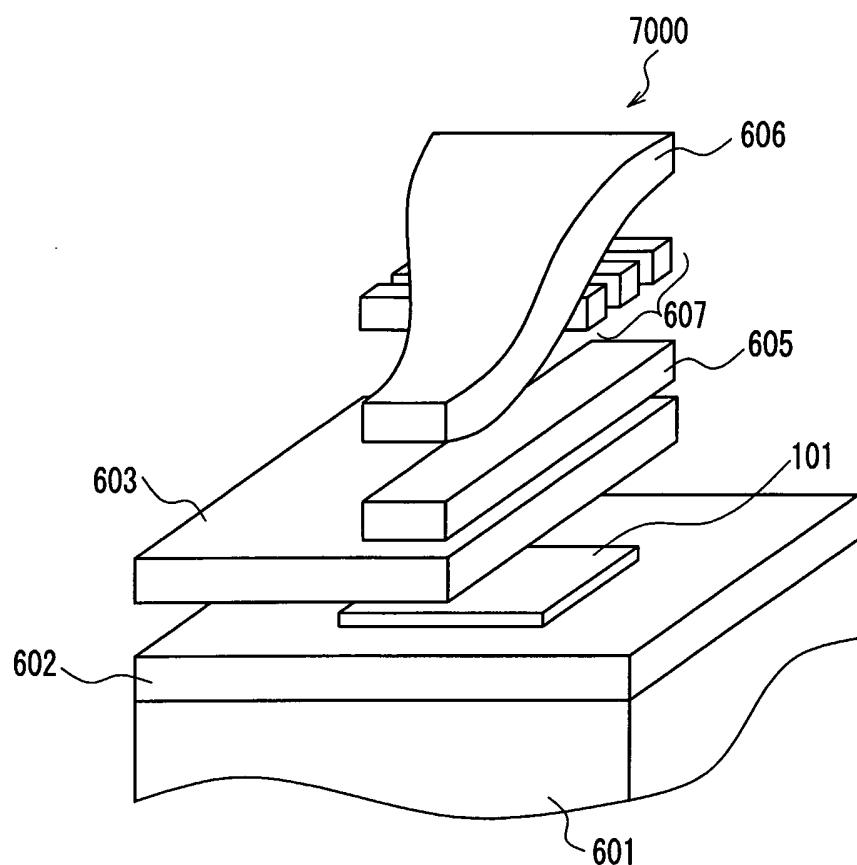
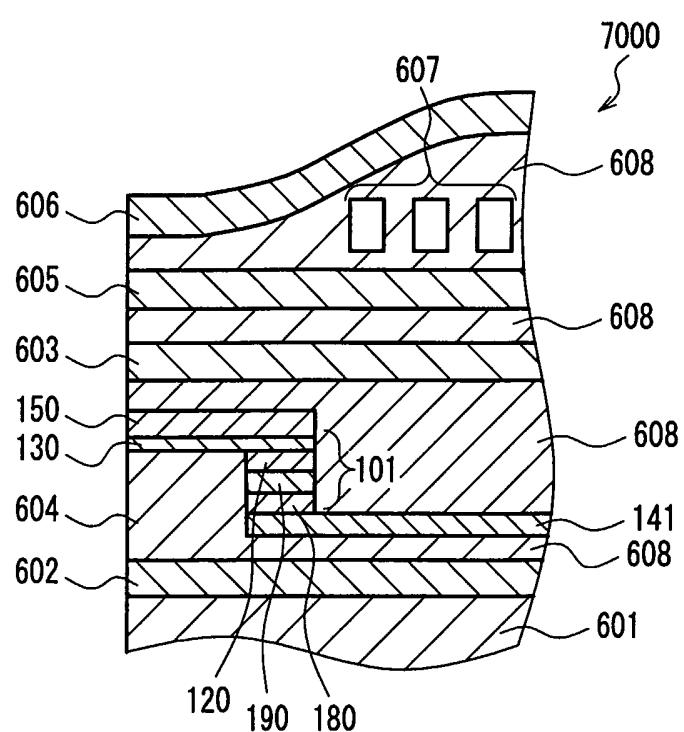


FIG. 30B



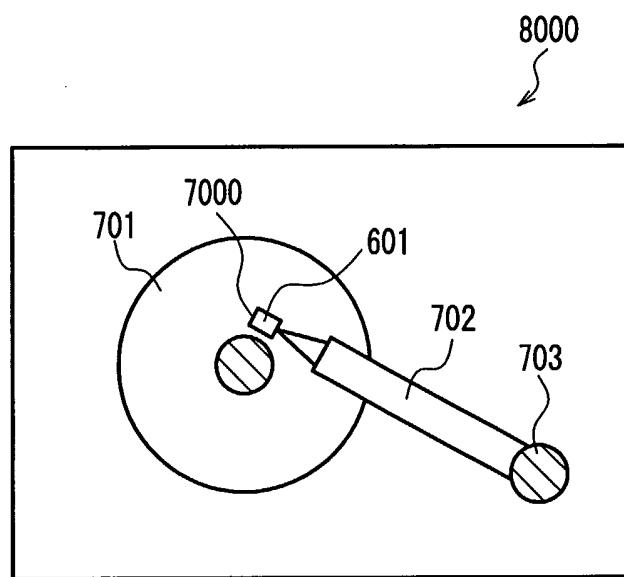


FIG. 31A

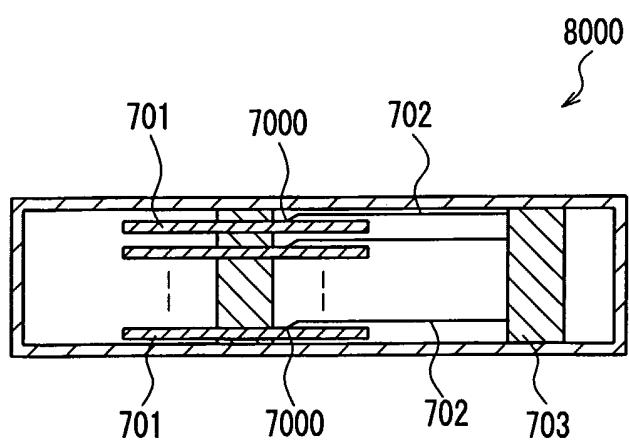


FIG. 31B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05494

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L43/08, H01L27/105, G11B5/39, G01R33/09, H01F10/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L43/08, H01L27/105, G11B5/39, G01R33/09, H01F10/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2002 |
| Kokai Jitsuyo Shinan Koho | 1971-2002 | Toroku Jitsuyo Shinan Koho | 1994-2002 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|--|
| X | JP 2000-340859 A (Matsushita Electric Industrial Co., Ltd.), 08 December, 2000 (08.12.00), | 1-4, 6, 7, 8-11, 13, 14, 15-18, 20, 21 |
| Y | Column 10, line 27 to column 11, line 34; Fig. 7 (Family: none) | 22-25 |
| X | EP 953849 A2 (Hitachi, Ltd.), 03 November, 1999 (03.11.99), Full text | 1-4, 6, 7, 22 |
| Y | & JP 11-316919 A & KR 99083593 A & US 2001/0005301 A1 & US 6325900 B1 & US 6327107 B1 & US 2002/0097536 A1 | 8-11, 13, 14, 15-18, 20, 21, 23-25 |

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 September, 2002 (24.09.02)

Date of mailing of the international search report
15 October, 2002 (15.10.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05494

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|----------------------------|
| Y | EP 1061592 A2 (Matsushita Electric Industrial Co., Ltd.), 20 December, 2000 (20.12.00), Full text & JP 2001-237472 A & KR 2001007428 A & US 2002/0058158 A1 & US 6436526 B1 | 23-25 |
| P,X | EP 1182713 A2 (Matsushita Electric Industrial Co., Ltd.), 27 February, 2002 (27.02.02), Full text & JP 2002-204010 A & US 2002/0055016 A1 & CN 1340867 A & KR 2002015295 A | 1-6, 8-13, 15-20, 22-25 |
| P,X | JP 2002-092824 A (Hitachi, Ltd.), 29 March, 2002 (29.03.02), Full text (Family: none) | 1-3, 5, 6, 22 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl' H01L43/08, H01L27/105, G11B5/39, G01R33/09, H01F10/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl' H01L43/08, H01L27/105, G11B5/39, G01R33/09, H01F10/32

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2002年 |
| 日本国実用新案登録公報 | 1996-2002年 |
| 日本国登録実用新案公報 | 1994-2002年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|---|
| X | JP 2000-340859 A(松下電器産業株式会社)2000.12.08, 第10欄第27行-第11欄第34行, 図7(ファミリーなし) | 1-4, 6, 7, 8-11, 13, 14, 15-18, 20, 21 22-25 |
| Y | | |
| X | EP 953849 A2(HITACHI LTD.)1999.11.03, 全文 | 1-4, 6, 7, 22 |
| Y | &JP 11-316919 A&KR 99083593 A&US 2001/0005301 A1 &US 6325900 B1&US 6327107 B1&US 2002/0097536 A1 | 8-11, 13, 14, 15-18, 20, 21, 23-25 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日
24.09.02

国際調査報告の発送日

15.10.02

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
栗野 正明



4M 9353

電話番号 03-3581-1101 内線 3462

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | EP 1061592 A2(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 2000.12.20, 全文 &JP 2001-237472 A&KR 2001007428 A&US 2002/0058158 A1 &US 6436526 B1 | 23-25 |
| PX | EP 1182713 A2(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 2002.02.27, 全文 &JP 2002-204010 A&US 2002/0055016 A1&CN 1340867 A &KR 2002015295 A | 1-6, 8-13, 15-20, 22-25 |
| PX | JP 2002-092824 A(株式会社日立製作所)2002.03.29, 全文 (ファミリーなし) | 1-3, 5, 6, 22 |