

公告本

申請日期：90-12-26

案號：90132306

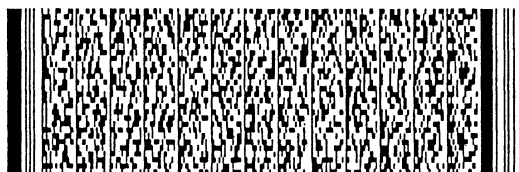
類別：G11C 17.2

(以上各欄由本局填註)

發明專利說明書

548656

一、 發明名稱	中文	磁性記憶裝置
	英文	MAGNETIC MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 國清辰也 2. 永久克己 3. 前田茂伸
	姓名 (英文)	1. Tatsuya KUNIKIYO 2. Katsumi EIKYU 3. Shigenobu MAEDA
	國籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社內 2. 同1 3. 同1
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式会社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/02/06 2001-029426

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明所屬的技術領域]

本發明係關於磁性記憶裝置，其係具有一種將磁性穿隧接面作為每一記憶單元而利用之非揮發性記憶陣列。

[先前技術]

(穿隧磁電阻效應)

將二件強磁性體來夾設絕緣體的構造，就稱謂"磁性穿隧接合(Magnetic Tunnel Junction: MTJ)"。

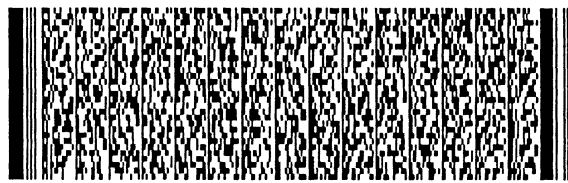
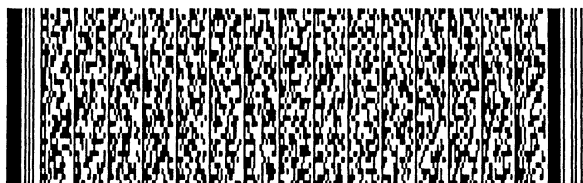
圖67為MTJ的示意圖。在圖67中，絕緣層TB係由強磁性體層FM21及FM22來夾設而佈置，且成為強磁性體層FM21及FM22上施加有電壓之構造。

在該構造中，測定穿通絕緣層TB之電流，便能觀測到：依照二件強磁性體層的磁性化方向不同，就電流值亦會不同之現象。

該現象，係被稱謂穿隧磁電阻(Tunnel Magnetic Resistance: TMR)效應。針對TMR效應，使用圖68~圖70加以說明如下。

圖68為顯示過渡性金屬的狀態密度 $N(E)$ 之模式圖。在圖68中，橫座標軸為表示狀態密度，而縱座標軸為表示能源 E ，加上以自旋方向來分類且顯示原子所具有的電子。換言之，對著圖68觀之，左側處顯示具有自旋向下的電子之原子的狀態密度，而其右側處則顯示具有自旋向上的電子之原子的狀態密度。

另外，在圖68中，於3d軌道和4s軌道中，為了以模式方式顯示將電子填充至達到費米能階為止之原子，以費米能



五、發明說明 (2)

階為極限，以影線顯示將電子填充至達到費米能階為止之原子。

過渡性金屬變成為強磁性體，是因為在將電子填充至達到費米能階為止之原子中，在3d軌道中，自旋向上的次數和自旋向下的次數不相同之關係。

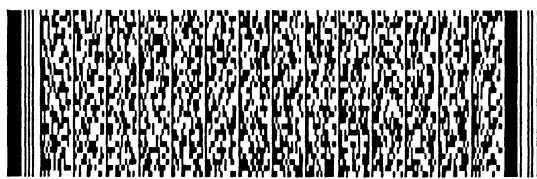
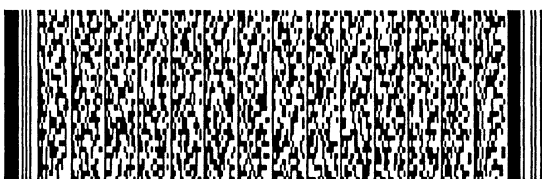
換言之，4s軌道的電子係其自旋向上的次數和自旋向下的次數均為相同，故不會牽涉到磁性產生。

圖69及圖70均為以模式方式顯示TMR效應之圖式。在圖69中，於用來構成絕緣層TB左側的強磁性體層FM21的原子之3d軌道中，具有自旋向下的電子之原子的狀態密度，高於具有自旋向上的電子之原子的狀態密度，故從整體來看其磁性化的方向就成為向下。

絕緣層TB右側的強磁性體F22亦為如同磁性化的方向就成為向下。

電子的穿隧效應，主要係呈保留開始狀態和結束狀態的自旋方向而產生。圖69中，開始狀態(強磁性體層FM21內)和結束狀態(強磁性體層FM22內)的向下自旋狀態密度皆為大，就使穿隧機率(tunneling probability)亦增大，以致穿隧電流的增大。亦即，使穿隧磁電阻降低。

相對於此，圖70中，開始狀態(強磁性體層FM21內)中具有自旋向上的電子之原子的狀態密度雖然較大，但是因為結束狀態(強磁性體層FM22內)中具有自旋向上的電子之原子的狀態密度較小，所以使穿隧機率亦減少，以致穿隧電流的減少。亦即，使穿隧磁電阻增高。



五、發明說明 (3)

在此，二件強磁性體層的磁性化方向皆呈相同時的電阻為 R_F ，而其等呈反向的電阻則為 R_{AF} ，其穿隧磁電阻比(Tunnel Magnetic Resistance Rate: TMRR)可由下述公式表示：

(公式1)

$$TMRR = \frac{R_{AF} - R_F}{R_A} = \frac{P_1 P_2}{1 - P_1 P_2} \quad \dots (1)$$

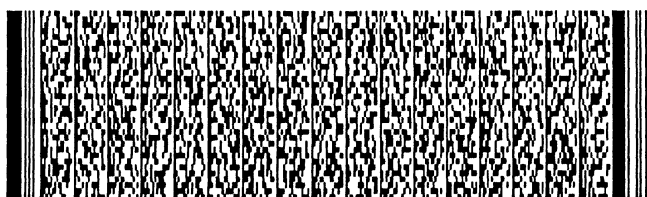
附帶而言，在上述公式(1)中， P_1 、 P_2 ，分別為強磁型體層FM21及FM22的自旋分極率(spin polarizing ratio)。

再來， α 自旋帶(spin band)的費米面上之狀態密度為 $D\sigma(E_F)$ ，自旋分極率可由下述公式表示：

(公式2)

$$P = \frac{D_{\uparrow}(E_F) - D_{\downarrow}(E_F)}{D_{\uparrow}(E_F) + D_{\downarrow}(E_F)} \quad \dots (2)$$

換言之，隨著費米面上的自旋向上和自旋向下的自旋之間的狀態密度增大，自旋分極率亦跟著增大。另外，自旋分極率靠近1，TMR亦增大。還有，自旋分極率和磁性化之間成立正比例關係已為周知。在此，各種磁性體的自旋分極率綜合顯示於表1中：



五、發明說明 (4)

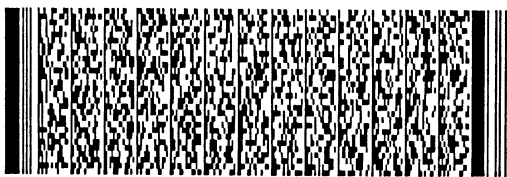
表 1

材 質	自 旋 分 極 率
Fe	0.44
Co	0.35
Ni	0.23
Ni ₈₀ Fe ₂₀	0.25, 0.45
FeCo	0.53
NiMnSb	1, 0.58
PtMnSb	1
CrO ₂	1
Fe ₃ O ₄	1
(La · Sr)MnO ₃	1

利用上述TMR效應，且使二件強磁性體層的磁性化方向，對應0或1來儲存資料的裝置，即為MRAM(Magnetic Random Access Memory)。

從而，欲僅使MTJ的二件強磁性體層的某一方改變磁性化方向，但是利用圖67的構造來施加磁場，仍會使雙邊的強磁性體層的磁性化方向均改變之情況發生。於是，以固定某一方的強磁性體層的磁性化方向為目的，已提示一種技術方案，為：在某一方的強磁性體層上形成有反強磁性體層之構造。

在圖71中，利用強磁性體層來夾設強磁性體層FM21及FM22，而在強磁性體層FM21上部處配設有反強磁性體層AF。此外，反強磁性體層AF上連接有直電流的正電極，而



五、發明說明 (5)

在強磁性體層FM22上則連接有其負電極。

若使強磁性體和反強磁性體呈鄰接地形成，就使穿貫兩者的磁束閉合，以達成磁性化方向的固定。該構造就稱謂"自旋閥型強磁性穿隧接合元件"。

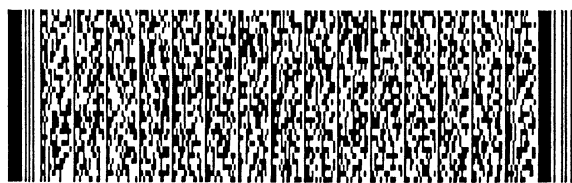
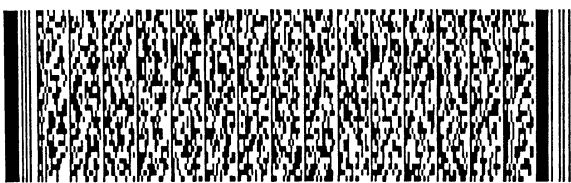
另外，將自旋閥型強磁性穿隧接合元件的變形例之構造顯示於圖72中。在圖72中，利用強磁性體層FM21及FM22來夾設絕緣層TB，並在強磁性體層FM21上部處配設有反強磁性體層AF，而在強磁性體層FM22的下部處則配設有強磁性體層FM23。

在此，反強磁性體層AF，係由例如含有20~30atom.%的Ir(銥)之TrMn而構成，雖然固定強磁性體層FM21的磁性化方向，但是因為磁性化的方向較佳不對於外界磁場呈反轉，所以利用具有較大矯磁力(coercive force)的CoFe，以作為強磁性體層FM21。

此外，如使用公式(1)而加以說明般，隨者自旋分極率的增大，穿隧磁電阻變化率亦會增大，因此作為自旋分極率較大的材料選用CoFe。

相對於此，雖然在強磁性體層FM22上亦使用與上述相同CoFe，但是較佳採用矯磁力較大的材料，以使得使用儘量小的外界磁場來控制強磁性體層FM的磁性化方向。

在圖72的架構中，以較能使強磁性體層FM22的磁性化方向反轉為目的，使用自旋分極率較小的 $\text{Ni}_{80}\text{Fe}_{20}$ (坡莫合金=permalloy)，以作為強磁性體層FM23。藉此，可使用較小的外界磁場來使強磁性體層FM22的磁性化方向。



五、發明說明 (6)

圖73為顯示圖72所示的自旋閥型強磁性穿隧接合元件的實際構造，而圖74為顯示該構造中的TMR之實測特性。

在圖73中，在呈平面狀地配設於基板BD上的反強磁性體層AF及強磁性體層FM21的沉積體上部處配設有絕緣層TB，而在絕緣層TB的上部處配設有強磁性體層FM23。在這種架構中，施加外界磁場來測定磁電阻MR之結果，即為圖74所示。

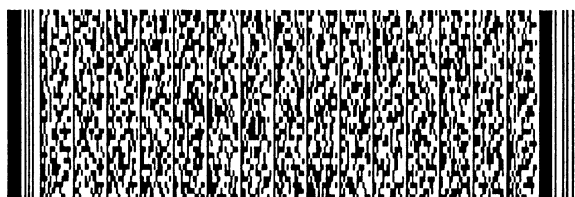
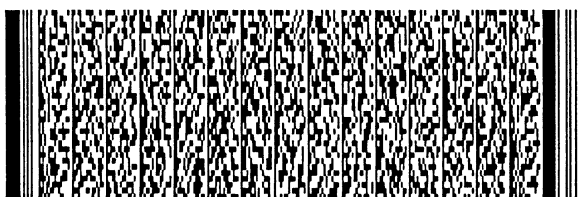
在圖74中，橫座標軸表示磁場(1奧斯特(oersted) = 約79A/m來換算)，而縱座標軸表示穿隧磁電阻率(TMRR)。由圖74可見，TMRR已實現36%，並且磁性化方向的反轉所需的磁場約為30($\times 79A/m$)的低值，加上能取得對於磁場方向呈對稱的磁滯(hysteresis)。

(MRAM的構造及工作原理)

在MRAM中，構成記憶單元之磁性穿隧接合元件中，利用外界磁場來控制使二件強磁性體的磁性化方向均為相同，或者使其等呈反向，並使磁性化方向為相同，或者呈反向的狀態，對應於0或1，進而儲存資料。

已儲存的資料，係可透過對於記憶單元上流通預定電流，且對於穿隧磁電阻的兩端電壓予以偵測，來讀取之。還有，由於穿隧磁電阻值的變化率(TMRR)越大越易於偵測，故而自旋分極率較大的強磁性體材料利於MRAM使用。

另外，資料的寫入，係只要使用對於佈線(字線及位元線)上施加預定電流後所產生的磁場，來使某一方的強磁性體的磁性化方向改變即可。



五、發明說明 (7)

(MRAM單元的構造)

作為MRAM的先前技術，針對美國專利USP5,793,697號公報所揭示的MRAM的構造及工作狀態加以說明如下。

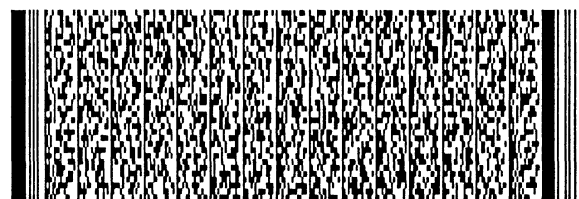
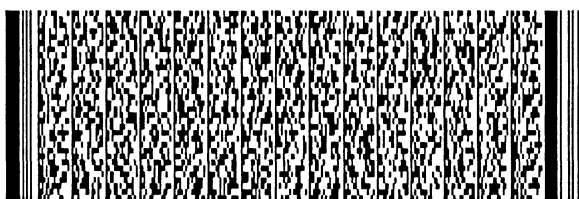
圖75為顯示MRAM單元陣列和單元之斜視圖。在圖75中，位元線4、5及6，係在呈相互平行所配設的字線1、2及3上部處與其等呈交叉狀，且呈相互平行地配設。

並且，在利用字線和位元線所夾設的每一交叉點上形成有MRAM單元(下面會僅簡稱單元的情形)9。如在圖75中以放大圖來顯示般，MRAM單元9係一種將pn接合二極體7和磁性穿隧接合元件(MTJ)8沉積於字線上之構造。

圖76為顯示MRAM單元9的剖面構造之模式圖。附帶而言，在圖76中，以在字線3上形成有MRAM單元9的情形為舉例顯示，在矽基板80上配設有字線3，且在其上面沉積有 n^+ 矽層10和 p^+ 矽層11，形成有pn接合二極體7。pn接合二極體7係由氧化矽膜13等絕緣膜來覆蓋。

接著，在pn接合二極體7上部處配設有鎢栓塞12，而pn接合二極體7介由鎢栓塞12以導電性地連接至MTJ8上。附帶而言，氧化矽膜13係亦覆蓋鎢栓塞12而配設，而鎢栓塞12和氧化矽膜13的表面，均使用CMP(Chemical Mechanical Polishing)來予以平坦化。

MTJ8係具有疊層構造，其依序下面具有：由白金(Pt)所構成的型板層15(厚度為10nm)；由 $Ni_{81}Fe_{19}$ 的坡莫合金所構成的初始強磁性體16(厚度為4nm)；由 $Mn_{54}Fe_{46}$ 所構成的反磁性體18(厚度為10nm)；由CoFe或 $Ni_{81}Fe_{19}$ 的坡莫合金所構



五、發明說明 (8)

成，且使磁性化方向固定之強磁性體20(厚度為8nm)；由 Al_2O_3 所構成的穿隧阻障層22；由厚度為2nm的CoFe和厚度為20nm的由 $\text{Ni}_{81}\text{Fe}_{19}$ 的多層膜所構成的軟性強磁性體層24；由Pt所構成的接觸層25。

附帶而言，穿隧阻障層22，係使厚度為1~2nm的Al沉積後，使用電漿氧化法且在100mTorr的氧氣氣壓下以25W/ cm^2 的功率密度來進行60~240秒鐘的處理而形成之。

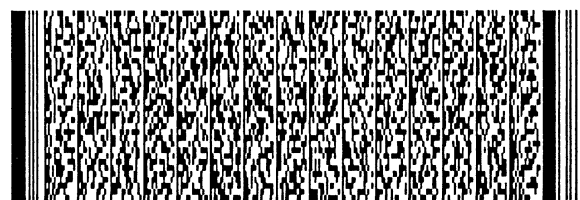
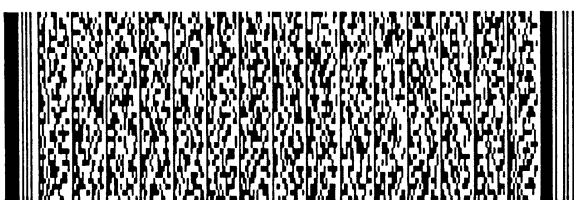
此外，雖然未圖示於在圖76中，但是實際上在位於矽基板80上的氧化矽膜13的整面形成一件較大的MTJ，再對此使用光阻罩幕且以氬離子研磨(argon ion milling)來定義圖案，以形成圖8所示的多數MTJ8。另外，雖然未圖示於圖76中，但是接觸層25係連接至位元線上。

MTJ8的磁性穿隧電阻，如上述般，係軟性強磁性體層24的磁性化方向為同於強磁性體20的磁性化方向的情形，和反向情形就有所不同。軟性強磁性體層24的磁性化方向，可利用因位元線和字線之間所流通的電流而生成的磁場來予以變化。

另外，MTJ8的磁性穿隧電阻，大幅依據於穿隧阻障層22的厚度、阻障高度，接面下的界面粗度等薄膜材質特性。

軟性強磁性體層24，係使其具有被稱謂易磁化軸(Easy axis)的易於磁性化方向而形成。沿著該易磁化軸的磁性化方向具有雙方向，且使其等可分別對應於記憶單元的0及1等二項資料。

相對於此，強磁性體20，係其磁性化方向同於軟性強磁



五、發明說明 (9)

性體層24的易磁化軸，並且，不依據MRAM的工作狀態來改變方向而形成。

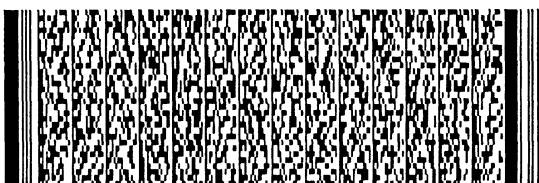
該磁性化的方向就稱謂固定磁性化的方向 (unidirectional anisotropy direction 的適當譯句)。軟性強磁性體層24的易磁化軸，係決定於將MTJ8的本質非等向性 (intrinsic anisotropy)、應力誘發非等向性 (stress induced anisotropy)、形狀所引起的非等向性加總。

在此，所謂本質非等向性，係意味著：強磁性體所具有的物性原來的磁性化之非等向性，而應力誘發非等向性，係意味著：對於強磁性體施加應力時所產生的磁性化之非等向性。

另外，如圖75所示，MTJ8，其平面視形狀，係呈現長側邊長度為L，短側邊長度為W的長方形狀。這就是，因為利用MTJ8的形狀所引起的非等向性，來決定軟性強磁性體層24的易磁化軸之緣故。

其次，針對強磁性體20的固定磁性化方向的設定方法加以說明。沉積且形成於型板層15上的初始強磁性體16，係使結晶方向呈{111}方位的面({111}面)朝上而沉積。另外，由MnFe所構成的反磁性體18，係沉積於初始強磁性體16上。

該等磁性體層，均於朝向與以後予以沉積的軟性強磁性體層24的一磁化軸的方向的磁場下予以沉積，藉此，決定軟性強磁性體層24的固定磁性化的方向。



五、發明說明 (10)

另外，磁束在強磁性體20和反磁性體18之間閉合，因此強磁性體20的磁性化方向，相較於軟性強磁性體層24的磁性化方向，難以利用外界磁場來改變方向，且在字線和位元線之間的電流所產生的磁場範圍內，可使強磁性體20的磁性化方向固定。更且，MTJ8的平面視形狀呈現長方形，使得產生強磁性體20的形狀所引起的磁性化非等向性，這一現象亦貢獻於使強磁性體20的磁性化方向之穩定。

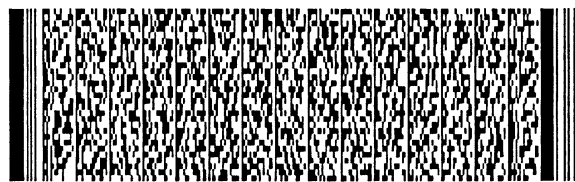
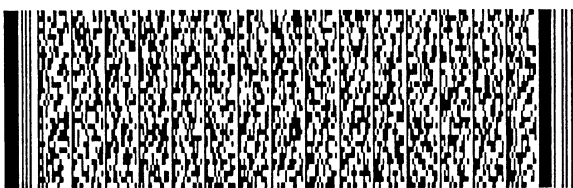
(MRAM 寫入/讀取工作概要)

針對MRAM寫入/讀取工作加以說明如下。

對於為了進行位址選取所用的字線和位元線(簡稱選取字線及選取位元線)上流通預定電流，就磁場產生於每一線的周邊處，以致在兩條線的交叉處(選取位址)上產生一種使每一磁場接合而成的結合磁場。一旦施加該磁場，能使配置於兩條線的交叉處之MTJ8的軟性強磁性體層24的磁性化方向在層面內轉變，使得進行資料的寫入。

該磁場的大小，設計為使其大於軟性強磁性體層24的開關磁場(即為磁性化的方向開始轉變)，其主要為決定於軟性強磁性體層24的矯磁力和磁性化非等向性。

另外，產生於選取字線及選取位元線之周邊處的磁場，係必須設計相當小，以避免使強磁性體20的固定磁性化的方向轉變。其因為，不使半選取(Half select)單元的磁性化方向轉變。附帶而言，所謂半選取單元，係一種僅在位於其上下處的字線和位元線中的某一方流通電流之單元。



五、發明說明 (11)

如此，對記憶單元陣列的架構而言，其係不使寫入電流直接流至MTJ8內而設計，以減低寫入工作時的功率消耗。

另外，寫入於MRAM單元9內的資料，係透過對於pn接合二極體7和MTJ8之間呈垂直地流通的電流予以偵測，以讀取之。附帶而言，其處於工作狀態時，穿隧電流在MRAM單元9內呈縱向地流通，使得減少MRAM單元9的佔有面積。

在MTJ8中由 Al_2O_3 所構成的穿隧阻障層22的電阻，係相對應薄膜厚度呈指數函數性地變化。換句話說，若薄膜厚度變厚，就使在穿隧阻障內所流通的電流減少，並只能使穿隧接面的電流對於接面呈垂直地流通。

再來，MRAM單元9的資料，係監視MRAM單元9的電壓而讀取，其電壓為當大幅小於寫入電流的偵測電流呈垂直地流通時產生。

如前述般，MTJ8的穿隧機率，係在同於處於開始狀態的軟性強磁性體層24中的自旋極性之極性的自旋狀態密度，仍在處於結束狀態的強磁性體20中越多存在越增加。

從而，MTJ8的磁性穿隧電阻，係若在軟性強磁性體層24和強磁性體20的自旋狀態密度均為相同時，換言之，在其兩層的磁性化方向均為相同時就低，而磁性化方向呈反向則高。故而，僅以微小電流來監視MTJ8的電阻，即可讀取MRAM單元9的資料。

附帶而言，亦可忽視偵測電流所產生的磁場，應未牽涉到MRAM單元9的磁性化狀態。另外，讀取/寫入MRAM單元9所需的佈線，僅為圖75所示的位元線和字線的陣列，因此



五、發明說明 (12)

可構成一種具有高效率的記憶單元陣列。

(寫入工作)

針對MRAM的寫入工作，使用圖77及圖78更加以說明如下。

圖77為圖75所示的記憶單元陣列之等效電路圖，字線1~3的兩端，分別連接至字線控制電路53上，而位元線4~6，分別連接至位元線控制電路51上。附帶而言，為了謀求便於圖78的說明，會有字線1~3以字線WL1~WL3來表示，且位元線4~6以位元線BL4~BL6來表示的情形。

再來，在字線1~3及位元線4~6的交叉點處，配設有以電阻符號來表示的MTJ8及以二極體符號來表示的pn接合二極體7。

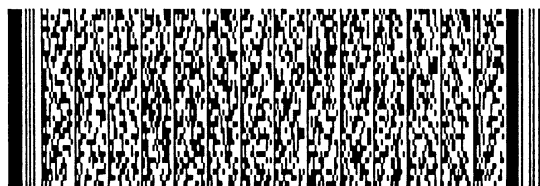
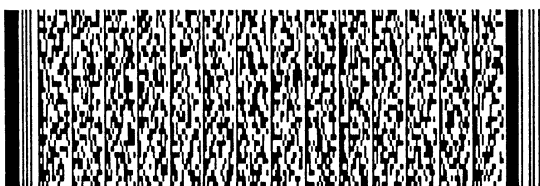
在此，假設選取字線1和位元線4的情況，就位於兩者的交叉點處的MRAM單元9a被選取。

已被選取的MRAM單元9a，係利用流通在位元線4上的電流 I_B ，以及流通在字線1上的電流 I_W 所產生的結合磁場來寫入。

在電流 I_B 及電流 I_W 中任何一方於單元區內以單獨產生的磁場，係小於將MTJ8的軟性強磁性體層24的磁性化方向改變所需的磁場。

故而，對於作為半選取單元的MRAM單元9b~9e(其單元，為在其字線和位元線上，僅流通電流 I_B 或電流 I_W 之任何一方)上，未進行寫入工作。

然而，若由電流 I_B 及電流 I_W 所致的磁場予以結合，其就



五、發明說明 (13)

成為能夠改變被選取的MRAM單元9a的軟性強磁性體層24的磁性化方向之磁場。

附帶而言，電流 I_B 及電流 I_W 的任何一方，係呈使其雙方向流通而設計，以使得單元9a的軟性強磁性體層24的磁性化方向，成為呈相反的二個磁性化方向。此外，在圖77中，位元線控制電路51和字線控制電路53，均係由成對而構成，因此電流 I_B 及電流 I_W 的雙方，均可改變電流方向。

圖78為顯示位元線4~6(位元線BL4~BL6)及字線1~3(字線WL1~WL3)的電壓及電流之時序圖表。

如圖78所示，當執行寫入時的位元線BL4~BL6的電壓，均係便於使電流呈雙方向流通而設計。另外，字線WL1~WL3的電壓均係大於電壓 V_b ，且設定為正電壓 V_w 。

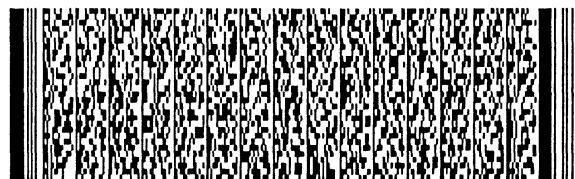
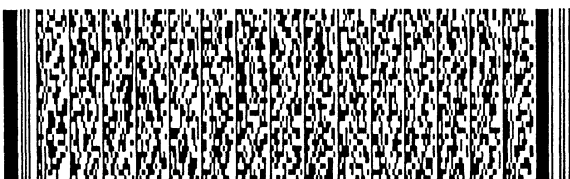
加上，該等電流均設定為：處於待機狀態時，對於所有的單元9的pn接合二極體7上施加偏壓。從而，可避免在待機時在記憶單元內流通電流 I_B 及電流 I_W 的情形。

(讀取工作)

其次，針對MRAM的讀取工作，使用圖77及圖78更加以說明如下。如圖78所示，將字線WL1的電壓由 V_w 降低至 V_b ，且將位元線BL4的電壓由 V_b 提昇至 V_w ，以對於被選取的單元9a的pn接合二極體7上施加正偏壓。

當執行讀取工作中，非選取位元線5及6，均仍處於待機電壓 V_b 中，而非選取字線WL2及3，均仍處於待機電壓 V_w 中。

附帶而言，在半選取單元9b~9e中未有由字線至位元線



五、發明說明 (14)

的電壓降低(亦即，對於pn接合二極體7上施加0V)，因而可避免在單元內流通電流。

由選取單元9a的磁性穿隧電阻，決定一種由位元線BL4且通過單元9a流通至字線WL1上的偵測電流30(參見圖77)的大小。用來構成位元線控制電路51的一部分之偵測電路中，將單元的二種狀態所對應而可預測的二種電流值之平均值，當作參考電流，以進行與偵測電流相較。而後，放大兩種電流的相差，以讀取儲存於選取單元9a內的資料。

附帶而言，如圖77的偵測電流30之波形所示，偵測電流30，係呈現與MTJ8的二種磁性化狀態相當之二種電流波形。

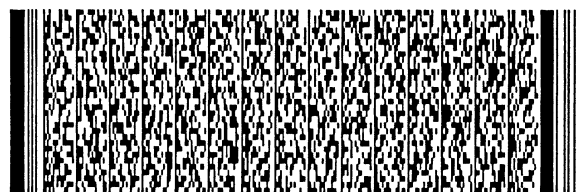
經讀取資料之後，位元線BL4和字線WL1的電壓，分別回歸至待機值，但是記憶單元9a的磁性化狀態，即使經讀取之後亦可保持。

[本發明所欲解決的問題]

如上述般，當對於MRAM單元執行寫入工作時，對於位元線和字線上流通電流，以產生磁場。再來，對於選取位址的記憶單元上，必須施加一種大於用來構成單元的軟性強磁性體層的開關磁場之磁場，因此即必須流通較大的電流。因而，帶來當執行寫入工作的功率消耗升高之問題。

本發明，係為了解決如上述等問題而成，第一目的為：提供一種MRAM，其為減低執行寫入工作時的功率消耗。

另外，在先前的MRAM記憶單元中，仍有問題為：若使用至少1件記憶單元所構成的記憶單元塊，一起執行資料的



五、發明說明 (15)

清除，或者寫入工作，就較耗時間。

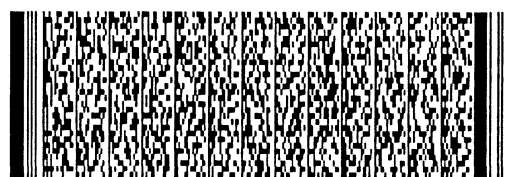
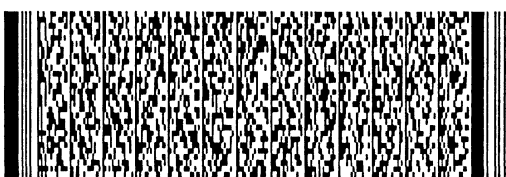
本發明，其第二目的為：提供一種MRAM，其為縮短清除或寫入所需時間。

〔解決問題的手段〕

關於本發明的磁性記憶裝置，係一種磁性記憶裝置，其為具有：多數條位元線及多數條字線，為呈非接觸地交叉，且用來構成陣列基體；多數件記憶單元，為分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合，而其為：上述多數件記憶單元，係分別配設於在上述多數條位元線中的某一條和在上述多數條字線中的某一條之間，而上述至少一項的磁性穿隧接合，係具有其磁性化方向可改變的軟性強磁性體層，而上述至少一項磁性穿隧接合，係對於上述軟性強磁性體層較容易予以磁性化的方向之易磁化軸，為對於上述多數條位元線和上述多數條字線的延伸方向具有40~50度的角度而配設。

關於本發明的磁性記憶裝置，係上述磁性穿隧接合中，與上述易磁化軸呈平行的某一邊，其平面視形狀，為長於與上述易磁化軸呈直交的某一邊，且呈矩形地構成。

關於本發明的磁性記憶裝置，係一種磁性記憶裝置，其為具有：多數條位元線及多數條字線，為呈非接觸地交叉，且其等用來構成陣列基體；多數件記憶單元，為分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合，而其為，具有：多數件的



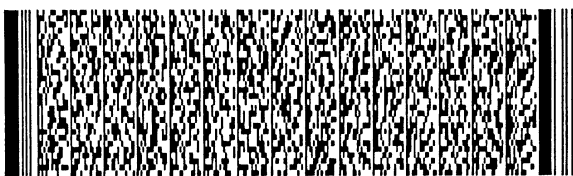
五、發明說明 (16)

第一切換裝置，為分別連接至上述多數條位元線的第一端部處，可對於上述第一端部處和第一電源或第二電源之間的電性連接予以切換；多數件的第二切換裝置，為分別連接至上述多數條位元線的第二端部處，可對於上述第二端部處和上述第一電源或上述第二電源之間的電性連接予以切換。

關於本發明的磁性記憶裝置，係上述第一切換裝置，具有相同導電性的第一及第二MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第一端部處，且每一第二主電極連接至上述第一電源及上述第二電源上，而上述第二切換裝置，具有相同導電性的第三及第四MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第二端部處，且每一第二主電極連接至上述第一電源及上述第二電源上。

關於本發明的磁性記憶裝置，係上述第一切換裝置，具有不同導電性的第一及第二MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第一端部處，且每一第二主電極連接至上述第一電源及上述第二電源上，而上述第二切換裝置，具有不同導電性的第三及第四MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第二端部處，且每一第二主電極連接至上述第一電源及上述第二電源上。

關於本發明的磁性記憶裝置，係更具有：第五MOS電晶體，其為連接至上述第一及第二MOS電晶體的每一上述第

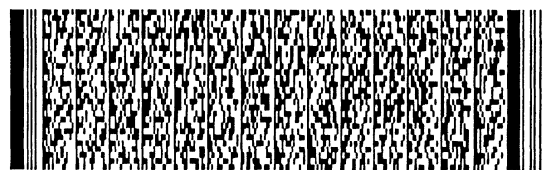
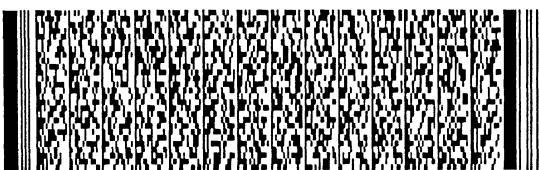


五、發明說明 (17)

一主電極上，且具備與上述第二MOS電晶體相同導電性；第六MOS電晶體，其為連接至上述第三及第四MOS電晶體的每一上述第一主電極上，且具備與上述第四MOS電晶體相同導電性，而上述第五及第六MOS電晶體的控制電極，係連接至用來賦予使常態為ON狀態的預定電壓之第三電源上。

關於本發明的磁性記憶裝置，係具有至少一塊記憶單元陣列群，其為具備：多數件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；主字線，為跨設於上述多數件記憶單元陣列；多數條記憶單元陣列選取線，為對應於上述多數件記憶單元陣列的每一件而配設，而上述多數條字線，係分別連接至分別於上述多數條主字線和上述多數條記憶單元陣列選取線之交叉處所配設的第一組合邏輯閘輸出處，而上述第一組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條主字線中的某一條和上述多數條記憶單元陣列選取線中的某一條上。

關於本發明的磁性記憶裝置，係具有多數個上述至少一塊記憶單元陣列群，且更具有：通用字線，為跨設於上述多數塊記憶單元陣列群；多數條記憶單元陣列群選取線，為對應於上述多數塊記憶單元陣列群的每一塊而配設，而上述多數條主字線，係分別連接至分別於上述多數條通用

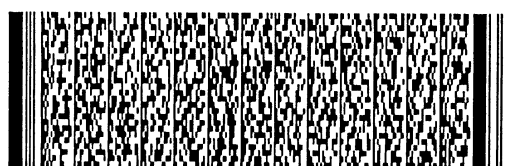
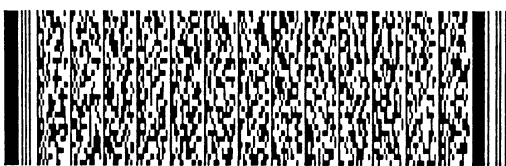


五、發明說明 (18)

字線和上述多數條記憶單元陣列群選取線之交叉處所配設的第二組合邏輯閘輸出處，而上述第二組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條通用字線中的某一條和上述多數條記憶單元陣列群選取線中的某一條上。

關於本發明的磁性記憶裝置，係具有至少一塊記憶單元陣列群，其為具備：多數件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；主位元線，為跨設於上述多數件記憶單元陣列；多數條記憶單元陣列選取線，為對應於上述多數件記憶單元陣列的每一件而配設，而上述多數條位元線，係分別連接至分別於上述多數條主位元線和上述多數條記憶單元陣列選取線之交叉處所配設的第一組合邏輯閘輸出處，而上述第一組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條主位元線中的某一條和上述多數條記憶單元陣列選取線中的某一條上。

關於本發明的磁性記憶裝置，係具有多數個上述至少一塊記憶單元陣列群，且更具有：通用位元線，為跨設於上述多數塊記憶單元陣列群；多數條記憶單元陣列群選取線，為對應於上述多數塊記憶單元陣列群的每一塊而配設，而上述多數條主位元線，係分別連接至分別於上述多數條通用位元線和上述多數條記憶單元陣列群選取線之交叉處所配設的第二組合邏輯閘輸出處，而上述第二組合邏



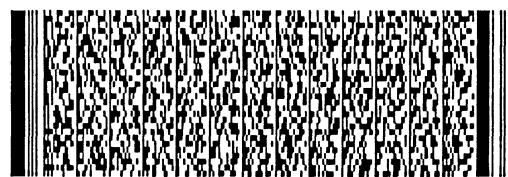
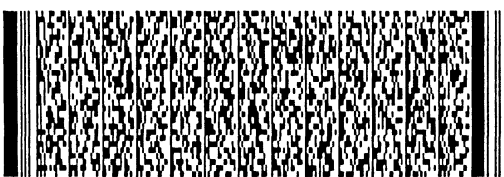
五、發明說明 (19)

輯閘的輸入，係連接至處於交叉狀態的上述多數條通用位元線中的某一條和上述多數條記憶單元陣列群選取線中的某一條上。

關於本發明的磁性記憶裝置，係具有：記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；電感器，而上述至少一項磁性穿隧接合，係具有可改變其磁性化方向之軟性強磁性體層，而上述電感器，係沿著對於上述軟性強磁性體層較容易予以磁性化的方向之易磁化軸方向發生磁場。

關於本發明的磁性記憶裝置，係上述至少一項磁性穿隧接合，係能使上述易磁化軸與上述多數條位元線或上述多數條字線的延伸方向一致而配設，上述電感器，係線圈狀電感器，為沿著與上述易磁化軸的方向呈一致的上述多數條位元線或上述多數條字線之延伸方向，且捲繞著上述記憶單元陣列而配設。

關於本發明的磁性記憶裝置，係具有：至少一件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；平板狀的至少一條快閃位元線，為分別裝設於上述至少一件記憶單元陣列中上述多數條位元線及上述多數條字線的外側，且覆蓋上



五、發明說明 (20)

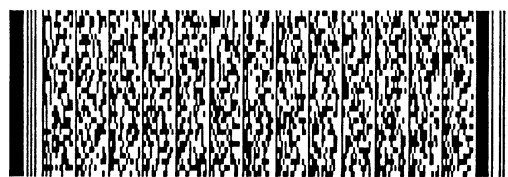
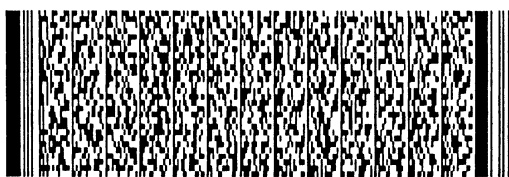
述多數條位元線及上述多數條字線的形成區；至少一條快閃字線。

關於本發明的磁性記憶裝置，係具有多數個上述至少一件記憶單元陣列，而上述多數件記憶單元陣列，係呈陣列狀地配設，而上述至少一條快閃位元線及至少一條快閃字線，均係沿著上述多數件記憶單元陣列的排列，構成陣列基體而分別配設。

關於本發明的磁性記憶裝置，係具有：記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；電感器，為分別配設於上述多數條位元線及上述多數條字線中至少一方的二處端部處，且將被選取的位元線及字線中至少一方上所流通的電流，利用LC共振來予以儲存；至少一件電容器。

關於本發明的磁性記憶裝置，係具有多數個上述至少一件電感器，以及上述至少一件電容器，而上述多數條位元線，係二條成對而構成位元線組，而上述多數件電感器，係含有第一電感器，為對應於上述多數條位元線組的每一組，且以導電性地連接至位元線之間而配設，而上述多數件電容器，係含有第一電容器，為在配設有上述多數件電感器之處的另一端處，對應於上述多數條位元線的每一條以導電性來予以連接。

關於本發明的磁性記憶裝置，係上述多數條字線，係二



五、發明說明 (21)

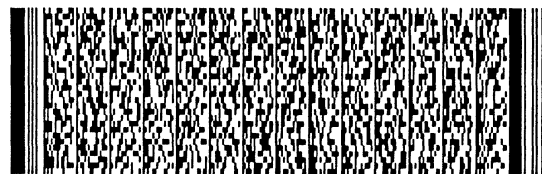
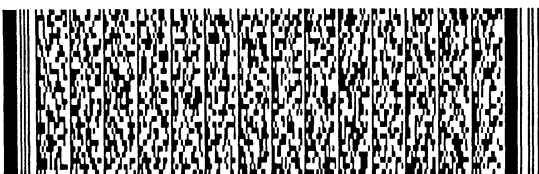
條成對而構成多數條字線組，而上述多數件電感器，係含有第二電感器，為對應於上述多數條位元線組的每一組，且以導電性地連接至字線之間而配設，而上述多數件電容器，係更含有第二電容器，為在配設有上述多數件電感器之處的另一端處，對應於上述多數條位元線的每一條以導電性來予以連接。

關於本發明的磁性記憶裝置，係具有：遮蔽體，為由至少一件半導體晶片和導體所構成，且用來收納上述至少一件半導體晶片；封裝體，為以樹脂來構成，且將用來收納上述遮蔽體；底面基板，對於上述封包體的開口處閉合而密封；信號傳送用凸塊，為配設於上述底面基板，且進行在上述至少一件半導體晶片和外界之間信號傳送；遮蔽用凸塊，呈圍繞著上述信號傳送用凸塊而配設，且以電性地連接至上述遮蔽體上，而上述至少一件半導體晶片，係含有磁性記憶晶片，為具備含有磁性穿隧接合的多數件記憶單元而構成之記憶單元陣列。

關於本發明的磁性記憶裝置，係更具有：第一應力緩和膜，為配設於上述遮蔽體的開口處端緣內側及外側；第二應力緩和膜，為配設於上述遮蔽體的內壁面上。

關於本發明的磁性記憶裝置，係上述至少一件半導體晶片，係更含有電路晶片，為含有上述記憶單元陣列的周邊電路，而上述磁性記憶晶片及上述電路晶片，係使其等呈上下層疊而收納於上述遮蔽體內。

關於本發明的磁性記憶裝置，係至少一項磁性穿隧接



五、發明說明 (22)

合，係具有可變更磁性化方向的軟性強磁性體層，而上述遮蔽體，係由具有透磁率與上述軟性強磁性體層同等或大於其之強磁性體所構成。

關於本發明的磁性記憶裝置，係上述遮蔽體，係由反強磁性體所構成。

關於本發明的磁性記憶裝置，係上述遮蔽體，係由強磁性體和反強磁性體的多層膜所構成。

關於本發明的磁性記憶裝置，係至少具有多層膜，為配設於其主面全區上，且形成至少一項磁性穿隧接合。

關於本發明的磁性記憶裝置，係上述多層膜，係作為上述至少一項磁性穿隧接合，含有穿隧阻障層及軟性強磁性體層，為由使反磁性體層、強磁性體層、絕緣體依序配設而構成。

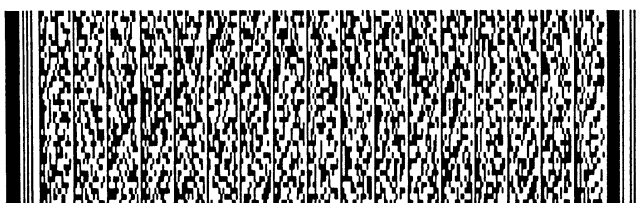
關於本發明的磁性記憶裝置，係上述多層膜，係更含有：雙層膜，為配設於上述至少一項磁性穿隧接合的下部處，且將用來構成pn接合的第一導電型雜質層和第二導電型雜質層予以疊層。

關於本發明的磁性記憶裝置，係在SOI基板上具有上述多層膜，而其SOI基板，係具備：成為基座的基板部；埋入氧化膜，為配設於該基板部上；SOI層，為配設於該埋入氧化膜上。

〔發明之實施形態〕

(A. 第一實施形態)

(本實施形態的特徵)



五、發明說明 (23)

關於本發明的第一實施形態的MRAM，其特徵為：用來構成MRAM單元的軟性強磁性體層之易磁化軸非與位元線和字線平行，更具體而言，與位元線和字線呈40~50度而配設MRAM單元。

(A-1. 裝置架構)

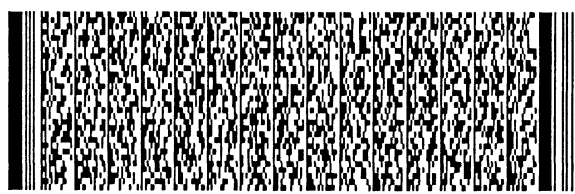
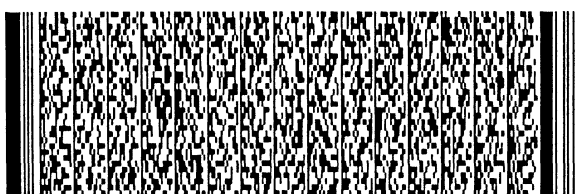
(A-1-1. MRAM單元之架構)

首先，針對MRAM單元的代表性架構，使用圖1加以說明。圖1所示的MRAM單元MC，係具有pn接合二極體7，其為使 n^+ 矽層10及 p^+ 矽層11沉積而構成。

而且，在pn接合二極體7上部處配設有鎢栓塞12，而pn接合二極體7係介由鎢栓塞12以電性連接至磁性穿隧接合(Magnetic Tunnel Junction: MTJ)8上。

MTJ8係具有疊層構造，其依序下面具有：由白金(Pt)所構成的型板層15(厚度為10nm)；由 $Ni_{81}Fe_{19}$ 的坡莫合金所構成的初始強磁性體16(厚度為4nm)；由 $Mn_{54}Fe_{46}$ 所構成的反磁性體18(厚度為10nm)；由CoFe或 $Ni_{81}Fe_{19}$ 的坡莫合金所構成，且使磁性化方向固定之強磁性體20(厚度為8nm)；由 Al_2O_3 所構成的穿隧阻障層22；由厚度為2nm的CoFe和厚度為20nm的由 $Ni_{81}Fe_{19}$ 的多層膜所構成的軟性強磁性體層24；由Pt所構成的接觸層25。

含有MTJ8的MRAM單元MC的平面視形狀呈長方形，而使與其長邊呈平行的方向，成為軟性強磁性體層24的電子自旋方向之易磁化軸而設定。附帶而言，與短邊呈平行的方向，即為難於磁性化方向之難磁化軸(hard axis)。



五、發明說明 (24)

(A-1-2. 針對先前的MRAM單元陣列進一步探討)

將先前的MRAM單元陣列的平面架構，顯示於圖2中。至於MRAM單元MC1，以斜視圖來顯示，以便於參見。

如圖2所示，在呈相互平行而配設的多數條字線WL1的上部處，呈交叉地配設有呈相互平行而配設的多數條位元線BL1。

再來，在利用字線及位元線所夾設的每一點處，形成有MRAM單元(以後，會有簡稱為單元的情形)MC1。附帶而言，每一MRAM單元MC1中以模式方式所顯示的箭頭，係顯示MRAM單元MC1的軟性強磁性體層24的自旋方向，且其處於如圖2所示的待機狀態中所有MRAM單元MC1的自旋方向呈向右。至於MRAM單元MC1的架構而言，雖然是同於例如圖1所示的MRAM單元MC，但是不限於該架構。

圖3為以模式方式顯示在先前的MRAM單元陣列中的寫入狀態之平面圖。附帶而言，下述會有情形為，將MC1a、MC1b、MC1c的符號附加於MRAM單元MC1上，以便於區別。

當執行寫入時，對於用來進行位址選取之字線和位元線(就稱選取字線和選取位元線)上流通預定電流，根據畢奧-薩伐爾定律(Biot-savart)而使磁場產生於電流周圍。

在此，產生於位元線周邊的磁場為 H_x ，而產生於字線周邊的磁場則為 H_y 。再來，選取字線及選取位元線，分別標記為WL1a及BL1a，以便於判別。

附帶而言，在圖3中的電流方向，在選取位元線BL1b上就呈從下向上，而在選取字線WL1a上則呈從上向下。



五、發明說明 (25)

一旦對於選取字線WL1a及選取位元線BL1b上流通預定電流，就在兩條線的交叉處(選取位址)上使磁場Hx和磁場Hy結合。一旦施加有該結合磁場，裝置於選取字線WL1a及選取位元線BL1b的交叉處之MRAM單元MC1a的軟性強磁性體層24的磁性化方向在層面內轉變，可執行資料的寫入。在圖3中，MRAM單元MC1a的自旋方向呈90度以上旋轉而顯示。

接著，因單元形狀所致的磁性化非等向性，其自旋向易磁化軸的方向旋轉，最後自旋呈反轉(180度)。

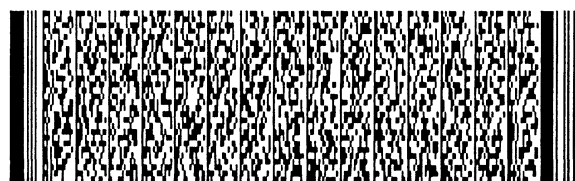
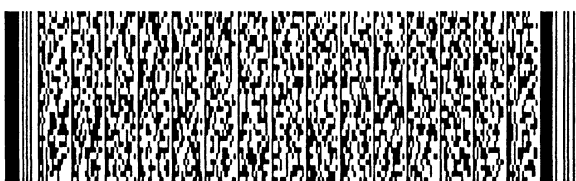
相對於此，僅對於位於其上下的字線和位元線的某一方流通電流之半選取(half-select)9的MRAM單元，亦即在為圖3所示的多數件MRAM單元MC1b上，設定有各種電流，以使軟性強磁性體層24的自旋呈旋轉，但使其不至於反轉。

附帶而言，在選取位元線BL1a所成的多數件半選取單元MC1c中，產生於選取位元線BL1b周邊的磁場Hx，係同於易磁化軸的方向，因此僅有磁場Hx無法引起圖3上所示的較大的旋轉。

借用磁場Hx和Hy的結合磁場形成使自旋予以旋轉所需的磁場Hk時之上述三項磁場相關性，顯示於圖4中。圖4中，橫座標軸表示磁場Hx，而縱座標軸則表示Hy。此外，該等之間的關係，以公式顯示如下：

(公式3)

$$H_x^{2/3} + H_y^{2/3} = H_k^{2/3} \quad \dots(3)$$



五、發明說明 (26)

圖4中的曲線為稱謂Asteroid曲線。磁場 H_k 若以下述公式(4)表示，就可使軟性強磁性體層24的自旋會反轉。

(公式4)

$$H_x^{2/3} + H_y^{2/3} > H_k^{2/3} \quad \dots(4)$$

另外，磁場 H_k 若以下述公式(5)表示，就可保持軟性強磁性體層24的自旋方向。

(公式5)

$$H_x^{2/3} + H_y^{2/3} < H_k^{2/3} \quad \dots(5)$$

產生於穩定電流 I 周邊的磁束密度 B ，係根據畢奧-薩伐爾定律，就可由下述公式來表示：

(公式6)

$$B(R) = \frac{\mu}{2\pi} \cdot \frac{I}{R} \quad \dots(6)$$

在此， μ 為透磁率， R 則為自電流 I 的距離。

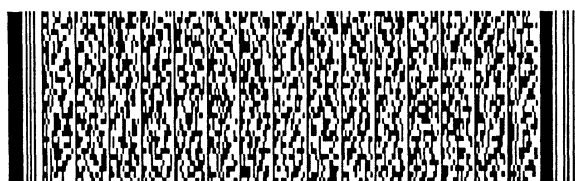
此外，磁場 H 和磁束密度 B 之間，能成立由下述公式(7)所表示的關係：

(公式7)

$$B = \mu H \quad \dots(7)$$

從而，可成立下述公式(8)：

(公式8)



五、發明說明 (27)

$$H(R) = \frac{1}{2\pi} \cdot \frac{I}{R} \quad \dots(8)$$

由上述公式(8)可知，磁場H和穩定電流I之間成正比例。從而，為了降低寫入工作時的功率消耗，較佳為：降低使自旋反轉所需的磁場H_k，亦即儘量減少H_x+H_y。

發明人們基於上述的先前技術的研討，達到可降低磁場H_k的MRAM單元陣列架構。

(A-1-3. MRAM單元陣列的架構及工作)

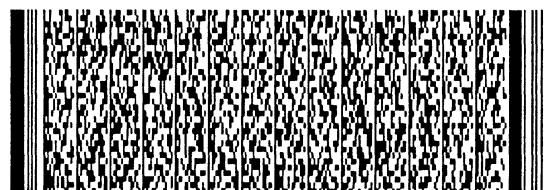
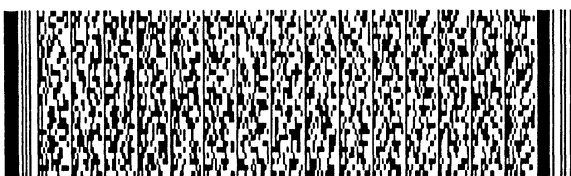
將關於本發明第一實施形態的MRAM單元陣列MA10的平面架構，顯示於圖5中。如圖5所示，在呈相互平行而配設的多數條字線WL1的上部處，呈交叉地配設有呈相互平行而配設的多數條位元線BL1。

再來，在由字線和位元線來夾設的每一交叉點處，形成有MRAM單元MC2。附帶而言，MRAM單元MC2的架構，雖然是同於例如圖1所示的MRAM單元MC，但並不限於該架構。

如圖5所示，易磁化軸，係對於位元線和字線呈傾斜45度而裝設有每一MRAM單元MC3。附帶而言，本實施例中，其係對於字線WL1呈傾斜45度而配設，因此處於如圖5所示的待機狀態中，所有MRAM單元MC2的自旋方向呈右斜上的方向。

圖6為以模式顯示MRAM單元陣列MA10的寫入工作狀態之平面圖。附帶而言，下面會有在MRAM單元MC2上附加MC2a、MC2b、MC2c的符號，以便於區別。

一旦對於字線WL1a及位元線BL1b上流通預定電流，就在



五、發明說明 (28)

兩條線的交叉處(選取位址)上使磁場 H_x 及磁場 H_y 結合。此外，圖6中的電流通過方向，係在位元線BL1b上就呈由下向上，而在字線WL1a上則呈由左向右。

一旦施加該結合磁場，裝置於選取字線WL1a及選取位元線BL1b的交叉處之MRAM單元MC1a的軟性強磁性體層24的磁性化方向在層面內轉變，可執行資料的寫入。在圖6中，MRAM單元MC2a的自旋方向呈90度以上旋轉而顯示。

接著，因單元形狀所致的磁性化非等向性，其自旋向易磁化軸的方向旋轉，最後自旋呈反轉(180度)。

相對於此，僅對於位於其上下的字線和位元線的某一方流通電流之半選取(half-select)9的MRAM單元，亦即在為圖6所示的多數件MRAM單元MC2b及MC2c上，設定有各種電流，以可使軟性強磁性體層24的自旋呈旋轉，但使其不至於反轉。

在此，由選取位元線BL1a所成的多數條半選取單元MC2c，係由於產生於選取位元線BL1a周邊的磁場 H_x ，對於易磁化軸的方向以約45度呈交叉，故如圖6所示軟性強磁性體層24的自旋會旋轉，但是透過調整每一電壓大小，就可使自旋反轉，亦可不使其反轉。這原理，亦在由選取字線WL1a所成的多數條半選取單元MC2b中相同。

(A-1-4. 其他架構例)

作為第一實施形態的其他架構例，將MRAM單元陣列MA20的平面架構顯示於圖7中。如圖7所示，在呈相互平行而配設的多數條字線WL1的上部處，呈交叉地配設有呈相互平



五、發明說明 (29)

行而配設的多數條位元線BL1。

再來，在由字線和位元線來夾設的每一交叉點處，形成有MRAM單元MC3。附帶而言，MRAM單元MC3的架構，雖然是同於例如圖1所示的MRAM單元MC，但並不限於該架構。

如圖7所示，易磁化軸，係對於位元線和字線呈傾斜45度而裝設有每一MRAM單元MC3。附帶而言，本實施例中，其係對於字線WL1呈傾斜45度而配設，因此處於如圖7所示的待機狀態中，所有MRAM單元MC3的自旋方向呈右斜下的方向。

圖8為以模式顯示MRAM單元陣列MA20的寫入工作狀態之平面圖。附帶而言，下面會有在MRAM單元MC3上附加MC3a、MC3b、MC3c的符號，以便於區別。

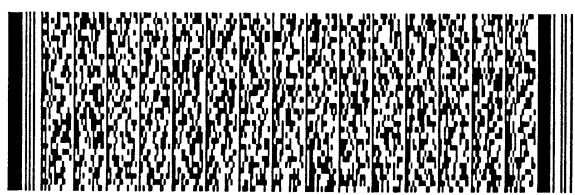
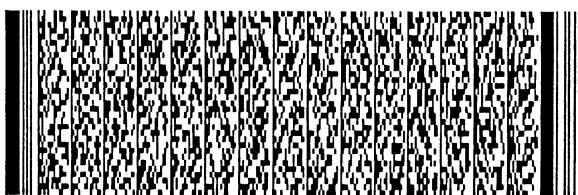
一旦對於字線WL1a及位元線BL1b上流通預定電流，就在兩條線的交叉處(選取位址)上使磁場Hx及磁場Hy結合。

此外，圖8中的電流通方向，係在位元線BL1b上就呈由下向上，而在字線WL1a上則呈由左向右。

一旦施加該結合磁場，裝置於選取字線WL1a及選取位元線BL1b的交叉處之MRAM單元MC3a的軟性強磁性體層24的磁性化方向在層面內轉變，可執行資料的寫入。在圖8中，MRAM單元MC3a的自旋方向呈90度以上旋轉而顯示。

接著，因單元形狀所致的磁性化非等向性，其自旋向易磁化軸的方向旋轉，最後自旋呈反轉(180度)。

相對於此，亦在為圖8所示半選取單元的多數件MRAM單元MC2b及MC2c上，設定有各種電流，以可使軟性強磁性體



五、發明說明 (30)

層24的自旋呈旋轉，但使其不至於反轉。

(A-1-5. MRAM單元的配設方向之最佳化)

其次，使用圖9~圖25，關於MRAM單元的最佳化加以說明。

首先，針對利用結合磁場 H_k 來使自旋反轉的情況，加以說明。

將圖2所示的先前MRAM單元中的寫入工作時之選取位址的MRAM單元MC1a自旋方向，及使其反轉的結合磁場 H_k 的方向之間的關係，以模式顯示於圖9及圖10中。

在圖9及圖10中，假設磁場 H_x 及 H_y 的大小成為相同情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_1 = 135$ 度。

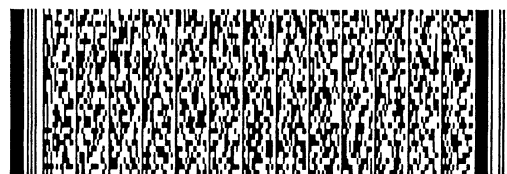
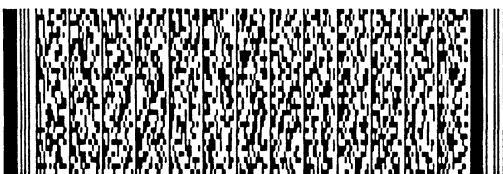
另外，將圖5所示的MRAM單元陣列MA10中的寫入工作時之選取位址的MRAM單元MC2a自旋方向，及使其反轉的結合磁場 H_k 的方向之間的關係，以模式顯示於圖11及圖12中。

在圖11及圖12中，假設磁場 H_x 及 H_y 的大小成為相同情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_2 = 90$ 度。

另外，將圖7所示的MRAM單元陣列MA20中的寫入工作時之選取位址的MRAM單元MC3a自旋方向，及使其反轉的結合磁場 H_k 的方向之間的關係，以模式顯示於圖13及圖14中。

在圖13及圖14中，假設磁場 H_x 及 H_y 的大小成為相同情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_3 = 180$ 度。

再次，結合磁場 H_k ，及磁場 H_x 及 H_y 的關係，顯示於圖15中。該關係雖然是與圖4中以Asteroid曲線顯示的相同，但是就" $|H_x| + |H_y| = \text{一定}$ "的條件下，亦即，在一定的寫



五、發明說明 (31)

入電流之條件下，求得Asteroid曲線上的磁場 H_x 及 H_y ，就獲得 $H_x = H_y = H_k / 2 \sqrt{2}$ 的關係。

基於該結果，在圖9及圖10所示的先前MRAM單元陣列中，利用結合磁場 H_k 將自旋旋轉成約135度，再來利用形狀性的磁化非等向性來旋轉自旋，旋轉至180度為止。

相對於此，在圖11及圖12所示的MRAM單元陣列MA10中，以相同大小的結合磁場來將自旋旋轉成約90度。從而，即使利用形狀性的磁化非等向性，其仍在自旋究竟會不會旋轉的臨界狀態中。故而，若採用MRAM單元陣列MA10的架構時，較佳為：將磁場 H_x 稍微大於磁場 H_y ，以使自旋的旋轉角度 θ_2 為90度以上。

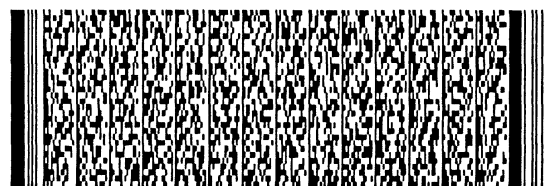
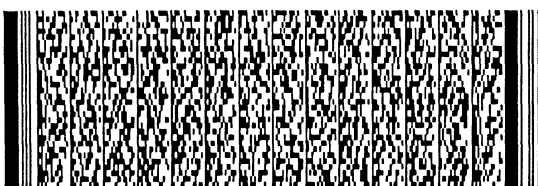
附帶而言，在圖13及圖14所示的MRAM單元陣列MA20中，由於以相同大小的結合磁場來將自旋旋轉成約180度，故可準確地將自旋旋轉。

其次，關於即使施加有結合磁場保持自旋方向的情形，就將自旋方向，及保持其的結合磁場 H_k 方向之間的關係，以模式顯示於圖16~圖21中。附帶而言，圖16~圖21均對應於圖9~圖14，因此省略所重複的說明。

在圖16及圖17中，假設磁場 H_x 及 H_y 的大小為相同的情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_{11} = 45$ 度。

在圖18及圖19中，假設磁場 H_x 及 H_y 的大小為相同的情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_{12} = 0$ 度。

在圖20及圖21中，假設磁場 H_x 及 H_y 的大小為相同的情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_{13} = 90$ 度。



五、發明說明 (32)

從而，在圖16所示的先前MRAM單元陣列中，自旋的方向大致保持，另外，在圖18所示的MRAM單元陣列MA10中，保持自旋方向而執行寫入工作，但是在圖20所示的MRAM單元陣列MA20中，其處於自旋是否會旋轉的臨界狀態中，故其不理想。

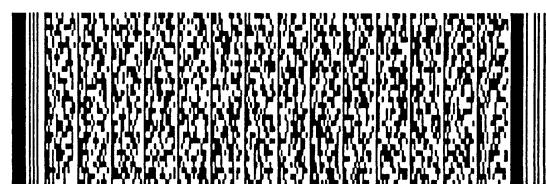
由上述研究可見，較佳為：採用圖13及圖20所示的MRAM單元陣列MA20的架構，以考慮在位元線和字線上所流通的電流方向。針對該架構，使用圖22~圖25加以說明。

在MRAM單元陣列MA20的架構中，如同圖8電流通方向，在位元線BL1a上呈由下向上，而在字線WL1a上則呈由左向右時，執行寫入工作時的選取位址的MRAM單元MC3a的自旋方向，及使其反轉的結合磁場Hk的方向之間的關係，以模式顯示於圖22及圖23中。

在圖22及圖23中，假設磁場Hx及Hy的大小成為相同情形，自旋和結合磁場Hk所呈現的角度就為 $\theta_4 = 180$ 度，就可說這是一種適於反轉透過自旋方向來執行資料寫入工作之架構。

另外，在MRAM單元陣列MA20的架構中，電流通方向，在位元線BL1a上呈由上向下，而在字線WL1a上則呈由右向左時，執行寫入工作時的選取位址的MRAM單元MC3a的自旋方向，及使其保持的結合磁場Hk的方向之間的關係，以模式顯示於圖24及圖25中。

此外，其相較於圖22的情況，對於位元線及字線上流通的電流方向予以改變。



五、發明說明 (33)

在圖24及圖25中，假設磁場 H_x 及 H_y 的大小成為相同情形，自旋和結合磁場 H_k 所呈現的角度就為 $\theta_5 = 0$ 度，就可說這是一種適於透過保持自旋方向來執行資料寫入工作之架構。

此外，不管在圖22及圖24的任何一架構中，亦更具有優點為：由於結合磁場的方向和易磁化軸成呈一致，故可比先前技術更減少寫入誤差。

(A-2. 作用效果)

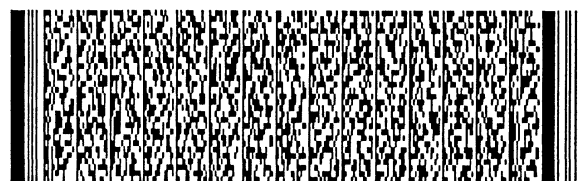
如上述說明般，根據本發明的第一實施形態的MRAM，透過將用來構成MRAM單元的軟性強磁性體層24之易磁化軸，對於位元線及字線呈傾斜40~50度，更理想為45度而配設，就即使較低的電流，亦可將選取位址上的MRAM單元的自旋方向更準確地反轉，進而可降低寫入工作時的功率消耗。

另外，若將選取位址的MRAM單元的自旋方向反轉之情形，及保持自旋方向的情形之間，變更在位元線和字線上所流通的電流方向，以可使結合磁場方向和易磁化軸方向呈一致，進而可減少寫入誤差。

(B. 第二實施形態)

(本實施形態的特徵)

關於本發明的第二實施形態的MRAM，在MRAM單元陣列的位元線和字線的兩端處，具有成對的讀取/寫入控制電路，且作為該電路的架構，就含有用來使位元線和電源電壓VDD相接的第一MOS電晶體、用來使位元線和接地電壓



五、發明說明 (34)

VSS相接的第二電晶體，而更具有：當執行寫入工作時對於位元線的雙方向流通電流之功能；當執行讀取工作時將因偵測電流所引起的電壓輸出於感測放大器上之功能。

(B-1. 裝置架構)

(B-1-1. MRAM之整體架構)

圖26為顯示關於本發明的第二實施形態的MRAM架構之方塊圖，就顯示MRAM單元陣列MCA，以及其周邊電路。

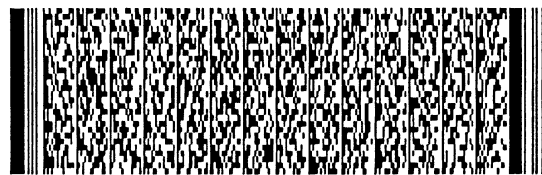
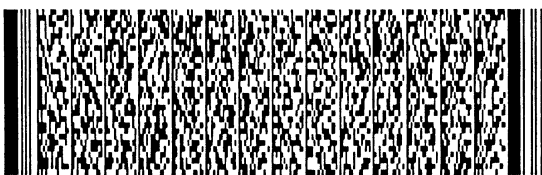
在圖26中，行位址緩衝器(column address buffer) CAB，係接收行位址信號，再使其反轉或放大之後，輸出於行解碼器CD上。

行解碼器CD，係對於行位址信號予以解碼，再將經解碼的信號輸出於多工器MUX上。

多工器MUX，係根據經解碼的行位址信號，選取位元線。其同時，亦將信號輸出於連接至位元線的一端處上之行讀取/寫入第一控制電路CRW1上，而根據讀取或寫入工作，將來自於行讀取/寫入第一控制電路CRW1的電壓、電流施加於選取位元線上。

列位址緩衝器(row address buffer)RAB，係接收列位址信號，再使其反轉或放大之後，輸出於列解碼器RD上。

列解碼器RD係對於列位址信號予以解碼，再根據經解碼的列位址信號，選取字線。其同時，亦將信號輸出於連接至位元線的一端處上之列讀取/寫入第一控制電路RRW1上，而根據讀取或寫入工作，將來自於列讀取/寫入第一控制電路RRW1的電壓、電流施加於選取字線上。



五、發明說明 (35)

另外，讀取於MRAM單元陣列MCA的資料，或者寫入於MRAM單元陣列MCA上的資料，係介由輸入/輸出緩衝器IOB，以執行與外面之間的資料輸入/輸出。

此外，在位元線的另一端處連接有行讀取/寫入第二控制電路CRW2，而在字線的另一端處連接有列讀取/寫入第二控制電路RRW2。

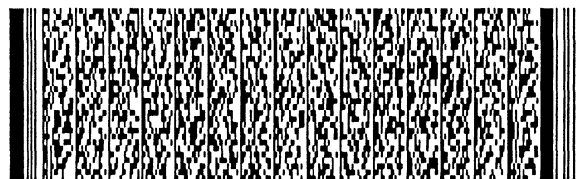
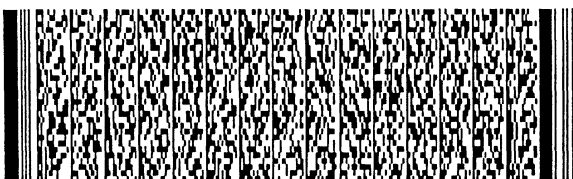
(B-1-2. MRAM的詳細架構)

在如圖26所示的MRAM中，將刪除多工器MUX、行解碼器CD、列解碼器RD、輸入/輸出緩衝器IOB的架構的電路圖，顯示於圖27中。另外，至於行位址緩衝器CAB及列位址緩衝器RAB，省略其圖示，以便判別。附帶而言，圖27所示架構的MRAM稱謂MRAM100。

在圖27中，MRAM單元陣列MCA，係具有MRAM單元MC11、MC21、MC12及MC22。每一MRAM單元，均具有一種使磁性穿隧接合(MTJ)和pn接合二極體呈串聯相接的構造，而在圖27中，以可變電阻來表示MTJ，而以等效電路來表示二極體的串聯電路。

以可變電阻來表示MTJ的原因為：在構成MTJ的軟性強磁性體層(可改變電子自旋方向，亦即為可改變磁性化方向)，及強磁性體層(固定電子自旋方向，亦即為固定磁性化方向)中，若兩者的自旋朝向相同方向，就其穿隧電阻減少，而若相互呈反向，就穿隧電阻增大。從而，該可變電阻就具有二種電阻。

MRAM單元MC11，係具有一種呈串聯地連接於位元線BL1



五、發明說明 (36)

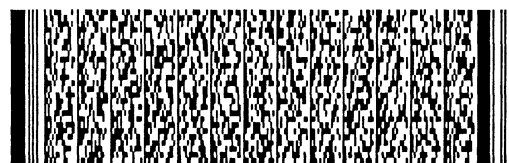
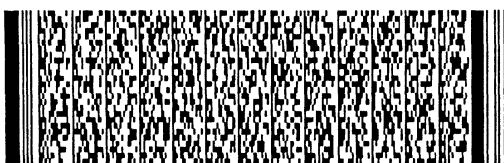
和字線WL1之間的可變電阻器R11及二極體D11，而MRAM單元MC21，係具有一種呈串聯地連接於位元線BL1和字線WL2之間的可變電阻器R21及二極體D21，而MRAM單元MC12，係具有一種呈串聯地連接於位元線BL2和字線WL1之間的可變電阻器R12及二極體D12，而MRAM單元MC22，係具有一種呈串聯地連接於位元線BL2和字線WL2之間的可變電阻器R22及二極體D22。

位元線BL1及BL2，其架構為：在行讀取/寫入第二控制電路CRW2上，分別介由NMOS電晶體MN11及MN21賦予有汲極電壓 V_{DD} 。並且，其架構亦為：在NMOS電晶體MN11及MN21的汲極電極上，分別連接有NMOS電晶體MN12及MN22的汲極電極，再對於NMOS電晶體MN12及MN22的源極電極上賦予源極電壓 V_{SS} 。

另外，在NMOS電晶體MN11、MN12、MN21及MN22的閘極電極上，分別賦予有NAND閘極ND1、ND2、ND3及ND4的輸出，而NAND閘極ND1~ND4的三種輸出，分別連接至多工器MUX上。

位元線BL1及位元線BL2，其架構為：在行讀取/寫入第一控制電路CRW1上，分別介由NMOS電晶體MN13、可變電阻器R31及MN23、可變電阻器R32賦予有汲極電壓 V_{DD} 。並且，其架構亦為：NMOS電晶體MN13及MN23的汲極電極上，分別連接有NMOS電晶體MN14及MN24的汲極電極，再對於NMOS電晶體MN14及MN24的源極電極上賦予源極電壓 V_{SS} 。

另外，NMOS電晶體MN13及MN23的源極電極，亦連接至含



五、發明說明 (37)

有感測放大器的多工器MUX上，用以偵測電流。

此外，對於NMOS電晶體MN13、MN14、MN23及MN24的閘極電極上，分別賦予有NAND閘極ND5、ND6、ND7及ND8的輸出，而NAND閘極ND1~ND4的三種輸出，分別連接至多工器MUX上。

字線WL1及字線WL2，其架構為：列讀取/寫入第一控制電路RRW1上，分別介由NMOS電晶體QN11及QN21，賦予有汲極電壓 V_{DD} 。並且，其架構亦為：NMOS電晶體QN11及QN21的汲極電極上，分別連接有NMOS電晶體QN12及QN22的汲極電極，再對於NMOS電晶體QN12及QN22的源極電極上賦予源極電壓 V_{SS} 。

另外，NMOS電晶體QN11、QN12、QN21及QN22的閘極電極，連接至列解碼器RD上。

字線WL1及WL2，其架構為：在列讀取/寫入第二控制電路RRW2上，分別介由NMOS電晶體QN13及QN14，賦予有源極電壓 V_{SS} 。

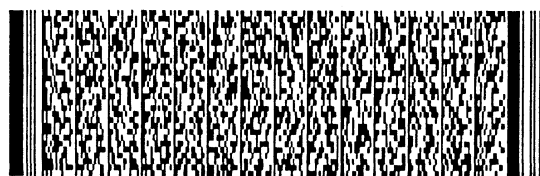
附帶而言，在圖27中，雖然MRAM單元陣列MCA成為二列二行的單元陣列，但是其列和行的規模，並不限於該規模。

(B-2. 裝置工作)

使用圖27~圖29，針對MRAM100的工作加以說明如下。

圖28為在執行讀取及寫入工作時的在MRAM100中的每一種電流及電壓的時序表。

在圖28中，顯示有：偵測電流的時序表；在執行MRAM單



五、發明說明 (38)

元MC11、MC21、MC12的寫入及讀取工作時，對於字線及位元線所施加的電壓之時序表；並同時顯示有對於NMOS電晶體MN11、MN12、MN13及MN14的每一閘極電極上所施加的閘極電壓 V_{11} 、 V_{12} 、 V_{13} 及 V_{14} 之時序表；對於NMOS電晶體QN11、QN12及QN13的每一閘極電極上所施加的閘極電壓 V_{w1} 、 V_{w2} 及 V_{w3} 之時序表；對於NMOS電晶體MN13上所施加的源極電壓 V_{s1} 的時序表。

此外，在圖28中，處於字線及位元線的待機狀態中的電壓，為 V_w 及 V_b 。

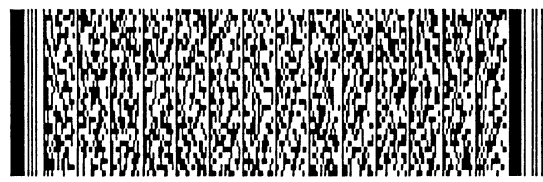
每一MRAM單元均含有pn接合二極體，對於字線及位元線上施加電壓 V_w 及 V_b ，用以待機狀態時能在該二極體上施加反偏壓。此外，如圖27所示，每一二極體，係其陰極連接至字線上而構成，故可設定為滿足為 $V_w > V_b$ 。

假設電壓為 $V_b = \text{源極電壓 } V_{ss}$ ，針對位元線BL1的控制加以說明如下。

(B-2-1. 待機狀態)

如圖28所示，處於待機狀態時，對於所有字線上施加有電壓為 V_w ，而對於所有位元線上施加有為 V_b 。為了實現該情況，配置有圖28所示的四件NMOS電晶體MN11、MN12、MN13及MN14等。

換言之，處於待機狀態時，對於閘極電壓 V_{11} 及 V_{13} 上賦予有源極電壓 V_{ss} ，以可使NMOS電晶體MN11及MN13均為OFF狀態，而對於閘極電壓 V_{12} 及 V_{14} 上賦予有源極電壓 V_{DD} ，以可使NMOS電晶體MN12及MN14均為ON狀態。



五、發明說明 (39)

另外，施加源極電壓 V_{w1} ，以可使NMOS電晶體QN11為ON狀態，而施加源極電壓 V_{w2} ，以可使NMOS電晶體QN12為OFF狀態，而施加源極電壓 V_{w3} ，以可使NMOS電晶體QN13為OFF狀態。

附帶而言，由於NMOS電晶體QN11係其源極電壓連接至汲極電壓 V_{DD} 上，故而作為閘極電壓 V_{w1} 施加 $V_{DD} + \Delta V_{DD}$ 的電壓。這就是，為了補充因電晶體的臨限值電壓所致的電壓降壓。

結果，對於位元線BL1上施加源極電壓 V_{SS} ，而對於字線WL1上施加汲極電壓 V_{DD} 。

(B-2-2. 寫入狀態1(寫入1))

若於對於MRAM單元MC上寫入資料"1"(就是使自旋呈反轉)，必須對於選取字線WL1和選取位元線BL1上流通電流。在圖27所示的MRAM100中，以僅對於位元線上流通雙方向的電流為設想。

在這種狀況時，使NMOS電晶體MN11及MN14均為ON狀態，而使NMOS電晶體MN12及MN13則均為OFF狀態。但是，由於NMOS電晶體MN11係其源極電壓連接至汲極電壓 V_{DD} 上，故而作為閘極電壓 V_{11} 施加 $V_{DD} + \Delta V_{DD}$ 的電壓。

結果，流通在位元線BL1上的電流 I_{BT} 呈由圖27的上方流至下方。

相對於此，透過使NMOS電晶體QN11及QN13均為ON狀態，且使NMOS電晶體QN12則為OFF狀態，就在選取字線WL1上流通由圖27的左方向右方的電流 I_{WD} 。由於NMOS電晶體QN11其



五、發明說明 (40)

源極電極係連接至汲極電壓 V_{DD} 上，故而作為閘極電壓 V_{w1} ，就施加有 $V_{DD} + \Delta V_{DD}$ 的電壓。

如此，利用因流通在選取字線WL1及選取位元線BL1上的電流 I_{WD} 及 I_{BT} 所引起的磁場，以使MRAM單元MC11的MTJ的軟性強磁性體層之自旋呈旋轉，進而執行資料的寫入。

(B-2-3. 讀取狀態1(讀取1))

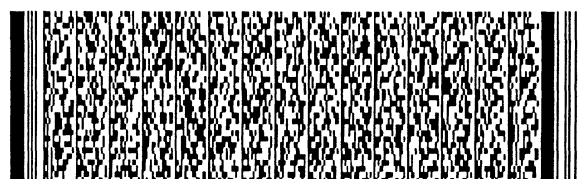
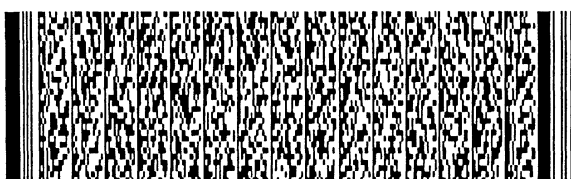
若欲讀取經寫入於MRAM單元MC11內的資料"1"，就僅對於MRAM單元MC11的二極體D11上施加正偏壓，以流通偵測電流 I_{SC} 。該偵測偵測電流 I_{SC} 一旦流通在MRAM單元MC11上，就導致位元線BL1的電壓降壓。利用該降壓的大小來判斷資料究竟為"0"還是"1"。

為了對於二極體D11上施加正偏壓，將電壓 V_b 施加於選取字線WL1上，且將電壓 V_w 施加於選取位元線BL1上。為了實現該狀態，就使NMOS電晶體MN11及MN13均為ON狀態，且NMOS電晶體MN12及MN14均則為OFF狀態。

但是，由於在NMOS電晶體MN11及MN13的源極線上均有 V_{DD} ，故而作為閘極電壓 V_{11} 及 V_{13} ，就施加有 $V_{DD} + \Delta V_{DD}$ 的電壓。

此時，對於非選取位址的MRAM單元MC22的pn接合二極體D22上，仍然施加有反偏壓(對於字線WL2上施加有電壓 V_w 、對於位元線BL上施加有 V_b)，反之，對於半選取位址的MRAM單元MC12及MC21的二極體D12及D21上未賦予電位差(0偏壓)，就未在MRAM單元MC12、MC21及MC22上流通電流。

在此，在可變電阻器R11(亦即為MTJ)的二件電阻值中，



五、發明說明 (41)

較高的就為 R_H ，較低的則為 R_L 。

流通於MRAM單元MC的記憶單元內的偵測電流 I_{SC} ，係根據MTJ的電阻值(亦即為可變電阻器R11的電阻值)而變化。假設MTJ的電阻為 R_H 及 R_L 時的偵測電流的數值為 I_L 及 I_H ，就為 $R_H > R_L$ ，故能成立 $I_H > I_L$ 的關係。

由於在MRAM單元MC11上流通有偵測電流，故NMOS電晶體MN13的源極電流(接至多工器MUX上)的電壓 V_{S1} ，降低過於汲極電壓 V_{DD} 。

該電壓降壓係依據磁性穿隧電阻值，而將降壓電壓利用多工器MUX所含有的感測放大器來參考電壓進行比較，以偵測資料"1"。

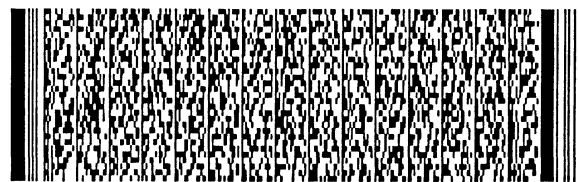
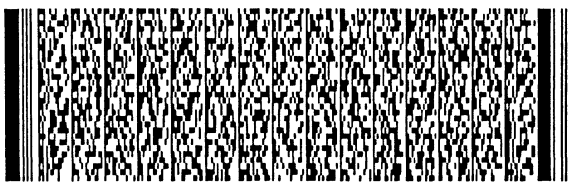
(B-2-4. 寫入狀態0(寫入0))

若欲對於MRAM單元MC11上寫入資料"0"(保持自旋的方向)，其不同於寫入"1"的情形之處，就在選取位元線BL1上所流通的電流方向與其相反。為了實現該狀態，就使NMOS電晶體MN11及MN14均為OFF狀態，且NMOS電晶體MN12及MN13均則為ON狀態。

結果，流通在位元線BL1上的電流 I_{BT} 呈由圖27的下方流至上方。

(B-2-5. 讀取狀態0(讀取0))

若欲讀取經寫入於MRAM單元MC11內的資料"0"，其NMOS電晶體MN11、MN12、MN13及MN14的工作原理，均係同於讀取狀態1(讀取1)。然而，需讀取的資料為"0"時的NMOS電晶體MN13的源極電壓 V_{S1} ，及需讀取的資料為"1"時的電壓



五、發明說明 (42)

V_{S1} 之間的電壓相差 $V \Delta$ ，係跟著磁性穿隧電阻的變化率的增大，亦會增大。電壓相差 $V \Delta$ 越大，對於利用感測放大器能偵測的參考電壓之極限亦會大，以致易於偵測。

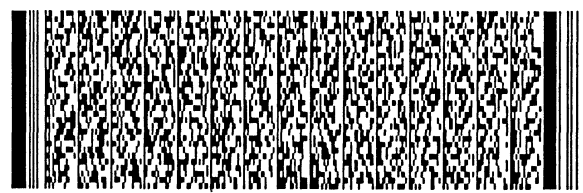
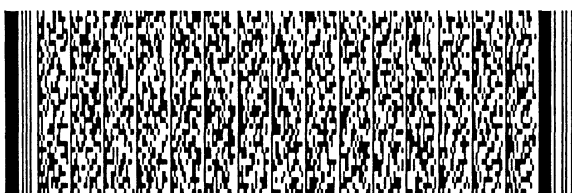
在此，將磁性穿隧電阻的變化率之施加電壓依靠性，顯示於圖29中。在圖29中，橫座標軸為表示對於MTJ上所施加的偏壓電壓，而縱座標軸為表示磁性穿隧電阻的變化率 $\{(R_H - R_L)/R_L\}$ 。附帶而言，在圖29中，顯示關於具有單層MTJ的穿隧阻障層之單磁性穿隧接合特性，亦顯示關於具有雙層MTJ的穿隧阻障層之雙重磁性穿隧接合特性。

由圖29可見，若對於(單及雙重)磁性穿隧接合上所施加的電壓為0.1V，磁性穿隧電阻就為最大。從而，當執行讀取時對於選取位元線BL1上所施加的電壓 V_w ，係相較於對於pn接合二極體上所施加的電壓，高0.1V為較佳。該電壓，係透過調節NMOS電晶體MN11及MN13的閘極電壓 $V_{DD} + \Delta V_{DD}$ 的數值而能實現。

在此，使用圖30，針對雙層磁性穿隧接合的架構加以說明。如圖30所示，雙層磁性穿隧接合，係具有一種使反強磁性體層AF1、強磁性體層FM1、第一穿隧阻障層TB1、第二穿隧阻障層TB2、第二反強磁性體層AF2疊層的架構。

在該等架構中，對於第一及第二反強磁性體層AF1及AF2的端子TA及TB之間施加電壓 V_x ，就在第一及第二穿隧阻障層TB1及TB2上，分別產生 $V_x/2$ 的電壓。

相對於此，在使用單磁性穿隧接合時，就 V_x 產生於穿隧阻障薄膜上，但是其磁性穿隧電阻的變化率，係施加電壓



五、發明說明 (43)

越小其亦越小，因此就自然地雙重磁性穿隧接合的磁性穿隧電阻之變化率變大，以致單磁性穿隧接合和雙重磁性接合之間的特性產生差別，如圖29所示。

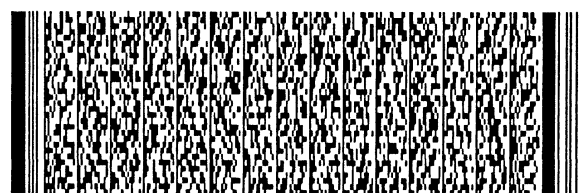
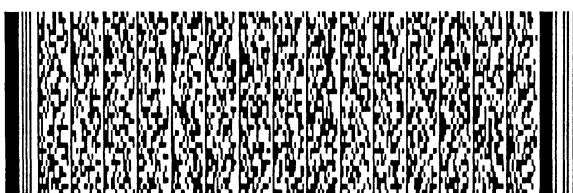
(B-3. 作用效果)

如上述說明般，根據本發明的第二實施形態的MRAM，在MRAM單元陣列MCA的位元線和字線的兩端處，具有行讀取/寫入第一控制電路CRW1及行讀取/寫入第二控制電路CRW2，且在每一電路上，含有用來使位元線和電源電壓 V_{DD} 相接的第一MOS電晶體(MN11、MN21、MN13、MN23)、用來使位元線和接地電壓 V_{SS} 相接的第二電晶體(MN12、MN22、MN14、MN24)，就透過切換NOMS電晶體來可改變流通於選取位元線上的電流方向，進而可任意改變用來構成MTJ的軟性強磁性體層的自旋方向。附帶而言，NMOS電晶體MN11及MN12、MN21及MN22、MN13及MN14、MN23及MN24，皆係可將位元線的兩端處之連接對象，切換成 V_{DD} 或 V_{SS} ，亦可稱謂切換裝置。

另外，行讀取/寫入第一控制電路CRW1的上述第一MOS電晶體，係連接至一種含有感測放大器的多工器MUX上，故可當執行讀取工作時將因偵測電流所引起的電壓，輸出至多工器MUX上。

(B-4. 第一變形例)

作為關於本發明的第二實施形態的第一變形例，將MRAM200顯示於圖31中。附帶而言，MRAM200係具有大致同於使用圖27所說明的MRAM100之架構，其不同之處為：設



五、發明說明 (44)

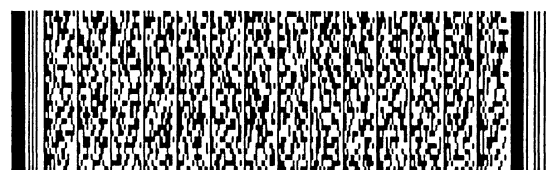
有PMOS電晶體MP11、MP13、MP21、MP23、QP11及QP21，取代MRAM100中的NMOS電晶體MN11、MN13、MN21、MN23、QN11及QN21，並且，對於PMOS電晶體MP11及NMOS電晶體MN12的閘極電極上，賦予NAND閘極ND11的輸出，而對於PMOS電晶體MP21及NMOS電晶體MN22的閘極電極上，賦予NAND閘極ND12的輸出，而對於PMOS電晶體MP13及NMOS電晶體MN14的閘極電極上，賦予NAND閘極ND13的輸出，而對於PMOS電晶體MP23及NMOS電晶體MN24的閘極電極上，賦予NAND閘極ND14的輸出，以達成閘極輸入的共用化。

在圖27所示的MRAM100中，對於NMOS電晶體MN11、MN13和MN21及MN23的閘極上，處於ON狀態就施加 $V_{DD} + \Delta V_{DD}$ 的電壓，因而其相較於閘極電壓僅為 V_{DD} 的NMOS電晶體MN12、MN14、MN22及MN24，可能會增大閘極絕緣膜所產生的負載。

然而，在圖31所示的MRAM200中，採用PMOS電晶體MP11、MP13、MP21及MP23，就可避免對於閘極施加高於 V_{DD} 的電壓，以可減少閘極絕緣膜上所產生的負載。

另外，採用PMOS電晶體MP11、MP13、MP21及MP23，可達成其與NMOS電晶體MN12、MN14、MN22及MN24共用閘極輸入，而PMOS電晶體MP11及NMOS電晶體MN12、PMOS電晶體MP21及NMOS電晶體MN22、PMOS電晶體MP13及NMOS電晶體MN14、PMOS電晶體MP23及NMOS電晶體MN24，均係形成反相器(驅動器、緩衝器)，其相較於MRAM100降低功率消耗。

圖32，係當執行讀取及寫入工作時在MRAM200中的各種



五、發明說明 (45)

電流及電壓的時序表。

在MRAM200中，由於PMOS電晶體MP11、MP13，及NMOS電晶體MN12、MN14的每一閘極輸入均共用，故而閘極電壓 V_{11} 及 V_{12} 的時序表為相同，且閘極電壓 V_{13} 及 V_{14} 的時序表為相同。

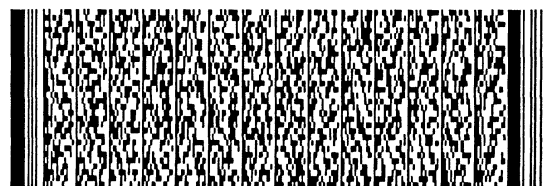
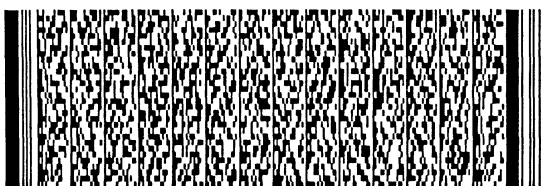
另外，由於使PMOS電晶體QP11和PMOS電晶體QP12的閘極輸入共用(PMOS電晶體QP21和PMOS電晶體QP22的閘極輸入亦相同)，故而閘極電壓 V_{w1} 及 V_{w2} 的時序表均為相同，但是其基本工作狀態係與MRAM100相同。

附帶而言，在本實施例中，以電壓 V_b = 源極電壓 V_{SS} 、電壓 V_w = 源極電壓 V_{DD} 為設想。換言之，MTJ特性若為同於圖29所示的，就設定為：源極電壓 V_{DD} 係大致同於在對於每一件MRAM單元的pn接合二極體上所施加的電壓上再加0.1V之數值。

再來，MRAM100及200的讀取/寫入控制電路，雖然未圖示，但是亦可與所鄰接的MRAM單元陣列共用。在這種情況下，可達成縮小共用份量的裝置面積。

(B-5. 第二變形例)

作為關於本發明的第二實施例的第二變形例，將MRAM300顯示於圖33中。附帶而言，MRAM300係具有大致同於使用圖31所說明的MRAM200之架構，其不同之處為：在PMOS電晶體MP11及NMOS電晶體MN12、PMOS電晶體MP13及NMOS電晶體MN14、PMOS電晶體MP21及NMOS電晶體MN22、PMOS電晶體MP23及NMOS電晶體MN24的每一汲極電極之間，



五、發明說明 (46)

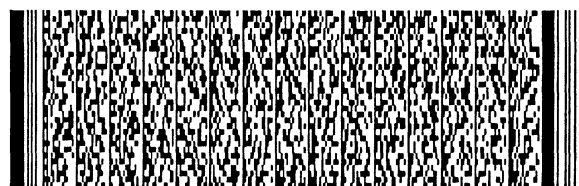
插入有NMOS電晶體MN15、MN16、MN25、MN26，以及在PMOS電晶體QP11及NMOS電晶體QN12、PMOS電晶體QP21及NMOS電晶體QN22的每一汲極電極之間，插入有NMOS電晶體QN1及QN2。

附帶而言，NMOS電晶體MN15、MN16、MN25、MN26、QN1及QN2的閘極電壓，均係固定在直電流電壓 V_{GG} 。

該等NOMS電晶體的目的是在於降低漏電。換言之，MOSFET中的漏電，其原因在：因汲極端所產生的高磁場所引起的BTBT(Band to band tunneling)TAT(Trap Assisted Tunneling)、撞擊離子化(Impact Ionization)及SRH(Schockley-Read-hall process)。

為了降低漏電，就降低汲極端的磁場即可，其例如將NMOS電晶體MN15插入於PMOS電晶體MP11及NMOS電晶體MN12之間，再將NMOS電晶體MN15的閘極電壓設定為預定直電流電壓(在此即為電壓 V_{GG})，可降低對於NMOS電晶體MN12及MN15上所賦予的汲極電壓。

例如，將電壓 V_{GG} 設定在 $V_{DD}/2 + V_{thn}$ (NMOS電晶體MN15的臨限值電壓)賦予，以能使NMOS電晶體MN15常態性地ON狀態。接著，當NMOS電晶體MN12為ON狀態時，與NMOS電晶體MN15一起，成為使二件電阻呈串聯地連接之狀態，且其成為因電阻分割而使對於NMOS電晶體MN12及MN15上所產生的強制電壓(汲極電壓 V_{DD})相等，因此MN12及MN15的合計漏電，係若不插入NMOS電晶體MN15，就是相較於僅用NMOS電晶體MN12情況之漏電，可大幅降低其漏電，使得降低功率



五、發明說明 (47)

消耗。

此外，電壓 V_{DD} 為 $V_{DD}/2 + V_{thn}$ ，其以基於因採用該設定而可使對於NMOS電晶體MN12及MN15上所產生的強制電壓均為最小之認知為理由，但是當實施時，僅有可降低功率消耗，就不限於其電壓。

上述結果，係如同NMOS電晶體MN16、MN25及MN26中。

另外，利用插入於PMOS電晶體QP11及NMOS電晶體QN12、PMOS電晶體QP21及NMOS電晶體QN22的每一汲極電極間的NMOS電晶體QN1及QN2，亦可大幅地降低漏電，使得降低功率消耗。

另外，在上述說明中，雖然以當執行寫入資料時在MRAM單元陣列的位元線上流通雙方向的電流，且在字線上則流通單方向的電流為設想，但是亦可成為：在位元線上流通單方向的電流，而在字線上則流通雙方向的電流。

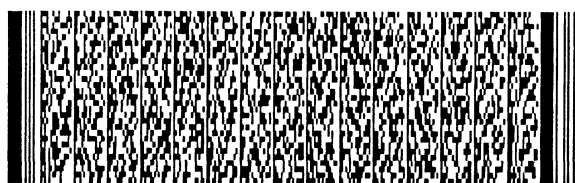
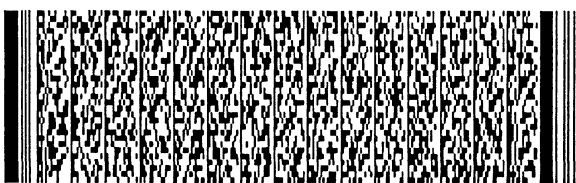
此外，亦可使用一種如MOSFET或TFT(Thin Film Transistor)或雙極電晶體等具有ON/OFF特性的元件，來取代MRAM單元的pn接合二極體。

(C. 第三實施形態)

(本實施形態的特徵)

關於本發明的第三實施形態的MRAM，其特徵為：將MRAM單元陣列的字線或位元線，分割成多數條的副字線或副位元線。

換言之，佈線的電阻率為 ρ ，佈線的長度為 l ，而佈線的截面面積為 S ，其佈線電阻 R ，可由下述公式(9)取得：



五、發明說明 (48)

(公式9)

$$R = \rho \frac{l}{S} \quad \dots (9)$$

再來，流通在佈線上的電流為I，其功率消耗，可由下述公式(10)取得：

(公式10)

$$P = R I^2 = \rho \frac{l I^2}{S} \quad \dots (10)$$

從而，可知縮短佈線長度l，就使得降低功率消耗。例如，將佈線分割為二，其功率消耗就為1/2，若為分割為n(但是n應為2以上的整數)，其功率消耗就為1/n，使得降低MRAM中執行寫入工作時的功率消耗。

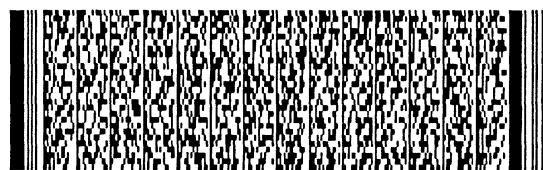
另外，連接至相同字線上的記憶單元的數量若有增加，就增加負載容量。結果，增加用來傳送字線的信號之延遲時間，以致產生無法實現高速存取之缺點。

然而，透過將字線分割成副字線而縮短佈線長度，以減少連接至相同佈線上的記憶單元數量，故可減少負載容量。結果，其相較於未將字線分割之記憶裝置，可縮短延遲時間，且可實現高速存取。其原理亦如同位元線上。關於本發明的第三實施形態的MRAM之具體架構加以說明如下。

(C-1. 字線的分割)

(C-1-1. 裝置架構)

將經分割字線的MRAM400的架構，以方塊圖顯示於圖34



五、發明說明 (49)

中。如圖34所示，MRAM400具有多數件MRAM單元陣列66。

每一MRAM單元陣列66，係具有：連接至多數條字線64的第一端部上的列讀取/寫入第一控制電路RRW1及連接至第二端部上的列讀取/寫入第二控制電路RRW2；連接至多數條位元線69的第一端部上的行讀取/寫入第一控制電路CRW1及連接至第二端部上的行讀取/寫入第二控制電路CRW2。

附帶而言，在上述每一控制電路雖然是同於第二實施形態所說明的MRAM100~300，且附加相同元件編號，但並不限於該等架構。

再來，對應於每一MRAM單元陣列66，多數配設有連接至未圖示的行解碼器上的記憶單元陣列選取線70。

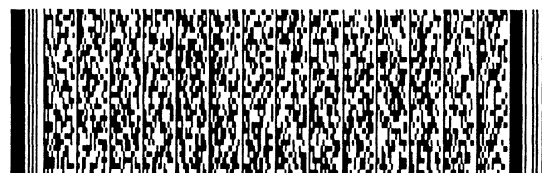
此外，在用來構成列解碼器的多數件AND閘62的輸出處，分別連接有主字線67。附帶而言，主字線67的數量係與MRAM單元陣列66的字線數量呈一致。

在多數條記憶單元陣列選取線70和多數條主字線67的交叉處，分別連接有一種以記憶單元陣列選取線70及主字線67為輸入的二項輸入之AND閘61，且將其輸出，係介由列讀取/寫入第一控制電路RRW1，連接至副字線64上。該副字線64成為每一MRAM單元陣列66的字線。

(C-1-2. 裝置工作)

針對MRAM400的工作狀態加以說明如下。

例如，若對於記憶單元陣列選取線70的某一條和主字線67的某一條予以活性化，以致連接至經予以活性的記憶



五、發明說明 (50)

單元陣列選取線70及主字線67上的AND閘61，可使連接至其輸出的副字線64予以活性化。

在這種情況下，經予以活性的主字線67係不直接地連接至MRAM單元上，因此其容量中，不含有用來構成MRAM單元陣列66的MRAM單元的容量。從而，其相較於只用一種跨設在多數件MRAM單元陣列上的一條字線來選取MRAM單元之架構，可大幅地降低字線所含有的容量。

更且，僅在一件MRAM單元陣列66上呈橫貫的副字線64，係透過使其可忽視容量及電阻所引起的延遲(CR延遲)程度縮短構成，可使MRAM400選取特定MRAM單元的時間實質地縮短，使得提高MRAM的工作速率。

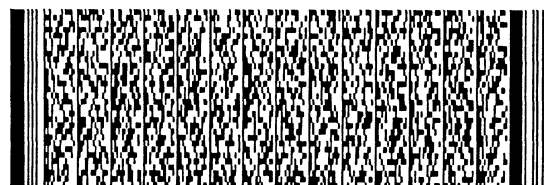
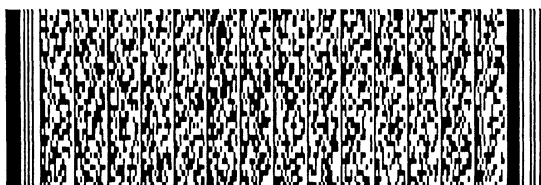
在此關於MRAM單元的容量加以說明。假設以MTJ(磁性穿隧接合)和pn接合二極體的串聯而構成MRAM單元，作為其技術案例的某一例。

在這種情況下，MRAM單元容量 C_M 如下述公式(11)所示，就成為使MTJ的容量 C_{TMR} 和pn接合二極體的接合容量 C_D 呈串聯的容量。

(公式11)

$$\frac{1}{C_M} = \frac{1}{C_{TMR}} + \frac{1}{C_D} \quad \cdots (11)$$

在圖34所示的MRAM400中，由於僅存取於被選取的MRAM單元陣列66中的副字線64所連接的MRAM單元，故流通在副字線64和位元線69之間的電流，相較於未分割字線的架構，係對於MRAM單元陣列的數量之倒數成正比例減少，使



五、發明說明 (51)

得減少功率消耗。

附帶而言，在MRAM400中，使用AND閘，作為用來控制副字線64的邏輯閘，但是其不限於AND閘，例如使用NAND閘、NOR閘、XOR閘等其他邏輯閘，亦可透過將代表記憶單元陣列選取線70及主字線67的"High"或"low"之邏輯，及其相反邏輯("Low"或"High")予以組合，且對於上述邏輯閘予以輸入，以達成同於MRAM400效果。在此，所謂邏輯"Low"或"High"，就是相當於每一信號電壓的高值或低值任何之一。

(C-2. 字線的階層化)

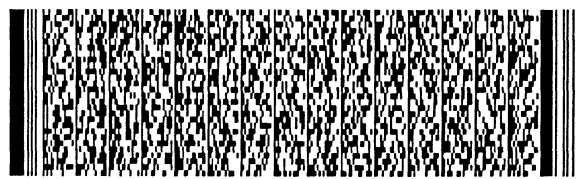
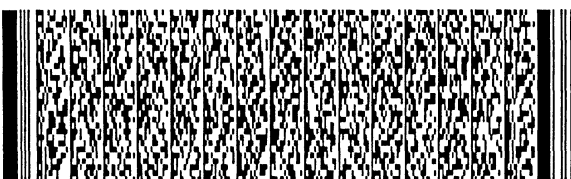
(C-2-1. 裝置架構)

將對於字線予以階層化的MRAM500的架構，以方塊圖顯示於圖35中。如圖35所示，MRAM500，係具有一種具備m件的MRAM單元陣列85所構成的n件記憶單元陣列群861
 $\sim 86n$ 。

以記憶單元陣列群861為例而說明，每一MRAM單元陣列85，均具有：連接至多數條字線83的第一端部上的列讀取/寫入第一控制電路RRW1及連接至第二端部上的列讀取/寫入第二控制電路RRW2；連接至多數條位元線89的第一端部上的行讀取/寫入第一控制電路CRW1及連接至第二端部上的行讀取/寫入第二控制電路CRW2。

更且，對應於每一MRAM單元陣列85，配設有一種連接至未圖示的行解碼器上的m條記憶單元陣列選取線911~91m。

另外，在多數件AND閘(副通用解碼器)81的輸出處，分



五、發明說明 (52)

別連接有主字線84。附帶而言，主字線84的數量係與MRAM單元陣列85的字線數量呈一致。

在記憶單元陣列選取線911~91m和多數條主字線84之交又處，分別連接有一種以在記憶單元陣列選取線911~91n的任何一或主字線84的某一條為輸入的二項輸入之AND閘(本地列解碼器)82，且其輸出，係介由列讀取/寫入第一控制電路RRW1，連接至副字線83上。該副字線83成為每一MRAM單元陣列85的字線。

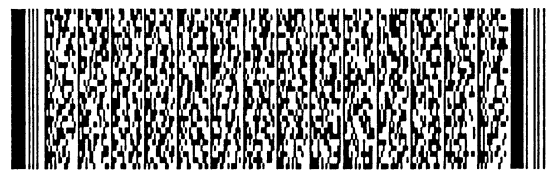
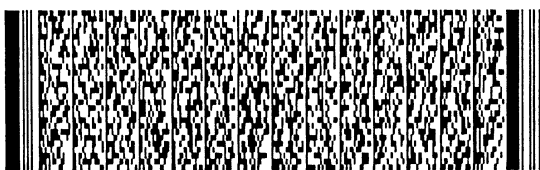
此外，多數件副通用解碼器81的第一輸入的全部，係共通連接至對應於記憶單元陣列群861所配設的記憶單元陣列群選取線901上。

並且，多數件副通用解碼器81的第二輸入的每一處，係介由一種連接至AND閘(主通用解碼器)80的輸出處的通用字線87，連接至主通用解碼器80的輸出處。

記憶單元陣列群選取線901~90n，係一種不同於通用字線87的佈線，兩者使其呈交叉地予以配設。

附帶而言，其他記憶單元陣列群，亦係具有同於記憶單元陣列群861的架構，其分別連接至多數件副通用解碼器81上，而每一多數件副通用解碼器81，亦係連接至記憶單元陣列群選取線上。

換言之，對應於每一記憶單元陣列群861~86n，配設有記憶單元陣列群選取線901~90n，而連接至每一記憶單元陣列群861~86n上的多數件副通用解碼器81的第二輸入，分別介由通用字線87，連接至多數件主通用解碼器80的輸



五、發明說明 (53)

出處。

此外，多數件主通用解碼器80，均係連接至位址信號線群88上。

(C-2-2. 裝置工作)

針對MRAM500的工作狀態加以說明如下。

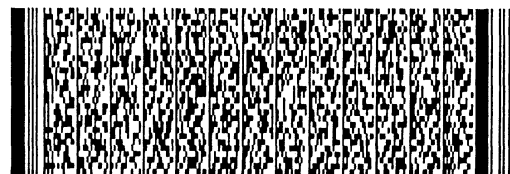
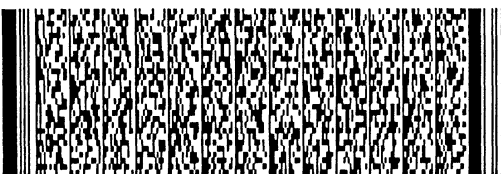
記憶單元陣列群861~86n，係利用記憶單元陣列群選取線901~90n來被選取其中任何之一，記憶單元陣列群861~86n內的多數MRAM單元陣列85，係利用記憶單元陣列選取線911~91m來被選取。

記憶單元陣列群861~86n之動作，同樣利用圖34說明MRAM400，例如，對於記憶單元陣列選取線911和主字線84的某一條予以活性化，以致連接至經予以活性的記憶單元陣列選取線911和主字線84上的AND閘82，可使連接至其輸出處的副字線83予以活性化。

在這種情況下，經予以活性的主字線84的容量中，不含有用來構成MRAM單元陣列85的MRAM單元容量，故其相較於一種利用跨設在多數件MRAM單元陣列上的一條字線來選取MRAM單元之先前MRAM，可大幅地降低字線所含有的容量。

另外，例如，對於記憶單元陣列群選取線901和通用字線87的某一條予以活性化，以致連接至經予以活性的記憶單元陣列群選取線901和通用字線87上的AND閘81，可使連接至其輸出處的主字線84予以活性化。

在這種情況下，經予以活性的通用字線87的容量中，



五、發明說明 (54)

不含有用來構成記憶單元陣列群861~86n的MRAM單元陣列85容量，故其相較於一種利用跨設在多數件MRAM單元陣列上的一條字線來選取MRAM單元之先前MRAM，可大幅地降低字線所含有的容量。

從而，流通在字線83和位元線89之間的電流，相較於未使字線階層化的先前MRAM，不僅對於MRAM單元陣列群的數量的倒數成正比例減少，亦可對於記憶單元陣列群的數量的倒數成正比例減少，使得減少功率消耗。

(C-2-3. 對於字線予以階層化的MRAM之整體架構)

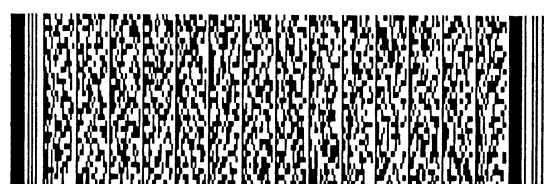
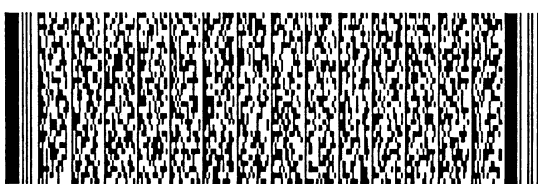
將對於字線予以階層化的MRAM之整體架構之某一例，顯示於圖36中。在圖36中，顯示有一種具有四件MRAM單元陣列851~854而構成且具有四件記憶單元陣列群861~864的MRAM，且對應於記憶單元陣列群861~864的每一件，配設有四條記憶單元陣列群選取線901~904。此外，在每一記憶單元陣列群中，對應於四件MRAM單元陣列851~854，配設有四條記憶單元陣列選取線911~914。

附帶而言，在圖36中，MRAM單元陣列85等每一架構，係以較簡單的方塊來表示，而使用箭頭且以模式方式顯示通用字線87等每一佈線路徑。由圖36可見，所謂字線經予以階層化。

(C-3. 位元線的分割)

(C-3-1. 裝置架構)

將經對於位元線予以分割的MRAM600的架構，以方塊圖顯示於圖37中。如圖37所示，MRAM600，係具有多數件



五、發明說明 (55)

MRAM 單元陣列166。

每一MRAM單元陣列166，均具有：連接至多數條字線160的第一端部上的列讀取/寫入第一控制電路RRW1及連接至第二端部上的列讀取/寫入第二控制電路RRW2；連接至多數條位元線164的第一端部上的行讀取/寫入第一控制電路CRW1及連接至第二端部上的行讀取/寫入第二控制電路CRW2。

附帶而言，在上述每一控制電路雖然是同於第二實施形態所說明的MRAM100~300，且附加相同元件編號，但並不限於該等架構。

再來，對應於每一MRAM單元陣列166，多數配設有連接至未圖示的列解碼器上的記憶單元陣列選取線170。

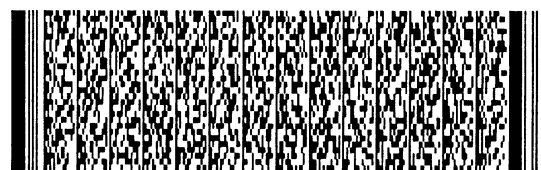
此外，在用來構成行解碼器的多數件AND閘162的輸出處，分別連接有主位元線167。附帶而言，主位元線167的數量係與MRAM單元陣列166的字線數量呈一致。

在多數條記憶單元陣列選取線170和多數條主位元線167的交叉處，分別連接有一種以記憶單元陣列選取線170及主位元線167為輸入的二項輸入之NAND閘161，且將其輸出，係介由行讀取/寫入第一控制電路CRW1，連接至位元線164上。該位元線164成為每一MRAM單元陣列166的位元線。

(C-3-2. 裝置工作)

針對MRAM600的工作狀態加以說明如下。

例如，若對於記憶單元陣列選取線的某一條和主位元線



五、發明說明 (56)

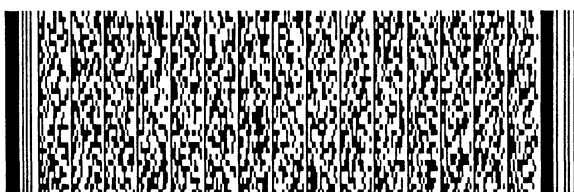
167 的某一條予以活性化，以致連接至經予以活性的記憶單元陣列選取線及主位元線167上的NAND閘161，可使連接至其輸出的副位元線164予以活性化。

在這種情況下，經予以活性的主位元線167係不直接地連接至MRAM單元上，因此其容量中，不含有用來構成MRAM單元陣列166的MRAM單元的容量。從而，其相較於只用一種跨設在多數件MRAM單元陣列上的一條字線來選取MRAM單元之架構，可大幅地降低字線所含有的容量。

更且，僅在一件MRAM單元陣列166上呈橫貫的副位元線164，係透過使其可忽視容量及電阻所引起的延遲(CR延遲)程度縮短構成，可使MRAM600選取特定MRAM單元的時間實質地縮短，使得提高MRAM的工作速率。

至於MRAM單元的容量，因已使用公式(11)來說明之，而不再加以重複說明。在圖37所示的MRAM600中，由於僅存取於被選取的MRAM單元陣列166中的副位元線164所連接的MRAM單元，故流通在副位元線164和字線169之間的電流，相較於未分割位元線的架構，係對於MRAM單元陣列的數量之倒數成正比例減少，使得減少功率消耗。

附帶而言，在MRAM600中，使用NAND閘，作為用來控制副位元線164的邏輯閘，但是其不限於NAND閘，例如使用AND閘、NOR閘、XOR閘等其他邏輯閘，亦可透過將代表記憶單元陣列選取線170及主位元線167的"High"或"low"之邏輯，及其相反邏輯("Low"或"High")予以組合，且對於上述邏輯閘予以輸入，以達成同於MRAM600效果。在此，



五、發明說明 (57)

所謂邏輯"Low"或"High"，就是相當於每一信號電壓的高值或低值任何之一。

(C-4. 位元線的階層化)

(C-4-1. 裝置架構)

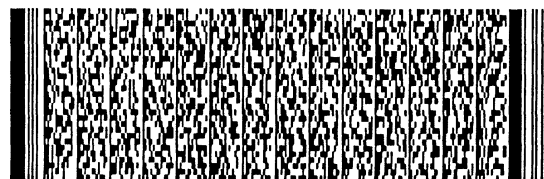
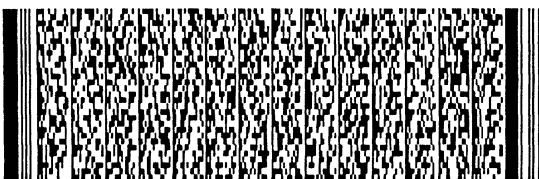
將對於字線予以階層化的MRAM700的架構，以方塊圖顯示於圖38中。如圖38所示，MRAM700，係具有一種具備m件的MRAM單元陣列185所構成的n件記憶單元陣列群1861～186n。

以記憶單元陣列群1861為例而說明，每一MRAM單元陣列185，均具有：連接至多數字線189的第一端部上的列讀取/寫入第一控制電路RRW1及連接至第二端部上的列讀取/寫入第二控制電路RRW2；連接至多數條位元線183的第一端部上的行讀取/寫入第一控制電路CRW1及連接至第二端部上的行讀取/寫入第二控制電路CRW2。

更且，對應於每一MRAM單元陣列185，配設有一種連接至未圖示的列解碼器上的m條記憶單元陣列選取線1911～191m。

另外，在多數件AND閘(副通用解碼器)181的輸出處，分別連接有主位元線184。附帶而言，主位元線184的數量係與MRAM單元陣列185的字線數量呈一致。

在記憶單元陣列選取線1911～191m和多數條主位元線184之交叉處，分別連接有一種以在記憶單元陣列選取線1911～191n的任何之一或主位元線184的某一條為輸入的二項輸入之AND閘(本地行解碼器)182，且其輸出，係介由行讀



五、發明說明 (58)

取/寫入第一控制電路CRW1，連接至副位元線183上。該副位元線183成為每一MRAM單元陣列185的字線。

此外，多數件副通用解碼器181的第一輸入的全部，係共通連接至對應於記憶單元陣列群1861所配設的記憶單元陣列群選取線1901上。

並且，多數件副通用解碼器181的第二輸入的每一處，係介由一種連接至AND閘(主通用解碼器)180的輸出處的通用位元線187，連接至主通用解碼器180的輸出處。

記憶單元陣列群選取線1901~190n，係一種不同於通用位元線187的佈線，兩者使其呈交叉地予以配設。

附帶而言，其他記憶單元陣列群，亦係具有同於記憶單元陣列群1861的架構，其分別連接至多數件副通用解碼器181上，而每一多數件副通用解碼器181，亦係連接至記憶單元陣列群選取線上。

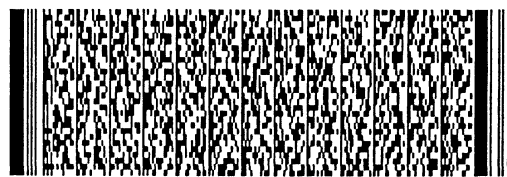
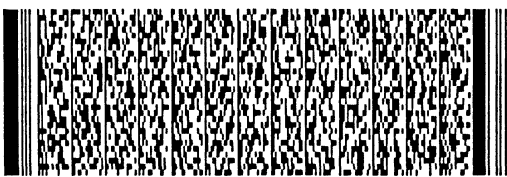
換言之，對應於每一記憶單元陣列群1861~186n，配設有記憶單元陣列群選取線1901~190n，而連接至每一記憶單元陣列群1861~186n上的多數件副通用解碼器181的第二輸入，分別介由通用位元線187，連接至多數件主通用解碼器180的輸出處。

此外，多數件主通用解碼器180，均係連接至位址信號線群188上。

(C-4-2. 裝置工作)

針對MRAM700的工作狀態加以說明如下。

記憶單元陣列群1861~186n，係利用記憶單元陣列群選



五、發明說明 (59)

取線1901~190n來被選取其中任何之一，而記憶單元陣列群1861~186n內的多數件MRAM單元陣列185，係利用記憶單元陣列群選取線1911~191m來被選取。

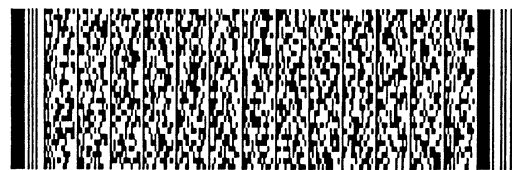
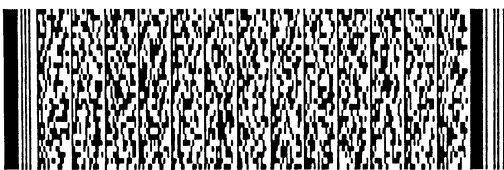
記憶單元陣列群1861~186n的工作原理，係如同使用圖37而加以說明的MRAM600，例如，對於記憶單元陣列選取線1911和主位元線184的某一條予以活性化，以致連接至經予以活性的記憶單元陣列選取線1911和主位元線184上的AND閘182，可使連接至其輸出處的副位元線183予以活性化。

在這種情況下，經予以活性的主位元線184的容量中，不含有用來構成MRAM單元陣列185的MRAM單元容量，故其相較於一種利用跨設在多數件MRAM單元陣列上的一條位元線來選取MRAM單元之先前MRAM，可大幅地降低位元線所含有的容量。

另外，例如，對於記憶單元陣列群選取線1901和通用位元線187的某一條予以活性化，以致連接至經予以活性的記憶單元陣列群選取線1901和通用位元線187上的AND閘181，可使連接至其輸出處的主位元線184予以活性化。

在這種情況下，經予以活性的通用位元線187的容量中，不含有用來構成記憶單元陣列群1861~186n的MRAM單元陣列185容量，故其相較於一種利用跨設在多數件MRAM單元陣列上的一條位元線來選取MRAM單元之先前MRAM，可大幅地降低位元線所含有的容量。

從而，流通在位元線183和字線189之間的電流，相較於



五、發明說明 (60)

未使位元線階層化的先前MRAM，不僅對於MRAM單元陣列群的數量的倒數成正比例減少，亦可對於記憶單元陣列群的數量的倒數成正比例減少，使得減少功率消耗。

附帶而言，雖然在上述第三實施形態中，針對對於字線或位元線的每一條，予以分割及階層化的方案加以說明，但是亦可成為：將其等組合，且對於字線和位元線的兩者均予以分割之架構，或者對於字線及位元線的兩者均予以階層化之架構。藉由在用該等架構，更降低功率消耗並提高MRAM工作速率。

(D. 第四實施形態)

(本實施形態的特徵)

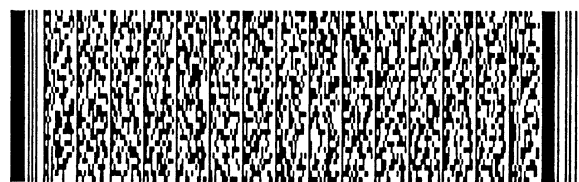
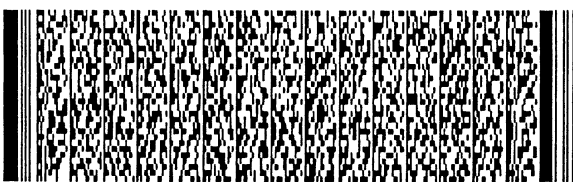
關於本發明的第四實施形態的MRAM，其特徵為：利用電感器所產生的磁場，執行多數件MRAM單元的儲存資料之整批清除或整批寫入工作。

(D-1. 裝置架構)

圖39為顯示關於本發明的第四實施形態的MRAM800架構之斜視圖。在圖39中，位元線4、5及6，係在呈相互平行所配設的字線1、2及3上部處與其等呈交叉狀，且呈相互平行地配設，並且利用字線和位元線所夾設的每一交叉點處形成有MRAM單元MC而構成MRAM單元陣列MCA1。

至於MRAM單元MC的架構，係已使用圖1加以說明，不再加以重複說明。用來構成MRAM單元MC的軟性強磁性體層的易磁化軸的方向是每一字線的延伸方向，如圖箭頭所示。

並且，呈圍繞著MRAM單元MCA1而配設有線圈狀電感器



五、發明說明 (61)

ID。

電感器ID，係使電線成為線圈狀地予以連接而構成，且沿著字線1~3所延伸的方向而予以捲繞。

再者，電感器ID的兩端處，連接至一種能夠使電流呈雙方向流通的電感器驅動電路(未圖示)上，而其架構為：再透過使流通於電感器ID上的方向轉變，以使得將利用電感器ID所圍繞的區域上所產生的磁場方向轉變。附帶而言，利用電感器ID所產生的磁場，係與字線1~3所延伸的方向成一致，換言之，其與用來構成MRAM單元MC的軟性強磁性體層的易磁化軸的方向大致成一致。

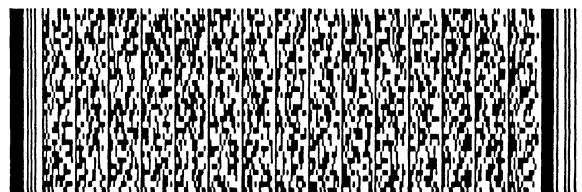
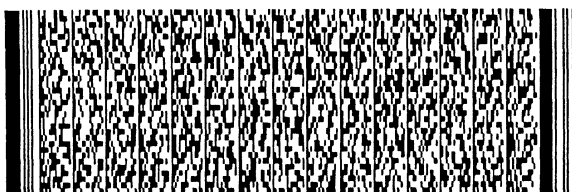
從而，若欲對於MRAM單元陣列MCA1的多數件MRAM單元MC，執行資料的整批清除或者整批寫入工作時，僅將電流由電感器驅動電路流至預定方向，就使得以所產生的磁場來一起轉變軟性牆磁性體的自旋方向。

附帶而言，在圖39中為了便於說明起見，顯示有三列三行的記憶單元陣列，但是列和行的規模，並不限於之。

另外，電感器ID、字線1~3、位元線4~6等每一導體線之間，配設有氣體或固體的絕緣體，但是圖39省略其表示，以便於判別。

此外，在圖39中，為了便於說明起見，電感器ID的捲繞間距大於MRAM單元陣列MCA1的間距，但是並不限於之。

當然，MRAM單元MC的架構上未有特別限定，其亦可為具有例如使用圖30所說明的雙重磁性穿隧接合之架構，僅有至少一項磁性穿隧接合即可。例如，亦可為：利用至少一



五、發明說明 (62)

項磁性穿隧接合和靜磁性結合來使磁束成為還路，且具有磁性體/非磁性體/磁性體構造之記憶單元。

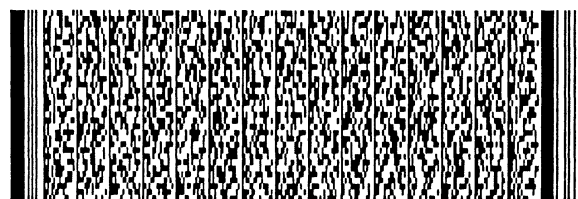
此外，電感器，係只要能產生一種與軟性強磁性體層的易磁化軸的方向成一致之磁場，就不必其成為線圈狀。

在此，使用圖39的截自A-A的剖面圖之圖40~圖42，針對MRAM800的工作原理加以說明。其中，電感器ID的捲繞間距以不同於圖39的間距來表示，以便於說明。

圖40為顯示未執行整批清除工作的狀態之某一例。如圖40所示，MRAM單元MC係在其pn接合二極體PN上部處，具有一種配設有磁性穿隧接合(MTJ)的架構。而且，用來構成位元線5下部的MRAM單元MC之軟性強磁性體層22的自旋方向，係呈面對圖式呈朝向左方，而其他MRAM單元MC的自旋方向朝向右方。再來，處於未執行整批清除工作及整批寫入工作狀態之下，換言之，電感器ID處於待機狀態中，電感器ID使其接地。藉此，遮蔽外來的雜訊，以使得達成保護MRAM單元陣列MCA1的效果。

圖41為顯示整批清除狀態之某一例。一旦將整批清除信號輸入於電感驅動電路內，就第一方向的電流通於電感器ID上，以產生如箭頭所示向右方的磁場。此時，電感器ID的間距越窄，就可避免電感器內的磁場洩漏於外界，使得更有效地使磁場產生。

在此，若將表示清除的自旋方向為圖中的右方，就因電感器內所產生的右方向的磁場，而使所有MRAM單元MC的軟性強磁性體層22的自旋同時朝向右方，使得清除整批資



五、發明說明 (63)

料。

圖42為顯示執行整批寫入工作的狀態之某一例。一旦將整批寫入信號輸入於電感器驅動電路內，就與第一方向相反的第二方向的電流流通於電感器ID上，以產生如箭頭所示向左方的磁場。

在此，若將表示寫入的自旋方向為圖中左方，就因電感器內所產生的右方向的磁場，而使所有MRAM單元MC的軟性強磁性體層22的自旋同時朝向左方，使得寫入整批資料。

(D-2. 作用效果)

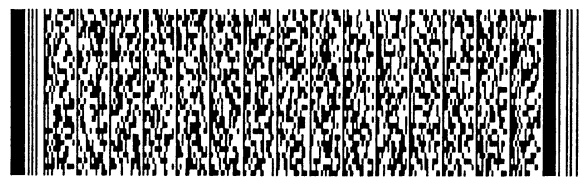
欲對於多數件MRAM單元的儲存資料，執行整批清除或將相同資料以整批寫入時，如果使用一種利用字線和位元線每一選取位址，清除或寫入資料的方法，較費時，且功率消耗亦較大。

相對於此，根據本實施形態的MRAM，由於可對於多數件MRAM單元的資料以整批執行清除或寫入，故使得短時間就完成工作，且利用電感器ID更有效地產生磁場，進而可使其僅用較少功率消耗即可。

(D-3. 變形例)

為了對於多數件MRAM單元的儲存資料執行整批清除或整批寫入，亦可採用非電感器的架構。

作為關於本第四實施形態的變形例，將MRAM900顯示於圖43中。附帶而言，為了便於說明，雖然其顯示有四列四行的MRAM單元陣列MCA2，但是其列和行的規模，並不作此限定之。



五、發明說明 (64)

如圖43所示，在MRAM單元陣列MCA2的上下方處，配設有用來執行資料的整批處理的快閃位元線FBL及快閃字線FWL。

快閃位元線FBL及快閃字線FWL，分別係對應於配設有多數條位元線BL1和字線WL1的整區域而設計，而圖43中其平面視形狀均呈矩形狀。

在圖43中，於字線WL1上，其位元線BL1呈交叉的架構，且在字線WL1及位元線BL1的交叉處的兩條線之間，配設有MRAM單元MC。

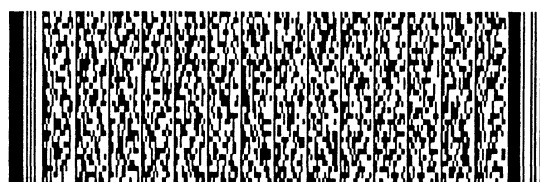
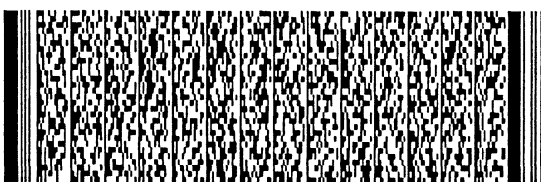
再來，快閃字線FWL係配設於字線WL1下部處，而快閃位元線FBL則係配設於位元線BL1的上部處。附帶而言，圖43中，位於最上部的快閃位元線FBL，係刪除其局部而顯示，以便於判別。

圖43中的截自A-A線及B-B線的剖面架構，分別顯示於圖44及圖45中。

如圖45所示，MRAM單元MC係在pn接合二極體PN的上部處，具有一種配設有磁性穿隧接合(MTJ)的架構。

如此，在MRAM單元MC2的上下方，配設有快閃位元線FBL及快閃字線FWL，而當執行整批清除或整批寫入工作之際，對於快閃位元線FBL及快閃字線FWL上流通預定電流，再使所有MRAM單元MC的軟性強磁性體層之自旋方向一起朝向相同方向，以可實現整批清除或整批寫入工作。

此外，在快閃位元線FBL及快閃字線FWL中，用來執行整批清除或整批寫入工作所流通的電流，係與對於MRAM單元



五、發明說明 (65)

MC 的每一件執行資料的清除或寫入時所流通於位元線BL及字線WL上的電流相同方向即可。

此外，快閃位元線FBL及快閃字線FWL，皆係亦可兩端具有，亦可僅有單端。換言之，所產生的磁場係與電流大小成正比例，故只要較多電流予以流通，就即使僅有單端，亦可達成自旋反轉。

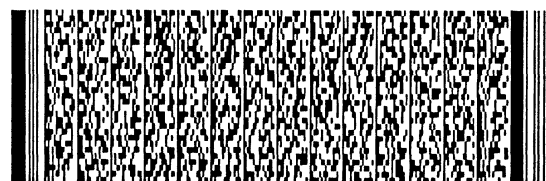
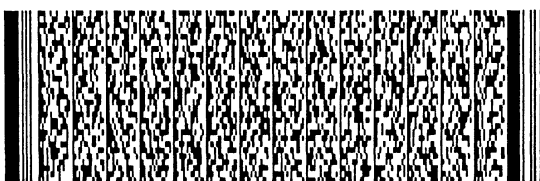
此外，使用快閃位元線FBL及快閃字線FWL的兩者，再利用其等兩者來產生磁場，就能減少用來使自旋反轉的電流加總。

另外，處於未執行整批清除及整批寫入工作狀態中，換言之，處於快閃位元線FBL及快閃字線FWL的待機狀態中，使快閃位元線FBL及快閃字線FWL接地，藉以遮蔽因外界磁場或電場所引起的雜訊，使得達成保護MRAM單元陣列MCA1的效果。

附帶而言，在上述MRAM900中，雖然顯示一種具有一件MRAM單元MCA2的架構，但是其亦可適於一種具有多數件MRAM單元陣列的架構中。該架構，作為MRAM900A顯示於圖46中。

如圖46所示，在MRAM900A中，多數件MRAM單元MCA2係呈陣列狀地配設，且如對應於MRAM單元陣列MCA2的排序狀態般，就在MRAM單元陣列MCA2的排設處上下方，將用來資料的整批處理之通用快閃位元線GBL及通用快閃字線GWL呈陣列狀地配設。

通用快閃位元線GBL及通用快閃字線GWL，均係具有同於



五、發明說明 (66)

如圖43所示的快閃位元線FBL及快閃字線FWL的功能，且因為共通使用於多數件MRAM單元陣列MCA2上，所以變更其名稱，但省略相關說明。

附帶而言，上述快閃位元線FBL及快閃字線FWL、通用快閃位元線GBL及通用快閃字線GWL的控制電路，均可使用如圖27、圖31、圖33所說明的列讀取/寫入第一控制電路RRW1、行讀取/寫入第二控制電路RRW2、行讀取/寫入第一控制電路CRW1、行讀取/寫入第二控制電路CRW2。

另外，如圖46所示的MRAM900A般，在具有多數件MRAM單元陣列MCA2的架構中，在位於與成為整批清除或整批寫入對象之MRAM單元陣列MCA2相同行及列上之非選取的MRAM單元陣列MCA2處，有可能流通電流，因此以降低功率消耗為目的，亦可將如圖34~圖38所說明的經予以分割的字線、經予以分割的位元線、經予以階層化的字線、經予以階層化的位元線的技術思想，適用於通用快閃位元線GBL及通用快閃字線GWL上。

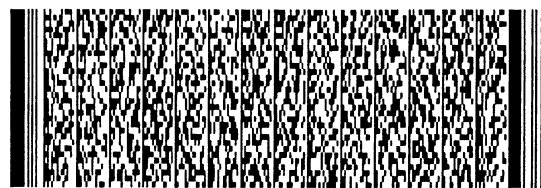
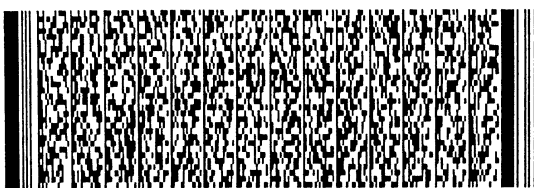
(E. 第五實施形態)

(本實施形態的特徵)

關於本發明的第五實施形態的MRAM，其特徵為：利用電感器和電容器的LC共振，再使電流重複利用，利用於至少一次以上的儲存資料之重寫。

(E-1. 裝置架構)

圖47為顯示關於本發明的第五實施形態的MRAM1000的平面架構之圖式。在圖47中，在MRAM單元陣列MCA3的多數條



五、發明說明 (67)

位元線BL1的第一端部上，連接有多工器MUX1，而在第二端部上連接有多工器MUX2。此外，在多數條字線WL1的第一端部上賦予有電壓 V_{DD} ，而在多數條字線WL1的第二端部上則連接有NMOS電晶體QN1。

此外，在多工器MUX1上，連接有一種對應於多數條位元線BL1的數量而設計的多數件NMOS電晶體QM1，而在每一件NMOS電晶體QM1的源極電極上，連接有電容器CP1。

此外，在多工器MUX2上，係如對應於二條位元線BL1連接有一件電感器ID1而構成，其結果，在多工器MUX2上，連接有與多數條位元線BL1的總數量的一半數量相當的電感器ID1。

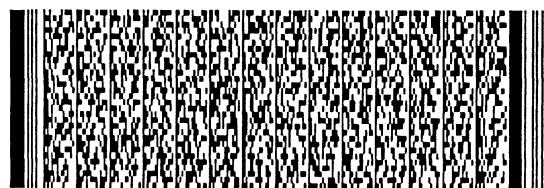
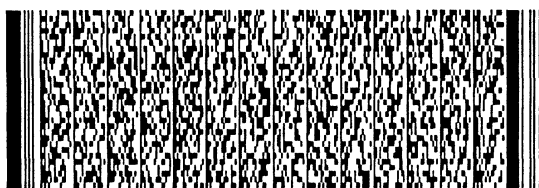
附帶而言，在位元線BL1及字線WL1上，雖然連接有使用圖26所加以說明的行解碼器或列解碼器，以及控制電路，但是由於其等與本實施形態關聯性較低，並且謀求說明簡化，省略其圖示及說明。

(E-2. 裝置工作)

其次，針對MRAM1000的工作原理加以說明。附帶而言，為了謀求便於區別，會有將BL1a及BL1b附加於位元線BL1上的情形。

首先，含有選取位址的字線WL1被選取，就直電流 I_{DC} 流通於該選取字線WL1上。

再來，含有選取位址的位元線BL1被多工器MUX1來選取，再寫入電流 I_1 經由該選取位元線BL1a流至多工器MUX2內。在這種情況下，利用多工器MUX2，選取連接至選取位



五、發明說明 (68)

元線BL1a上的電感器ID1，寫入電流 I_1 的能量作為磁場來保存於電感器ID1內。

連接至上述電感器ID1上的另一方的位元線BL1，利用多工器MUX2來選取，就可使流通在電感器ID1上的寫入電流 I_1 流至該選取位元線BL1b內，使得作為電流 I_2 來重複利用。

該電流 I_2 ，係經由多工器MUX1，以電荷來蓄積於未使用的電容器CP1內，再使多工器MUX1及MUX2適當地予以連接，原理上亦可不限次數重寫。

此外，多數件NMOS電晶體QM1，係按照對於電容器CP1的電荷蓄積及自電容器CP1來的電荷放出的時序，予以ON/OFF控制，而多數件NMOS電晶體QN1，係按照將電流 I_{DC} 流通至字線WL1上之時序，予以ON/OFF控制。

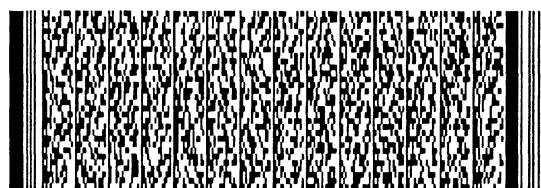
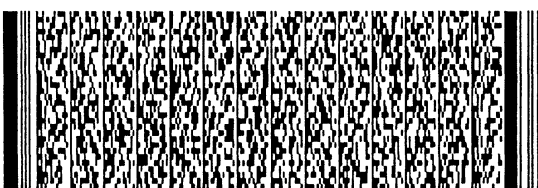
(E-3. 作用效果)

如上述說明般，利用電感器ID1及電容器CP1的LC共振，將位元線BL1上的寫入電流重複利用，藉以可降低寫入工作時的功率消耗。

(E-4. 變形例)

作為本實施形態的變形例，將MRAM1100顯示於圖48中。在MRAM1100中，除了圖47所示的MRAM1100的架構外，再加上在MRAM單元MCA3中的多數條字線WL1的第一端部上，連接有多工器MUX3，而在第二端部上則連接有多工器MUX4。

此外，在多工器MUX3上，一種對應於多數條字線WL1的數量而設計的多數件NMOS電晶體QN1，而在每一件NMOS電



五、發明說明 (69)

晶體QN1的源極電極上，連接有電容器CP2。

此外，在多工器MUX4上，係如對應於二條字線WL1連接有一件電感器ID2而構成，其結果，在多工器MUX4上，連接有與多數條字線WL1的總數量的一半數量相當的電感器ID2。

在這種架構的MRAM1100中，除了位元線BL1的寫入電流外，亦可利用電感器ID2及電容器CP2的LC共振，將字線WL1的寫入電流重複利用，藉以可更降低寫入工作電流消耗所引起的功率消耗。

附帶而言，至於利用電感器ID2及電容器CP2的LC共振所進行的電流重複利用工作，是因為同於利用電感器ID1及電容器CP1的LC共振所進行的工作，所以省略其說明。

另外，至於在電感器ID1及電容器CP1、電感器ID2及電容器CP2上所消耗的電流，係由裝設於多工器MUX1~MUX4上且周知的電流偵測型補償電路來予以補償。

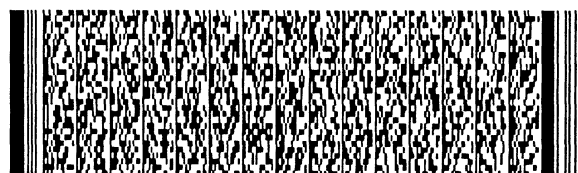
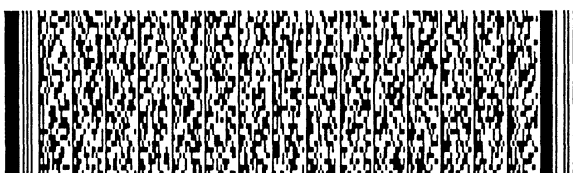
此外，作為電感器ID1及ID2，就採用例如為一種將佈線呈漩渦狀地捲繞而形成的螺旋電感即可。

在圖47及圖48所示的架構僅為技術方案之某一例，只要利用LC共振來達成電流的重複利用，就其不限於上述架構。

(F. 第六實施形態)

(本實施形態的特徵)

關於本發明的第五實施形態的磁性體基板，其特徵為：在主面上，預先形成有成為磁性穿隧接合(MTJ)的多層



五、發明說明 (70)

膜。

(F-1. 基板架構)

將關於本發明的第五實施形態的磁性體基板之剖面架構，顯示於圖49中。在圖49中，在矽基板SB的主面整面上，配設有入氧化矽膜或氮化矽膜等絕緣膜IL1，且在其上面，配設有成為字線或位元線之導體層ML1。

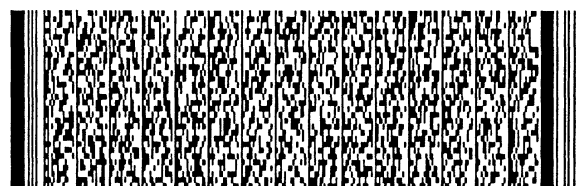
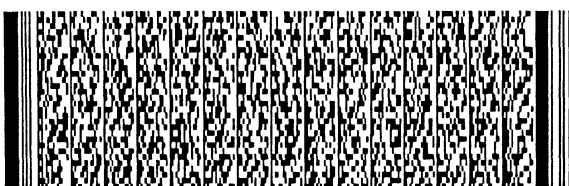
在導體層ML1的上部處，沉積有：具有較高濃度n型雜質的n型矽層SF1，及具有較高濃度p型雜質的p型矽層SF2。該等二層架構以後成為pn接合二極體。

再來，在p型矽層SF2的上部處，形成有一種以後成為鎢栓塞的鎢層STD，而在鎢層STD上則配設有以後成為MTJ的多層膜。

換言之，其依序下面具有：由白金(Pt)所構成的型板層TPL；由 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金所構成的初始強磁性體IFL(厚度為4nm)；由 $\text{Mn}_{54}\text{Fe}_{46}$ 所構成的反磁性體AFL(厚度為10nm)；由CoFe或 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金所構成的強磁性體FFL(厚度為8nm)；由 Al_2O_3 所構成的穿隧阻障層TBL；由厚度為2nm的CoFe和厚度為20nm的由 $\text{Ni}_{81}\text{Fe}_{19}$ 的多層膜所構成的軟性強磁性體層FML；由Pt所構成的接觸層CL。

另外，在接觸層CL的上部處，配設有以後成為字線或位元線的導體層ML2，而在最上部處則配設有一種可作為金屬層的防氧化膜之絕緣膜IL2。

只要販售這種磁性體基板，使用者就使用光阻罩幕，再以氬離子研磨來進行定義圖案，以使得形成圖39所示的



五、發明說明 (71)

MRAM 單元陣列MCA1。

(F-2. 作用效果)

如此，基板廠商販售一種在其主面上預先形成有pn接合二極體及可成為MTJ的多層膜之磁性體基板，使用者則使用該磁性體基板，其相較於準備簡單的基板，且在其主面上形成多層膜的技術，可省略製程且削減製造成本。

(F-3. 變形例)

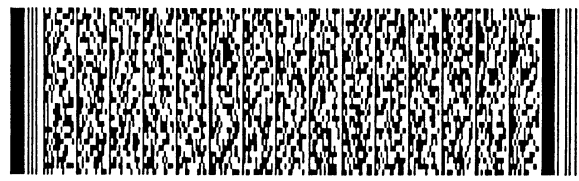
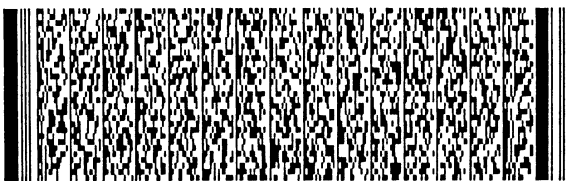
將一種在SOI(Silicon On Insulator)基板的主面上預先形成pn接合二極體及可成為MTJ的多層膜之磁性體基板，顯示於圖50中。

在圖50中，於矽基板SB上配設有埋入氧化膜BX，而在埋入氧化膜BX上配設有SOI基板SI。並且，在SOI基板SI上配設有同於圖49所示的多層膜。

如使用圖31及圖33加以說明般，MRAM必須要MOSFET。再者，在SOI層上形成MOSFET，就能降低寄生電容，使得提高MOSFET的工作速率，結果亦可提高MRAM的工作速率。

附帶而言，在上述說明的第六實施形態中，顯示一種將成為磁性穿隧接合的多層膜沉積於體型矽(bulk silicon)基板或SOI基板上的架構，且將稱謂磁性體基板，但是成為磁性穿隧接合的多層膜(薄膜磁性體的多層膜)，係亦可沉積於玻璃基板或樹脂基板上，並且成為基材的基板種類，不限於半導體基板。

從而，在本發明中，某種基板作為基材而將薄膜磁性體的多層膜予以沉積的架構，稱謂薄膜磁性體基板。



五、發明說明 (72)

(G. 第七實施形態)

(本實施形態的特徵)

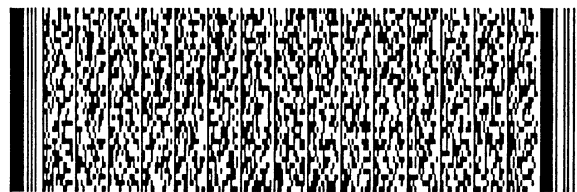
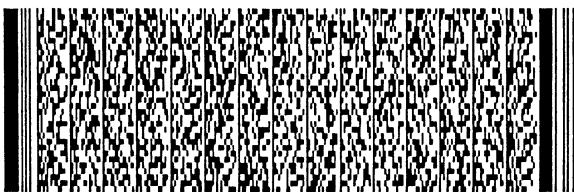
關於本發明的第七實施形態的MRAM，其特徵為：MRAM，係形成於在基板主面上所形成的各種功能性區塊上。

(G-1. 裝置架構)

首先，為了說明本實施形態之不同，於圖51中，顯示先前的一般半導體記憶裝置的架構之方塊圖。

在圖51中，作為記憶單元陣列31的周邊電路，將行位址緩衝器31、行解碼器32、行讀取/寫入控制電路33、列位址緩衝器34、列解碼器35及列讀取/寫入控制電路36，配設於記憶單元陣列31的周圍處。

另外，作為其他功能性區塊，具備有：ESD(Electric Static Discharge)電路44，其為用來與裝置外界進行信號傳收之輸入/輸出緩衝器(I/O緩衝器)，以及上述信號，在過大(overshoot)或過小(undershoot)於標準值時，使其歸於標準值；調制/解調電路(Modulator/Demodulator)43，其為具有對於經調制的信號予以解調，或者對於信號予以調制之功能；DSP(Digital Signal Processing)42，其為具有處理數位信號之功能；第一快取記憶體51及第二快取記憶體52，其等為進行記憶單元陣列31及周邊電路之間的資料傳收之仲介(暫存資料)，或者使周邊電路和記憶單元陣列31之間的資料傳收成為同步；輸入/輸出控制器(I/O控制器)，其為用來控制記憶單元陣列31的資料輸入/輸出；CPU(Micro Processor)41，其為進行資料的運算處



五、發明說明 (73)

理。

先前的半導體裝置，在例如為DRAM、SRAM及EEPROM等中，其記憶單元陣列中含有MOSFET，因此其必須形成於半導體基板的主面上，結果，以致記憶單元陣列係形成於與每一功能性區塊相同半導體基板的主面表面上。

在此，將關於本發明的第七實施形態的MRAM1200的架構，以方塊圖顯示於圖52中。

在圖52中，MRAM單元陣列MCA，係在MRAM單元陣列MCA的周邊電路，亦即為行位址緩衝器CAB、行解碼器CD、行讀取/寫入控制電路CRW、列位址緩衝器RAB、列解碼器RD及列讀取/寫入控制電路RRW等的配設區域上且與其等呈重疊地配設。

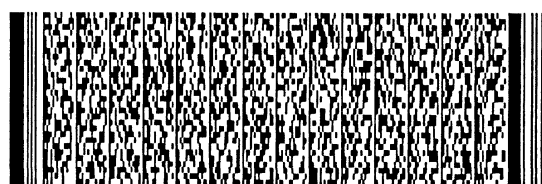
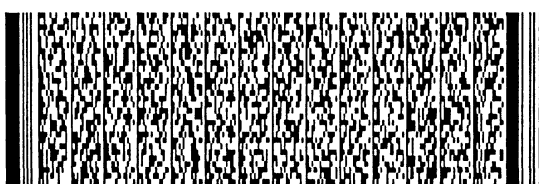
另外，周邊電路的架構，係同於使用例如圖26加以說明的架構，而其他功能性區塊，則係同於先前的半導體裝置，故省略其說明。

(G-2. 作用效果)

MRAM單元陣列MCA，係如利用圖28、圖31及圖33加以說明般，其內部未含有MOSFET，作為半導體元件而含有pn接合二極體，因此其形成區域並不限於基板主面表面上。

從而，MRAM單元陣列MCA以外的架構，亦即含有MRAM單元陣列MCA的周邊電路，各種功能性區塊均形成於基板的主面表面上，而MRAM單元陣列MCA，係藉由其形成於其上層來可縮減裝置面積。

(G-3. 變形例)



五、發明說明 (74)

作為本實施形態的變形例，將MRAM1300以方塊圖顯示於圖53中。

如圖53所示在MRAM1300中，MRAM單元陣列MCA，係在形成有周邊電路及各種功能性區塊的區域上部全體呈重疊地配設。

如此，MRAM單元陣列MCA，及周邊電路和各種功能性區塊等分別予以形成，藉以可提高MRAM單元陣列MCA的配設位置及規模大小的自由性，可縮減裝置面積，並亦可提高裝置佈置的選擇性。

(H. 第八實施形態)

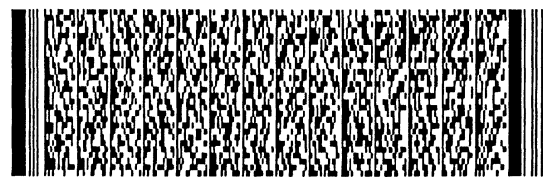
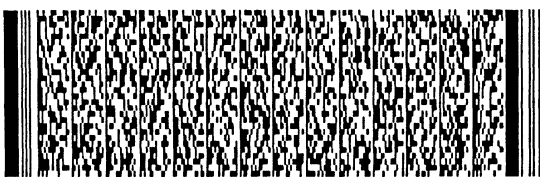
(本實施形態的特徵)

關於本發明的第八實施形態的MRAM，其特徵為：採用MCP(Multi Chip Package)，其為將MRAM單元陣列、MRAM單元陣列的周邊電路及各種功能性區塊，均個別成為不同半導體晶片，且將兩件晶片成為模組化而收容於單一封裝內。

(序論)

MRAM單元陣列的周邊電路及各種功能性區塊製造時其最大形成溫度為高達1000~1200℃左右，相對於此，MRAM單元陣列製造時的最大形成溫度則為400~700℃左右，其決定於居里(Curie)溫度。

當將兩者形成於相同基板上時，為了避免因形成溫度不同所引起的問題，就在形成溫度為400~700℃左右的佈線製程中形成MRAM單元陣列。



五、發明說明 (75)

為此，在MRAM的製造步驟中，步驟形成連續，具有需要製造成本之問題。

相對於此，近年來，單一封裝內收容有多數件半導體晶片的MCP構造被逐漸使用，鑒於該等現況，發明人得知：雖然達成只要有將MRAM單元陣列，及MRAM單元陣列的周邊電路和各種功能性區塊，均個別成為不同半導體晶片，且將兩件晶片成為模組化而收容於單一封裝內之MRAM，即能解決上述問題之結論，但是實際上為了獲得MCP構造的MRAM，就無法以先前的封裝構造來因應MRAM。

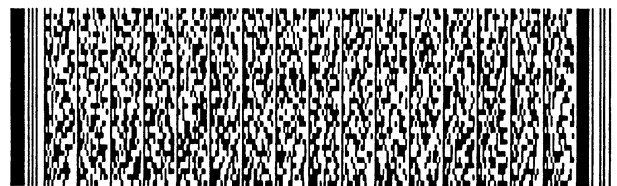
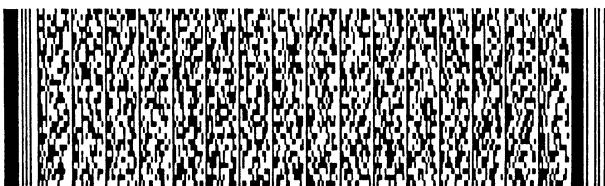
在說明為了實現MCP構造的MRAM上的課題之前提下，針對關於第八實施形態的MRAM2000的架構加以說明如下。

(H-1. 關於先前的MCP構造)

一種含有半導體裝置的半導體晶片之組裝方法，先前採用QFP(Quad Flat Package)，但是其仍有組裝面積較大的問題。於是，僅有其同於晶片面積的組裝面積之CSP(Chip Size Package)，近年來開始被使用。該組裝方法，僅有相當小於QFP組裝面積即可，故用於行動電話中的LSI或PC(Personal Computer)中的DRAM等中。

將先前的CSP架構的某一例，以剖面圖顯示於圖54中。在圖54中，半導體晶片122，係收容於盒狀的封裝體129內，而半導體晶片122下主面，係由鈍化膜123來覆蓋以保護於外界環境。

鈍化膜123，係由氮化矽膜或氧氮化矽膜等絕緣膜所構成，而在鈍化膜123上設計有多數個開口，就係一種能使



五、發明說明 (76)

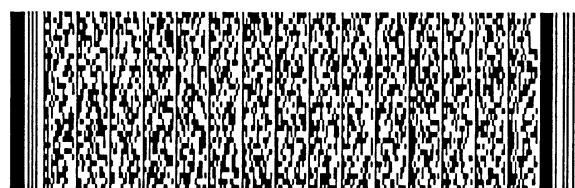
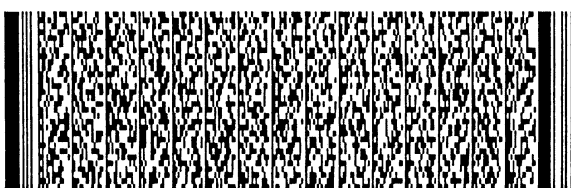
成為半導體晶片122的輸入/輸出端子之晶片電極132，貫穿鈍化膜123之架構。

封裝體129係呈現有底無蓋的盒狀，且將半導體晶片122從其開口插入。在此，封裝體129的開口，係最後由底面基板134來覆蓋。該底面基板134的主體係由聚亞醯胺樹脂等絕緣材料所構成，而在其面臨著外側的主面上，配設有多數遮蔽用鐳錫凸塊125及信號傳送用鐳錫凸塊127。

底面基板134，係具有一種用來使遮蔽用鐳錫凸塊125及信號傳送用鐳錫凸塊127以導電性予以連接至內部的多數條內部佈線130及131。

內部佈線130及131，均係連接至在朝向底面基板134的內側之主面上所配設的載置薄膜124上。如後述說明般，載置薄膜124係具有配設於絕緣膜上的導電佈線(含有墊片)和黏接層133。來自信號傳送用鐳錫凸塊127的電信號，係介由一種連接至內部佈線130及載置薄膜124的墊片上晶片電極132，傳遞至半導體晶片122上。另外，黏著層133，係用來使載置薄膜124和半導體晶片122予以黏著。此外，雖然未圖示在圖54中，但是載置薄膜124係與底面基板134一起被其他黏著層予以黏著。

另外，在底面基板134的內部處，埋入有由導體所構成的遮蔽電極126。遮蔽電極126，係其平面視形狀呈為矩形成環狀，且成為具有一種並未將內部佈線130接觸於遮蔽電極126上而使其穿過的開口之構造。圖54為對於遮蔽電極126的開口以指定位置予以截斷的剖面圖，且該開口以虛



五、發明說明 (77)

線來表示。

遮蔽電極126，係介由遮蔽用鍍錫凸塊125及內部佈線131，固定在電源電位或接地電位，以使得避免內部佈線130受到電雜訊影響。

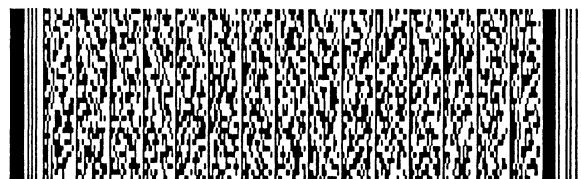
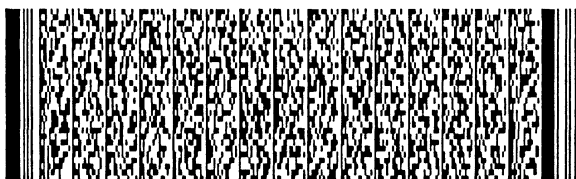
另外，呈圍繞半導體晶片122，在載置薄膜124的上主面上配設有遮蔽電極126b。遮蔽電極126b，係其平面視形狀呈為矩形環狀的平板，且介由位於載置薄膜124上的導電佈線來以導電性地連接至內部佈線131上，以使得固定在電源電位或接地電位。

呈覆蓋遮蔽電極126b地配設有應力緩和膜135。應力緩和膜135，係用來緩和半導體晶片122和底面基板134之間的應力而起作用。

雖然應力緩和膜135的剖面形狀為原來呈矩形，但是被半導體晶片122的端緣處和載置薄膜124之間夾設，以致使其變形而局部厚度會變薄。換言之，應力集中於被半導體晶片122的端緣處和載置薄膜124夾住的部分上，因厚度自然變薄而可緩和應力。

在應力緩和膜135上，例如採用熱塑性彈性體。熱塑性彈性體，係在常溫之下表現橡膠性彈性，則在高溫下硬化，亦是一種可各種成形的高分子材料。

另外，至於半導體晶片122和應力緩和膜135之間的黏著材料而言，使用環氧樹脂等。熱塑性彈性體的體積膨脹係數為約 2.7×10^{-6} ，相對於此，矽的體積膨脹係數則為約 3.1×10^{-6} ，如此體積膨脹係數的相差較小，可緩和熱應力。



五、發明說明 (78)

在半導體封裝體中，為了使端子數量和封裝體的小型化同時成立，就難免有問題為：內部佈線較長且較細、較易於受到雜訊影響。因此，配設有遮蔽電極126和應力緩和膜125。另外，配設應力緩和膜135，以防止半導體晶片122和底面基板134之間的熱應力增大，以致電性連接的可靠性降低。

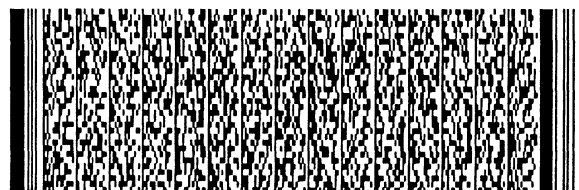
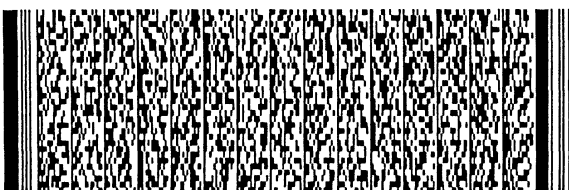
遮蔽電極126的功能為如上述，遮蔽電極126係介由內部佈線131連接至應力緩和膜125上。再來，應力緩和膜125係呈包圍信號傳送用鉅錫凸塊127的周圍而配設，且具有一種內部佈線130避免其介由信號傳送用鉅錫凸塊127受到雜訊影響之功能。附帶而言，雖然省略圖示，但是應力緩和膜125及信號傳送用鉅錫凸塊127，均係連接至一種設計有佈線的主機板上。

另外，先前的MCP構造係僅在QFP中能夠實現。將使用有QFP的MCP構造的剖面架構，顯示於圖55中。在圖55中，在單一封裝體107內呈重疊地配設有三件半導體晶片102a、102b及102c，再以樹脂106予以封裝。

至於其技術方案一例而言，具體是半導體晶片102a、102c為SRAM，而半導體晶片102b為快閃EEPROM。

每一半導體晶片之間以內部佈線109來予以相接，而與外界之間的電性連接，係介由焊接線112來且利用外部導線113來實現。

透過採用該等架構，其相較於單一封裝體內僅能具備一件半導體晶片的架構，對應相同佔有面積可獲得更多的記



五、發明說明 (79)

憶體容量。於是，其就行動電話上使用的需求多。

然而，QFP仍有問題為：對於晶片面積會增大組裝面積，且外部導線容易受到雜訊影響。

如此，不論CSP或QFP均各有短長，更且在MRAM中，會產生避免因受到外界磁場影響所致的軟性強磁性體層的自旋呈反轉之需要，無法直接使用先前的封裝體構造。

(H-2. 裝置架構)

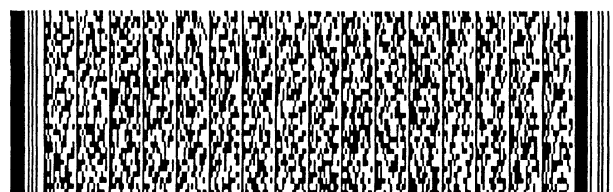
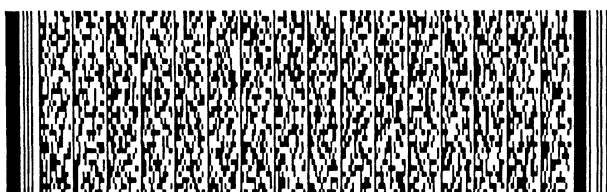
使用圖56～圖65，將關於第八實施形態的MRAM2000的架構加以說明如下。

將MRAM2000的剖面架構，顯示於圖56中，而其由下方側觀之的平面架構，則顯示於圖57中。尚，圖56係顯示圖57中之A-A線的剖面。

如圖56所示，含有MRAM單元陣列的周邊電路及各種功能性區塊之半導體晶片122，係收容於一種由坡莫合金($\text{Ni}_{80}\text{Fe}_{20}$)等具有高透磁率的導體所構成的盒形遮蔽體SHB內。

作為遮蔽體SHB的材料，使用一種具有與例如用於MRAM記憶單元之軟性強磁性體同等透磁率，或作為具有大於透磁率的強磁性體，除了坡莫合金外，亦可使用超合金(superalloy)($\text{Mo}_5\text{Ni}_{79}\text{Fe}_{16}$)。保磁力較大的強磁性體成為永久磁鐵，且可能會對周邊的電機器上產生惡性影響，因此較佳為採用保磁力較小的強磁性體。坡莫合金及超合金、 $\text{Mn}_{50}\text{Zn}_{50}$ 等的鐵氧體等是均滿足該等條件的材料。

在遮蔽體SHB的內壁面上，配設有一種有熱塑性彈性體



五、發明說明 (80)

所構成的應力緩和膜235。應力緩和膜235係用來緩和半導體晶片122和遮蔽體SHB的應力而起作用。

遮蔽體SHB，係具有成為其主體的筒狀外框部237、覆蓋外框部237的一方端的上板238、覆蓋外框部237的另一方端的下板236而所構成，而應力緩和膜235係配設於上板238及外框部237的內面處。

另外，在下板236上設計有開口，且成為連接至半導體晶片122上的內部佈線130貫穿該開口之架構。

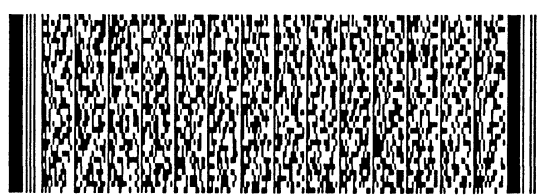
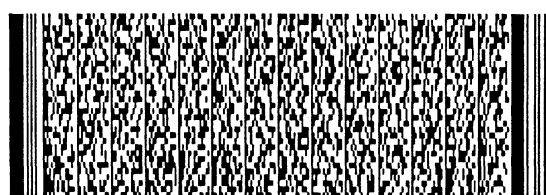
封裝體129係呈現有底無蓋的盒狀，且成為將具有半導體晶片122的遮蔽體SHB從其開口插入之架構。

封裝體129係具有又收容遮蔽體SHB既仍剩有空間之尺寸，而在遮蔽體SHB和封裝體129的內壁之間，配設有一種由環氧樹脂等樹脂所構成的樹脂材128。

封裝體129的開口係最後由底面基板134來覆蓋。該底面基板134的主體係由聚亞醯胺樹脂等絕緣材料所構成，而在其面臨著外側的主面上，配設有多數遮蔽用鉚錫凸塊125及信號傳送用鉚錫凸塊127。此外，底面基板134係利用塗抹於載置薄膜124或下板236上的黏著劑來固定。

底面基板134，係具有一種用來使遮蔽用鉚錫凸塊125及信號傳送用鉚錫凸塊127以導電性予以連接至內部的多數條內部佈線130及131。

內部佈線130及131，均係連接至在朝向底面基板134的內側之主面上所配設的載置薄膜124上，而內部佈線131係介由配設於載置薄膜124上的墊片及導電佈線來以導電性



五、發明說明 (81)

地連接至遮蔽體SHB的下板236。

另外，內部佈線131，係以導電性地連接至一種由埋入於底面基板134內的導體所構成的遮蔽電極126上。附帶而言，遮蔽電極126的某一部，並不一定存在於內部佈線130及內部佈線131的同一剖面內，故在圖56中以虛線來顯示之。

另外，遮蔽電極126，係被固定在電源電位或接地電位，防止內部佈線130受到外界電雜訊影響而起作用。

成為半導體晶片122的輸入/輸出端的晶片電極132，係直接連接至在載置薄膜124上所配設的墊片(薄片電極)上，介由佈置於載置薄膜124上的薄片電極及導電佈線，以導電性地連接至內部佈線130上。附帶而言，內部佈線130係連接至信號傳送用錐錫凸塊127上。

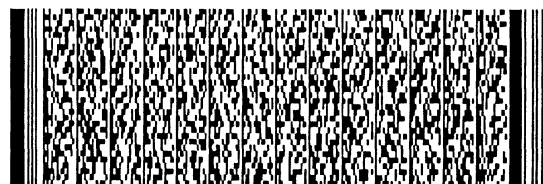
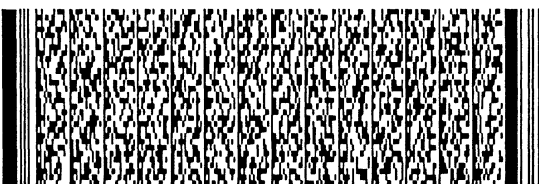
信號傳送用錐錫凸塊127，係一種用來進行外界和內部之間的電信號的接收之端子，應力緩和膜125則係一種用來使遮蔽體SHB的電位固定在接地電位之端子。

另外，如圖57所示，應力緩和膜125係呈圍繞信號傳送用錐錫凸塊127而配設。

附帶而言，信號傳送用錐錫凸塊127及應力緩和膜125，均係具有能使底面基板134所承受的應力分散於安裝基板(主機板)之功能，而透過設計應力緩和膜125，以降低每一錐錫凸塊所承受的應力。

(H-3. 組裝方法)

其次，利用圖58~圖62，針對MRAM2000的組裝方法概要



五、發明說明 (82)

加以說明如下。附帶而言，圖58~圖62均為以模式方式顯示MRAM2000的組裝方法，並非準確地表示圖56所示的架構。

在圖58中，在底面基板134上部處黏著有載置薄膜124，而在載置薄膜124上則黏著有應力緩和膜223。

應力緩和膜223係呈為矩形環狀，且呈圍繞著在載置薄膜124上所設計的薄片電極219佈置區域而配設。另外，在應力緩和膜223上，形成有矩形環狀的凹槽224，而在凹槽224內配設有遮蔽體SHB的下板236(圖56)。此外，在凹槽224內配設有下板236的架構顯示於圖64(a)、圖64(b)中。

另外，雖然省略圖示，但是在後續製程中，沿著凹槽224配設有遮蔽體SHB的外框部237，且連接至下板236上。

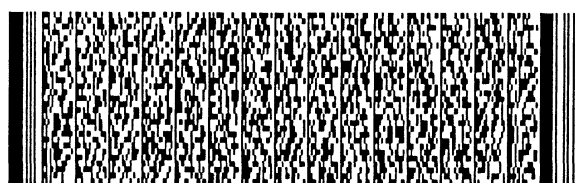
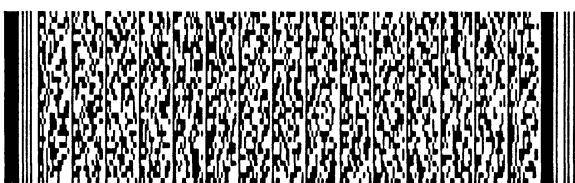
附帶而言，因為應力緩和膜223呈為矩形環狀，就在圖58所示的X方向及Y方向上均可緩和應力。

在絕緣體的載置薄膜124上所配設的薄片電極219，係介由內部佈線130連接至信號傳送用鉚錫凸塊127上。

另外，對於載置薄膜124上的薄片電極219及內部佈線130適當地予以定義圖案，以使得每一凸塊和每一晶片電極之間的連接狀態任意設定。

在載置薄膜124上，除了薄片電極219外，更選擇性地形成有黏著層133。黏著層133，係用來使半導體晶片122和載置薄膜124予以黏著。

其次，在圖59所示的製程中，半導體晶片122的每一晶片電極，係呈接觸於載置薄膜124的每一薄片電極上而裝



五、發明說明 (83)

載有半導體晶片122，並且利用黏著層133固定半導體晶片122。

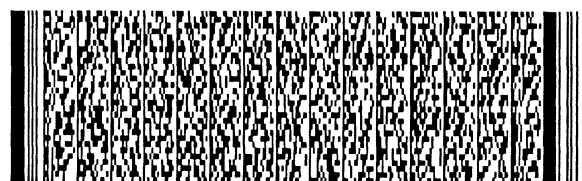
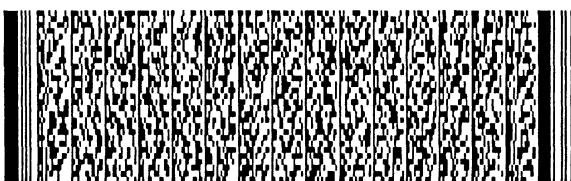
圖60，係顯示將圖59所示狀態的底面基板134予以反倒之狀態，而在底面基板134上配設有半球狀的鐳錫凸塊形成孔211。內部佈線130及內部佈線131(參見圖56)係達到鐳錫凸塊形成孔211的內壁面上，而在後續製程中於鐳錫凸塊形成孔211內有以鐳錫凸塊來填充，就可使鐳錫凸塊和內部佈線130及內部佈線131等以導電性地連接。此外，亦可使用導電性聚合物，取代鐳錫凸塊。

圖61為顯示在鐳錫凸塊形成孔211上配設有信號傳送用鐳錫凸塊127及應力緩和膜125的狀態。

接著，利用一種內部具有應力緩和膜235(圖56的)的遮蔽體SHB，覆蓋半導體晶片122之後，將其插入至有底無蓋的封裝體129內，再將樹脂等密封劑填入於間隙處，藉以獲得一種其背面具有信號傳送用鐳錫凸塊127及應力緩和膜125之架構，如圖62所示。

在此，使用圖63、圖64(a)及圖64(b)，針對用來構成遮蔽體SHB的下板236，及應力緩和膜223的平面視形狀加以說明。附帶而言，圖63為顯示圖56中的截自B-B線的概要剖面結構，而圖64(a)及圖64(b)皆為顯示圖63中的截自C-C線及D-D線的剖面結構。

如圖63所示，下板236係由一種其中央處具有矩形開口OP的矩形平板所構成，在底面基板134側，配設有用來以導電性地連接至應力緩和膜125上的矩形環狀的遮蔽電極



五、發明說明 (84)

126(圖56)。附帶而言，遮蔽電極126的外側尺寸為大致同於下板236的外側尺寸。

另外，應力緩和膜223係配設於遮蔽體SHB的開口端緣內側及外側，而應力緩和膜235(圖56)配設於遮蔽體SHB的內側整體上，因此可降低半導體晶片231及半導體晶片232所承受的來自外界的應力。

(H-4. 作用效果)

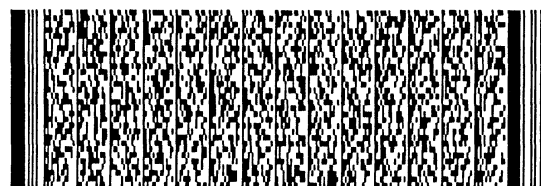
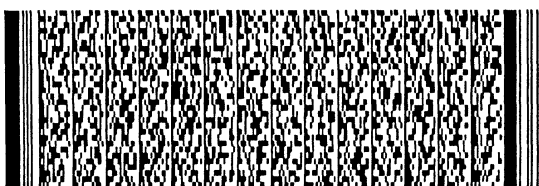
根據如上述說明的關於第八實施形態的MRAM2000，利用一種用來遮蔽外界磁場的遮蔽體SHB來圍繞含有MRAM單元陣列的半導體晶片122，以防止因受到外界磁場而使MRAM單元的自旋呈反轉而改變磁化方向，換言之，可防止資料不被重寫。

此外，應力緩和膜223係配設於遮蔽體SHB的開口端緣內側及外側，且在遮蔽體SHB的內側配設有應力緩和膜235，因此可降低：MRAM2000安裝時的安裝基板(主機板)的彎曲、溫度循環所引起且來自外界的應力施加於半導體晶片122上。

(H-5. 第一變形例)

在上述所說明的MRAM2000中，雖然其組裝的半導體晶片僅有一件而顯示，但是如圖65所示的MRAM2100般，亦可為在一種含有MRAM單元陣列的周邊電路及各種功能性區塊的半導體晶片122a(電路晶片)上，載置有含有MRAM單元陣列的半導體晶片122b(磁性儲存晶片)之架構。

半導體晶片122a係其兩主面上具備有晶片電極，而半導



五、發明說明 (85)

體晶片122a和半導體晶片122b，均係利用一種在兩者間所配設的載置薄膜124b上的薄片電極及電佈線來予以連接。另外，半導體晶片122a和半導體晶片122b均係利用黏著層133予以黏著固定。

附帶而言，半導體晶片122a和信號傳送用鉅錫凸塊127之間的電性連接，係同於如65所示的半導體晶片122和信號傳送用鉅錫凸塊127之間的連接狀態，並且其中除了載置薄膜124為載置薄膜124a外，基本上與MRAM2000相同，故省略其說明。

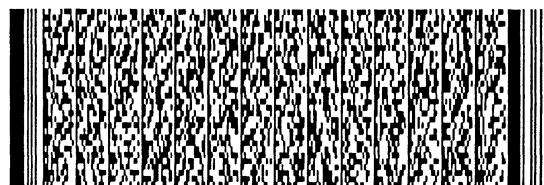
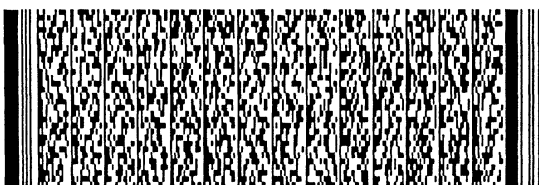
另外，半導體晶片122a和半導體晶片122b，均亦可其等上下關係反倒配設。在這種情況下，只要在半導體晶片122b的雙面上配設晶片電極即可。

另外，半導體晶片122a和半導體晶片122b的組合狀態，只要在至少一方晶片上配設有MRAM單元陣列，就可使周知的半導體晶片任意組合。

在圖65所示的MRAM2100中，將含有MRAM單元陣列的周邊電路及各種功能性區塊之半導體晶片122a，以及MRAM單元陣列的半導體晶片122b，均個別製造，且使其等組合，故不須考慮形成溫度的相異，使得能達成個別的形成溫度的最佳化。而且，半導體晶片122a及半導體晶片122b使其等分別製造，故能使製程平行進行，使得縮短製造時間。

(H-6. 第二變形例)

在圖56所示的MRAM2000中，在遮蔽體SHB的材料中使用強磁性體，但是，就使用一種含有20~30atom. %的Ir(銱)



五、發明說明 (86)

之IrMn等反強磁性體，取代之，亦可達成相同效果。

另外，如圖66所示的MRAM2200般，遮蔽體SHB，係亦可由強磁性體136a和反強磁性體136b的多層膜來構成。在這種情況下，底面基板134中的遮蔽電極126如同成為強磁性體126a和反強磁性體126b的多層膜。此外，多層膜的上下關係，不限於上述形態。

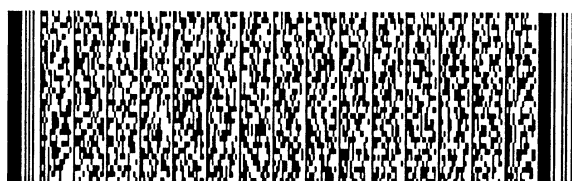
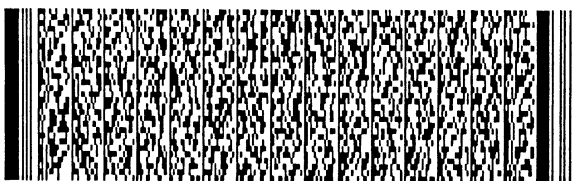
〔發明之效果〕

根據關於本發明的磁性記憶裝置，至少一項磁性穿隧接合，係對於軟性強磁性體層較容易予以磁性化的方向之易磁化軸，為對於多數條位元線和多數條字線的延伸方向具有40~50度的角度而配設，因此即使使用較少的寫入電流，亦可準確地反轉磁化的方向，使得降低執行寫入工作時的功率消耗。

根據關於本發明的磁性記憶裝置，在磁性穿隧接合的平面視形狀中，與易磁化軸呈平行的某一邊，為長於與易磁化軸呈直交的某一邊，且呈矩形地構成，因此因形狀所引起的非等向性，而可使易磁化軸易於固定，使得防止易磁化軸的變化。

根據關於本發明的磁性記憶裝置，利用第一及第二切換裝置來，可將位元線的第一及第二端部切換成連接至第一或第二電源上，因此可在位元線上流通雙方向電流，且使磁性穿隧接合的磁化方向變化，使得實現資料的寫入或清除。

根據關於本發明的磁性記憶裝置，第一及第二切換裝置



五、發明說明 (87)

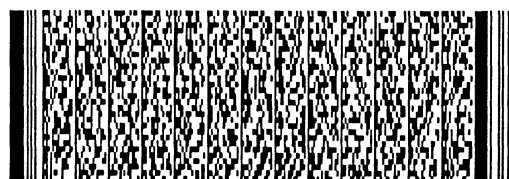
均由相同導電性的第一乃至第四的MOS電晶體來構成，因此易於其製造。

根據關於本發明的磁性記憶裝置，第一切換裝置係由不同導電性的第一及第二的MOS電晶體來構成，而第二切換裝置則係由不同導電性的第三及第四的MOS電晶體來構成，因此不須在第一及第二MOS電晶體的某一方，以及第三及第四MOS電晶體的某一方的控制電極上，處於ON狀態時施加高於電源電壓的電壓，使得減少閘極絕緣膜上所產生的負載。

根據關於本發明的磁性記憶裝置，在第一及第二MOS電晶體的第一主電極間，以及第三及第四MOS電晶體的第一主電極間，分別具有一種常態為ON狀態的第五、第六MOS電晶體，因此可降低第一及第二MOS電晶體的第一主電極間，以及第三及第四MOS電晶體的第一主電極間所產生的強制電壓，且可降低強制電壓所引起的漏電流，使得降低功率消耗。

根據關於本發明的磁性記憶裝置，在具有數件記憶單元陣列的磁性記憶裝置中，使用跨設在多數件記憶單元陣列上的多數條主字線，及僅跨設在單一記憶單元陣列上的字線，藉以可減少直接連接至同一佈線上的記憶單元數量，因此可降低負荷容量。結果，可縮短負荷容量所引起的延遲時間，使得實現高速存取。

根據關於本發明的磁性記憶裝置，在具有由多數件記憶單元陣列所成的多數件記憶單元陣列群之磁性記憶裝置



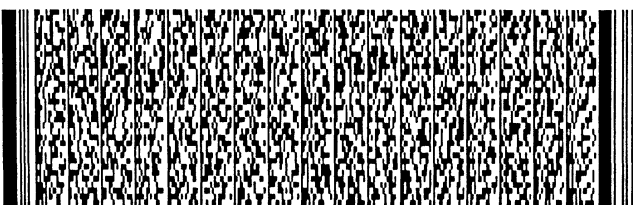
五、發明說明 (88)

中，使用僅跨設在單一記憶單元陣列上的字線、跨設在多數件記憶單元陣列上的多數條主字線、跨設在多數件記憶單元陣列群上的通用字線，藉以可減少直接連接至同一佈線上的記憶單元數量，因此可降低負荷容量。結果，可縮短負荷容量所引起的延遲時間，使得實現高速存取。

根據關於本發明的磁性記憶裝置，在具有多數件記憶單元陣列的磁性記憶裝置中，使用跨設在多數件記憶單元陣列上的多數條主位元線，及僅跨設在單一記憶單元陣列上的位元線，藉以可減少直接連接至同一佈線上的記憶單元數量，因此可降低負荷容量。結果，可縮短負荷容量所引起的延遲時間，使得實現高速存取。

根據關於本發明的磁性記憶裝置，在具有由多數件記憶單元陣列所成的多數件記憶單元陣列群之磁性記憶裝置中，使用僅跨設在單一記憶單元陣列上的位元線、跨設在多數件記憶單元陣列上的多數條主位元線、跨設在多數件記憶單元陣列群上的通用位元線，藉以可減少直接連接至同一佈線上的記憶單元數量，因此可降低負荷容量。結果，可縮短負荷容量所引起的延遲時間，使得實現高速存取。

根據關於本發明的磁性記憶裝置，具有一種可沿著對於上述軟性強磁性體層較容易予以磁性化的方向之易磁化軸方向發生磁場之電感器，藉以可對於具有至少一項磁性穿隧接合的多數件記憶單元的資料，執行整批清除或整批寫入，因此使得短時間的處理。



五、發明說明 (89)

根據關於本發明的磁性記憶裝置，利用線圈狀的電感器來更有效地產生磁場，因此在對於多數件記憶單元的資料，執行整批清除或整批寫入時，較少功率消耗即可完成。

根據關於本發明的磁性記憶裝置，在至少一件記憶單元的多數條位元線及多數條字線外側，具有快閃位元線及快閃字線，且對於該等流通預定電流，藉以可對於具有至少一項磁性穿隧接合的多數件記憶單元的資料，執行資料的整批清除或整批寫入，因此使得短時間的處理。

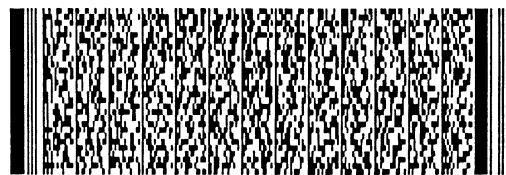
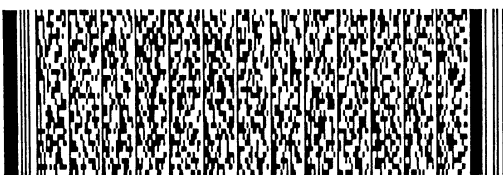
根據關於本發明的磁性記憶裝置，在將多數件記憶單元陣列呈陣列狀地配設值磁性記憶裝置中，快閃位元線及快閃字線，亦呈可沿著多數件記憶單元陣列的排列，構成陣列基體而配設，藉以可對於多數件記憶單元陣列的資料，執行整批清除或整批寫入，因此使得短時間的處理。

根據關於本發明的磁性記憶裝置，具有至少一件電感器，及至少一件電容器，其為使流通在被選取的位元線及字線的至少一方上之電流，利用LC共振來予以儲存，因此可重複利用寫入電流，使得降低執行寫入工作時的功率消耗。

根據關於本發明的磁性記憶裝置，可獲得一種可供重複利用位元線上的寫入電流的具體架構。

根據關於本發明的磁性記憶裝置，可獲得一種可供重複利用字線上的寫入電流的具體架構。

根據關於本發明的磁性記憶裝置，在由導體所構成的遮



五、發明說明 (90)

蔽體內收容至少一件半導體晶片，藉以在至少含有一項磁性穿隧接合的多數件記憶單元中，可防止因此磁性穿隧接合的磁化方向受到外界磁場而反轉，以致資料被重寫。

根據關於本發明的磁性記憶裝置，至少一件半導體晶片係可由第一及第二應力緩和膜來保持，因此可降低施加於多數件半導體晶片上的應力。

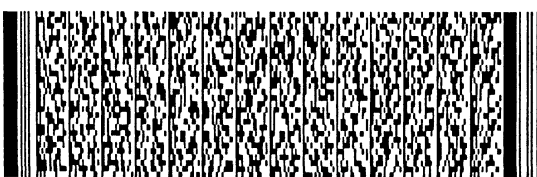
根據關於本發明的磁性記憶裝置，分成磁性儲存晶片和一種含有記憶單元陣列的周邊電路之電路晶片，藉以使兩者個別製造，不須考慮形成溫度的相異，使得能達成個別的形成溫度的最佳化。而且，能使製程平行進行，使得縮短製造時間。

根據關於本發明的磁性記憶裝置，遮蔽體，係由反強磁性體來構成，因此可更有效地遮蔽外界磁場。

根據關於本發明的磁性記憶裝置，遮蔽體，係由強磁性體和反強磁性體的多層膜來構成，因此可更有效地遮蔽外界磁場。

根據關於本發明的磁性記憶裝置，至少具有一種配設於主面全區上，且形成至少一項磁性穿隧接合之多層膜，因此當製造一種具有至少一項磁性穿隧接合的記憶單元之磁性記憶裝置時，其相較於準備簡單的基板，且在其主面上形成多層膜的技術，可省略製程且削減製造成本。

根據關於本發明的磁性記憶裝置，可獲得一種適於具有記憶單元的磁性記憶裝置之磁性體基板，其記憶單元更具有單磁性穿隧結合。



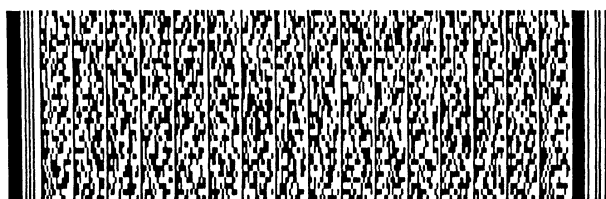
五、發明說明 (91)

根據關於本發明的磁性記憶裝置，可獲得一種適於具有記憶單元的磁性記憶裝置之半導體基板，其記憶單元為在單磁性穿隧結合下部處更具有pn接合二極體。

根據關於本發明的磁性記憶裝置，在可供降低MOSFET的寄生電容之SOI基板上形成有至少一項磁性穿隧接合，因此可提高MOSFET的工作速率，結果使得提高磁性記憶裝置的工作速率。

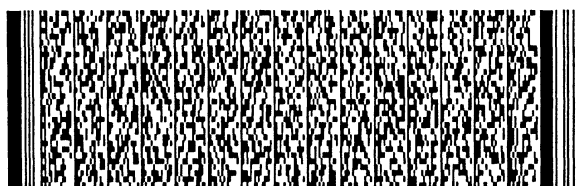
〔元件編號之說明〕

1 ~ 3、160、169、189	字線
4 ~ 6、69、89、164	位元線
7	pn接合二極體
8	MTJ
9	MRAM單元
10	n ⁺ 矽層
11	p ⁺ 矽層
12	鎢栓塞
13	氧化矽膜
15	型板層
16	初始強磁性體
18	反磁性體
20、126a	強磁性體
22	穿隧阻障層、軟性強磁性體層
24	軟性強磁性體層
25	接觸層



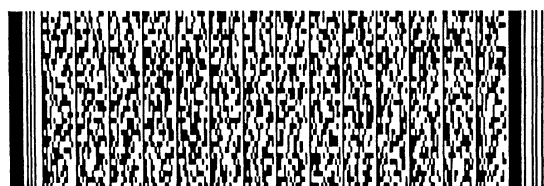
五、發明說明 (92)

26	氧化矽膜	
30	偵測電流	
31	記憶單元陣列、位元線控制電路	
32	字線控制電路	
33	行讀取/寫入控制電路	
36	列讀取/寫入控制電路	
41	CPU	
42	DSP	
43	調制解調電路	
44	ESD 電路	
51	第一快取記憶體、位元線控制電路	
52	第二快取記憶體	
53	I/O 控制器、字線控制電路	
61、62、81、82、162、181	AND 閘	
64、83	副字線	
66、85、166、185、851	MRAM 單元陣列	
67、84	主字線	
70、170	記憶單元陣列選取線	
80	主通用解碼器	
87	通用字線	
88、188	位址信號線群	
102a、102b、102c	半導體晶片	
106	樹脂	
107、129	封裝體	



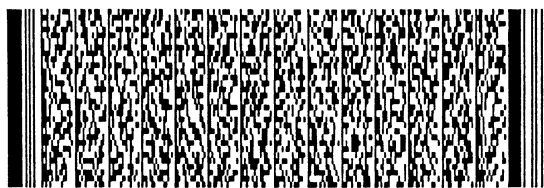
五、發明說明 (93)

109、130、131	內部佈線
112	焊接線
113	外部導線
122、231、232	半導體晶片
123	鈍化膜
124、124b	載置薄膜
125	應力緩和膜、遮蔽用鉚錫凸塊
126、126b	遮蔽電極
127	信號傳送用鉚錫凸塊
128	樹脂材
132	晶片電極
133	黏著層
134	底面基板
135	應力緩和膜
136a	強磁性體
161	NAND 閘
164、183	(副)位元線
167、184	主位元線
187	通用位元線
211	鉚錫凸塊形成孔
219	薄片電極
223、235	應力緩和膜
224	凹槽
236	下板



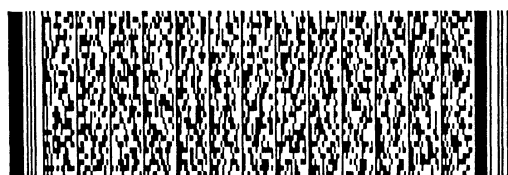
五、發明說明 (94)

237	外框部	
238	上板	
861、1861	記憶單元陣列群	
901、1901	記憶單元陣列群選取線	
911、1911	記憶單元陣列選取線	
BL	位元線	
W1	字線	
WL1a、b	選取字線	
BL1b	選取位元線	
MA	MRAM單元陣列	
Hk	結合磁場	
CAB	行位址緩衝器	
MCA	MRAM單元陣列	
CD、32	行解碼器	
MUX	多工器	
CRW1	行讀取/寫入第一控制電路	
RAB、34	列位址緩衝器	
RD、35	列解碼器	
RRW1	列讀取/寫入第一控制電路	
IOB	輸入/輸出緩衝器	
CRW2	行讀取/寫入第二控制電路	
R	可變電阻器	
D	二極體	
MN、QN、PN、QM		NMOS電晶體



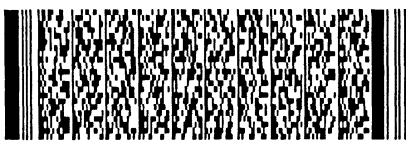
五、發明說明 (95)

TA	端子
PN	pn 接合二極體
GBL	通用快閃位元線
GWL	通用快閃字線
CP	電容器
SB	矽基板
IL	絕緣膜
ML	導體層
SF1	n 型矽層
SF2	p 型矽層
STD	鎢層
TPL	型板層
IFL	初始強磁性體
AFL	反磁性體
FFL	強磁性體
TBL	穿隧阻障層
FML	軟性強磁性體層
CL	接觸層
BX	埋入氧化膜
SI	SOI 基板
OP	開口
MC	MRAM 單元
ID	電感器
FBL	快閃位元線



五、發明說明 (96)

FWL	快閃字線
SHB	遮蔽體
FM	強磁性體層
TB	絕緣層
AF	反強磁性體層
BD	基板
MC2、MC3	MRAM單元



圖式簡單說明

圖1為顯示MRAM單元的架構之斜視圖。

圖2為顯示常用的MRAM單元陣列的架構之圖式。

圖3為用來說明常用的MRAM單元陣列的工作之圖式。

圖4為顯示使自旋呈反轉所需的磁場關係之圖式。

圖5為顯示關於本發明的第一實施形態的MRAM單元陣列架構之圖式。

圖6為顯示關於本發明的第一實施形態的MRAM單元陣列的工作狀態之圖式。

圖7為顯示關於本發明的第一實施形態的MRAM單元陣列架構之圖式。

圖8為顯示關於本發明的第一實施形態的MRAM單元陣列的工作狀態之圖式。

圖9為用來說明常用的MRAM單元的工作狀態之圖式。

圖10為用來說明常用的MRAM單元的工作狀態之圖式。

圖11為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

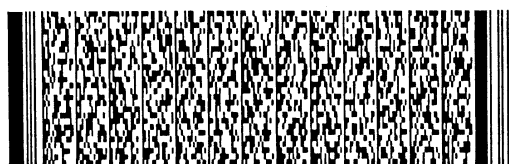
圖12為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖13為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖14為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖15為顯示使自旋呈反轉所需的磁場關係之圖式。

圖16為用來說明常用的MRAM單元的工作狀態之圖式。



圖式簡單說明

圖17為用來說明常用的MRAM單元的工作狀態之圖式。

圖18為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖19為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖20為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖21為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖22為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖23為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖24為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

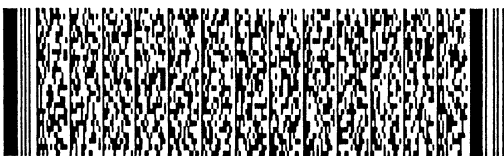
圖25為用來說明關於本發明的第一實施形態的MRAM單元的工作狀態之圖式。

圖26為顯示關於本發明的第二實施形態的MRAM架構之方塊圖。

圖27為顯示關於本發明的第二實施形態的MRAM架構之電路圖。

圖28為顯示關於本發明的第二實施形態的MRAM架構之時序圖。

圖29為顯示磁性穿隧電阻的變化率之施加電壓依靠性之



圖式簡單說明

圖式。

圖30為顯示雙重磁性穿隧接合的架構之圖式。

圖31為顯示關於本發明的第二實施形態的MRAM架構之電路圖。

圖32為顯示關於本發明的第二實施形態的MRAM架構之時序圖。

圖33為顯示關於本發明的第二實施形態的MRAM架構之電路圖。

圖34為顯示對於關於本發明第三實施形態的MRAM字線予以分割的架構之方塊圖。

圖35為顯示對於關於本發明第三實施形態的MRAM字線予以階層化的架構之方塊圖。

圖36為顯示對於關於本發明第三實施形態的MRAM字線予以階層化的架構之示意圖。

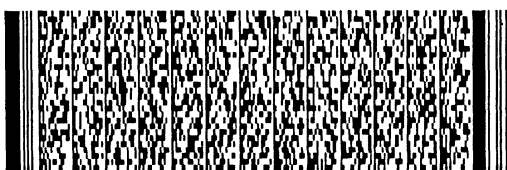
圖37為顯示對於關於本發明第三實施形態的MRAM位元線予以分割的架構之方塊圖。

圖38為顯示對於關於本發明第三實施形態的MRAM位元線予以階層化的架構之方塊圖。

圖39為顯示關於本發明的第四實施形態的MRAM架構之斜視圖。

圖40為用來說明關於本發明的第四實施形態的MRAM的工作狀態之剖面圖。

圖41為用來說明關於本發明的第四實施形態的MRAM的工作狀態之剖面圖。



圖式簡單說明

圖42為用來說明關於本發明的第四實施形態的MRAM的工作狀態之剖面圖。

圖43為顯示關於本發明的第四實施形態的MRAM的變形例架構之平面圖。

圖44為顯示關於本發明的第四實施形態的MRAM的變形例架構之剖面圖。

圖45為顯示關於本發明的第四實施形態的MRAM的變形例架構之剖面圖。

圖46為顯示關於本發明的第四實施形態的MRAM的變形例架構之平面圖。

圖47為顯示關於本發明的第五實施形態的MRAM架構之平面圖。

圖48為顯示關於本發明的第五實施形態的MRAM架構之平面圖。

圖49為顯示關於本發明的第六實施形態的半導體基板的架構之剖面圖。

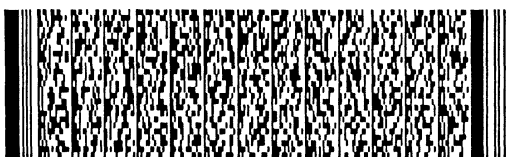
圖50為顯示關於本發明的第六實施形態的半導體基板的架構之剖面圖。

圖51為顯示常用的MRAM架構之方塊圖。

圖52為顯示關於本發明的第七實施形態的MRAM架構之方塊圖。

圖53為顯示關於本發明的第七實施形態的MRAM架構之方塊圖。

圖54為顯示予以常用性封裝的MRAM架構之剖面圖。



圖式簡單說明

圖55為顯示予以常用性封裝的MRAM架構之剖面圖。

圖56為顯示關於本發明的第八實施形態的MRAM架構之剖面圖。

圖57為顯示關於本發明的第八實施形態的MRAM架構之平面圖。

圖58為顯示關於本發明的第八實施形態的MRAM的製程之斜視圖。

圖59為顯示關於本發明的第八實施形態的MRAM的製程之斜視圖。

圖60為顯示關於本發明的第八實施形態的MRAM的製程之斜視圖。

圖61為顯示關於本發明的第八實施形態的MRAM的製程之斜視圖。

圖62為顯示關於本發明的第八實施形態的MRAM的製程之斜視圖。

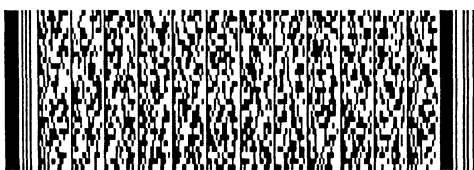
圖63為用來說明關於本發明的第八實施形態的MRAM的局部架構之平面圖。

圖64A、B為用來說明關於本發明的第八實施形態的MRAM的局部架構之剖面圖。

圖65為顯示關於本發明的第八實施形態的MRAM架構之剖面圖。

圖66為顯示關於本發明的第八實施形態的MRAM架構之剖面圖。

圖67為顯示磁性穿隧接合的概念之圖式。



圖式簡單說明

圖68為以模式方式顯示過度性金屬的狀態密度之圖式。

圖69為用來說明穿隧磁電阻效應之模式圖。

圖70為用來說明穿隧磁電阻效應之模式圖。

圖71為顯示磁性穿隧接合的架構例之圖式。

圖72為顯示磁性穿隧接合的架構例之圖式。

圖73為顯示自旋閥型強磁性穿隧接合元件的實質例之圖式。

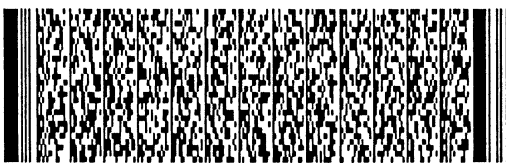
圖74為顯示自旋閥型強磁性穿隧接合元件的實質特性之圖式。

圖75為顯示先前MRAM單元陣列的架構之斜視圖。

圖76為顯示先前MRAM單元陣列的架構之斜視圖。

圖77為先前MRAM單元陣列的架構之等效電路圖。

圖78為用來說明先前MRAM單元陣列的工作狀態之圖式。



四、中文發明摘要 (發明之名稱：磁性記憶裝置)

提供一種MRAM，其在降低當執行寫入工作時的功率消耗之同時，亦可縮短執行清除及寫入所需時間。

呈相互平行所配設的多數條位元線BL1，均在呈相互平行所配設的多數條字線WL1上部處呈交叉而配設。並且，在由字線及位元線所夾設的每一交叉點上形成有MRAM單元MC2。更且，以箭頭所示的易磁化軸，係對於位元線及字線傾斜呈45度而配設有每一MRAM單元MC3。

英文發明摘要 (發明之名稱：MAGNETIC MEMORY DEVICE)

A plurality of word lines (WL1) are provided in parallel to one another and a plurality of bit lines (BL1) are provided in parallel to one another, intersecting the word lines (WL1) thereabove. MRAM cells (MC2) are formed at intersections of the word lines and the bit lines therebetween. MRAM cells (MC3) are provided so that an easy axis indicated by the arrow has an angle of 45 degrees with respect to the bit lines and the word lines. Thus, an MRAM capable of



四、中文發明摘要 (發明之名稱：磁性記憶裝置)

英文發明摘要 (發明之名稱：MAGNETIC MEMORY DEVICE)

cutting the power consumption in writing is achieved and further an MRAM capable of reducing the time required for erasing and writing operations is achieved.



六、申請專利範圍

1. 一種磁性記憶裝置，其係具有：

多數條位元線及多數條字線，為呈非接觸地交叉，且其等用來構成陣列基體；多數件記憶單元，為分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合，

其特徵為，具有：

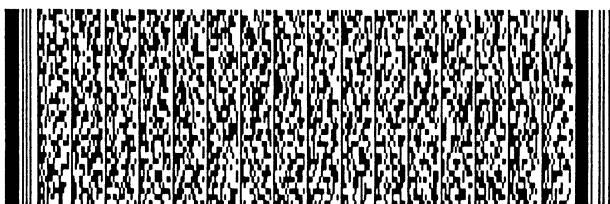
多數件的第一切換裝置，為分別連接至上述多數條位元線的第一端部處，可對於上述第一端部處和第一電源或第二電源之間的電性連接予以切換；

多數件的第二切換裝置，為分別連接至上述多數條位元線的第二端部處，可對於上述第二端部處和上述第一電源或上述第二電源之間的電性連接予以切換。

2. 如申請專利範圍第1項之磁性記憶裝置，其中，上述第一切換裝置，係具有相同導電性的第一及第二MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第一端部處，且每一第二主電極連接至上述第一電源及上述第二電源上，

上述第二切換裝置，係具有相同導電性的第三及第四MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第二端部處，且每一第二主電極連接至上述第一電源及上述第二電源上。

3. 如申請專利範圍第1項之磁性記憶裝置，其中，上述第一切換裝置，係具有不同導電性的第一及第二MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第



六、申請專利範圍

一端部處，且每一第二主電極連接至上述第一電源及上述第二電源上，

上述第二切換裝置，係具有不同導電性的第三及第四MOS電晶體，其等為每一第一主電極連接至上述多數條位元線的第二端部處，且每一第二主電極連接至上述第一電源及上述第二電源上。

4. 如申請專利範圍第3項之磁性記憶裝置，其中，更具有第五MOS電晶體，其為連接至上述第一及第二MOS電晶體的每一上述第一主電極上，且具備與上述第二MOS電晶體相同導電性；

第六MOS電晶體，其為連接至上述第三及第四MOS電晶體的每一上述第一主電極上，且具備與上述第四MOS電晶體相同導電性，

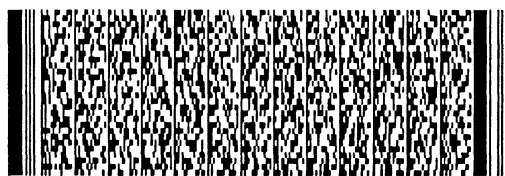
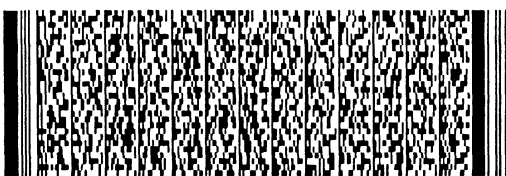
上述第五及第六MOS電晶體的控制電極，係連接至用來賦予使常態為ON狀態的預定電壓之第三電源上。

5. 一種磁性記憶裝置，其特徵為：

具有至少一塊記憶單元陣列群，其為具備：多數件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及，分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；

多數條主字線，為跨設於上述多數件記憶單元陣列；

多數條記憶單元陣列選取線，為對應於上述多數件記憶單元陣列的每一件而配設，



六、申請專利範圍

上述多數條字線，係分別連接至分別於上述多數條主字線和上述多數條記憶單元陣列選取線之交叉處所配設的第一組合邏輯閘輸出處，

上述第一組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條主字線中的某一條和上述多數條記憶單元陣列選取線中的某一條上。

6. 如申請專利範圍第5項之磁性記憶裝置，其中，具有多數個上述至少一塊記憶單元陣列群，且更具有：多數條通用字線，為跨設於上述多數塊記憶單元陣列群；多數條記憶單元陣列群選取線，為對應於上述多數塊記憶單元陣列群的每一塊而配設，

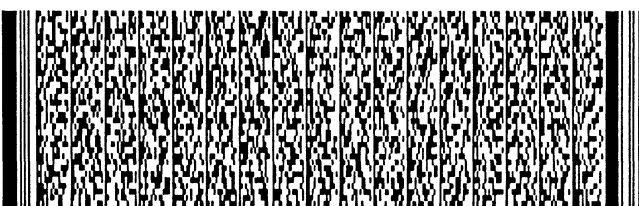
上述多數條主字線，係分別連接至分別於上述多數條通用字線和上述多數條記憶單元陣列群選取線之交叉處所配設的第二組合邏輯閘輸出處，

上述第二組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條通用字線中的某一條和上述多數條記憶單元陣列群選取線中的某一條上。

7. 一種磁性記憶裝置，其特徵為：

具有至少一塊記憶單元陣列群，其為具備：多數件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及，分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；

多數條主位元線，為跨設於上述多數件記憶單元陣列；



六、申請專利範圍

多數條記憶單元陣列選取線，為對應於上述多數件記憶單元陣列的每一件而配設，

上述多數條位元線，係分別連接至分別於上述多數條主位元線和上述多數條記憶單元陣列選取線之交叉處所配設的第一組合邏輯閘輸出處，

上述第一組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條主位元線中的某一條和上述多數條記憶單元陣列選取線中的某一條上。

8. 如申請專利範圍第7項之磁性記憶裝置，其中，具有多數個上述至少一塊記憶單元陣列群，

且更具有：多數條通用位元線，為跨設於上述多數塊記憶單元陣列群；

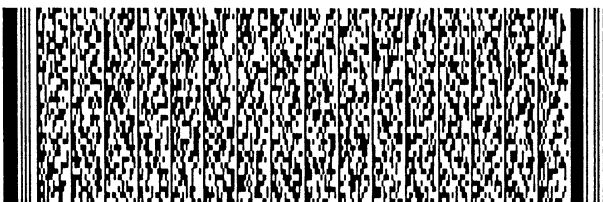
多數條記憶單元陣列群選取線，為對應於上述多數塊記憶單元陣列群的每一塊而配設，

上述多數條主位元線，係分別連接至分別於上述多數條通用位元線和上述多數條記憶單元陣列群選取線之交叉處所配設的第二組合邏輯閘輸出處，

上述第二組合邏輯閘的輸入，係連接至處於交叉狀態的上述多數條通用位元線中的某一條和上述多數條記憶單元陣列群選取線中的某一條上。

9. 一種磁性記憶裝置，其特徵為：

具有：記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及，分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有



六、申請專利範圍

至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；

電感器，

上述至少一項磁性穿隧接合，係具有可改變其磁性化方向之軟性強磁性體層，上述電感器，係沿著對於上述軟性強磁性體層較容易予以磁性化的方向之易磁化軸方向發生磁場。

10. 如申請專利範圍第9項之磁性記憶裝置，其中，上述至少一項磁性穿隧接合，係能使上述易磁化軸與上述多數條位元線或上述多數條字線的延伸方向一致而配設，

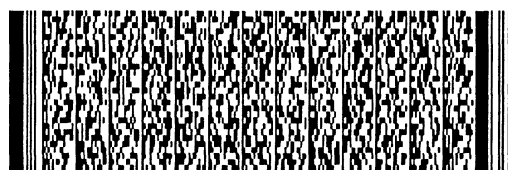
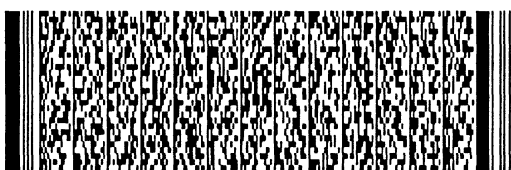
上述電感器，係線圈狀電感器，為沿著與上述易磁化軸的方向呈一致的上述多數條位元線或上述多數條字線之延伸方向，且捲繞著上述記憶單元陣列而配設。

11. 一種磁性記憶裝置，其特徵為，具有：

至少一件記憶單元陣列，為呈非接觸地交叉，且用來構成陣列基體之多數條位元線及多數條字線，以及，分別配設於上述多數條位元線和上述多數條字線的交叉處，且含有至少一項的磁性穿隧接合之多數件記憶單元，其等所構成；

平板狀的至少一條快閃位元線，為分別裝設於上述至少一件記憶單元陣列中上述多數條位元線及上述多數條字線的外側，且覆蓋上述多數條位元線及上述多數條字線的形成區；

至少一條快閃字線。



六、申請專利範圍

12. 如申請專利範圍第11項之磁性記憶裝置，其中，具有多數個上述至少一件記憶單元陣列，

上述多數件記憶單元陣列，係呈陣列狀地配設，

上述至少一條快閃位元線及至少一條快閃字線，均係沿著上述多數件記憶單元陣列的排列，構成陣列基體而分別配設。

13. 一種磁性記憶裝置，其特徵為：

具有：遮蔽體，為由至少一件半導體晶片和導體所構成，且用來收納上述至少一件半導體晶片；

封裝體，為以樹脂來構成，且將用來收納上述遮蔽體；底面基板，對於上述封包體的開口處閉合而密封；

信號傳送用凸塊，為配設於上述底面基板，且進行在上述至少一件半導體晶片和外界之間信號傳送；

遮蔽用凸塊，呈圍繞著上述信號傳送用凸塊而配設，且以電性地連接至上述遮蔽體上，

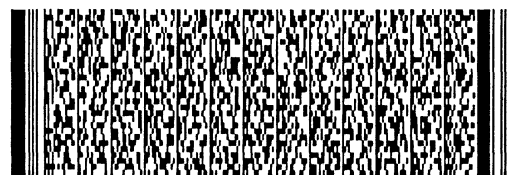
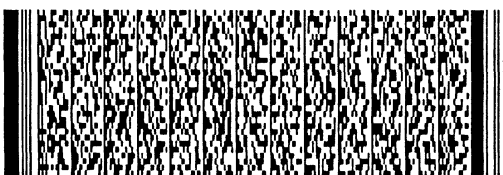
上述至少一件半導體晶片，係含有磁性記憶晶片，為具備含有磁性穿隧接合的多數件記憶單元而構成之記憶單元陣列。

14. 如申請專利範圍第13項之磁性記憶裝置，其中，更具有：

第一應力緩和膜，為配設於上述遮蔽體的開口處端緣內側及外側；

第二應力緩和膜，為配設於上述遮蔽體的內壁面上。

15. 如申請專利範圍第14項之磁性記憶裝置，其中，上



六、申請專利範圍

述至少一件半導體晶片，係更含有電路晶片，為含有上述記憶單元陣列的周邊電路，

上述磁性記憶晶片及上述電路晶片，係使其等呈上下層疊而收納於上述遮蔽體內。

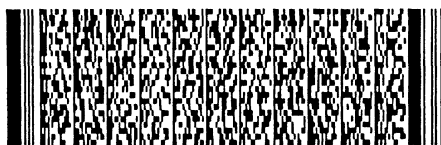
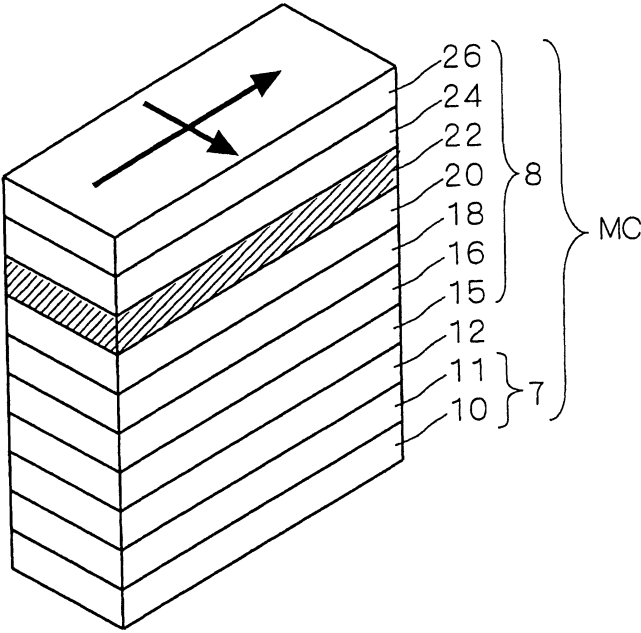
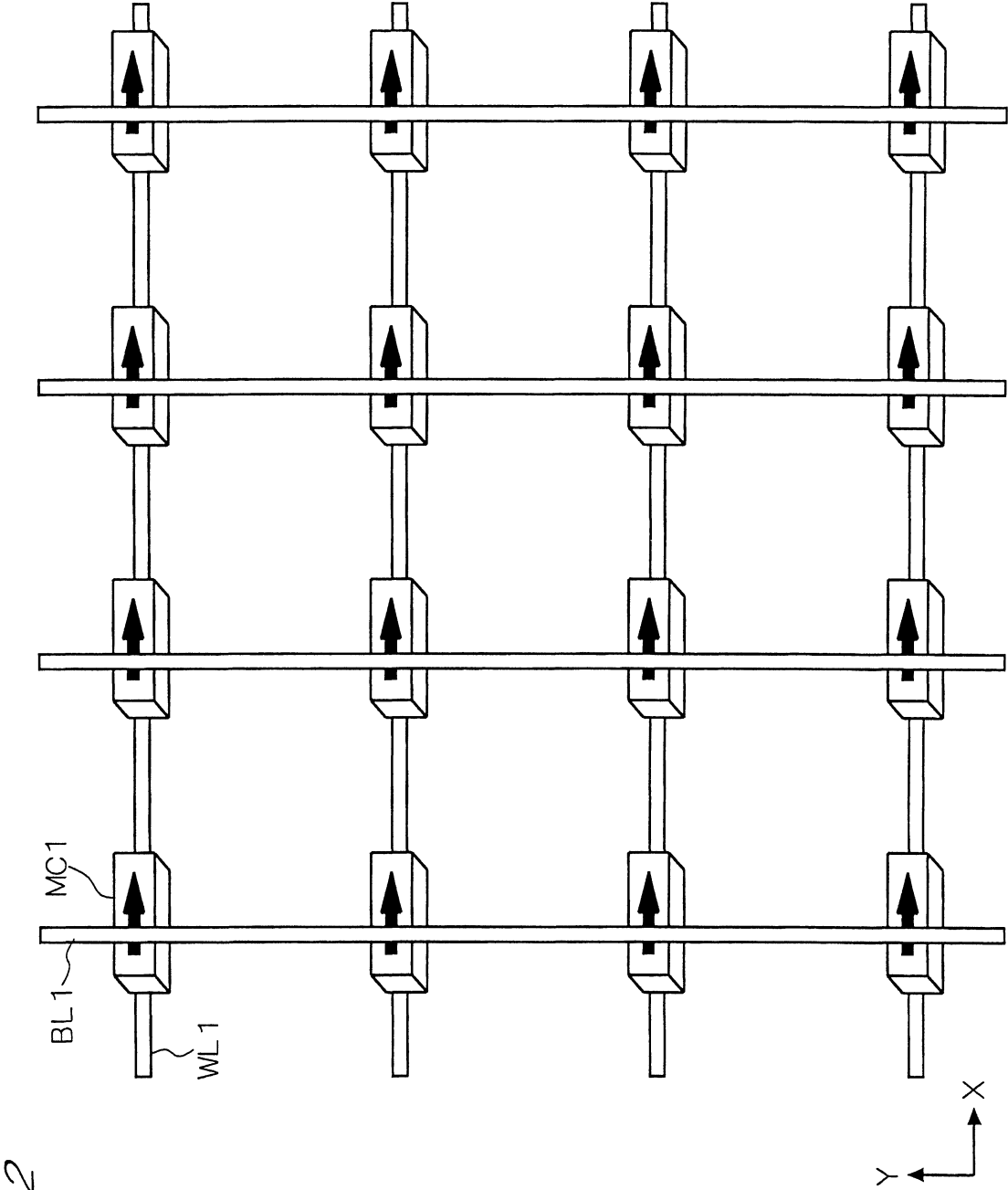


圖 1





2

Fig. 3

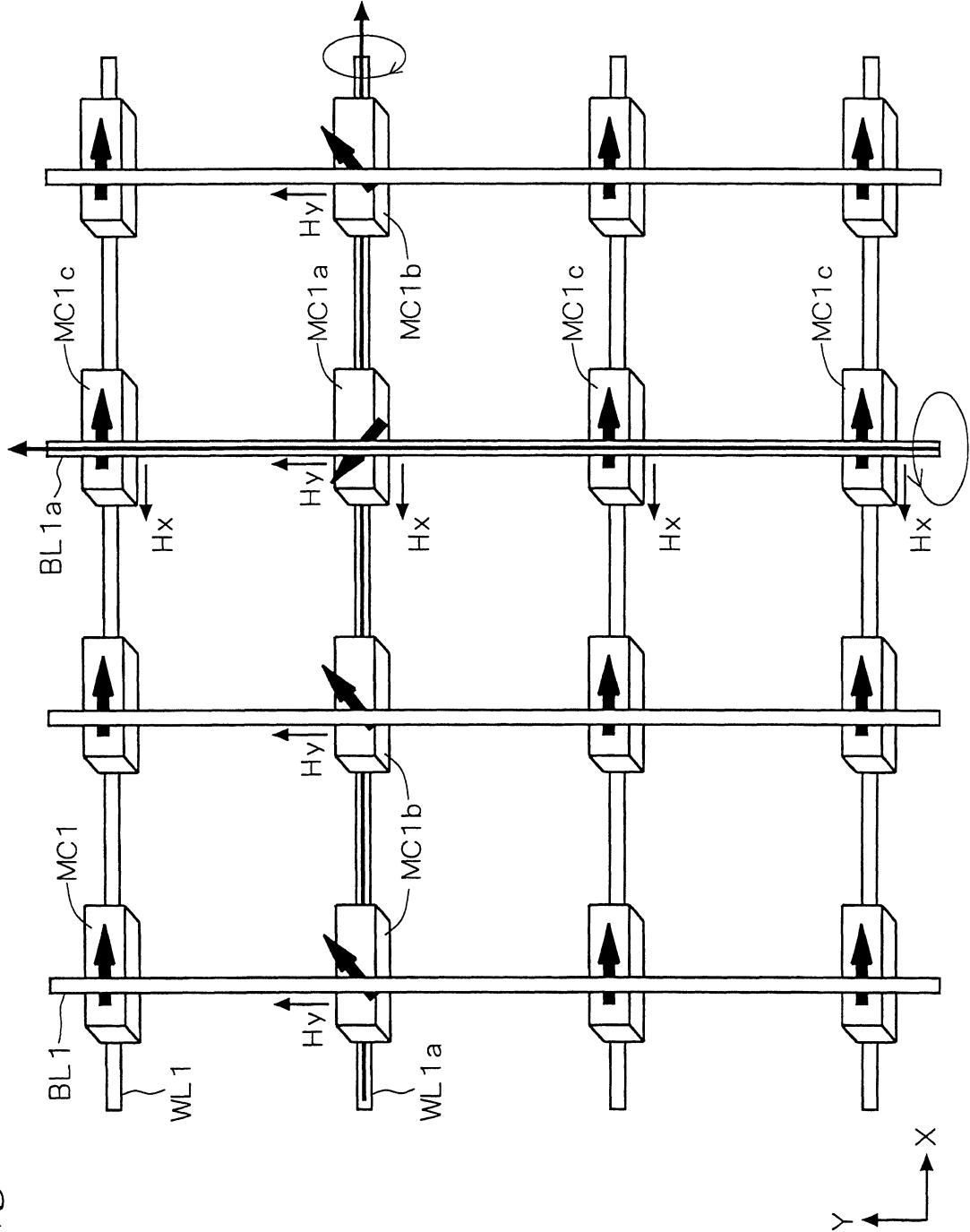
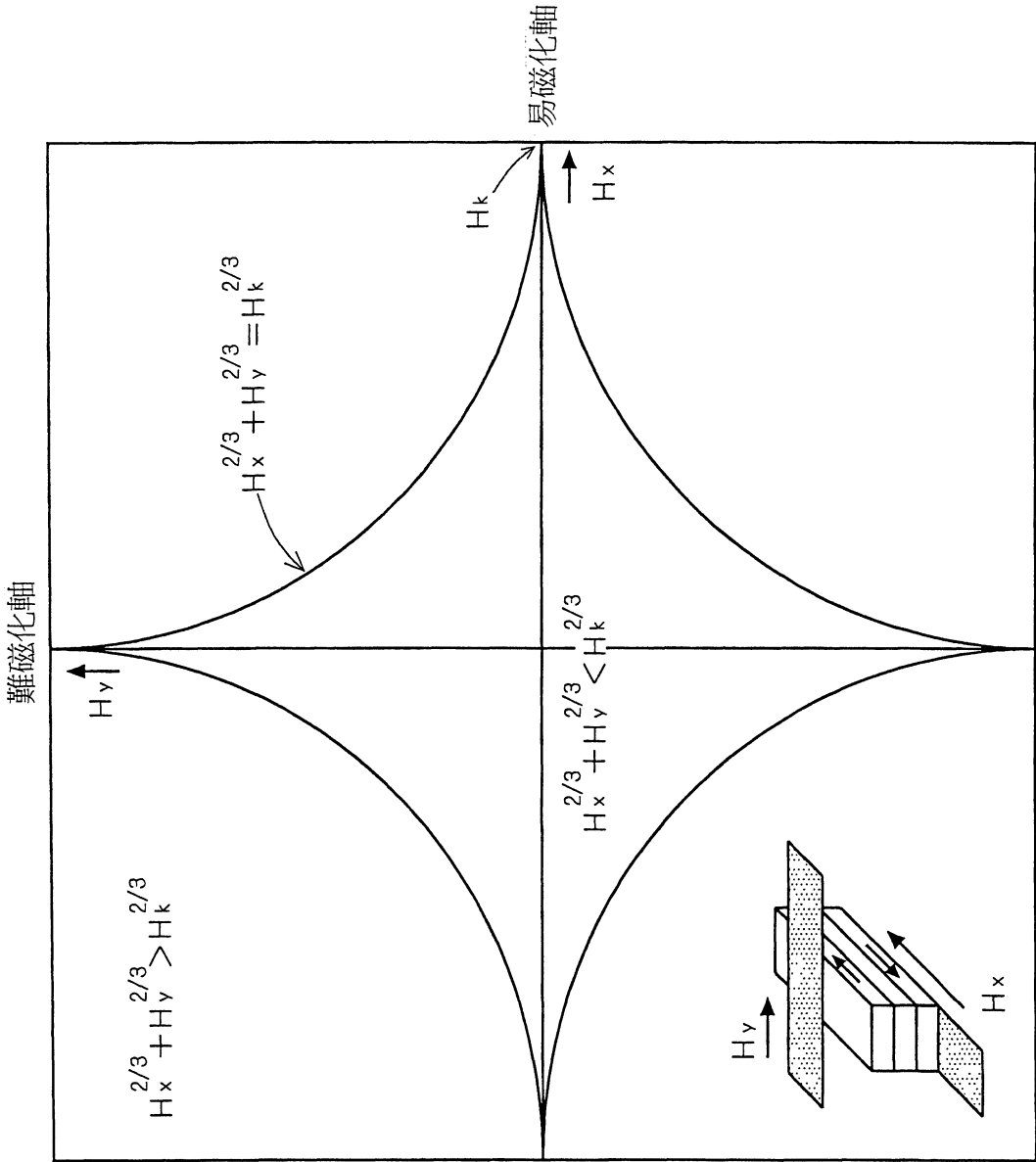


圖 4



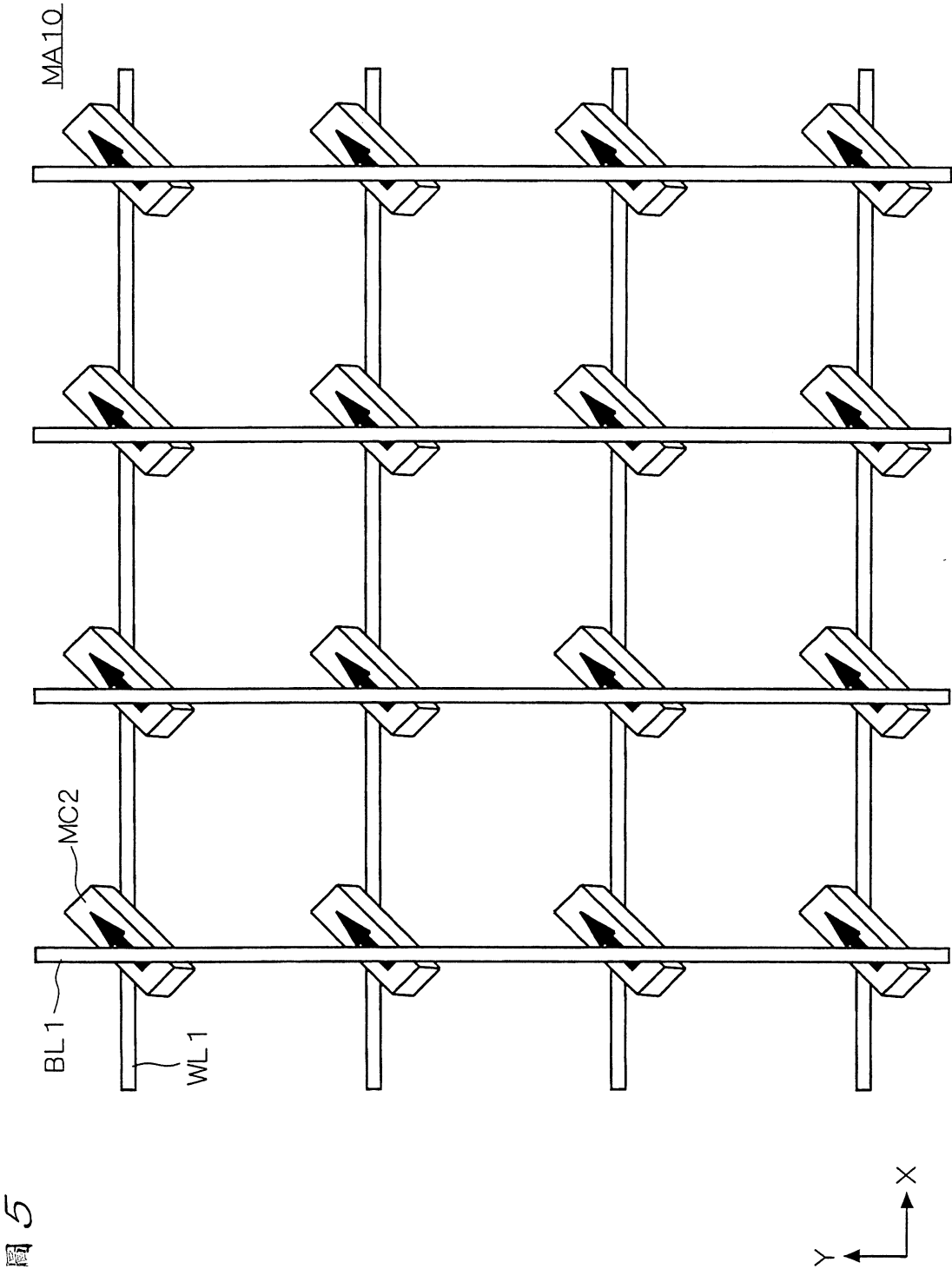
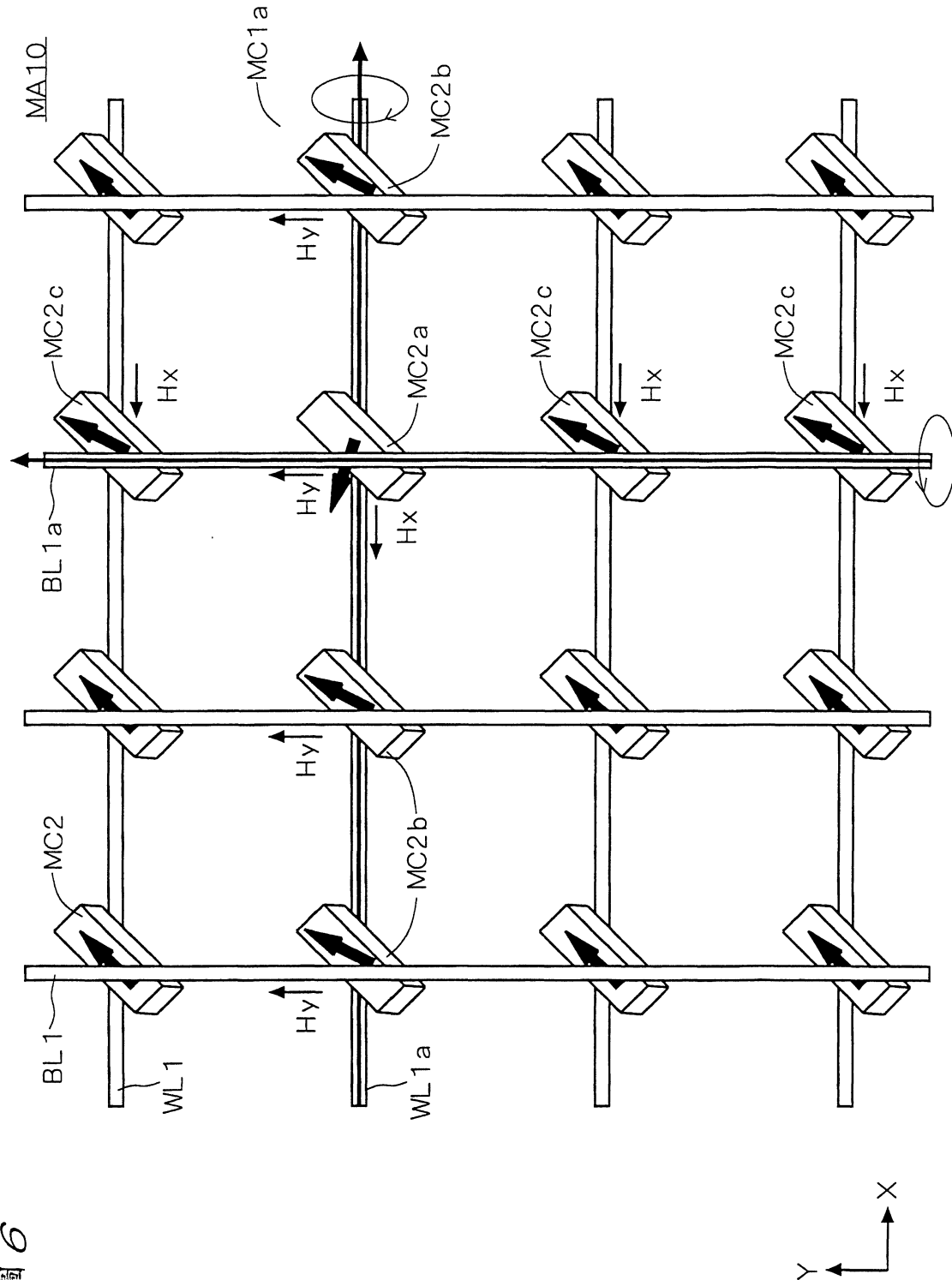


圖 6



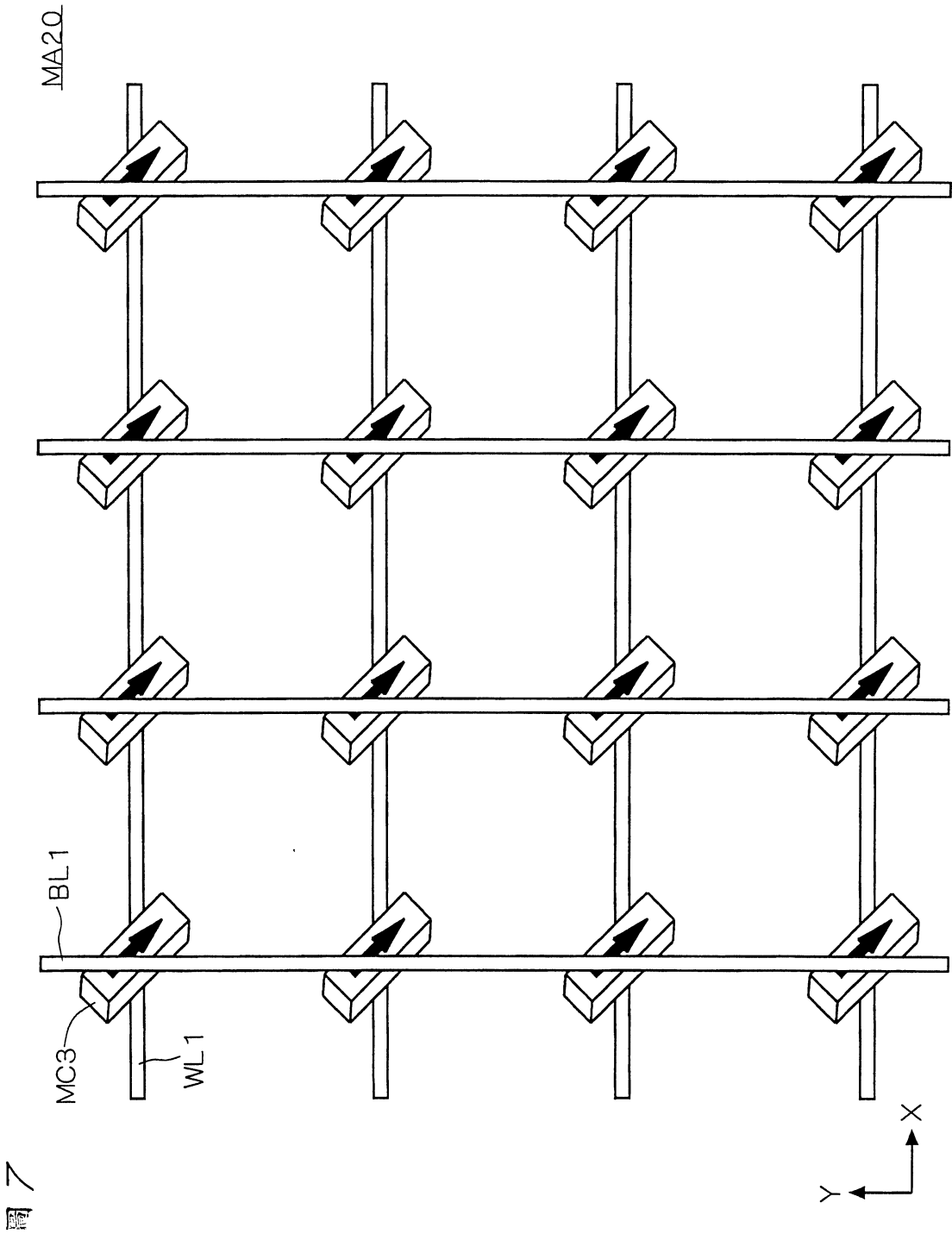


圖 8

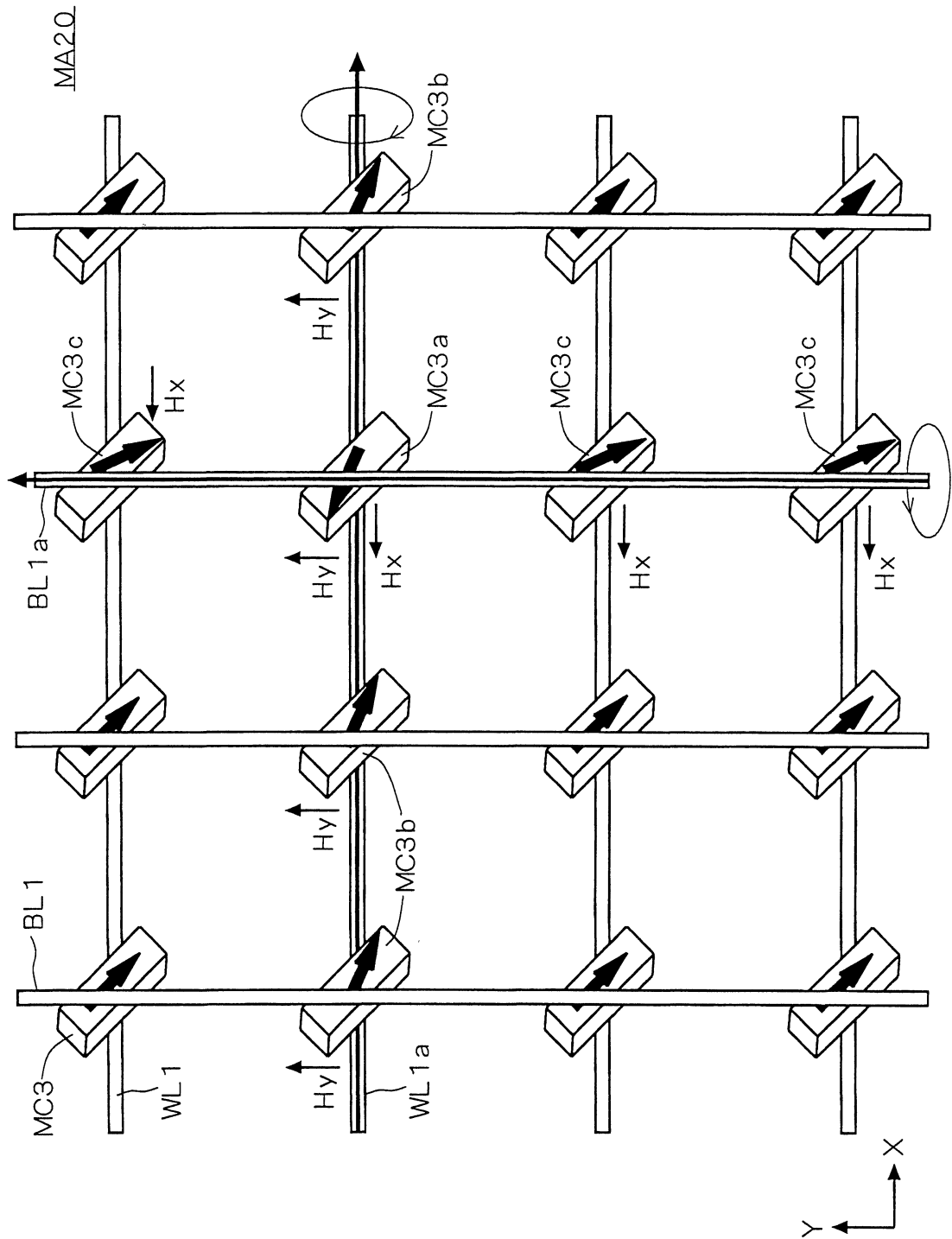


圖 9

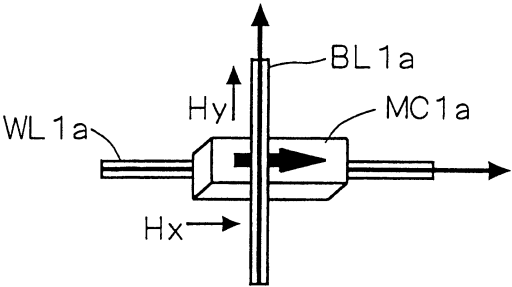


圖 10

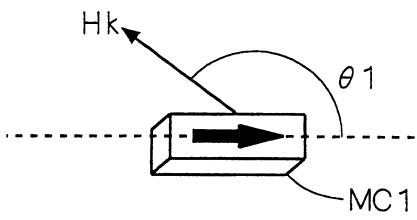


圖 11

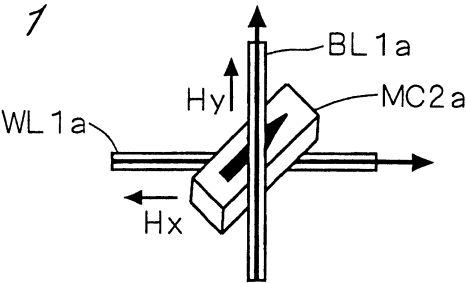


圖 12

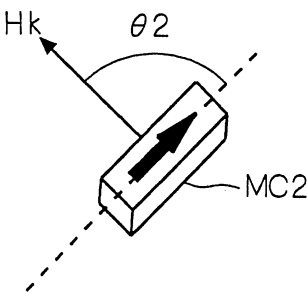


圖 13

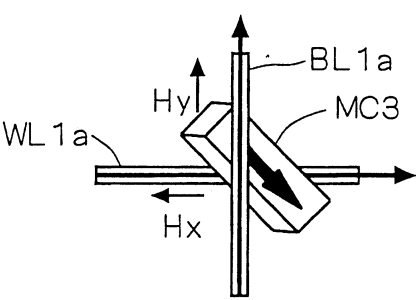


圖 14

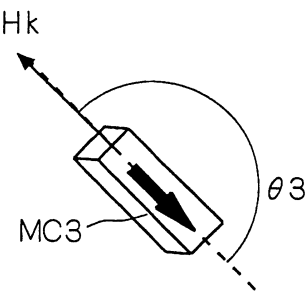


圖 15

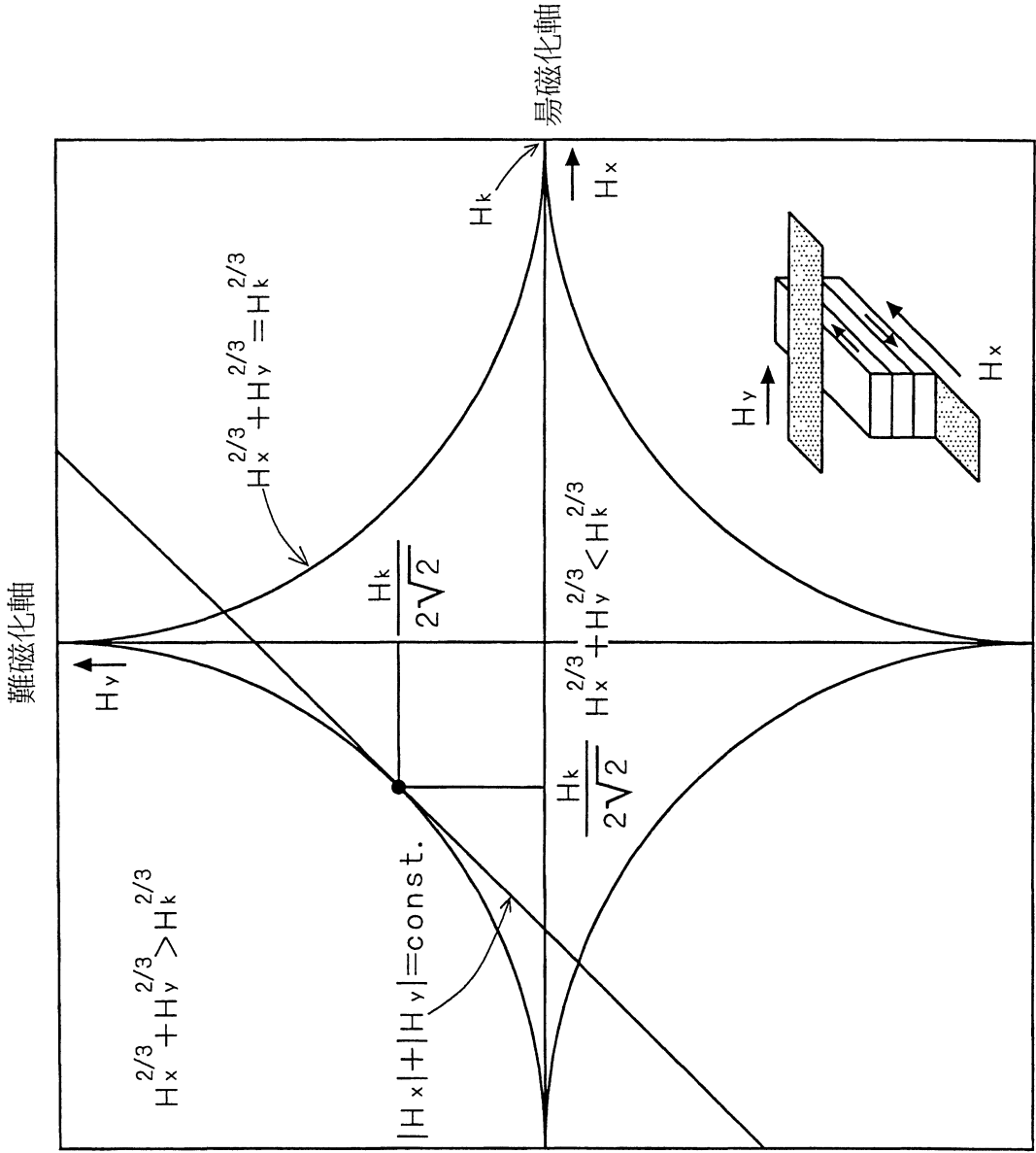


図 16

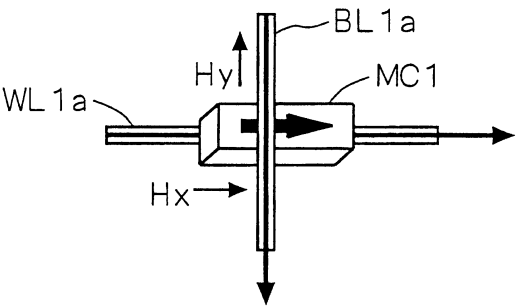


図 17

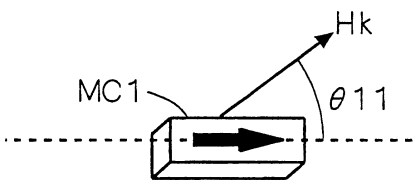


図 18

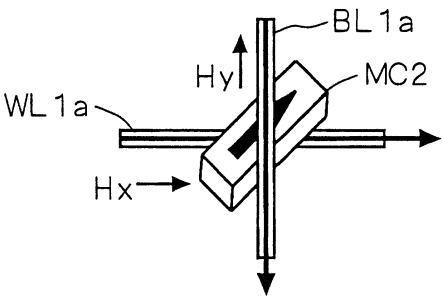


図 19

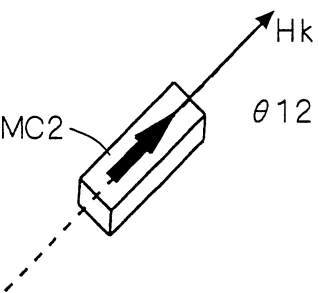


圖 20

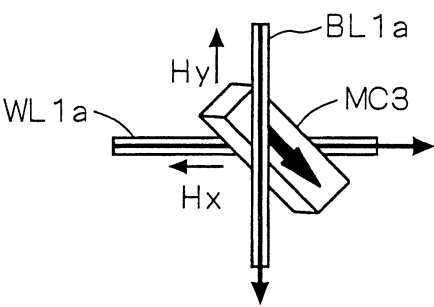


圖 21

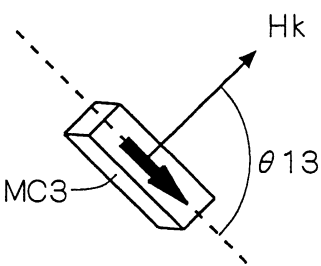


圖 22

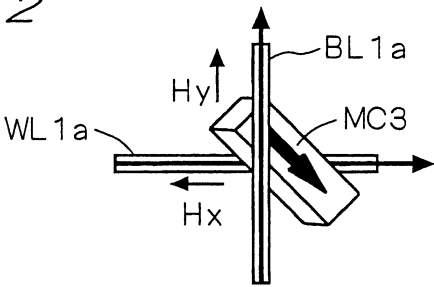
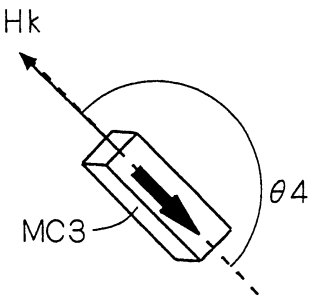
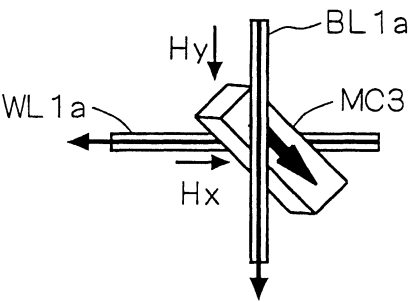


圖 23



24



25

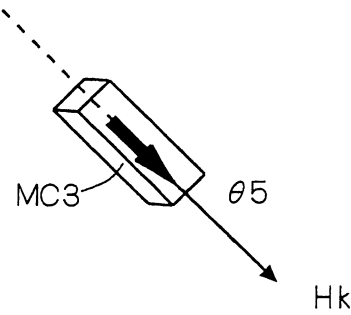
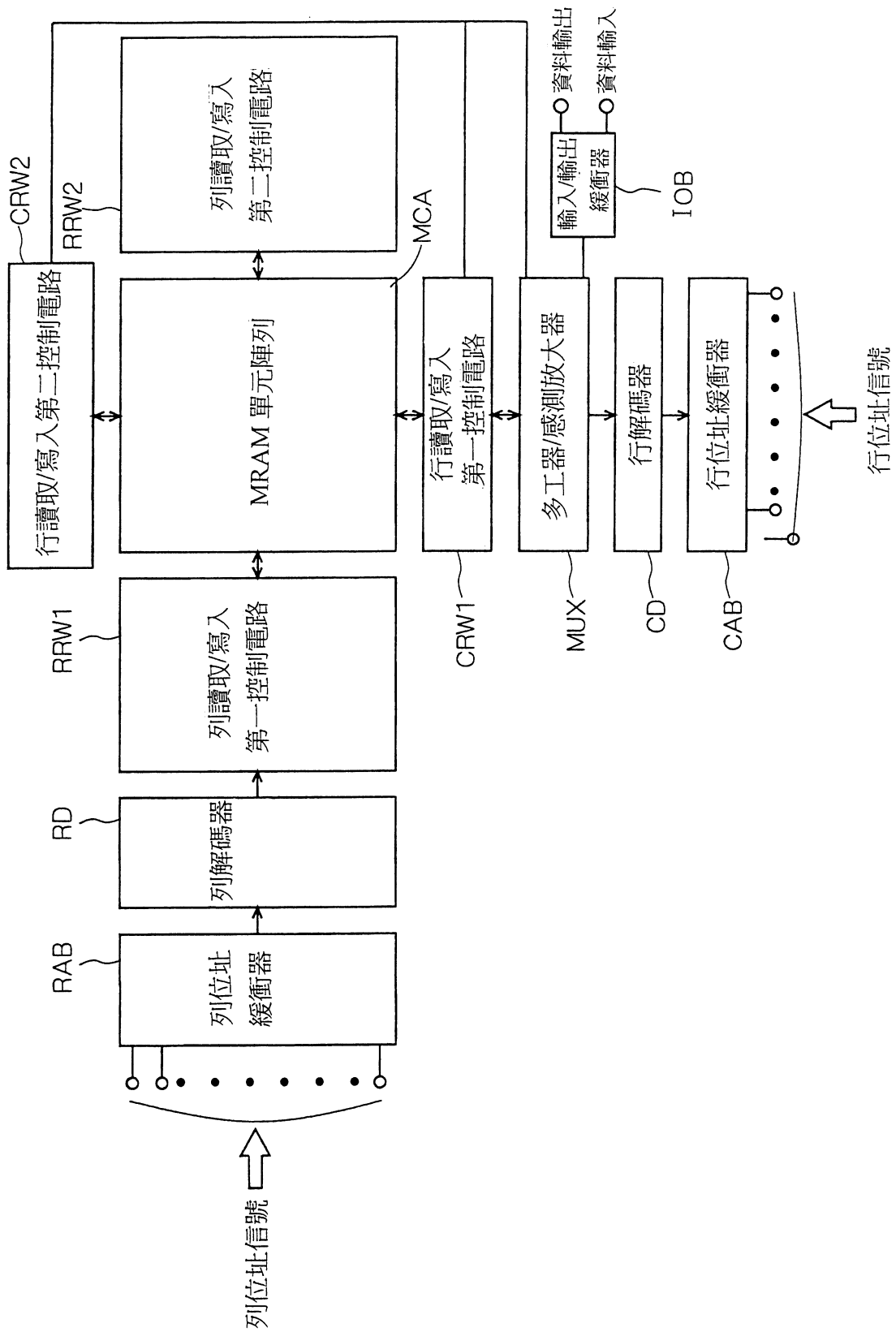


圖 26



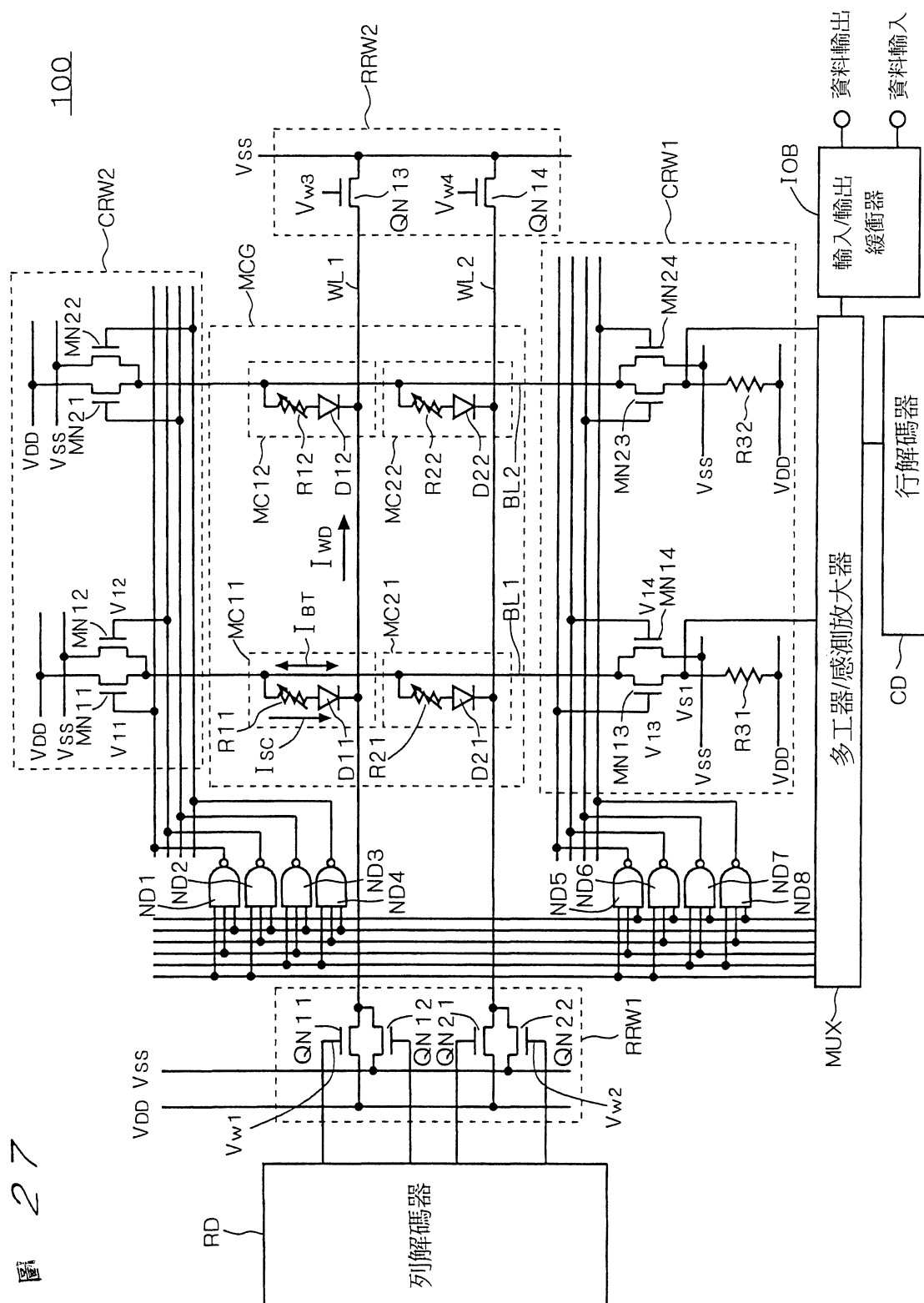


圖 28

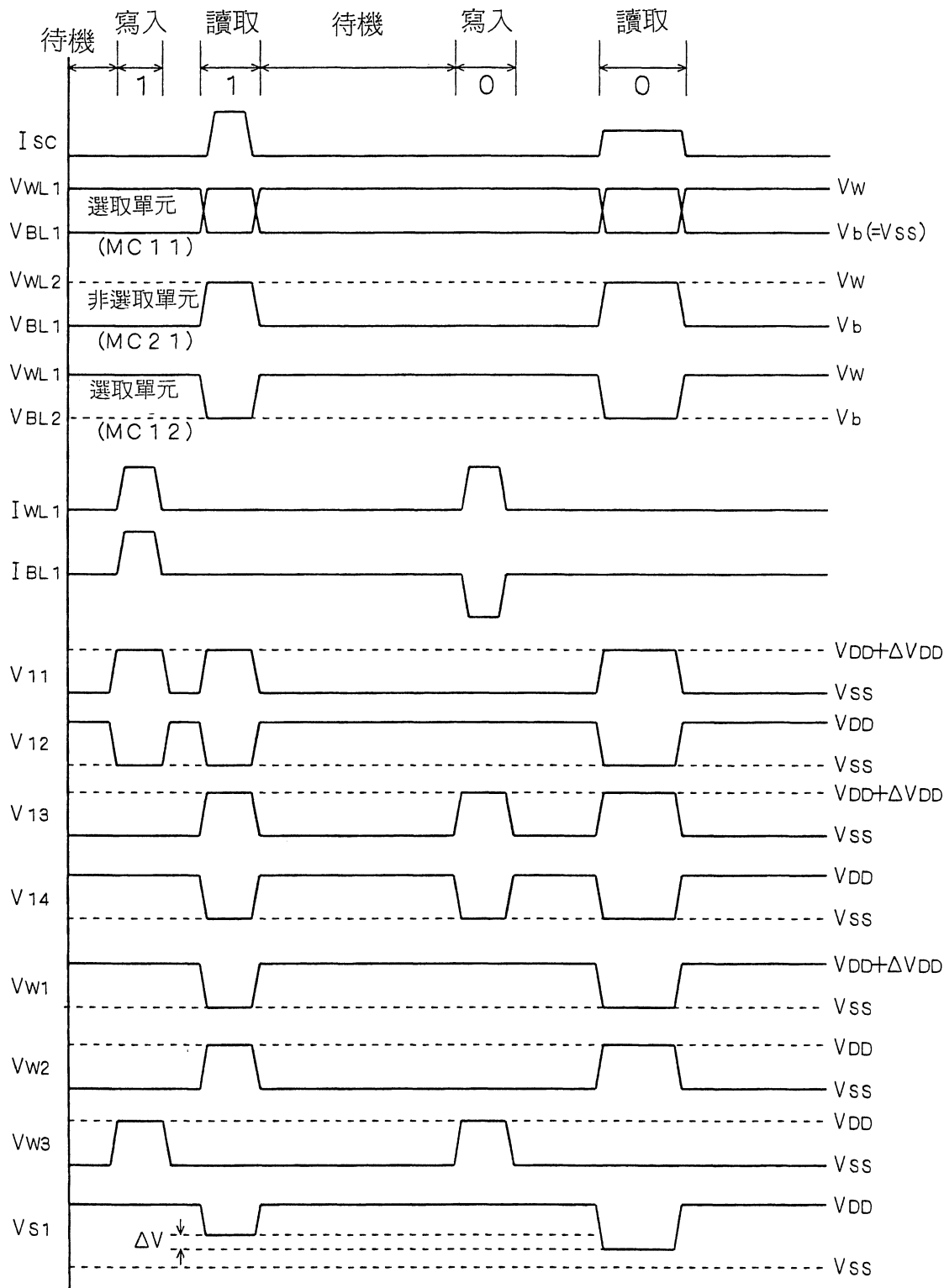


圖 29

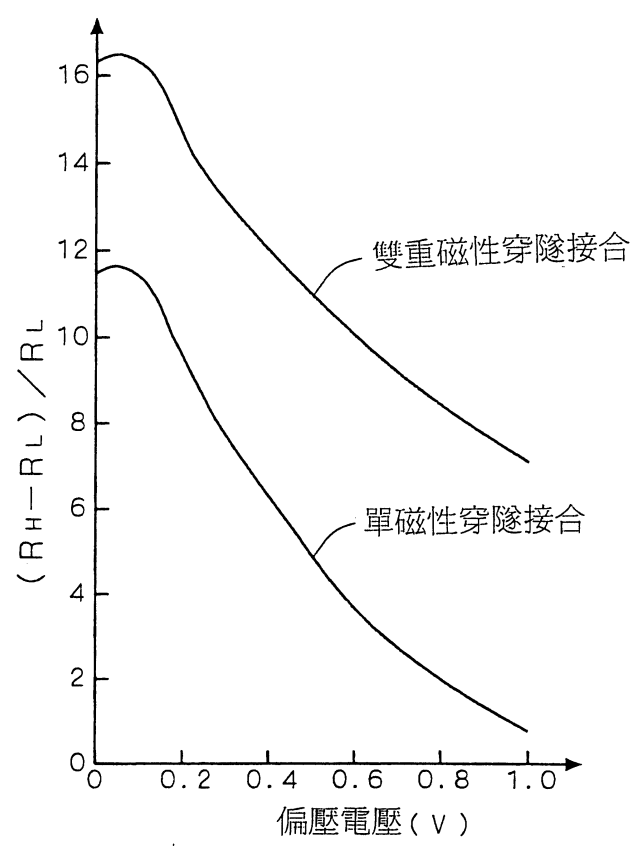


圖 30

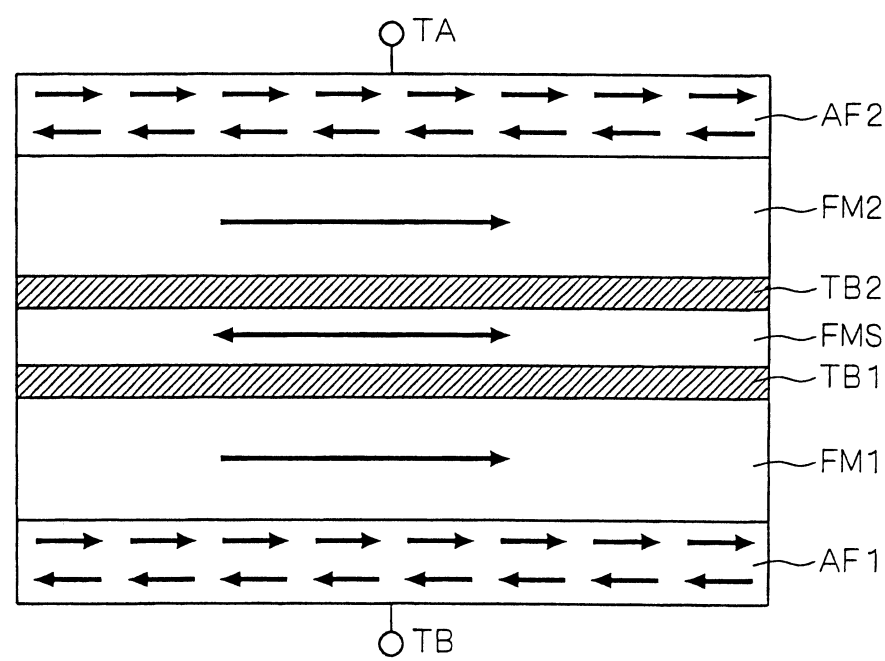


圖 31

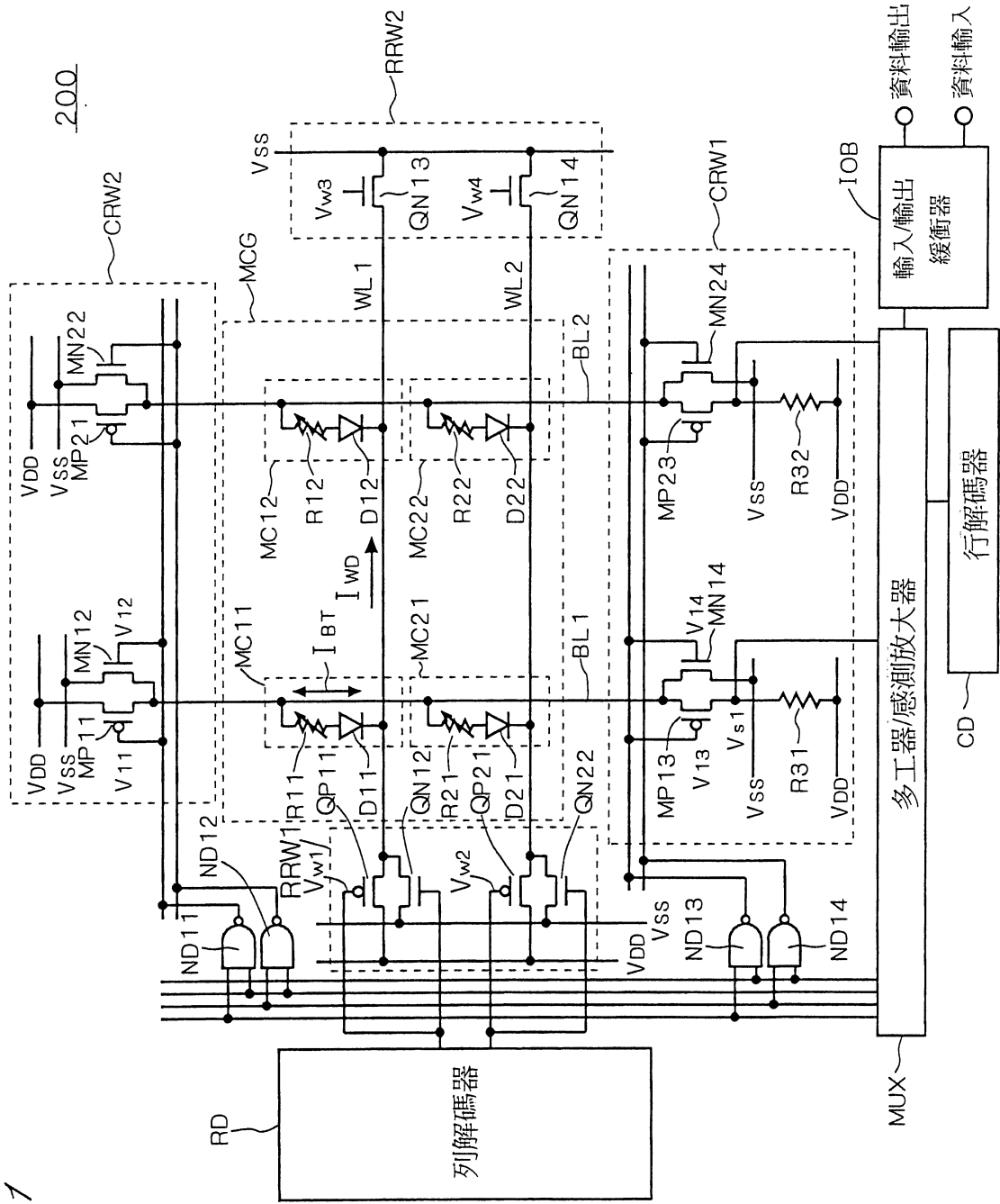


圖 32

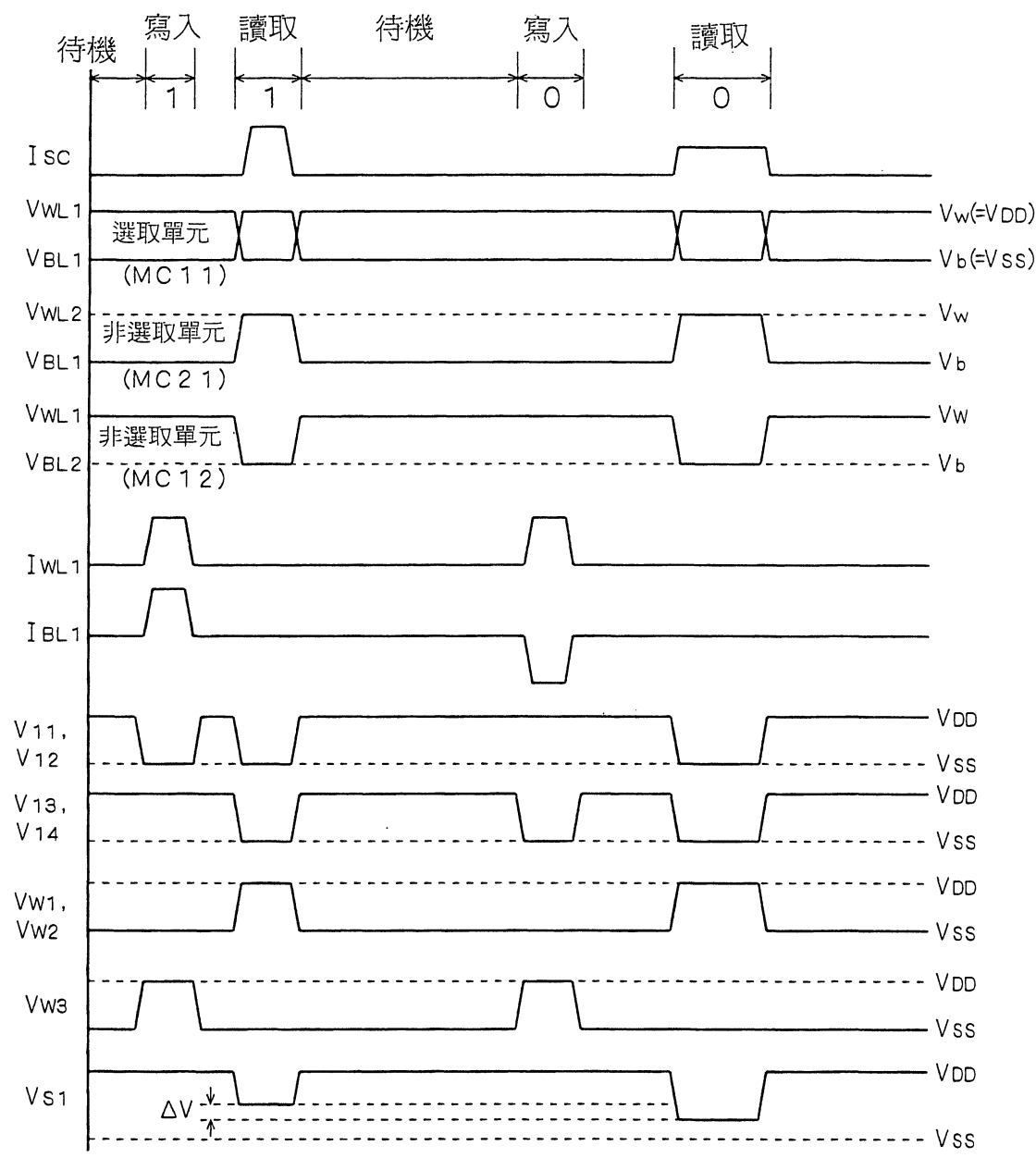
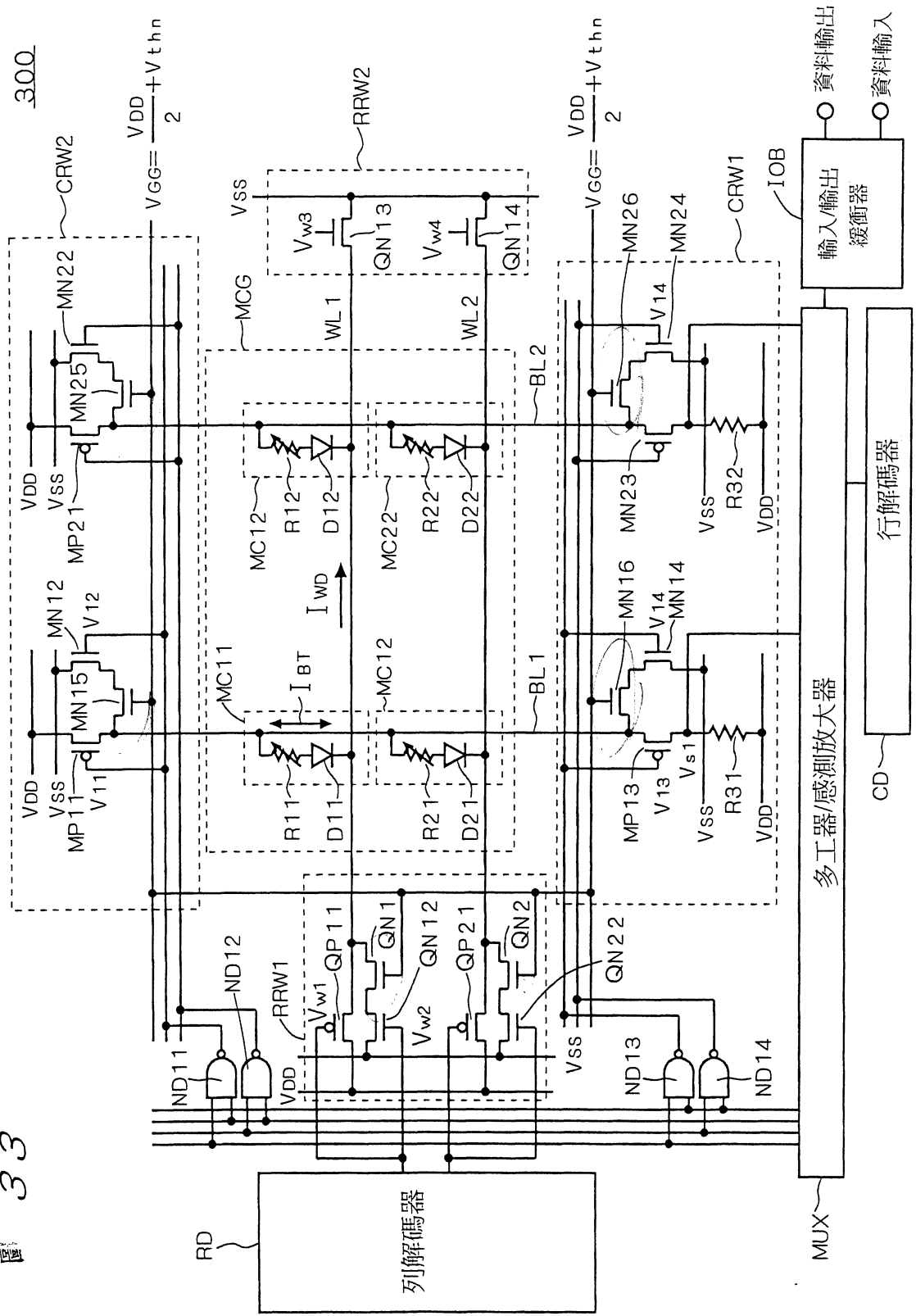
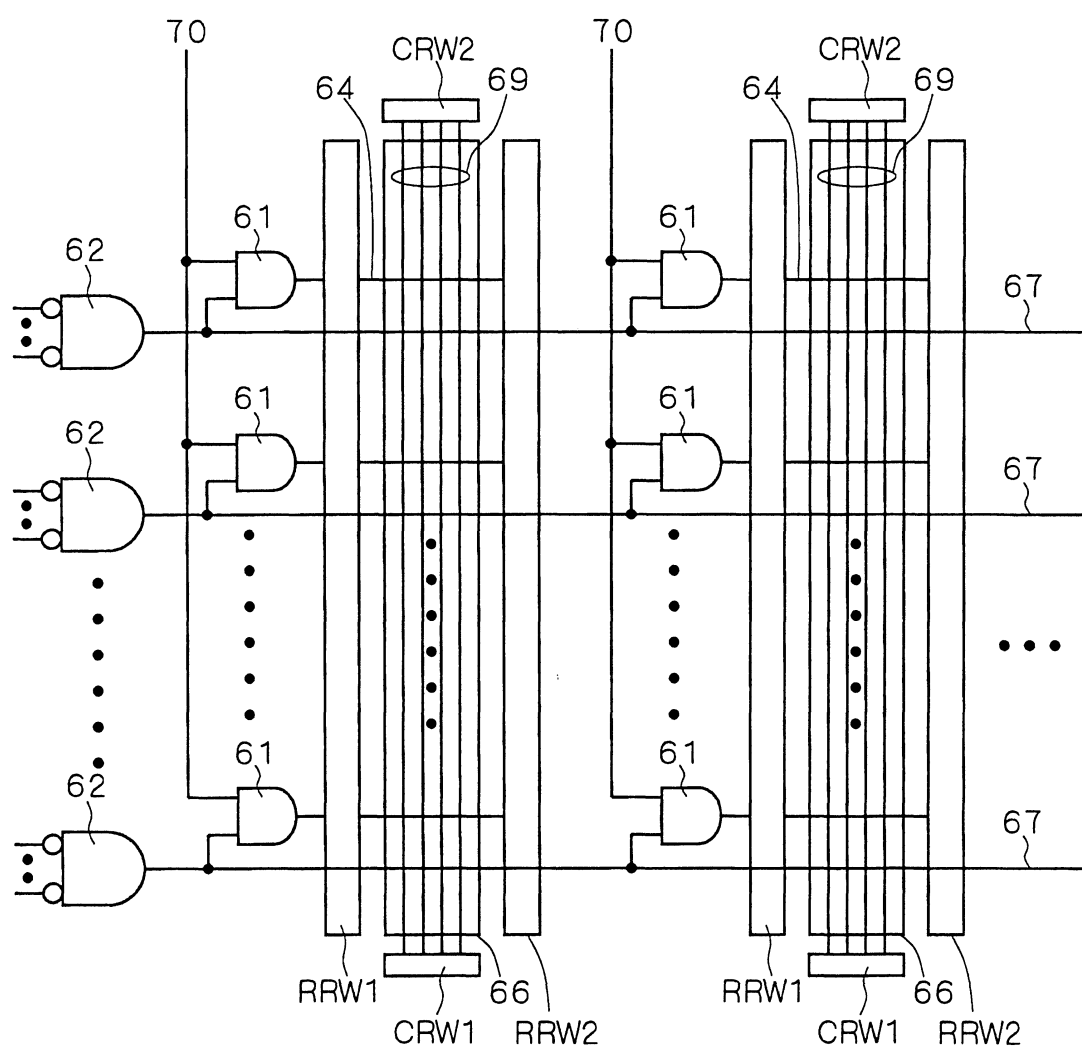


圖 33



400



35

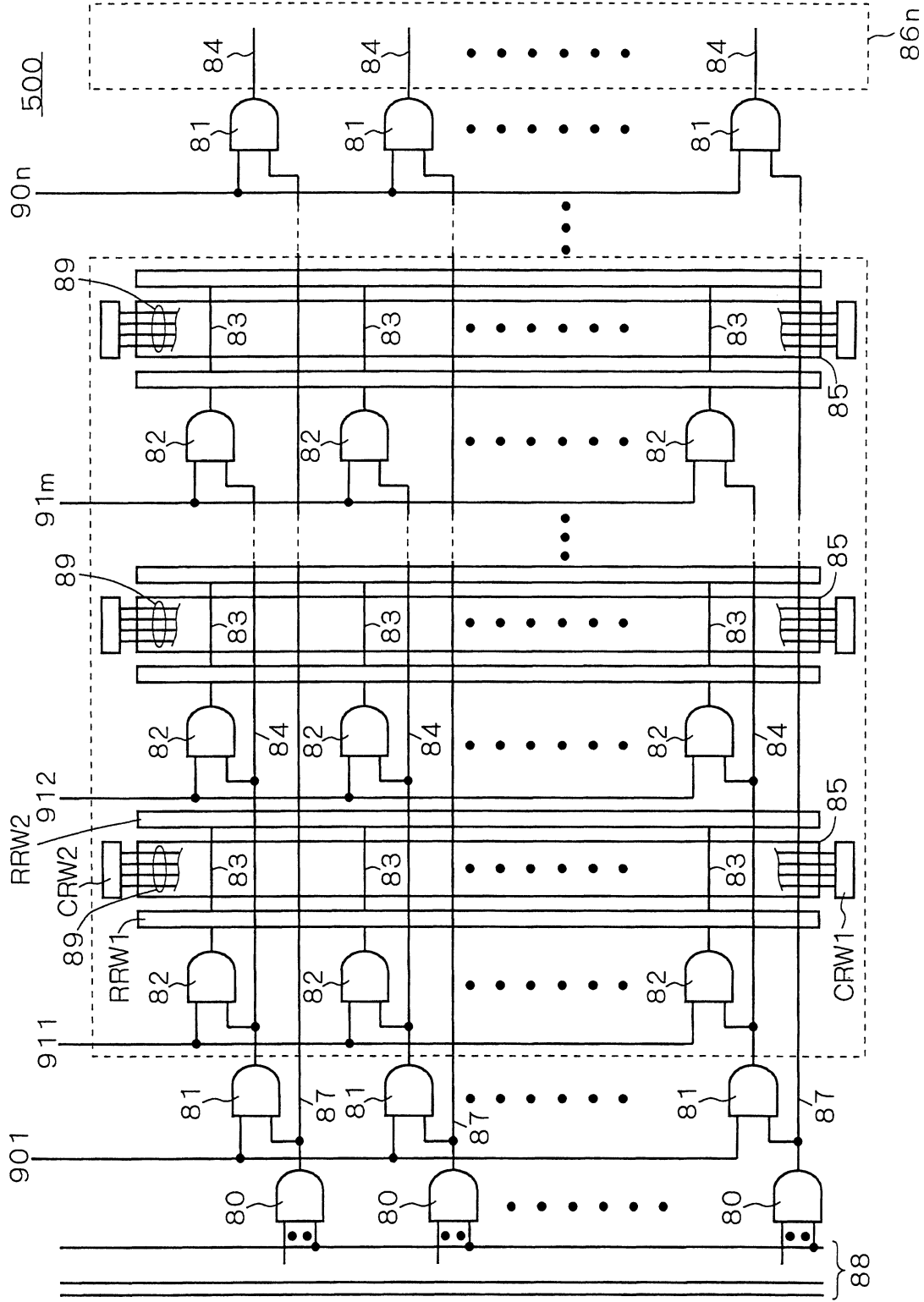
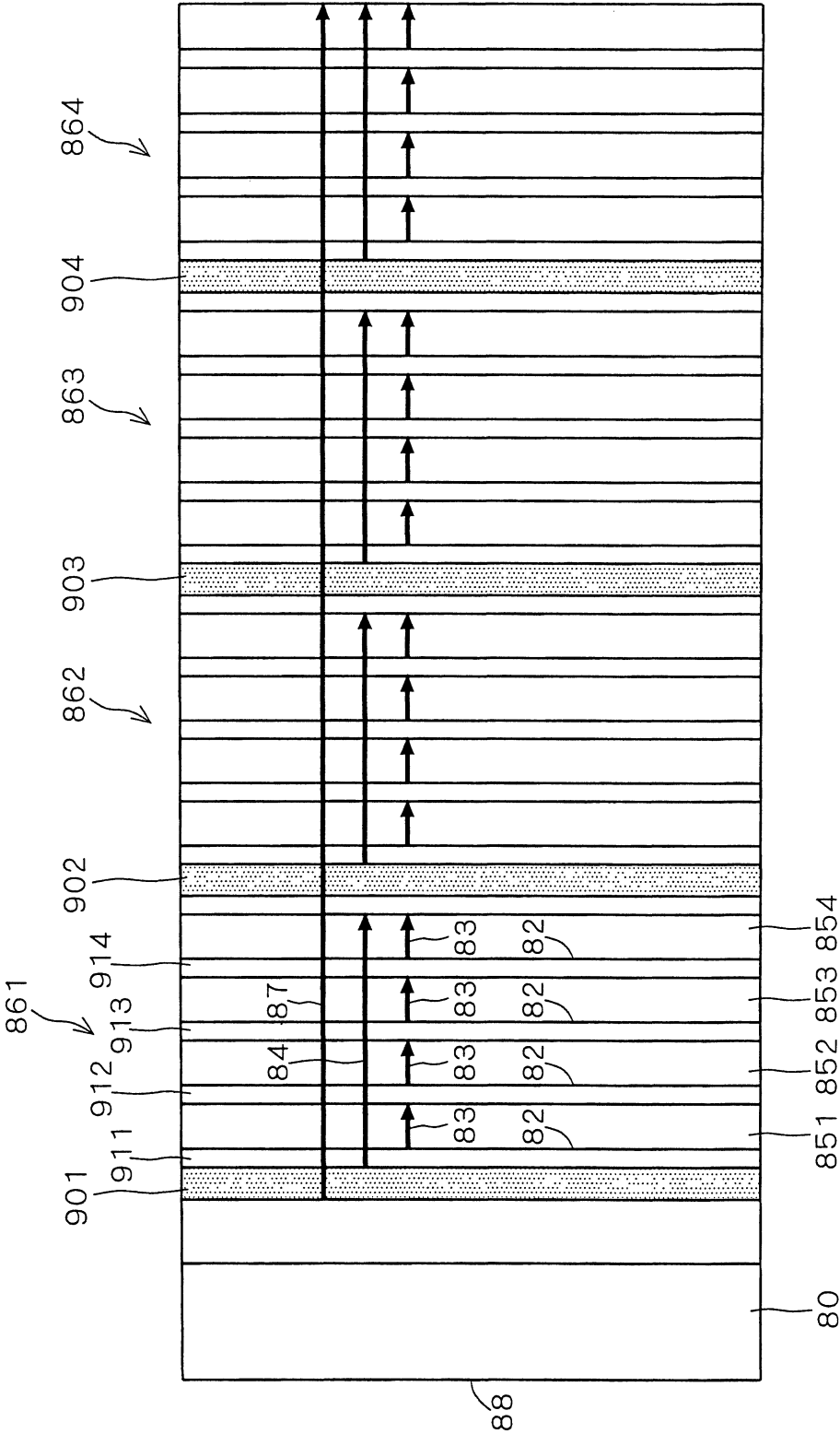
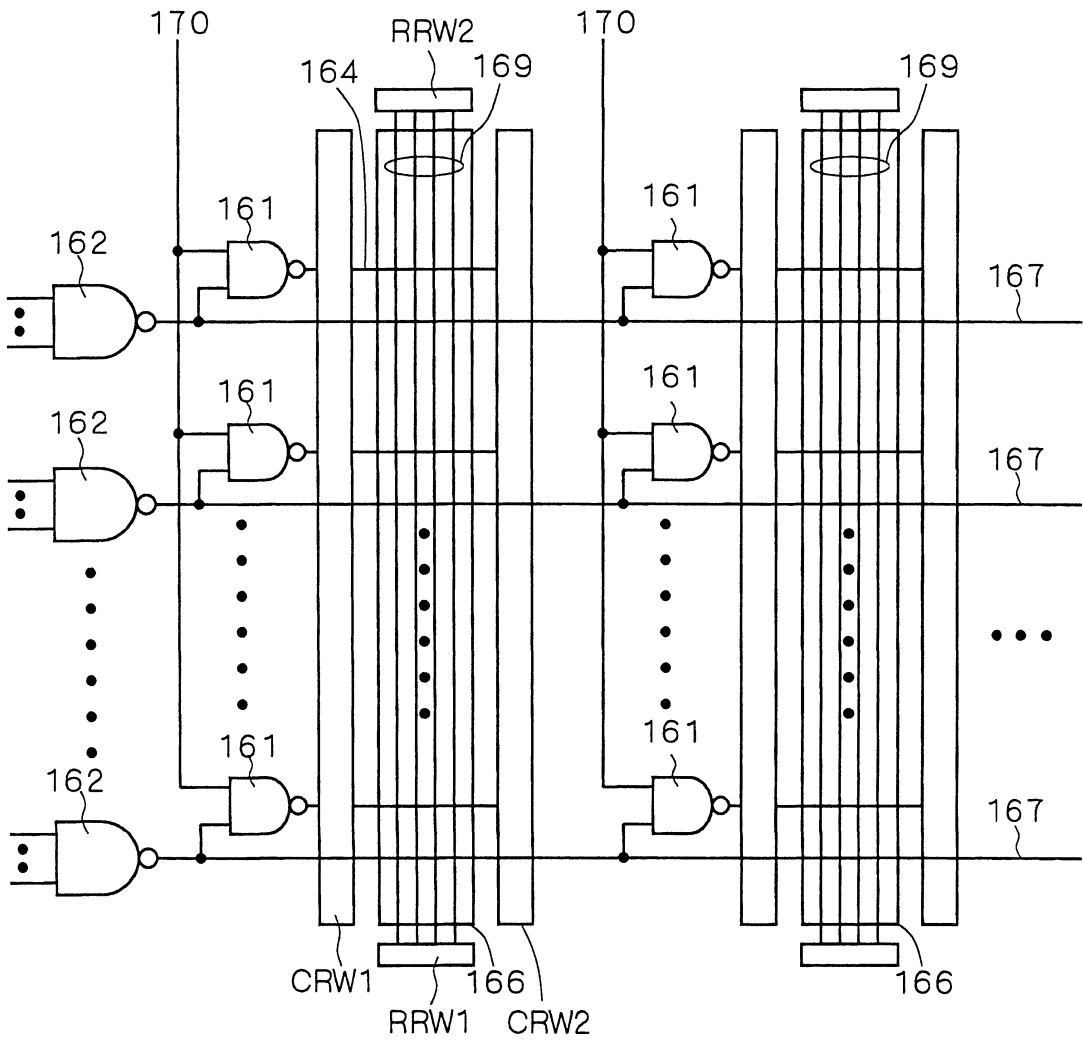


Fig. 36



600



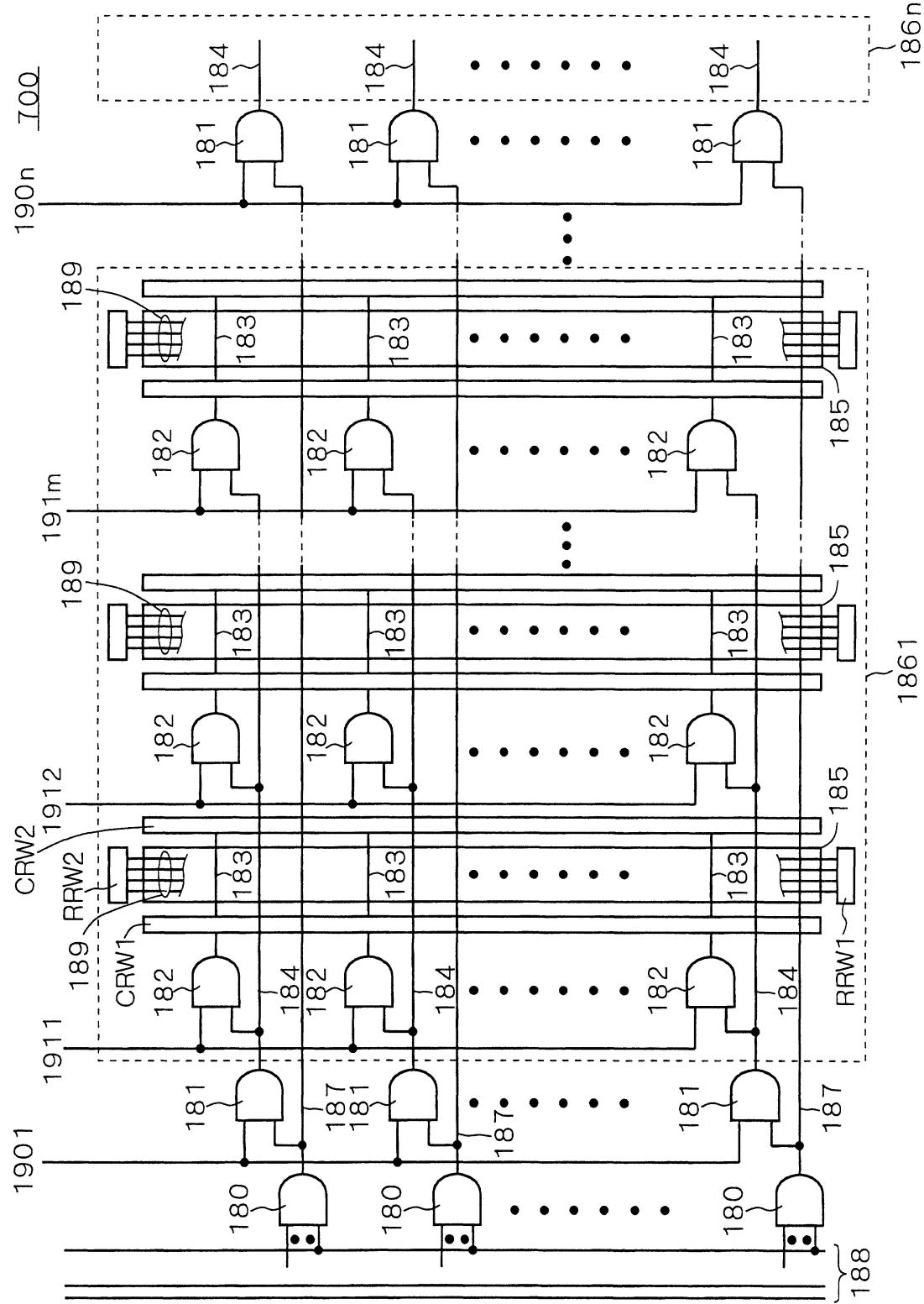
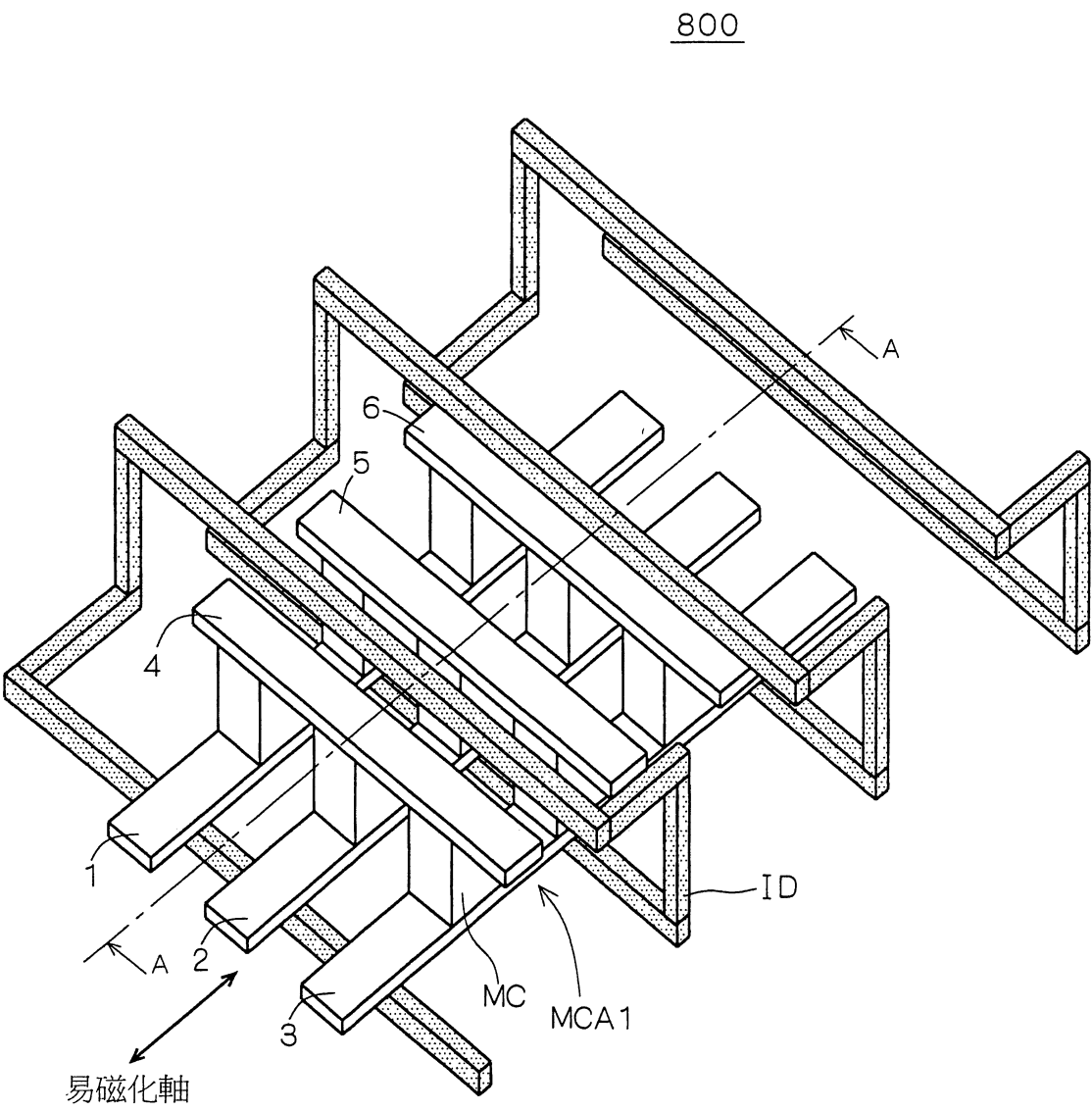


圖 39



40

易磁化軸
↕

800

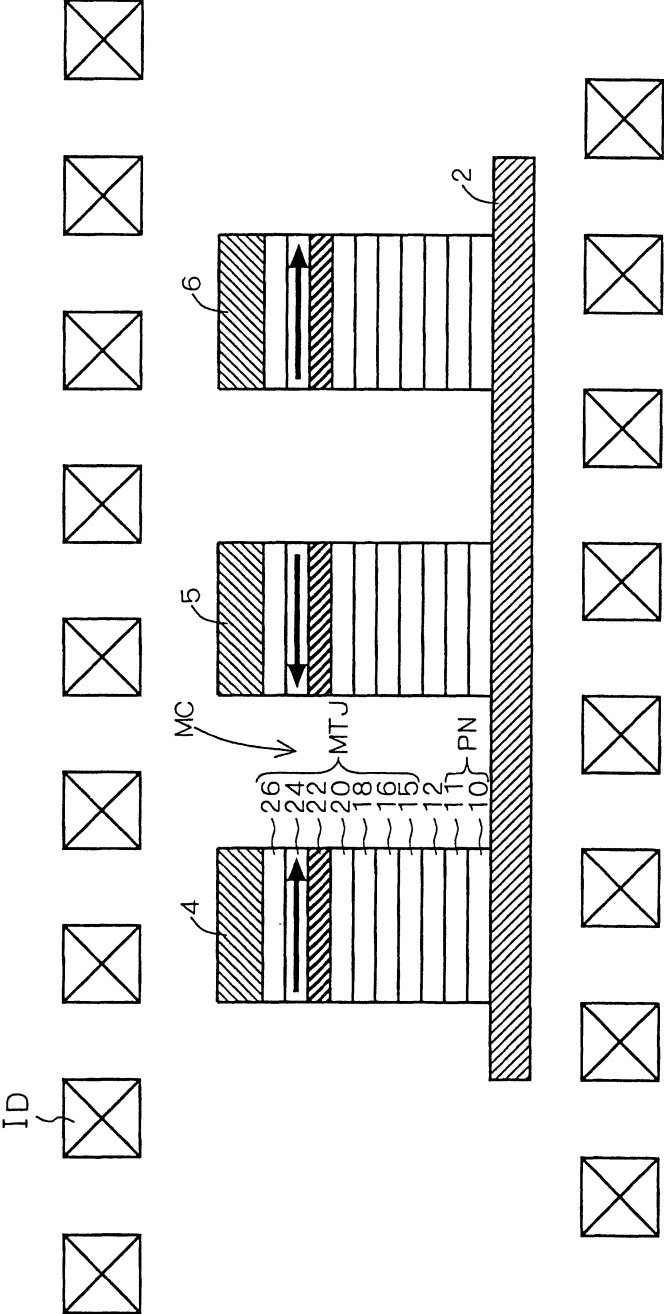


圖 4 1

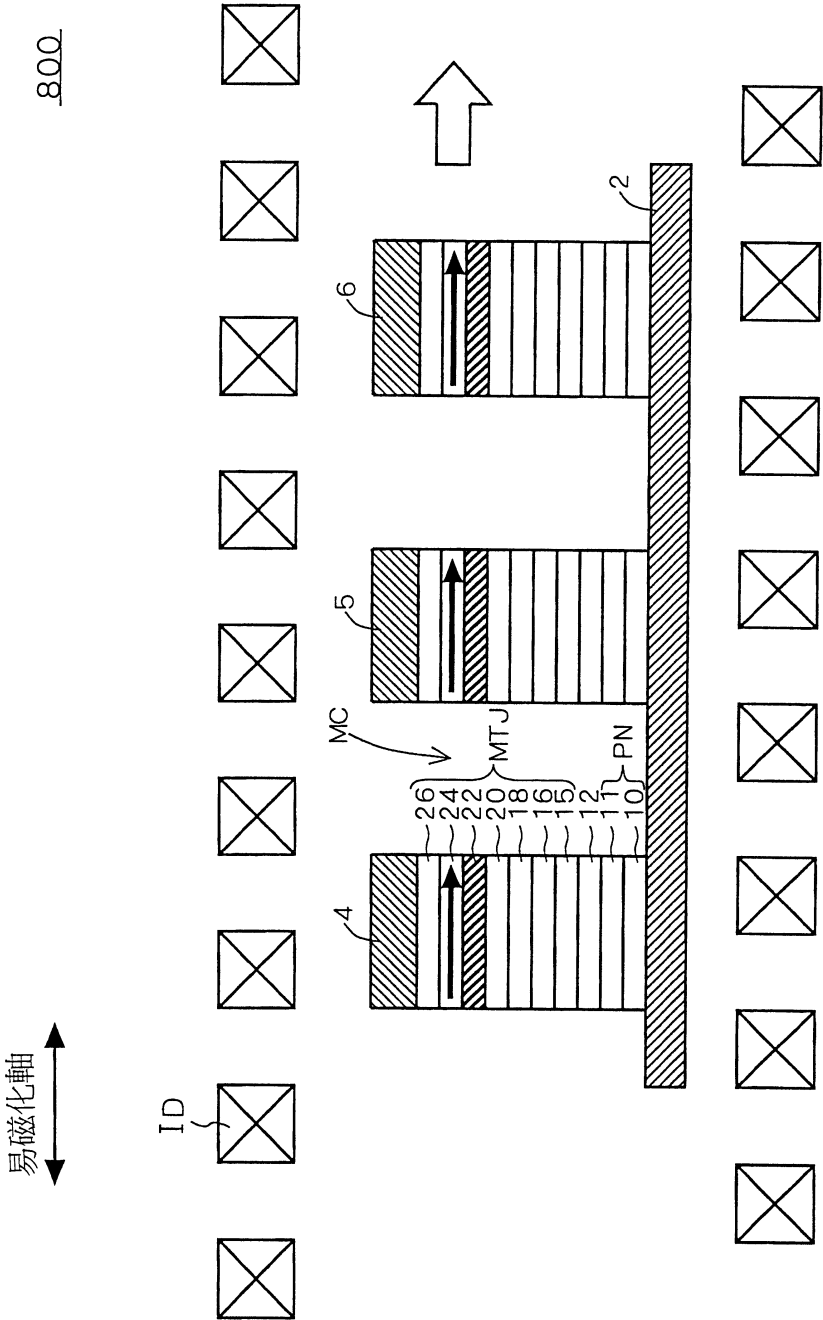


圖 42

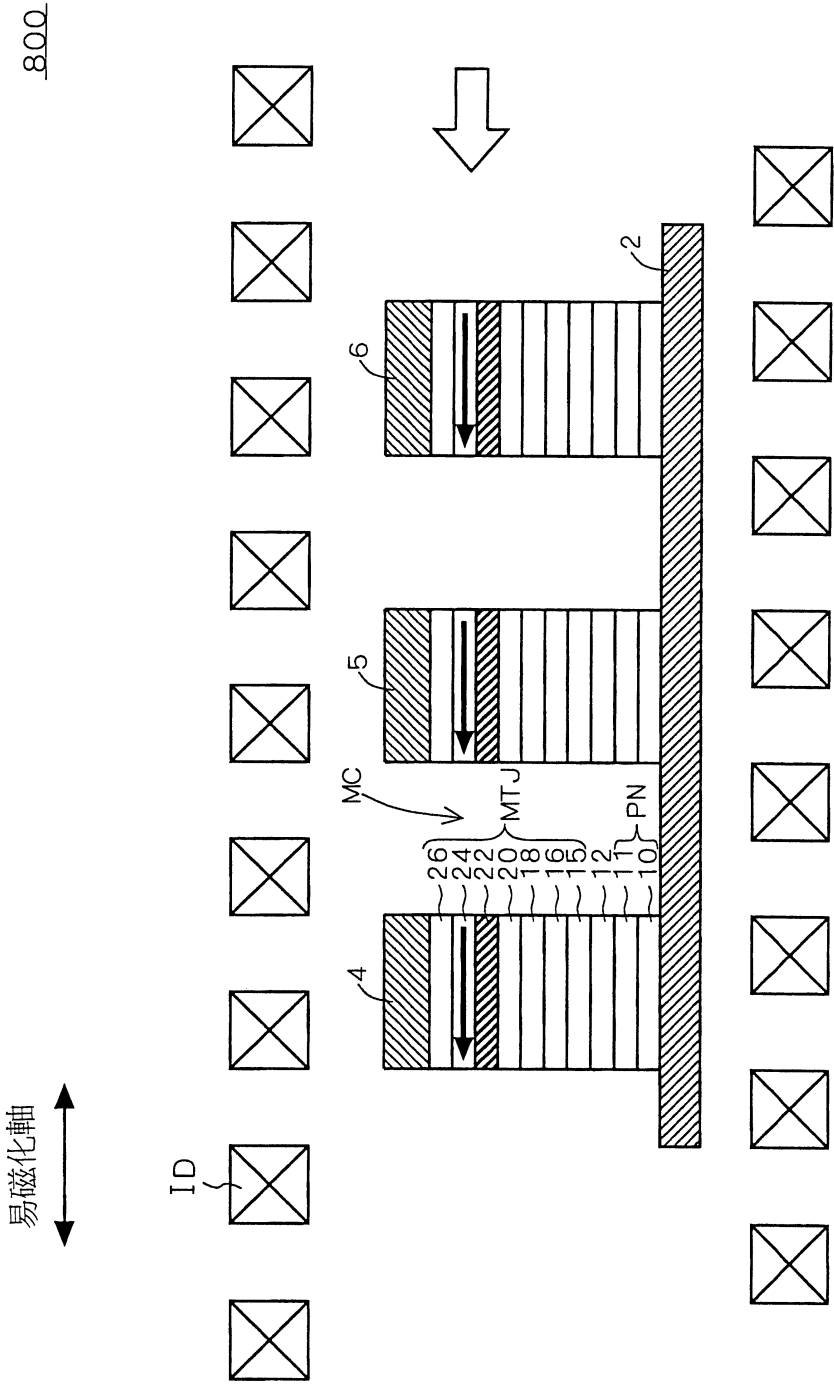
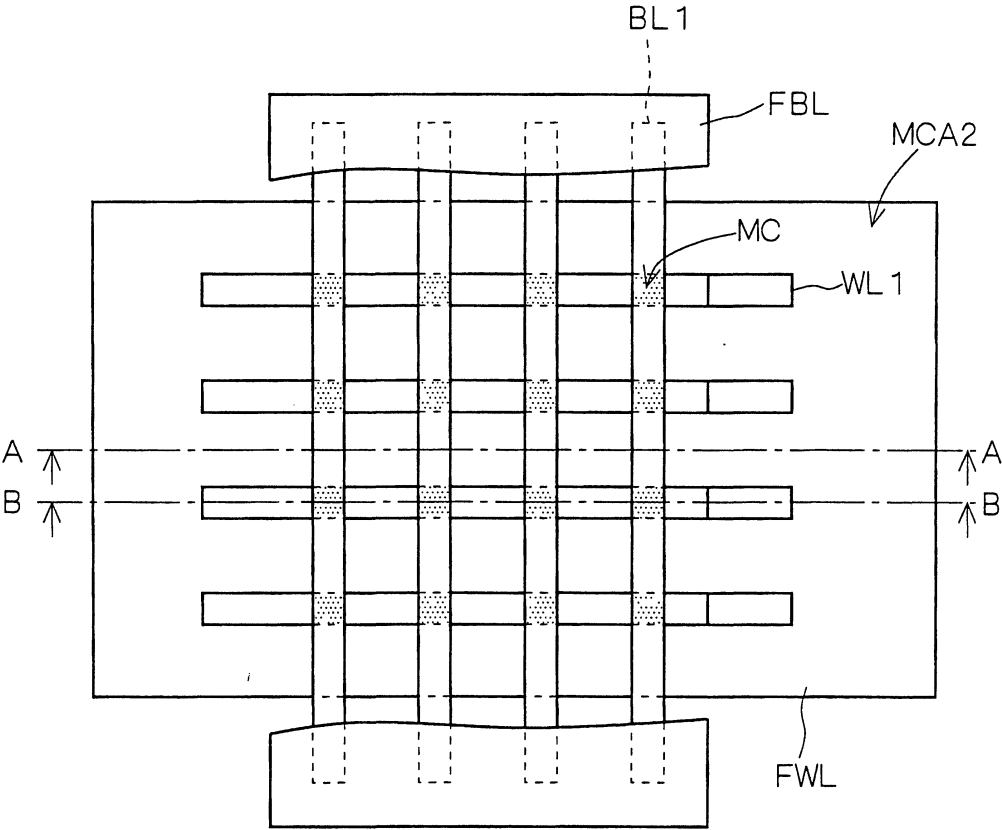
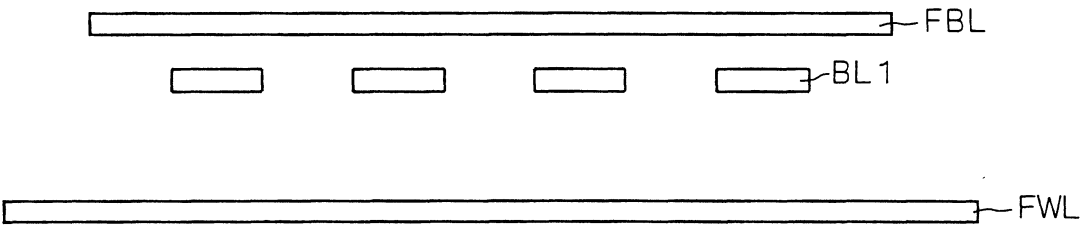


圖 43



44



45

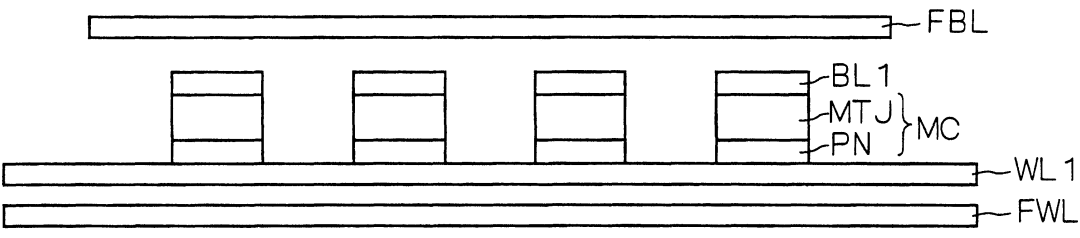


圖 46

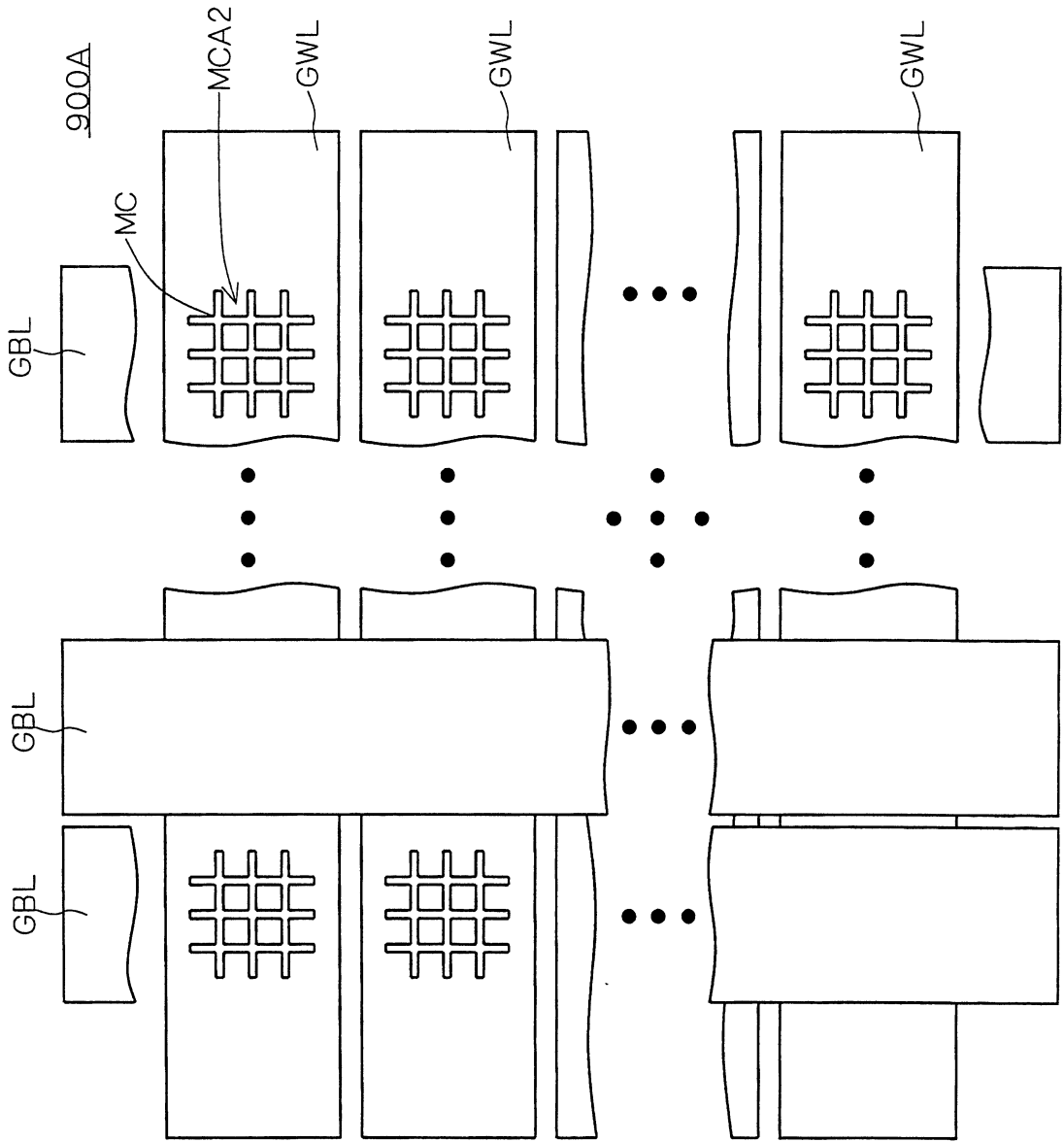


圖 48

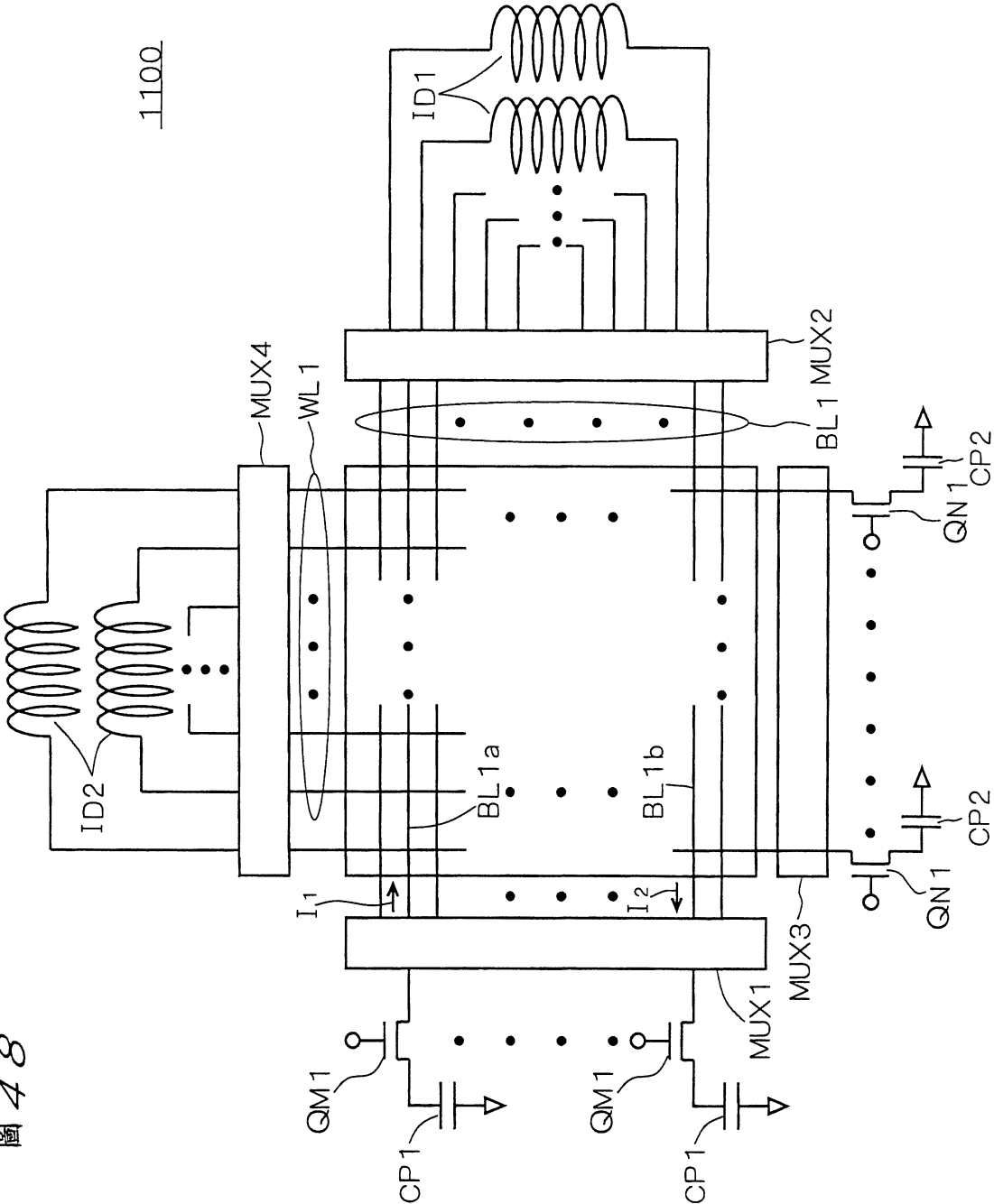


圖 49

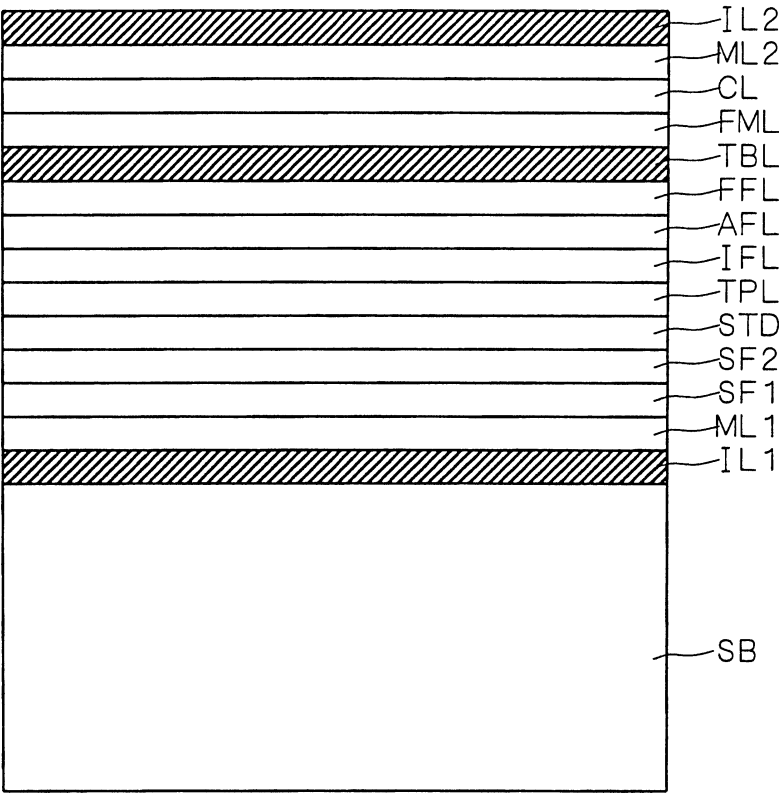


圖 50

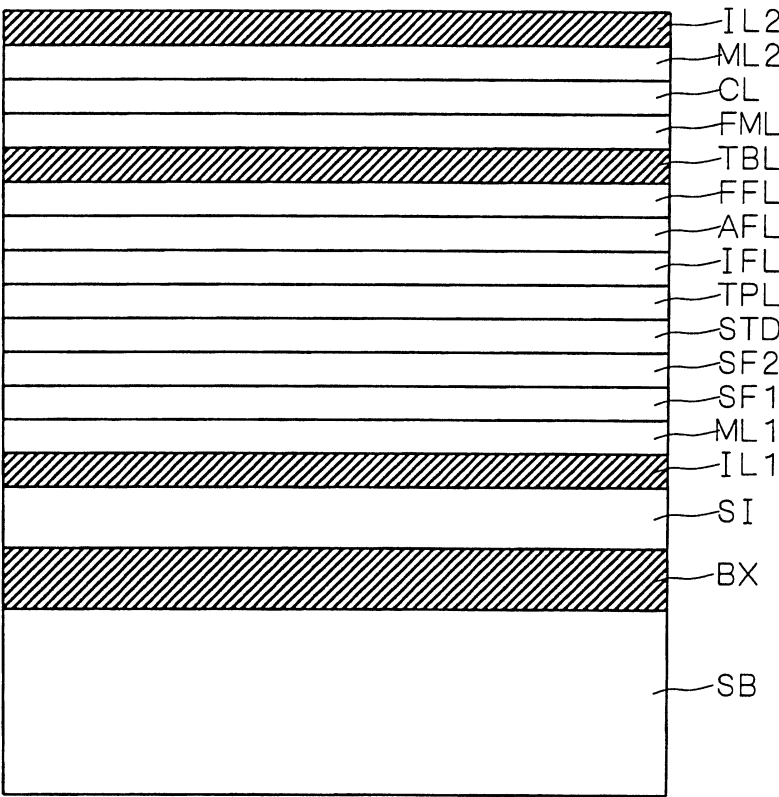


圖 51

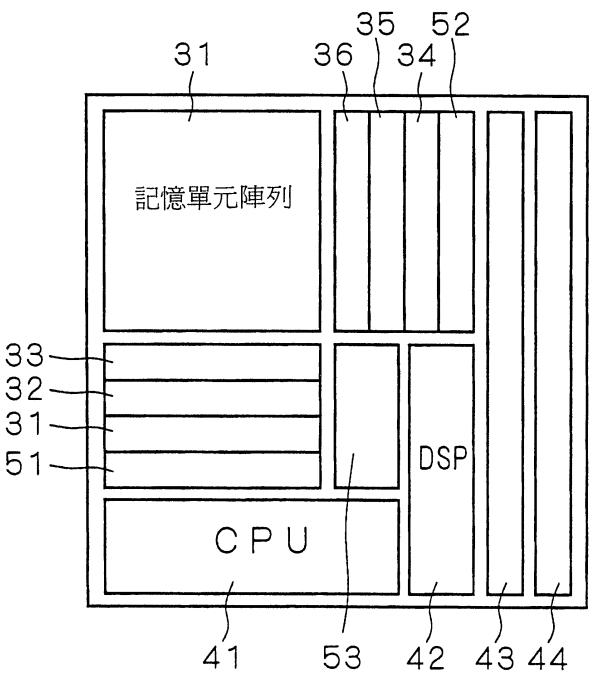
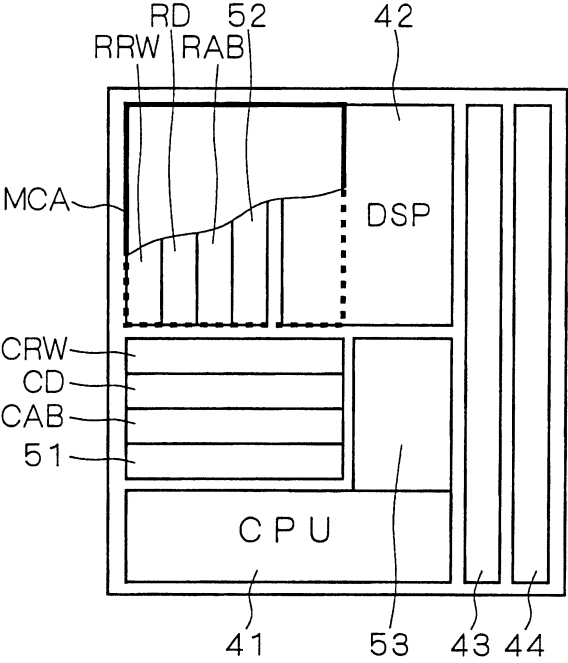
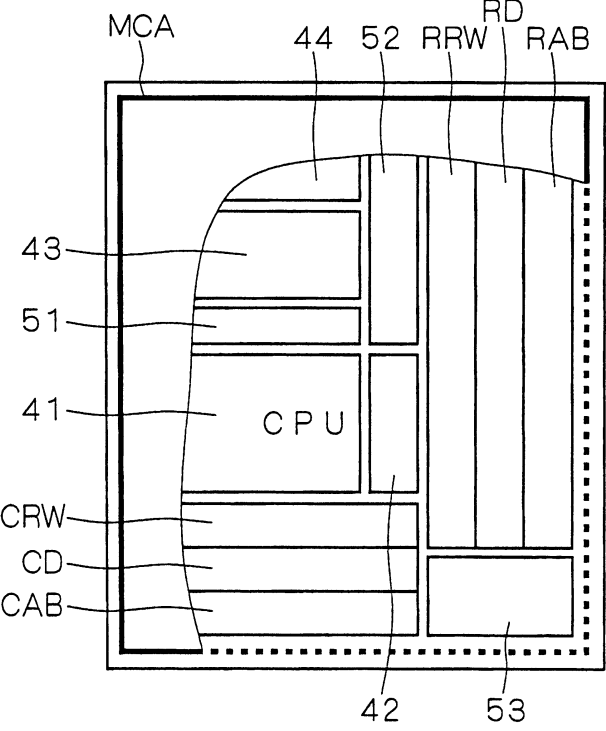


圖 52



1200

圖 53



1300

圖 54

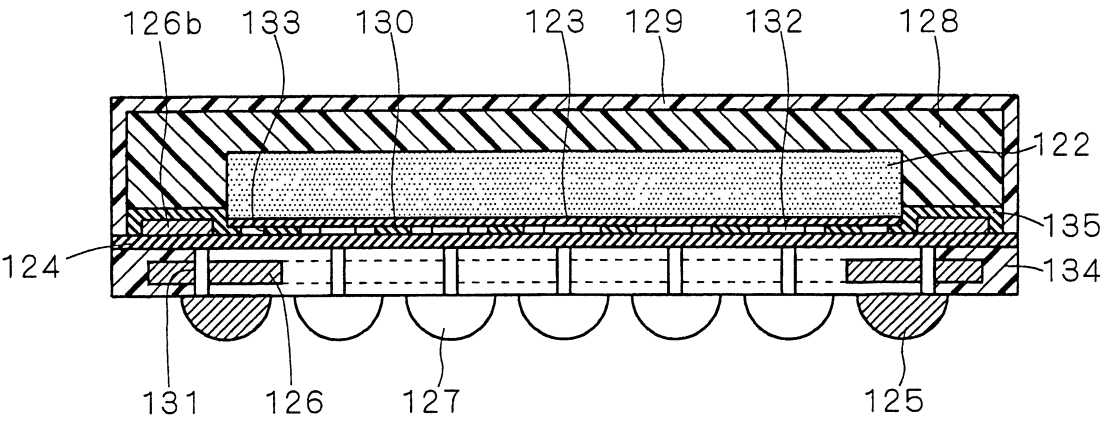


圖 55

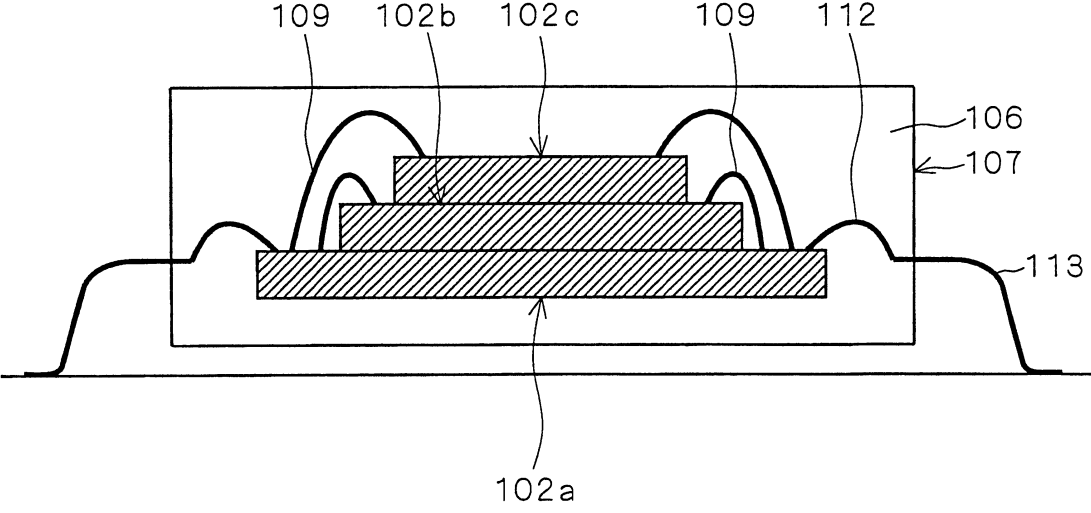
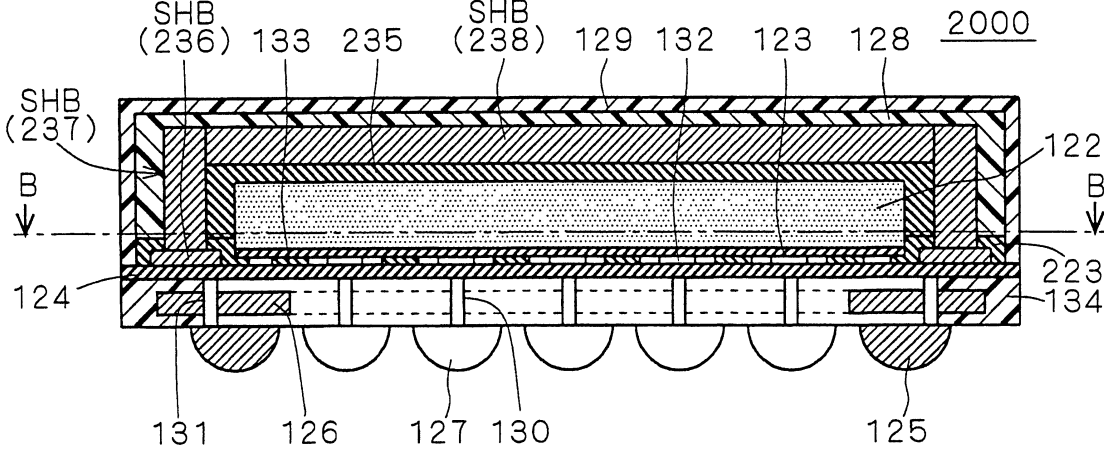
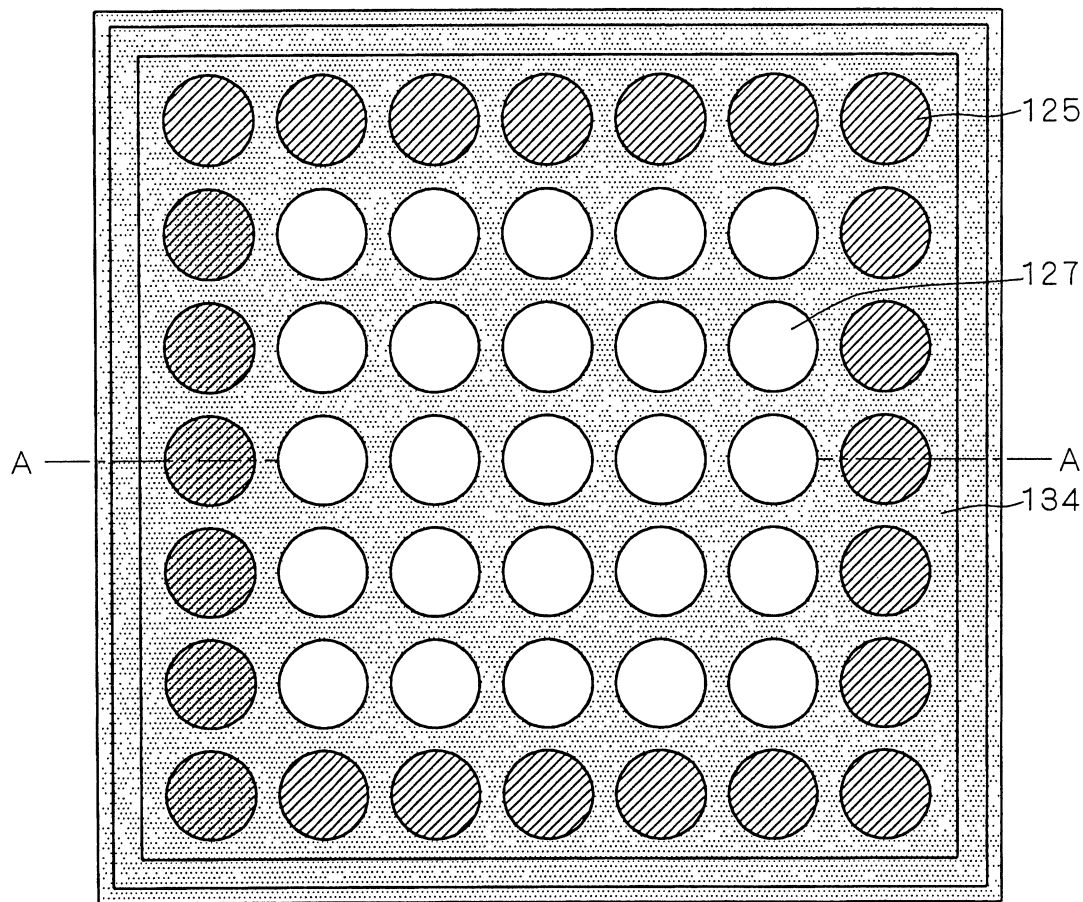


圖 56



57



58

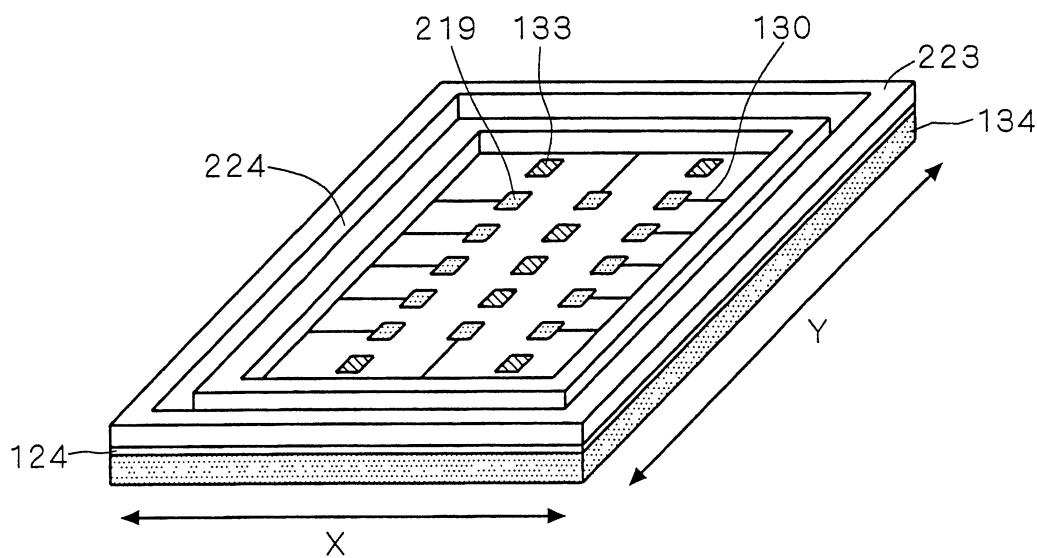


圖 59

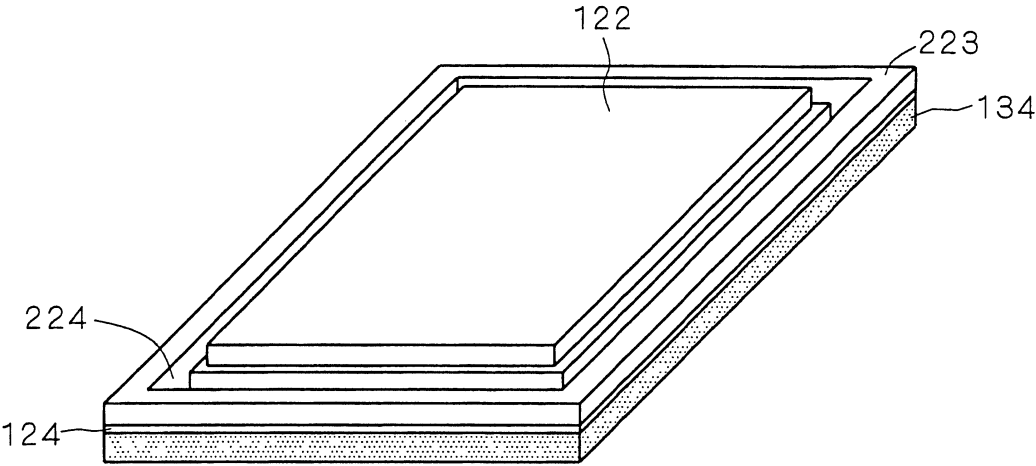


圖 60

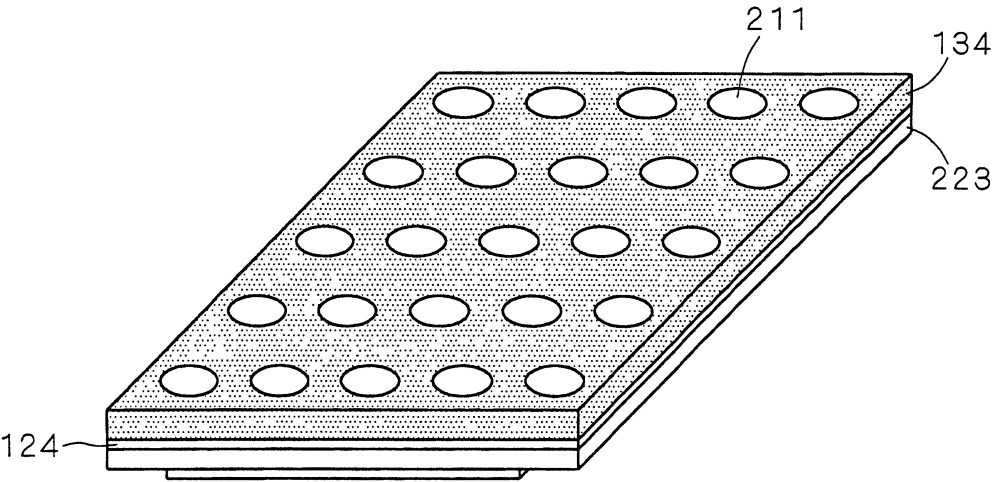


圖 61

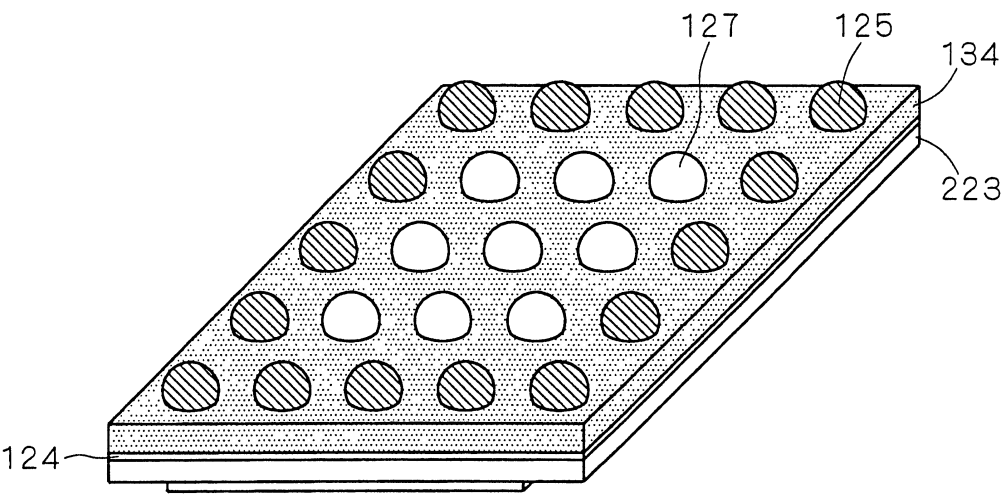


圖 62

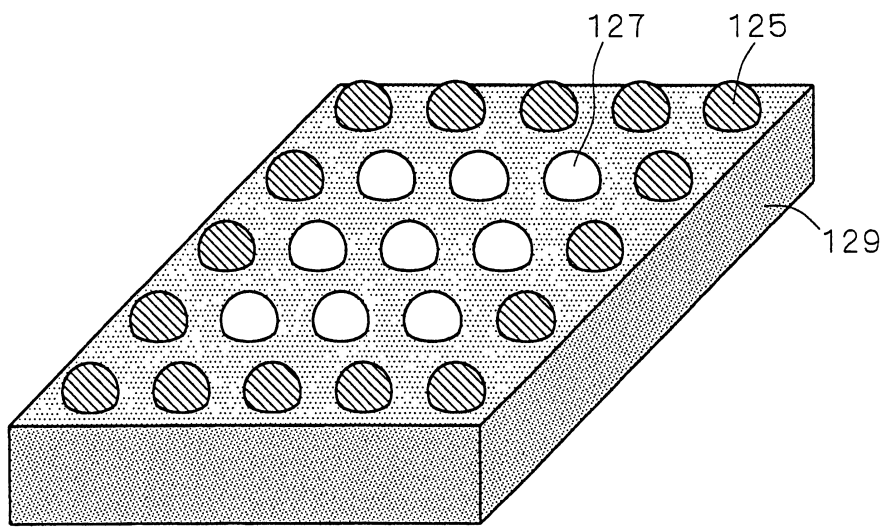


圖 63

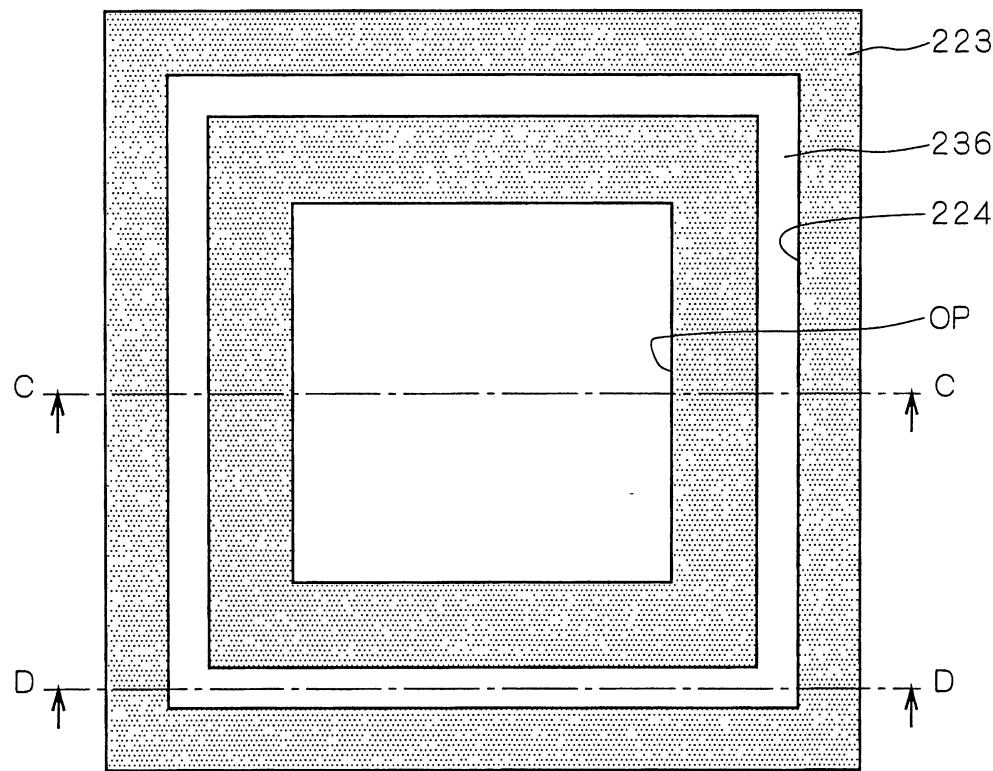


圖 64A

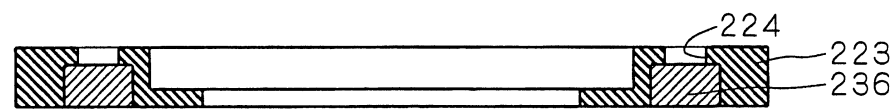


圖 64B



圖 65

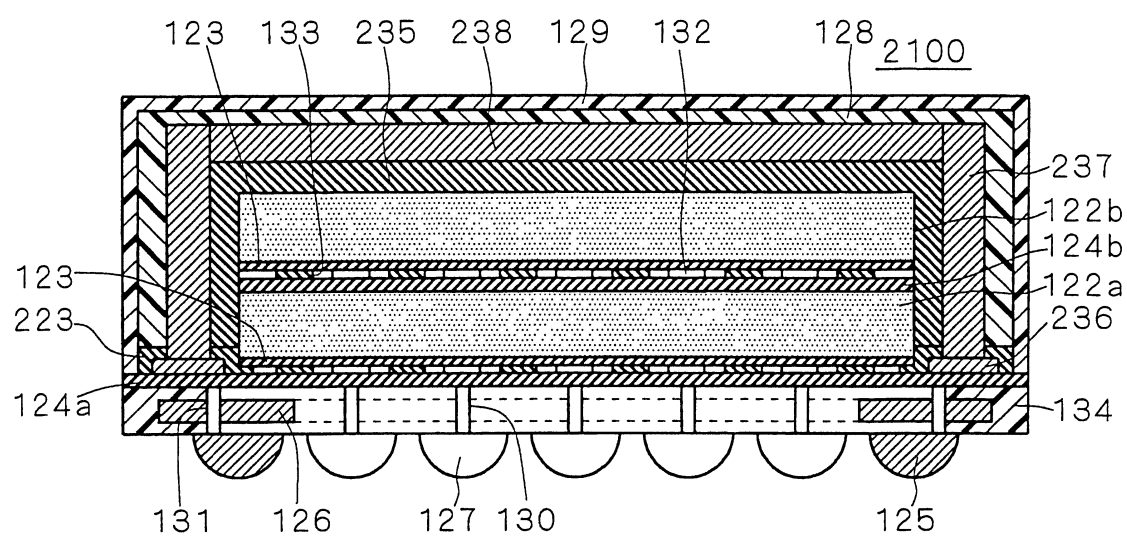


圖 66

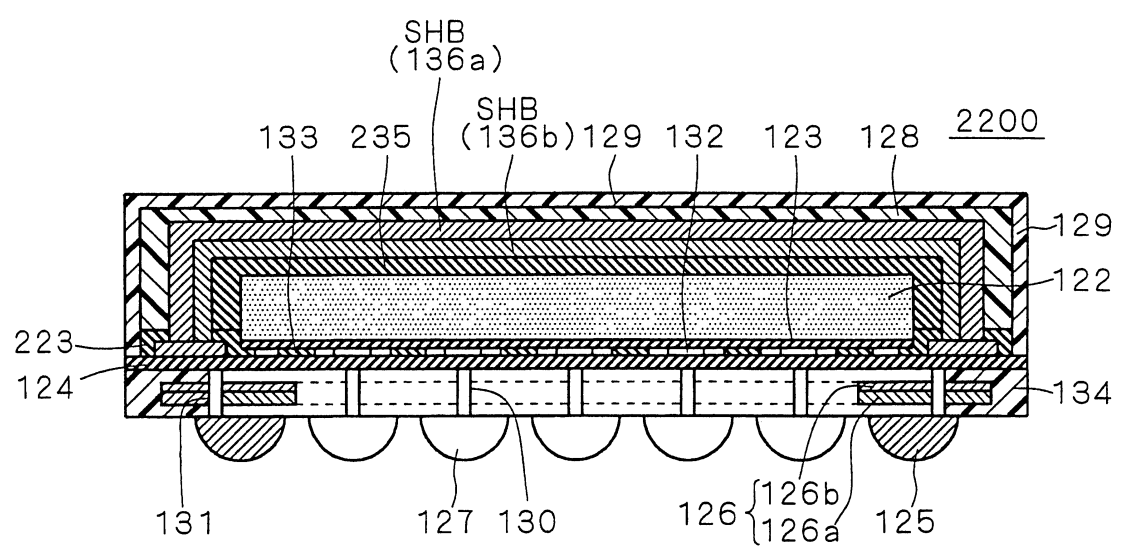


圖 67

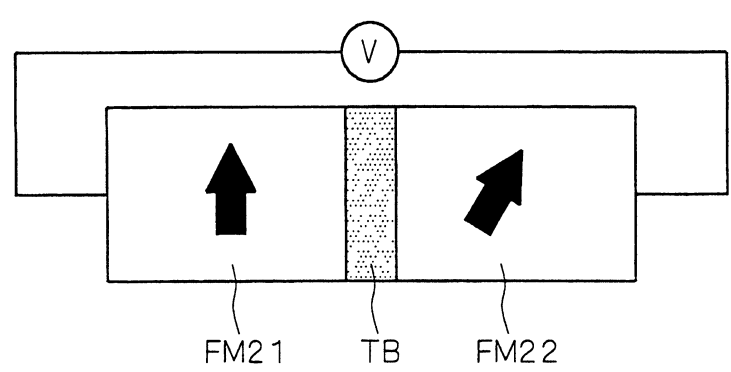


圖 68

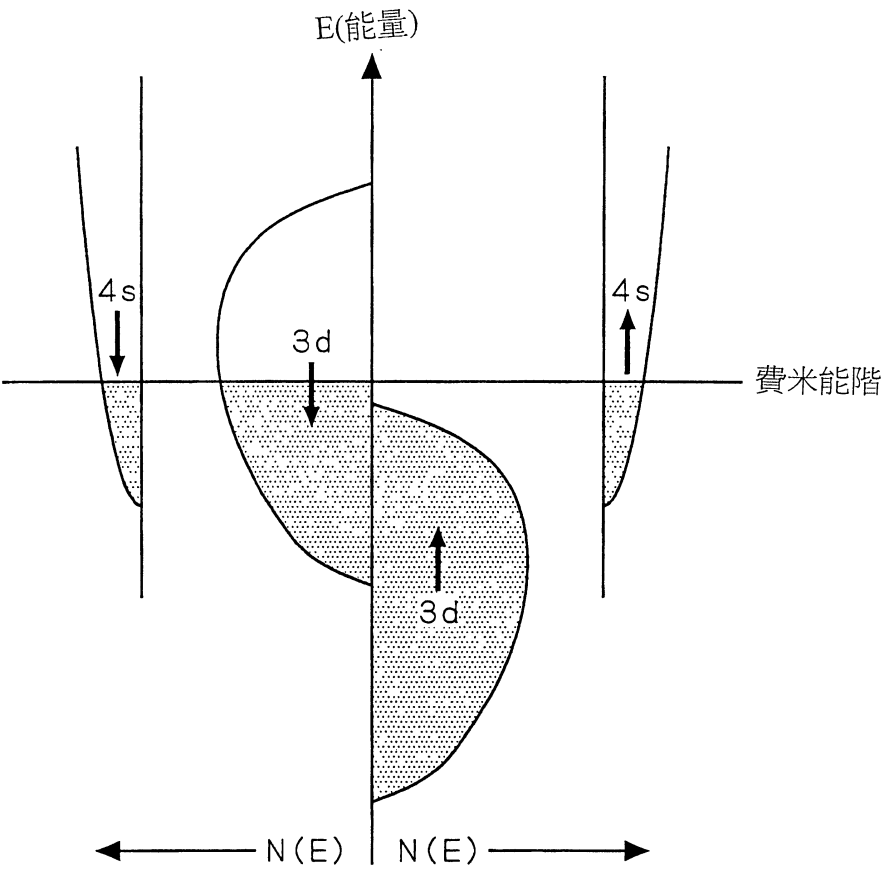


圖 69

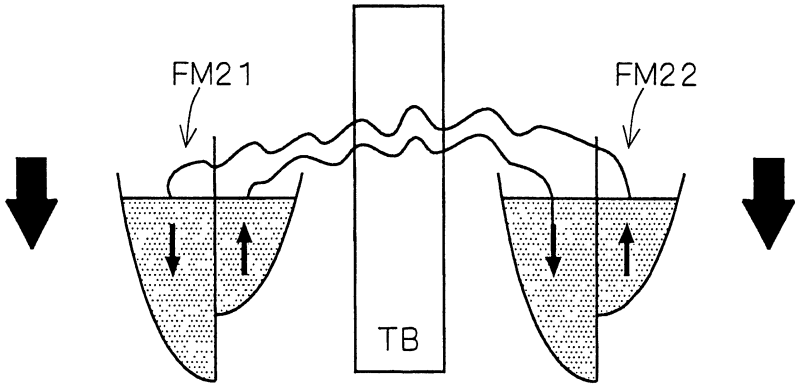


圖 70

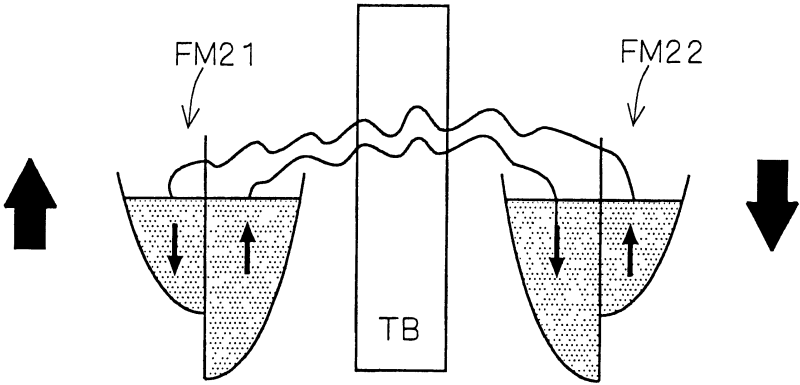


圖 71

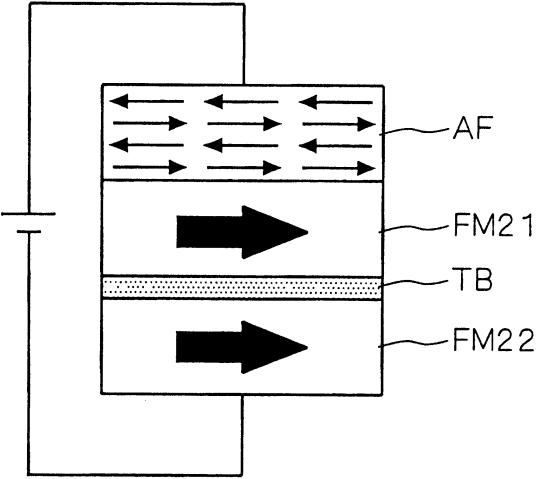


圖 72

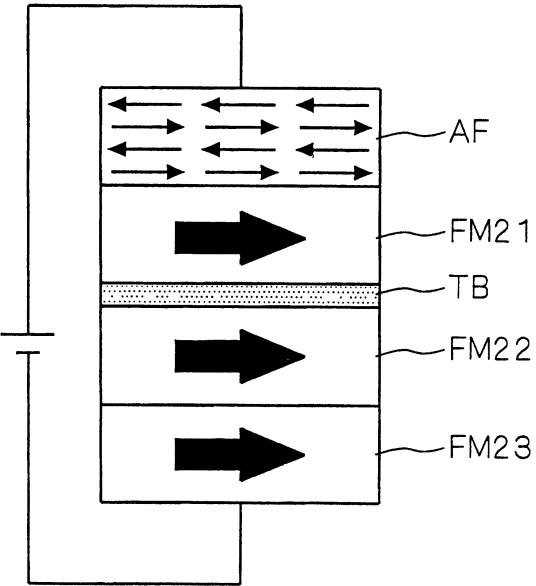


圖 73

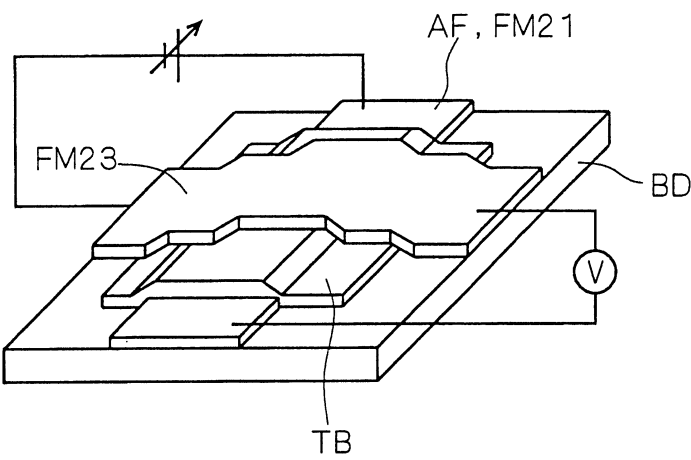


圖 74

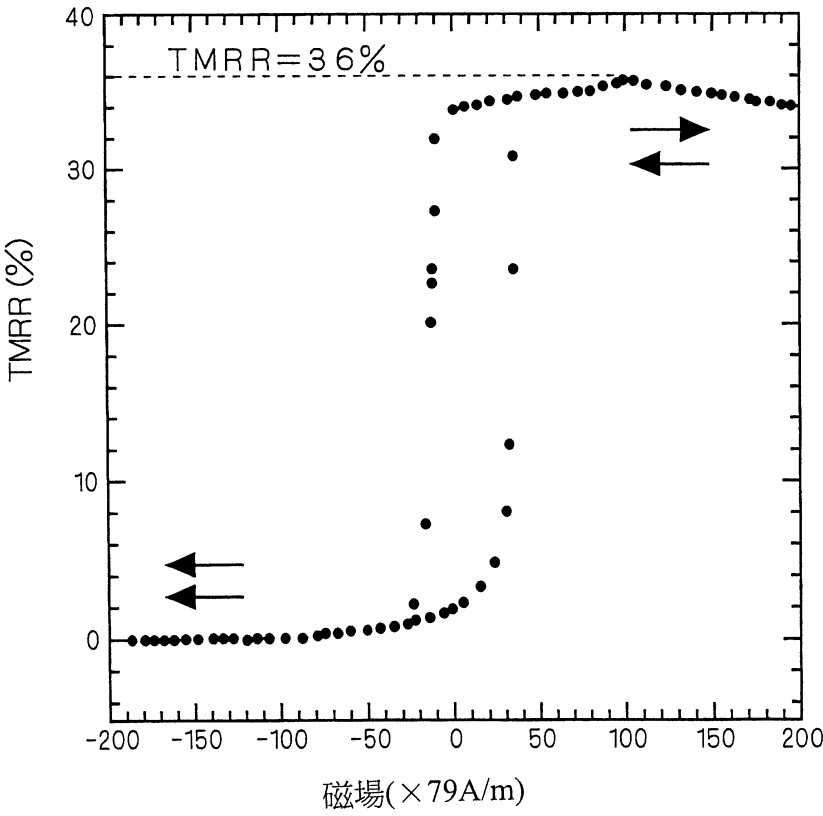


圖 75

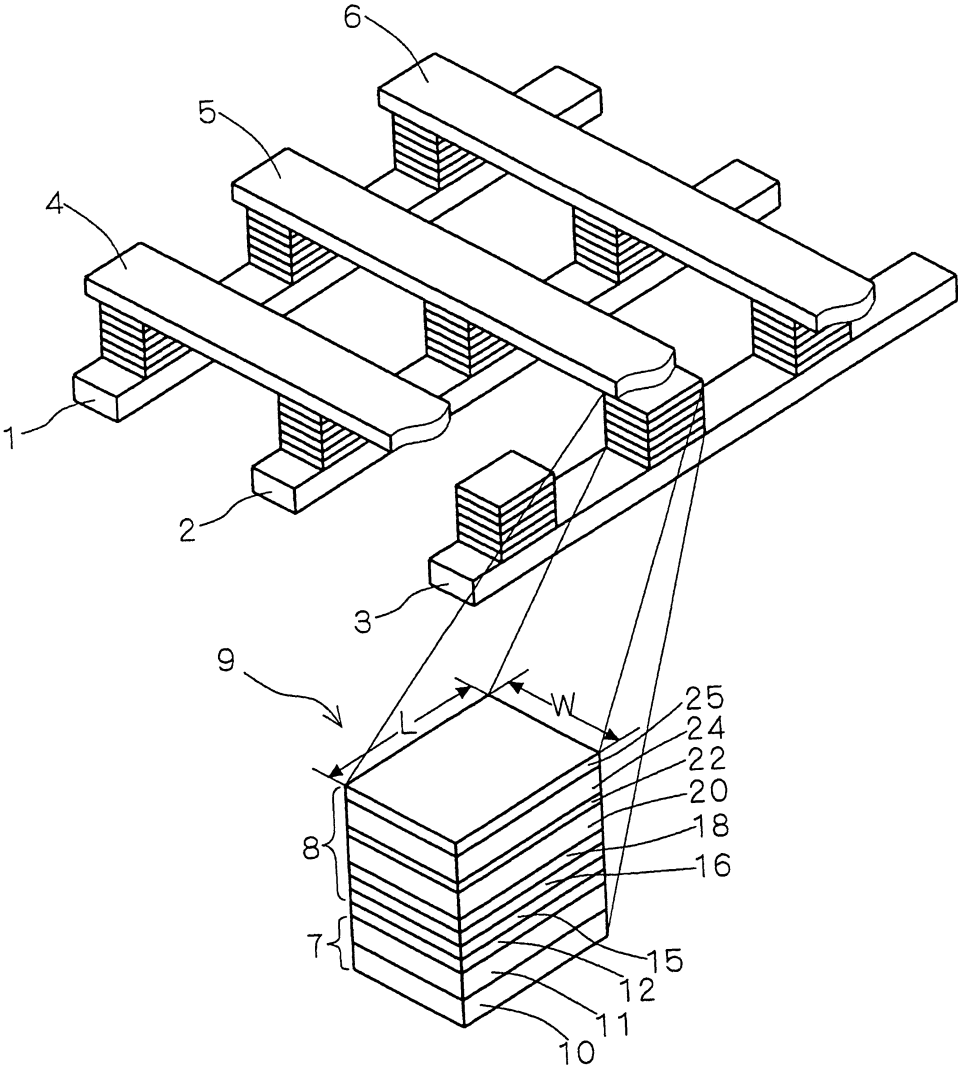


圖 76

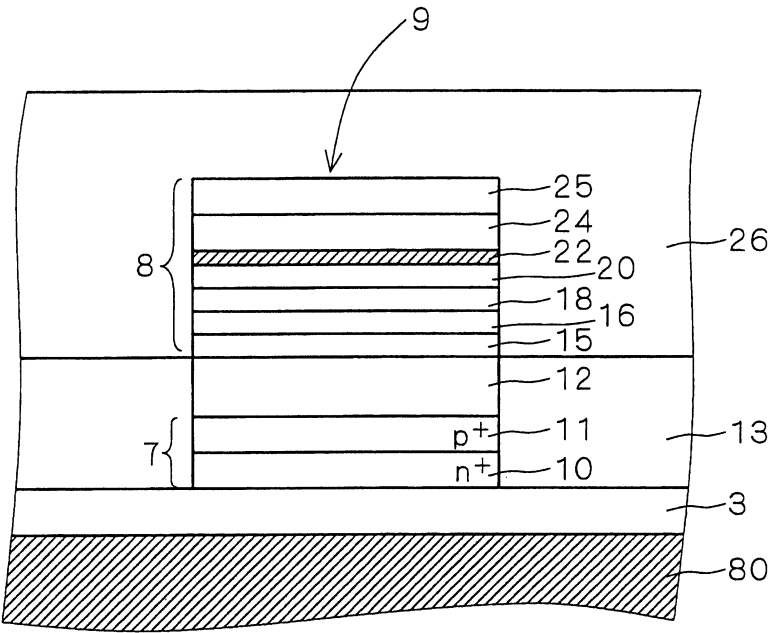


圖 77

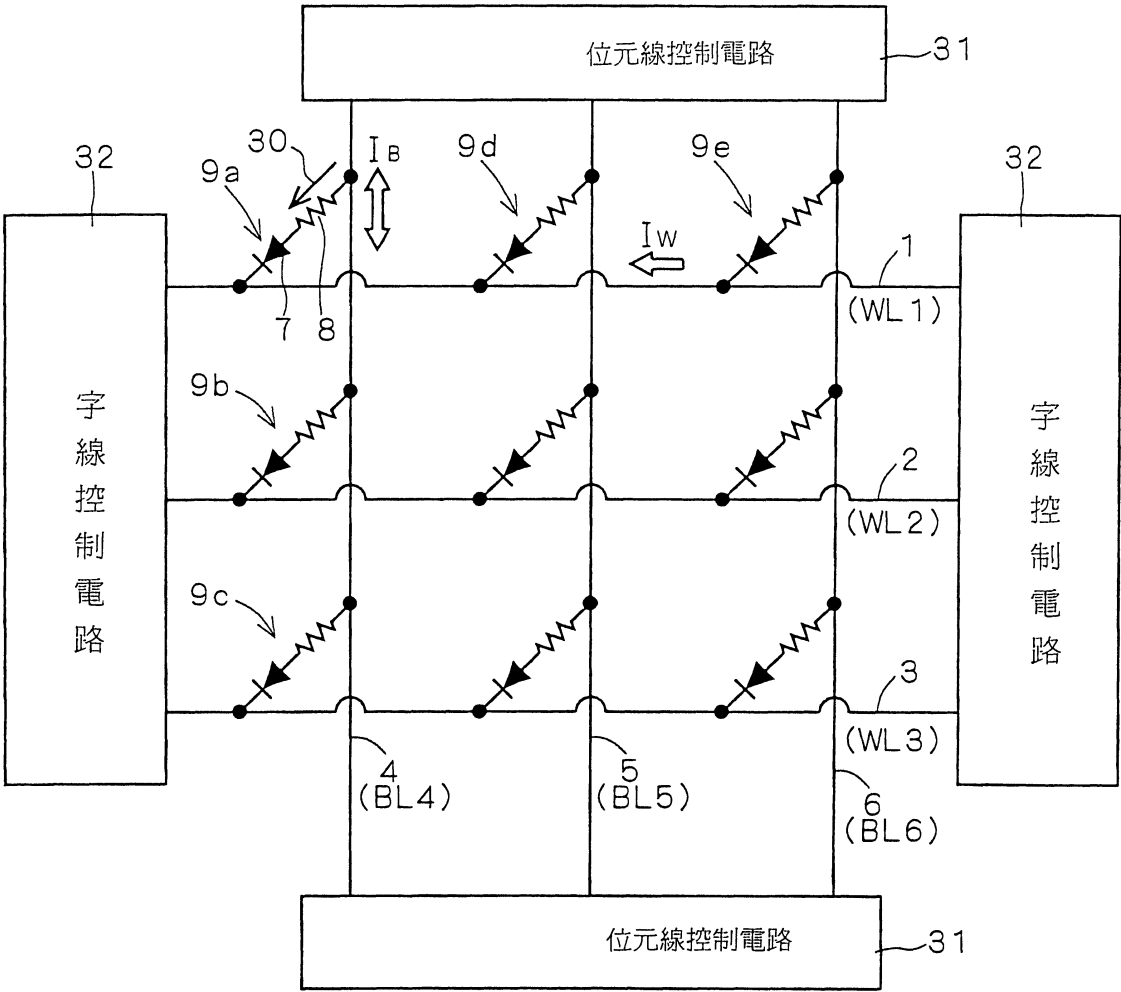


圖 78

