

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>6</sup> H01L 27/12	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년06월20일 10-0460550 2004년11월30일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1997-0038621 1997년08월13일	(65) 공개번호 (43) 공개일자	10-1998-0018649 1998년06월05일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	96-232550	1996년08월13일	일본(JP)
------------	-----------	-------------	--------

(73) 특허권자	가부시키가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와肯 아쓰기시 하세 398
-----------	---

(72) 발명자	야마자키 순페이 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼 가부시 키가이샤 내
----------	--

	오타니 히사시 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼 가부시 키가이샤 내
--	---

	푸코나가 다케시 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼 가부시 키가이샤 내
--	--

(74) 대리인	정상구 이병호 신현문 이범래
----------	--------------------------

**심사관 : 김근모**

---

**(54) 절연게이트형 반도체장치 및 그 제작방법**

---

**요약**

단채널 효과를 방지하면서 채널 길이가 짧은 미세한 반도체 장치를 실현한다.

채널 형성 영역(103)에 대하여 인위적이고도 국부적으로 도트 패턴 상의 불순물 영역(104)을 형성한다. 이 불순물 영역(104)이 드레인측 공핍층의 채널 형성 영역(103)으로의 확장을 억제하고, 단채널 효과를 방지한다. 또한, 불순물 영역(104)에 의해서 단채널 효과에 의한 문턱치 전압의 저하를 완화한다.

**대표도**

도 1(A) 내지 1(C)

**명세서**

**도면의 간단한 설명**

도 1(A) 내지 1(C)는 채널 형성 영역의 구성을 나타내는 도면.

도 2(A) 및 2(B)는 채널 형성 영역의 구성을 나타내는 도면.

도 3은 종래 반도체 장치를 설명하기 위한 도면.

도 4는 채널 형성 영역의 에너지 상태를 나타내는 도면.

도 5는 종래 반도체 장치의 특성을 설명하기 위한 도면.

도 6은 종래 반도체 장치의 구성을 나타내는 도면.

도 7(A) 내지 7(E)는 절연 게이트형 전계 효과 트랜지스터의 제조 공정을 나타내는 도면.

도 8(A) 내지 8(C)는 불순물 영역의 형성 조건을 설명하기 위한 도면.

도 9(A) 및 9(B)는 불순물 영역의 깊이 방향의 형상을 나타내는 도면.

도 10(A) 내지 10(C)는 불순물 영역의 형상 및 배치를 설명하기 위한 도면.

도 11(A) 내지 11(E)는 절연 게이트형 전계 효과 트랜지스터의 구조를 나타내는 도면.

도 12(A) 내지 12(C)는 불순물 영역의 제조 공정을 나타내는 도면.

도 13(A) 및 13(B)는 절연 게이트형 전계 효과 트랜지스터의 구조를 나타내는 도면.

도 14(A) 및 14(B)는 채널 형성 영역의 에너지 상태를 나타내는 도면.

도 15는 채널 형성 영역의 구성을 나타내는 도면.

도 16(A) 내지 16(C)는 채널 형성 영역의 구성을 나타내는 도면.

도 17은 반도체 장치의 응용예를 나타내는 도면.

\*도면의 주요 부분에 대한 부호 설명\*

101: 소스 영역 102: 드레인 영역

103: 채널 형성 영역 104: 불순물 영역(도트 패턴)

105: 필드 산화막 106: 채널 스토퍼

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 명세서에서 개시하는 발명은 결정 반도체 기판, 예를 들면 단결정 실리콘 기판 혹은 SOI 기판(SIMOX 등)을 이용하여 형성된 절연 게이트형 반도체 장치, 특히 절연 게이트형 전계 효과 트랜지스터(이후, 단순히 IG-FET라고 약기한다)의 구조 및 그 제조 방법에 관한 것이다. 특히, 채널 길이가  $1\mu\text{m}$  이하(대표적으로는 0.01 내지  $0.35\mu\text{m}$ )의 미세 소자를 제조하는 경우에 효과를 발휘하는 기술이다.

따라서, 본 발명은 IG-FET을 집적화하여 구성된 IC, VLSI, ULSI 등의 여러가지의 반도체 집적화 회로에 응용할 수 있다.

근년, VLSI 등의 집적화 회로는 점점 미세화의 일로를 걷는 경향이며, 배선의 폭도  $0.18\mu\text{m}$  이하, 또는  $0.1\mu\text{m}$  이하와 같은 디프서브미크론 영역의 가공 크기가 요구되고 있다.

지금까지 반도체 소자의 미세화는 스케일링 법에 따라서 진행되고 있으며, 미세화가 집적화 회로의 특성 향상을 가져오는 것은 일반적으로 알려져 있었다. 그러나, 서브미크론 영역의 미세 가공이 되면 단순하게는 스케일링 법에 따르지 않는 문제 가 발생하게 된다.

그와 같은 문제로서 단채널 효과라는 현상이 대표적으로 알려져 있다. 단채널 효과란, 게이트 전극의 선폭이 짧아지는 즉 채널 형성 영역이 짧아짐에 따라서, 채널 형성 영역의 전하가 게이트 전압뿐만 아니라, 소스/드레인 영역의 공핍층 전하 라든지 전계 및 전위 분포의 영향을 크게 받기 때문에 일어나는 현상이다.

이러한 상황을 간략화하여 도 3에 나타낸다. 301은 소스 영역, 302는 드레인 영역, 303은 채널 영역, 304는 게이트 전극이다. 또한, 305로 나타나는 점선은 드레인 전압(Vd)이 작을 때 형성되는 공핍층을 나타낸다.

통상, 채널 영역(303)을 흐르는 전류는 게이트 전압(Vg)만으로써 제어된다. 이 경우, 305로 나타나는 바와 같이, 채널 영역(303) 부근의 공핍층은 채널에 대략 평행하게, 균일한 전계가 형성된다.

그러나, 드레인 전압(Vd)이 높아지면, 드레인 영역(302)부근의 공핍층이 채널 영역(303), 소스 영역(301)의 쪽으로 확장되고, 306에서 나타나는 실선으로 나타나는 바와 같이, 드레인 공핍층의 전하라든지 전계가 소스 영역(301), 채널 영역(303) 부근의 공핍층으로 영향을 미치게 된다. 즉, 온 전류가 복잡한 전계 분포에 의해 변화하고, 게이트 전압(Vg)만으로 제어하는 것이 곤란한 상황이 되기 때문이다.

여기에서, 단채널 효과가 생기는 경우에 있어서의 채널 형성 영역 주변의 에너지 상태를 도 4를 이용하여 설명한다. 도 4에 있어서 실선으로 나타내는 상태도는 드레인 전압이 0V일 때의 소스 영역(401), 채널 형성 영역(402), 드레인 영역(403)의 에너지 밴드도이다.

이 상태에서 충분히 큰 드레인 전압(Vd)이 인가되면, 도 4에서 점선으로 나타내는 상태로 변화한다. 즉, 드레인 전압(Vd)에 의해 형성된 드레인 영역(403)의 공핍층 전하라든지 전계가, 소스 및 채널 영역(401, 402)의 공핍층 전하에 영향을 주고, 에너지(전위) 상태는 소스 영역(401)으로부터 드레인 영역(403)에 걸쳐서 연속적으로 변화하게 된다.

그리고, 이러한 단채널 효과가 반도체 소자, 예를 들면 IG-FET에 주는 영향으로서는 문턱치 전압(Vth)의 저하라든지 편치스루 현상이 잘 알려져 있다. 또한, 편치스루 현상에 의해서 드레인 전류에 대한 게이트 전압의 영향이 저하하면 서브 스레츠드 특성이 나빠지는 것도 알려져 있다.

우선, 문턱치 전압의 저하는 N 채널형 FET에 대해서도 P채널형 FET에 대해서도 동일하게 나타나는 현상이다. 또한, 이 저하 정도는 드레인 전압에 의존할 뿐만 아니라, 기판 불순물 농도, 소스/드레인 확산층 깊이, 게이트 산화막 두께, 기판 바이어스 등의 여러 가지의 파라미터에 의존한다.

문턱치 전압의 저하는 소비 전력을 작게 하는 의미로서는 바람직하지만, 일반적으로는 집적 회로의 구동 전압이 작아짐으로써 주파수 특성이 높아지지 않는 것과 같은 단점이 문제가 된다.

그래서, 지금까지는 문턱치 전압을 제어하기 위한 수단으로서는 채널 형성 영역 전체에, 균일하게 한 도전성을 부여하는 불순물 원소를 첨가하여, 그 첨가량으로써 문턱치 전압을 제어하는 것이 일반적이었다. 그러나, 이 방법도 역시 단채널 효과 자체를 방지하는 것은 불가능하며, 편치스루 현상 등이 발생하였다. 또한, 첨가한 불순물이 캐리어를 산란시키기 때문에 캐리어의 이동도를 저하시키는 요인도 되고 있었다.

또한, 편치스루 현상에 따른 서브스레츠드 특성의 열화란 서브스레츠드 계수(S 치)가 커지는, 즉 FET의 스위칭 특성이 열화하는 것을 의미한다. 여기에서 서브스레츠드 특성에 미치는 단채널 효과의 영향을 도 5에 도시한다.

도 5는 횡축에 게이트 전압(Vg), 종축에 드레인 전류(Id)의 대수를 받아들인 그래프이고, 501의 영역에서의 기울기(서브스레츠드 특성)의 역수가 S값이다. 도 5에서는 채널 길이를 서서히 짧게 하였을 때의 특성 변화를 비교하여, 화살표의 방향을 향하여 채널 길이는 짧아지고 있다.

그 결과, 채널 길이가 짧아짐에 따라서 특성의 기울기가 작아진다. 즉 S값이 커지는 경향인 것을 확인할 수 있다. 이것은 채널 길이가 짧아짐에 따라서 FET의 스위칭 특성이 열화하는 것을 의미한다.

이상은 반도체 소자의 채널 형성 영역의 길이가 극단적으로 짧아진 경우에 생긴 단채널 효과의 설명이지만, 채널 형성 영역의 폭이 극단적으로 좁아진 경우에는 협채널 효과라는 현상도 발생한다.

도 6에 나타내는 것은 일반적인 IG-FET를 채널 방향(소스와 드레인을 연결하는 방향)과 수직인 면에서 분단한 단면도이다. 601은 단결정 실리콘 기판, 602는 선택 산화법으로 형성된 필드 산화막이다. VLSI에서 사용되는 개개의 반도체 소자는 필드 산화막(602)에 의해서 각각 분리되어 있다.

또한, 603은 게이트 전극이고, 게이트 전극(603)에 전압을 인가함으로써 채널 영역(604)이 형성된다. 또, 필드 산화막(602)하에는 불순물 영역(605)이 배치되어 있고, 채널 스토퍼로서 기능한다.

협채널 효과는 채널폭(W)이 좁아짐에 따라서, 패널 영역(604)에 대하여 필드 산화막(602), 불순물 영역(605)의 베즈비크 부분(Bird's Beak)이 크게 영향을 줌에 따라서 발생한다. 구체적으로는, 경계치 전압의 증가라든지 실효 채널폭의 전원 전압의 존성 등을 들 수 있다.

### 발명이 이루고자 하는 기술적 과제

현재의 반도체 산업에 있어서는, 극한까지 집적화된 반도체 집적 회로가 요구되며, 개개의 반도체 소자의 미세화를 어디까지 추구할 수 있을지가 열쇠로 되어 있다. 그러나, 디프서브미크론 영역의 파인 패턴을 형성하는 기술이 개발되었다고 해도, 상술한 바와 같은 단채널 효과의 문제가 소자의 미세화를 막는 치명적인 장애로 되어 있었다.

본 발명은 상기 문제점을 감안하여 행해진 것으로, 반도체 소자의 미세화에 따른 단채널 효과를 효과적으로 억제하기 위한 기술을 개시하는 것이다. 그리고, 단채널 효과에 의해서 실현이 곤란했던 디프 서브미크론 영역의 미세 소자를 형성 가능하게 하는 것을 과제로 한다.

## &lt;과제를 해결하기 위한 수단&gt;

본 명세서에서 개시하는 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 패널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 넓어지는 공핍층을 피닝하기 위해서 인위적 또한 국부적으로 형성된 불순물 영역을 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위해 인위적 또한 국부적으로 형성된 불순물 영역을 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역에서 인위적 또한 국부적으로 형성된 불순물 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 불순물 영역은 에너지 밴드폭(Eg)을 넓히는 불순물 원소가 첨가되는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 확장되는 공핍층을 피닝하기 위해 인위적 또한 국부적으로 형성된 불순물 영역을 갖고,

상기 불순물 영역에는 에너지 밴드폭(Eg)을 넓히는 불순물 원소가 첨가되어 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 확장되는 공핍층을 피닝하기 위해 인위적 또한 국부적으로 형성된 불순물 영역을 갖고,

상기 캐리어가 이동하는 영역에 있어서는 캐리어의 불순물 산란을 방지하는 수단 혹은 캐리어의 격자 산란 이외의 요인에 의한 이동도 저하를 방지하는 수단이 설치되어 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위해 인위적 또한 국부적으로 형성된 불순물 영역을 갖고,

상기 불순물 영역에는 에너지 밴드폭(Eg)을 넓히는 불순물 원소가 첨가되어 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 캐리어가 이동하는 영역과,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위해 인위적 또한 국부적으로 형성된 불순물 영역을 구비하며,

상기 캐리어가 이동하는 영역에 있어서는 캐리어의 불순물 산란을 방지하는 수단 혹은 캐리어의 격자 산란 이외의 요인에 의한 이동도 저하를 방지하는 수단이 설치되어 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

상기 채널 형성 영역에서 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 첨가함으로써, 인위적 또한 국부적으로 형성된 불순물 영역과,

상기 채널 형성 영역 상에 형성된 게이트 절연막 및 게이트 전극을 적어도 갖는 절연 게이트형 반도체 장치에 있어서,

상기 불순물 영역은 절연성을 갖고 있고,

상기 채널 형성 영역에서 상기 불순물 영역 이외의 영역에는 상기 불순물 원소가 첨가되지 않은 또는 극미량으로 첨가되어 있는 것을 특징으로 한다.

또, 불순물 영역 이외의 영역에 불순물 원소가 첨가되지 않은 또는 극미량으로 첨가되어 있는 채널을 형성하는 영역(반도체층)은 진성 또는 실질적으로 진성인 영역인 것을 의미한다.

또, 본 명세서에 있어서 진성인 영역이란 N형이나 P형을 부여하는 불순물 원소 및 탄소, 질소, 산소와 같은 불순물 원소를 의도적으로 첨가하지 않은 영역을 가리키고 있다. 또한, 실질적으로 진성인 영역이란, 의도적으로 N형이나 P형을 부여하는 불순물 원소를 첨가하지 않아도 생기는 도전형을 상쇄한 영역, 또는 문턱치 제어가 가능한 범위에 있어서 소스 및 드레인 영역과 동일 도전형을 나타내는 영역을 가리키고 있다.

또한, 본 명세서에 있어서 진성 또는 실질적으로 진성인 영역은 인 또는 붕소의 농도가  $5 \times 10^{17}$  atms/cm<sup>3</sup>이 하이고, 탄소 또는 질소 또는 산소의 농도가  $2 \times 10^{18}$  atms/cm<sup>3</sup>이하인 영역을 가리킨다.

또한, 상기 불순물 원소로서는 예를 들면 탄소, 질소, 산소 등을 들 수 있다.

또한, 본 명세서 내에서는 결정 반도체로서 단결정 실리콘을 대표적 예로 들었지만, 이 단결정 실리콘이란 현재의 VLSI, ULSI 레벨로 일반적으로 사용되고 있는 수준의 단결정 실리콘은 물론이고, 또한 고수준의 단결정 실리콘(궁극적으로는 우주 공간에서 제조될 수 있는 이상 상태의 단결정 실리콘)도 포함한 것으로 한다.

본 발명의 주지는 채널 형성 영역에 인위적 또한 국부적으로 형성한 불순물 영역에 의해 드레인 공핍층의 확장을 효과적으로 억제하여, 종래부터 문제가 되었던 편치스루 현상이나 그에 따른 서브스레츠드 특성의 열화를 방지하는 것에 있다.

본 출원인은 마치 채널 형성 영역에 불순물 영역의 핀을 형성한 것과 유사하게 되어 있기 때문에, 본 발명에 의한 IG-FET를 피닝형 트랜지스터라고 부르고 있다. 또, 본 명세서 중에 있어서 「피닝」이란 「억지」를 의미하고, 「페터닝한다」란 「억지한다」 또는 「억제한다」라는 의미로 사용하고 있다.

또한, 채널 길이의 미세화에 따른 단채널 효과에 기인하는 대표적 현상인 문턱치 전압의 저하를, 인위적으로 협채널 효과를 생기게 함으로써 완화시켜 주는 것도 본 발명의 중요한 구성이다.

도 1(A)에 도시된 것은 일반적인 IG-FET의 소스 영역, 드레인 영역 및 채널 형성 영역을 상면에서 보았을 때의 상태의 모식도이다. 또, 101이 소스 영역, 102가 드레인 영역, 103이 채널 형성 영역이다.

그리고, 본 발명의 특징은 채널 형성 영역(103)내에 도트 패턴으로 불순물 영역(104)이 형성되어 있는 점이다. 본 발명에 있어서는 첨가하는 불순물로서 탄소(C), 질소(N), 산소(O)중, 선택된 일종 또는 복수 종류의 원소를 사용하고 있다.

첨가된 불순물은 채널 형성 영역(103)내에 국부적으로 에너지 밴드폭이 큰 에너지 장벽을 형성한다. 본 발명과 같이 탄소, 질소, 산소를 이용한 경우에는 도 14(A)에서 도시한 상태이었던 에너지 밴드를 도 14(B)에서 도시한 상태로 하고, 에너지 밴드폭(Eg)을 넓힘으로 장벽  $\Delta E$ 가 더욱 큰 장벽  $\Delta E'$ 로 된다. 예를 들면, 산소를 첨가한 경우에는  $\text{SiO}_x$ 로 나타내도록 한 구조의 절연성 고저항 영역으로 되어 전기적으로도 장벽이 된다.

특히, 도 1(A)에 도시된 바와 같이 드레인 영역(102)과 채널 형성 영역(103)의 접합부는 가장 전계 변화가 심한 영역이기 때문에, 이 위치에 불순물 영역(104)을 배치해 두는 것이 바람직하다. 또한, 게이트 전극에 의한 전계가 드레인 영역(102)내에도 미치는 경우는 드레인 영역(102)내에 불순물 영역(104)을 형성하는 것도 가능하다. 반대로 소스 영역(101)내에는 불순물 영역(104)은 형성하지 않는 것이 바람직하다.

이와 같이, 탄소, 질소, 산소를 사용하는 경우에 있어서는 어떤 경우도 불순물 영역을 절연성의 에너지 장벽으로서 활용하기 때문에 N채널형 TFT와 P채널형 TFT로 공통화할 수 있다. 이 것은 본 발명을 CMOS 회로에 적용한 경우에 제조 공정을 간략히 하는 데에 있어서 유리한 것을 의미한다.

또한, 이들의 불순물 원소는 모체 기판이 실리콘인 경우, 실리콘 원자와 강하게 결합하기 때문에 가열 처리 등에 의해 재화산될 우려가 적다.

또한, 본 발명은  $0.2\text{ }\mu\text{m}$ 와 같은 딥 서브미크론 영역의 미세 가공을 필요로 하는 미세한 소자를 형성할 때에 극히 효과적이다. 따라서, 채널 형성 영역의 길이(채널 길이 또는 소스/드레인간 거리)도 0.01 내지  $1.0\text{ }\mu\text{m}$ , 대표적으로는 0.1 내지  $0.35\text{ }\mu\text{m}$ 로 짧은 것으로 되기 때문에, 불순물 영역은 더욱 미세한 패턴을 절단하지 않으면 안된다.

예를 들면, 도트 패턴 상의 불순물 영역을 형성할 때에 레지스트 마스크를 이용하는 경우에는 레지스트 마스크에 트인 구멍을 설치하는 패터닝은 해상도 문제때문에 통상의 노광법을 사용할 수 없다. 그 같은 경우에 있어서는 패터닝을 전자 묘화법이나 FIB법을 사용하여 행함으로 미세한 패턴을 실현하면 된다.

또한, 이 도트 패턴의 불순물 영역은 패터닝에 의해 인위적으로 배열하여 형성되기 때문에, 도 1(A)와 같은 배치뿐만 아니라, 임의의 여러 가지 배치로 하는 것이 가능하다.

다음에, 도 1(A)에 도시된 소스 영역/채널 형성 영역/드레인 영역의 구성을 갖는 절연 게이트형 반도체 장치(IG-FET)를 구동시켰을 때에, 어떻게 하여 단채널 효과가 억제되는가를 이하에 설명한다.

우선, 도 1(A)를 A-A'로 절단한 단면도를 도 1(B)에 도시한다. 105는 필드 산화막, 106은 채널 스토퍼이다. 불순물 영역(104)의 형상을 조건 설정에 의해서 여러 가지 배리에이션을 채용할 수 있지만, 여기에서는 이상적으로 산란이 없는 것으로서 막대 형상으로 주입되는 경우를 예로 든다.

또한, 도 1(A)를 B-B'로 절단한 단면도를 도 1(C)에 도시한다. 107은 필드 산화막이다. 통상, 필드 산화막의 아래에는 채널 스토퍼가 배치되지만 여기에서는 약기한다. 또한, 어떤 불순물 영역(104)의 폭은  $w_{pi}$ ,  $n$ 으로 나타내고, 그 간격은  $w_{pa}$ ,  $m$ 으로 나타낸다. 여기에서  $n$ ,  $m$ 은 채널 형성 영역(103)내에서,  $w_{pi}$ ,  $n$ 이  $n$ 번째의 불순물 영역의 폭이고,  $w_{pa}$ ,  $m$ 이  $n$ 번째의 불순물 영역의 간격(캐리어의 이동하는 패스)인 것을 의미한다.

여기까지의 설명은 단지 구조에 대한 설명이지만, 다음에 그 효과에 대하여 설명한다. 우선, 도 1(B)에 도시된 구조를 갖는 반도체 장치에 대하여 게이트 전압, 드레인 전압을 인가한 경우에는 도 2(A)에 도시된 바와 같은 상태로 소스측 공핍층(201), 채널측 공핍층(202), 드레인측 공핍층(203)이 형성된다. 즉, 드레인측 공핍층(203)은 불순물 영역(204)이 되어 소스측으로의 확장이 방지된 형태로 된다.

도 1(B)에서는 알기 어렵지만 불순물 영역(204)은 도 1(A)에 도시된 바와 같이 배치되어 있기 때문에, 채널 형성 영역을 막는 격자 형상의 필터로 드레인측 공핍층의 확장을 억제하고 있는 모델로 생각하면 이해하기 쉽다.

따라서, 본 발명에 의한 구조의 반도체 장치에 있어서는 도 2(A)에 도시된 바와 같이 공핍층이 실질적으로 서로 간섭하지 않게 분단된다. 즉, 소스측 공핍층(201), 채널측 공핍층(202)이, 드레인측 공핍층(203)의 영향을 받지 않게 분포됨으로써, 에너지 상태는 도 2(B)에 도시된 상태로 된다.

즉, 도 5에 도시된 종래의 에너지 상태도와 다르고, 채널 영역의 에너지 상태는 거의 게이트 전압에 의한 전계에만 제어되기 때문에, 채널 영역에 대하여 거의 평행한 형상을 갖는다. 따라서, 단채널 효과 특유의 편치스루 현상과 같은 문제가 없고, 드레인 내압이 높은 반도체 장치를 제조할 수 있다.

또한, 도 2(A)에 도시된 바와 같이 본 발명에 있어서는 공핍층이 차지하는 부피가 도 3에 도시된 바와 같은 종래의 것에 비해 감소하고 있기 때문에, 종래보다도 공핍층 전하가 작고, 공핍층 용량이 작은 특징이 있다. 여기에서, S치를 도출하는 식은 다음 식으로 표현된다.

[수학식 3]

$$S = d(Vg)/d(\log Id)$$

즉, 상술한 바와 같이, 도 5에 도시된 그라프에 있어서 501로 나타내는 영역에서의 기울기의 역수를 나타내고 있음을 알 수 있다. 또한, 수학식 3의 식은 근사적으로 다음 식과 같이 나타낼 수 있다.

[수학식 4]

$$S \approx \ln 10 \cdot kT/q [1 + (Cd + Cit)/Cox]$$

수학식 4에 있어서,  $k$ 는 볼트먼 정수,  $T$ 는 절대온도,  $q$ 는 전하량,  $Cd$ 는 공핍층 용량,  $Cit$ 은 계면 준위의 등가용량,  $C_{ox}$ 는 게이트 산화막 용량이다. 따라서, 본 발명에 의하면 공핍층 용량 ( $Cd$ )이 종래보다도 충분히 작게 되기 때문에,  $S$ 치를  $85mV/decade$  이하(바람직하게는  $70mV/decade$  이하)의 작은 값으로 할 수 있는, 즉 우수한 서브스렉슬드 특성을 얻을 수 있다.

또한, 본 발명이 목표로 하는 점은 공핍층 용량  $Cd$  및 계면 준위의 등가용량  $Cit$ 을 0에 가능한 한 근접하게 하는 것이다. 즉,  $Cd=Cit=0$ 으로 되는 이상 상태에 있어서의  $S$ 치( $60mV/decade$ )에 근접한 것에 있다.

또한, 채널 형성 영역이 도 1(C)에 도시된 구조로 되어 있는 것은 단채널 효과에 의한 문턱치 전압의 저하를 완화하는 데에 있어서 매우 중요하다. 왜냐하면, 도 1(C)에 도시된 구조가 의도적으로 협채널 효과를 만들어 내기 위해 필요한 구성이기 때문이다.

예를 들면, 도 1(C)에 나타내는 바와 같이 어떤 단면에 착안하면, 채널 형성 영역의 폭(W)은 불순물 영역(104)에 의해 분단되어, 실질적으로 좁은 채널폭(wpa, m)을 갖는 복수의 채널 형성 영역의 집합체로 간주할 수 있다.

즉, 그 복수의 좁은 채널폭(wpa)을 갖는 영역에 있어 협채널 효과를 얻게 되는 것이다. 매크로적으로 보면 도 1(A)에 도시된 바와 같이 채널 형성 영역 전체에 이 같은 협채널 효과를 얻게 되는 영역이 존재하기 때문에, 전체적으로도 협채널 효과를 얻게 되어, 문턱치 전압이 증가한다고 생각된다.

따라서, 채널 길이가 짧게 되는 것으로 단채널 효과에 의해 문턱치 전압이 저하했다고 해도, 이상의 이유에 의해 협채널 효과에 의해 문턱치 전압을 의도적으로 증가시키어 문턱치 제어를 행할 수 있기 때문에, 결과적으로 문턱치 전압의 변화를 완화하는 것이 가능하게 된다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 채널 형성 영역에 대하여 캐리어가 이동하는 영역과,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 확장되는 공핍층을 피닝하기 위한 불순물 영역을 인위적 또한 국부적으로 형성하는 공정을 적어도 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 채널 형성 영역에 대하여 캐리어가 이동하는 영역과,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위한 불순물 영역을 인위적 또한 국부적으로 형성하는 공정을 적어도 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역에서 인위적 또한 국부적으로 불순물 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 불순물 영역에는 에너지 밴드폭(Eg)을 넓히는 불순물 원소가 인위적 또한 국부적으로 첨가되고 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 확장되는 공핍층을 피닝하기 위한 불순물 영역을 형성하기 위해, 상기 채널 형성 영역에 대하여 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 인위적 또한 국부적으로 첨가하는 공정을 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위해, 상기 채널 형성 영역에 대하여 에너지 밴드폭(Eg)을 확장하는 불순물 원소를 인위적 또한 국부적으로 첨가하는 공정을 갖는 것을 특징으로 한다.

또한, 다른 발명의 구성은

결정 반도체를 이용하여 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역에서 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 첨가함으로써, 인위적 또한 국부적으로 불순물 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 불순물 영역은 절연성을 갖고 있고,

상기 채널 형성 영역에서 상기 불순물 영역 이외의 영역에는 상기 불순물 원소가 첨가되지 않은 또는 극미량으로 첨가되어 있는 것을 특징으로 한다.

### 발명의 구성 및 작용

도 1(A) 내지 1(C)에 있어서, 소스 영역(101), 드레인 영역(102)에 끼워진 영역이 채널 형성 영역(103)이다. 본 발명은 채널 형성 영역(103)에 대하여 인위적이고, 또한, 국부적으로 불순물을 첨가하여 불순물 영역(104)을 형성한다.

또한, 불순물 영역(104)은 도트 패턴 상의 형상을 가지며, 규칙성을 갖고서 배역된다. 본 발명에서는 불순물 영역에 첨가하는 불순물로서 탄소, 질소, 산소로부터 선택된 일종 또는 복수 종류의 원소를 사용하기 때문에, 절연성을 갖는 불순물 영역을 캐리어가 통과하는 것은 아니다. 즉, 불순물 영역간에만 채널 영역이 형성되고, 그곳을 패스로서 캐리어의 이동이 행해진다.

이상과 같은 구성으로 한 반도체 장치를 구동시킨 경우, 드레인 영역(102) 부근에 형성된 드레인측 공핍층은 불순물 영역(104)에 저지되어 횡방향(채널 형성 영역 아래)으로 확장되지 않는다. 즉, 소스 영역(101) 및 채널 형성 영역(103)부근의 에너지 상태(전위 상태)가 드레인측 공핍층에 영향받지 않기 때문에, 각각의 전계는 실질적으로는 독립적으로 형성된다.

따라서, 이론바 단채널 효과에 기인하는 편치스루 현상이나 서브스렛솔드 특성의 열화가 없고, 높은 드레인 내압을 실현할 수 있다.

또한, 불순물 영역(104)은 실질적으로 채널폭을 좁게 하고, 불순물 영역(104)끼리의 사이에 있어서는 이른바 협채널 효과가 생긴다. 따라서, 단채널 효과에 기인하는 문턱치 전압의 저하를, 협채널 효과에 기인하는 문턱치 전압의 증가에 의해 완화 또는 상쇄하는 것이 가능하다.

이상의 구성으로 형성되는 본 발명에 대하여, 이하에 기재하는 실시예로써 상세한 설명을 한다.

### [실시예 1]

본 발명을 사용하여 단결정 실리콘(규소) 기판 상에 절연 게이트형 전계 효과 트랜지스터를 형성하는 예를 도 7(A) 내지 7(E)을 참조하여 설명한다. 또, 본 실시예에서는 설명을 간략화하기 위해 P형 실리콘 기판 상에 단체의 N채널형 FET를 형성하는 경우의 예를 나타낸다.

우선, 701은 P형 실리콘 기판이고, 그 위에는 패드 산화막으로서 산화규소막(702), 또한 그 위에는 나중에 선택 산화 시의 마스크로서 기능하는 질화규소막(703)을 형성한다. 산화규소막(702) 및 질화규소막(703)의 막 두께는 500 내지 2000Å이면 좋다. (도 7(A)).

다음에, 패터닝에 의해 소자 형성 영역에만 질화규소막(703)을 남기고, 그 상태로 P형을 부여하는 불순물 원소의 이온 주입 행하고, 또한 그 후, 1000 내지 1100°C의 온도로 웨트 산화를 행한다.

이 공정에 의해 노출된 실리콘 표면은 선택적으로 열산화되어, 도 7(B)에 도시한 바와 같이 필드 산화막(704)이 형성된다. 필드 산화막(704)은 소자간을 절연 분리하는 기능을 갖는다.

또한, 상술한 이온 주입 공정에 의해 주입된 P형을 부여하는 불순물 원소(B)는 필드 산화막(704) 아래에 채널 스토퍼(705)를 형성한다. 이것은 필드 산화막(704) 아래에 채널이 형성되지 않도록 하기 위한 영역이며, 통상, 모체가 되는 기판(본 실시예에서는 P형 실리콘 기판)과 같은 도전성을 갖게 한다.

그리고, 질화규소막(703), 산화규소막(패드 산화막)(702)을 제거하여 도 7(B)에 도시한 상태를 얻게 된다. 이와 같은 선택 산화 공정에 있어서는 LOCOS법, PLANOX법, Isoplanar법, SWAMI 법 등의 여러 가지 선택 산화 방법을 이용하는 것이 가능하다.

다음에, 채널 형성 영역(706)에 대하여 탄소, 질소, 산소로부터 선택된 일종 또는 복수 종류의 원소를 첨가하여, 공핍층의 스토퍼가 되는 불순물 영역(707)을 형성한다. 불순물 원소를 첨가하는 영역(707)은 패터닝에 의해 도시하지 않은 레지스터 스트라이크에 트인 구멍을 설치하여 선택적으로 설계하면 된다.

또, 불순물 영역(707)을 도트 패턴 형상으로 하기 위해서는 극히 미세한 리소그라피 기술을 필요로 한다. 그 때에는 전자빔을 사용하는 기술(전자 묘화법)이나 이온빔을 사용하는 기술(FIB 법)을 사용하여 도트 패턴의 노광을 행하면 좋다.

이 때, 불순물 영역(707)끼리의 간격 wpa, m(도 1(c) 참조)은 각각 균일하게 하는 것이 바람직하다. 왜냐하면, 문턱치 전압의 불균형(협채널 효과의 불균형에 기인한다)이나 발열의 불균형(불순물 영역간을 흐르는 전류 밀도의 불균형에 기인한다)이 생길 우려가 있기 때문이다.

불순물의 첨가가 종료하면, 열산화 처리를 행하여 100 내지 500Å의 열산화막(708)을 형성한다. 이 열산화 처리에 의해 형성된 얇은 열산화막(708)은 그대로 게이트 절연막으로서 기능한다.

또한, 채널 형성 영역(706)에 있어서 산화막(708)상에 게이트 전극(709)으로서 폴리실리콘막을 형성한다. 폴리실리콘막은 성막하는 단계에서 미리 불순물 원소를 첨가해 두고 도전성을 갖게 하면 좋다. 이렇게 해서 도 7(C)에 도시된 상태를 얻게 된다.

그 후, 도 7(D)에 도시된 바와 같이, N형을 부여하는 불순물 원소(P 또는 As)를 첨가하여, 자기 정합적으로 소스 영역(710), 드레인 영역(711)을 형성한다. 그 후, 게이트 전극(709)을 덮도록 하여 질화규소막을 3000Å의 두께로 성막하고, 에치백법을 사용하여 게이트 전극(709)의 측면에만 측벽(712)을 잔존시킨다.

다음에, 이 상태로 전면에 스팩터법에 의해 티타늄막을 형성하여, 가열, 레이저 어닐링, 램프 어닐링 등의 수단에 의한 실리사이드 형성을 행한다. 이 공정에 의해, 소스 영역(710) 및 드레인 영역(711)의 표면 및 게이트 전극(709)의 표면에는 티타늄 실리사이드(713 내지 715)가 형성된다. 티타늄 실리사이드(713 내지 715)는 극히 저저항이기 때문에, 나중에 형성하는 배선과의 저항 접촉을 확보하는데 있어서 바람직하다.

실리사이드 형성이 종료하면, 충간 절연막으로서 질화규소막(716)을 형성하고, 컨택트홀을 형성하여 소스 전극(717), 드레인 전극(718)을 형성한다. 이렇게 해서 도 7(E)에 도시된 바와 같은 구조의 IG-FET가 완성된다.

본 발명에서는 IG-FET의 채널 형성 영역에 도트 패턴으로 불순물 영역을 형성하는 것에 특징이 있지만, 도트 패턴의 형성에는 어떤 범위의 조건을 만족할 필요가 있다. 그것에 대해서, 도 8(A) 내지 8(C)을 참조하여 이하에 기재한다.

도 8(A) 내지 8(C)에 있어서, 801은 채널 형성 영역의 일부를 나타내고 있다. 채널폭은 W이다. 여기에서, 채널폭(W) 중, 도트 패턴(802)이 점유하고 있는 폭을  $W_{pi}$ 로 정의한다.  $W_{pi}$ 의 값으로서는 예를 들면 10 내지 100Å이면 충분하다. 또한, 임의의 도트형 패턴(802)의 폭을  $W_{pi}$ ,  $W_{pi}$ ,  $W_{pi}$ ,  $W_{pi}$ , ...,  $W_{pi}$ 으로 하면,  $W_{pi}$ 는 다음 식으로 나타난다.

## [수학식 1]

$$W_{pi} = \sum_{n=1}^n W_{pi,n}$$

단지, 본 발명의 구성을 달성하기 위해서는 채널 형성 영역의 단부 이외의 영역에, 불순물 영역이 적어도 하나 형성되어 있을 필요가 있으므로  $n$ 은 1이상의 정수이다.

또한, 채널폭  $W$  중, 도트 패턴간의 영역(전류가 흐르는 패스)(803)가 점유하고 있는 폭을  $W_{pa}$ 로 정의한다.  $W_{pa}$ 의 값으로서는 예를 들면 100 내지 3000Å(대표적으로는 500 내지 1500Å)로 할 수 있다. 또한, 임의의 도트 패턴간의 영역(803)을  $W_{pa,1}, W_{pa,2}, W_{pa,3}, \dots, W_{pa,m}$ 으로 하면,  $W_{pa}$ 는 다음 식으로 나타낸다.

## [수학식 2]

$$W_{pa} = \sum_{m=1}^m W_{pa,m}$$

단지, 상술과 같이 채널 형성 영역의 단부 이외의 영역에 불순물 영역이 적어도 하나 형성되어 있기 때문에, 채널 형성 영역은 적어도 2분되어  $m$ 은 2이상의 정수로 된다.

즉, 전 채널폭( $W$ )은  $W=W_{pi}+W_{pa}$ , 또한,  $n+m$ 은 3이상이라는 관계가 성립하고 있다. 그리고,  $W$ 와  $W_{pi}$ ,  $W$ 와  $W_{pa}$  및  $W_{pi}$ 와  $W_{pa}$ 의 관계는 동시에 이하의 조건을 만족하는 것이 바람직하다.

$$W_{pi}/W = 0.1 \sim 0.9$$

$$W_{pa}/W = 0.1 \sim 0.9$$

$$W_{pi}/W_{pa} = 1/9 \sim 9$$

이들 수식이 의미하는 것은  $W_{pa}/W$  또는  $W_{pi}/W$ 가 0 또는 1이어서는 안된다는 것이다. 예를 들면,  $W_{pa}/W=0$ ( $W_{pi}/W=1$ 과 동의)인 경우, 도 8(B)에 도시된 바와 같이 채널 형성 영역을 완전히 불순물 영역에서 막아 버리기 때문에 전류가 흐르는 패스가 존재하지 않는 상태로 된다.

반대로  $W_{pa}/W=1$ ( $W_{pi}/W=0$ 과 동의)인 경우, 도 8(C)에 도시된 바와 같이 채널 형성 영역에 불순물 영역이 전혀 존재하지 않기 때문에 드레인측 공핍층의 확장을 억제할 수 없다.

상기의 이유로 인해,  $W_{pa}/W$  및  $W_{pi}/W$ 의 관계식은 0.1 내지 0.9(바람직하게는 0.2 내지 0.8)의 범위에 들어가고, 또한, 동시에  $W_{pi}/W_{pa}=1/9$  내지 9를 만족하는 것이 바람직하다. 또, 채널 길이를  $L$ 로 하면, 채널 형성 면적은  $WxL$ 로 나타낸다.

또한, 본 발명은 FET의 성능을 나타내는 대표적인 파라미터인 이동도의 향상에 효과적이다. 그 이유에 대하여 이하에 설명한다.

이동도는 반도체(본 실시예에서는 실리콘 기판) 내의 캐리어의 산란에 의해 결정되지만, 실리콘 기판에 있어서의 산란은 격자 산란과 불순물 산란으로 대별된다. 격자 산란은 실리콘 기판 내의 불순물 농도가 낮고, 비교적 고온에서 지배적이고, 불순물 산란은 불순물 농도가 높고, 비교적 저온에서 지배적이다. 이들의 영향하에 형성되는 전체적인 이동도  $\mu$ 는 다음 식으로 나타난다.

## [수학식 5]

$$\mu = (1/\mu_1 + 1/\mu_i)^{-1}$$

이 수학식 5에서 나타내는 식은 전체적인 이동도  $\mu$  가, 격자 산란의 영향을 받는 경우의 이동도  $\mu_1$ (은 lattice(격자)를 의미한다)의 역수 및 불순물 산란의 영향을 받는 경우의 이동도  $\mu_i$ (은 impurity(불순물)을 의미한다)의 역수의 합에 반비례하는 것을 의미한다.

여기에서, 격자 산란으로는 드리프트 전계가 그다지 강하지 않으면 음향 포논이 중요한 역할을 다하고, 그 때의 이동도 ( $\mu_i$ )은 다음 식과 같이 온도의  $-3/2$ 승에 비례한다. 따라서, 캐리어의 유효 질량( $m^*$ )과 온도( $T$ )로 결정된다.

[수학식 6]

$$\mu_i \propto (m^*)^{-5/2} T^{-3/2}$$

또한, 불순물 산란에 의한 이동도( $\mu_i$ )는 다음 식과 같이 온도의  $3/2$ 승에 비례하고, 이온화한 불순물의 농도( $N_i$ )에 역비례 한다. 즉, 이온화한 불순물의 농도( $N_i$ )를 조절함으로써 변화시킬 수 있다.

[수학식 7]

$$\mu_i \propto (m^*)^{-1/2} N_i^{-1} T^{3/2}$$

이 식에 의하면, 종래와 같이 채널 형성 영역 전체에 불순물을 첨가하는 채널 도프에서는 불순물 산란의 영향을 받아 이동도를 별 수 없다. 그러나, 본 발명에서는 국부적으로 불순물 영역을 형성하고 있기 때문에, 인접하는 불순물 영역 간( $W_{pa}$ 의 폭을 갖는 영역)에는 불순물이 첨가되지 않는다.

즉, 이론적으로는 수학식7에 있어서 이온화한 불순물의 농도( $N_i$ )를 제한 없이 0에 근접한 것을 의미하기 때문에, 이동도 ( $\mu_i$ )는 제한없이 무한대에 근접하게 된다. 즉, 수 5에 있어서  $1/\mu_i$ 의 항을 무시할 수 있을 정도까지 불순물을 감소시키는 것을 의미하므로 전체 이동도( $\mu$ )는 제한없이 이동도( $\mu_i$ )에 근접해 간다.

또한, 캐리어의 유효 질량( $m^*$ )을 작게 함으로써 이동도( $\mu_i$ )를 더욱 크게 하는 것도 이론적으로는 가능하다. 이것은 극저온의 영역에서, 캐리어(특히 전자의 경우)의 유효 질량이 결정축의 축방향에 의존하여 변화하는 현상을 이용함으로써 이를 수 있다.

문헌에 의하면, 소스/드레인간을 연결하는 채널 방향(캐리어가 이동하는 방향)이 단결정 실리콘의 <1 0 0> 축방향과 일치하도록 구성했을 때, 최소의 유효 질량을 얻을 수 있다.

예를 들면, 도 15에 도시된 바와 같이 (1 0 0) 면을 갖는 단결정 실리콘 기판(1501)상에 소스 영역(1502), 채널 형성 영역(1503), 드레인 영역(1504)이 형성되어 있는 것으로 한다. 이 때, 채널 방향(1505)을 [100]으로 한 경우와 같을 때가 이것에 상당한다. 단지, 이 예는 4°C라는 극저온 영역에서의 결과이다.

또한, 결정 격자간을 양호한 캐리어가 빠져나가 갈 수 있도록, 채널 방향 및 불순물 영역(707)의 축방향(배열 방향)과, 결정 격자의 축방향을 대략 평행(축방향의 어긋남을  $\pm 10^\circ$  이내에 빙아들인다)하게 하는 것이 바람직하다. 단결정이면 실리콘 원자는 규칙적으로 배열되어 있기 때문에, 결정 격자의 배열 방향과 평행하게 이동하는 캐리어는 격자 산란의 영향을 거의 받지 않아도 된다.

예를 들면, 단결정 실리콘 기판에 있어서 상기와 같은 방향에서 회전축을 0°로 하면, 그 외에도 90°, 180°, 270°의 회전축인 경우에 있어서 같은 효과를 얻을 수 있다.

이상과 같이, 채널 형성 영역을 이동하는 캐리어는 채널 형성 영역 내에 존재하는 불순물 영역 이외의 영역을 통과한다. 이것을 도 16(A) 내지 16(C)의 모식도를 참조하여 간단히 설명한다.

도 16(A)에 있어서, 1601로 나타낸 것은 채널 형성 영역이다. 즉, 도 16(A)은 채널 형성 영역을 오른쪽 경사상방으로부터 본 도이다. 본 발명을 실시한 채널 형성 영역은 입체적으로는 도 16(A)과 같이 불순물 영역(1602)이 형성되어 있다.

도 16(A)에 기재된 화살표 1603은 캐리어(전자 또는 정구멍)의 진행 방향을 나타내는 것이다. 도 16(A)에 도시된 바와 같이 채널 형성 영역(1601)내에는 복수의 불순물 영역(1602)이 배치되어 있고, 캐리어는 그 불순물 영역(1602) 이외의 영역을 통과한다.

캐리어의 진행 방향을 채널 형성 영역(1601)의 상면에서 보면 도 16(B)과 같이 나타난다. 도 16(B)은 도 16(A)에 있어서, ACEF로 나타내는 면을 본 도이다. 이 도 16(B)을 보면, 캐리어가 불순물 영역(1602)을 피하여, 불순물 산란이 없는 영역을 이동하고 있는 것을 알 수 있다.

즉, 대부분의 캐리어는 화살표로 나타낸 바와 같이 불순물 영역(1602) 사이를 통과하여 소스/드레인간을 이동한다. 물론, 불순물 영역을 피하도록 하여 지그재그로 이동하는 경우도 포함된다.

또한, 도 16(C)에 도시된 것은 채널 형성 영역(1601)을 축면에서 본 도면이다. 또, 도 16(C)는 도 16(A)에 있어서, ABCD로 나타내는 면을 본 도면이다. 또한, 1603으로 나타내는 것은 화살표이고, 지면을 향해 앞쪽으로 화살촉이 향하고 있는 것을 나타내고 있다. 상기의 도면에서도 캐리어가 불순물 영역(1602)사이를 이동하는 것을 알 수 있다.

## [실시예 2]

본 실시예에서는 본 발명을 이용하여 N채널형 FET(NMOS)와 P채널형 FET(PMOS)를 상보적으로 조합한 CMOS 회로를 구성하는 경우의 예를 나타낸다. CMOS 회로의 제조 공정의 상세한 설명에 대해서는 여기에서는 생략하지만, 본 발명에서는 실시예 1에서 설명한 바와 같이, 게이트 절연막을 형성하기 전에 채널 형성 영역에만 도트 패턴의 불순물 영역을 형성한다.

도 13(A)에 본 발명을 이용한 경우에 있어서의 CMOS 회로의 단면을 도시한다. 도 13(A)는 일반적인 제조 방법으로 형성된 CMOS 회로를 채널 방향에서 분단한 단면도이다.

도 13(A)에 있어서, 1301은 N형 실리콘 기판, 1302는 n웰, 1303은 p웰이다. 결국, n웰(1402)상에 P채널형 FET(PMOS), p웰(1403)상에 N채널형 FET(NMOS)가 형성된다.

NMOS 및 PMOS는 각각 선택 산화법으로 형성된 필드 산화막(1304)으로 분리되고, p웰측의 필드 산화막 아래에는 채널 스토퍼(1305)가 배치된다.

또한, n웰(1302)에는 P형을 부여하는 불순물, 예를 들면 붕소가 첨가되어 PMOS의 소스 영역(1306), 드레인 영역(1307)이 배치되어 있다. 또한, p웰(1303)에는 N형을 부여하는 불순물, 예를 들면 인이나 비소가 첨가되어 NMOS의 드레인 영역(1308), 소스 영역(1309)이 배치되어 있다.

또한, 소스 영역(1306), 드레인 영역(1307) 및 소스 영역(1308), 드레인 영역(1309)에서 끼워진 채널 형성 영역에는 미리 게이트 절연막(1410)을 형성하기 전에 도트 패턴의 불순물 영역(1311, 1312)을 형성해둔다.

본 실시예에서 게이트 절연막(1310)의 형성 전에 불순물 영역(1311, 1312)을 형성하는 이유는 게이트 절연막(1310)과 채널 형성 영역의 경계면에 손상을 주지 않기 때문이지만, 게이트 절연막(1310)을 통해서 불순물을 첨가하는 방법을 받아들이는 것도 가능하다.

또, 본 실시예에서는 불순물 영역(1311, 1312)을 형성함에 있어서 산소를 사용하기 때문에, NMOS와 PMOS로 구분할 필요는 없으며, 공통화할 수 있다.

또한, 본 실시예와 같은 CMOS 회로를 구성하는 경우, 도 13(A)에 도시된 바와 같이 드레인 영역(1307, 1308)내에도 불순물 영역(1311, 1312)을 형성해 두는 것이 바람직하다.

또, 예를 들면 본 발명의 반도체 장치를 화소 등과 같이 소스와 드레인이 교체되도록 소자에 사용할 때는 소스 영역과 드레인 영역의 쌍방에 걸리도록 불순물 영역을 형성하면 좋다.

그리고, 채널 형성 영역 위에 도전성 재료로 형성되는 게이트 전극(1313, 1314)을 형성하고, 그것을 덮도록 하여 중간 절연막(1315)이 형성된다. 또한, 중간 절연막(1315)에 컨택트홀을 형성하여, PMOS의 소스 전극(1316), PMOS 및 NMOS의 공통 드레인 전극(1317), NMOS의 소스 전극(1418)을 배치한다.

도 13(A)에 도시된 구조의 CMOS 회로는 본 발명에 의해 단채널 효과를 문제로 하지 않고 미세화할 수 있으므로, 극히 집적도가 높은 집적화 회로를 구성할 수 있다.

또한, 도 13(A)에 도시한 CMOS 회로와 바이폴러 트랜지스터를 조합한 BiCMOS 회로를 구성하는 것도 가능하다. 본 발명을 이용하여 형성한 BiCMOS 회로의 예를 도 13(B)에 도시한다.

도 13(B)에 있어서, 1319는 P형 실리콘 기판이고, 1320은 매설 N<sup>+</sup> 영역, 1321은 에피택셜 성장에 의해 형성된 p웰이고, 매설 N<sup>+</sup> 영역(1320)상의 p웰(1321)은 N형으로 도핑되어 콜렉터로서 기능하는 n웰(1322)로 되어 있다. 또한, 1323은 매설 N<sup>+</sup> 영역(1320)으로부터 나오는 전극으로 이루어지는 Deep N<sup>+</sup> 영역이다.

1324는 통상의 선택 산화법으로 형성된 필드 산화막이고, p웰(1321)에는 n<sup>+</sup> 영역(1325), n웰 영역(1322)에는 p<sup>+</sup> 영역(1426)이 형성되어 있다. 또, 바이폴러 트랜지스터를 구성하는 측의 n웰(1322)에는 활성 베이스로 되는 p<sup>-</sup> 영역(1327)이 먼저 형성되고, 이어서 외부 베이스로 되는 p<sup>+</sup> 영역(1328), n<sup>+</sup> 영역(1329)이 배치된다.

또한, PMOS 측 및 NMOS 측의 양방에는 불순물 영역(1330)이 배치되고, 불순물 영역(1330)은 상기 n<sup>+</sup> 영역이나 p<sup>+</sup> 영역을 형성한 후에 형성하여도 양호하고, 그전이라도 좋다. 물론, 탄소, 질소, 산소 중, 어느 것을 사용하여도 상관없다.

그리고, 게이트 전극(1331), 중간 절연막(1332), 소스/드레인 배선(1333)을 배치하여 BiCMOS 회로를 구성한다. BiCMOS 회로는 바이폴러 트랜지스터의 고속 동작성과 CMOS 회로의 저소비 전력성을 유효하게 병용하기 위한 회로 구성이다.

## [실시예 3]

실시예 1에서는 불순물 영역(707)의 깊이 방향의 형상을 막대 형상으로 기재하였지만, 이것은 주입 시에 산란이 전혀 없는 경우와 같은 이상 상태로서, 실제로는 이온 주입의 조건에 따라 여러 가지 형상의 불순물 영역을 형성하는 것이 가능하다.

예를 들면, 이온 주입법에 의해 첨가된 경우에는 도 9(A)에 도시된 쇄기 형상의 불순물 영역(901)이 형성된다. 또한, 반대로 도 9(B)에 도시한 바와 같은 물방울 형상의 불순물 영역(902)을 형성하는 것도 가능하다. 특히, 도 9(B)에 도시된 바와 같은 형상으로 하면, 불순물 영역(902)의 하부에서 인접하는 불순물 영역끼리 상호 접촉하는 상태로 된다.

이 상태에서는 실질적으로 채널 형성 영역이 벌크 기판과 절연 분리된 SOI 구조로 간주할 수 있다. 이 구조는 드레인측 공핍층이 채널 형성 영역의 공핍층에 영향을 주는 것을 극히 효과적으로 억제할 수 있다. 또한, 채널 형성 영역의 공핍층이 하방으로 확장되는 것을 방지하는 효과도 기대할 수 있다.

#### [실시예 4]

실시예 1에서는 도 1(A)에 도시된 바와 같이 매트릭스상으로 도트 패턴(불순물 영역)을 복수 배치하는 예를 도시하였지만, 설계 패턴을 바꿈으로써 다른 여러가지 배치 패턴으로 할 수 있다.

예를 들면, 도 10(A)에 도시된 바와 같이 불순물 영역(1001)이 서로 맞물리도록 배치하는 것도 가능하다. 이 경우, 도트 패턴간 틈을 다음 열에서 보충하는 구성으로 되어 있으므로, 드레인측 공핍층의 가로 방향으로의 확장을 효과적으로 방지할 수 있다. 특히, 채널 길이가  $0.1\mu\text{m}$  이하로 된 경우와 같이 단채널 효과의 영향이 극히 커지도록 한 IG-FET에서 대단히 효과적인 구조이다.

단, 캐리어가 이동하는 경로가 점선으로 나타낸 바와 같이 꾸불꾸불하게 되어 있으므로, 캐리어의 이동 거리가 길어지는 만큼, 이동도가 저하될 가능성도 있다. 그러나, 이 구조가 효과를 발휘하는 채널 길이  $0.1\mu\text{m}$  이하의 영역에서는 소스 영역에서 나온 캐리어가 일순간에 드레인 영역에 도달하기 때문에, 실질적으로는 다소 이동 거리가 길어지더라도 문제되지 않는다고 생각된다.

따라서, 예를 들면 채널 길이가  $0.1\mu\text{m}$  이상인 경우에는 도 1(A)에 도시된 바와 같이 도트 패턴을 갖는 불순물 영역을 배치하고, 채널 길이가  $0.1\mu\text{m}$  이하의 경우에는 도 10(A)에 도시된 바와 같이 배치하는 것이 바람직하다.

또한, 도 10(B)에 도시된 바와 같이 도트 패턴을 채널 방향과 수직인 타원형 또는 직사각형으로도 할 수 있다. 이 경우, 드레인측 공핍층을 억제하기에 적절한 구조으로 하지만, 캐리어의 이동을 막을 가능성도 있기 때문에, 예를 들면  $0.2\mu\text{m}$  이하로 매우 채널 길이에 짧은 반도체 장치를 이용하는 것이 바람직하다.

또한, 도 10(C)에 도시하는 바와 같이, 도트 패턴을 채널 방향과 평행한 타원형 또는 장방형으로 할 수 있다. 이 경우, 협채널 효과가 더욱 현저하게 나타나는 구성이 되므로, 경계치 전압도 많이 증가시킬 필요가 있을 때에 효과적인 구조이라고 할 수 있다.

#### [실시예 5]

본 발명은 실시예 1에서 나타낸 바와 같은 구조 IG-FET뿐만 아니라, 또한 여러 가지 구조의 IG-FET에 대해서도 적용할 수 있다. 예를 들면, 횡형 IG-FET에는 그 외에도 LDD(오프세트) 구조(도 11(A)), 2중 드레인 구조(도 11(B)), 매설 채널 구조(도 11(C)), SOI 구조(도 11(D)), SIMOX 구조(도 11(E)) 등이 있다.

본 실시예에서는 N채널형 FET을 예로 들어, 상기 구조에 응용한 경우에 관하여 설명한다. 또, 상기 도면의  $N^+$ ,  $N^-$ 은 N형 도전성의 강약을 상대적으로 나타냈기 때문에,  $N^+$ 는  $N^-$ 보다도 강한 N형 도전성을 갖고 있는 것을 의미한다.

도 11(A)는 소스 또는 드레인 영역(1101)과 채널 형성 영역(1102) 사이에 저농도 불순물 영역(1103)을 배치한 구조이다. 저농도 불순물 영역(1103)이 존재하는 만큼, 드레인측 공핍층은 완만하게 확장되기 쉽지만, 본 발명에 의해 그 확장을 억제할 수 있다.

또한, 도 11(B)는 소스 또는 드레인 영역(1104)의 측면에 0.1 내지  $0.5\mu\text{m}$  폭의 도전성 영역(1105)을 형성한 구조이다. 소스 또는 드레인 영역(1104)과 도전성 영역(1105)은 같은 도전성이고, 도전성 영역(1105)인 쪽이 도전성은 약하다. 예를 들면, 소스 또는 드레인 영역(1104)을 As(비소)를 주입하여 형성하고, 약한 도전성 영역(1105)에 P(인)을 주입하여 형성하는 것으로 구성할 수 있다.

도 11(C)에 도시된 매설 채널 구조는 N채널형 FET과 P채널형 FET로 CMOS 회로를 구성하도록 했을 때에 결과적으로 형성되는 구성인 경우가 많고, 단채널 효과도 영향을 받기 쉬운 구조이다.

구조적으로는 예를 들면 N채널형 FET에서, 채널 형성 영역의 계면 부근에 소스/드레인 영역(1106)과 동일 또한 약한 도전성 영역(1107)을 형성하여 구성된다.

따라서, 이 도전성 영역(1107)의 바로 아래에 채널이 형성되지만, 이 같은 경우에 있어서도 본 발명을 실시하는 것으로 단채널 효과를 억제하여, 편치스루 현상이나 문턱치 전압의 저하를 방지할 수 있다.

또한, SOI 구조는 소자로서 사용하는 반도체층을 박막화하여 공핍층을 줄이는 목적으로 포함하여 개발된 기술이기 때문에 자체 단채널 효과를 억제하는 효과를 가지고 있다. 예를 들면, 도 11(D)에 도시된 구조는 일반적으로 SOS(silicon-on-sapphire)구조로 불리고, 사파이어 기판(1108)상에 실리콘 단결정을 성장시켜 형성된다.

그러나,  $1\mu\text{m}$  이하의 단결정 실리콘층을 형성하는 것은 곤란하고, 공핍층의 확장을 억제하는 것에도 한계가 있다. 따라서, 본 발명을 SOI 구조에 응용하면 보다 확실하게 단채널 효과를 방지하는 것이 가능하게 된다.

또, 같은 SOI 구조의 부류에 포함되지만 일반적으로 SIMOX(separation-by-implanted oxygen)으로 불리는 기판 상에 IG-FET를 형성한 예가 도 11(E)이다. 상기의 경우, 단결정 실리콘 기판(1109)에 대하여 산소를 주입함으로써 매설 산화층(1110)을 형성한다. 또한, 산소의 주입 깊이를 알게 함으로 극히 얇은 단결정 박막을 형성할 수 있다.

이 같은 경우에 있어서도, 본 발명을 사용하는 것은 가능하다. 상기의 경우, 드레인측 공핍층이 채널 형성 영역으로 확장되는 것을 억지하는(피닝한다) 효과를 기대할 수 있다.

#### [실시예 6]

본 발명에 있어서 채널 형성 영역에 불순물 영역을 형성하는 수단으로서, 레지스트 마스크를 사용한 패터닝에 의한 방법 이외에도, 불순물이 변형에 편석하는 성질을 이용하는 방법도 가능하다.

먼저, 실시예 1의 순서에 따라서 도 7(B)과 같은 상태를 얻는다. 즉, 도 12(A)에 있어서, 1201은 실리콘 기판, 1202는 필드 산화막, 1203은 채널 스토퍼이다.

이 상태에 있어서, 수렴 이온 빔 등을 이용하여 실리콘 기판 표면의 국부적인 이방성 에칭 가공을 행하여, 흄상 혹은 구멍상 패턴(1204)을 원하는 위치에 원하는 형상으로 묘화한다(도 12(A)).

다음에, 불순물 원소, 예를 들면 질소를 기판(1204) 전면에 첨가한다. 물론, 탄소나 산소라도 상관없다. 이 불순물 원소는 후에 불순물 영역을 형성하기 위한 것이다. 또한, 주입 깊이는 흄상 또는 구멍상 패턴(1204)의 깊이보다도 깊은 것이 바람직하다(도 12(B)).

불순물 원소의 첨가가 종료하면, 다음에 1000 내지 1200°C 전후의 고온으로 가열 처리를 행한다. 이 가열 처리에 의해 흄상 또는 구멍상 패턴(1204)의 측벽에는 열산화막이 형성되고, 슬릿 형상 패턴(1204)은 매설된다. 따라서, 이 영역은 실질적으로 SiO<sub>x</sub>로 나타내는 산화물 영역(1205)으로 된다. 이 경우, 가열 처리를 산화성 분위기로 행하면 산화물 영역(1205)의 형성 속도가 증가하기 때문에 바람직하다.

그리고, 동시에 실리콘 기판(1201) 전체에 첨가되어 있던 불순물 원소가 산화물 영역(1205)에 편석한다. 이것은 산화물 영역의 부근에 발생한 큰 변형이나 격자 결함 등에 불순물 원소가 편석하기 때문에 생긴다.

이상과 같은 과정을 거침으로써, 산화물 영역(1205)의 주변부는 불순물 원소가 편석하여 불순물 영역(1206)으로 된다.

또한, 단결정 실리콘 기판(1201)내에 인이나 봉소와 같은 한 도전성을 부여하는 불순물 원소가 첨가되어 있는 경우, 산화물 영역(1205)을 구성하는 열산화막이 형성될 때에, 봉소는 열산화막 내로 들어가고, 인은 산화막/실리콘 계면에 배척하는(파일업한다) 경향이 있다.

이같은 효과를 잘 이용함으로써, 불순물 산란에 의한 이동도의 저하를 효과적으로 억제하는 것도 가능하다.

또한, 예를 들면, 수렴 이온빔과 같은 마스크레스로 이온 주입을 행할 수 있는 장치를 사용하여, 직접 단결정 실리콘 기판 상에 산소 이온을 주입하여, 가열 처리를 행함으로 이온 주입한 영역을 산화물 영역에 변성시키는 것도 가능하다. 수렴 이온빔 이외에도 전자빔 등을 사용하여도 무방하다.

#### [실시예 7]

본 실시예에서는 본 발명을 이용한 반도체 장치를 제품(전자 기기)에 내장한 경우의 일례를 도시한다. 여기에서는 노트북 컴퓨터에 내장된 IC회로를 예로 들어 설명한다. 설명은 도 17을 참조하여 행한다.

도 17에 있어서, 3001은 본체, 3002는 뚜껑부, 3003은 키보드, 3004는 화상 표시부이고, 본체(3001)내에는 여러 가지 접적회로(3005)가 내장되어 있다.

집적 회로(3005)를 꺼내어 보면, 외부는 패키지(3011)로 덮여지고 내부의 반도체칩은 수지 등으로 보호되어 있다. 또한, 내부의 반도체칩은 리드(3012)에 의해 외부와 접속된다. 통상, 보는 집적회로(IC 칩)(3005)는 눈에 보이는 흑색의 패키지(3011)와 리드(3012)외엔 볼 수 없기 때문에 완전히 블랙박스로 되어 있다.

그 패키지(3011)로 보호된 반도체칩을 꺼내어 보면, 가령, 다음과 같은 구성으로 되어 있다. 우선, 기판(3013)상에는 연산부(프로세서)(3014)와 메모리부(3015)가 배치되어 있다. 또, 3016은 반도체 소자와 리드(3012)를 접속하는 본딩부이다.

연산부(3014), 메모리부(3015)는 CMOS회로, BiCMOS회로, DRAM회로, SRAM 회로 등, 그 외에도 여러 가지 회로를 사용하여 구성되고 있다. 본 실시예에서 도시한 도 15와 같은 구성은 동일 기판 상에 연산부(3014)와 메모리부(3015)가 배치되어 있는 것에 특징이 있다.

이와 같이 연산부(3014)와 메모리부(3015)가 인접한 구성으로 하면, 연산부(3014)와 메모리부(3015) 사이의 데이터의 주고받음이 매우 고속으로 행해지기 때문에, 동작 속도가 빠른 회로를 형성하는 것이 가능하게 된다.

또한, 원칩상에 필요한 회로를 모두 집적화하는 것도 가능하기 때문에, 제조 비용을 대폭 감소하는 것도 기대할 수 있다. 게다가, 배치 면적을 줄임으로써 제품의 소형화를 도모하는 것도 가능하다.

본 발명을 이용하면 단채널 효과가 되지 않게 반도체 소자의 미세화를 행할 수 있기 때문에, 상기와 같은 원칩화와 병용함으로써 반도체 전자 기기가 한층더 소형화, 휴대화를 실현할 수 있다.

### [실시예 8]

본 발명은 실시예 7에 도시한 예 이외에도 여러 가지 반도체 전자기기에 응용하는 것이 가능하다. 왜냐하면, 본 발명에 의한 반도체 장치의 전기 특성은 매우 우수한 것으로 되고, N채널형 FET의 경계치 전압  $V_{th,n}$ 은  $-0.5$  내지  $3.0V$ , P채널형 FET의 경계치 전압  $V_{th,p}$ 은  $-3.0$  내지  $0.5V$ 의 범위에서 필요로 하는 구동 전압에 맞추어 조절할 수 있다. 또한, S치는  $60$  내지  $85mV/decade$ , 바람직하게는  $60$  내지  $70mV/decade$ 를 얻게 된다.

또한, 실시예 1에서 설명한 이유에 의해 높은 이동도( $1000cm^3/Vs$ 이상)를 얻을 수 있다. 이동도를 계산식으로 구하는 경우, 이동도는 채널폭  $W$ 에 반비례하기 때문에 주의가 필요하다. 본 발명을 실시하는 경우, 채널 형성 영역에서는 불순물 영역에 의해 적지 않게 채널폭이 좁게 되어 있기 때문에, 실측 채널폭  $W_{pa}$ 를 대입하지 않으면 실제의 이동도는 얻어지지 않는다.

이상과 같은 우수한 전기 특성을 달성할 수 있는 본 발명의 반도체 장치에서 IC 회로를 구성하면, 극히 양호한 주파수 특성을 얻을 수 있다. 예를 들면, 본 발명의 반도체 장치를 사용하여 9단의 킹 진동자를 구성하면,  $3.3V$ 의 구동 전압으로  $2$  내지  $10GHz$ 의 주파수 특성을 실현할 수 있다.

예를 들면, 고주파 전자 기기인 휴대 전화 등과 같이 높은 주파수 특성을 필요로 하는 전자기기에 대하여도 본 발명은 유효하다. 휴대 전화의 입력부 등에 사용되는 IC 회로는  $2GHz$ 의 주파수 특성을 필요로 하지만, 본 발명은 그 같은 고주파 IC 회로에 대하여도 충분히 대응할 수 있다.

### 발명의 효과

본 발명을 이용함으로써 채널 길이가 짧아진 경우에 생기는 단채널 효과를 방지할 수 있게 된다. 구체적으로는 우선 드레인측 공핍층이 소스 영역이나 채널 형성 영역 아래에 확장되는 것을, 채널 형성 영역에 국부적으로 형성한 불순물 영역에서 차단하고, 채널 형성 영역의 에너지(전위) 상태에 드레인 전압이 영향을 받지 않는 구성을 한다. 이것에 의해 펀치스루 현상이나 서브스렛솔드 특성의 열화를 방지하는 것이 가능하게 된다. 또한, 동시에 높은 드레인 내압을 실현할 수 있다.

또한, 단채널 효과의 특징중의 하나인 문턱치 전압의 저하를 협채널 효과에 의한 문턱치 전압의 증가에 의해 억제할 수 있다. 이 협채널 효과는 채널 형성 영역에 국부적으로 불순물 영역을 형성한다고 하는 본 발명의 구성에 따라서 인위적으로 이를 수 있는 효과이다.

이상과 같이, 본 발명을 이용함으로써 채널 길이가 짧은 딥 서브미크론 영역에서의 반도체 장치에 있어서도, 단채널 효과를 일으키지 않고 통작시킬 수 있다. 즉, IG-FET에 대표되는 반도체 장치의 한층 더 집적화와 성능의 향상을 기대할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 2.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 형성 영역의 채널 폭  $W$ 의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭  $W$ 의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭  $W$ 의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지  $0.9$  및  $W_{pa}/W = 0.1$  내지  $0.9$ 이고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 3.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 형성 영역의 채널 폭  $W$ 의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭  $W$ 의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭  $W$ 의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지  $0.9$  및  $W_{pa}/W = 0.1$  내지  $0.9$ 이고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 4.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 패널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 5.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

에너지 밴드폭(Eg)을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는, 절연 게이트형 반도체 장치.

## 청구항 6.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 형성 영역의 채널 폭 W의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭 W의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭 W의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지 0.9 및  $W_{pa}/W = 0.1$  내지 0.9이고,

에너지 밴드폭(Eg)을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는, 절연 게이트형 반도체 장치.

## 청구항 7.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

에너지 밴드폭(Eg)을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는, 절연 게이트형 반도체 장치.

## 청구항 8.

제 1 항 내지 제 4 항 및 제 5 항 내지 7 항 중 어느 한 항에 있어서,

상기 채널 형성 영역의 채널 방향으로 수직인 적어도 한 단면은 실질적으로 상기 불순물 영역들에 의해 구획지어진 복수의 채널 형성 영역들의 집합체로 간주되는, 절연 게이트형 반도체 장치.

## 청구항 9.

제 1 항 내지 제 4 항 및 제 5 항 내지 7항 중 어느 한 항에 있어서,

상기 채널 형성 영역에서 구동 시에 생기는 단채널 효과에 따른 문턱치 전압의 저하는 상기 불순물 영역들을 이용함으로써 얻게 되는 협채널 효과에 따른 문턱치 전압의 증가에 의해 완화되는, 절연 게이트형 반도체 장치.

## 청구항 10.

제 1 항 내지 제 4 항 및 제 5 항 내지 7항 중 어느 한 항에 있어서,

상기 불순물 영역들은 100 내지 3000Å의 간격들로 배치되는, 절연 게이트형 반도체 장치.

### 청구항 11.

제 1 항 내지 제 4 항 및 제 5 항 내지 7항 중 어느 한 항에 있어서,

상기 채널 형성 영역 내의 상기 불순물 영역들 이외의 영역은 전성 또는 실질적으로 전성인 영역들인, 절연 게이트형 반도체 장치.

### 청구항 12.

제 1 항 내지 제 4 항 및 제 5 항 내지 7항 중 어느 한 항에 있어서,

상기 불순물 영역들에 첨가된 불순물 원소들의 농도에 따라 문턱치 전압이 소정의 값으로 제어되고, 상기 불순물 영역들 이외의 영역에서 캐리어들이 소스 영역 및 드레인 영역 사이를 이동하는, 절연 게이트형 반도체 장치.

### 청구항 13.

제 1 항 내지 제 4 항 및 제 5 항 내지 7항 중 어느 한 항에 있어서,

상기 결정 반도체 재료는 단결정 반도체 재료인, 절연 게이트형 반도체 장치.

### 청구항 14.

제 5 항 내지 제 7 항중 어느 한 항에 있어서,

상기 불순물 원소들은 탄소, 질소, 산소로부터 선택된 일종 또는 복수 종류의 원소들인, 절연 게이트형 반도체 장치.

### 청구항 15.

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 채널 형성 영역에 대하여 캐리어가 이동하는 영역과,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역으로 향해 확장하는 공핍층을 피닝하기 위한 불순물 영역을 인위적 또한 국부적으로 형성하는 공정을 적어도 갖는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 16.

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 채널 형성 영역에 대하여 캐리어가 이동하는 영역과,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위한 불순물 영역을 인위적 또한 국부적으로 형성하는 공정을 적어도 갖는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 17.

결정 반도체를 이용하여 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역에서 인위적 또한 국부적으로 불순물 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 불순물 영역에는 에너지 밴드폭(Eg)을 넓히는 불순물 원소가 인위적 또한 국부적으로 첨가되고 있는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 18.

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 드레인 영역에서 상기 채널 형성 영역 및 소스 영역을 향해 확장되는 공핍층을 피닝하기 위한 불순물 영역을 형성하기 위해, 상기 채널 형성 영역에 대하여 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 인위적 또한 국부적으로 첨가하는 공정을 갖는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 19.

결정 반도체를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

불순물 원소의 첨가에 의해 소정의 문턱치 전압으로 제어하기 위한 불순물 영역을 형성하기 위해, 상기 채널 형성 영역에 대하여 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 인위적 또한 국부적으로 첨가하는 공정을 갖는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 20.

결정 반도체를 이용하여 소스 영역, 드레인 영역 및 채널 형성 영역을 형성하는 공정과,

상기 채널 형성 영역에서 에너지 밴드폭(Eg)을 넓히는 불순물 원소를 첨가함으로써, 인위적 또한 국부적으로 불순물 영역을 형성하는 공정과,

상기 채널 형성 영역 상에 게이트 절연막 및 게이트 전극을 형성하는 공정을 적어도 갖는 절연 게이트형 반도체 장치 제조 방법에 있어서,

상기 불순물 영역은 절연성을 가지고 있고,

상기 채널 형성 영역에서 상기 불순물 영역 이외의 영역에는 상기 불순물 원소가 첨가되지 않고 또는 극미량으로 첨가되어 있는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 21.

제 15 항 내지 제 20 항중 어느 한 항에 있어서,

상기 채널 형성 영역 내의 상기 불순물 영역 이외의 영역은 진성 또는 실질적으로 진성인 영역인 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 22.

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 채널 형성 영역의 폭  $W$ 에 대하여 상기 불순물 영역 및 상기 불순물 영역 사이의 폭이 점유하는 비율을 각각  $W_{pi}$ ,  $W_{pa}$ 로 했을 때, 상기  $W$ ,  $W_{pi}$  및  $W_{pa}$ 의 사이에는  $W_{pi}/W=0.1$  내지 0.9,  $W_{pa}/W=0.1$  내지 0.9,  $W_{pi}/W_{pa}=1/9$  내지 9의 관계식이 성립하는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 23.

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 채널 형성 영역의 채널 방향으로 수직인 적어도 한 단면은 실질적으로 상기 불순물 영역에 의해 구획지어진 복수의 채널 형성 영역의 집합체로 간주할 수 있는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 24.

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 불순물 영역은 100 내지 3000 Å의 간격으로 배치되는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 25.

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 결정 반도체는 단결정 반도체인 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 26.

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 불순물 영역은 도트 패턴 형상을 갖는 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 27.

제 16 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 불순물 원소는 탄소, 질소, 산소에서 선택된 일종 또는 복수 종류의 원소인 것을 특징으로 하는 절연 게이트형 반도체 장치 제조 방법.

### 청구항 28.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 매장된 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극과,

상기 매장된 채널 형성 영역 및 상기 게이트 절연막 사이에 제공되고 상기 소스 영역 및 상기 드레인 영역의 것과 같은 도전성 타입을 갖고, 상기 소스 영역 및 상기 드레인 영역보다 도전성에 있어서 더 약한, 약한 도전성 영역을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 29.

결정 반도체 재료를 이용하여 형성되고, 사파이어 기판상에 제공된 소스 영역, 드레인 영역 및 채널 형성 영역과, 게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 30.

결정 반도체 재료를 이용하여 형성되고, SIMOX(산소 주입 분리) 기판상에 제공된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 31.

결정 반도체 재료를 이용하여 형성되는 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 봉소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 32.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 형성 영역의 채널 폭 W의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭 W의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭 W의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지 0.9 및  $W_{pa}/W = 0.1$  내지 0.9이고,

상기 불순물 영역들은 봉소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

## 청구항 33.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 폭 W의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭 W의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭 W의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지 0.9 및  $W_{pa}/W = 0.1$  내지 0.9이고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 영역들은 붕소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

### 청구항 34.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 영역들은 붕소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

### 청구항 35.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

에너지 밴드폭(Eg)을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는, 절연 게이트형 반도체 장치.

### 청구항 36.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고 간격들을 포함하며, 상기 불순물 영역들은 상기 채널 폭 W의 방향으로 상기 간격들과 교호하고,

상기 불순물 영역들은 상기 채널 폭 W의 방향으로  $W_{pi}$ 의 전체 폭을 갖고, 상기 간격들의 전체는 상기 채널 폭 W의 상기 방향으로  $W_{pa}$ 이며, 여기서  $W_{pi}/W = 0.1$  내지 0.9 및  $W_{pa}/W = 0.1$  내지 0.9이고,

에너지 밴드폭(Eg)을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고 붕소가 상기 불순물 영역들에 첨가되고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는, 절연 게이트형 반도체 장치.

### 청구항 37.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

에너지 밴드폭( $E_g$ )을 넓히는 상기 불순물 원소들이 상기 불순물 영역들에 첨가되고 봉소가 상기 불순물 영역들에 첨가되고,

상기 채널 형성 영역은  $1\mu\text{m}$ 이하의 채널 길이를 갖고,

상기 불순물 원소들은 탄소, 질소 및 산소로 구성된 그룹으로부터 선택되는 절연 게이트형 반도체 장치.

### 청구항 38.

결정 반도체 재료를 이용하여 형성된 소스 영역, 드레인 영역 및 매장된 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극과,

상기 매장된 채널 형성 영역 및 상기 게이트 절연막 사이에 제공되고 상기 소스 영역 및 상기 드레인 영역의 것과 같은 도전성 타입을 갖고, 상기 소스 영역 및 상기 드레인 영역보다 도전성에 있어서 더 약한, 약한 도전성 영역을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 봉소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

### 청구항 39.

결정 반도체 재료를 이용하여 형성되고, 사파이어 기판상에 제공된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 봉소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

### 청구항 40.

결정 반도체 재료를 이용하여 형성되고, SIMOX(산소 주입 분리) 기판상에 제공된 소스 영역, 드레인 영역 및 채널 형성 영역과,

게이트 절연막을 사이에 두고 상기 채널 형성 영역에 인접하여 형성된 게이트 전극을 포함하는 절연 게이트형 반도체 장치에 있어서,

상기 채널 형성 영역은 상기 게이트 전극으로부터 상기 채널 형성 영역의 깊이의 방향을 향해 보여지는 도트 패턴을 형성하는 복수의 불순물 영역들을 포함하고,

상기 불순물 영역들은 봉소와, 탄소, 질소 및 산소로 구성된 그룹으로부터 선택된 원소를 함유하는, 절연 게이트형 반도체 장치.

#### 청구항 41.

제 31 항 내지 제 35 항 중 어느 한 항에 있어서,

상기 봉소는 상기 불순물 영역들 중 적어도 하나의 가장 바깥부에 함유되고, 상기 불순물 영역들의 상기 적어도 하나의 상기 가장 바깥부는 산화되는, 절연 게이트형 반도체 장치.

#### 청구항 42.

제 36 항 내지 제 40 항 중 어느 한 항에 있어서,

상기 봉소는 상기 불순물 영역들 중 적어도 하나의 가장 바깥부에 함유되고, 상기 불순물 영역들의 상기 적어도 하나의 상기 가장 바깥부는 산화되는, 절연 게이트형 반도체 장치.

#### 청구항 43.

제 1 항 내지 제 4 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 도트 패턴은 상기 불순물 영역들이 상기 채널 형성 영역의 채널 길이의 방향으로 연장하는 하나 또는 복수의 행들을 형성하는 배치를 갖는, 절연 게이트형 반도체 장치.

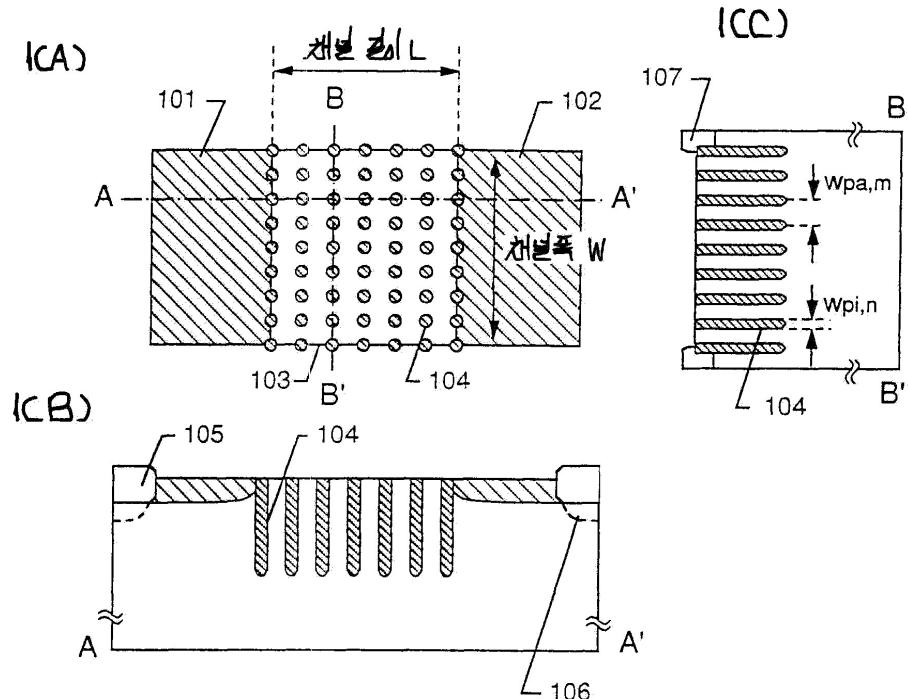
#### 청구항 44.

제 28 항 내지 제 39 항에 있어서,

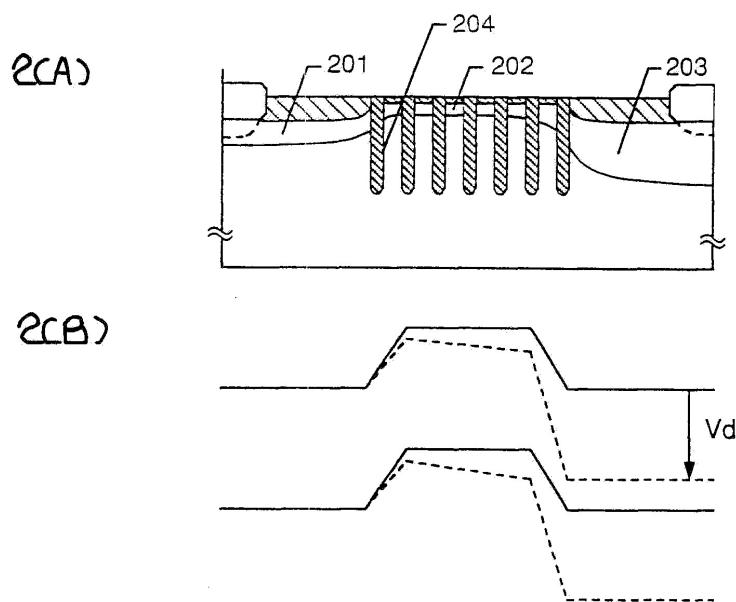
상기 도트 패턴은 상기 불순물 영역들이 상기 채널 형성 영역의 채널 길이의 방향으로 연장하는 하나 또는 복수의 행들을 형성하는 배치를 갖는, 절연 게이트형 반도체 장치.

도면

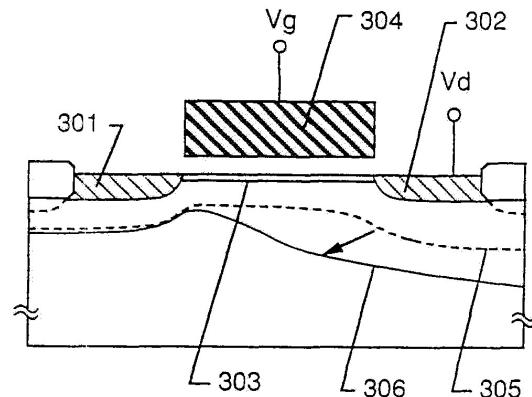
도면1



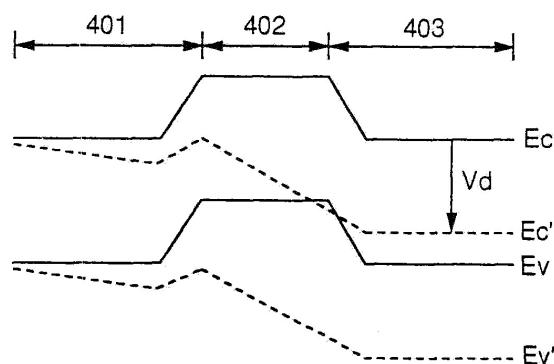
도면2



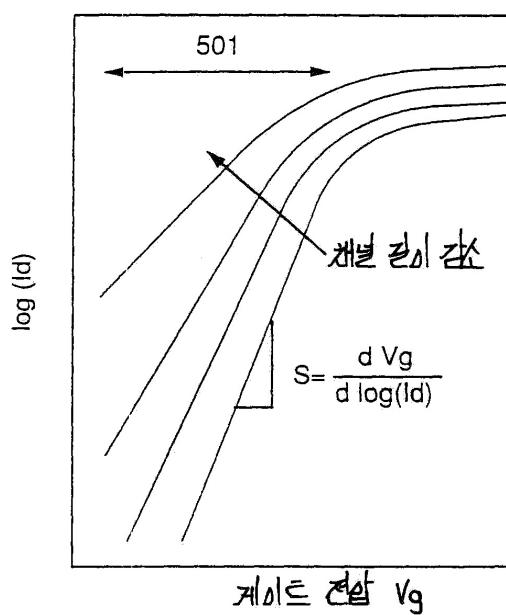
도면3



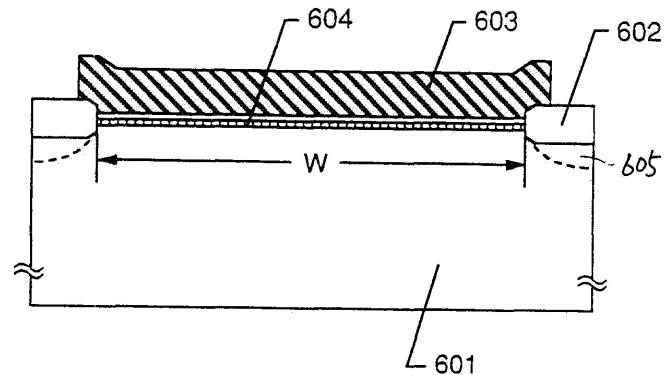
도면4



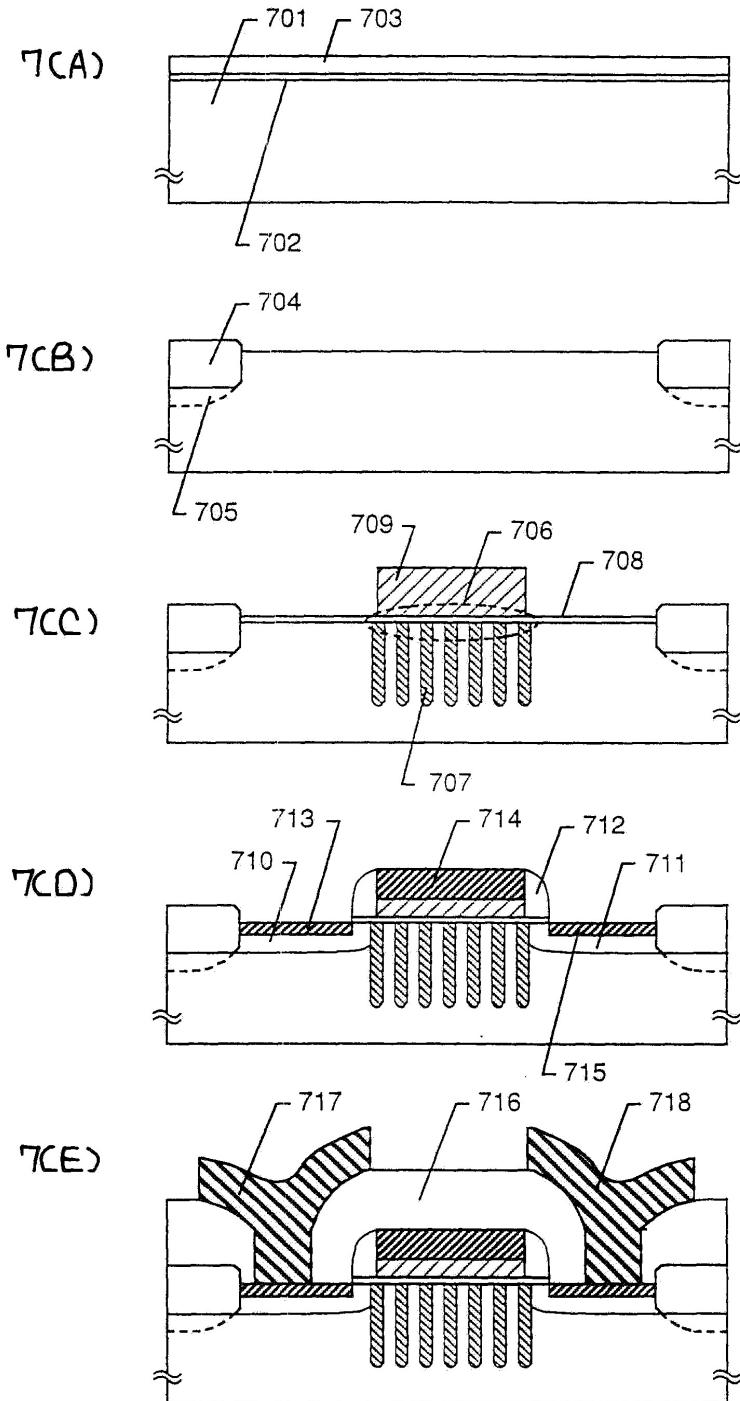
도면5



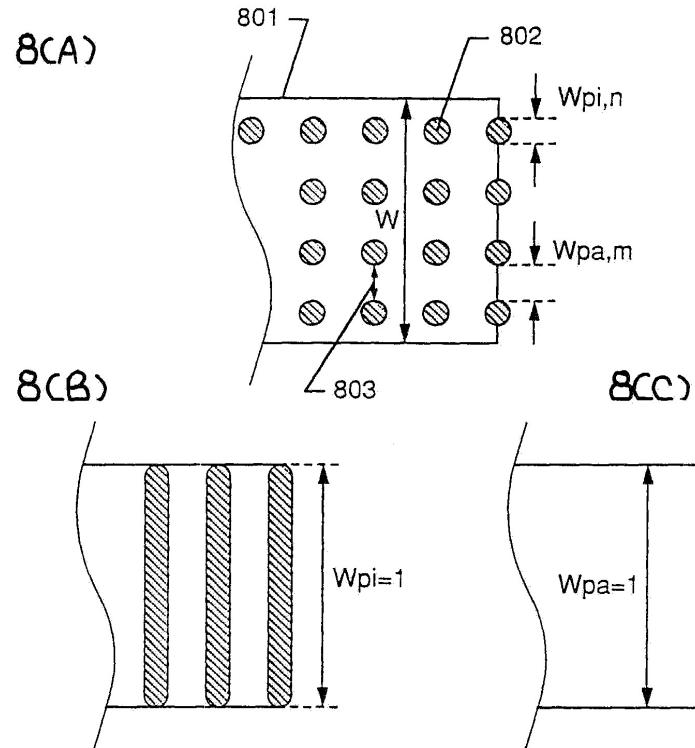
도면6



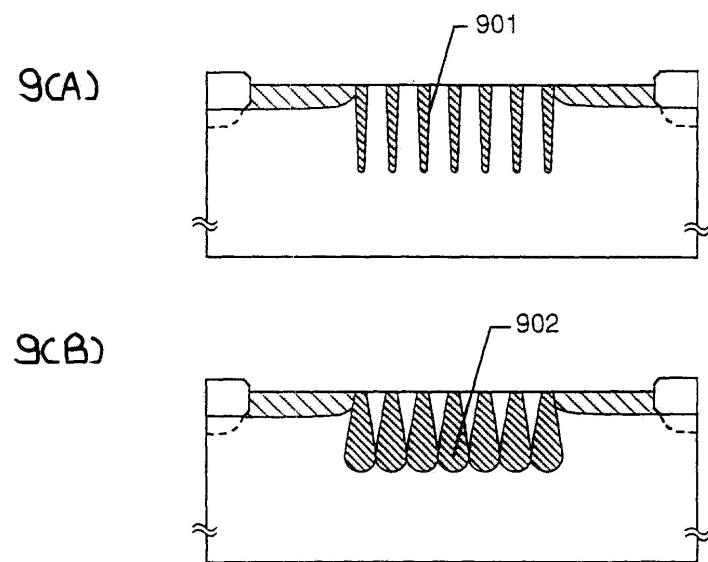
도면7



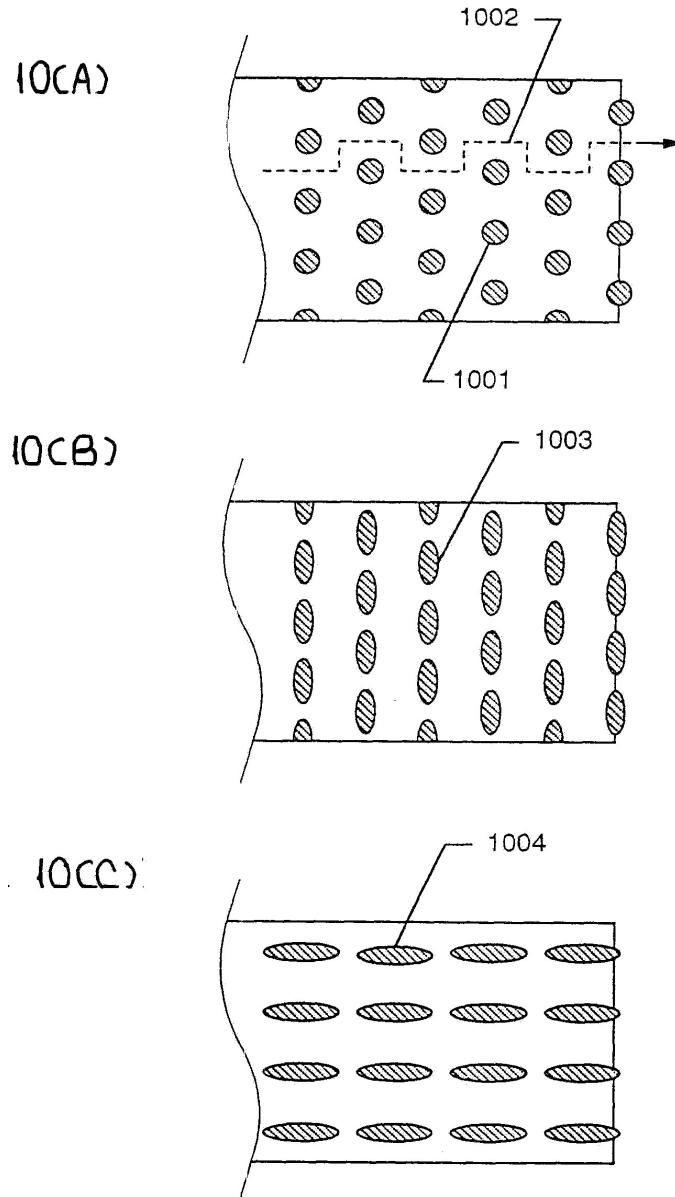
도면8



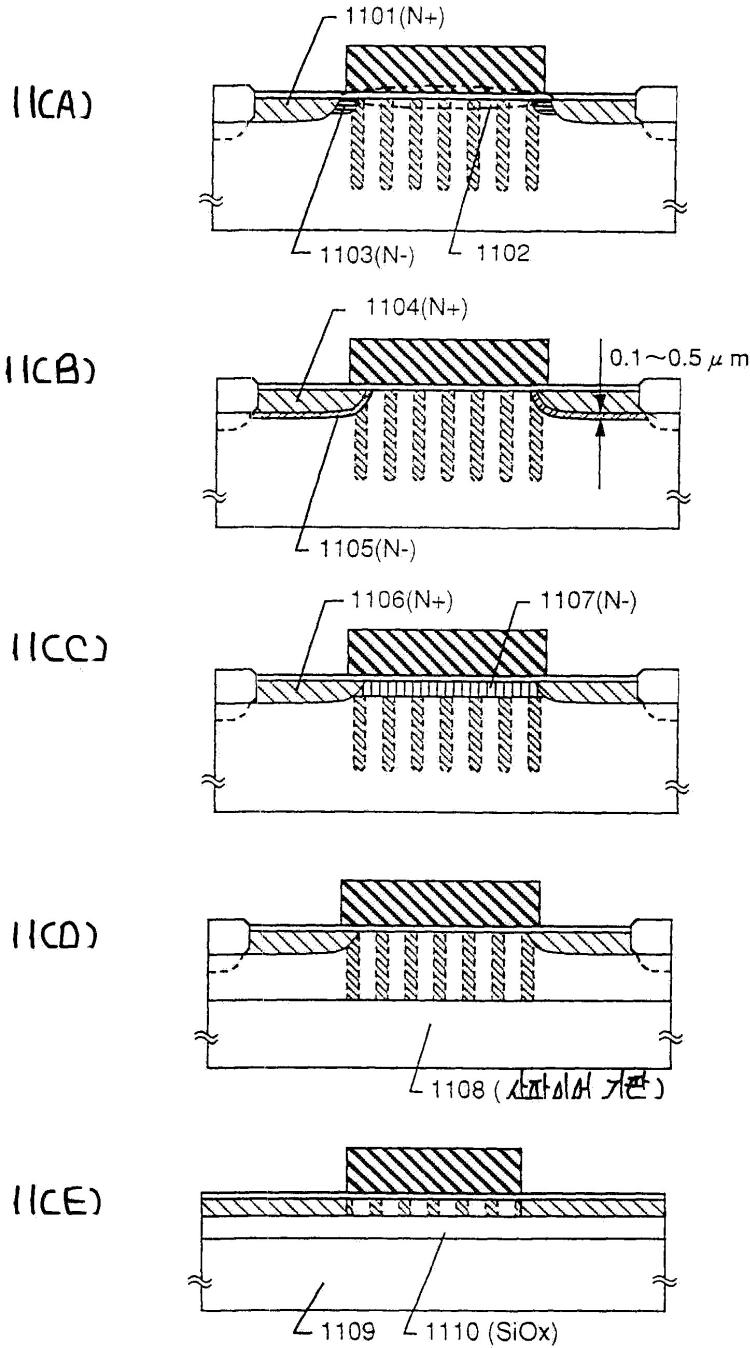
도면9



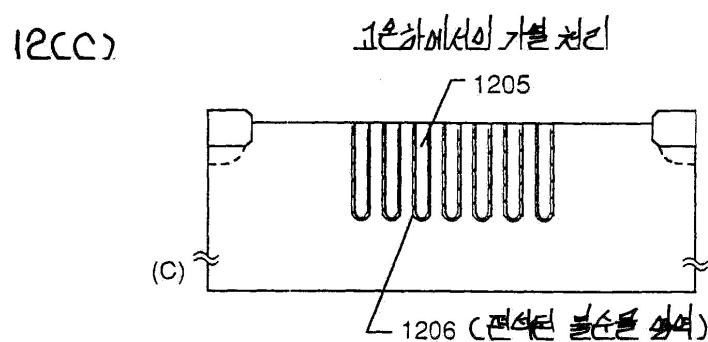
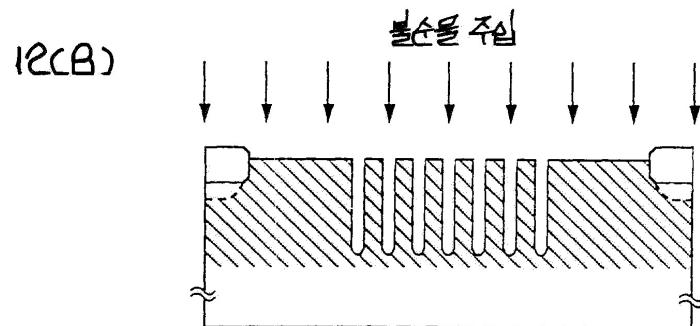
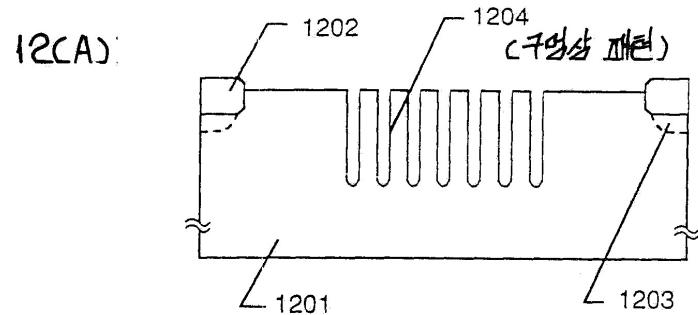
도면10



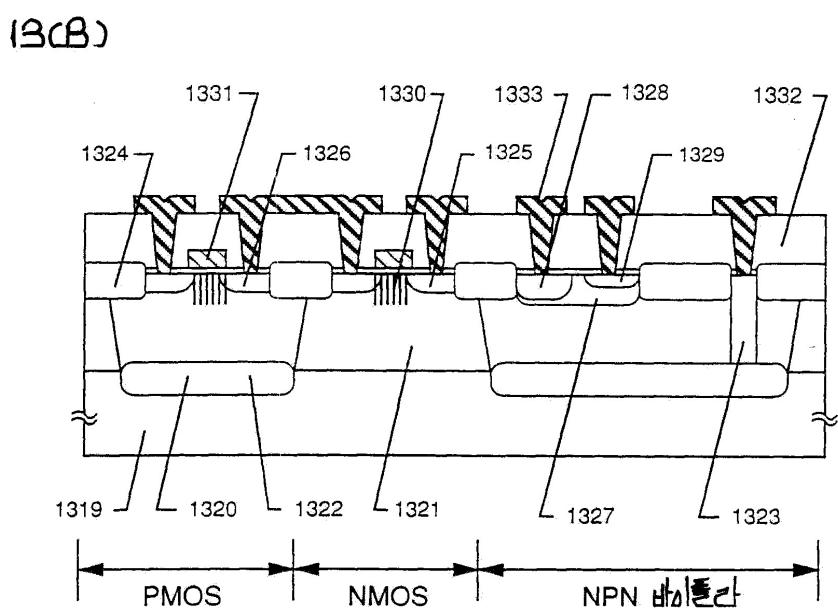
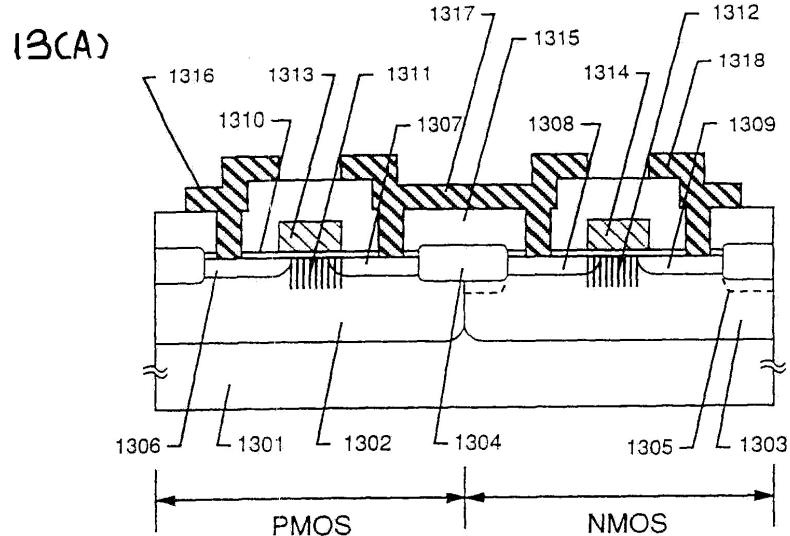
## 도면11



## 도면12

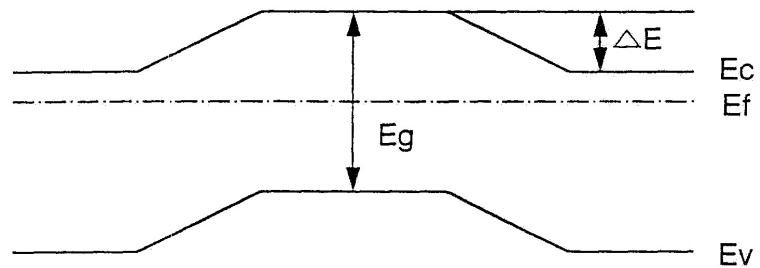


### 도면13



도면14

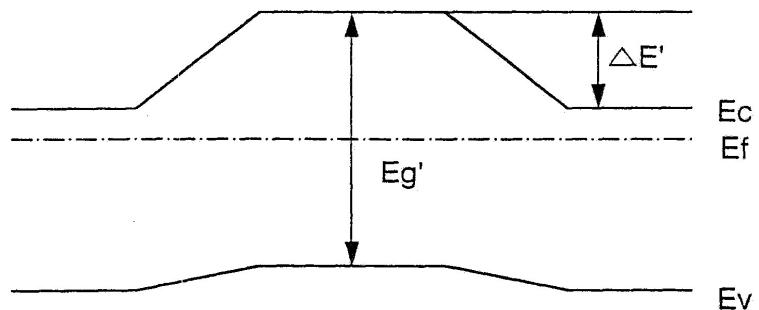
(4CA)



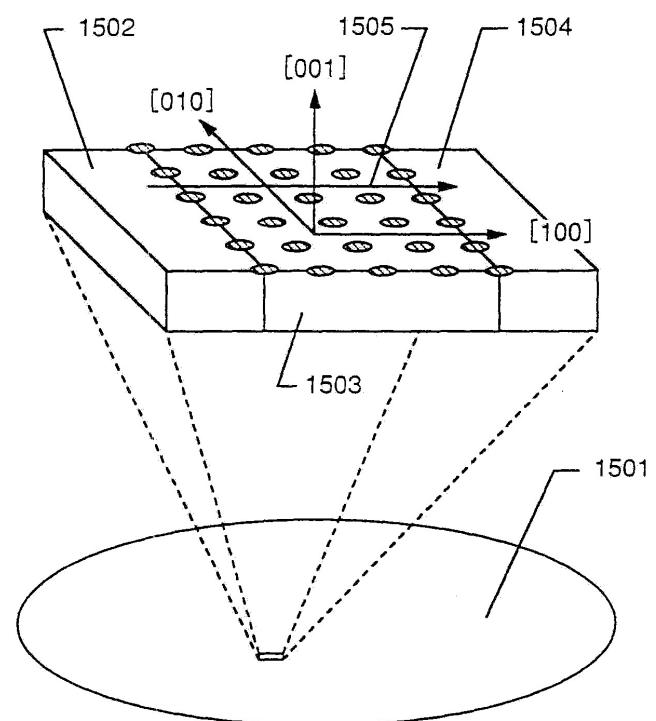
$$E_g < E_g'$$

(4CB)

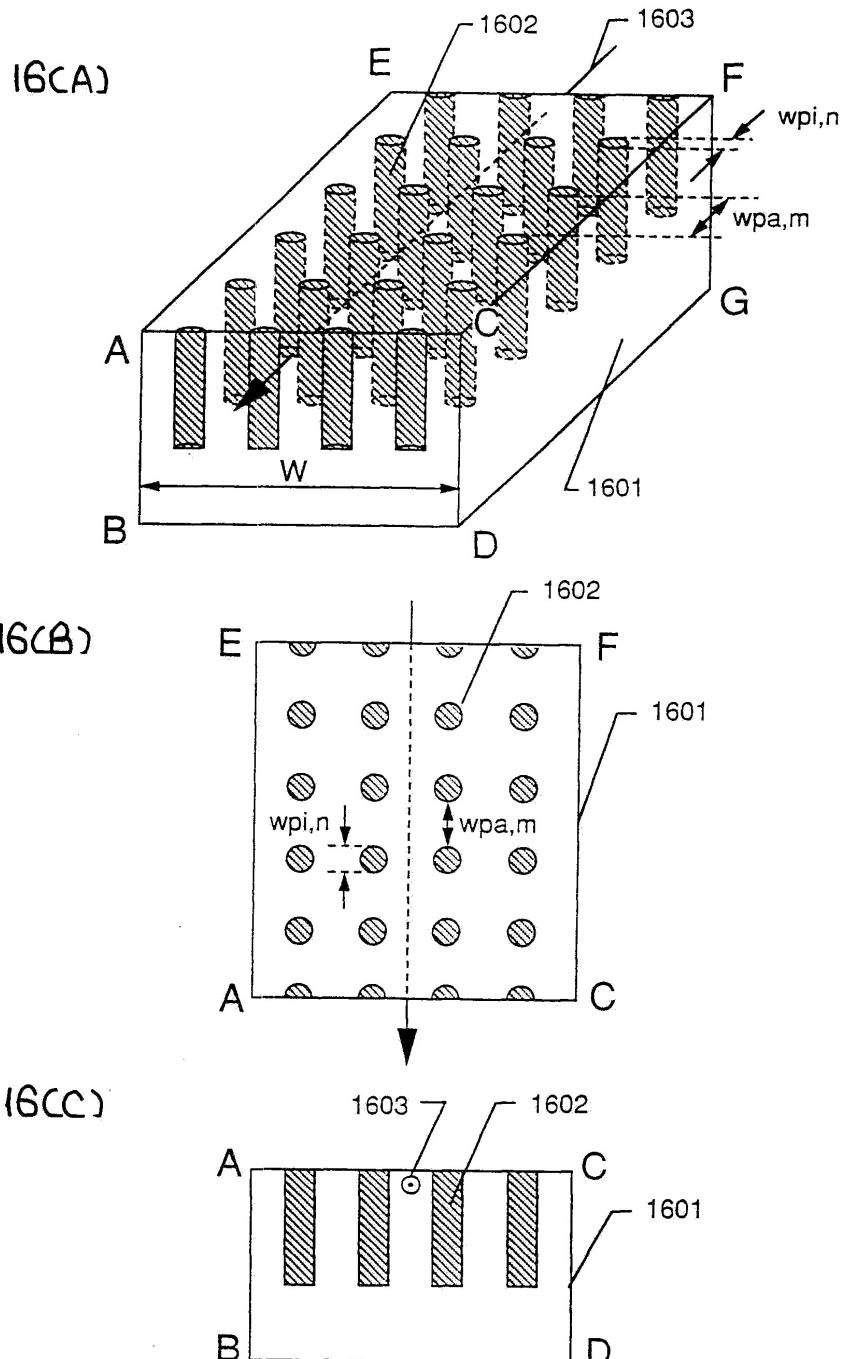
$$\Delta E < \Delta E'$$



도면15



도면16



도면17

