



(21)申請案號：107127922

(22)申請日：中華民國 107 (2018) 年 08 月 10 日

(51)Int. Cl. : **H01L27/11563 (2017.01) H01L29/792 (2006.01)**

(30)優先權：2017/08/11 美國 15/675,223

(71)申請人：美商美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：卡森 克里斯 M CARLSON, CHRIS M. (US)

(74)代理人：陳長文

(56)參考文獻：

JP	2015-177013A	US	2013/0056819A1
US	2016/0351582A1	US	2017/0117290A1
US	2017/0229474A1	US	2017/0278851A1

審查人員：黃鼎翰

申請專利範圍項數：44 項 圖式數：9 共 49 頁

(54)名稱

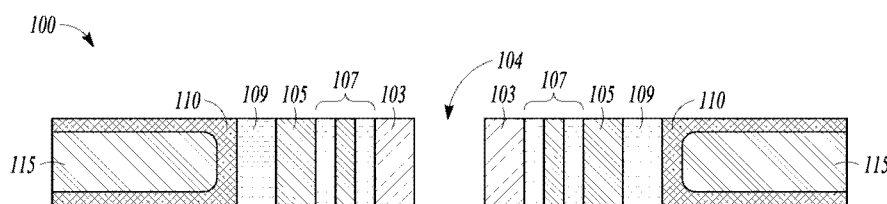
具有電荷捕獲結構之設備、記憶體裝置及製造電荷捕捉結構之方法

(57)摘要

本文中所揭示之各種實施例包括具有電荷捕獲結構的方法及設備，其中每一電荷捕獲結構包括在該電荷捕獲結構之一閘極與一電荷捕獲區上之一阻隔介電質之間的一介電質屏障。在各種實施例中，該等電荷捕獲結構中的每一者的該介電質屏障的材料可具有比氧化鋁之介電常數大的一介電常數。揭示了額外的設備、系統及方法。

Various embodiments, disclosed herein, include methods and apparatus having charge trap structures, where each charge trap structure includes a dielectric barrier between a gate and a blocking dielectric on a charge trap region of the charge trap structure. In various embodiments, material of the dielectric barrier of each of the charge trap structures may have a dielectric constant greater than that of aluminum oxide. Additional apparatus, systems, and methods are disclosed.

指定代表圖：



【圖1A】

符號簡單說明：

100:電荷捕獲結構

103:半導體柱

104:中心區

105:電荷捕獲區

107:隧道區

109:介電質阻隔區

110:介電質屏障

115:閘極



I797150

【發明摘要】

【中文發明名稱】

具有電荷捕獲結構之設備、記憶體裝置及製造電荷捕捉結構之方法

【英文發明名稱】

APPARATUS HAVING CHARGE TRAP STRUCTURES, MEMORY DEVICES, AND METHODS OF FABRICATING CHARGE TRAP STRUCTURES

【中文】

本文中所揭示之各種實施例包括具有電荷捕獲結構的方法及設備，其中每一電荷捕獲結構包括在該電荷捕獲結構之一閘極與一電荷捕獲區上之一阻隔介電質之間的一介電質屏障。在各種實施例中，該等電荷捕獲結構中的每一者的該介電質屏障的材料可具有比氧化鋁之介電常數大的一介電常數。揭示了額外的設備、系統及方法。

【英文】

Various embodiments, disclosed herein, include methods and apparatus having charge trap structures, where each charge trap structure includes a dielectric barrier between a gate and a blocking dielectric on a charge trap region of the charge trap structure. In various embodiments, material of the dielectric barrier of each of the charge trap structures may have a dielectric constant greater than that of aluminum oxide. Additional apparatus, systems, and methods are disclosed.

【指定代表圖】

1A

【代表圖之符號簡單說明】

100 電荷捕獲結構

103	半導體柱
104	中心區
105	電荷捕獲區
107	隧道區
109	介電質阻隔區
110	介電質屏障
115	閘極

【發明說明書】

【中文發明名稱】

具有電荷捕獲結構之設備、記憶體裝置及製造電荷捕捉結構之方法

【英文發明名稱】

APPARATUS HAVING CHARGE TRAP STRUCTURES, MEMORY DEVICES, AND METHODS OF FABRICATING CHARGE TRAP STRUCTURES

【技術領域】

【0001】 本申請案係關於電荷捕獲結構，且更特定言之，係關於對阻隔區具有屏障之電荷捕獲結構。

【先前技術】

【0002】 電子工業處於減小組件大小以及電力要求兩者恆定壓力下，且具有改良記憶體裝置之操作的市場驅動需求。一種減小組件大小之方法為以三維(3D)組態製造裝置。舉例而言，記憶體裝置可經配置為豎直地在基板上之記憶體單元的堆疊。此類記憶體單元可實施為電荷捕獲單元。對基於電荷捕獲之記憶體裝置及其操作的改良可由記憶體裝置之設計的發展解決。

【發明內容】

【0003】 在一或多個實施例中，提供一種設備。該設備包含：一半導體柱，其可用於傳導一電流；一電荷捕獲區，其藉由一隧道區與該半導體柱分隔開；一介電質阻隔區，其鄰接於該電荷捕獲區；一閘極，其鄰接於該介電質阻隔區且可用於控制電荷在該電荷儲存區中之儲存；及一介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障包含與該介電質阻隔區之一材料不同的一材料，該介電質屏障之該材料具有比氧化鋁之

介電常數大的一介電常數。

【0004】 在一或多個實施例中，提供一種記憶體裝置。該記憶體裝置包含：一記憶體單元串，其包括：半導體材料的一豎直柱；及沿該豎直柱配置的多個電荷儲存裝置，該多個電荷儲存裝置中之每一電荷儲存裝置包括藉由一隧道區與該豎直串之該豎直柱分隔開的一電荷捕獲區；一介電質阻隔區，其鄰接於該電荷捕獲區；一閘極，其鄰接於該介電質阻隔區且可用於控制電荷在電荷儲存區中的儲存；及一介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障之一材料與該介電質阻隔區之一材料不同，該介電質屏障之該材料具有比氧化鋁之介電常數大的一介電常數。

【0005】 在一或多個實施例中，提供一種記憶體裝置。該記憶體裝置包含：一記憶體單元串，其包括：半導體材料的一豎直柱；及沿該豎直柱配置的多個電荷儲存裝置，該多個電荷儲存裝置中之每一電荷儲存裝置包括藉由一隧道區與該豎直串之該豎直柱分隔開的一電荷捕獲區；一介電質阻隔區，其鄰接於該電荷捕獲區；一閘極，其鄰接於該介電質阻隔區且可用於控制電荷在該電荷儲存區中的儲存；及一介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障之一材料與該介電質阻隔區之一材料不同，該介電質屏障之該材料具有低於2.8 eV之一電子親和力。

【0006】 在一或多個實施例中，提供一種方法。該方法包含：沿一材料堆疊中之一開放區域的一壁形成一介電質阻隔區；在該介電質阻隔區上且接觸該介電質阻隔區形成一電荷捕獲區；在該電荷捕獲區上且接觸該電荷捕獲區形成一隧道區；在該隧道區上且接觸該隧道區形成半導體材料，該半導體材料可操作為用以傳導一電流的一通道；移除暴露該介電質阻隔區之一部分該材料堆疊的一部分；在該介電質阻隔區的與該電荷捕獲

區相對的一側面上的該介電質阻隔區的該經暴露部分上且接觸該經暴露部分形成一介電質屏障，該介電質屏障之一材料與該介電質阻隔區之一材料不同，該介電質屏障之該材料具有比氧化鋁的介電常數大的一介電常數；及在該介電質屏障上且接觸該介電質屏障形成一閘極，該閘極藉由該介電質屏障與該介電質阻隔區分隔開。

【0007】 在一或多個實施例中，提供一種方法。該方法包含：在一材料堆疊中之一開放區域的一壁上且接觸該壁形成一介電質屏障；在該介電質屏障上且接觸該介電質屏障形成一介電質阻隔區，該介電質屏障之一材料與該介電質阻隔區之一材料不同；在該介電質阻隔區上且接觸該介電質阻隔區形成一電荷捕獲區；在該電荷捕獲區上且接觸該電荷捕獲區形成一隧道區；在該隧道區上且接觸該隧道區形成半導體材料，該半導體材料可操作為用以傳導一電流的一通道；及在該介電質屏障上且接觸該介電質屏障形成一閘極，該閘極藉由該介電質屏障與該介電質阻隔區分隔開。

【圖式簡單說明】

【0008】 圖1A為根據各種實施例之一實例電荷捕獲結構的橫截面表示，該實例電荷捕獲結構可包括於各種電子設備中。

【0009】 圖1B為根據各種實施例之一實例閘極的橫截面表示，該實例閘極具有帶多個組件的結構。

【0010】 圖2A至圖2C根據各種實施例說明具有氧化鋁介電質屏障區之電荷捕獲結構與具有氧化鋁介電質屏障區之電荷捕獲結構的比較。

【0011】 圖3為根據各種實施例之單元劣化與循環條件之曲線圖。

【0012】 圖4展示根據各種實施例之三維記憶體裝置之記憶體陣列的區塊架構及頁面位址映射的示意圖。

【0013】 圖5為根據各種實施例之形成電荷捕獲結構之一實例方法的特徵之流程圖。

【0014】 圖6為根據各種實施例之形成電荷捕獲結構之一實例方法的特徵之流程圖。

【0015】 圖7A至圖7H說明根據各種實施例之在豎直堆疊中形成電荷捕獲結構之一實例方法的階段。

【0016】 圖8說明根據各種實施例之具有多個電子組件之晶圓的一實例。

【0017】 圖9展示根據各種實施例之一實例系統的方塊圖，該實例系統包括用作為記憶體單元之電荷捕獲結構之陣列結構化的記憶體。

【實施方式】

【0018】 以下詳細描述係指借助於實例說明展示本發明的各種實施例之隨附圖式。以充足細節描述此等實施例以使得一般熟習此項技術者實踐此等及其他實施例。可利用其他實施例，且可對此等實施例進行結構、邏輯及電學改變。各種實施例未必相互排斥，此係因為一些實施例可與一或多個其他實施例組合以形成新實施例。因此，不應在限制性意義上看待以下詳細描述。

【0019】 如本文件中所使用術語之「水平」定義為平行於基板之習知平面或表面，例如在晶圓或晶粒下面的平面或表面，不管基板在任何時間點處的實際定向。術語「豎直」指代垂直於如上文所定義之水平的方向。術語「晶圓」及「基板」在本文中通常用於指代積體電路形成於其上之任何結構，且亦指代在積體電路製造之不同階段期間的此類結構。晶圓可包括多個晶粒，積體電路相對於晶粒的各別基板安置在該多個晶粒中。

【0020】圖1A為實例電荷捕獲(charge trap；CT)結構100之一實施例的橫截面表示，該實例電荷捕獲結構可包括於各種電子設備中。此類設備可包括記憶體陣列、記憶體裝置、積體電路或包括用以儲存電荷之一或多個單元的其他設備。CT結構100可包括半導體柱103、電荷捕獲區105、隧道區107、介電質阻隔區109、介電質屏障110及閘極115。在本文中圖式未按比例繪製。半導體柱103可用於傳導電流，且閘極115可用於控制電荷在電荷儲存區中之儲存。閘極115可為金屬閘極。閘極115可包括導電氮化鈦。圖1B為具有帶多個組件之結構的閘極115之橫截面表示。閘極115可包括導電氮化鈦或其他金屬化合物，其中金屬在導電氮化鈦上且接觸該導電氮化鈦，或金屬在其他金屬化合物上且接觸其他金屬化合物。舉例而言，閘極115可包括其上安置有鎢115-2之大致15埃至30埃的導電錫屏障層115-1。閘極115可被稱作控制閘極，且介電質阻隔區109可被稱作控制介電質。

【0021】半導體柱103可包括但不限於多晶矽(多晶矽(poly silicon))。圖1A中所展示之結構100的區可經配置為圍繞中心區104的材料環。中心區104可為介電材料(諸如但不限於介電氧化物)之區。中心區104中之介電氧化物的一實例包括氧化矽。

【0022】電荷捕獲區105藉由隧道區107與半導體柱103分隔開。電荷捕獲區105可為可儲存來自半導體柱103之電荷的介電材料。電荷捕獲區105可為介電氮化物區，諸如包括介電氮化矽之區。電荷捕獲區105之其他介電材料可用於捕獲電荷。隧道區107可構造為經改造區以滿足與電荷捕獲區105相關聯之選定準則。圖1A中之實例展示隧道區107為三區隧道屏障。三區隧道屏障可經配置為介電氧化物區、安置在該介電氧化物上

之介電氮化物區，及安置在該介電氮化物區上的另一介電氧化物區。替代地，隧道區107可為兩區隧道屏障或一區隧道屏障。此外，隧道區107可具有多於四個區，其中材料及厚度的選擇取決於具有給定厚度以作為至電荷捕獲區105之穿隧區來執行的材料的能力。

【0023】 介電質阻隔區109安置在電荷捕獲區105上且接觸該電荷捕獲區。介電質阻隔區109提供用以阻擋電荷自電荷捕獲區105流動至閘極115的機構。介電質阻隔區109可為氧化物或諸如在隧道區107中使用之其他介電質。閘極115鄰近於介電質阻隔區109而安置，但藉由在介電質阻隔區109與閘極115之間的介電質屏障110與介電質阻隔區109分隔開，其中介電質屏障110包含與介電質阻隔區之材料不同的材料。介電質屏障110之材料具有比氧化鋁之介電常數大的介電常數。

【0024】 介電質屏障110可結構化為在閘極115之邊緣周圍共形。在圖1A的實例中，介電質屏障110以豎直方式且沿閘極115之表面安置在介電質阻隔區109與閘極115之間，該等表面垂直於介電質阻隔區109與閘極115之間的介電質屏障110之豎直安置。在具有以豎直堆疊配置之多個CT的實例中，類似於圖1A中所展示，多個CT之介電質屏障110沿豎直堆疊在每一CT之間為不連續的。在一替代性實例中，介電質屏障110可以豎直方式在介電質阻隔區109與閘極115之間結構化而不在閘極115之邊緣周圍延伸。在具有此類豎直介電質屏障之CT的豎直堆疊中，多個CT之此等介電質屏障110沿豎直堆疊在每一CT之間可為連續性的。

【0025】 作為介電質阻隔區109與閘極115之間的介電質屏障110之薄 AlO_x 層實現增強的穿隧屏障，該增強的穿隧屏障防止電子穿過介電質阻隔區109自閘極115進入電荷捕獲區105之反向穿隧，由此將操作性抹除

飽和限於小的正臨限電壓(V_t)位準或小的負臨限電壓位準。(術語 AB_x 之使用指示不限於 AB 化合物之特定化學計量的 AB 材料。)然而，本發明者已發現較佳屏障特性可藉由用具有較高介電常數 κ 之介電質替換此 AlO_x 層而獲得，該等較佳屏障特性導致增強的抹除能力及循環效能。氧化鋁具有約9至10之 κ 值及約2.8 eV之電子親和力 χ 。增強的抹除能力及循環效能可使得能夠構造具有單元之記憶體陣列的記憶體裝置，類似於CT結構100結構化為記憶體裝置之每一記憶體單元具有四層單元(QLC)。利用 AlO_x ，相對於氧化矽阻隔區，可用抹除窗口仍藉由在循環期間隨著抹除 V_t 在由 AlO_x 膜啟用之範圍內更深地移動發生的抹除誘捕(erase trap up) (臨限電壓之偏移)而受限。利用一些材料，諸如 HfO_x ，此抹除誘捕並不發生，由此將可用程式擴展至抹除(P/E)窗口，該可用程式為QLC之關鍵啟用器提供雙向或可能地單向程式化。

【0026】 介電質屏障110之材料可具有比氧化鋁之電子親和力低的電子親和力。介電質屏障110可包括以下中之一或多者：氧化鉛；氧化鋇；或氧化鉛及/或氧化鋇與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉍中之一或多者的混合物。可使用之膜的實例包括基於 HfO_2 及/或 ZrO_2 之材料，以及與諸如 AlO_x 、 SiO_2 、 TiO_2 、 GaO_x 、 NbO_x 及 Ta_2O_5 之其他材料的混合物。此類材料可能並不受限於特定化學計量。抉擇介電質屏障之因素可包括具有超過10至15之合理高的 κ 值的介電材料。舉例而言，介電質屏障之材料可在以下範圍內選擇且可包括介電質屏障之多個候選材料：作為廣泛範圍的 $10 < \kappa < 80$ 之範圍或自氧化鋁的範圍進一步移除的 $12 < \kappa < 40$ 之範圍。抉擇介電質屏障之因素亦可包括亦具有低於2.8 eV之電子親和力 χ 的介電材料，2.8 eV為 AlO_x 的值。舉例而言，對介電質屏障之

抉擇可包括亦具有例如在 $1.0 \text{ eV} < \chi < 2.8 \text{ eV}$ 範圍內的 χ 值或由 $1.5 \text{ eV} < \chi < 2.5 \text{ eV}$ 給定之範圍內的 χ 值之介電材料。

【0027】 在各種實施例中，記憶體裝置可結構化為記憶體結構，其中用以儲存電荷之記憶體單元在三維(3D)結構中以不同層級配置。舉例而言，記憶體裝置可包括3D NAND堆疊，類似於CT結構100之記憶體單元可配置於該3D NAND堆疊中。NAND陣列架構可經配置為記憶體(例如記憶體單元)之陣列，該記憶體陣列經配置以使得陣列中之記憶體在邏輯列中耦接至諸如字線的存取線。陣列中之記憶體可在共同區之間串聯耦接至一起，該等共同區諸如源極線及如位元線之資料線。

【0028】 3D NAND堆疊可使用在此類3D結構中具有比 AlO_x 更佳之屏障特性的材料藉由諸如介電質屏障110之介電質屏障實施，該等材料相對於CT結構中之 AlO_x 介電質屏障可提供抹除飽和之增強改良。閘極可在一製程中形成，該閘極可耦接至例如字線之存取線或形成為存取線之部分，在該製程中，具有諸如氮化矽之材料的最初形成區經移除且由堆疊中之豎直串中的多個CT單元中之導電閘極替代。此類閘極可被稱為替代閘極。

【0029】 圖2A至圖2C說明在閘極電壓 V_g 等於-20V之抹除條件下具有氧化鋁介電質屏障區之CT結構與具有氧化鉛介電質屏障區之CT結構的比較。圖2A為具有藉由穿隧氧化矽區207-1與氮化矽捕獲區205-1分隔開之矽區203-1的CT結構之能帶圖，其中在氮化矽捕獲區205-1上為阻隔氧化矽區209-1， AlO_x 區210-1在該阻隔氧化矽區上。圖2B為具有藉由穿隧氧化矽區207-2與氮化矽捕獲區205-2分隔開之矽區203-2的CT結構之能帶圖，其中在氮化矽捕獲區205-2上為阻隔氧化矽區209-2， HfO_2 區210-2在

該阻隔氧化矽區上。在除了屏障區210-1及210-2以外圖2A及圖2B之兩個結構相同的情況下，可以看出，屏障區210-2之氧化鉛在抹除操作期間為電子提供更佳穿隧屏障，其可導致1V-2V之更寬P/E窗口。CT結構之閘極區處的此增強屏障可藉由相較於 AlO_x 與 HfO_2 之較低 χ 組合的較高 κ 值實現。圖2C為與 HfO_2 之性質相比的通常與 AlO_x 一起使用之 SiO_2 及 SiN 的介電常數、能帶隙及電子親和力的表。

【0030】 使用CT單元之記憶體堆疊的關鍵問題包括程式中之電荷保持性及/或抹除狀態。本發明者已確定，例如 HfO_2 膜相較於 AlO_x 提供對於電荷丟失及電荷增益兩者之匹配及更佳的保持性，但具有更大P/E窗口。對於關於程式化之標準循環程序，具有 AlO_x 屏障區之CT結構與具有 HfO_2 屏障區之CT結構之間的誘捕中基本上不存在差異。關於抹除，相較於具有 AlO_x 屏障區之CT結構，針對具有 HfO_2 屏障區之CT結構存在更大P/E窗口。

【0031】 本發明者亦已發現， HfO_2 屏障區可在循環至低抹除 V_t 狀態期間提供對抹除誘捕之預防，其限制 AlO_x 屏障區之可用P/E窗口。利用 HfO_2 屏障區，已經判定，CT單元可循環下降至-6V抹除且可藉由合理的誘捕層級循環多達20k次，而具有 AlO_x 之單元即使剛好在100次循環或更少之後在此深度抹除層級下具有不可接受誘捕。圖3為單元劣化與循環條件之曲線圖。所使用的循環的數目為20k。曲線352擬合 AlO_x 屏障區之資料點，而線354大致擬合 HfO_2 屏障區之資料點。 V_{ers} 為20K個循環中之每一者的抹除電壓，且 $\Delta V_{t,\text{ers}}$ 為在給定 V_{ers} 之程式-抹除的20k個循環之後的 V_t 之改變。正如圖3展示，即使在不同於 AlO_x 屏障區之深度抹除伏特下，關於臨限電壓使用 HfO_2 屏障區實現達20K次之良好循環。

【0032】圖4展示3D記憶體裝置400之記憶體陣列402的區塊架構及頁面位址映射的示意圖。記憶體裝置400可以3D NAND 記憶體裝置400之形式實現。記憶體裝置400可包含電荷儲存裝置401之多個豎直串411。在圖4中所示之Z方向上，電荷儲存裝置之每一串411可包含彼此堆疊之多個儲存裝置401，其中每一電荷儲存裝置401對應於多個階層中之一者。舉例而言，如圖4中所示，三十二個電荷儲存裝置以串的形式彼此堆疊，其中每一電荷儲存裝置401對應於展示為階層0至階層31之三十二個階層中之一者。儲存裝置及在Z方向上之階層的數目不限於三十二。各別串411中之電荷儲存裝置401可共用共同通道區，諸如形成於半導體材料(例如多晶矽)之各別柱中的通道區，電荷儲存裝置之串於該通道區周圍形成。該等柱可為多晶矽、單晶矽或電晶體可製造於其中的其他半導體結構。

【0033】在圖4中所示之X方向中，十六個串組可包含共用三十二個存取線CG之八個串。存取線CG中之每一者可耦接(例如電力地或另外以可操作方式連接)對應於該八個串中的對應一者之每一串411中之各別階層的電荷儲存裝置401。當每一電荷儲存裝置包含能夠儲存多位元信息之多階單元時，藉由相同存取線CG耦接(且因此對應於相同階層)之電荷儲存裝置401可邏輯上分組成例如兩個頁面，諸如P0/P32、P1/P33、P2/P34等等。記憶體裝置400可經配置以操作每一電荷儲存裝置作為四層單元。頁面位址映射在相同階層中水平向上計數。

【0034】在圖4中所示之Y方向中，八組串可包含耦接至八個資料線(BL)中之對應一者的十六個串。在此實例中關於SGS之結構為一個板494，其將16個柱串連接在一起，且關於CG之結構為一個板493，其將16個柱串連接在一起。SGD由一個柱串分隔開。串、階層、存取線、資料

線、每一方向上之串的組及/或頁面的數目可大於或小於圖4中所示之彼等。

【0035】 豎直串411可包括具有沿每一豎直串配置之多個電荷儲存裝置401的豎直半導體柱。每一電荷儲存裝置401可包括：電荷捕獲區，其藉由隧道區與各別豎直串中之豎直半導體柱分隔開；介電質阻隔區，其鄰接於該電荷捕獲區；閘極，其鄰接於該介電質阻隔區以控制電荷在該電荷儲存區中之儲存；及介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障之材料具有比氧化鋁之介電常數大的介電常數，該介電質屏障之材料與介電質阻隔區之材料不同。每一電荷儲存裝置401之閘極可耦接至對應於各別電荷儲存裝置401之記憶體陣列402中之位置的存取線CG或與該存取線整合。電荷儲存裝置401可以類似於圖1A之CT結構的方式或以類似於圖7H中之CT結構的方式實現。

【0036】 電荷儲存裝置401的組件可藉由自多個不同參數選擇性質而實施。電荷儲存裝置401之介電質屏障可包括以下中之一或多者：氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋯或氧化鉍中之一或多者的混合物。介電質屏障自介電質阻隔區至電荷儲存裝置401之閘極可具有在約15埃至約50埃之範圍內的厚度。電荷儲存裝置401之介電質屏障可包括介電材料組成物，使得介電質屏障為記憶體裝置提供程式以抹除窗口，該介電質屏障比具有由氧化鋁構成之介電質屏障的記憶體裝置寬至少0.5伏特。

【0037】 電荷儲存裝置401之隧道區可實施為三區隧道屏障。此類三區隧道屏障可實施為介電氧化物區、安置在該介電氧化物上之介電氮化物區，及安置在該介電氮化物區上的另一介電氧化物區。電荷儲存裝置

401之隧道區可實施為兩區隧道屏障。電荷儲存裝置401之隧道區可實施為一區隧道屏障。此外，電荷儲存裝置401之隧道區可具有四個或更多個區，其中材料及厚度的選擇取決於具有給定厚度以作為至電荷儲存裝置401之電荷捕獲區的穿隧區來執行的材料的能力。電荷儲存裝置401之閘極可實施為金屬閘極。串411中之電荷儲存裝置401的通道可實施為多晶矽通道。

【0038】 實施為CT結構之閘極與介電質阻隔區之間的屏障區的具有比 AlO_x 之介電常數大之介電常數的高 κ 膜可以習知地形成 AlO_x 之方式整合至3D替代閘極(RG)流中之3D NAND結構上。舉例而言，高 κ 膜可在濕式氮化物剝離之後且剛好在金屬替代閘極堆疊經沈積之前沈積在3D結構中。3D RG流之熱預算要求與平面浮動閘極NAND產生相比非常低，其在高 κ 流的情況下僅要求短暫重激活退火。

【0039】 另一選項為在進行阻隔氧化物沈積之前將高 κ 膜直接沈積成柱狀形式。在處理中，柱狀形式可以溝槽開始，CT之串可形成於該溝槽中。在此情況下，在閘極替代處理模組期間，膜必須能夠耐受熱磷或其他氮化物移除製程。然而，在此選項中，高 k 材料不必耐受與3D NAND結構中之習知RG處理相關聯的金屬凹陷處理、乾式蝕刻、濕式蝕刻，或組合。在此選項中製造3D NAND結構之CT單元中，摻雜中空通道(DHC)可形成且有可能需要放大臨界尺寸以在柱內部容納更多膜且為穿孔蝕刻維持充足裕度以將DHC連接至源極。在此選項中，積體流相較於平面浮動閘極NAND產生將具有更高熱穩定性要求。

【0040】 圖5為形成CT結構之一實例方法500的一實施例之特徵的流程圖。在510處，沿材料堆疊中之開放區域的壁形成介電質阻隔區。在

520處，電荷捕獲區形成於介電質阻隔區上且接觸該介電質阻隔區。在530處，隧道區形成於電荷捕獲區上且接觸該電荷捕獲區。在540處，半導體材料形成於隧道區上且接觸該隧道區。半導體柱可結構化為可用於傳導電流之通道。

【0041】 在550處，移除材料堆疊之一部分，從而暴露介電質阻隔區之一部分。在沿共同方向形成多個CT之製程中，材料堆疊可足夠大，其中形成CT及移除材料堆疊之部分可包括在暴露介電質阻隔區之部分之前在所形成的CT之間形成狹縫。在560處，介電質屏障形成於與電荷捕獲區相對之介電質阻隔區的側面上之介電質阻隔區的經暴露部分上且接觸該經暴露部分。介電質屏障之材料可具有比氧化鋁之介電常數大的介電常數。介電質屏障之材料與介電質阻隔區之材料不同。形成介電質屏障可包括沈積以下中的一或多者：氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋮或氧化鉍中之一或多者的混合物。

【0042】 在570處，閘極形成於介電質屏障上且接觸該介電質屏障，該閘極藉由該介電質屏障與介電質阻隔區分隔開。閘極形成為經配置以控制電荷在電荷儲存區中之儲存。所形成介電質阻隔區、所形成電荷捕獲區、所形成隧道區、所形成半導體柱、所形成介電質屏障及所形成閘極形成電荷捕獲結構。形成閘極可包括在介電質屏障上且接觸該介電質屏障形成導電氮化鈦區，且在導電氮化鈦上且接觸該導電氮化鈦形成鎢。導電氮化鈦區可形成為黏著劑區。方法500之特徵可以多個不定序步驟形成且不限於如圖5中所呈現之次序或特徵。

【0043】 方法500或類似於方法500之方法的變體可包括取決於此類

方法之應用及/或實施此類方法的裝置或系統之架構而可組合或可不組合之多個不同實施例。此類方法可包括在具有電荷捕獲結構之材料堆疊中之豎直堆疊中形成額外電荷捕獲結構，其中豎直堆疊具有多個層級，該等電荷捕獲結構中之一個電荷捕獲結構在豎直堆疊之每一層級上。形成電荷捕獲結構及額外電荷捕獲結構可包括形成電荷捕獲結構及額外電荷捕獲結構以使得豎直堆疊中之電荷捕獲結構的介電質屏障沿豎直堆疊為不連續的。具有多個電荷捕獲結構之半導體柱可耦接至形成為源極區的半導體區。

【0044】 圖6為形成CT結構之一實施方法600的一實施例之特徵的流程圖。在610處，介電質屏障形成於材料堆疊中之開放區域的壁上且接觸該壁。形成介電質屏障可包括形成氧化鋁。形成介電質屏障可包括沈積以下中的一或多者：氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋁或氧化鉍中之一或多者的混合物。

【0045】 在620處，介電質阻隔區形成於介電質屏障上且接觸該介電質屏障。介電質屏障之材料與介電質阻隔區之材料不同。介電質屏障之材料具有比氧化鋁之介電常數大的介電常數。在630處，電荷捕獲區形成於介電質阻隔區上且接觸該介電質阻隔區。在640處，隧道區形成於電荷捕獲區上且接觸該電荷捕獲區。在650處，半導體材料形成於隧道區上且接觸該隧道區。半導體材料經構造為可用於傳導電流。

【0046】 在660處，閘極形成於介電質屏障上且接觸該介電質屏障，該閘極藉由該介電質屏障與介電質阻隔區分隔開。形成閘極可包括形成經配置以控制電荷在電荷儲存區中之儲存的閘極。形成閘極可包括在介電質屏障上且接觸該介電質屏障形成導電氮化鈦區。在一個變體中，形成閘極可包括在導電氮化鈦上且接觸該導電氮化鈦形成鎢。所形成介電質阻

隔區、所形成電荷捕獲區、所形成隧道區、所形成半導體材料、所形成介電質屏障及所形成閘極形成電荷捕獲結構。方法600之特徵可以多個不定序步驟形成且不限於如圖6中所呈現之次序或特徵。

【0047】方法600或類似於方法600之方法的變體可包括取決於此類方法之應用及/或實施此類方法的裝置或系統之架構而可組合或可不組合之多個不同實施例。此類方法可包括：在半導體區上形成材料堆疊，其包括形成開放區域作為材料堆疊中之開放柱，該材料堆疊包括用於導電區的交替的隔離介電質及犧牲區；移除犧牲區之部分，從而暴露介電質屏障之部分；及在介電質屏障之經暴露部分上且接觸該等經暴露部分形成多個閘極使得額外電荷捕獲結構形成於材料堆疊中。豎直堆疊可具有多個層級，該等電荷捕獲結構中之一個電荷捕獲結構在豎直堆疊的每一層級上，其中電荷捕獲結構之每一閘極藉由隔離介電質中之一者與豎直堆疊中之相鄰電荷捕獲結構的閘極分隔開。形成電荷捕獲結構可包括形成介電質屏障、介電質阻隔區、電荷捕獲區、隧道區及半導體材料作為電荷捕獲結構之間的連續區且穿過該等電荷捕獲結構。此類方法可包括形成半導體材料，包括在開放柱中形成半導體材料之摻雜中空柱。半導體區可形成為多晶矽源極區。

【0048】圖7A至圖7H說明在豎直堆疊中形成電荷捕獲結構之一實施例方法的一實施例的階段，其中該等圖式為橫截面圖。圖7A展示在導電區713上方之材料堆疊712以及材料堆疊712中之開放柱714，其中材料堆疊712包括交替的隔離介電質717及犧牲區716。交替的隔離介電質717及犧牲區716的數目取決於在豎直堆疊中形成之CT結構的數目。在3D記憶體裝置中，此數目可取決於記憶體裝置之記憶體陣列中的階層的數目，例

如每一階層一對隔離介電質717及犧牲區716。為了易於論述，圖7A中展示了三個隔離介電質717及三個犧牲區716。隔離介電質717可包括但不限於諸如氧化矽之氧化物，且犧牲區716可包括但不限於諸如氮化矽之氮化物。對隔離介電質717及犧牲區716之材料的抉擇可取決於在製造多個CT結構中所使用的溫度及化學物質。導電區713可為半導體區713，諸如但不限於經形成包括多晶矽之半導體區。在圖7A至圖7H中，空間展示在基板720上之區717與導電區713之間以指示區717與導電區713之間可能存在額外材料及/或積體電路結構，其中此等額外材料及/或積體電路結構可包括區717。

【0049】 圖7B展示形成於材料堆疊712中之開放柱714的壁上之介電質屏障710。形成介電質屏障710可包括沈積以下中之一或多者：氧化鋁；氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉍中之一或多者的混合物。介電質屏障710可經形成具有距開放柱714之壁在15埃至50埃的範圍內之厚度。可使用多個沈積製程中之者執行沈積。舉例而言，沈積可使用化學氣相沈積(CVD)或原子層沈積(ALD)實施。ALD允許形成沈積區，此係由於具有沈積區之該沈積區之子區中之每一者中的多個不同化合物的奈米層合物在該奈米區中具有總厚度。術語「奈米層合物」意謂分層堆疊中之兩種或多於兩種材料的超薄層之複合膜。通常，奈米層合物中之每一層具有在奈米範圍內之數量級的厚度。此外，奈米層合物之每一個別材料層可具有低至材料單層或高至5奈米之厚度。

【0050】 圖7C展示形成於與開放柱714之壁相對的介電質屏障710之表面上的介電質阻隔區709。介電質阻隔區709可包括氧化矽或其他介

電材料。圖7D展示形成於與介電質屏障710之表面相對之介電質阻隔區709的表面上之電荷捕獲區705之材料。電荷捕獲區705可包括介電質氮化物或其他電荷捕獲介電材料。圖7E展示形成於電荷捕獲區705上之隧道區707的材料。隧道區707可實施為如圖7E中所示之三區隧道屏障。此三區隧道屏障可實施為介電氧化物區，繼之以介電氮化物區，繼之以另一介電氧化物區。隧道區707可實施為兩區隧道屏障。隧道區707可實施為一區隧道屏障。此外，隧道區707可具有四個或更多個區，其中材料及厚度的選擇取決於具有給定厚度以作為至電荷捕獲區705之穿隧區來執行的材料的能力。隧道區707可包括諸如氧化矽之一或多個介電質或具有比二氧化矽之介電常數大的介電常數的介電質。

【0051】 圖7F展示形成於隧道區707上且接觸該隧道區之半導體柱703。半導體柱703可形成為在隧道區707之材料上的摻雜中空通道。摻雜中空通道可耦接至導電區713。然而，半導體柱703耦接至導電區713之方式可取決於最低隔離介電質717與導電區713之間的區中之結構。此區可含有耦接至CT之豎直堆疊的一或多個存取電晶體，其中存取電晶體並不結構化為電荷儲存單元。此等一或多個存取電晶體可經構造以共用半導體柱703作為其電晶體通道。在此類情況下，在沈積半導體柱703以使其接觸導電區713之前，開放柱714之側壁上的介電質亦形成於開放柱714之中間區中的導電區713上。形成於開放柱714之中間區中之導電區713上的介電質可經蝕刻以自開放柱714之中間區中的導電區713移除介電質而不移除開放柱714之側壁上的介電質。此蝕刻類型被稱作「穿孔」。在蝕刻之後，半導體柱703之材料可形成於隧道區707上及導電區713上且接觸該導電區。導電區713可為形成為源極區之半導體區713。

【0052】圖7G展示圖7F之結構，其中犧牲區716之部分經移除，在隔離介電質717之間留下開放區(空氣)。圖7H展示形成於圖7G之結構的開放區中之閘極715之材料。閘極715之材料為替代圖7A之犧牲區716的導電區。閘極715之導電材料可包括一或多種金屬。舉例而言，閘極715之導電材料可包括其上沈積有鎢之導電氮化鈦。可使用其他金屬及/或金屬與金屬化合物的組合。在某些實施例中，圖7H中頂部之閘極715可為一第一閘極，且隔離介電質717垂直延伸於第一閘極及可為一第二閘極之另一閘極715之間。圖7H展示中心區704中之介電材料，其為在開放柱714中形成區之後的開放柱714之剩餘部分。中心區中之介電材料可包括氧化矽。

【0053】圖8說明具有多個電子組件之晶圓800之一實施例的一實施例。可將晶圓800提供為可製造多個晶粒805之晶圓。替代地，可將晶圓800提供為多個晶粒805已經處理以提供電子功能且等待自晶圓800單體化以用於封裝之晶圓。可將晶圓800提供為半導體晶圓、絕緣體上半導體晶圓或用於處理諸如積體電路晶片之電子裝置的其他適當晶圓。晶圓800可根據與圖1至圖7相關的任何實施例製造。

【0054】使用各種遮罩及處理技術，每一晶粒805可經處理以包括功能電路，以使得將每一晶粒805製造為具有與晶圓800上之另一晶粒相同之功能及經封裝結構的積體電路。替代地，使用各種遮罩及處理技術，各組晶粒805可經處理以包括功能電路，以使得並非將全部晶粒805製造為具有與晶圓800上之另一晶粒相同之功能及經封裝結構的積體電路。具有提供電子能力的積體於其上之電路的經封裝晶粒在本文中稱為積體電路(integrated circuit ; IC)。

【0055】晶圓800可包含多個晶粒805。多個晶粒中之每一晶粒805可包括多個豎直串，其中每一豎直串包括可用於傳導電流的豎直半導體

柱。多個電荷儲存裝置可沿每一豎直串配置，其中每一電荷儲存裝置包括：電荷捕獲區，其藉由隧道區與各別豎直串中之豎直半導體柱分隔開；介電質阻隔區，其在電荷捕獲區上；閘極，其鄰接於介電質阻隔區以控制電荷在電荷儲存區中之儲存，該閘極耦接至存取線；及介電質屏障，其在介電質阻隔區與閘極之間，該介電質屏障之材料與介電質阻隔區之材料不同。介電質屏障可包括豎直地結構化而不在閘極之邊緣周圍延伸的氧化鋁或具有比氧化鋁之介電常數大的介電常數的介電質。電荷儲存裝置可根據關於CT結構的教示如本文中所教示之配置。舉例而言，晶粒805之電荷儲存裝置的介電質屏障可包括以下中之一或多者：氧化鋁；氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉭中之一或多者的混合物。另外，介電質屏障可具有大於或等於十二之介電常數。晶粒805之電荷儲存裝置的電荷捕獲區可實施為介電氮化物區，且隧道區可包括一組介電質區。

【0056】 圖9展示一實例系統900之一實施例的方塊圖，該實例系統包括用CT結構之陣列結構化為記憶體單元的記憶體963。CT結構及記憶體之架構可以類似於或等同於根據本文中論述之各種實施例的結構之方式實現。系統900可包括以可操作方式耦接至記憶體963的控制器962。系統900亦可包括電子設備967及周邊裝置969控制器962、記憶體963、電子設備967及周邊裝置969中的一或多者可呈一或多個IC之形式。

【0057】 匯流排966在系統900之各種組件之間/或中提供電導性。在一實施例中，匯流排966包括位址匯流排、資料匯流排及控制匯流排，各自獨立地經組態。在一替代性實施例中，匯流排966使用共同導電線來提供位址、資料或控制中的一或多者，共同導電線之使用由控制器962調

節。控制器962可呈一或多個處理器之形式。

【0058】 電子設備967可包括額外記憶體。系統900中之記憶體可經構建為諸如但不限於以下之一或多種類型之記憶體：動態隨機存取記憶體(dynamic random access memory；DRAM)、靜態隨機存取記憶體(static random access memory；SRAM)、同步動態隨機存取記憶體(synchronous dynamic random access memory；SDRAM)、同步圖形隨機存取記憶體(synchronous graphics random access memory；SGRAM)、雙資料速率動態RAM(double data rate dynamic ram；DDR)、雙資料速率SDRAM及基於磁性之記憶體。

【0059】 周邊裝置969可包括顯示器、成像裝置、列印裝置、無線裝置、額外儲存記憶體及可與控制器962協同操作之控制裝置。在各種實施例中，系統900包括但不限於：光纜系統或裝置、電光系統或裝置、光學系統或裝置、成像系統或裝置及資訊處理系統或裝置，該等資訊處理系統或裝置諸如無線系統或裝置、電信系統或裝置及電腦。

【0060】 儘管本文中已說明及描述特定實施例，但一般熟習此項技術者將瞭解，經計算以達成相同目的之任何配置可取代所展示之特定實施例。各種實施例使用本文中所描述之實施例的排列及/或組合。應理解，上述描述意欲為說明性但並非限制性的，且本文中所採用的措詞或術語為出於描述之目的。另外，在前述實施方式中，可看到出於精簡本發明之目的在單個實施例中將各種特徵分組在一起。不應將此揭示方法解釋為反映以下意圖：所主張之實施例要求比每一請求項中明確敘述更多的特徵。因此，以下申請專利範圍特此併入實施方式中，其中每一技術方案就其自身而言作為單獨實施例。

【符號說明】

【0061】

100	電荷捕獲結構
103	半導體柱
104	中心區
105	電荷捕獲區
107	隧道區
109	介電質阻隔區
110	介電質屏障
115	閘極
115-1	導電錫屏障層
115-2	鎢
203-1	矽區
203-2	矽區
205-1	氮化矽捕獲區
205-2	氮化矽捕獲區
207-1	穿隧氧化矽區
207-2	穿隧氧化矽區
209-1	阻隔氧化矽區
209-2	阻隔氧化矽區
210-1	AlO_x 區
210-2	HfO_2 區
352	曲線

354	線
400	3D記憶體裝置
401	電荷儲存裝置
402	記憶體陣列
411	豎直串
493	板
494	板
500	方法
510	區塊
520	區塊
530	區塊
540	區塊
550	區塊
560	區塊
570	區塊
600	方法
610	區塊
620	區塊
630	區塊
640	區塊
650	區塊
660	區塊
703	半導體柱

704	中心區
705	電荷捕獲區
707	隧道區
709	介電質阻隔區
710	介電質屏障
712	材料堆疊
713	導電區
714	開放柱
715	閘極
716	犧牲區
717	隔離介電質
720	基板
800	晶圓
805	晶粒
900	系統
962	控制器
963	記憶體
966	匯流排
967	電子設備
969	周邊裝置

【發明申請專利範圍】

【第1項】

一種具有一電荷捕獲結構之設備，該設備包含：

一半導體柱，其可操作以傳導一電流，該半導體柱自一基板豎直 (vertically) 延伸；

一電荷捕獲區，其藉由一隧道區與該半導體柱分隔開；

一介電質阻隔區，其鄰接於該電荷捕獲區；

一第一閘極，其可用於控制在電荷儲存區中的電荷之儲存；

一第二閘極；

一隔離介電質，其在該第一閘極與該第二閘極之間豎直延伸且與該第一閘極及該第二閘極接觸；

一介電質屏障，其在該介電質阻隔區與該第一閘極之間，該介電質屏障包含與該介電質阻隔區的材料不同的材料，該介電質屏障經結構成豎直沿著且接觸該介電質阻隔區、該第一閘極、該隔離介電質及該第二閘極之一奈米層合物(nanolaminate)，其中該奈米層合物包括多於兩個不同材料層，該奈米層合物具有比氧化鋁的介電常數大的一介電常數。

【第2項】

如請求項1之設備，其中該介電質屏障的該材料具有在 $12 < \kappa < 40$ 之一範圍內的一介電常數(κ)。

【第3項】

如請求項1之設備，其中該介電質屏障的該材料具有比該氧化鋁的電子親和力低的一電子親和力。

【第4項】

如請求項3之設備，其中該介電質屏障的該材料具有在 $1.5 \text{ eV} < \chi < 2.5 \text{ eV}$ 之一範圍內的一電子親和力。

【第5項】

如請求項1之設備，其中該介電質屏障的該材料包括以下中之一或多者：氧化鉛；氧化銻；或氧化鉛及/或氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉭中之一或多者的一混合物。

【第6項】

如請求項1之設備，其中該電荷捕獲區包括一介電氮化矽。

【第7項】

如請求項1之設備，其中該閘極包括導電氮化鈦。

【第8項】

如請求項7之設備，其中該閘極包括在該導電氮化鈦上且接觸該導電氮化鈦的鎢。

【第9項】

一種記憶體裝置，其包含：

一記憶體單元串，其包括：

半導體材料的一豎直柱，該豎直柱自一基板垂直延伸；及

多個電荷儲存裝置，其沿該豎直柱配置，該多個電荷儲存裝置之直接相鄰電荷儲存裝置之間具有一隔離介電質，該多個電荷儲存裝置之每一電荷儲存裝置包括：

一電荷捕獲區，其藉由一隧道區與該豎直串的該豎直柱分隔開；

一介電質阻隔區，其鄰接於該電荷捕獲區；

一閘極，鄰接於該介電質阻隔區且可用於控制在電荷儲存區中的電荷之儲存；及

一介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障之材料與該介電質阻隔區之材料不同，該介電質屏障經結構成豎直沿著且接觸該介電質阻隔區及該閘極之一奈米層合物，該奈米層合物具有多個層，其中該奈米層合物之每一層具有比氧化鋁的介電常數大的一介電常數，其中各電荷儲存裝置之該介電層屏障係持續地豎直延伸沿著且接觸每一電荷儲存裝置之該閘極及持續地延伸沿著且接觸經配置成沿著該豎直柱的該等電荷儲存裝置之間之該等隔離介電質的一區域之部分。

【第10項】

如請求項9之記憶體裝置，其中該介電質屏障的該材料包括氧化鉛。

【第11項】

如請求項9之記憶體裝置，其中該介電質屏障的該材料包括氧化銻。

【第12項】

如請求項9之記憶體裝置，其中該介電質屏障的該材料包括氧化鉛與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋮或氧化鉍中之一或多者的一混合物。

【第13項】

如請求項9之記憶體裝置，其中該介電質屏障的該材料包括氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋮或氧化鉍中之一或多者的一混合物。

【第14項】

如請求項9之記憶體裝置，其中該介電質屏障自該介電質阻隔區到該閘極具有在約15埃至約50埃之一範圍內的一厚度。

【第15項】

如請求項9之記憶體裝置，其中該隧道區為一三區隧道屏障。

【第16項】

如請求項15之記憶體裝置，其中該三區隧道屏障為一介電氧化物區、安置在該介電氧化物上的一介電氮化物區，及安置在該介電氮化物區上的另一介電氧化物區。

【第17項】

如請求項9之記憶體裝置，其中該隧道區為一兩區隧道屏障。

【第18項】

如請求項9之記憶體裝置，其中該隧道區為一一區隧道屏障。

【第19項】

如請求項9之記憶體裝置，其中該閘極為一金屬閘極。

【第20項】

如請求項9之記憶體裝置，其中半導體材料的該柱包含多晶矽。

【第21項】

一種記憶體裝置，其包含：

一記憶體單元串，其包括：

半導體材料的一豎直柱，該豎直柱自一基板垂直延伸；及

多個電荷儲存裝置，其沿該豎直柱配置，該多個電荷儲存裝置中之直接相鄰電荷儲存裝置之間具有一隔離介電質，該多個電荷儲存裝置之每一電荷儲存裝置包括：

一電荷捕獲區，其藉由一隧道區與該豎直串的該豎直柱分隔開；

一介電質阻隔區，其鄰接於該電荷捕獲區；

一閘極，鄰接於該介電質阻隔區且可用於控制在電荷儲存區中的電荷之儲存；及

一介電質屏障，其在該介電質阻隔區與該閘極之間，該介電質屏障與該介電質阻隔區不同，該介電質屏障經結構成豎直沿著且接觸該介電質阻隔區及該閘極之一奈米層合物，該奈米層合物具有多個層，其中該奈米層合物之每一層具有比氧化鋁的介電常數大的一介電常數，該奈米層合物具有低於2.8 eV的一電子親和力，其中各電荷儲存裝置之該介電層屏障係持續地豎直延伸沿著且接觸每一電荷儲存裝置之該閘極及持續地延伸沿著且接觸經配置成沿著該豎直柱的該等電荷儲存裝置之間之該等隔離介電質的一區域之部分。

【第22項】

如請求項21之記憶體裝置，其中該介電質屏障的該材料具有在 $12 < \kappa < 40$ 之範圍內的一介電常數(κ)。

【第23項】

如請求項21之記憶體裝置，其中該材料介電質屏障具有在 $1.5 \text{ eV} < \chi < 2.5 \text{ eV}$ 之一範圍內的一電子親和力。

【第24項】

如請求項21之記憶體裝置，其中該隧道區包括一第一介電氧化物之一區、安置在該介電氧化物上的一介電氮化物區，及安置在該介電氮化物

區上的一第二介電氧化物的一區。

【第25項】

一種形成電荷捕獲結構之方法，其包含：

沿一材料堆疊中之一開放區域的一壁形成一介電質阻隔區；

在該介電質阻隔區上且接觸該介電質阻隔區形成一電荷捕獲區；

在該電荷捕獲區上且接觸該電荷捕獲區形成一隧道區；

在該隧道區上且接觸該隧道區形成半導體材料，該半導體材料可操作為用以傳導一電流的一通道；

移除暴露該介電質阻隔區的一部分之該材料堆疊的一部分；

在該介電質阻隔區的與該電荷捕獲區相對的一側面上的該介電質阻隔區的該經暴露部分上且接觸該經暴露部分形成一介電質屏障，該介電質屏障經形成為豎直沿著且接觸該介電質阻隔層區之一奈米層合物，其中該奈米層合物包括多於兩個不同材料層，且該介電質屏障之材料與該介電質阻隔區之材料不同，該介電質屏障具有比氧化鋁的介電常數大的一介電常數；及

在該介電質屏障上且接觸該介電質屏障形成一閘極，該閘極藉由該介電質屏障與該介電質阻隔區分隔開。

【第26項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鉛。

【第27項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鋇。

【第28項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鉛與氧化

鋁的一混合物。

【第29項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鋅與氧化鋁的一混合物。

【第30項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鉛與氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉭中之一或多者的一混合物。

【第31項】

如請求項25之方法，其中形成該介電質屏障包括沈積氧化鋅與氧化矽、氧化鈦、氧化釷、氧化鈮或氧化鉭中之一或多者的一混合物。

【第32項】

如請求項25之方法，其中形成該閘極包括在該介電質屏障上且接觸該介電質屏障形成一導電氮化鈦區，且在該導電氮化鈦上且接觸該導電氮化鈦形成鎢。

【第33項】

一種形成電荷捕獲結構之方法，其包含：

在一材料堆疊中之一開放區域的一壁上且接觸該壁形成一介電質屏障，該介電質屏障經形成為包括多於兩個不同材料層之一奈米層合物；

在該介電質屏障上且接觸該介電質屏障形成一介電質阻隔區，該介電質屏障之一材料與該介電質阻隔區之一材料不同；

在該介電質阻隔區上且接觸該介電質阻隔區形成一電荷捕獲區；

在該電荷捕獲區上且接觸該電荷捕獲區形成一隧道區；

在該隧道區上且接觸該隧道區形成半導體材料，該半導體材料可操

作為用以傳導一電流的一通道；及

在該介電質屏障上且接觸該介電質屏障形成一閘極，該閘極藉由該介電質屏障與該介電質阻隔區分隔開，其中該介電層屏障係持續地豎直延伸至在另一介電質阻隔區與另一閘極之間之另一區域的一區域，該另一區域係經結構成沿著且在該另一介電質阻隔區與該另一閘極之間的一奈米層合物，該另一介電質屏障之材料與該另一介電質阻隔區之材料不同。

【第34項】

如請求項33之方法，其中該介電質屏障的該材料具有比氧化鋁的介電常數大的一介電常數。

【第35項】

如請求項33之方法，其中形成該介電質屏障包括沈積氧化鋁。

【第36項】

如請求項33之方法，其中形成該介電質屏障包括沈積氧化鉛。

【第37項】

如請求項33之方法，其中形成該介電質屏障包括沈積氧化銻。

【第38項】

如請求項33之方法，其中形成該介電質屏障包括沈積氧化鉛與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋮或氧化鉍中之一或多者的一混合物。

【第39項】

如請求項33之方法，其中形成該介電質屏障包括沈積氧化銻與氧化鋁、氧化矽、氧化鈦、氧化釷、氧化鋮或氧化鉍中之一或多者的一混合物。

【第40項】

如請求項33之方法，其中形成該介電質屏障包括形成該介電質屏障的材料，該介電質屏障的該材料具有在 $12 < \kappa < 40$ 之一範圍內的一介電常數(κ)。

【第41項】

如請求項33之方法，其中形成該介電質屏障包括形成該介電質的材料，該介電質屏障的該材料具有在 $1.5 \text{ eV} < \chi < 2.5 \text{ eV}$ 之一範圍內的一電子親和力。

【第42項】

如請求項33之方法，其中該方法包括：

在該材料堆疊中形成該開放區域作為一開放柱，該材料堆疊包括用於導電區的交替隔離介電質及犧牲區；

移除該犧牲區的部分，暴露該介電質屏障的部分；及

在該介電質屏障的該經暴露部分上且接觸該經暴露部分形成多個閘極，其中多個電荷捕獲結構形成於該材料堆疊中。

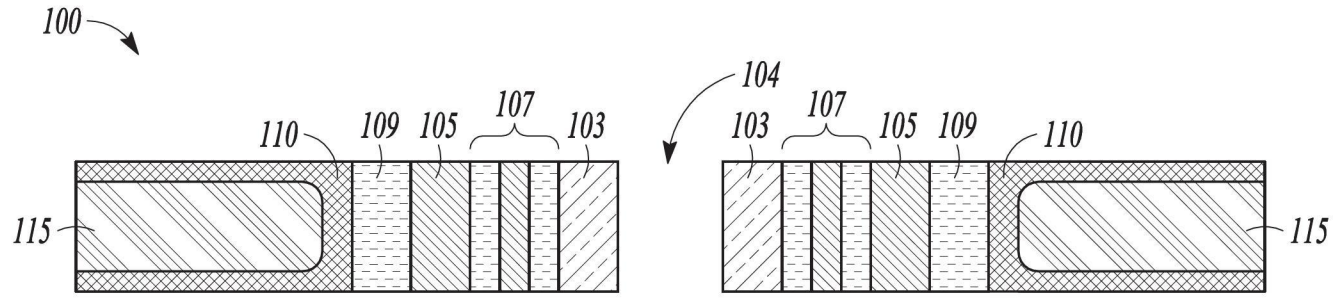
【第43項】

如請求項42之方法，其中該介電質屏障、該介電質阻隔區、該電荷捕獲區、該隧道區及該半導體材料作為連續區形成於該多個電荷捕獲結構之間且穿過該多個電荷捕獲結構。

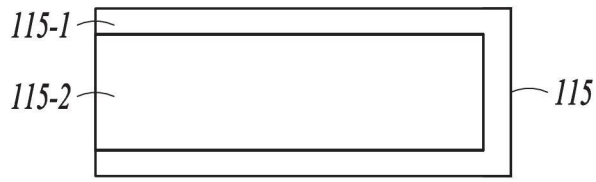
【第44項】

如請求項42之方法，其中形成該半導體材料包括在該開放柱中形成該半導體材料的一摻雜中空柱。

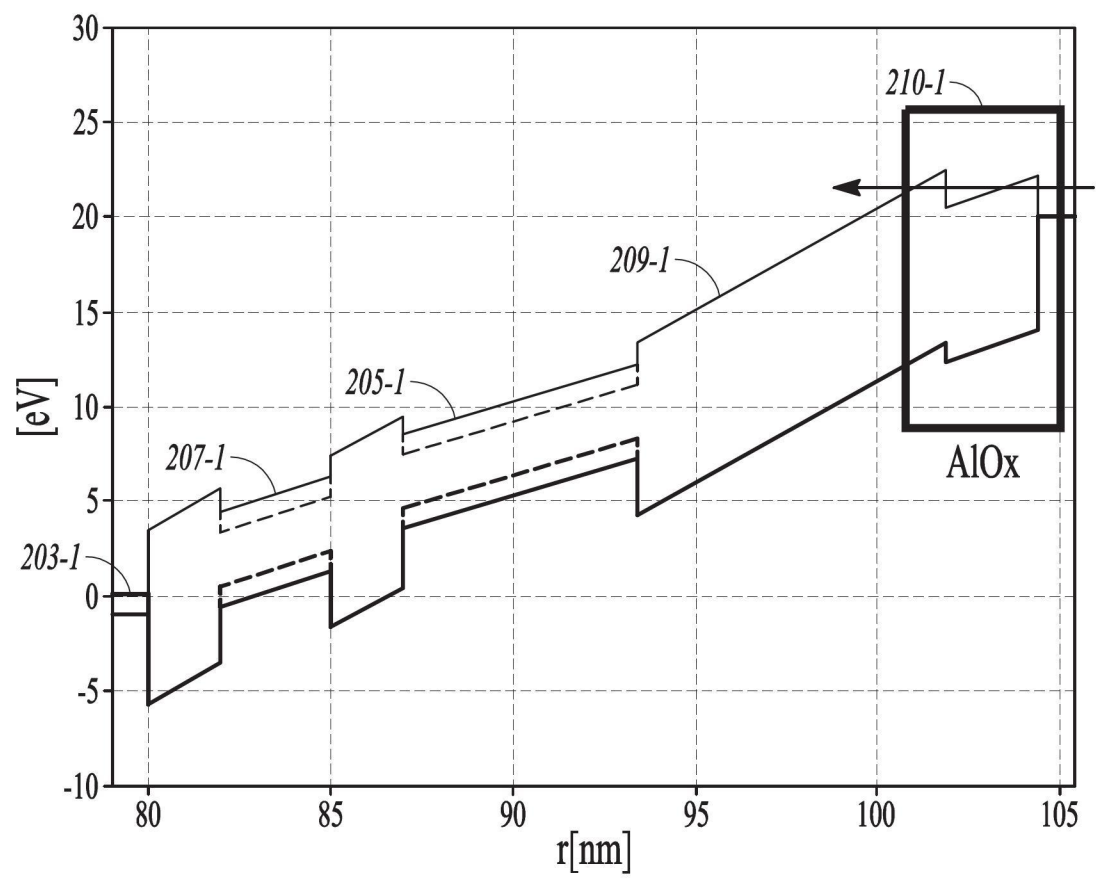
【發明圖式】



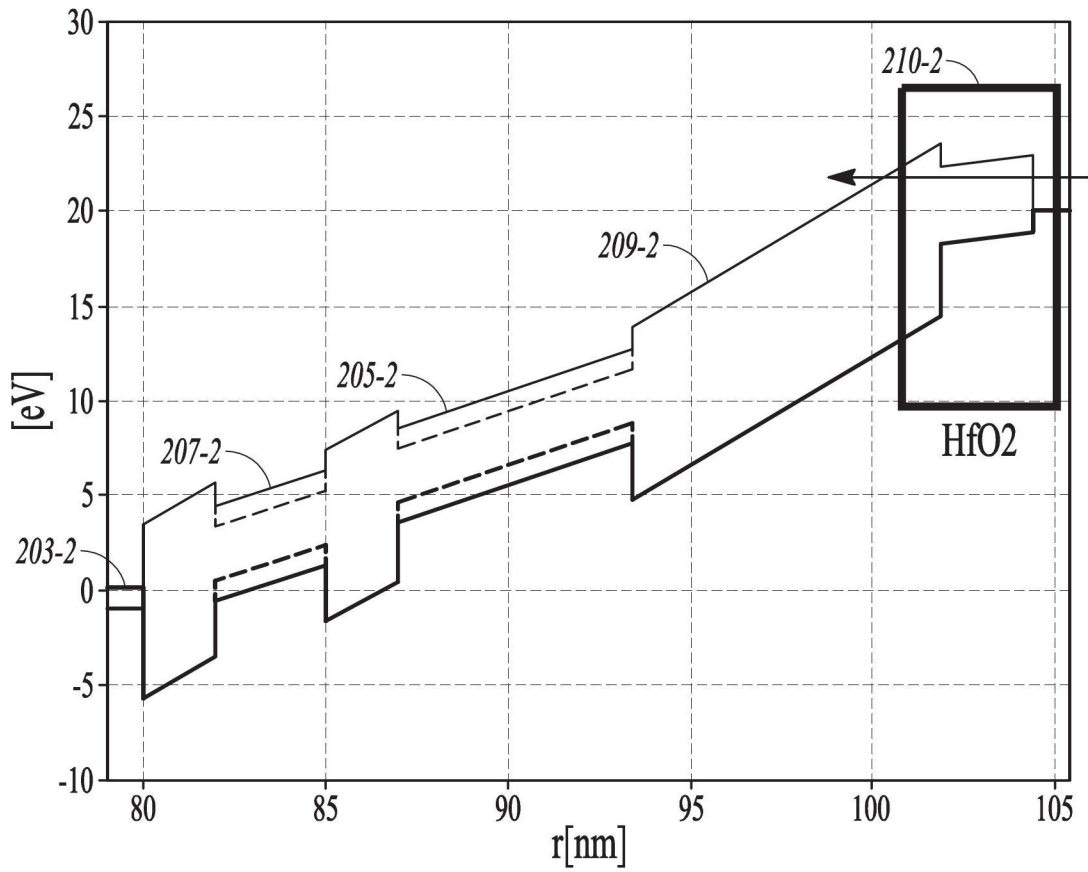
【圖1A】



【圖1B】



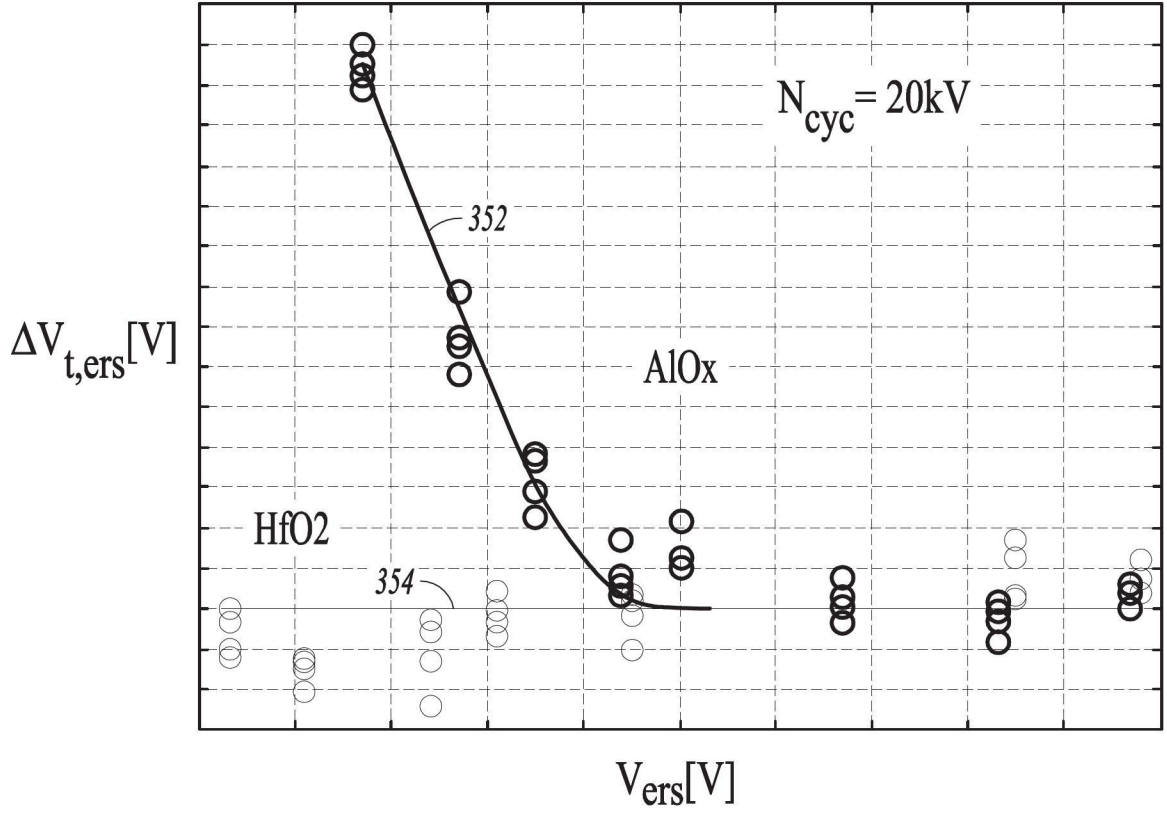
【圖2A】



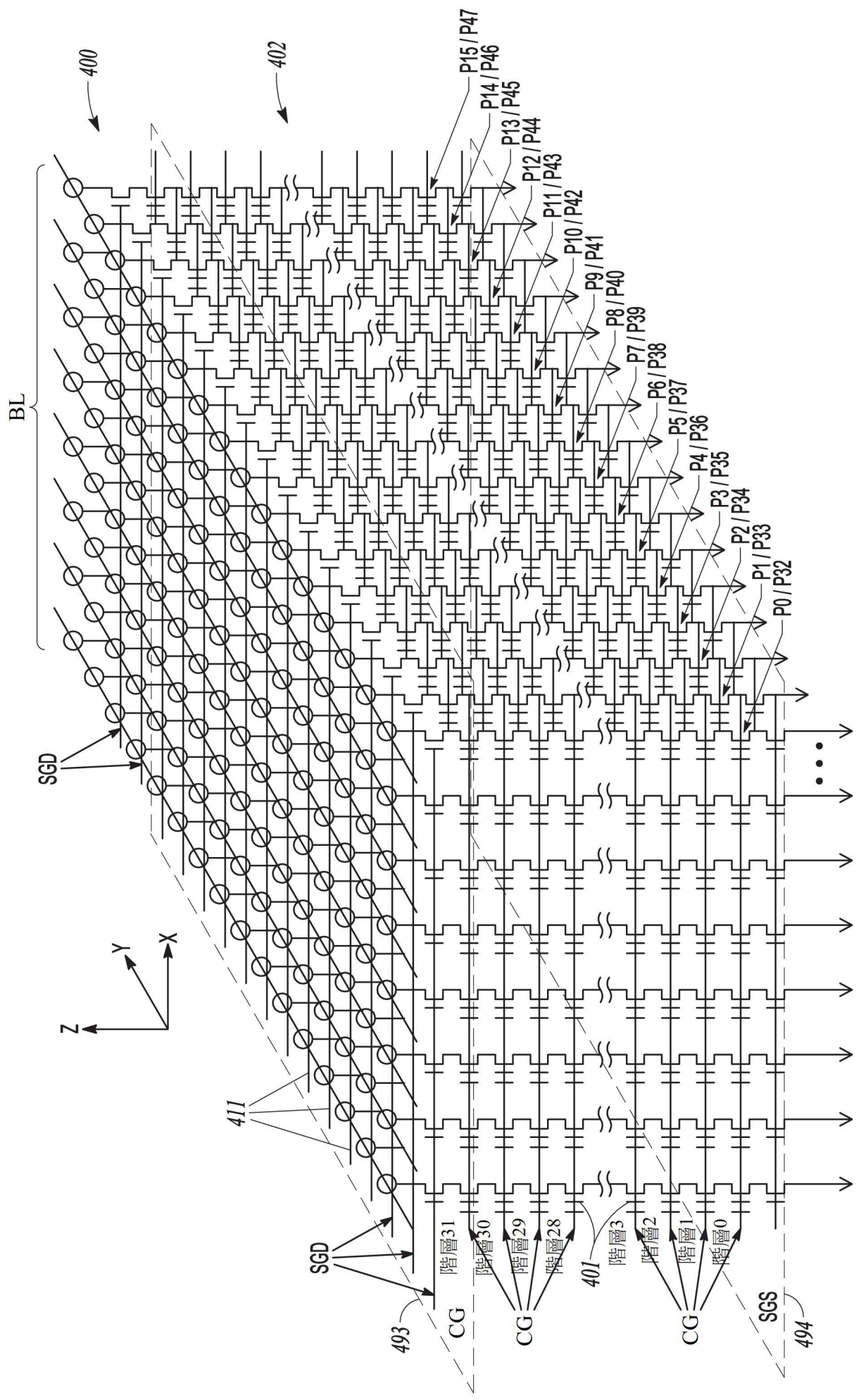
【圖2B】

	K	能帶隙	X
SiO ₂	3.9	9.0	0.9
SiN	7.5	5.0	1.9
AlO _x	9.0	8.0	2.8
HfO ₂	20.0	4.0	2.1

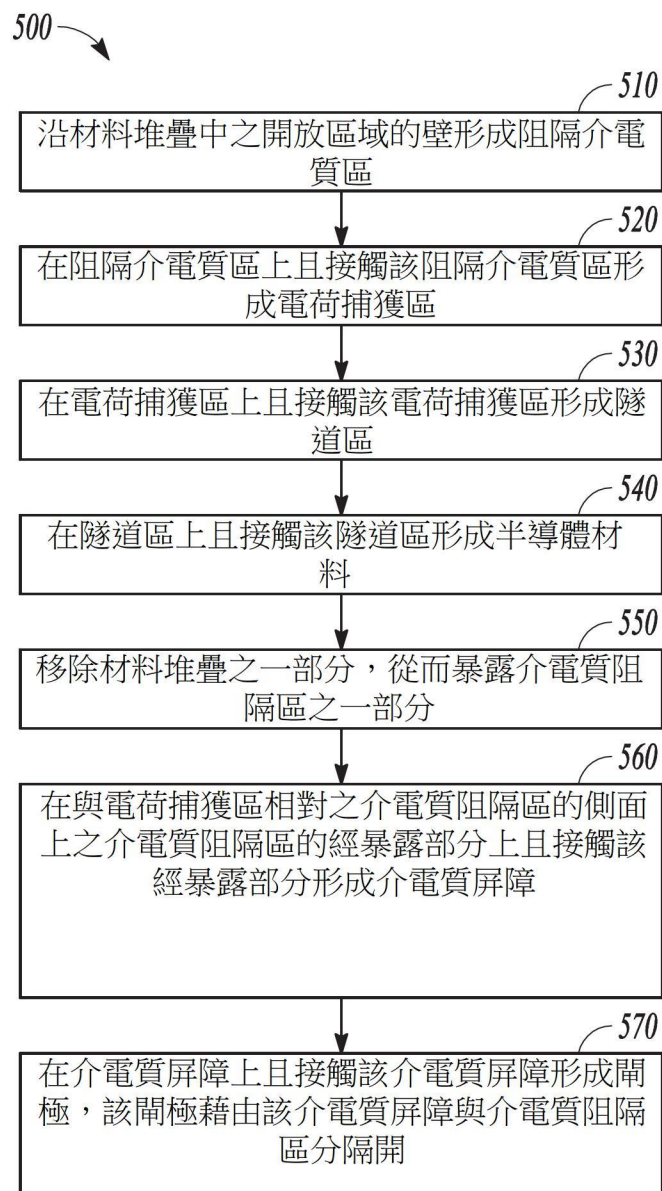
【圖2C】



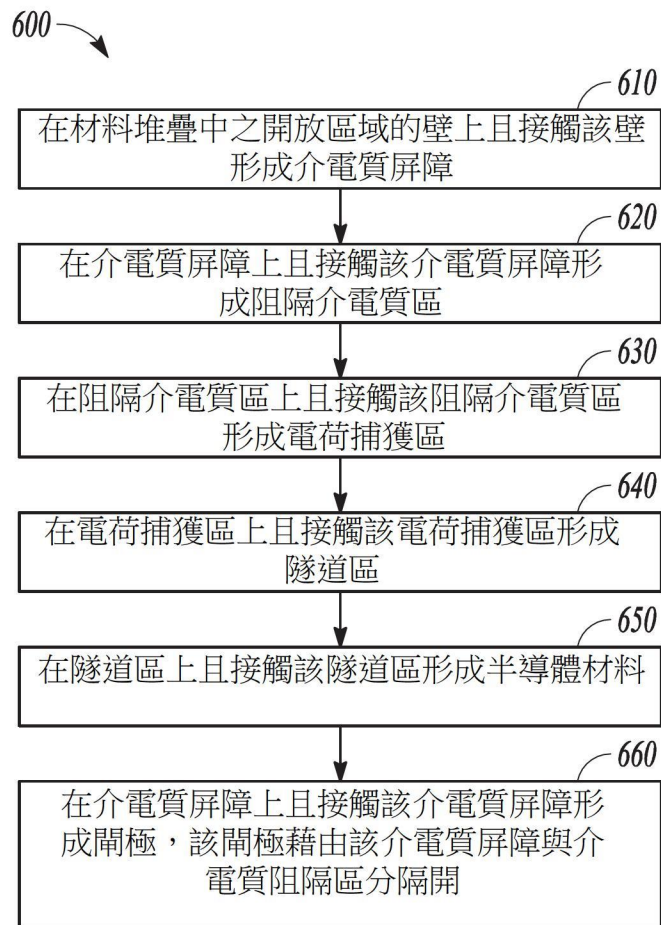
【圖3】



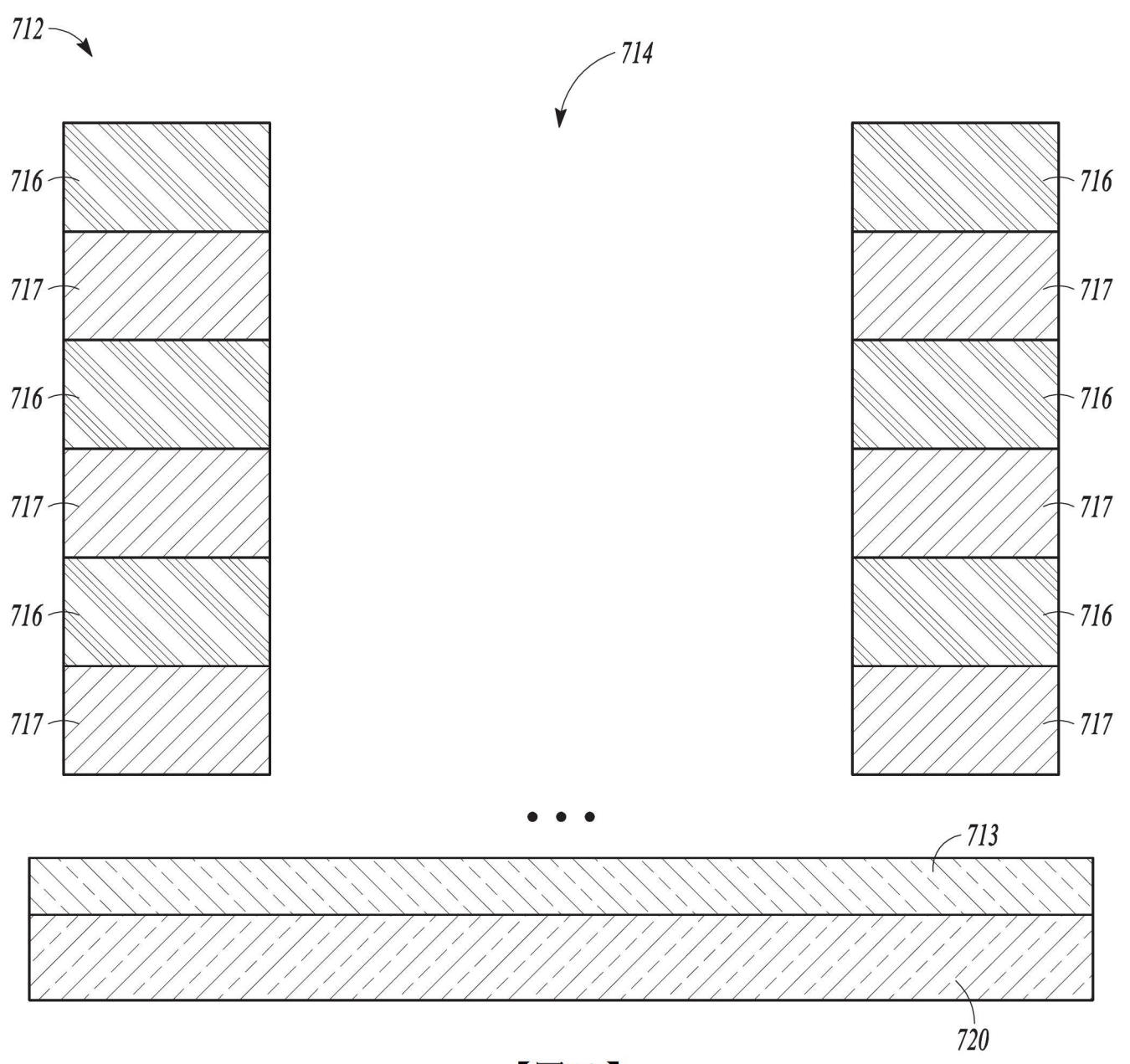
【圖4】



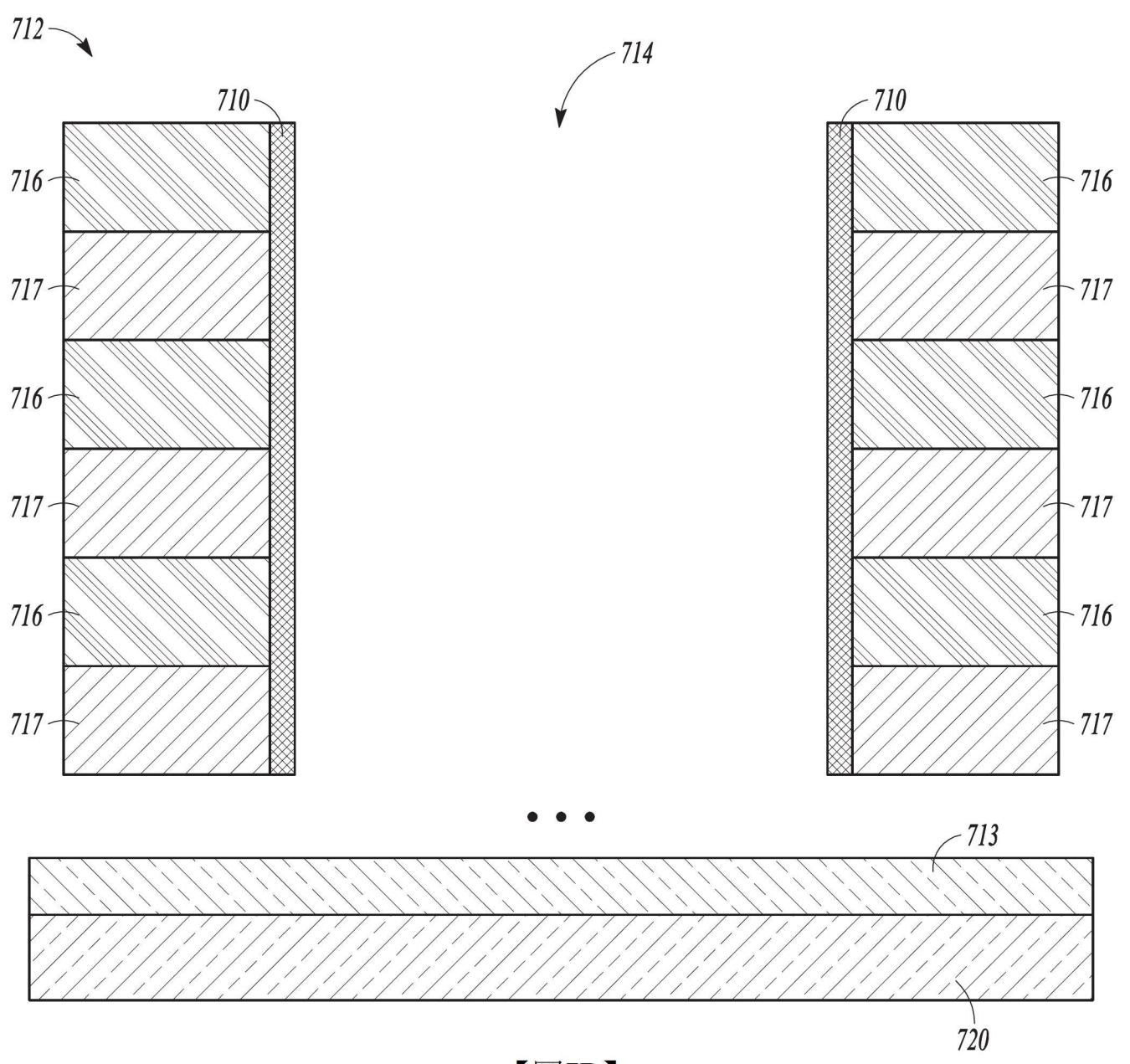
【圖5】



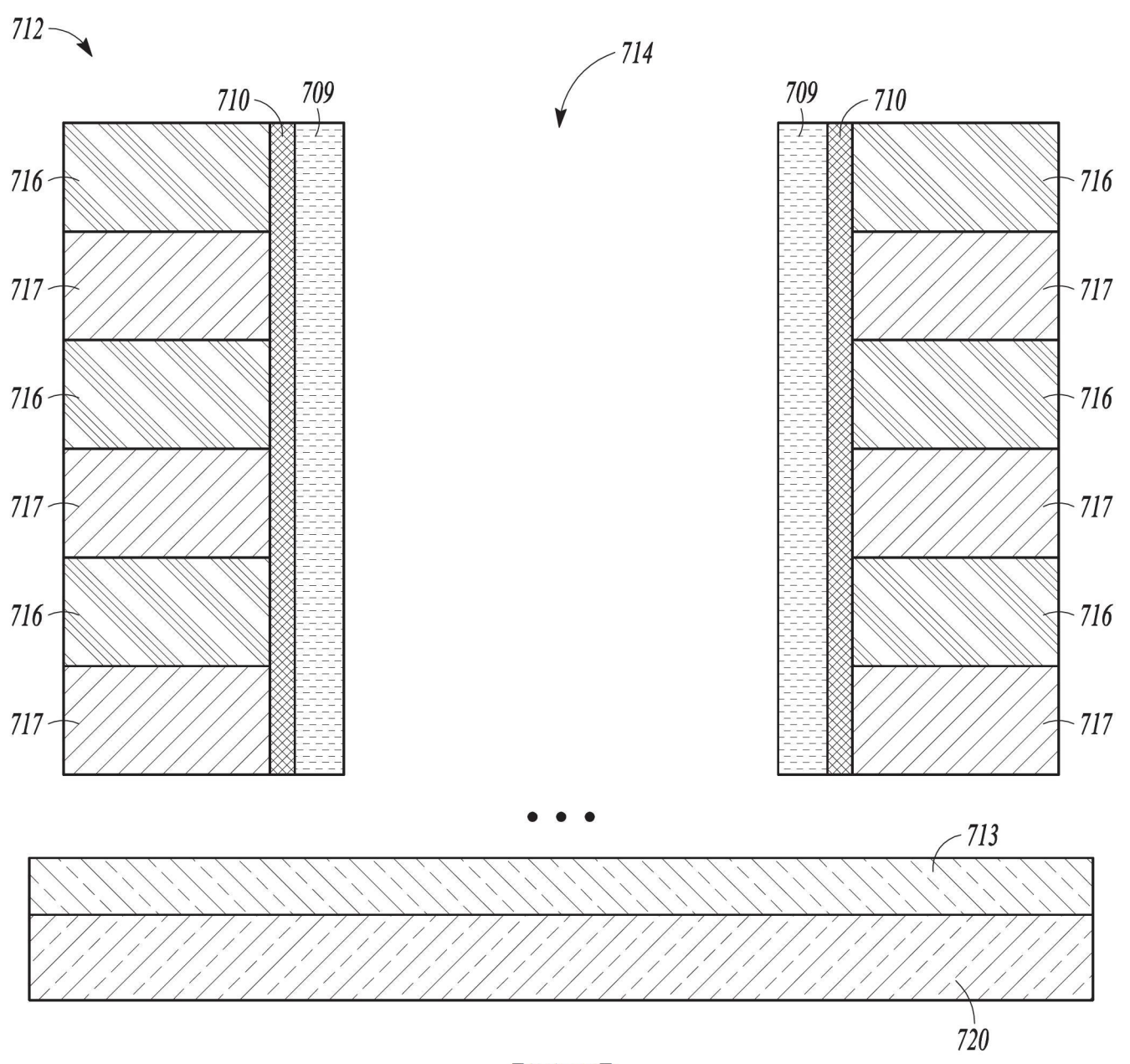
【圖6】



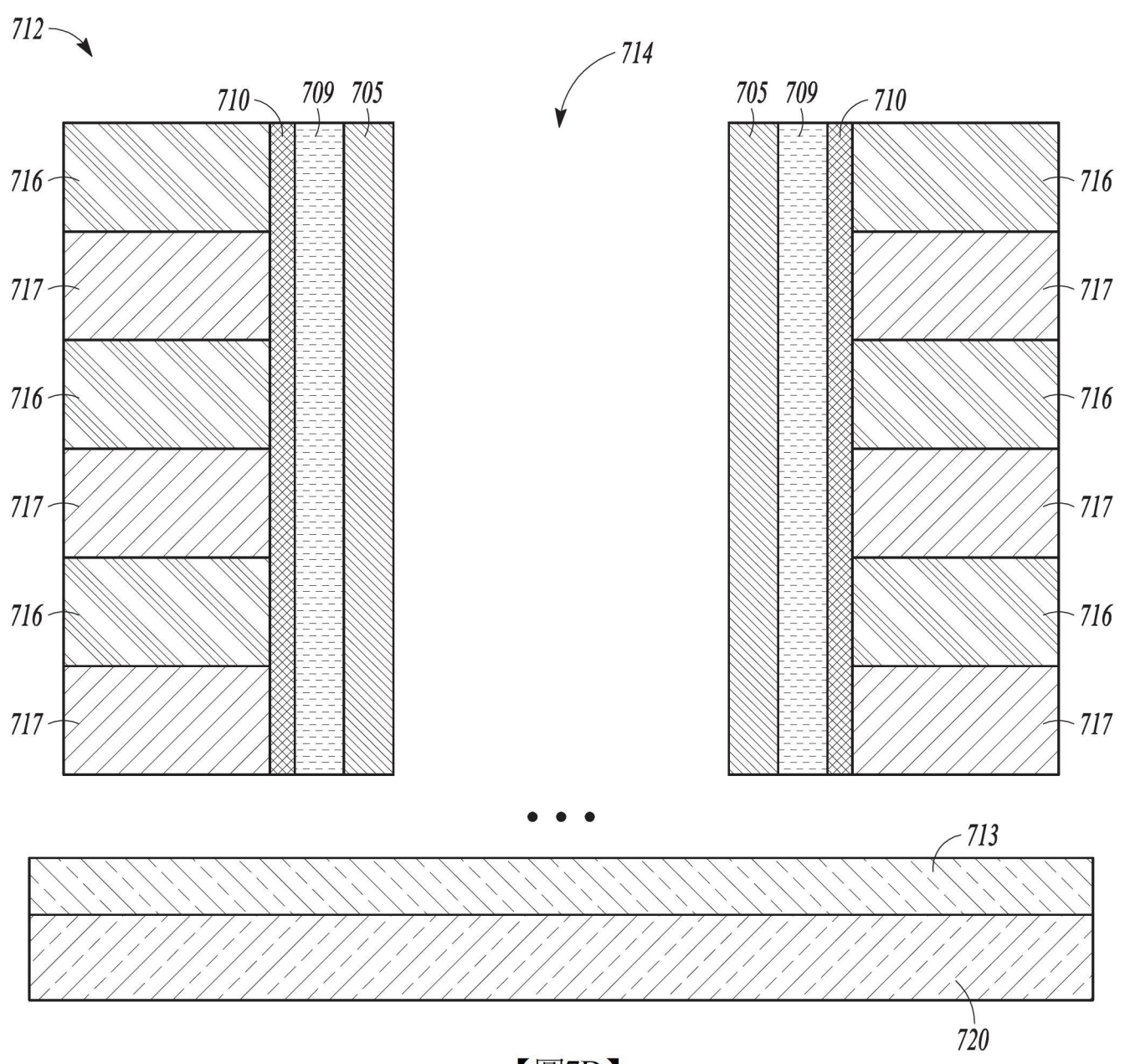
【圖7A】



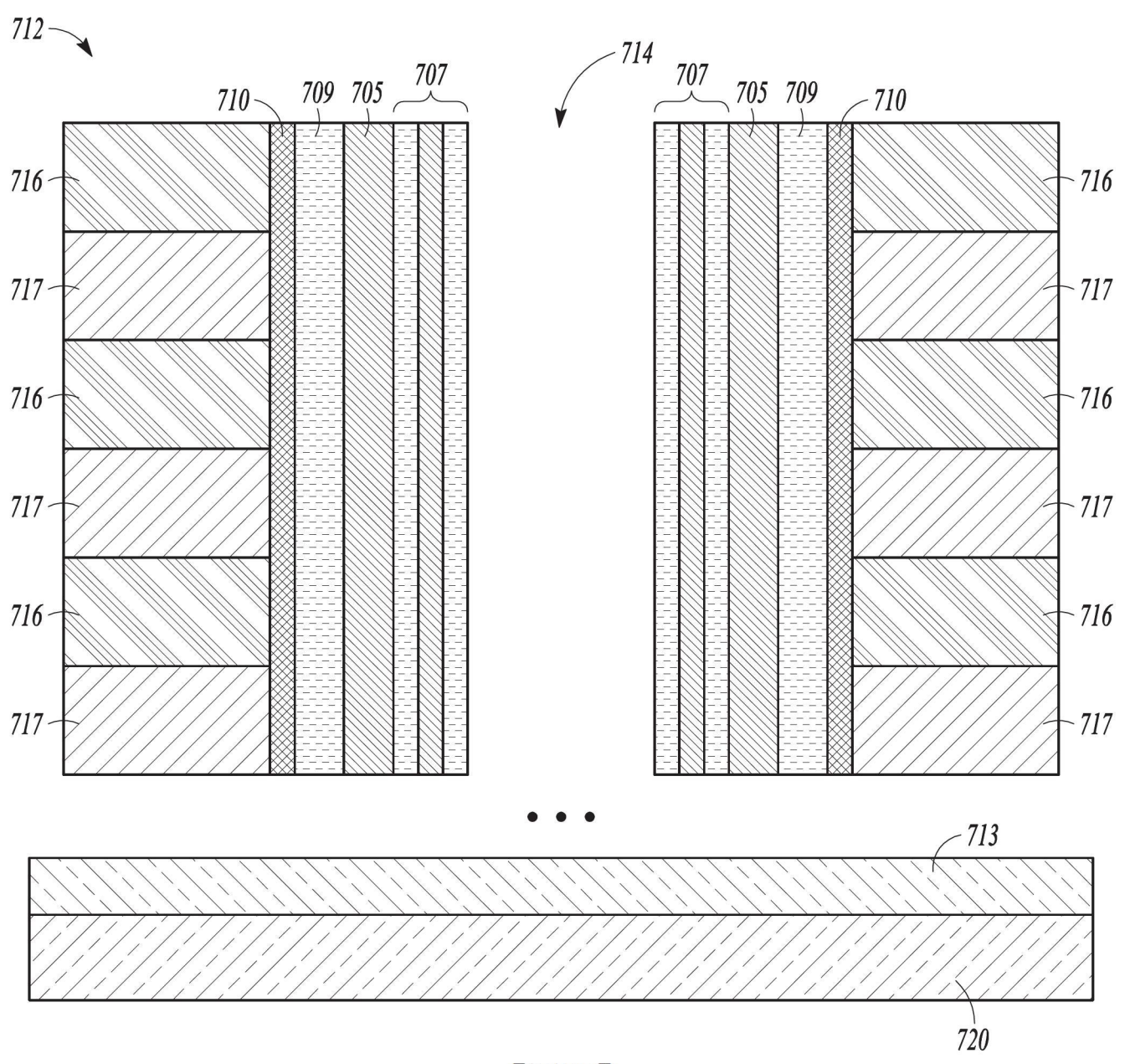
【圖7B】



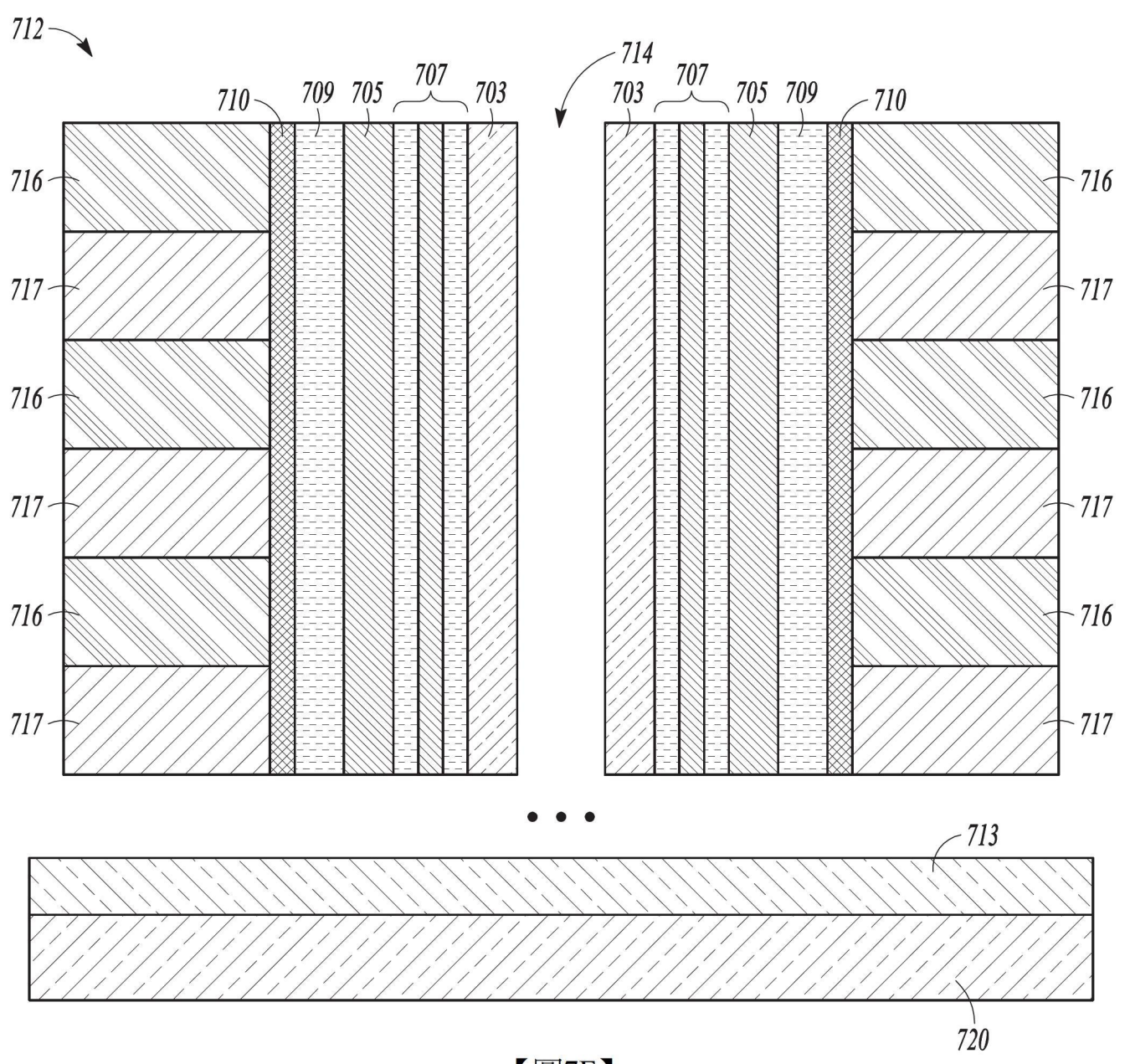
【圖7C】



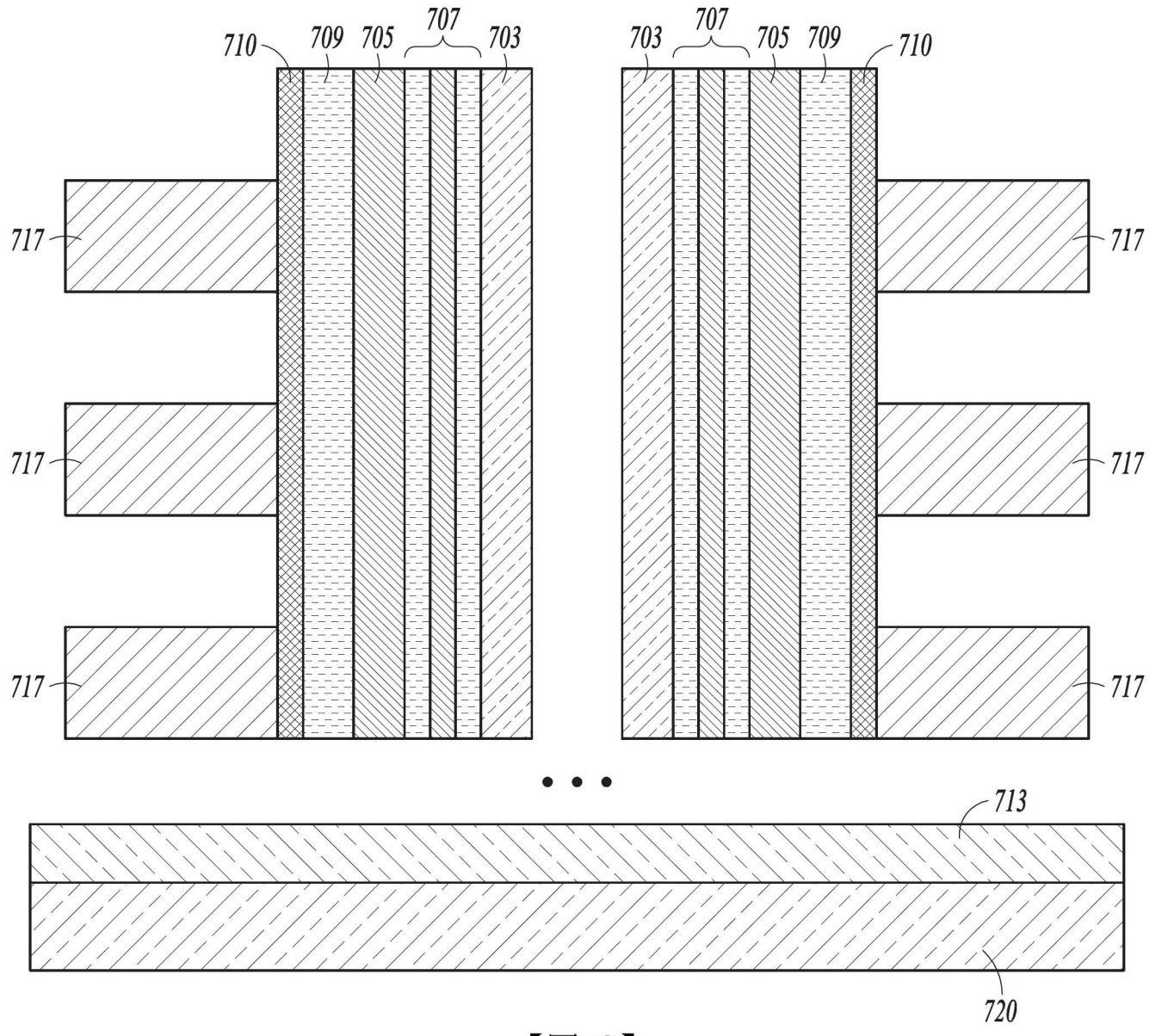
【圖7D】



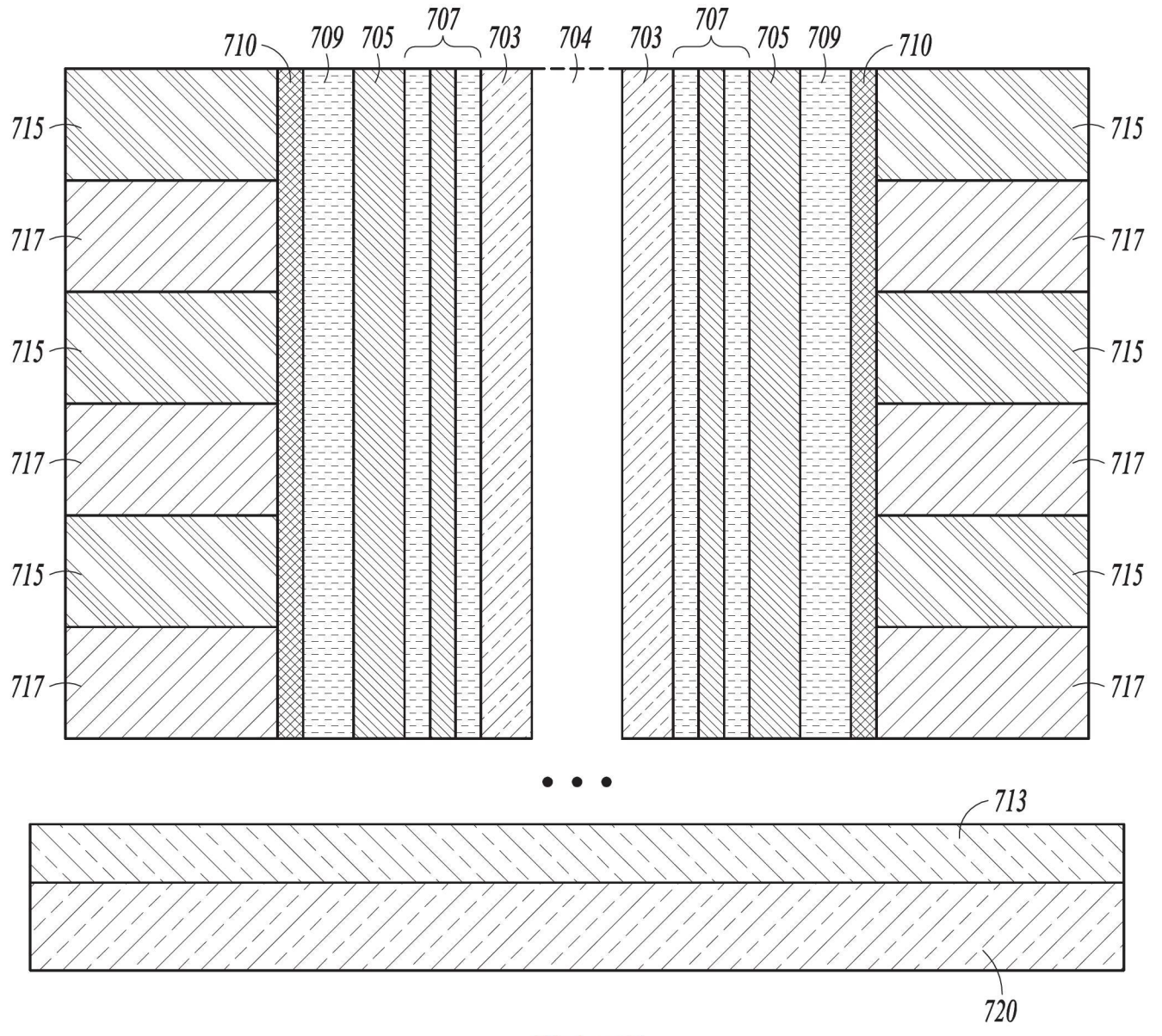
【圖7E】



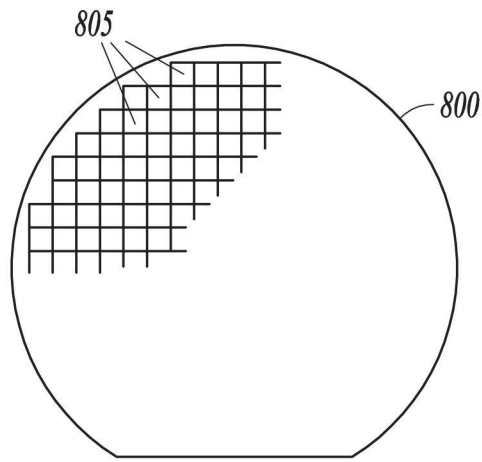
【圖7F】



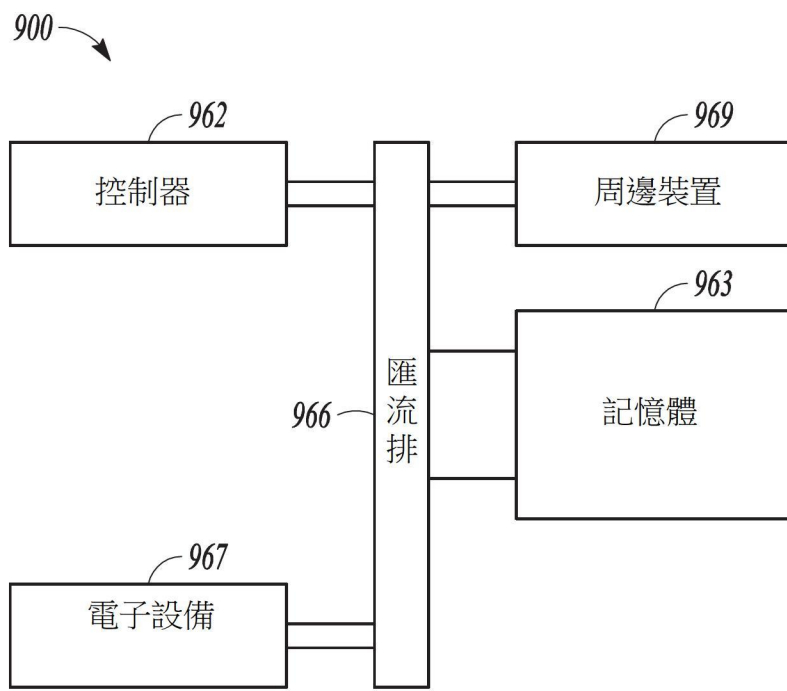
【圖7G】



【圖7H】



【圖8】



【圖9】