(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 110289275 B
(45)授权公告日 2024.04.16

(21)申请号 201910496754.3
(22)申请日 2013.07.08
(65)同一申请的已公布的文献号
申请公布号 CN 110289275 A
(43)申请公布日 2019.09.27
(30)优先权数据
2012-159789 2012.07.18 JP
(62)分案原申请数据
201380036841.1 2013.07.08
(73)专利权人 索尼公司
地址 日本东京都
(72)发明人 柳田刚志 马渊圭司
(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
专利代理师 卫李贤 曹正建
(51)Int.Cl.
H01L 27/146(2006.01)
(56)对比文件
CN 102456698 A,2012.05.16
CN 101794800 A,2010.08.04
CN 102142425 A,2011.08.03
CN 102089882 A,2011.06.08
CN 101359674 A,2009.02.04
JP 2011253994 A,2011.12.15
审查员 王晶晶

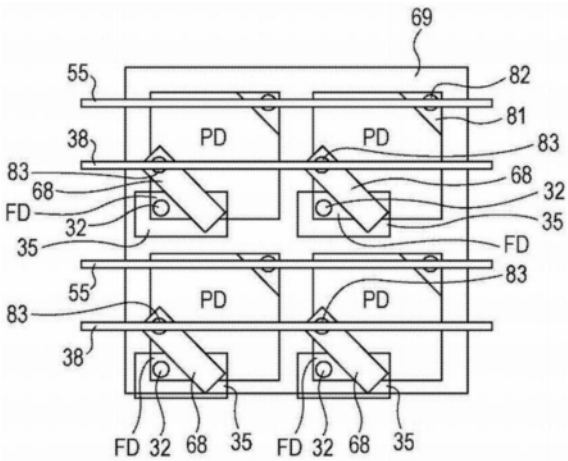
权利要求书2页 说明书17页 附图20页

(54)发明名称

光检测设备

(57)摘要

本发明涉及光检测设备。所述光检测设备可包括:第一像素,其包括第一光电二极管;第一浮置扩散区域,其对应于所述第一光电二极管;第一转移栅极,其对应于所述第一光电二极管;其中,在平面图中,所述第一浮置扩散区域的接触部和所述第一转移栅极的接触部沿一条直线设置。



CN 110289275 B

1.一种光检测设备,包括:

第一半导体部,其包括第一光电二极管、第一转移栅极和与第一固定电位连接的第一区域;

第二半导体部,其包括复位晶体管、放大晶体管和选择晶体管中的至少两个晶体管;

其中,所述第一转移栅极连接到第一配线,

其中,所述第一区域连接到第二配线,

其中,所述第一配线和所述第二配线平行设置,并且

其中,所述第一半导体部和所述第二半导体部堆叠在一起。

2.如权利要求1所述的光检测设备,其还包括:

在所述第一半导体部中的第二光电二极管、第二转移栅极和与第二固定电位连接的第二区域;

其中,所述第二转移栅极连接到第三配线,

其中,所述第二区域连接到第四配线,

其中,所述第三配线和所述第四配线平行设置。

3.如权利要求2所述的光检测设备,其中,在沿从所述第一光电二极管到所述第二光电二极管的方向上,所述第一配线、所述第二配线、所述第三配线和所述第四配线按顺序设置。

4.如权利要求2所述的光检测设备,其中,所述第一配线和所述第三配线设置在所述第二配线和所述第四配线之间。

5.如权利要求2所述的光检测设备,其中,所述第一光电二极管和所述第二光电二极管电连接至浮置扩散区域。

6.如权利要求2所述的光检测设备,还包括:

元件隔离区域,其在横截面图中设置在所述第一光电二极管和所述第二光电二极管之间。

7.如权利要求1所述的光检测设备,其中,所述第一配线和所述第二配线连接至所述第二半导体部中的第五配线和/或电极,所述第五配线和/或电极位于外围区域中而不是位于包括所述第一光电二极管的像素区域中。

8.如权利要求1所述的光检测设备,其中,所述第一固定电位是接地电位。

9.一种光检测设备,包括:

第一半导体部,其包括:

第一光电二极管;

第二光电二极管;

第一浮置扩散区域,对应于所述第一光电二极管;

第二浮置扩散区域,对应于所述第二光电二极管;

第一电极,电连接至所述第一浮置扩散区域和所述第二浮置扩散区域;

第二半导体部,其包括如下晶体管中的至少两个晶体管:

复位晶体管;

放大晶体管;

选择晶体管;

其中,所述第一电极电连接至所述复位晶体管、所述放大晶体管和所述选择晶体管中的至少一者,

其中,所述第一半导体部和所述第二半导体部堆叠在一起。

10.如权利要求9所述的光检测设备,其中,所述第一电极连接至所述放大晶体管的栅极。

11.一种光检测设备,包括:

第一光电二极管;

第一转移栅极,其对应于所述第一光电二极管;

第一浮置扩散区域,其对应于所述第一光电二极管;

第一配线,其电连接至所述第一浮置扩散区域;

第二配线,其电连接至固定电位;

其中,在截面图中,所述第一配线和所述第二配线平行设置和/或沿相同的方向设置,

其中,在平面图中,所述第二配线沿至少两个方向设置,

其中,所述第一光电二极管、所述第一转移栅极、所述第一浮置扩散区域和所述第一配线设置在第一半导体部上,

其中,所述第二配线设置在第二半导体部上,并且,

其中,所述第一半导体部和所述第二半导体部堆叠在一起。

12.如权利要求11所述的光检测设备,其中,在所述平面图中,所述第二配线围绕所述第一配线。

13.如权利要求11所述的光检测设备,其中,所述固定电位是接地电位或电源电位。

14.一种光检测设备,包括:

第一半导体部,其包括光电二极管、转移栅极和第一电极;以及

第二半导体部,其包括第二电极并且包括复位晶体管、放大晶体管和选择晶体管中的至少两个晶体管;

其中,所述转移栅极连接到第一配线层,所述第一配线层形成在所述第一半导体部上,并且

其中,所述第一电极连接至所述第二电极,

其中,所述第一半导体部和所述第二半导体部堆叠在一起。

15.一种光检测设备,包括:

第一配线层,形成在第一半导体部上;以及

第一电极,形成在所述第一配线层的表面上,

其中,所述第一电极包括形成在平行于所述第一配线层的表面的第一方向上的第一导体层部分和形成在平行于所述第一配线层的表面的第二方向上的第二导体层部分,所述第一导体层部分与所述第二导体层部分相交,并且所述第一方向与所述第二方向垂直,

其中,所述光检测设备还包括形成在第二半导体部上的第二配线层和形成在所述第二配线层的表面上的第二电极,所述第一电极与所述第二电极电接触,

其中,所述第一半导体部和所述第二半导体部堆叠在一起。

光检测设备

[0001] 本申请是申请日为2013年07月08日、申请号为201380036841.1、发明名称为“固态成像装置和电子设备”的专利申请的分案申请。

技术领域

[0002] 本公开涉及背照式固态成像装置以及具有该固态成像装置的电子设备。

背景技术

[0003] 在固态成像装置中,在针对于改善光电转换效率或者入射光的灵敏度的同时,还提出了所谓的背照式结构,其中驱动电路形成在半导体基板的表面侧且背面侧是光接收表面。另外,除了其中形成光电转换元件的半导体基板外,还提出了三维(3D)结构,其中制备具有驱动电路形成其上的电路基板且连接到与半导体基板的光接收表面相反的面。例如,提出了一种构造,其中光敏二极管(PD)、浮置扩散(FD)以及转移栅极和转移晶体管之外的像素晶体管形成在彼此不同的基板上,并且该基板彼此接合(例如,见PTL 1).

[0004] [引用列表]

[0005] [专利文件]

[0006] [PTL 1]

[0007] 日本未审查专利申请公开(PCT申请的翻译)No.2011-517506

发明内容

[0008] [技术问题]

[0009] 在具有其中基板彼此接合的上述构造的背照式固态成像装置中,要求通过改善基板之间的连接可靠性而改善固态装置的可靠性。

[0010] 所希望的是提供可改善可靠性的固态成像装置和电子设备。

[0011] [解决问题的技术方案]

[0012] 这里描述固态成像装置和制造固态成像装置的方法。作为示例,固态成像装置包括形成在传感器基板上的第一配线层和形成在电路基板上的第二配线层。传感器基板连接到电路基板,第一配线层和第二配线层设置在传感器基板和电路基板之间。第一电极形成在第一配线层的表面上,并且第二电极形成在第二配线层的表面上。第一电极与第二电极电接触。

[0013] 作为进一步的示例,制造固态成像装置的方法包括在传感器基板上形成第一配线层、在电路基板上形成第二配线层、在第一配线层的表面上形成第一电极、在第二配线层的表面上形成第二电极、以及连接传感器基板到电路基板,第一配线层和第二配线层设在传感器基板和电路基板之间。

[0014] 根据上述固态成像装置,光敏二极管和浮置扩散形成在第一半导体基板上,并且第二晶体管形成在第二半导体基板上。连接第二晶体管与浮置扩散的浮置扩散配线由第一电极和第二电极连接。这样,在浮置扩散配线中,第一半导体基板和第二半导体基板之间的

连接表面与第一电极和第二电极结合,并且因此改善了配线的结合可靠性和基板之间的结合可靠性。因此,可改善固态成像装置和具有固态成像装置的电子设备的可靠性。

[0015] [本发明的有益效果]

[0016] 根据本公开,能改善固态成像装置和电子设备的可靠性。

附图说明

[0017] 图1是示出应用本公开的固态成像装置示例的示意性构造图。

[0018] 图2是示出像素单元的平面设置的示意图,该像素单元包括根据本公开第一实施例的固态成像装置的四像素共享单元。

[0019] 图3是图2所示像素单元的III-III线截面的构造。

[0020] 图4A是示出第一电极和第二电极构造的示意图。

[0021] 图4B是示出第一电极和第二电极构造的示意图。

[0022] 图4C是示出第一电极和第二电极构造的示意图。

[0023] 图4D是示出第一电极和第二电极构造的示意图。

[0024] 图4E是示出第一电极和第二电极构造的示意图。

[0025] 图5是示出四像素共享单元中GND配线和TRG配线的平面设置的示意图。

[0026] 图6A是其中形成GND/TRG配线的像素区域的平面图。

[0027] 图6B是图6A所示VIB部分的放大图。

[0028] 图6C是在图6A所示像素区域周围的GND/TRG配线的截面图。

[0029] 图7是示出根据本公开第一实施例的固态成像装置的第一修改示例的构造的截面图。

[0030] 图8是示出根据本公开第一实施例的固态成像装置的第二修改示例的构造的截面图。

[0031] 图9是示出图8所示像素单元的IX-IX线截面的构造的示意图。

[0032] 图10是示出根据本公开第一实施例的固态成像装置的第三修改示例的构造的截面图。

[0033] 图11是示出根据本公开第二实施例的固态成像装置包括八像素共享单元的像素的平面设置的示意图。

[0034] 图12是示出图11所示像素单元的XII-XII线截面的构造的示意图。

[0035] 图13是根据本公开第三实施例的固态成像装置包括四像素共享单元的像素单元的平面设置的示意图。

[0036] 图14是示出根据本公开第三实施例的固态成像装置的截面构造的示意图。

[0037] 图15是示出根据本公开第三实施例的修改示例的固态成像装置的截面构造的示意图。

[0038] 图16是示出电子设备的构造的示意图。

具体实施方式

[0039] 在下文,将描述本公开的优选实施例,但是不限于下面的示例。

[0040] 描述以下面的顺序进行。

[0041] 1.第一实施例(固态成像装置)

[0042] 2.第二实施例(固态成像装置)

[0043] 3.第三实施例(固态成像装置)

[0044] 4.第四实施例(电子设备)

[0045] <第一实施例>

[0046] <固态成像装置的示意性构造示例>

[0047] 在图1中,示出了应用本公开的背照式固态成像装置的示意性构造。根据本实施例的固态成像装置10将像素区域12安装在如图1所示的第一半导体芯片单元11中。另外,固态成像装置10将包括信号处理电路的逻辑电路15和控制电路14安装在第二半导体芯片单元13中。第一半导体芯片单元11和第二半导体芯片单元13彼此电连接以用作单一半导体芯片,其构成MOS型固态成像装置10。

[0048] <像素单元结构:平面设置>

[0049] 接下来,将描述本实施例的固态成像装置的像素单元的构造。在图2中,示出了应用于本实施例的包括四像素共享单元的像素单元的平面设置。如图2所示,其中设置四像素的光敏二极管PD(PD1至PD4)的四像素共享单元设置成二维阵列形状,从而形成像素单元。

[0050] 四像素共享单元是这样的构造,其中单一浮置扩散FD相对于横向2*纵向2的四个光敏二极管PD1至PD4的全部被共享。另外,四像素共享单元包括四个光敏二极管PD1至PD4、相对于四个光敏二极管PD1至PD4的四个转移栅极电极21至24、以及单一浮置扩散FD。

[0051] 转移晶体管Tr1至Tr4由光敏二极管PD1至PD4的每一个、浮置扩散FD以及转移栅极电极21至24的每一个构成。浮置扩散FD设置在由四个光敏二极管PD1至PD4围绕的中心部分中,并且转移栅极电极21至24的每一个设置在与光敏二极管PD1至PD4的每一个的中心部分侧的拐角对应的位置。

[0052] <像素单元结构:截面构造>

[0053] 接下来,在图3中,示出了图2所示像素单元的III-III线截面的构造。如图3所示,以这样的方式获得固态成像装置,传感器基板3(第一半导体基板)和电路基板9(第二半导体基板)接合在一起,从而分别面对第一配线层31和第二配线层41。另外,在传感器基板3与电路基板9的接合表面上,在传感器基板3的第一配线层31的表面上形成的第一电极35和在电路基板9的第二配线层41的表面上形成的第二电极45连接在一起。

[0054] 在传感器基板3上,形成图2所示的光敏二极管PD1和PD2、浮置扩散FD以及转移栅极电极21和22。在传感器基板3中,图中的上部是光入射表面,并且其下部是电路形成表面。浮置扩散FD以及转移栅极电极21和22形成在传感器基板3的电路形成表面侧。

[0055] 在传感器基板3的电路形成表面上,形成第一配线层31。第一配线层31具有这样的构造,其中层叠一层或多层配线和绝缘层。在图3中,所提供的构造具有单层或配线33。在第一配线层31上,形成连接到浮置扩散FD的插塞32。插塞32和配线33彼此连接,并且配线33和插塞34进一步彼此连接。

[0056] 另外,在与配线33的相同层上,形成没有示出的另一个配线。与配线33在相同层上形成配线例如是电源线或与转移栅极电极21和22连接的接地配线。

[0057] 在第一配线层31的表面上,形成用于连接的第一电极35。第一电极35通过插塞32和34以及配线33连接到浮置扩散FD。

[0058] 在电路基板9上,安装没有示出的像素单元的控制电路或包括信号处理电路的逻辑电路。另外,在电路基板9上,形成转移晶体管Tr1之外的像素晶体管。在图3中,示出了放大晶体管Tr5和选择晶体管Tr6。在电路基板9的表面上,形成扩散区域27、28和29,它们是放大晶体管Tr5和选择晶体管Tr6的源极/漏极。另外,放大栅极电极25和选择栅极电极26形成在电路基板9上。

[0059] 在电路基板9上,形成第二配线层41。第二配线层41具有其中层叠多层配线和绝缘层的构造。在图3中,在第二配线层41上形成的多个配线当中,示出了一层配线43和47。配线43由插塞42和44连接到形成在第二配线层41的表面上的第二电极45和放大栅极电极25。因此,第二电极45通过插塞42和44和配线43连接到放大栅极电极25。另外,插塞46和配线47连接到选择晶体管Tr6的扩散区域29。

[0060] 在上述构造中,提供在传感器基板3的表面上的浮置扩散FD和提供在电路基板9上的放大栅极电极25通过第一电极35和第二电极45由导体直接彼此连接。因此,浮置扩散FD和放大栅极电极25由浮置扩散配线彼此连接,浮置扩散配线(在下文,称为"FD配线")包括第一电极35、第二电极45、插塞32、34、42和44以及配线33和43。这样,用于处理传感器基板3的浮置扩散FD中累积的信号的像素晶体管形成在电路基板9上。

[0061] 在第一配线层31中,优选构成FD配线的第一电极35、插塞32和34以及配线33以最小化设计规则的配线宽度形成,以便提高转换效率。另外,优选浮置扩散FD和第一电极35配线为以最短的距离彼此连接,以便也提高转换效率。此外,优选插塞32和34以及配线33形成为尽可能远离另一个配线,从而插塞32和34以及配线33不电容耦合到第一配线层31上形成的另一个配线。

[0062] 同样,在第二配线层41中,优选构成FD配线的第二电极45、插塞44和42以及配线43以最小化设计规则的配线宽度形成,以便提高转换效率。另外,优选放大栅极电极25和第二电极45形成为以最短的距离彼此连接,以便提高转换效率。此外,优选插塞44和42以及配线43形成为尽可能远离另一个配线,从而插塞44和42以及配线43不电容耦合到第二配线层41上形成的另一个配线。

[0063] 另外,没有示出的复位晶体管可形成在传感器基板3侧的像素共享单元之间,或者形成在电路基板9侧的另一个部分中。为了增加传感器基板3的光敏二极管PD的面积,优选转移晶体管之外的每个晶体管形成在电路基板9侧。

[0064] 其中形成第一电极35和第二电极45的区域37小于其中形成共享放大晶体管Tr5的多个光敏二极管PD1至PD4的区域36的面积。为了避免与另一个相邻区域的电极接触,必须使第一电极35和第二电极45小于其中形成光敏二极管PD1至PD4的区域36。

[0065] 另外,优选第一电极35和第二电极45的至少一个的面积形成为大于其中形成浮置扩散FD的面积。此外,在上述的图2中,形成第一电极35和第二电极45的区域37的平面设置由虚线表示。

[0066] 优选第一电极35和第二电极45提供在像素共享单元的中心。此外,优选第一电极35和第二电极45彼此形成点对称或轴对称的形状。例如,在图2所示的四像素共享单元中,优选四像素共享单元的中心以及第一电极35和第二电极45的中心形成在相同的平面位置。另外,优选第一电极35和第二电极45在像素共享单元的中心彼此形成点对称或轴对称的形状。

[0067] 通过在上述构造中形成第一电极35和第二电极45,在多个像素共享单元中,FD配线可以以相等的间隔形成,因此防止FD配线的耦合。

[0068] 在具有其中多个基板以与本实施例相同的方式接合在一起的构造的半导体装置中,存在基板的接合表面定位精度的问题。因此,当基板接合在一起时,根据基板的定位精度在电极的结合位置发生位置变位。这样,由于结合电极的位置变位的发生引起的连接失效或者导电性失效,可能降低半导体装置的可靠性。

[0069] 另一方面,如图3所示,第一电极35和第二电极45的形状为在上述范围内,并且因此能保证结合电极的连接可靠性,而与基板的连接精度无关。结果,可改善半导体装置的可靠性。

[0070] 然而,在增加电极的面积时,不可避免地增加FD配线的体积。结果,这导致信号电荷转换效率的降低。因此,为了防止转换效率的降低,优选电极的面积尽可能最小化。这样,第一电极35和第二电极45的面积可能对转换效率和结合可靠性给出负面影响。因此,必须使第一电极35和第二电极45的形状考虑基板接合的位置精度和信号的转换效率等进行设计。

[0071] 当另一个电极的面积很大时,即使一个电极的面积很小,也可保证连接可靠性。因此,例如,一个电极的面积可形成为大于其中形成浮置扩散DF的面积,并且另一个电极的面积可形成为进一步较小。在此情况下,可期待相对于电极的连接可靠性和信号的转换效率二者上的改善。

[0072] [电极形状]

[0073] 将描述第一电极35和第二电极45的每一个的构造示例,使其能允许如上所述的信号的转换效率和结合可靠性之间的兼容性。在图4A至4E中,示出了第一电极35和第二电极45的构造。

[0074] 图4A至4E的每一个是示出第一电极35和第二电极45的每一个的构造的平面图。在图4A至4E中,示出了其中第一电极35和第二电极45从传感器基板3侧看的设置,并且示出为第一电极35和第二电极45的中心位置移位的状态。

[0075] 图4A所示的第一电极35和第二电极45由导体层形成,该导体层分别在不同的方向上延伸且具有矩形平面。另外,第一电极35和第二电极45设置在相互垂直延伸方向的方向上,并且设置在彼此相交的位置。

[0076] 这样,因为第一电极35和第二电极45彼此相交,所以第一电极35和第二电极45在相交位置彼此接触,即使在连接时传感器基板和电路基板之间位置变位。结果,能防止由于发生结合电极的位置变位引起的连接失效或导电性失效,因此抑制半导体装置可靠性的降低。

[0077] 另外,第一电极35和第二电极45例如以配线宽度最小设计原则形成矩形形状,并且因此可抑制FD配线的体积增加。结果,可抑制转换效率的降低。

[0078] 因此,通过采用具有图4A所示构造的第一电极35和第二电极45,能允许固态成像装置的转换效率和结合可靠性之间的兼容性。

[0079] 在图4B所示的构造中,第一电极35和第二电极45由两个矩形导电层形成为彼此相交。另外,第一电极35和第二电极45以这样的方式结合在一起,矩形的导电层设置在垂直于延伸方向的方向上以彼此相交。

[0080] 在图4B所示的构造中,与图4A所示的上述构造相比接触面积增加。因此,改善了连接可靠性。此外,因为增加了接触面积,甚至在矩形导体层的宽度小于图4A所示的构造的情况下,也能保证接触面积。因此,能抑制因第一电极35和第二电极45而增加FD配线的体积,并且允许转换效率和结合可靠性之间的兼容性。

[0081] 另外,在图4C至4E所示的构造中,第一电极35和第二电极45通过结合矩形导体层而设置成格栅形状。在图4C所示的构造中,第一电极35和第二电极45由设置成矩形形式的四个矩形导体层以及设置在正方形形式内的单一导体层形成。另外,在图4D所示的构造中,第一电极35和第二电极45由设置成矩形形式的四个矩形导体层和矩形形式内的栅格形状的两个矩形导体层形成。

[0082] 另外,在图4E所示的构造中,第一电极35和第二电极45形成网状,其中结合多个矩形导体层。

[0083] 随着构成第一电极35和第二电极45的矩形导体层数的增加,第一电极35和第二电极45之间的接触面积增加,并且改善连接可靠性。另外,随着构成第一电极35和第二电极45的矩形导体层数的增加,FD配线的体积增加,但是通过充分减小矩形导体层自身的体积能抑制转换效率上的降低。因此,能允许固态成像装置的转换效率和结合可靠性之间的兼容性。

[0084] 另外,在上述构造示例中,第一电极35和第二电极45形成矩形形状,但是构成电极的导体层形状不限于矩形形状,而是导体层可形成其它形状。只要第一电极35和第二电极45形成有最小设计规则的配线宽度且在相互不同方向上延伸,该构造可适合于本公开的固态成像装置。

[0085] 在上述构造示例中,第一电极35和第二电极45形成相同的形状,但是可形成不同的形状。另外,构成第一电极35和第二电极45的导体层的每一个的尺寸(例如,延伸长度、宽度和厚度等)以及导体层的设置间隔(节距)考虑诸如设计原则和结合精度等条件适当设定。

[0086] <转移栅极电极配线、接地(Ground)配线>

[0087] 接下来,将描述传感器基板的第一配线层上形成的转移栅极电极(TRG)配线和接地(GND)配线。在图5中,示出了四像素共享单元中GND配线和TRG配线的平面设置。另外,在图6A中,示出了传感器基板的像素区域的周边区域中GND/TRG配线的平面设置。在图6B中,示出了图6A所示的VIB部分的放大图。在图6C中,示出了图6A所示像素区域的周边区域的GND/TRG配线的截面图。

[0088] 如图5所示,在四像素共享单元中,TRG配线38和GND配线55设置在像素内平行于图中的水平方向。TRG配线38设置为通过四像素共享单元的每个上的转移栅极电极21、22、23和24。另外,TRG配线38分别连接到对应的转移栅极电极21、22、23和24的任何一个。另外,TRG配线38以与上述FD配线的耦合尽可能均匀的方式设置。因此,当转移栅极电极21导通时,可调整因FD耦合的每个像素的升压能力(boosting capability)。

[0089] TRG配线38和GND配线55与在电路基板9侧且在其中形成光敏二极管PD、浮置扩散FD和转移晶体管Tr的像素区域之外的配线和电极结合。在图6A中,示出了第一半导体芯片单元11的传感器基板3中的像素区域12以及电极39,其中TRG配线38和GND配线55连接到在电路基板9侧的配线。如图6A所示,TRG配线38和GND配线55在图中的水平方向上与像素区域

12相交,并且连接到像素区域12的周边区域中提供的电极39。

[0090] 在电极39中,像素共享单元的TRG配线38和连接到GND配线55的多个电极39A至39E提供为如图6B所示。电极39A至39E的每一个分别连接到与像素共享单元相交的TRG配线38或GND配线55。在2*2的四像素共享单元中,必须使总计五个配线按照四个TRG配线38和一个GRD配线55提供。另外,期望五个电极39A至39E对应于五个配线。

[0091] 必须考虑接合精度来增加电极39的面积。在此情况下,当电极39的尺寸与像素内FD配线的第一和第二静电箝位的面积相同时,必须使与共享单元对应的五个电极39A至39E设置在平行于TRG配线38和GND配线55的方向(图中的水平方向)上,如图6B所示。另外,例如,在2*4的八像素共享单元中,需要按照八个TRG配线38和两个GND配线55的总计十个配线。为此,以与图6B相同的方式,必须使与共享单元对应的十个电极39设置在平行于TRG配线38和GND配线55的方向(图中的水平方向)上。

[0092] 另外,因为图6B示出了平面设置,所以显示出多个配线连接到电极39A至39D,但是没有与电极的接触部分提供在层间绝缘层中,并且因此电极39A至39E的每一个仅与单一配线连接。

[0093] 在图6C中,示出了电极39及其周边的截面构造。如图6C所示,TRG配线38和GND配线55通过插塞34连接到第三电极39,第三电极39形成在传感器基板3的第一配线层31的表面上。另外,第三电极39连接到第四电极49,第四电极49形成在电路基板9的第二配线层41的表面上。

[0094] 第四电极4通过插塞42和44以及配线48连接到电路基板9上形成的电路元件等。

[0095] TRG配线38和GND配线55与图3所示的配线33形成在相同层上。在像素区域12的外周边部分中,TRG配线38和GND配线55通过第三电极39和第四电极49与电路基板9的电路元件连接。在第三电极39和第四电极49中,多个电极在像素区域12的周边设置成矩阵形状。第三电极39和第四电极49例如可形成为具有约1至20微米的尺寸,并且因此以距相邻电极约1微米的相等间隔形成。

[0096] 通过防止用于连接TRG配线38和GND配线55的第三电极39和第四电极49形成在像素区域12内,可改善从浮置扩散FD连接到放大晶体管Tr5的第一电极35和第二电极45的设计自由度。因此,能增加图3所示第一电极35和第二电极45的每一个的面积,并且改善连接可靠性。

[0097] <第一修改示例:复位晶体管>

[0098] 接下来,将描述根据本公开第一实施例的上述固态成像装置的修改示例。作为第一修改示例,将描述其中复位晶体管提供在电路基板上的构造示例。另外,在第一修改示例中,仅电路基板的复位晶体管的构造和配线至复位晶体管的构造与第一实施例不同。因此,在下面的描述中,将省略与上述第一实施例相同构造的描述。

[0099] 在图7中,示出了根据第一修改示例的固态成像装置的截面图。该截面图对应于在上述第一实施例的描述中图3所示的构造。如图7所示,电路基板9包括放大晶体管Tr5、选择晶体管Tr6和复位晶体管Tr7。在电路基板9的表面上,形成扩散区域27、28、29和52,它们是放大晶体管Tr5、选择晶体管Tr6和复位晶体管Tr7的源极/漏极。放大栅极电极25、选择栅极电极26和复位栅极电极51提供在电路基板9上。

[0100] 在电路基板9上,形成第二配线层41。第二电极45形成在第二配线层41的表面上。

连接到第二电极45的插塞44连接到配线53。另外,配线53连接到插塞42和54。插塞42连接到配线53和放大栅极电极42。另外,插塞54连接到配线53和复位晶体管Tr7的扩散区域52。

[0101] 因此,第二电极45通过插塞42、44和54以及配线53连接到放大栅极电极25和复位晶体管Tr7的扩散区域52。另外,浮置扩散FD和放大栅极电极25由FD配线彼此连接,FD配线包括第一电极35、第二电极45、插塞32、34、42和44以及配线33和53。

[0102] 在上述构造中,提供在传感器基板3的表面上的浮置扩散FD以及提供在电路基板9中的复位晶体管Tr7的扩散区域52通过第一电极35和第二电极45由从FD配线分出的插塞54连接。就是说,获得用电路基板9上形成的复位晶体管Tr7复位传感器基板3的浮置扩散FD和光敏二极管PD的电位的构造。

[0103] 因为复位晶体管Tr7形成在电路基板9侧上,所以不必在传感器基板3中形成复位晶体管Tr7的扩散区域。为此,在像素区域中,能增加形成光敏二极管PD区域的比例。因此,通过该结构,固态成像装置的像素特性的改善,例如灵敏度或饱和信号量(Qs)上的改善是可能的。

[0104] <第二修改示例:GND配线屏蔽>

[0105] 接下来,将描述根据第一实施例的上述固态成像装置的第二修改示例。第二修改示例是其中由于接地配线的屏蔽提供在电路基板中的构造示例。另外,在下面的描述中,将省略与上述第一实施例相同构造的描述。

[0106] 在图8中,示出了根据第二修改示例的固态成像装置的平面图。另外,在图9中,示出了图8的像素单元的IX-IX线截面示意图。

[0107] 如图9所示,根据本示例的固态成像装置具有其中浮置扩散FD形成在传感器基板3中且浮置扩散FD的信号通过FD配线传输到电路基板9的构造。在具有上述构造的固态成像装置中,优选FD配线包括屏蔽,以便防止FD配线的从浮置扩散FD至放大栅极电极25和复位晶体管Tr7的每一个的源极的耦合。

[0108] 在根据本示例的固态成像装置中,FD配线的屏蔽形成在传感器基板3侧形成的接地(GND)配线55中。如图8所示,GND配线55设置成栅格形状,围绕共享浮置扩散FD的四像素共享单元的周边。通过由GND配线55围绕四像素共享单元,GND配线55用作对提供在四像素共享单元中心的FD配线的屏蔽。GND配线55连接到没有示出的接地端等,从而为接地电位。

[0109] 另外,在图9中,示出了其中两层配线形成在传感器基板3的第一配线层31上的示例。在该结构中,因为四像素共享单元由GND配线55围绕,所以诸如TRG配线等的另外的配线不能形成在与GND配线55相同的层上。就是说,在本示例中,期望至少两层配线在第一配线层31上。在图9中,示出了两层,一层用于形成GND配线55,并且一层用于形成诸如TRG配线等另外的配线。例如,在与FD配线的配线33相同的层上,可形成诸如TRG配线等另外的配线。在与FD配线的配线56相同的层上,形成GND配线55。

[0110] <第三修改示例:VDD配线屏蔽>

[0111] 接下来,将描述根据第一实施例的上述固态成像装置的第三修改示例。第三修改示例是其中由于VDD配线的屏蔽提供在电路基板中的构造示例。另外,在下面的描述中,将省略与上述第一实施例相同构造的描述。

[0112] 在上述第二修改示例中,已经描述了由GND配线在传感器基板3侧屏蔽FD配线的方法,但是它可屏蔽在电路基板9上的第二配线层41中的FD配线。

[0113] 在图10中,示出了根据第三修改示例的固态成像装置的截面结构。另外,第三修改示例的平面设置与图8所示的上述第二修改示例相同。为此,图10对应于图8所示的X-X线截面。

[0114] 在第三修改示例中,作为FD配线的屏蔽,FD配线的屏蔽形成在电路基板9侧形成的VDD配线57中。在图10中,在电路基板9上的第二配线层41上形成的多层配线当中,示出了两层配线。VDD配线57是连接到电源电位的配线。

[0115] 因为VDD配线57具有围绕四像素共享单元的结构,所以难以形成VDD配线57在与另外配线相同的层上。因此,VDD配线57形成在与其上形成配线53和配线47的层不同的层上,配线53连接放大栅极电极25和复位晶体管Tr7的扩散区域52,配线47连接到选择晶体管Tr6。

[0116] 这样,通过在VDD配线57中围绕四像素共享单元,VDD配线57用作FD配线的屏蔽,FD配线中VDD配线57提供在四像素共享单元的中心。

[0117] 另外,可采用根据第三修改示例由VDD配线屏蔽FD配线的构造和根据上述第二修改示例由GND配线屏蔽FD配线的构造二者。另外,作为屏蔽FD配线的构造,可结合使用上述GND配线和VDD配线之外的其它配线。

[0118] <第二实施例>

[0119] <八像素共享结构>

[0120] 接下来,将描述固态成像装置的第二实施例。在上述第一实施例中,已经描述了四像素共享单元的构造,其在四个光敏二极管PD中共享转移晶体管Tr之外的晶体管。在第二实施例中,将描述八像素共享单元的构造,其在八个光敏二极管PD中共享转移晶体管Tr之外的晶体管。另外,在第二实施例中,仅像素共享结构与第一实施例不同。因此,在下面的描述中,将省略与上述第一实施例相同构造的描述。

[0121] <平面设置>

[0122] 在图11中,示出了像素单元的平面设置,该像素单元包括应用于本示例的八像素共享单元。如图11所示,该像素单元是这样方式的构造,其中设置八像素的光敏二极管PD(PD1至PD8)的八像素共享单元设置成二维阵列形状。

[0123] 在该八像素共享单元中,横向2*纵向4的总计八个光敏二极管PD1至PD8用作单一单元。八像素共享单元具有这样的构造,其中单一浮置扩散FD1相对于横向2*纵向2的总计四个光敏二极管PD1至PD4共享。八像素共享单元具有这样的构造,其中单一浮置扩散FD2相对于横向2*纵向2的总计四个光敏二极管PD5至PD8共享。八像素共享单元具有这样的构造,其中相对于八个光敏二极管PD1至PD8以及浮置扩散FD1和FD2提供八个转移栅极电极21至24以及61至64。

[0124] 由光敏二极管PD1至PD8的每一个、浮置扩散FD1和FD2以及转移栅极电极21至24和61至64的每一个,构成转移晶体管Tr1至Tr4以及Tr8至Tr11。浮置扩散FD1和FD2的每一个设置在由八个光敏二极管PD1至PD8围绕的中心部分,并且转移栅极电极21至24和61至64的每一个设置在与光敏二极管PD1至PD8的每一个的中心部分侧的拐角对应的位置上。

[0125] <截面结构>

[0126] 在图12中,示出了图11所示像素单元的XII-XII线截面的构造。如图12所示,在固态成像装置中,传感器基板3和电路基板9连接在一起从而分别面对第一配线层31和第二配

线层41。另外,在电路基板9与传感器基板3的接合表面上,传感器基板3的第一配线层31的表面上形成的第一电极35和电路基板9的第二配线层41的表面上形成的第二电极45结合在一起。另外,电路基板9侧的构造与第一实施例的上述第一修改示例的构造相同。因此,将省略电路基板9侧构造的描述。

[0127] 在传感器基板3上,形成图11所示的上述光敏二极管PD2、4、6和8、浮置扩散FD1和FD2以及转移栅极电极22、24、62和64。在传感器基板3中,图的上部是入射表面,并且其下部是电路形成表面。浮置扩散FD1和FD2以及转移栅极电极22、24、62和64形成在传感器基板3的电路形成表面侧上。

[0128] 在传感器基板3的电路形成表面上,形成第一配线层31。第一配线层31具有其中层叠至少一层配线和绝缘层的构造。在图12中,示出了一层配线33和66。

[0129] 另外,在第一配线层31上,形成连接到浮置扩散FD1的插塞32。另外,插塞32和配线33彼此连接,并且配线33和插塞34彼此连接。另外,形成连接到浮置扩散FD2的插塞65。插塞65和配线66彼此连接,并且配线66和插塞67彼此连接。

[0130] 在第一配线层31的表面上,形成第一连接电极35。第一电极35通过插塞32和34以及配线33与浮置扩散FD1连接。另外,第一电极35通过插塞65和67以及配线66与浮置扩散FD2连接。电极35通过电路基板9的电极45连接到晶体管,例如形成在传感器基板3上的放大栅极电极25。

[0131] 这样,根据本示例的固态成像装置具有这样的构造,其中八个光敏二极管PD1至PD8通过浮置扩散FD1和FD2以及一个电极35共享电路基板9上形成的晶体管。

[0132] 其中形成第一电极35和第二电极45的区域37小于其中形成共享放大晶体管Tr5的多个光敏二极管PD1至PD8的区域36。必须使第一电极35和第二电极45形成为小于其中形成光敏二极管PD1至PD8的区域36,以便避免与相邻区域的电极接触。在上述的图11中,其中形成第一电极35的区域37和其中形成第二电极45的区域45的平面设置由虚线表示。

[0133] 另外,优选第一电极35和第二电极45的至少一个的面积形成为大于其中形成浮置扩散FD的面积。以与上述第一实施例相同的方式,优选第一电极35和第二电极45具有能允许转换效率与结合可靠性之间兼容的构造。例如,能结合图4所示的矩形导体层。

[0134] 如上所述,能应用本公开到八像素共享单元的固态成像装置。甚至在此情况下,可获得与上述第一实施例相同的效果。另外,在第二实施例中,转移栅极电极配线和接地配线可具有与上述第一实施例相同的构造。另外,甚至在第二实施例的构造中,也能应用第一实施例的修改示例的构造。

[0135] <第三实施例>

[0136] <元件隔离>

[0137] 接下来,将描述固态成像装置的第三实施例。在第三实施例中,将描述对每个光敏二极管PD绝缘且隔离的固态成像装置。另外,在第三实施例中,将省略与上述第一和第二实施例相同构造的描述。

[0138] <像素单元构造:平面设置>

[0139] 在图13中,示出了应用于本示例的四像素的像素单元的平面设置。如图13所示,四个光敏二极管PD设置成二维阵列形状,以因此构成像素单元。相对于光敏二极管PD的每一个,形成转移栅极电极68和浮置扩散FD。转移栅极电极68和浮置扩散FD提供在光敏二极管

PD的拐角。另外,TRG配线38连接到转移栅极电极68。

[0140] 另外,在光敏二极管PD中,在与其中提供转移栅极电极68和浮置扩散FD的拐角处成对角的拐角处,提供阱81。在阱81中,提供与GND配线55连接的GND端子82。阱81和GND端子82提供在光敏二极管PD的每一个中。

[0141] 元件隔离单元69提供在光敏二极管PD之间。光敏二极管PD的周边由元件隔离单元69围绕,并且光敏二极管PD的每一个由元件隔离单元69隔离。光敏二极管PD由元件隔离单元69隔离,因此防止像素之间的颜色混合。

[0142] (像素单元结构:截面构造)

[0143] 在图14中,示出了图13所示的固态成像装置的截面构造。在根据本示例的固态成像装置中,传感器基板3和电路基板彼此连接,从而分别面对第一配线层31和第二配线层41。另外,如图14所示,在传感器基板3与电路基板的接合表面上,形成在传感器基板3的第一配线层31的表面上的第一电极35和形成在电路基板9的第二配线层41的表面上的第二电极45结合在一起。另外,在图14中,仅示出了第二配线层41的构造,并且将省略传感器基板9的构造。另外,在图13中,示出了第一电极35的设置位置。传感器基板9与上述第一和第二实施例可具有相同的构造。

[0144] 每个像素的光敏二极管PD和浮置扩散FD与相邻像素的光敏二极管PD和浮置扩散FD由元件隔离单元69隔离。另外,从浮置扩散FD到电路基板的转移晶体管之外的未示出的像素晶体管,FD配线由插塞32、34、44和42以及配线33和43的每一个构造。

[0145] TRG配线38通过插塞83连接到转移栅极电极68。TRG配线连接到电路基板侧,在如上述图6A至6C所示的像素区域之外。另外,在本示例中,以与上述第一和第二实施例相同的方式,转移晶体管之外的像素晶体管在多个光敏二极管PD中共享。例如,以与上述图12所示构造相同的方式,多个FD配线由配线或电极连接,并且因此转移晶体管之外的像素晶体管可在多个光敏二极管PD和浮置扩散FD中共享。

[0146] <修改示例:平面设置>

[0147] 接下来,将描述上述第三实施例的固态成像装置的修改示例。在本修改示例中,将描述其中应用2*2的像素共享结构的情况。另外,在下面的描述中,将省略与第一至第三实施例相同构造的描述。另外,截面构造是与上述图12和14相同的构造,并且因此省略重复描述。

[0148] 在图15中,示出了根据本示例的固态成像装置的平面设置图。如图15所示,其中设置横向2*纵向2的四像素的光敏二极管PD(PD1至PD4)的四像素共享单元设置成二维阵列形状以因此形成像素单元。元件隔离单元69提供在光敏二极管PD之间。光敏二极管PD的周边由元件隔离单元69围绕,并且光敏二极管PD的每一个由元件隔离单元69隔离。光敏二极管PD由元件隔离单元69隔离,因此防止像素之间的颜色混合。

[0149] 另外,在光敏二极管PD中,在与其中提供转移栅极电极21至24和浮置扩散FD的拐角成对角的拐角处,提供阱81。在阱81中,提供没有示出且与GND配线连接的GND端子82。阱81和GND端子82提供在光敏二极管PD的每一个中。

[0150] 相对于光敏二极管PD1至PD4,分别提供浮置扩散FD。浮置扩散FD和转移栅极电极21至24设置在与光敏二极管PD1至PD4的每一个的中心部分侧的拐角对应的位置。

[0151] 光敏二极管PD由第一电极35彼此连接,第一电极35提供在传感器基板上第一配线

层的表面上。因此,提供其中通过配线连接的浮置扩散FD在四个像素的光敏二极管PD(PD1至PD4)中共享的构造。例如,如图12所示的构造,多个FD电极配线连接到第一电极35,并且因此配线连接的浮置扩散FD可在2*2的四个光敏二极管PD中共享。另外,在图15中,仅示出了第一电极35的设置位置。

[0152] <第四实施例>

[0153] <电子设备>

[0154] 接下来,将描述包括上述固态成像装置的电子设备的实施例。上述固态成像装置例如可应用于电子设备,例如诸如数字相机和摄像机的相机系统、具有成像功能的移动电话或者具有成像功能的其它设备。在下文,将描述作为电子设备第一构造示例的相机。

[0155] 在图16中,示出了能成像静态图像或射频图像的摄像机的构造示例。该示例的相机70包括固态成像装置71、引导入射光到固态成像装置71的光接收传感器的光学系统72、提供在固态成像装置71和光学系统72之间的快门装置73以及驱动固态成像装置71的驱动电路74。另外,相机70包括信号处理电路75以处理固态成像装置71的输出信号。

[0156] 作为固态成像装置71,可应用根据实施例和修改示例的每一个的上述固态成像装置。其它单元的每一个的构造和功能如下。

[0157] 在光学系统72中,来自物体的图像束(入射光)形成在固态成像装置71的成像表面(未示出)上。因此,在固态成像装置71内,信号电荷累积预定的时间周期。另外,光学系统72可由包括多个光学透镜的光学透镜组构成。另外,快门装置73控制入射光到固态成像装置71的光辐射周期和屏蔽周期。

[0158] 驱动电路74给固态成像装置71和快门装置73提供控制信号。驱动电路74由所提供的驱动信号控制对固态成像装置71的信号处理电路75的信号输出操作和快门装置73的快门操作。就是说,在本示例中,由从驱动电路74提供的驱动信号(定时信号),执行从固态成像装置71到信号处理电路75的信号传输操作。

[0159] 信号处理电路75相对于从固态成像装置71传输的信号执行各种信号处理。其上执行各种信号处理的信号(图像信号)存储在诸如存储器的存储介质(未示出)中。另外,该信号输出到监视器(未示出)。

[0160] 本公开可具有下面的构造。

[0161] (1)一种固态成像装置可包括:第一配线层,形成在传感器基板上;以及第二配线层,形成在电路基板上。该传感器基板可连接到该电路基板,该第一配线层和该第二配线层设置在该传感器基板和该电路基板之间。第一电极可形成在该第一配线层的表面上,第二电极可形成在该第二配线层的表面上,并且该第一电极与该第二电极可电接触。

[0162] (2)根据(1)所述的固态成像装置,浮置扩散区域可形成在该传感器基板中,并且第一电导体可连接该浮置扩散区域到该第一电极。

[0163] (3)根据(1)或(2)所述的固态成像装置,第二电导体可连接第二电极到放大晶体管的栅极电极。

[0164] (4)根据(1)至(3)任何一项所述的固态成像装置,第一光敏二极管和第二光敏二极管可形成在该传感器基板中,第一光敏二极管和第二光敏二极管共享放大晶体管。

[0165] (5)根据(1)至(4)任何一项所述的固态成像装置,其中在平行于该第一配线层的表面的方向上,形成该第一电极和该第二电极的区域的宽度可小于其中形成该第一光敏二

极管和该第二光敏二极管的区域的宽度。

[0166] (6)根据(1)至(5)任何一项所述的固态成像装置,在平行于该第一配线层的表面的平面中,第一电极的截面面积可大于第一电导体的截面面积。

[0167] (7)根据(1)至(6)任何一项所述的固态成像装置,在平行于该第一配线层的表面的平面中,该第二电极的截面面积可大于该第二电导体的截面面积。

[0168] (8)根据(1)至(7)任何一项所述的固态成像装置,在平行于该第一配线层的表面的平面中,该第一电极或第二电极的至少一个的截面面积可大于该浮置扩散区域的截面面积。

[0169] (9)根据(1)至(8)任何一项所述的固态成像装置,该第一电极可包括沿平行于该第一配线层的表面的第一方向延伸的第一导体层,并且该第二电极可包括沿平行于该第二配线层的表面的第二方向延伸的第二导体层。

[0170] (10)根据(1)至(9)任何一项所述的固态成像装置,该第一电极可为矩形形状,该第二电极可为矩形形状。

[0171] (11)根据(1)至(10)任何一项所述的固态成像装置,该第一方向可垂直于该第二方向。

[0172] (12)根据(1)至(11)任何一项所述的固态成像装置,该第一电极可包括形成在平行于该第一配线层的表面的第一方向上的第一导体层部分和形成在平行于该第一配线层的表面的第二方向上的第二导体层部分。

[0173] (13)根据(1)至(12)任何一项所述的固态成像装置,第一导体层部分可与该第二导体层部分相交,并且平行于该第一配线层的表面的该第一方向与平行于该第一配线层的表面的该第二方向垂直。

[0174] (14)根据(1)至(13)任何一项所述的固态成像装置,该第二电极可包括形成在平行于该第二配线层的表面的第一方向上的第三导体层部分和形成在平行于该第二配线层的表面的第二方向上的第四导体层部分。

[0175] (15)根据(1)至(14)任何一项所述的固态成像装置,该第三导体层部分可与该第四导体层部分相交,并且平行于该第二配线层的表面的该第一方向与平行于该第二配线层的表面的该第二方向垂直。

[0176] (16)根据(1)至(15)任何一项所述的固态成像装置,该第一导体层部分可平行于该第三导体层部分,并且该第二导体层部分可平行于该第四导体层部分。

[0177] (17)根据(1)至(16)任何一项所述的固态成像装置,该第一电极可形成第一栅格形状。该第二电极可形成第二栅格形状。而且,在平行于该第一配线层的表面的方向上,该第一电极的中心可从该第二电极的中心偏移。

[0178] (18)根据(1)至(17)任何一项所述的固态成像装置,该第一电极可形成第一网状。该第二电极可形成第二网状。而且,在平行于该第一配线层的表面的方向上,该第一电极的中心可从该第二电极的中心偏移。

[0179] (19)一种固态成像装置,可包括接合到电路基板的传感器基板,第一配线层形成在该传感器基板的表面上,并且第二配线层形成在该电路基板的表面上。该第一配线层和该第二配线层可设在该传感器基板和该电路基板之间。第一接触电极可形成在该第一配线层的与该传感器基板相反的表面上,并且第二电极可形成在该第二配线层的与该电路基板

相反的表面上。而且,该第一电极可与该第二电极电接触。

[0180] (20)根据(19)所述的固态成像装置,该第一电极可包括沿平行于该第一配线层的表面的第一方向延伸的第一导体层。

[0181] (21)根据(19)或(20)所述的固态成像装置,该第二电极可包括沿平行于该第二配线层的表面的第二方向延伸的第二导体层。

[0182] (22)根据(19)至(21)任何一项所述的固态成像装置,该第一电极可为矩形形状。该第二电极可为矩形形状。而且,该第一方向可垂直于该第二方向。

[0183] (23)根据(19)至(22)任何一项所述的固态成像装置,该第一电极可包括形成在平行于该第一配线层的表面的第一方向上的第一导体层部分和形成在平行于该第一配线层的表面的第二方向上第二导体层部分。该第一导体层部分可与该第二导体层部分相交,并且平行于该第一配线层的表面的该第一方向可与平行于该第一配线层的表面的该第二方向垂直。

[0184] (24)根据(19)至(23)任何一项所述的固态成像装置,该第二电极可包括形成在平行于该第二配线层的表面的第一方向上的第三导体层部分和形成在平行于该第二配线层的表面的第二方向上的第四导体层部分。

[0185] (25)根据(19)至(24)任何一项所述的固态成像装置,该第三导体层部分可与该第四导体层部分相交,并且平行于该第二配线层的表面的该第一方向可与平行于该第二配线层的表面的该第二方向垂直。

[0186] (26)根据(19)至(25)任何一项所述的固态成像装置,该第一导体层部分可平行于该第三导体层部分,并且该第二导体层部分可平行于该第四导体层部分。

[0187] (27)根据(19)至(26)任何一项所述的固态成像装置,该第一电极可形成第一栅格形状。该第二电极可形成第二栅格形状。而且,在平行于该第一配线层的方向上,该第一电极的中心可从该第二电极的中心偏移。

[0188] (28)根据(19)至(27)任何一项所述的固态成像装置,该第一电极可形成第一网状。该第二电极可形成第二网状。而且,在平行于该第一配线层的表面的方向上,该第一电极的中心可从该第二电极的中心偏移。

[0189] (29)一种制造固态成像装置的方法,可包括如下步骤:在传感器基板上形成第一配线层,在电路基板上形成第二配线层,在该第一配线层的表面上形成第一电极,在该第二配线层的表面上形成第二电极,以及连接该传感器基板到该电路基板,该第一配线层和该第二配线层设在该传感器基板和该电路基板之间。

[0190] (30)在根据(29)所述的制造固态成像装置的方法中,浮置扩散区域可形成在该传感器基板中,并且第一电导体可形成为连接该浮置扩散区域到该第一电极。

[0191] (31)在根据(29)或(30)所述的制造固态成像装置的方法中,第二电导体可形成为连接该第二电极到放大晶体管的栅极电极。

[0192] (32)在根据(29)至(31)任何一项所述的制造固态成像装置的方法中,第一光敏二极管和第二光敏二极管可形成在该传感器基板中,该第一光敏二极管和该第二光敏二极管共享放大晶体管。

[0193] (33)在根据(29)至(32)任何一项所述的制造固态成像装置的方法中,其中在平行于该第一配线层的表面的方向上,形成该第一电极和该第二电极的区域的宽度可小于其中

形成该第一光敏二极管和该第二光敏二极管的区域的宽度。

[0194] (34)在根据(29)至(33)任何一项所述的制造固态成像装置的方法中,在平行于该第一配线层的表面的平面中,该第一电极的截面面积可形成为大于该第一电导体的截面面积。

[0195] (35)在根据(29)至(34)任何一项所述的制造固态成像装置的方法中,在平行于该第一配线层的表面的平面中,该第二电极的截面面积可形成为大于该第二电导体的截面面积。

[0196] (36)在根据(29)至(35)任何一项所述的制造固态成像装置的方法中,在平行于该第一配线层的表面的平面中,该第一电极或该第二电极的至少一个的截面面积可形成为大于该浮置扩散区域的截面面积。

[0197] (37)在根据(29)至(36)任何一项所述的制造固态成像装置的方法中,该第一电极可形成为包括沿平行于该第一配线层的表面的第一方向延伸的第一导体层。而且,该第二电极可形成为包括沿平行于该第二配线层的表面的第二方向延伸的第二导体层。

[0198] (38)在根据(29)至(37)任何一项所述的制造固态成像装置的方法中,该第一电极可形成为矩形形状,该第二电极可形成为矩形形状,并且该第一方向可与该第二方向垂直。

[0199] (39)在根据(29)至(38)任何一项所述的制造固态成像装置的方法中,该第一电极可形成为包括形成在平行于该第一配线层的表面的第一方向上的第一导体层部分和形成在平行于该第一配线层的表面的第二方向上的第二导体层部分。

[0200] (40)在根据(29)至(39)任何一项所述的制造固态成像装置的方法中,该第一导体层部分可与该第二导体层部分相交,并且该平行于该第一配线层的表面的该第一方向可与平行于该第一配线层的表面的该第二方向垂直。

[0201] (41)在根据(29)至(40)任何一项所述的制造固态成像装置的方法中,该第二电极可形成为包括形成在平行于该第二配线层的表面的第一方向上的第三导体层部分,并且该第四导体层部分可形成在平行于该第二配线层的表面的第二方向上。该第三导体层部分可与该第四导体层部分相交,并且平行于该第二配线层的表面的该第一方向可与平行于该第二配线层的表面的该第二方向垂直。而且,该第一导体层部分可形成为平行于该第三导体层部分,并且该第二导体层部分可形成为平行于该第四导体层部分。

[0202] (42)在根据(29)至(41)任何一项所述的制造固态成像装置的方法中,该第一电极可形成第一栅格形状。该第二电极可形成第二栅格形状。而且,在平行于该第一配线层的表面的第一方向上,该第一电极的中心可形成为从该第二电极的中心偏移。

[0203] (43)在根据(29)至(42)任何一项所述的制造固态成像装置的方法中,该第一电极可形成第一网状。该第二电极可形成第二网状。而且,在平行于该第一配线层的表面的第一方向上,该第一电极的中心可形成为从该第二电极的中心偏移。

[0204] (44)一种固态成像装置,包括:第一半导体基板;第二半导体基板;

[0205] 光敏二极管,形成在该第一半导体基板上,并且其中该第一半导体基板的第二主表面是光接收表面;浮置扩散,形成在该第一半导体基板的第一主表面的表面上;第一晶体管,形成在该第一半导体基板的该第一主表面上;第一配线层,形成在该第一半导体基板的该第一主表面上;第一电极,暴露到该第一配线层的表面;第二晶体管,形成在该第二半导体基板的第一主表面上;

[0206] 第二配线层,形成在该第二半导体基板的第一主表面上;第二电极,暴露到该第二配线层的表面;以及浮置扩散配线,通过第一电极和第二电极连接该浮置扩散和该第二晶体管的栅极电极,其中该第二晶体管由多个光敏二极管共享,并且该第一电极和该第二电极结合在一起,从而该第一半导体基板和该第二半导体基板彼此接合。

[0207] (45)在根据(44)所述的固态成像装置中,该第一电极和该第二电极可小于其中形成共享该第二晶体管的该多个光敏二极管的区域的面积。

[0208] (46)在根据(44)或(45)所述的固态成像装置中,该第一电极和该第二电极的至少一个的面积可大于其中形成该浮置扩散的面积。

[0209] (47)在根据(44)至(46)任何一项所述的固态成像装置中,该第一电极和该第二电极由延伸在相互不同方向上的导体层形成。

[0210] (48)在根据(44)至(47)任何一项所述的固态成像装置中,该第一电极和该第二电极可形成栅格形状,其中结合延伸在相互不同方向上的多个导体层。

[0211] (49)在根据(44)至(48)任何一项所述的固态成像装置中,用于连接第一栅极电极配线和该第二半导体基板的第三电极可形成在该第一配线层的其中形成该光敏二极管和该浮置扩散的像素区域周围的表面上,该第一栅极电极配线连接到该第一晶体管的栅极电极。

[0212] (50)在根据(49)所述的固态成像装置中,多个第三电极可排列在平行于该第一栅极电极配线的方向上。

[0213] (51)在根据(44)至(49)任何一项所述的固态成像装置中,该浮置扩散配线可由该第一配线层内的接地配线围绕。

[0214] (52)在根据(44)至(51)任何一项所述的固态成像装置中,该浮置扩散配线可由该第二配线层内的VDD配线围绕。

[0215] (53)在根据(44)至(52)任何一项所述的固态成像装置中,该第一电极可在多个浮置扩散中共享。

[0216] (54)在根据(44)至(53)任何一项所述的固态成像装置中,元件隔离部分可形成在该光敏二极管周围。

[0217] (55)在根据(54)所述的固态成像装置中,连接到接地配线的端子可设置在该光敏二极管中。

[0218] (56)一种电子设备,包括:根据(44)至(55)任何一项的固态成像装置以及处理该固态成像装置的输出信号的信号处理电路。

[0219] 本公开包含2012年7月18日提交日本专利局的日本优先权专利申请JP2012-159789中公开的相关主题,其全部内容通过引用结合于此。

[0220] 本领域的技术人员应当理解的是,在所附权利要求或其等同方案的范围内,根据设计需要和其他因素,可以进行各种修改、结合、部分结合和替换。

[0221] [附图标记列表]

[0222] 3 传感器基板

[0223] 9 电路基板

[0224] 10、71 固态成像装置

[0225] 11 第一半导体芯片单元

[0226] 12 像素区域

[0227] 13 第二半导体芯片单元

[0228] 14 控制电路

[0229] 15 逻辑电路

[0230] 21、22、23、24、61、62、63、64、68 转移栅极电极

[0231] 25、42 放大栅极电极

[0232] 26 选择栅极电极

[0233] 27、29、52 扩散区域

[0234] 31、41 配线层

[0235] 32、34、42、44、46、54、65、67 插塞

[0236] 33、43、47、48、53、56、66 配线

[0237] 35 第一电极

[0238] 36、37 区域

[0239] 38 TRG配线

[0240] 39 第三电极

[0241] 45 第二电极

[0242] 49 第四电极

[0243] 51 复位栅极电极

[0244] 55 GND配线

[0245] 57 VDD配线

[0246] 69 元件隔离单元

[0247] 70 相机

[0248] 72 光学系统

[0249] 73 快门装置

[0250] 74 驱动电路

[0251] 75 信号处理电路

[0252] 81 阱

[0253] 82 GND端子

[0254] FD1、FD2 浮置扩散

[0255] PD1、PD2、PD3、PD4、PD5、PD6、PD7、PD8 光敏二极管

[0256] Tr1、Tr2、Tr3、Tr4、Tr8、Tr9、Tr10、Tr11 转移晶体管

[0257] Tr5 放大晶体管

[0258] Tr6 选择晶体管

[0259] Tr7 复位晶体管

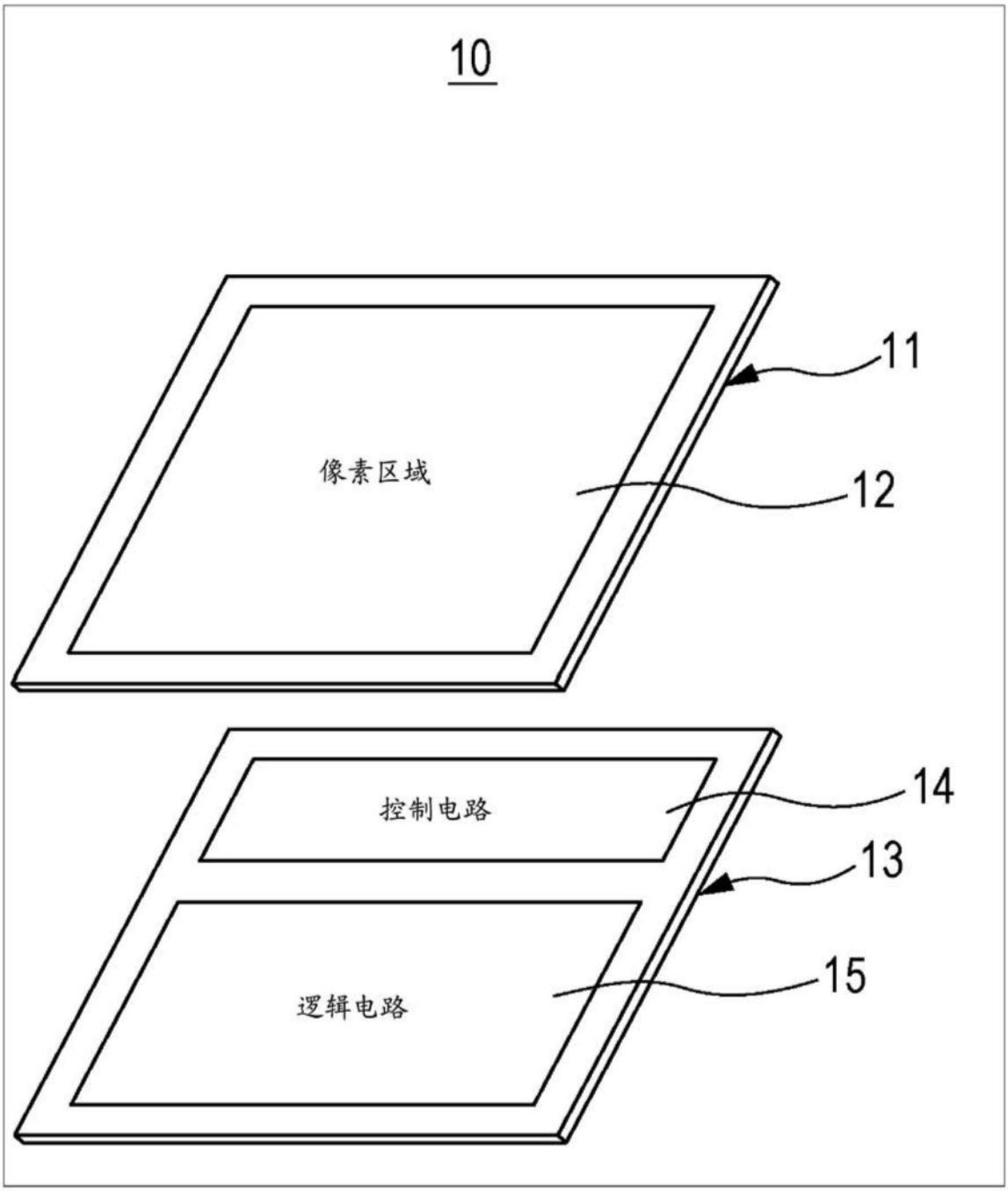


图1

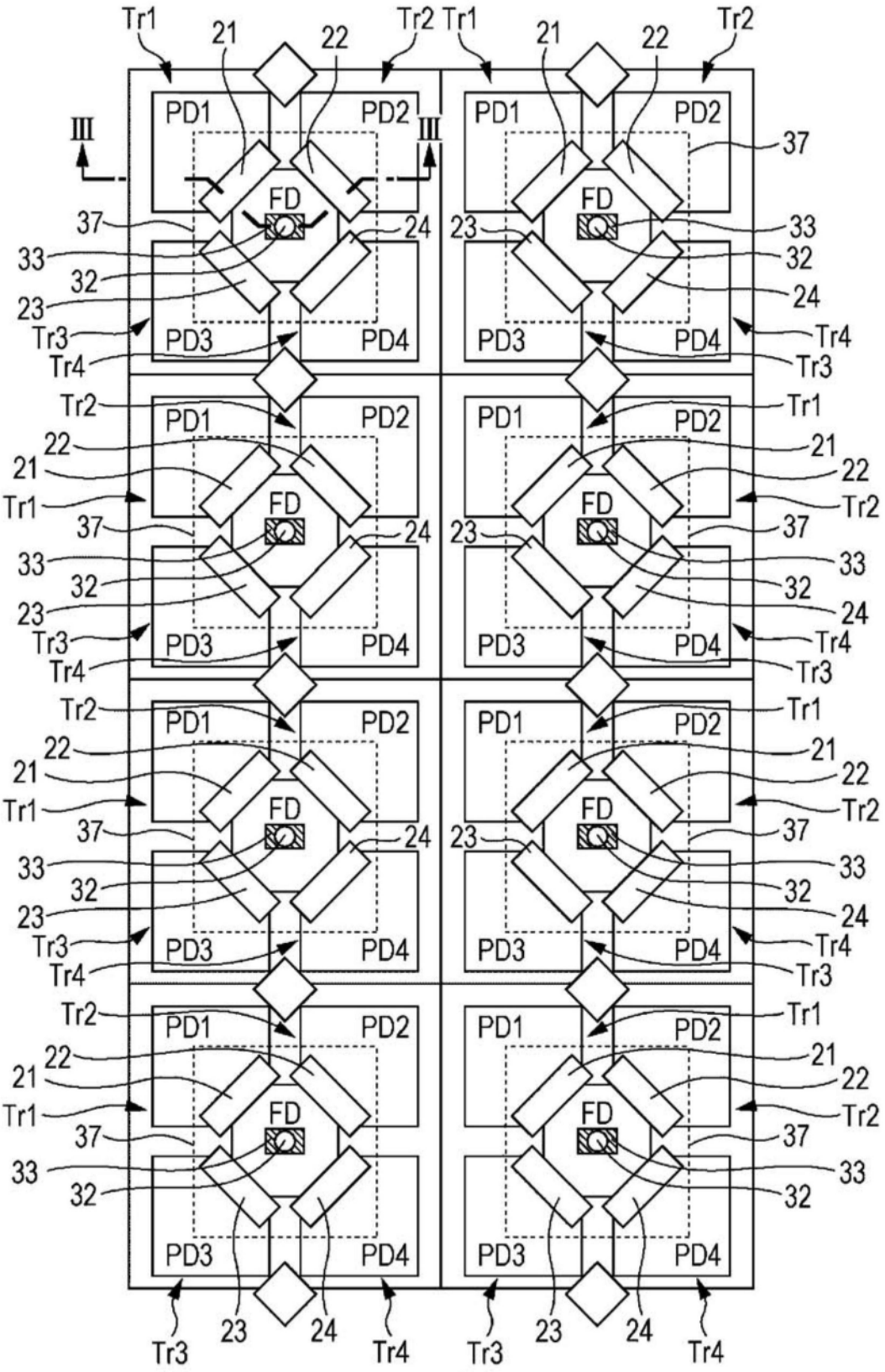


图2

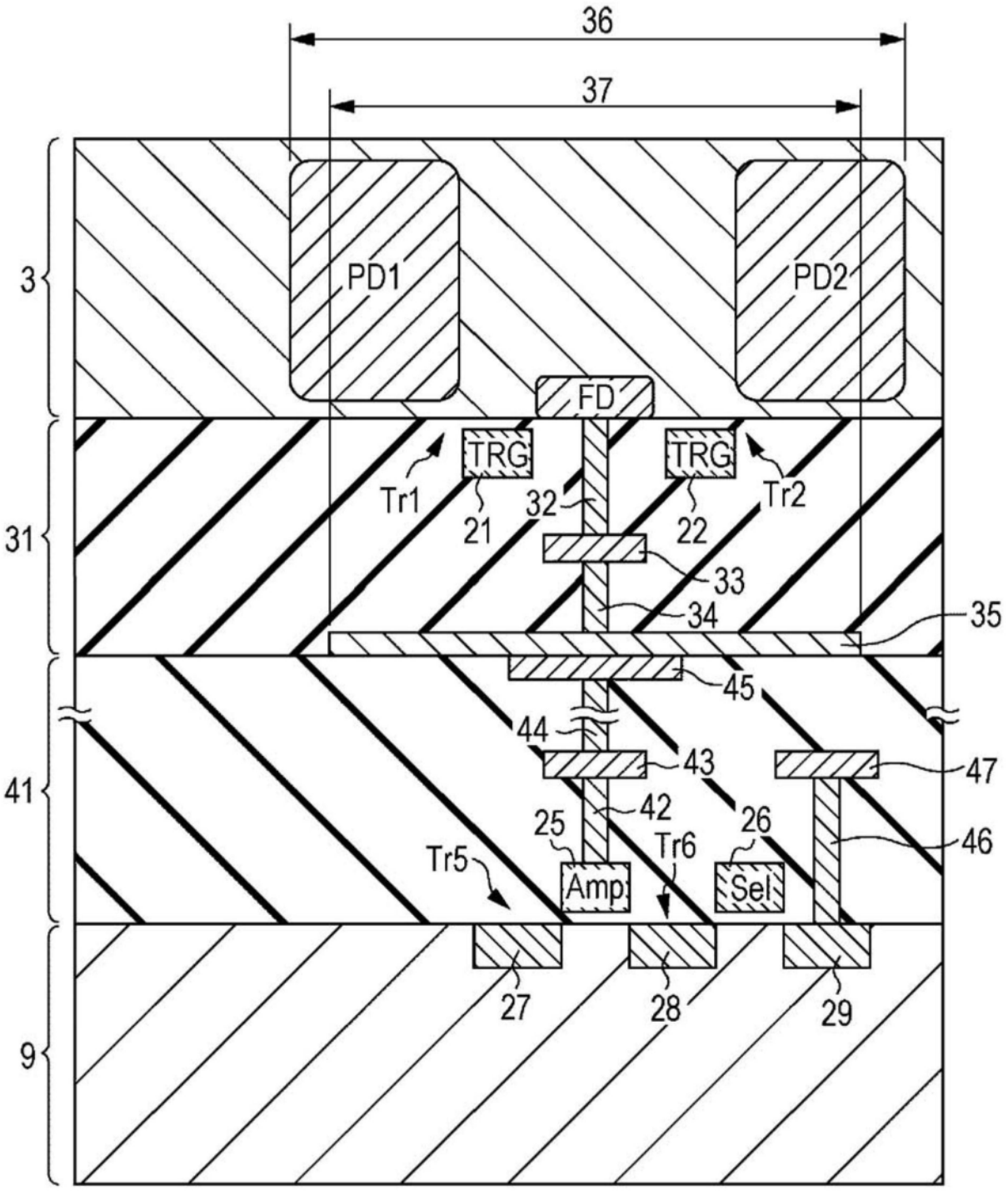

36
37
3
PD1
PD2
FD
TRG
TRG
Tr1
Tr2
21
22
32
33
34
35
31
45
44
43
47
41
42
25
26
46
Tr5
Tr6
Amp
Sel
27
28
29
9

图3

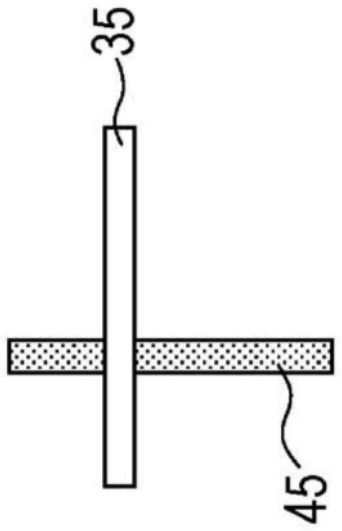


图4A

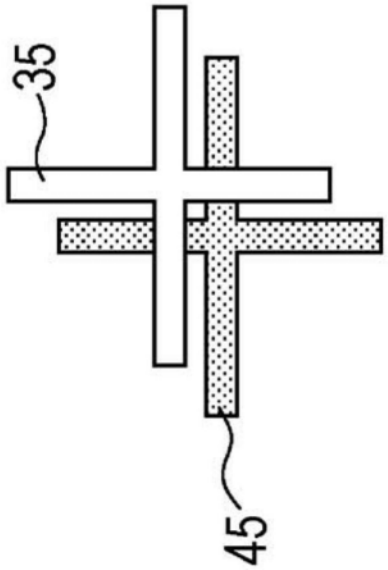


图4B

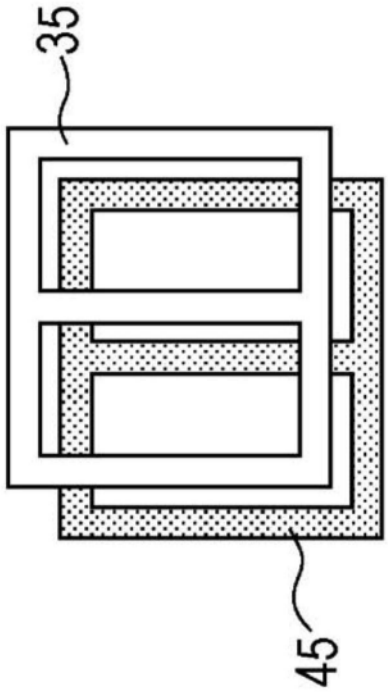


图4C

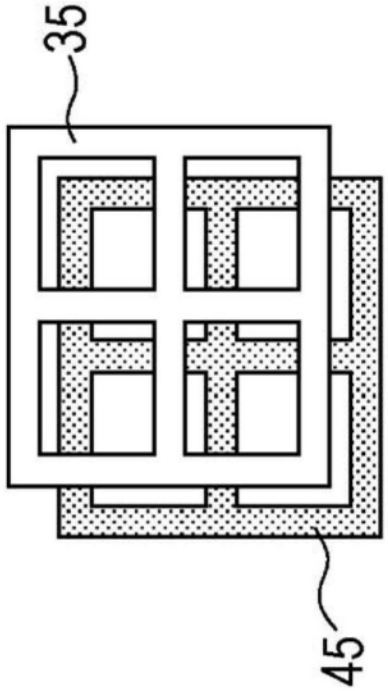


图4D

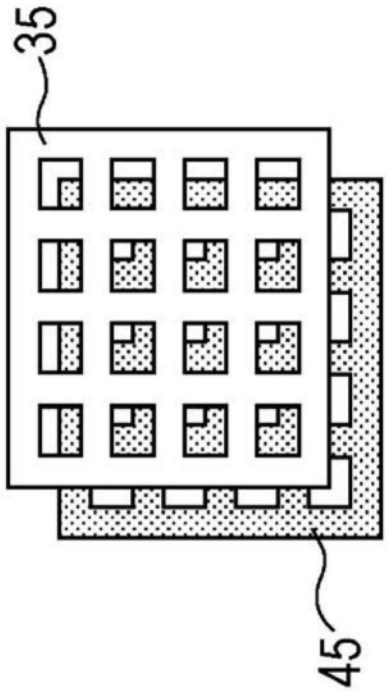


图4E

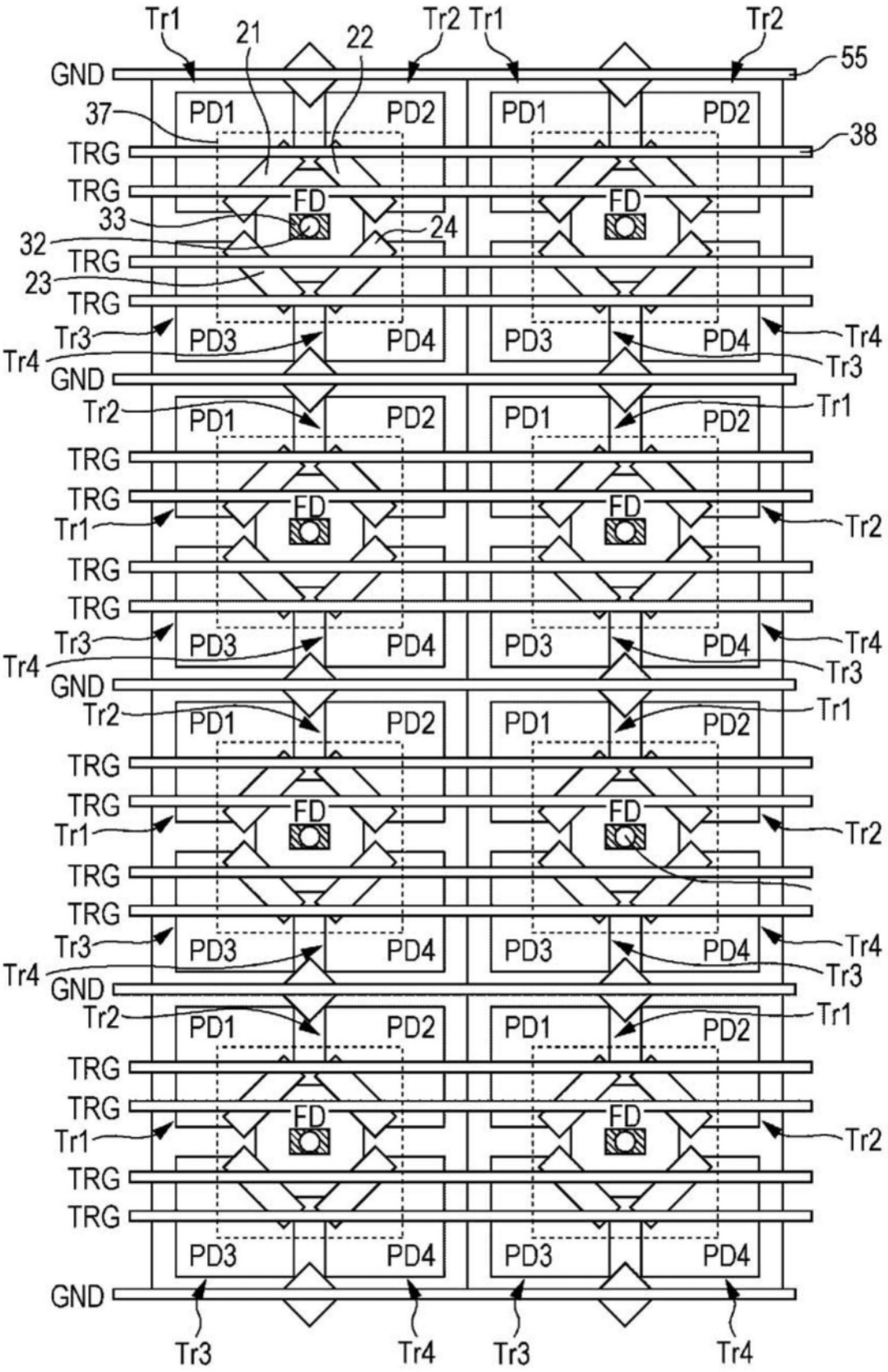

Tr1
21
22
Tr2
Tr1
Tr2
55
GND
37
PD1
PD2
PD1
PD2
38
TRG
TRG
FD
FD
33
24
32
TRG
23
TRG
Tr3
PD3
PD4
PD3
PD4
Tr4
Tr4
Tr3
GND
Tr2
PD1
PD2
PD1
PD2
Tr1
TRG
TRG
FD
FD
Tr1
Tr2
TRG
TRG
Tr3
PD3
PD4
PD3
PD4
Tr4
Tr4
Tr3
GND
Tr2
PD1
PD2
PD1
PD2
Tr1
TRG
TRG
FD
FD
Tr1
Tr2
TRG
TRG
Tr3
PD3
PD4
PD3
PD4
Tr4
Tr4
Tr3
GND
Tr2
PD1
PD2
PD1
PD2
Tr1
TRG
TRG
FD
FD
Tr1
Tr2
TRG
TRG
PD3
PD4
PD3
PD4
GND
Tr3
Tr4
Tr3
Tr4

图5

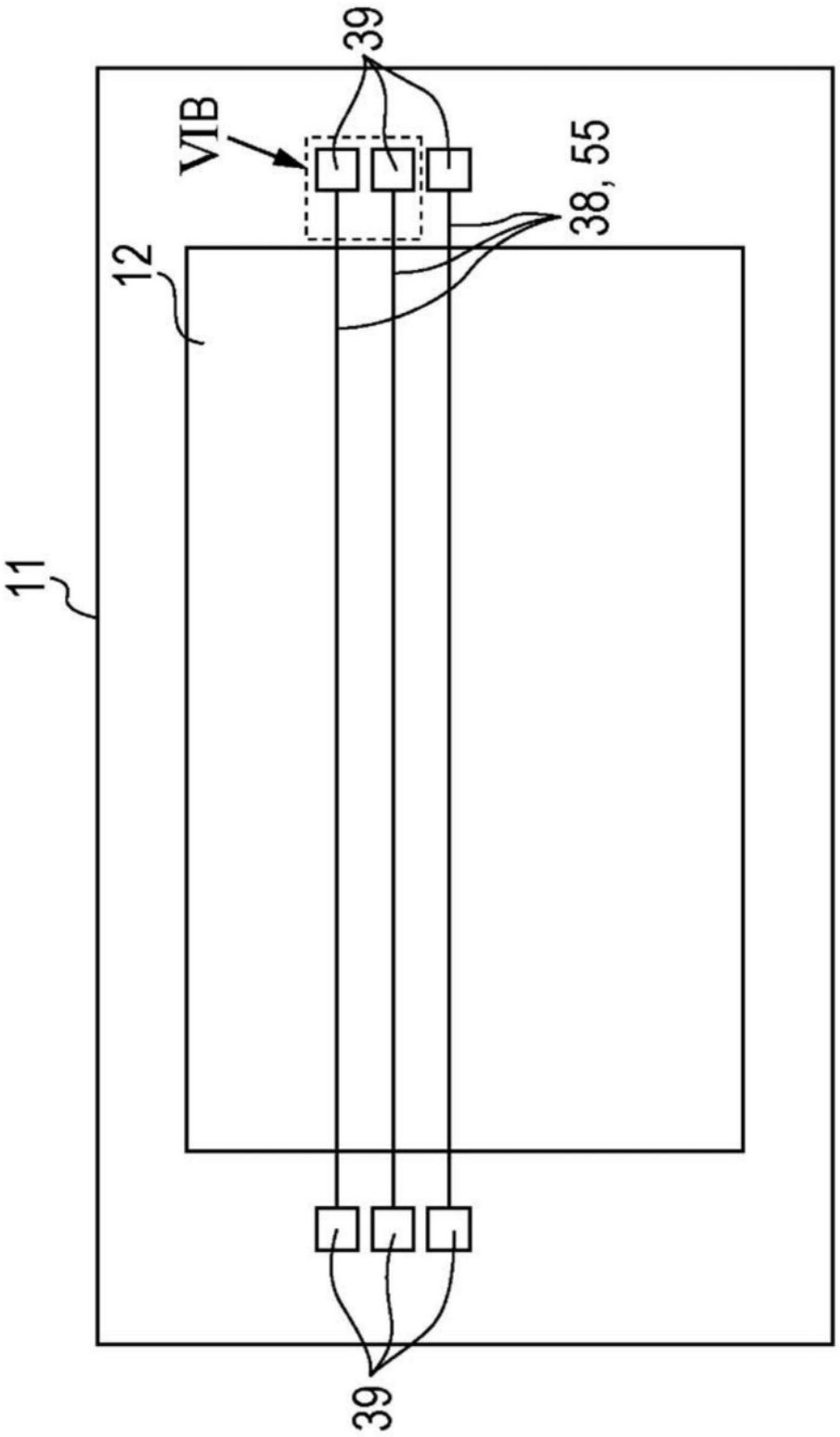


图6A

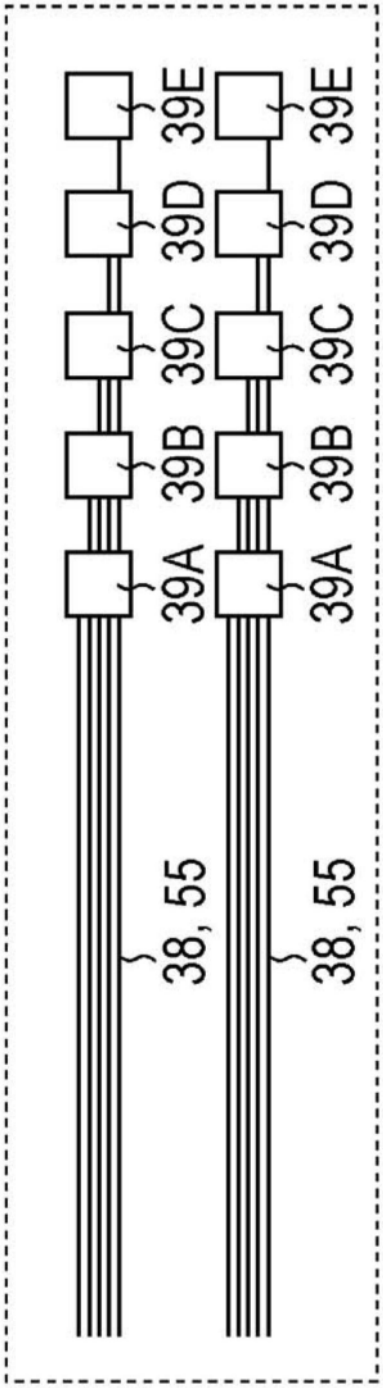


图6B

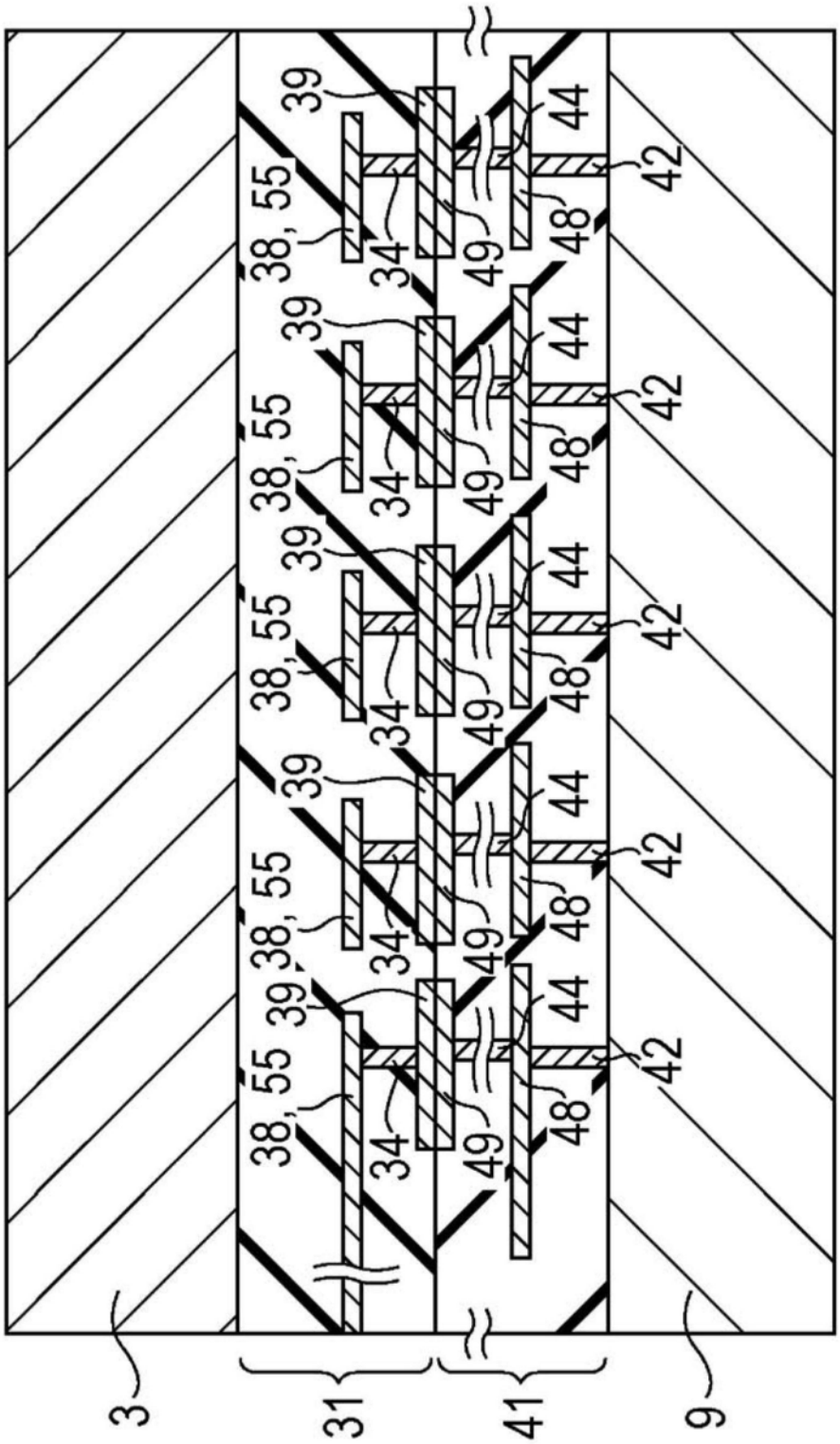


图6C

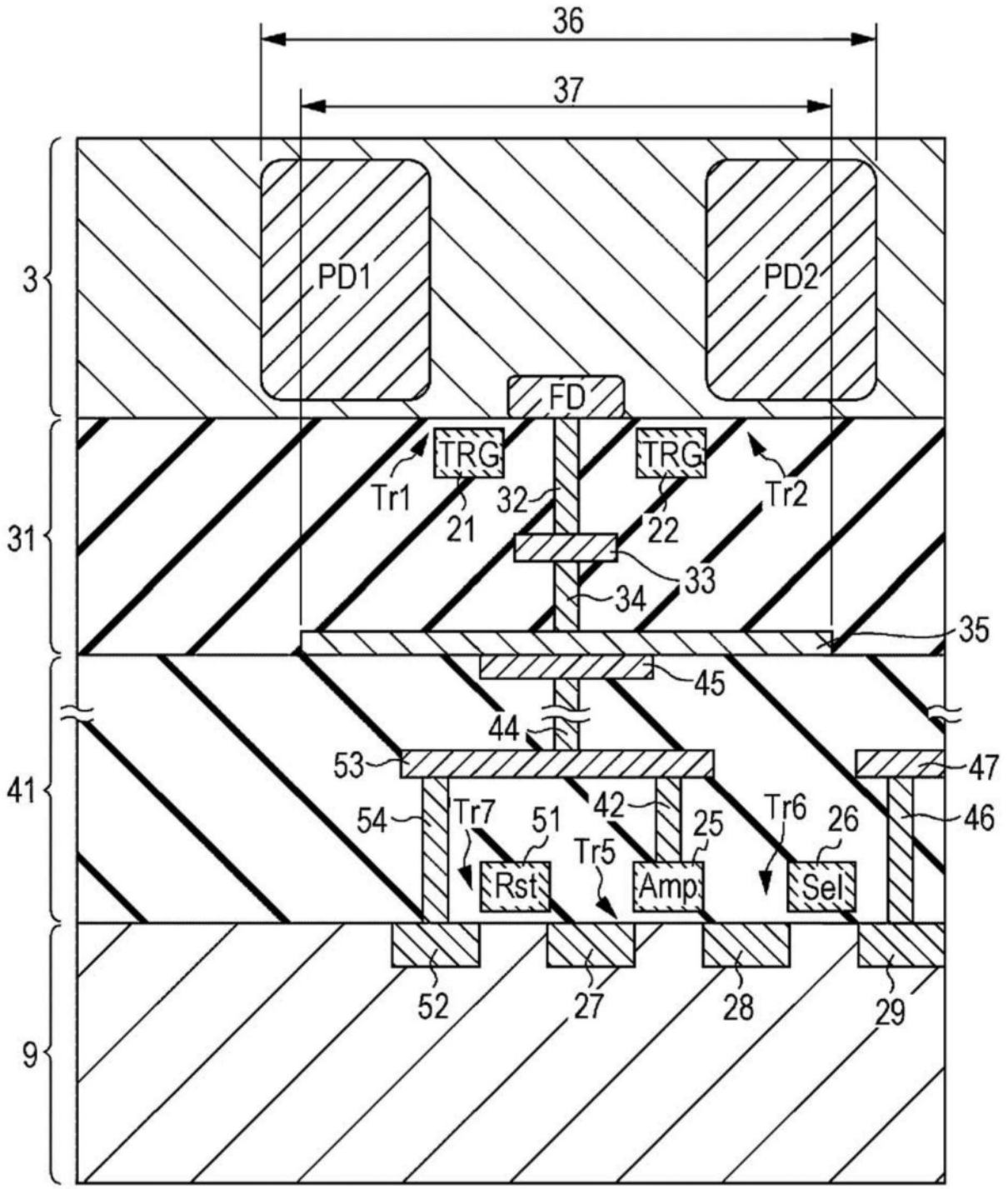

36
37
3
PD1
PD2
FD
31
TRG
TRG
Tr1
Tr2
21
32
22
33
34
35
45
44
41
53
47
54
Tr7
51
42
25
Tr6
26
46
Tr5
Rst
Amp
Sel
52
27
28
29
9

图7

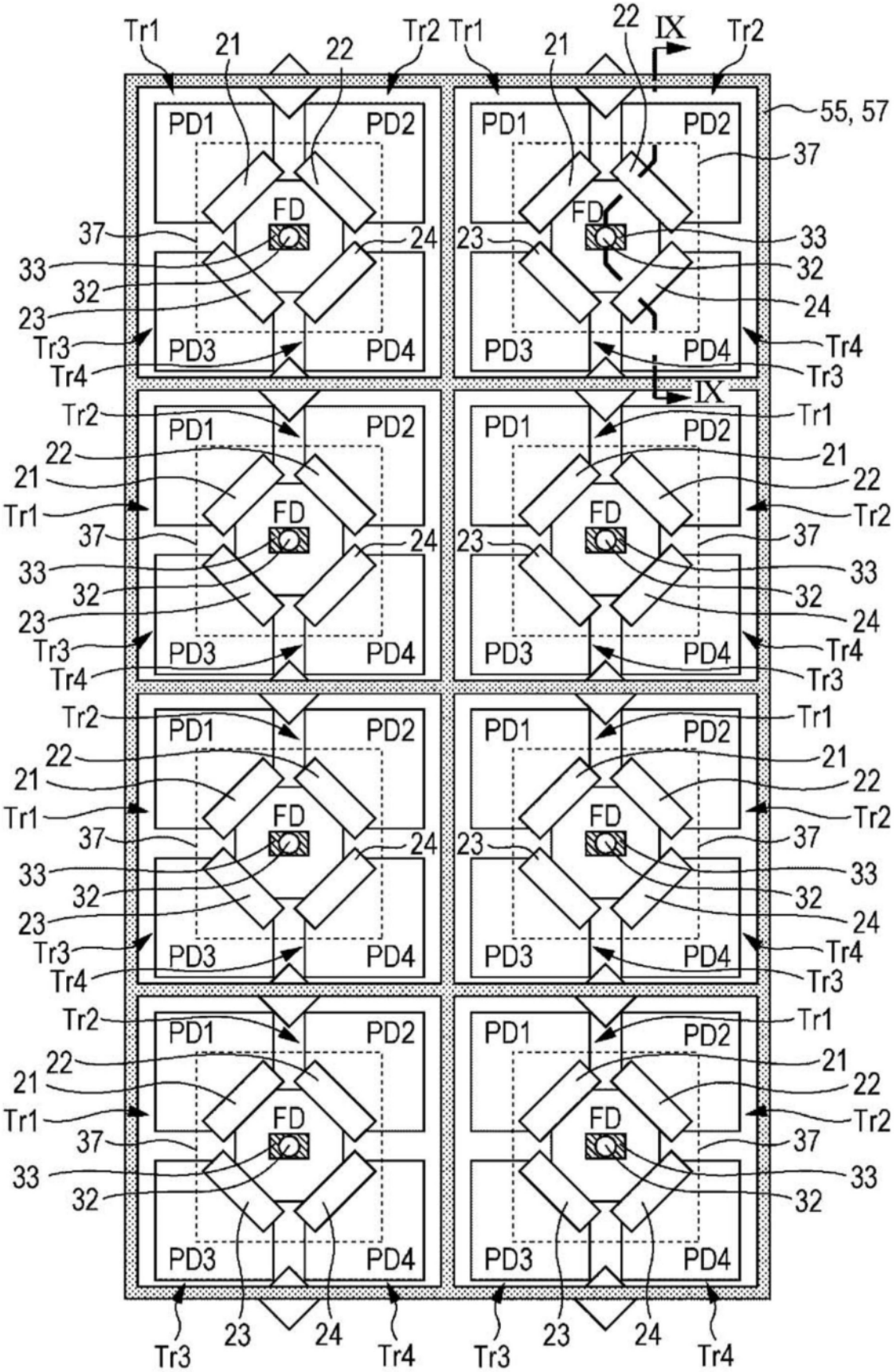

Tr1
21
22
Tr2
Tr1
21
22
IX
Tr2
55, 57
PD1
PD2
PD3
PD4
FD
37
33
32
23
24
Tr3
Tr4
IX

图8

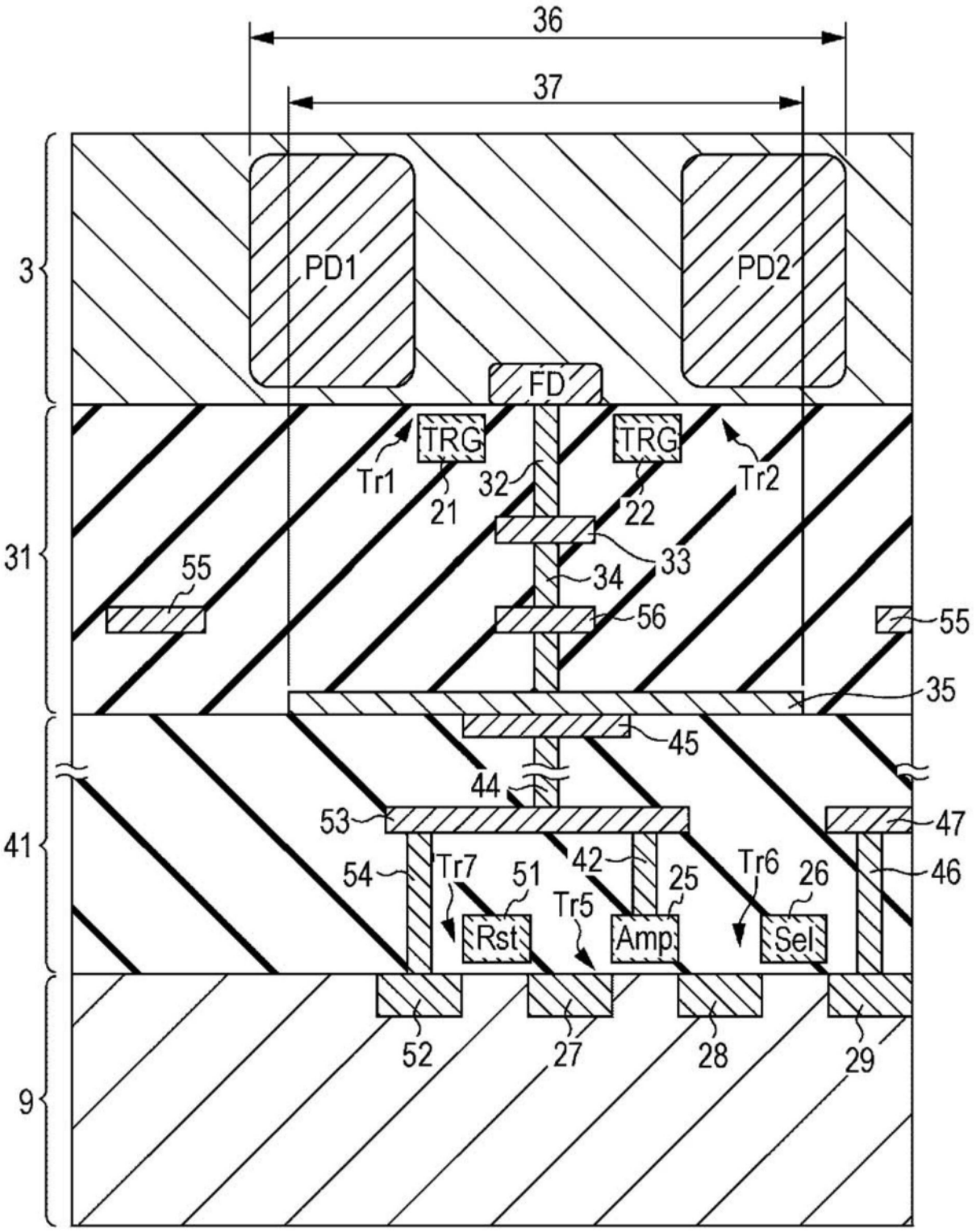

36
37
3
PD1
PD2
FD
TRG
TRG
Tr1
Tr2
32
21
22
33
31
55
34
56
55
35
45
44
41
53
47
54
Tr7
51
42
25
Tr6
26
46
Tr5
Rst
Amp
Sel
52
27
28
29
9

图9

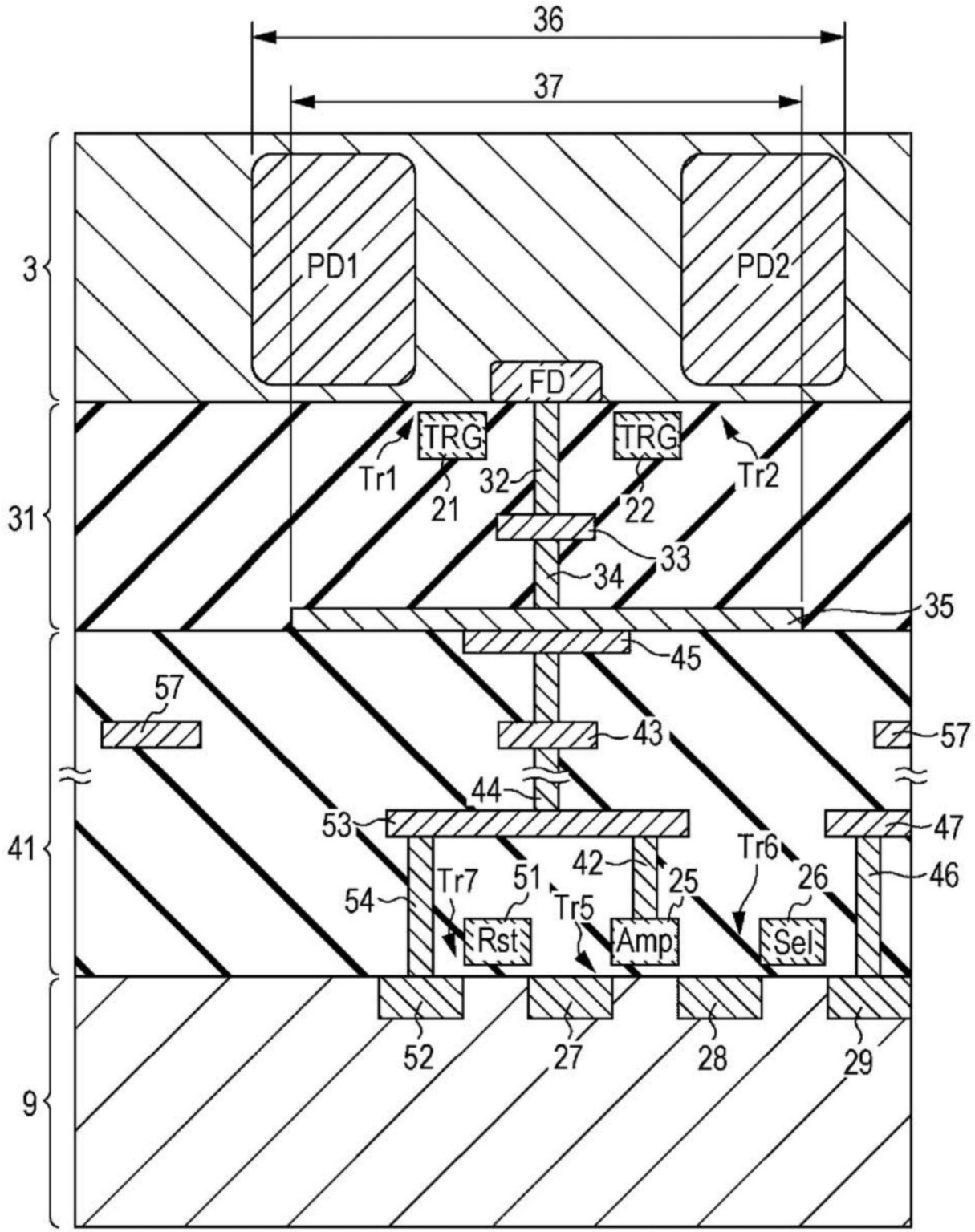

36
37
3
PD1
PD2
FD
31
TRG
TRG
Tr1
Tr2
21
22
32
33
34
35
45
57
43
57
44
41
53
47
Tr6
42
46
Tr7
51
25
26
54
Tr5
Rst
Amp
Sel
52
27
28
29
9

图10

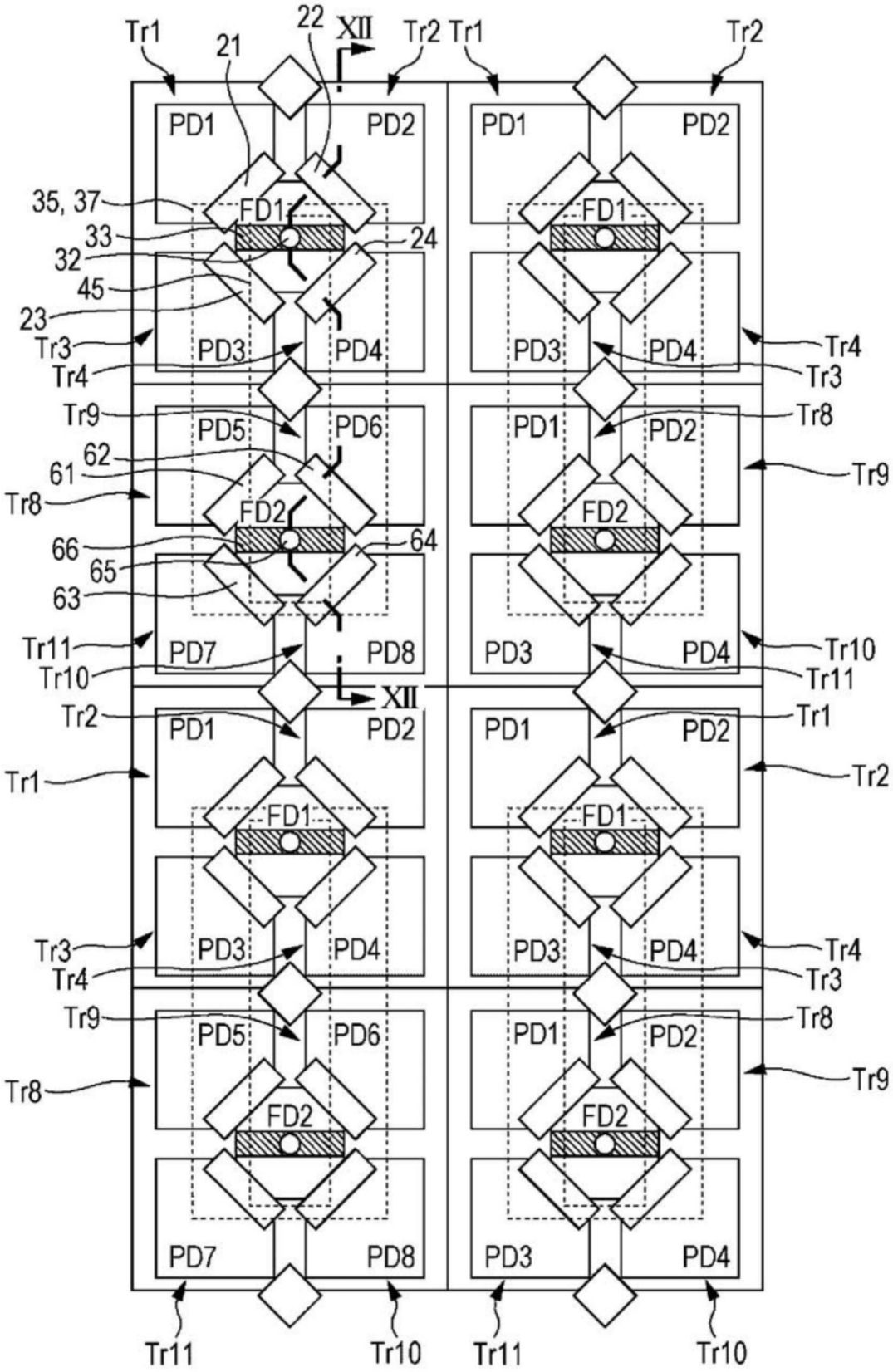

Tr1
21
22
XII
Tr2
Tr1
Tr2
PD1
PD2
PD1
PD2
35, 37
FD1
FD1
33
24
32
45
23
Tr3
PD3
PD4
PD3
PD4
Tr4
Tr4
Tr3
Tr9
PD5
PD6
PD1
PD2
Tr8
62
61
Tr8
FD2
FD2
Tr9
66
64
65
63
Tr11
PD7
PD8
PD3
PD4
Tr10
Tr10
Tr11
XII
Tr2
PD1
PD2
PD1
PD2
Tr1
Tr1
Tr2
FD1
FD1
Tr3
PD3
PD4
PD3
PD4
Tr4
Tr4
Tr3
Tr9
PD5
PD6
PD1
PD2
Tr8
Tr8
Tr9
FD2
FD2
PD7
PD8
PD3
PD4
Tr11
Tr10
Tr11
Tr10

图11

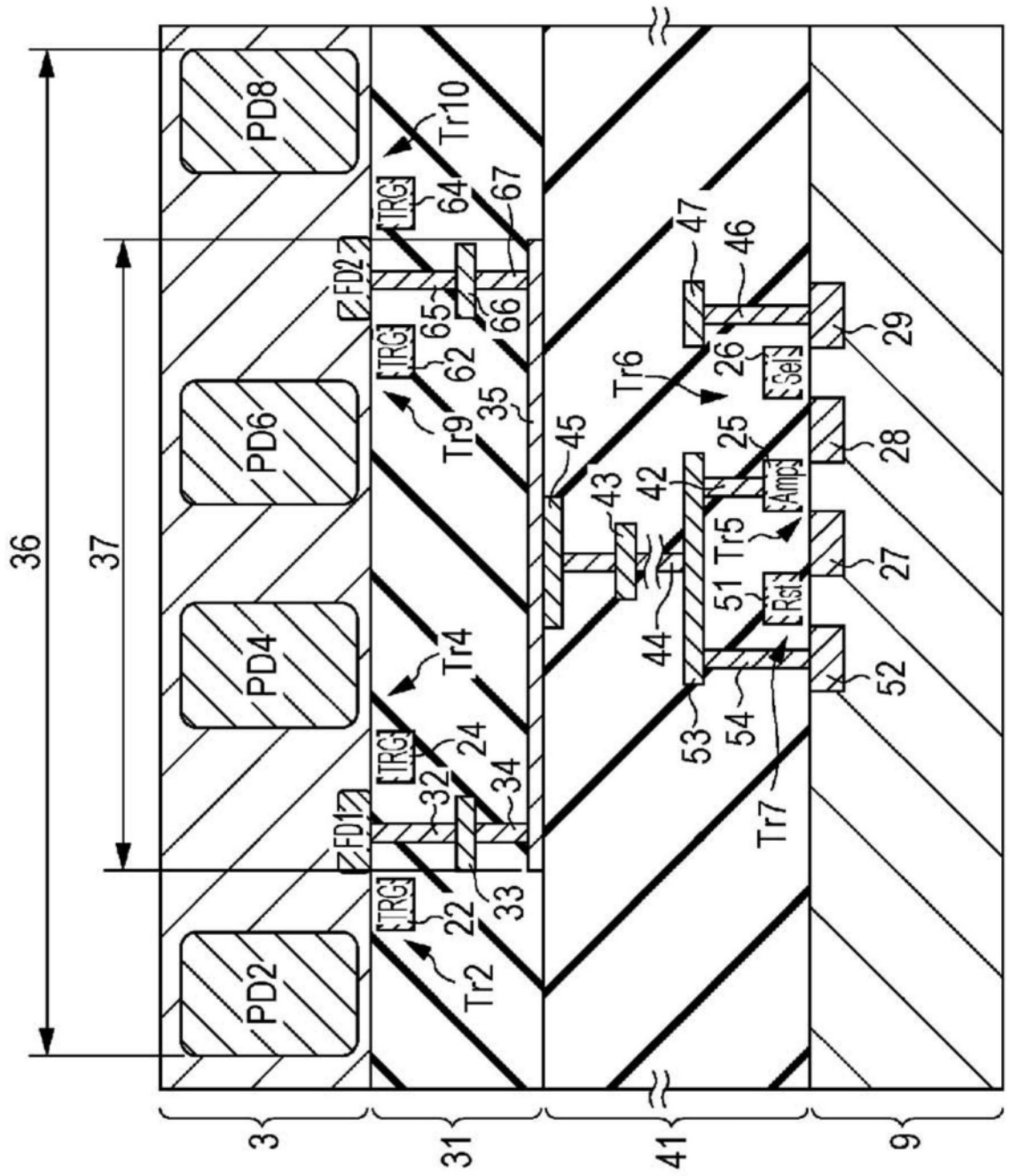

PD8
PD6
PD4
PD2
Tr10
Tr9
Tr4
Tr2
Tr6
Tr5
Tr7
TRG
FD2
FD1
Sel
Amp
Rst
36
37
3
31
41
9
22
24
32
33
34
35
42
43
44
45
46
47
51
52
53
54
25
26
27
28
29
62
64
65
66
67

图12

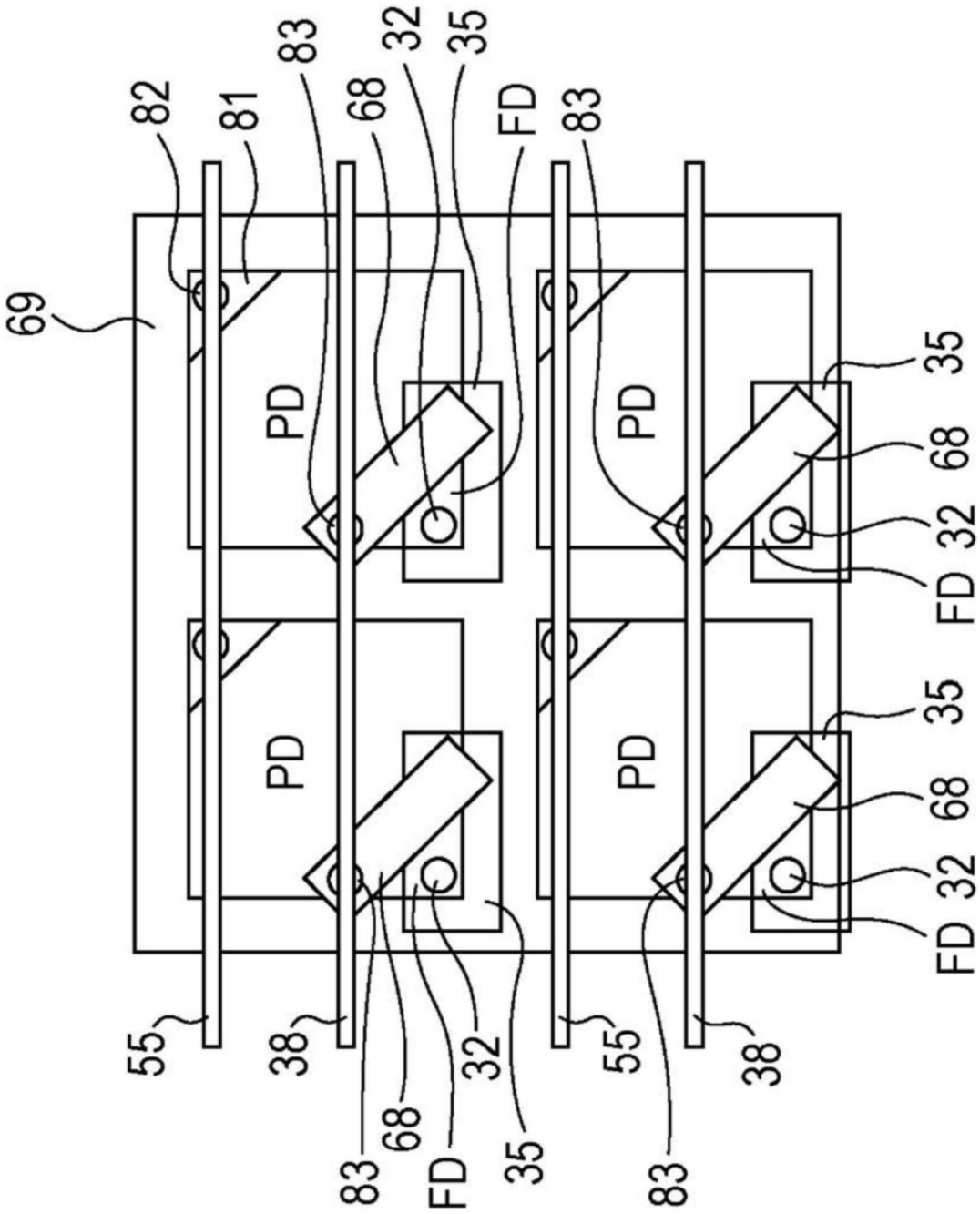

69
82
81
83
68
32
35
FD
83
PD
PD
PD
PD
35
68
32
FD
35
68
32
FD
55
38
83
68
FD
32
35
55
38
83

图13

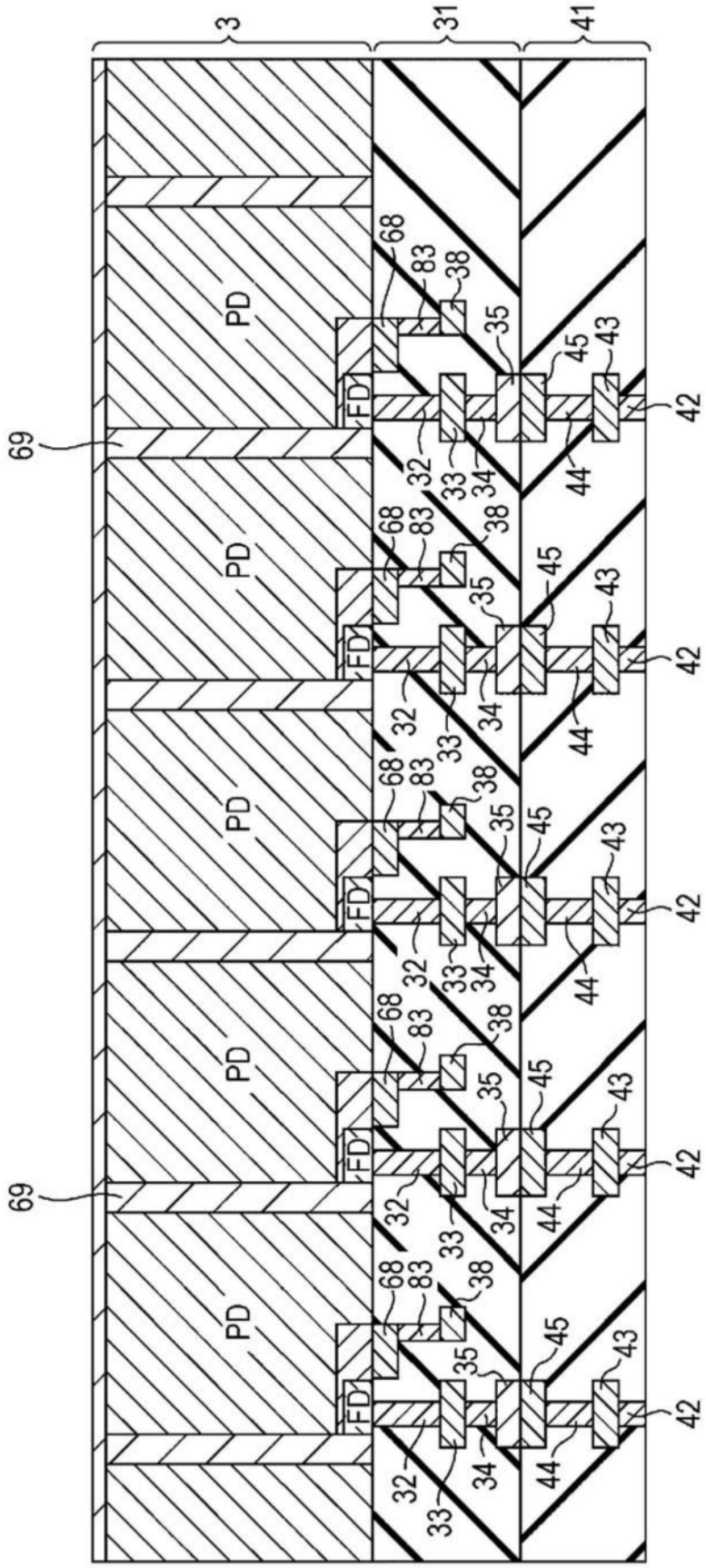


图14

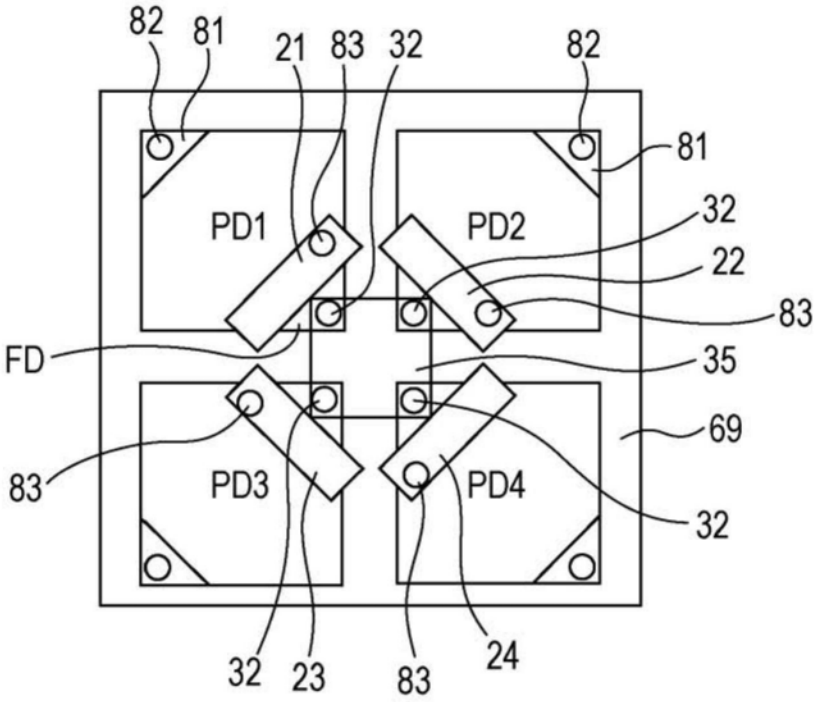

82
81
21
83
32
82
81
PD1
PD2
32
22
83
FD
35
69
83
PD3
PD4
32
32
23
83
24

图15

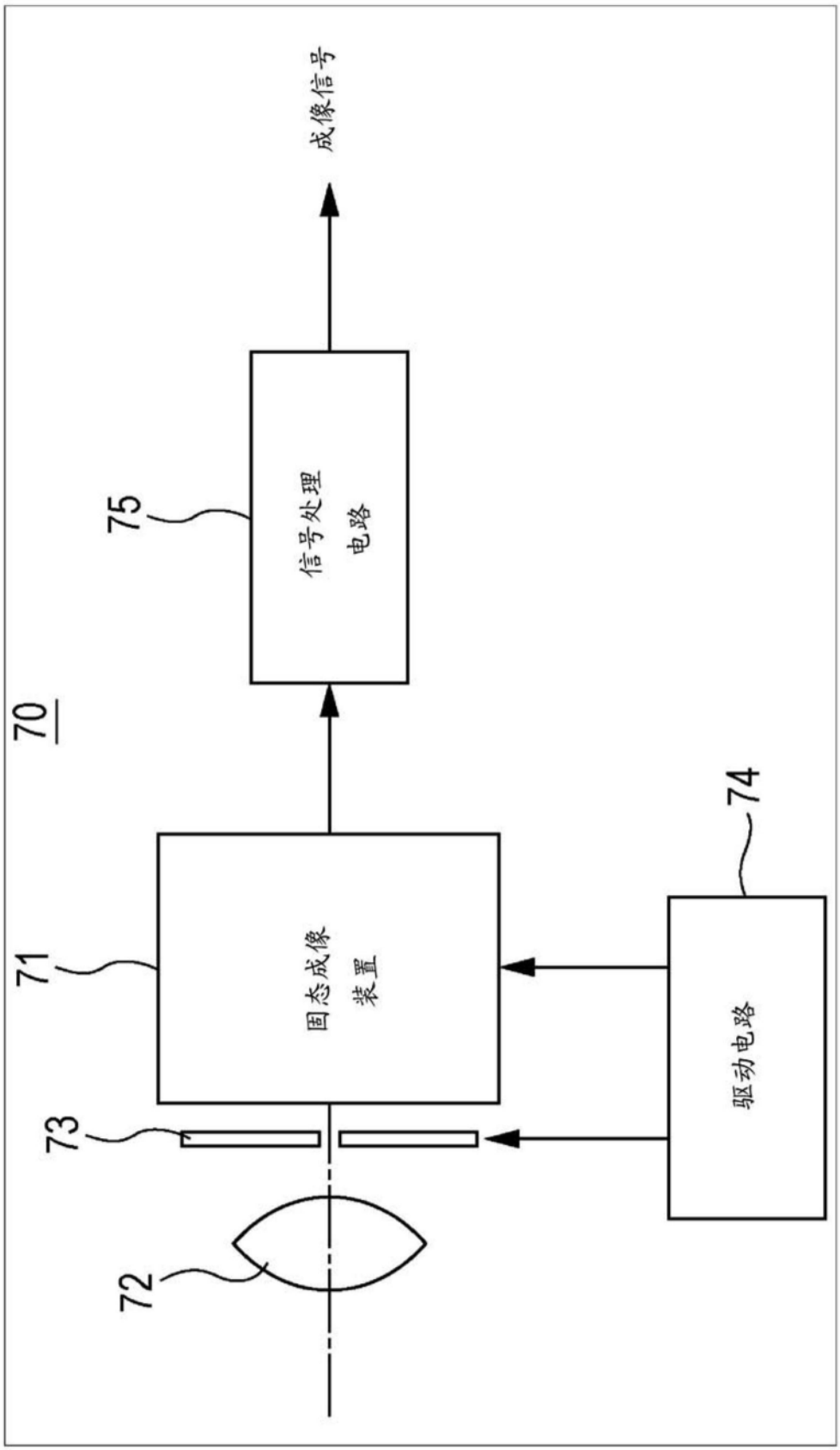


图16