



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월24일
(11) 등록번호 10-1410339
(24) 등록일자 2014년06월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) H01L 51/05 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7006487(분할)
(22) 출원일자(국제) 2008년11월25일
심사청구일자 2012년03월13일
(85) 번역문제출일자 2012년03월13일
(65) 공개번호 10-2012-0039759
(43) 공개일자 2012년04월25일
(62) 원출원 특허 10-2010-7014624
원출원일자(국제) 2008년11월25일
(86) 국제출원번호 PCT/JP2008/071757
(87) 국제공개번호 WO 2009/072452
국제공개일자 2009년06월11일
(30) 우선권주장
JP-P-2007-312546 2007년12월03일 일본(JP)
(56) 선행기술조사문헌
US20060120160 A1*
US20060164350 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
카사하라 타카히로
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오파이 에네루기 켄큐쇼 나이
(74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 6 항

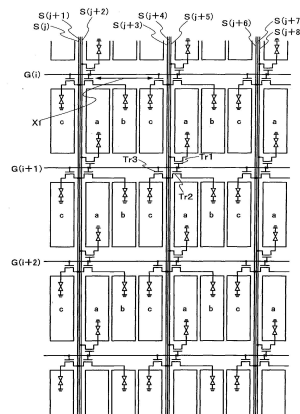
심사관 : 황철규

(54) 발명의 명칭 표시장치

(57) 요약

반도체 웨이퍼로부터 박막 단결정 반도체층의 박리를 포함하는 프로세서에 의해 제조된 인접하는 SOI층들 사이의 접합부 위에 TFT가 형성되는 것을 방지할 수 있는 새로운 TFT 배치가 제공된다. 이 TFT 배치는, 다른 화소에 각각 속하는 복수의 TFT가 주사선과 신호선의 교차부에 근접해서 모여 배치되는 것을 구조를 갖는 것을 특징으로 한다. 이와 같은 구조는, 모든 TFT가 일정한 간격으로 배치되는 종래의 TFT 배치에서의 인접하는 TFT들 사이의 간격에 비해, 복수의 TFT가 설치되는 영역들 사이의 간격을 매우 크게 할 수 있게 한다. 이와 같은 배치에 의해 접합부 위에 TFT를 형성하는 것을 회피할 수 있으므로, 무시해도 되는 양의 표시 불량을 갖는 표시장치를 제조할 수 있게 한다.

대표도 - 도1



특허청구의 범위

청구항 1

신호선을 끼운 제 1 부화소 및 제 2 부화소;

상기 신호선을 끼운 제 3 부화소 및 제 4 부화소;

상기 제 1 부화소와 상기 제 3 부화소 사이와, 상기 제 1 부화소와 상기 제 2 부화소 사이에 끼워진 제 1 주사선 및 제 2 주사선; 및

상기 제 2 부화소와 상기 제 4 부화소 사이와, 상기 제 3 부화소와 상기 제 4 부화소 사이에 끼워진 제 3 주사선 및 제 4 주사선을 포함하고,

상기 제 1 부화소와 상기 제 3 부화소는, 상기 신호선에 대해 동일한 측에 위치하고,

상기 제 2 부화소와 상기 제 3 부화소는, 동일한 열에 위치된 다른 화소에 위치하고,

상기 제 1 부화소는, 상기 제 1 주사선과 상기 신호선에 전기적으로 접속된 제 1 트랜지스터에 의해 구동되고,

상기 제 2 부화소는, 상기 제 2 주사선과 상기 신호선에 전기적으로 접속된 제 2 트랜지스터에 의해 구동되고,

상기 제 3 부화소는, 상기 제 3 주사선과 상기 신호선에 전기적으로 접속된 제 3 트랜지스터에 의해 구동되고,

상기 제 4 부화소는, 상기 제 4 주사선과 상기 신호선에 전기적으로 접속된 제 4 트랜지스터에 의해 구동되고,

상기 제 2 부화소 및 상기 제 3 부화소를 포함하는 복수의 부화소는 동일한 열에 위치하며, 지그재그 패턴으로 배치되고,

상기 동일한 열의 상기 지그재그 패턴의 상기 복수의 부화소 중 인접한 것은, 평면에서 적어도 부분적으로 서로 겹치고,

상기 열은 상기 제 1 주사선과 평행한, 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 내지 상기 제 4 부화소는, 각각 화소 전극을 포함하고,

상기 제 1 트랜지스터는, 상기 제 1 부화소의 상기 화소 전극과 상기 제 1 주사선 사이에 위치하고,

상기 제 2 트랜지스터는, 상기 제 2 부화소의 상기 화소 전극과 상기 제 2 주사선 사이에 위치하고,

상기 제 3 트랜지스터는, 상기 제 3 부화소의 상기 화소 전극과 상기 제 3 주사선 사이에 위치하고,

상기 제 4 트랜지스터는, 상기 제 4 부화소의 상기 화소 전극과 상기 제 4 주사선 사이에 위치하는, 표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제 1 항에 있어서,

상기 제 2 트랜지스터는, 상기 제 3 주사선보다 상기 제 2 주사선에 가깝게 위치하는, 표시장치.

청구항 16

제 1 항에 있어서,

상기 제 3 트랜지스터는, 상기 제 4 주사선보다 상기 제 3 주사선에 가깝게 위치하는, 표시장치.

청구항 17

제 1 항에 따른 상기 표시장치를 포함하는, 휴대전화.

청구항 18

제 1 항에 따른 상기 표시장치를 포함하는, 스마트 폰.

명세서

기술 분야

[0001] 본 발명은, 절연 표면 위에 반도체층이 설치된 소위 SOI(Silicon on Insulator) 구조를 갖는 표시장치에 관한 것이다.

배경 기술

[0002] 단결정 반도체의 잉곳을 얇게 슬라이스해서 제조되는 실리콘 웨이퍼 대신에, 절연 표면 위에 얇은 단결정 반도체층을 갖는 소위 실리콘·온·인슐레이터(이하, SOI라고도 한다)로 불리는 반도체 기판을 사용하는 집적회로가 개발되어 왔다. SOI 기판의 사용은 트랜지스터의 드레인과 기판 사이에 있어서의 기생 용량을 저감할 수 있어, 반도체 집적회로의 성능 향상에 기여하기 때문에, SOI 기판을 사용한 집적회로는 많은 주목을 모으고 있다.

[0003] SOI 기판의 제조방법은 다양한 것이 있지만, 높은 품질과 SOI 층을 갖는 SOI 기판의 생산하기 쉬움(높은 스루풋)을 양립시킨 방법으로서 스마트컷트(Smart Cut)(등록상표)가 알려져 있다. 이 SOI 기판은 다음과 같은 방법으로 형성된다. 실리콘층의 베이스가 되는 베이스 웨이퍼에 수소 이온을 주입하고, 이 결과 얻어지는 웨이퍼를 다른 웨이퍼(본드 웨이퍼)에 실온에서 붙인다. 베이스 웨이퍼와 본드 웨이퍼 사이에는 반 데르 발스력으로 인해 실온에서도 강고한 접합을 형성할 수 있다. 본드 웨이퍼와 접합된 베이스 웨이퍼를 500℃ 정도의 온도에서 열처리하여, 수소 이온이 주입된 층을 경계로 사용하여 실리콘층을 베이스 웨이퍼로부터 박리한다.

[0004] 고내열성 글래스인 결정화 글래스 위에 스마트컷트(등록상표)를 이용해서 얻어진 단결정 실리콘 박막을 형성하는 방법으로서, 본 출원인에 의해 발명된 방법이 알려져 있다(특허문헌 1: 일본국 특허공개 H11-163363호 공보).

[0005] 또한, 액정 디스플레이 및 유기 EL 디스플레이 등의 디스플레이의 구동회로 및 제어회로에 포함된 박막 트랜지스터는, 글래스 기판 위에 성막된 아모퍼스 실리콘 막, 다결정 실리콘 막 등에 의해 형성되어 있다. 최근에, 상기 디스플레이의 더 높은 선명화 또는 더 고속 구동의 요망이 높아지고 있다. 따라서, 글래스 기판 위에 캐리어의 이동도가 보다 높은 단결정 실리콘 막을 형성하는 시도가 활발히 행해지고 있다.

[0006] 요즈음의 화면 사이즈의 대형화와, 1기판으로부터 얻어지는 패널 수 증가에 의한 생산성의 효율화에 따라, 마더 글래스의 사이즈가 증가되어 왔다. 예를 들면, 현시점에서, 실용화에는 이르지 않고 있지만, 가장 큰 마더 글래스로서 기판 사이즈가 2850mm×3050mm(소위 제10세대)인 마더 글래스가 알려져 있다.

[0007] 한편, 가장 큰 사이즈의 실리콘 웨이퍼는 직경 300mm이다. 따라서, 대형의 글래스 기판 일면 전체에 걸쳐 SOI층을 형성하기 위해서는, 복수매의 실리콘 웨이퍼를 부착할 필요가 있다. 이와 같은 경우에, 대형 글래스 기판 위에 있어서, 인접하는 SOI층 사이에 이음매(틈)를 만들지 않고 대형의 SOI 기판을 제조하는 것은 곤란하다.

발명의 내용

[0008] 이하, 발광하거나 또는 빛을 투과하는 1개의 점을 부화소로 정의하고, 서로 다른 발색을 나타내는 복수의 부화소에 의해 구성되는 부화소군을 화소로 정의한다. 예를 들면, R(적색), G(녹색) 및 B(청색)의 각각을 부화소로 하고, 이들 부화소군을 화소로 정의할 수 있다.

[0009] 종래예로서, 1개의 화소가 3개의 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다) 및 "c"(제3 부화소라고도 한다)로 구성되고, 각 부화소에 스위칭 소자로서 박막 트랜지스터(이하, TFT라고 한다)가 설치되어 있는 액티브 매트릭스형 표시장치의 화소 구성의 예를 도 2에 나타낸다. 도 2에 나타낸 것과 같이, 가장 간단한 표시부의 화소 배치는, 3개의 부화소가 스트라이프 패턴으로 배열된 화소 배치이다. 각 부화소는 주사선과 신호선으로 이루어진 배선으로 둘러싸여 있고, TFT 및 화소 전극의 배치는 모든 부화소에서 동일하다(유지용량은 도면의 간략화를 위해 도시하지 않는다). 따라서, 인접하는 TFT 사이의 간격은 부화소의 피치와 동등하다.

[0010] 대부분의 액티브 매트릭스형 표시장치에서는, 인접하는 TFT 사이의 간격이 좁다. 이 때문에, 복수의 단결정 반도체 기판을 대형의 글래스 기판에 부착하는 것에 의해 형성된 대형의 SOI 기판을 사용해서 표시장치를 제조하는 경우, TFT 전체를 이음매를 피해 배치하는 것은 곤란하다. 이 때문에, TFT를 형성할 수 없는 부화소, 또는 TFT가 동작하지 않는 부화소가 빈번하게 형성되어, 점결함 및 선결함 등의 표시 불량을 일으키기 쉽다. 따라서,

SOI층 형성시에 있어서의 위치맞춤의 마진이 적어, SOI층의 위치맞춤에 대해 높은 정밀도가 요구된다.

- [0011] 콘트라스트의 향상과, 광조사에 의한 리크 전류의 발생 방지를 목적으로 하여, TFT가 설치된 기판(이하, TFT 기판이라고 한다)에 대향하는 기판(이하, 대향 기판이라고 한다) 위에 블랙 매트릭스(이하, BM이라고 한다)가 설치되어 있다. 통상, BM은, TFT 기판과 대향 기판의 부착시의 위치맞춤에 대한 마진을 갖게 하기 위해, 폭넓게 형성되어 있다. 그 때문에, BM의 위치 어긋남이 커지면, BM에 의해 차폐되는 화소 영역이 커져, 개구율이 저하한다.
- [0012] 본 발명은, 이러한 과제를 감안하여 이루어진 것으로, SOI층 형성시에 있어서의 위치맞춤의 마진이 넓고, 또는 TFT 기판과 대향 기판의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하가 억제되는 TFT 배치를 제안하는 것이다. 또한, 상기 TFT 배치를 적용한 표시장치를 제공한다.
- [0013] 본 발명은 표시장치에 관한 것이다. 본 발명의 한가지 특징은, 표시장치가, 매트릭스 형상으로 배열된 화소를 복수개 포함하는 표시부를 갖는다. 각각의 화소는 복수의 부화소를 갖는다. 복수의 주사선 또는 복수의 신호선이 인접하는 화소의 사이에 설치된다. 또는, 복수의 주사선 및 복수의 신호선이 인접하는 화소 사이에 설치된다. 또한, 복수의 부화소 각각에는 TFT가 설치되고, 각각의 TFT는, 주사선과 신호선의 교차부에 근접해서 배치되어 있다.
- [0014] 또한, 복수의 TFT의 배치로서는, 각각의 TFT가 주사선 또는 신호선을 사이에 끼워 인접하는 TFT와 대향하도록 배치된다.
- [0015] 즉, 본 발명에서는, 부화소를 제어하는 복수의 TFT가 주사선과 신호선의 교차부를 둘러싸도록 함쳐서 배치되어, 복수의 TFT가 각각 설치된 영역들 사이의 간격을 확장하여, 본 발명이 상기 과제를 해결한다. 복수의 TFT가 표시부 내에 일정한 간격으로 배치되는 경우에 비해, 복수의 TFT가 각각 설치되는 하는 영역들 사이의 간격이 크기 때문에, TFT가 인접하는 SOI층들 사이의 이음매와 겹치는 것을 회피할 수 있다. 또한, 주사선 및 신호선과 겹치도록 설치되는 BM의 마진의 면적을 감소시킬 수 있어, TFT 기판과 대향 기판의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0016] 본 발명에 따르면, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대, 또는 TFT 기판과 대향 기판의 부착의 위치 어긋남으로 인한 개구율의 저하의 억제를 실현할 수 있으므로, 생산성의 향상 및 표시 불량률의 저감을 도모할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 2는 표시부에 있어서의 종래의 화소 배치의 일례를 나타낸 모식도.
 도 3은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 4는 표시부에 있어서의 종래의 화소 배치의 일례를 나타낸 모식도.
 도 5는 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 6은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 7은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 8은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 9는 표시부에 있어서의 종래의 화소 배치의 일례를 나타낸 모식도.
 도 10은 본 발명에 따른 표시부의 화소 배치의 일례를 나타낸 모식도.
 도 11은 표시부에 있어서의 종래의 화소 배치의 일례를 나타낸 모식도.
 도 12는 표시부에 있어서의 종래의 화소와 BM의 배치 관계의 일례를 나타낸 모식도.
 도 13은 본 발명에 따른 화소와 BM의 배치 관계의 일례를 나타낸 모식도.
 도 14a 내지 도 14e는 본 발명에 따른 표시장치의 제조공정의 일례를 나타낸 단면도.

도 15는 본 발명에 따른 표시장치의 단면 구조의 일례를 도시한 도면.

도 16a 내지 도 16c는 본 발명에 따른 표시장치의 일례의 구성을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시예를 도면을 참조하여 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타낸 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에서 설명하는 본 발명의 구성에 있어서, 동일하거나 또는 대응하는 요소를 가리키는 부호는 다른 도면 사이에서 공통으로 사용하는 것으로 한다.
- [0019] (실시예 1)
- [0020] 도 1은, 본 발명의 일 실시예에 따른 액티브 매트릭스형 표시장치의 구성예를 나타낸 모식도다. 본 실시예에 있어서의 화소는, 3개의 장방형 또는 장방형에 유사한 형상의 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다) 및 "c"(제3 부화소라고도 한다)가, 부화소의 긴 변이 신호선과 평행하게 되도록 스트라이프 패턴으로 배열되고, 또한 3개의 신호선이 서로 근접하고 인접하는 화소들 사이에 놓이는 구성을 갖는다.
- [0021] 이때, 구체적인 부화소 "a", "b" 및 "c"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색) 및 B(청색)를 3개의 부화소에 적용할 수 있다.
- [0022] 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j+3) \sim S(j+5)$ 및 신호선 $S(j+6) \sim S(j+8)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT가 Tr1(제1 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j+3) \sim S(j+5)$ 및 신호선 $S(j+6) \sim S(j+8)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT가 Tr2(제2 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j) \sim S(j+2)$ 및 신호선 $S(j+3) \sim S(j+5)$ 로 둘러싸인 영역에 설치된 제3 화소의 제3 부화소에 설치된 TFT가 Tr3(제3 박막 트랜지스터라고도 한다)이다. Tr1은 주사선 $G(i+1)$ 및 신호선 $S(j+5)$ 에 접속되고, Tr2는 주사선 $G(i+1)$ 및 신호선 $S(j+4)$ 에 접속되고, Tr3은 주사선 $G(i+1)$ 및 신호선 $S(j+3)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 주사선과 3개의 신호선의 교차부에 근접하도록 3개의 TFT를 배치한다.
- [0023] 이하에 나타낸 것과 같이, 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 본 실시예에서 나타낸 화소는, 서로 평행하게 배치된 제1 내지 제3 부화소와, 서로 평행한 제1 내지 제3 신호선(예를 들면, 신호선 $S(j+1)$ 내지 $S(j+3)$)과, 서로 평행한 제1과 제2 주사선(예를 들면, $G(i)$ 과 $G(i+1)$)을 갖고 있다. 제2 부화소는 제1과 제3 부화소 사이에 설치된다. 제1 내지 제3 신호선은 제1 및 제2 주사선과 직교하고 있고, 제2 신호선은 제1과 제3 신호선 사이에 설치되고, 제1 내지 제3 부화소는, 제2 신호선, 제3 신호선, 제1 주사선 및 제2 주사선으로 둘러싸인 영역에 설치되어 있다. 제 1 내지 제 3 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제2 주사선과 제2 신호선에 의해 구동되고, 제2 부화소의 TFT는 제1 주사선과 제1 신호선에 의해 구동되고, 제3 부화소의 TFT는 제1 주사선과 제3 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 또한, 제2 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 본 실시예에 따르면, 모든 TFT가 균등한 간격으로 배치되는 종래의 배치와 달리, 다른 화소에 포함되는 3개의 TFT가 3개의 신호선과 1개의 주사선의 교차부 근방에 설치되어 1개의 TFT군을 형성한다. 이 TFT군에 있어서, 도 1에 나타낸 것과 같이, 각각의 TFT는 주사선 또는 신호선을 사이에 끼워 다른 TFT와 대향하도록 배치함으로써, 도 2에 나타낸 종래의 TFT 배치와 비교하여, TFT가 각각 설치된 영역들의 간격을 약 2 배로 확장 할 수 있다. 즉, 도 1과 2에 나타낸 것과 같이, 다른 화소에 각각 속하는 3개의 TFT를 포함하는 TFT 군 사이의 거리 X_1 은, 종래의 TFT 배치에 있어서의 인접한 2개의 TFT간 거리 X_2 보다도 크다. 따라서, SOI층 형성 시에 있어서의 위치맞춤의 마진이 증대한다.
- [0024] 다음에, 화소와 BM의 배치에 관해 도 12 및 도 13을 참조하여 설명한다. 도 12는 종래의 표시장치의 BM과 화소의 배치 관계를 나타낸 것이다. 도 13은 본 실시예를 사용해서 형성되는 표시장치의 BM과 화소의 배치 관계를 나타낸 것이다. 즉, 도 12는 도 2의 일부에 대응하고, 도 13은 도 1의 일부에 대응한다.

- [0025] 도 12에서는, 각 신호선 위에 BM(10)이 설치되기 때문에, 비교적 폭이 좁은 BM(10)이 다수 설치된다. 이에 대해, 도 13에서는, 모아진 3개의 신호선 위에 BM(11)이 설치되기 때문에, 비교적 폭이 넓은 BM(11)이 소수 설치되게 된다. 도 12 및 도 13에서와 같이 기판 위에 동일 개수의 신호선이 설치되어 있는 경우, 도 13에서는 각 신호선에 설치되는 마진을 공유할 수 있으므로, BM이 형성되는 면적을 도 12보다도 작게 할 수 있다.
- [0026] 즉, 본 실시예에서와 같이 복수의 신호선이 모아진 화소에 있어서, 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기판과의 위치 어긋남을 고려해서 설치하는 마진의 합계 면적이 작아진다. 그 때문에, 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0027] 전술한 TFT 배치를 적용함으로써, 부화소에 각각 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가시킬 있거나, 또는 TFT 기판과 대향 기판의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0028] (실시예 2)
- [0029] 도 3은, 본 발명의 일 실시예에 따른 액티브 매트릭스형 표시장치의 구성예를 나타낸 모식도다. 본 실시예에 있어서의 화소는, 3개의 장방형 또는 장방형에 유사한 형상의 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다) 및 "c"(제3 부화소라고도 한다)가, 부화소의 긴 변이 주사선과 평행하게 되도록 스트라이프 패턴으로 배열되고, 또한 3개의 주사선이 서로 근접하고 인접하는 화소들의 사이에 놓이는 구성을 갖는다.
- [0030] 이때, 구체적인 부화소 "a", "b" 및 "c"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색) 및 B(청색)를 3개의 부화소에 적용할 수 있다.
- [0031] 주사선 $G(i) \sim G(i+2)$, 주사선 $G(i+3) \sim G(i+5)$, 신호선 $S(j+1)$ 및 신호선 $S(j+2)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT는 Tr1(제1 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+3) \sim G(i+5)$, 주사선 $G(i+6) \sim G(i+8)$, 신호선 $S(j+1)$ 및 신호선 $S(j+2)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT는 Tr2(제2 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+3) \sim G(i+5)$, 주사선 $G(i+6) \sim G(i+8)$, 신호선 $S(j)$ 및 신호선 $S(j+1)$ 로 둘러싸인 영역에 설치된 제3 화소의 제3 부화소에 설치된 TFT는 Tr3(제3 박막 트랜지스터라고도 한다)이다. Tr1은 주사선 $G(i+3)$ 및 신호선 $S(j+1)$ 에 접속되고, Tr2는 주사선 $G(i+5)$ 및 신호선 $S(j+1)$ 에 접속되고, Tr3은 주사선 $G(i+4)$ 및 신호선 $S(j+1)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 3개의 주사선과 신호선의 교차부에 근접하도록 3개의 TFT를 배치한다.
- [0032] 이하에 나타낸 것과 같이 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 본 실시예에서 나타낸 화소는, 서로 평행하게 배치된 제1 내지 제3 부화소와, 서로 평행하게 배치된 제1 및 제2 신호선(예를 들면, $S(j)$ 과 $S(j+1)$)과, 서로 평행하게 배치된 제1 내지 제3 주사선(예를 들면, $G(i+1)$ 내지 $G(i+3)$)을 갖고 있다. 제3 부화소는 제1과 제2 부화소의 사이에 설치된다. 제1과 제2 신호선은 제1 내지 제3 주사선과 직교하고 있고, 제2 주사선은 제1과 제3 주사선의 사이에 놓이고, 제1 내지 제3 부화소는, 제1 신호선, 제2 신호선, 제2 주사선 및 제3 주사선으로 둘러싸인 영역에 설치되어 있다. 제1 내지 제3 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제3 주사선과 제1 신호선에 의해 구동되고, 제2 부화소의 TFT는 제2 주사선과 제1 신호선에 의해 구동되고, 제3 부화소의 TFT는 제1 주사선과 제2 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제2 신호선보다도 제1 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제3 주사선에 더 가깝게 배치된다. 또한, 제2 부화소의 TFT는 제2 신호선보다도 제1 신호선에 더 가깝게 배치되고, 또한 제3 주사선보다도 제2 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT는 제1 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제3 주사선보다도 제2 주사선에 더 가깝게 배치된다. 본 실시예에 따르면, 모든 TFT가 균등한 간격으로 배치되는 종래의 배치와 달리, 다른 화소에 포함되는 3개의 TFT가 1개의 신호선과 3개의 주사선의 교차부 근방에 설치되어 1개의 TFT군을 형성한다. 이 TFT군에 있어서, 도 3에 나타낸 것과 같이, 각각의 TFT는 주사선 또는 신호선을 사이에 끼워 다른 TFT와 서로 대향하도록 배치함으로써, 도 4에 나타낸 종래의 TFT 배치와 비교하여, TFT가 각각 설치된 영역들 사이의 간격을 약 2배로 확장할 수 있다. 즉, 도 3과 4에 나타낸 것과 같이, 다른 화소에 각각 속하는 3개의 TFT를 포함하는 TFT군 사이의 거리 X_1 은, 종래의 TFT 배치에 있어서의 TFT간 거리 X_2 보다도 크다. 따라서, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대한다.
- [0033] 또한, 본 발명과 같이 주사선이 복수 모아진 화소에 있어서 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기판과의 위치 어긋남을 고려해서 설치하는 마진의 합계 면적을 작게 할 수 있다. 그 때문에, 위치

어긋남으로 인한 개구율의 저하를 억제할 수 있다.

- [0034] 전술한 TFT 배치를 적용함으로써, 부화소에 각각 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가할 수 있거나, 또는 TFT 기관과 대향 기관의 부작에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0035] (실시예 3)
- [0036] 도 5는, 액티브 매트릭스형 표시장치에 있어서 주사선과 신호선의 교차부의 주변에 4개의 TFT를 배치한 구성예를 도시한 도면이다. 본 실시예에 있어서의 화소는, 3개의 장방형 또는 장방형에 유사한 형상을 갖는 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다) 및 "c"(제3 부화소라고도 한다)가 부화소의 긴 변이 신호선과 평행하게 되도록 스트라이프 패턴으로 배열되고, 또한 4개의 신호선이 서로 근접하고 인접한 화소들 사이에 놓이는 구성을 갖는다.
- [0037] 즉, 본 실시예에 있어서의 화소는, 4개의 장방형 또는 장방형에 유사한 형상을 갖는 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다), "c"(제3 부화소라고도 한다) 및 "a"(제4 부화소라고도 한다($a=a, b, c$))가, 부화소의 긴 변이 신호선과 평행하게 되도록 스트라이프 패턴으로 배열되고, 또한 인접하는 화소의 사이에 4개의 신호선이 모여 놓이는 구성을 갖는다.
- [0038] 이때, 구체적인 부화소 "a", "b" 및 "c"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색) 및 B(청색)를 3개의 부화소에 적용할 수 있다.
- [0039] 주사선과 신호선으로 형성되는 격자의 내부에 4개의 부화소가 배치되어 있다. 그 때문에, 임의의 행(i행)을 예를 들면, 행 방향을 따라 연속해서 늘어서는 3개의 격자를 단위로 하여, 4화소분의 부화소(12개의 부화소)가 배치된다.
- [0040] 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j) \sim S(j+3)$, 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT는 $Tr1$ (제1 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j) \sim S(j+3)$ 및 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT는 $Tr2$ (제2 박막 트랜지스터라고도 한다)이고, 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제3 화소의 제3 부화소에 설치된 TFT는 $Tr3$ (제3 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제4 화소의 제4 부화소에 설치된 TFT는 $Tr4$ (제4 박막 트랜지스터라고도 한다)이다. $Tr1$ 은 주사선 $G(i+1)$ 및 신호선 $S(j+4)$ 에 접속되고, $Tr2$ 는 주사선 $G(i+1)$ 및 신호선 $S(j+5)$ 에 접속되고, $Tr3$ 은 주사선 $G(i+1)$ 및 신호선 $S(j+7)$ 에 접속되고, $Tr4$ 는 주사선 $G(i+1)$ 및 신호선 $S(j+6)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 주사선과 4개의 신호선의 교차부에 근접하도록 4개의 TFT를 배치한다.
- [0041] 이때, 본 실시예에서는, 부화소의 긴 변이 신호선과 평행하게 되도록 부화소를 스트라이프 패턴으로 배열하고, 또한, 4개의 신호선이 모아진 구성을 나타냈지만, 부화소의 긴 변을 주사선과 평행하게 되도록 부화소를 스트라이프 패턴으로 배열하고, 또한 4개의 주사선이 모아진 구성에 있어서도, 4개의 TFT를 주사선 및 신호선의 교차부에 배치할 수 있다(미도시).
- [0042] 이하에서 나타낸 것과 같이, 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 본 실시예에서 나타낸 화소는, 서로 평행하게 배치된 제1 내지 제4 부화소와, 서로 평행하게 배치된 제1 내지 제4 신호선(예를 들면, $S(j+2)$ 내지 $S(j+5)$)과, 서로 평행하게 배치된 제1과 제2 주사선(예를 들면, $G(i)$ 과 $G(i+1)$)을 갖고 있다. 제1과 제3 부화소는 제2와 제4 부화소의 사이에 설치되고, 제3 부화소는 제4 부화소보다도 제2 부화소에 가깝고, 제1 부화소는 제2 부화소보다도 제4 부화소에 가깝다. 제1 내지 제4 신호선은 제1과 제2 주사선과 직교하고 있고, 제2와 제3 신호선은 제1과 제4 신호선의 사이에 설치되고, 제2 신호선은 제4 신호선보다도 제1 신호선에 가깝고, 제3 신호선은 제1 신호선보다도 제4 신호선에 가깝다. 제1 내지 제4 부화소는, 제2 신호선과 제3 신호선, 제1 주사선 및 제2 주사선으로 둘러싸인 영역에 설치되어 있다. 제1 내지 제4 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제2 주사선과 제3 신호선에 의해 구동되고, 제2 부화소의 TFT는 제2 주사선과 제2 신호선에 의해 구동되고, 제3 부화소의 TFT는 제1 주사선과 제1 신호선에 의해 구동되고, 제4 부화소의 TFT는 제1 주사선과 제4 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 또한, 제2 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT

는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 제4 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 본 실시예에 따르면, 모든 TFT가 균등한 간격으로 배치되는 종래의 배치와 달리, 다른 화소에 포함되는 4개의 TFT가 4개의 신호선과 1개의 주사선의 교차부 근방에 설치되어 1개의 TFT군을 형성한다. 이 TFT군에 있어서, 도 5에 나타난 것과 같이, 각각의 TFT는 주사선 또는 신호선을 사이에 끼워 다른 TFT에서로 대향하도록 배치함으로써 도 2에 나타난 종래의 TFT 배치와 비교하여, TFT가 각각 설치되는 영역들 사이의 간격을 약 3배로 확장할 수 있다. 즉, 도 5에 나타난 것과 같이, 다른 화소에 각각 속하는 4개의 TFT를 포함하는 TFT군 사이의 거리 X_1 은, 종래의 TFT 배치에 있어서의 인접하는 TFT간 거리보다도 크다. 따라서, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대한다.

[0043] 또한, 본 발명과 같이 복수의 주사선 또는 복수의 신호선이 모아진 화소에 있어서 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기판과의 위치 어긋남을 고려해서 설치하는 마진의 합계 면적을 작게 할 수 있다. 그 때문에, 위치 어긋남시의 개구율의 저하를 억제할 수 있다.

[0044] 전술한 TFT 배치를 적용함으로써, 부화소에 각각 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 복수 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가시킬 수 있거나, 또는 TFT 기판과 대향 기판의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.

[0045] (실시예 4)

[0046] 도 6은, 액티브 매트릭스형 표시장치에 있어서 주사선과 신호선의 교차부의 주변에 4개의 TFT를 배치한 구성예를 도시한 도면이다. 본 실시예에 있어서의 화소는, 4개의 장방형 또는 장방형에 유사한 형상을 갖는 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다), "c"(제3 부화소라고도 한다) 및 "d"(제4 부화소라고도 한다)가 부화소의 긴 변이 신호선과 평행하게 되도록 스트라이프 패턴으로 배열되고, 또한 인접하는 화소의 사이에 4개의 신호선이 놓이는 구성으로 되어 있다.

[0047] 이때, 구체적인 부화소 "a", "b", "c" 및 "d"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색), B(청색) 및 W(화이트)를 4개의 부화소에 적용할 수 있다.

[0048] 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j) \sim S(j+3)$ 및 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT는 $Tr1$ (제1 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j) \sim S(j+3)$ 및 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT는 $Tr2$ (제2 박막 트랜지스터라고도 한다)이고, 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제3 화소의 제3 부화소에 설치된 TFT는 $Tr3$ (제3 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제4 화소의 제4 부화소에 설치된 TFT는 $Tr4$ (제4 박막 트랜지스터라고도 한다)이다. $Tr1$ 은 주사선 $G(i+1)$ 및 신호선 $S(j+4)$ 에 접속되고, $Tr2$ 는 주사선 $G(i+1)$ 및 신호선 $S(j+5)$ 에 접속되고, $Tr3$ 은 주사선 $G(i+1)$ 및 신호선 $S(j+7)$ 에 접속되고, $Tr4$ 는 주사선 $G(i+1)$ 및 신호선 $S(j+6)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 주사선과 4개의 신호선의 교차부에 근접하도록 4개의 TFT를 배치한다.

[0049] 이때, 본 실시예에서는 부화소의 긴 변이 신호선과 평행하게 되도록 부화소를 스트라이프 패턴으로 배열하고, 또한 4개의 신호선이 모아진 구성을 나타냈지만, 부화소의 긴 변을 주사선과 평행하게 되도록 스트라이프 패턴으로 배열하고, 또한 4개의 주사선이 모아진 구성에 있어서도, 4개의 TFT를 주사선 및 신호선의 교차부에 배치할 수 있다(미도시).

[0050] 이하에 나타난 것과 같이, 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 본 실시예에서 나타난 화소는, 서로 평행하게 배치된 제1 내지 제4 부화소와, 서로 평행하게 배치된 제1 내지 제4 신호선(예를 들면, $S(j+2)$ 내지 $S(j+5)$)과, 서로 평행한 제1과 제2 주사선(예를 들면, $G(i)$ 과 $G(i+1)$)을 갖고 있다. 제1과 제4 부화소는 제2와 제3 부화소의 사이에 설치되고, 제1 부화소는 제3 부화소보다도 제2 부화소에 가깝고, 제4 부화소는 제2 부화소보다도 제3 부화소에 가깝다. 제1 내지 제4 신호선은 제1과 제2 주사선과 직교하고 있고, 제2와 제3 신호선은 제1과 제4 신호선의 사이에 설치되고, 제2 신호선은 제4 신호선보다도 제1 신호선에 가깝고, 제3 신호선은 제1 신호선보다도 제4 신호선에 가깝다. 제1 내지 제4 부화소는, 제2 신호선, 제3 신호선, 제1 주사선 및 제2 주사선에 둘러싸인 영역에 설치되어 있다. 제1 내지 제4 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제2 주사선과 제3 신호선에 의해 구동되고, 제2 부화소의 TFT는 제1 주사선과 제4 신호선에 의해 구동되고, 제3

부화소의 TFT는 제2 주사선과 제2 신호선에 의해 구동되고, 제4 부화소의 TFT는 제1 주사선과 제1 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 또한, 제2 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 제4 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 본 실시예에 따르면, 모든 TFT가 균등한 간격으로 배치되는 종래의 배치와 달리, 다른 화소에 포함되는 4개의 TFT가 4개의 신호선과 1개의 주사선의 교차부 근방에 설치되어 1개의 TFT군을 형성한다. 이 TFT군에 있어서, 도 6에 나타난 것과 같이, 각각의 TFT는 주사선 또는 신호선을 사이에 끼워서 TFT와 대향하도록 배치함으로써, 종래의 TFT 배치와 비교하여, TFT가 각각 설치되는 영역들 사이의 간격을 확장할 수 있다. 즉, 도 6에 나타난 것과 같이, 다른 화소에 각각 속하는 4개의 TFT를 포함하는 TFT군 사이의 거리 X_1 은, 종래의 TFT 배치에 있어서의 TFT간 거리보다도 크다. 따라서, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대한다.

[0051] 또한, 본 발명과 같이, 복수의 주사선 또는 복수의 신호선, 또는 복수의 주사선 및 복수의 신호선이 모아진 화소에 있어서, 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기판과의 위치 어긋남을 고려해서 설치되는 마진의 합계 면적이 작아진다. 그 때문에, 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.

[0052] 전술한 TFT 배치를 적용함으로써, 부화소에 각각에 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 복수 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가시킬 수 있거나, 또는 TFT 기판과 대향 기판의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.

[0053] (실시예 5)

[0054] 도 7은, 액티브 매트릭스형 표시장치에 있어서 주사선과 신호선의 교차부의 주변에 4개의 TFT를 배치한 구성예를 도시한 도면이다. 본 실시예에 있어서의 화소는, 4개의 정방형 또는 정방형에 유사한 형상을 갖는 부화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다), "c"(제3 부화소라고도 한다) 및 "d"(제4 부화소라고도 한다)가 모자이크 패턴으로 배열되고, 또한 4개의 신호선이 서로 근접하고 인접하는 화소의 사이에 놓이는 구성으로 되어 있다.

[0055] 이때, 구체적인 부화소 "a", "b", "c" 및 "d"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색), B(청색) 및 W(화이트)를 4개의 부화소에 적용할 수 있다.

[0056] 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j) \sim S(j+3)$ 및 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT는 Tr1(제1 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j) \sim S(j+3)$ 및 신호선 $S(j+4) \sim S(j+7)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT는 Tr2(제2 박막 트랜지스터라고도 한다)이고, 주사선 $G(i)$, 주사선 $G(i+1)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제3 화소의 제3 부화소에 설치된 TFT는 Tr3(제3 박막 트랜지스터라고도 한다)이고, 주사선 $G(i+1)$, 주사선 $G(i+2)$, 신호선 $S(j+4) \sim S(j+7)$ 및 신호선 $S(j+8) \sim S(j+11)$ 로 둘러싸인 영역에 설치된 제4 화소의 제4 부화소에 설치된 TFT는 Tr4(제4 박막 트랜지스터라고도 한다)이다. Tr1은 주사선 $G(i+1)$ 및 신호선 $S(j+4)$ 에 접속되고, Tr2는 주사선 $G(i+1)$ 및 신호선 $S(j+5)$ 에 접속되고, Tr3은 주사선 $G(i+1)$ 및 신호선 $S(j+7)$ 에 접속되고, Tr4는 주사선 $G(i+1)$ 및 신호선 $S(j+6)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 주사선과 4개의 신호선의 교차부에 근접하도록 4개의 TFT를 배치한다.

[0057] 이때, 본 실시예에서는 4개의 신호선이 모아진 구성을 나타냈지만, 4개의 주사선이 모아진 구성에 있어서도, 4개의 TFT를 주사선 및 신호선의 교차부에 근접하여 배치할 수 있다(미도시). 또한, 도 8에 나타난 것과 같이, 2개의 주사선 및 2개의 신호선을 모으는 것에 의해서도, 유사한 TFT 배치를 실현할 수 있다.

[0058] 이하에 나타난 것과 같이 도 7에서 도시된 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 도 7의 본 실시예에서 나타난 화소는, 모자이크 패턴으로 배열된 제1 내지 제4 부화소와, 서로 평행하게 배치된 제1 내지 제4 신호선(예를 들면, $S(j+2)$ 내지 $S(j+5)$)과, 서로 평행한 제1과 제2 주사선(예를 들면, $G(i)$ 과 $G(i+1)$)을 갖고 있다. 제1 부화소는 제1 주사선보다도 제2 주사선에 가깝고, 또한, 제2 신호선보다도 제3 신호선에 가깝다. 제2 부화소는 제2 주사선보다도 제1 주사선에 가깝고, 또한 제2 신호선보다도 제3 신호선에 가깝다. 제3 부화소는 제1 주사선보다도 제2 주사선에 가깝고, 또한 제3 신호선보다도 제2 신호선에 가깝다. 제4 부화소는 제2 주사선보다도 제1 주사선에 가깝고, 또한 제3 신호선보다도 제2 신호선에 가깝다. 제1 내지 제4 신호선은 제1과 제2

주사선과 직교하고 있고, 제2와 제3 신호선은 제1과 제4 신호선 사이에 설치되고, 제2 신호선은 제4 신호선보다도 제1 신호선에 가깝고, 제3 신호선은 제1 신호선보다도 제4 신호선에 가깝다. 제1 내지 제4 부화소는, 제2 신호선, 제3 신호선, 제1 주사선 및 제2 주사선으로 둘러싸인 영역에 설치되어 있다. 제1 내지 제4 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제2 주사선과 제3 신호선에 의해 구동되고, 제2 부화소의 TFT는 제1 주사선과 제4 신호선에 의해 구동되고, 제3 부화소의 TFT는 제2 주사선과 제2 신호선에 의해 구동되고, 제4 부화소의 TFT는 제1 주사선과 제1 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 제2 부화소의 TFT는 제2 신호선보다도 제3 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 제4 부화소의 TFT는 제3 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 마찬가지로, 이하에 나타낸 것과 같이, 도 8에 도시된 본 실시예의 구성을 다른 표현으로 기술할 수 있다. 화소는, 모자이크 패턴으로 배열된 제1 내지 제4 부화소와, 서로 평행하게 배치된 제1과 제2 신호선(예를 들면, $S(j+1)$ 과 $S(j+2)$)과, 서로 평행한 제1과 제2 주사선(예를 들면, $G(i+1)$ 과 $G(i+2)$)을 갖고 있다. 제1 부화소는 제2 주사선보다도 제1 주사선에 가깝고, 또한 제2 신호선보다도 제1 신호선에 가깝다. 제2 부화소는 제2 주사선보다도 제1 주사선에 가깝고, 또한 제1 신호선보다도 제2 신호선에 가깝다. 제3 부화소는 제1 주사선보다도 제2 주사선에 가깝고, 또한 제2 신호선보다도 제1 신호선에 가깝다. 제4 부화소는 제1 주사선보다도 제2 주사선에 가깝고, 또한 제1 신호선보다도 제2 신호선에 가깝다. 제1과 제2 신호선은 제1과 제2 주사선과 직교하고 있다. 제1 내지 제4 부화소는, 제1 신호선, 제2 신호선, 제1 주사선 및 제2 주사선으로 둘러싸인 영역에 설치되어 있다. 제1 내지 제4 부화소 각각은 TFT를 갖고 있다. 제1 부화소의 TFT는 제1 주사선과 제1 신호선에 의해 구동되고, 제2 부화소의 TFT는 제1 주사선과 제2 신호선에 의해 구동되고, 제3 부화소의 TFT는 제2 주사선과 제1 신호선에 의해 구동되고, 제4 부화소의 TFT는 제2 주사선과 제2 신호선에 의해 구동된다. 더구나, 제1 부화소의 TFT는 제2 신호선보다도 제1 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 또한, 제2 부화소의 TFT는 제1 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제2 주사선보다도 제1 주사선에 더 가깝게 배치된다. 또한, 제3 부화소의 TFT는 제2 신호선보다도 제1 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 제4 부화소의 TFT는 제1 신호선보다도 제2 신호선에 더 가깝게 배치되고, 또한 제1 주사선보다도 제2 주사선에 더 가깝게 배치된다. 본 실시예에 따르면, 모든 TFT가 균등한 간격으로 배치되는 종래의 배치와 달리, 다른 화소에 포함되는 4개의 TFT가 4개의 신호선과 1개의 주사선의 교차부, 또는 2개의 신호선과 2개의 주사선의 교차부의 근방에 설치되어 1개의 TFT군을 형성한다. 이 TFT군에 있어서, 도 7 및 도 8에 나타낸 것과 같이, 각각의 TFT는 주사선 또는 신호선을 사이에 끼워 다른 TFT와 대향하도록 배치함으로써 도 9에 나타낸 종래의 TFT 배치와 비교하여, TFT가 각각 설치되는 영역들 사이의 간격을 약 2배로 확장할 수 있다. 즉, 도 7 내지 도 9에 도시하는 것과 같이, 다른 화소에 각각 속하는 4개의 TFT를 포함하는 2개의 TFT군 사이의 거리 X_1 은, 종래의 TFT 배치에 있어서의 TFT간 거리 X_2 보다도 크다. 따라서, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대한다. 또한, 화소를 도 7 및 도 8에 나타낸 것과 같은 모자이크 패턴으로 배열함으로써, 시인성이 향상된다고 하는 부차적 효과도 얻을 수 있다.

[0059] 더구나, 평면도인 도 8에서는 TFT의 배선이 주사선 및 신호선과 겹치지 않는다. 통상의 제조 프로세스에서는, 주사선 또는 신호선과의 원치 않는 접촉을 피하기 위해, 절연층을 형성하고, 절연층에 콘택홀을 형성하고, 그후 도전층을 형성함으로써, TFT와, 적절히 선택된 주사선 또는 신호선을 전기적으로 접속시킨다. 그렇지만, 본 실시예에서는 이러한 프로세스가 불필요하게 된다.

[0060] 또한, 본 발명과 같이 복수의 주사선 또는 복수의 신호선, 또는 복수의 주사선 및 복수의 신호선이 모아진 화소에 있어서, 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기판과의 위치 어긋남을 고려해서 설치되는 마진의 합계 면적을 작게 할 수 있다. 그 때문에, 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.

[0061] 전술한 TFT 배치를 적용함으로써, 부화소에 각각 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 복수 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가시킬 수 있거나, 또는 TFT 기판과 대향 기판의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.

[0062] (실시예 6)

- [0063] 도 10은, 액티브 매트릭스형 표시장치에 있어서, 주사선과 신호선의 교차부의 주변에 2개의 TFT를 배치한 구성 예를 도시한 도면이다. 본 실시예에 있어서의 화소는, 3개의 장방형 형상 또는 장방형에 유사한 형상을 갖는 부 화소, 즉 "a"(제1 부화소라고도 한다), "b"(제2 부화소라고도 한다) 및 "c"(제3 부화소라고도 한다)가 델타 패 턴으로 배열되고, 또한 2개의 주사선이 서로 근접하고 인접하는 화소들의 사이에 놓이는 구성을 갖는다.
- [0064] 이때, 구체적인 부화소 "a", "b" 및 "c"의 구성은 한정되지 않는다. 예를 들면, R(적색), G(녹색) 및 B(청색)를 3개의 부화소에 적용할 수 있다.
- [0065] 제 1 화소는 제 1 부화소를 갖고, 주사선 $G(i)$ 및 $G(i+1)$, 주사선 $G(i+2)$ 및 $G(i+3)$, 신호선 $S(j+1)$, 및 신호 선 $S(j+2)$ 로 둘러싸인 영역에 배치된 제1 화소의 제1 부화소에 설치된 TFT는 Tr1(제1 박막 트랜지스터라고도 한 다)이다. 제 2 화소는 제 2 부화소를 갖고, 주사선 $G(i+2)$ 및 $G(i+3)$, 주사선 $G(i+4)$ 및 $G(i+5)$, 신호선 $S(j)$, 및 신호선 $S(j+1)$ 로 둘러싸인 영역에 설치된 제2 화소의 제2 부화소에 설치된 TFT는 Tr2(제2 박막 트랜지스터라 고도 한다)이다. Tr1은 주사선 $G(i+2)$ 및 신호선 $S(j+1)$ 에 접속되고, Tr2는 주사선 $G(i+3)$ 및 신호선 $S(j+1)$ 에 접속되어 있다. 다른 화소에도 동일한 구성이 적용되며, 2개의 주사선과 신호선의 교차부에 근접하도록 2개의 TFT를 배치한다.
- [0066] 이때, 본 실시예에서는 2개의 주사선이 모아진 구성을 나타냈지만, 2개의 신호선이 모아진 구성에 있어서도, 2 개의 TFT를 주사선 및 신호선의 교차부 근방에 배치할 수 있다(미도시). 또한, 2개의 주사선 및 2개의 신호선을 모음으로써, 4개의 TFT가 주사선 및 신호선의 교차부의 근방에 배치되는 구성을 실현할 수 있다(미도시).
- [0067] 본 실시예에 따르면, 표시부의 부화소에 포함되는 TFT의 배치를 도 10에 나타낸 것과 같은 배치로 함으로써, 도 11에 나타낸 것과 같이 모든 TFT가 일정한 간격으로 배치된 종래의 TFT 배치에서의 거리 X_2 와 비교하여, TFT가 각각 설치된 영역들 사이의 간격 X_1 을 약 2배로 확장할 수 있다. 따라서, SOI층 형성시에 있어서의 위치맞춤의 마진이 증대한다.
- [0068] 또한, 본 발명과 같이 복수의 주사선 또는 복수의 신호선, 또는 복수의 주사선 및 복수의 신호선이 모아진 화소 에 있어서 형성된 주사선 및 신호선과 겹치도록 BM을 형성하면, TFT 기판과 대향 기관과의 위치 어긋남을 고려 해서 설치되는 마진의 합계 면적을 줄일 수 있다. 그 때문에, 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0069] 더구나, 평면도인 도 10에서는 TFT의 배선이 주사선 및 신호선과 겹치지 않는다. 통상의 제조 프로세스에 있어 서는, 주사선 및 신호선 사이의 원치 않는 접속을 피하기 위해, 절연층을 형성하고, 이 절연층에 콘택홀을 형성 한 후, 도전층을 형성함으로써, TFT와, 적절히 선택된 주사선 또는 신호선과 전기적으로 접속시킨다. 그렇지만, 본 실시예에서는, 이러한 프로세스가 불필요하게 된다.
- [0070] 전술한 TFT 배치를 적용함으로써, 부화소에 각각 설치된 복수의 박막 트랜지스터를 주사선과 신호선의 교차부에 근접해서 설치할 수 있다. 그 때문에, SOI층 형성시에 있어서의 위치맞춤의 마진을 증가시킬 수 있거나. 또는 TFT 기판과 대향 기관의 부착에 있어서의 위치 어긋남으로 인한 개구율의 저하를 억제할 수 있다.
- [0071] (실시예 7)
- [0072] 본 실시예에서는, 실시예 1 내지 6에서 설명한 TFT 배치를 갖는 투과형 액정표시장치의 제조방법에 대해 설명한 다.
- [0073] 우선, 베이스 기관 위에 단결정 반도체 박막을 형성하는 공정에 대해 도 14a 내지 도 14e를 사용하여 설명한다. 사각형 형상을 갖도록 형성된 단결정 반도체 기관(100) 위에 산화 규소막 또는 산화질화 규소막을 형성하고, 그 위에 질화 규소막 또는 질화산화 규소막을 형성한다. 여기에서는, 산화질화 규소막(101) 및 질화산화 규소막 (102)을 순차 형성하는 것으로 한다. 이때, 산화질화 규소막은, 막두께 10nm 이상 150nm 이하 정도로 형성하는 것이 바람직하다. 또한, 질화산화 규소막은, 막두께 10nm 이상 200nm 이하 정도로 형성하는 것이 바람직하다.
- [0074] 이때, 산화질화 규소막(101) 및 질화산화 규소막(102)은 베이스 기관(106)으로부터 확산된 나트륨 이온 등의 불 순물로 인한 단결정 반도체층의 오염을 방지하기 위해 설치되어 있다. 여기에서, 질화산화 규소막이란, 산소보 다도 질소의 함유량이 많고, 산소, 질소, Si 및 수소를 각각 15~30원자%, 20~35원자%, 25~35원자% 및 15~25 원자% 범위의 농도로 포함하고 전체 농도가 100원자%가 되는 막을 말한다. 또한, 산화질화 규소막이란, 질소보 다도 산소의 함유량이 많고, 산소, 질소, Si 및 수소를 각각 55~65원자%, 1~20원자%, 25~35원자% 및 0.1~10

원자% 범위의 농도로 포함하고 전체 농도가 100원자%가 되는 막을 말한다. 이때, 질화 알루미늄, 질화산화 알루미늄 등을 사용해도 된다. 이때, 산화질화 규소막(101) 및 질화산화 규소막(102)은 반드시 설치할 필요는 없고, 후술하는 단결정 반도체 기판에 이온주입을 행하여 이온주입층만을 형성된 기판을 사용해도 된다.

[0075] 다음에, 단결정 반도체 기판(100)에 수소 이온(103)을 주입하여 이온 주입층(104)을 형성한다(도 14a). 이와 같은 수소 이온의 주입은 베이스 기판에 전치되는 단결정 반도체층의 두께를 고려해서 행해진다. 해당 단결정 반도체층의 두께는 10nm 내지 200nm, 바람직하게는 10nm 내지 50nm로 설정된다. 수소 이온을 주입하기 위한 가속 전압은 이러한 두께를 고려해서 설정된다. 이 처리에 의해, 단결정 반도체 기판(100)의 표면에서 일정한 깊이의 영역에 이온 주입층(104)이 형성된다. 이때, 이온 주입층(104)은, 수소, 희가스, 또는 수소와 희가스의 혼합물을 사용하여 형성해도 된다.

[0076] 다음에, 질화산화 규소막(102) 위에, TEOS 가스와 산소 가스의 혼합 가스를 사용해서 화학기상성장법(CVD)법 또는 플라즈마 화학기상성장법(플라즈마 CVD법)에 의해 산화 규소막(105)을 성막한다(도 14b). 산화 규소막(105)은 단결정 반도체 기판(100)에 이온 주입을 행하기 전에 형성해도 된다. 이때, TEOS 가스와 산소 가스의 혼합 가스를 사용해서 CVD법 또는 플라즈마 CVD법에 의해 산화 규소막을 성막하는 경우, 산화 규소막은 10nm 이상 800nm 이하의 막두께로 형성하는 것이 바람직하다.

[0077] 이때, 여기에서 "TEOS 가스"란 tetraethyl orthosilicate 가스를 의미한다. TEOS 가스와 산소 가스의 혼합 가스를 사용하여 CVD법 또는 플라즈마 CVD법에 의해 성막된 산화 규소막을 단결정 반도체 기판과 지지 기판 사이의 부착 계면에 설치하면, 기판들 사이의 밀착성을 향상시킬 수 있다.

[0078] 이때, 산화질화 규소막(101) 또는 질화산화 규소막(102)을 형성하지 않는 경우, 단결정 반도체 기판(100)의 표면에, 자연 산화막, 화학적 산화막, 또는 산소를 포함하는 분위기에서 UV광을 조사함으로써 형성된 극박(ultra-thin) 산화막을 형성해 두는 것이 바람직하다. 마찬가지로, 단결정 반도체 기판(100) 위에 산화질화 규소막(101) 또는 질화산화 규소막(102)을 형성하기 전에, 상기한 극박 산화막을 형성해 두는 것이 바람직하다. 화학적으로 형성된 산화막은, 오존수, 과산화 수소수 또는 황산 등의 산화제로 단결정 반도체 기판의 표면을 처리함으로써 형성할 수 있다.

[0079] 다음에, 도 14a 및 도 14b의 공정을 거친 단결정 반도체 기판(100)을 복수매 준비하고, 도 14c에 도시한 것과 같이 단결정 반도체 기판(100) 위에 형성된 산화 규소막(105)과 베이스 기판(106)을 서로 접합시킨다. 도면의 간략화를 위해, 2매의 단결정 반도체 기판(100)을 부착하는 공정을 도시한 도면을 사용하고 있다. 이때, 여기에서 베이스 기판(106)의 표면에는 하지막(107)이 형성된다. 하지막(107)으로서는, TEOS 가스와 산소 가스의 혼합 가스를 사용해서 CVD법 또는 플라즈마 CVD법에 의해 성막된 산화 규소막을 들 수 있다. 산화 규소막(105)과 하지막(107)을 서로 접합함으로써, 단결정 반도체 기판(100)과 베이스 기판(106)을 부착할 수 있다. 이때, 산화 규소막 등의 하지막(107)은 반드시 형성할 필요는 없지만, 기판의 밀착성을 향상시키기 위해 설치하는 것이 바람직하다.

[0080] 베이스 기판(106)용의 기판은 투명성을 갖고 있는 기판이면 되기 때문에, 글래스 기판 또는 석영 기판 등의 절연 기판을 베이스 기판(106)으로 적용할 수 있다. 본 실시예에서는, 글래스 기판을 사용하는 것으로 한다.

[0081] 본 실시예에 있어서, 접합은 단결정 반도체 기판(100) 위에 형성된 산화 규소막(105)을 베이스 기판 위에 형성된 하지막(107)에 접촉함으로써 형성된다. 접합의 형성은 실온에서 행하는 것이 가능하다. 이 접합은 원자 레벨에서 행해져, 반 데르 발스력의 작용으로 인해 실온에서 강고한 접합이 형성된다.

[0082] 단결정 반도체 기판(100)과 베이스 기판(106)과의 접합을 형성한 후, 단결정 반도체 기판(100)의 일부(즉 단결정 반도체층(108))를 단결정 반도체 기판(100)으로부터 박리한다(도 14d). 가열시에 이온 주입층(104)에 형성된 미소한 공동의 체적 변화가 발생하여, 이온 주입층(104)을 따라 파단면이 발생하고, 파단면을 따라 단결정 반도체층(108)을 박리(분리)할 수 있다. 그후, 접합 강도를 증가시키기 위해, 400℃ 내지 700에서 열처리를 행하는 것이 바람직하다. 이와 같이 하여, 베이스 기판(106) 위에 단결정 반도체층(109)이 형성된다. 그후, 단결정 반도체층(109)의 표면을 평탄화하기 위해, 화학적 기계적 연마(CMP)를 행하는 것이 바람직하다.

[0083] 도 14d에 나타난 것과 같이, 베이스 기판(106) 위에 형성된 복수의 단결정 반도체층(109)에 대해, 인접하는 단결정 반도체층들 사이에는 이음매(110)(틈)가 생긴다. 예를 들면, 도 2, 도 4, 도 9 및 도 11에 나타난 종래의 TFT 배치를 사용하면, TFT들 사이의 간격이 좁기 때문에, 이음매(110)를 피해 모든 TFT를 형성하는 것은 매우 곤란하다. 이에 대해, 실시예 1 내지 6에서 설명한 TFT 배치를 사용함으로써, 이음매(110)를 피해서 효율적으로 TFT를 배치하는 것이 가능해진다.

- [0084] 다음에, 단결정 반도체층(109) 위에 레지스트를 형성한다. 레지스트를 마스크로 사용하여 단결정 반도체층(109)을 에칭함으로써, 섬 형상의 단결정 반도체층(201)을 형성한다(도 14e).
- [0085] 이하, 도 15를 사용하여, TFT의 형성 및 액정 표시장치의 제조공정을 설명한다.
- [0086] 섬 형상의 단결정 반도체층(201)을 덮는 제1 절연층(202)을 형성한다. 제1 절연층(202)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 두께를 10~150nm로 하여 규소를 포함하는 절연막으로 형성한다. 제1 절연층(202)은, 질화 규소, 산화 규소, 산화질화 규소 및 질화산화 규소로 대표되는 규소의 산화물 또는 질화물 등의 재료로 형성하면 되고, 적층이어도 단층이어도 된다. 또한, 절연층은 질화 규소막, 산화 규소막 및 질화 규소막의 3층의 적층, 산화질화 규소막의 단층, 또는 2층의 산화질화 규소막으로 이루어진 적층이어도 된다. 바람직하게는, 치밀한 막질을 갖는 질화 규소막을 사용하면 된다. 더구나 섬 형상의 단결정 반도체층(201)과 제1 절연층(202) 사이에, 막두께 1~100nm, 바람직하게는 1~10nm, 더욱 바람직하게는 2~5nm인 막두께가 얇은 산화 규소막을 형성해도 된다. 얇은 산화 규소막의 형성방법으로서는, GRTA법, LRTA법 등을 사용해서 반도체 영역의 반도체 표면을 산화하여 얇은 산화 규소막을 형성하는 열산화를 들 수 있다. 이때, 낮은 성막 온도에서 게이트 리크 전류가 무시해도 될 정도인 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스 원소를 반응 가스에 포함시켜, 절연막 중에 희가스 원소를 혼입시키는 것이 바람직하다. 제1 절연층(202)은 게이트 절연층으로서 기능한다.
- [0087] 이어서, 제1 절연층(202) 위에 게이트 전극층이나 접속 전극으로서 기능하는 제1 도전층(203)을 형성한다. 본 실시예에서는, 제1 도전층(203)은 단층으로 형성한 예를 나타내고 있지만, 제1 도전층(203)을 도전성 재료를 2층 또는 3층 이상 적층한 구조로 해도 된다. 이때, 제1 도전층(203)은, 제1 절연층(202) 위를 덮도록 형성된 도전층을 선택적으로 에칭함으로써 형성된다.
- [0088] 제1 도전층(203)은, 탄타르(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등으로부터 선택된 원소 또는 이들 원소를 주성분으로 포함하는 합금 또는 화합물로 형성할 수 있다. 또한, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의해 형성할 수도 있다. 예를 들면, 제1 도전층(203)을 적층 구조를 갖도록 형성하는 경우, 제1층으로서 질화 탄타르를 사용하고, 제2층으로서 텅스텐을 사용해서 형성하면 된다. 이때, 제1 도전층(203)은 이 조합에 한정되지 않고, 상기한 재료를 자유롭게 조합해서 설치할 수 있다.
- [0089] 이어서, 제1 도전층(203)을 마스크로 사용하여 섬 형상의 단결정 반도체층(201)에 불순물 원소를 도입함으로써, 섬 형상의 단결정 반도체층(201)에 불순물 영역(201b, 201c) 및 불순물 원소가 도입되지 않는 채널 영역(201a)을 형성한다. 이때, 여기에서는, 제1 도전층(203)을 섬 형상의 단결정 반도체층(201)을 횡단하도록 형성한 후에 불순물 원소를 도입한다. 따라서, 제1 도전층(203)으로 덮이지 않은 영역에 불순물 원소를 도입함으로써 불순물 영역(201b, 201c)이 형성된다. 제1 도전층(203)에 덮인 영역에는 불순물 원소가 도입되지 않는 채널 영역(201a)이 형성된다.
- [0090] 본 실시예에서는, 불순물 원소로서는, n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소를 사용할 수 있다. n형 도전성을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형 도전성을 부여하는 불순물 원소로서는, 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 사용할 수 있다. 예를 들면, 불순물 원소로서, 인(P)을 사용하여 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 의 농도로 섬 형상의 단결정 반도체층(201)에 도입하여, n형을 도전성을 나타내는 불순물 영역(201b, 201c)을 형성하면 된다. 이때, 채널 영역(201a)과 불순물 영역(201b, 201c) 사이에, 소스 또는 드레인 영역으로서 기능하는 불순물 영역(201b, 201c)보다 낮은 농도로 불순물이 첨가된 저농도 불순물 영역(LDD 영역)을 형성해도 된다.
- [0091] 다음에, 제1 도전층(203) 및 제1 절연층(202)을 덮도록 제2 절연층(204)을 형성한다. 여기에서, 제2 절연층(204)으로는, CVD법이나 스퍼터링법 등으로 형성한, 산화 실리콘, 산화질화 실리콘(SiO_xN_y)($x>y>0$), 질화산화 실리콘(SiN_xO_y)($x>y>0$) 등을 사용할 수 있다. 또한, 제2 절연층(204)은, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐계 수지, 아크릴, 에폭시 등의 유기 재료, 또는 실록산 수지 등의 실록산 재료, 옥사졸 수지 등으로 이루어진 단층 구조 또는 적층 구조를 갖도록 설치할 수 있다. 이때, 실록산 재료는 Si-O-Si 결합을 포함하는 재료에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 유기기(예를 들면, 알킬기, 방향족 탄화수소)나 플루오로기를 사용해도 된다. 유기기는 플루오로기를 포함하여도 된다. 옥사졸 수지는, 예를 들면, 감광성 폴리벤즈옥사졸 등이다. 감광성 폴리벤즈옥사졸은, 비유전율이 낮고(상온 1MHz에서 비유전율 2.9), 내열성이 높고(시차열 열중량 동시 측정(TG/DTA)으로 승온 속도 5℃/min에서의 결

과에 따르면, 열분해 온도 550℃를 갖는다), 흡수율이 낮은(상은 24시간에서 0.3%) 재료이다. 옥사졸 수지는, 폴리이미드 등의 비유전율(3.2~3.4 정도)과 비교하면, 비유전율이 낮다(2.9 정도), 따라서, 옥사졸 수지를 사용할 때, 기생 용량의 발생을 억제하여, 고속 동작을 행할 수 있다. 본 실시예에서는, 제2 절연층(204)으로서, CVD법으로 형성한 산화 실리콘, 산화질화 실리콘(SiO_xN_y)($x>y>0$) 및/또는 질화산화 실리콘(SiN_xO_y)($x>y>0$)을 단층 또는 적층으로 형성한다. 더구나, 제 2 절연층(204)은, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐계 수지, 아크릴, 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지를 적층해서 형성해도 된다. 다음에, 제2 절연층(204) 위에 선택적으로 레지스트를 형성한다. 레지스트로서는, 포지티브형의 포토레지스트나 네가티브형의 포토레지스트 등을 적절히 선택할 수 있다.

[0092] 이어서, 레지스트를 마스크로 사용하여, 제2 절연층(204) 및 제1 절연층(202)을 드라이에칭하여, 섬 형상의 단결정 반도체층(201)에 이르는 콘택홀을 형성한다. 이때, 드라이에칭시의 에칭 가스로서는, 반도체층이 에칭되지 않도록 에칭 가스가 반도체층에 대해 제2 절연층(204) 및 제1 절연층(202)의 높은 에칭 선택비를 제공하는 것이면 특별히 한정되지 않는다. 예를 들면, CF_4 , NF_3 , SF_6 , CHF_3 , CF_4 등의 불소계의 가스, 또는 이 불소계 가스에 O_2 가스, H_2 가스, He나 Ar 등의 불활성 가스를 적절히 첨가한 혼합 가스 등을 사용할 수 있다. 바람직하게는, CHF_3 과 He의 혼합 가스, CF_4 과 O_2 의 혼합 가스, 또는 CHF_3 과 He와 H_2 의 혼합 가스를 사용하면 된다.

[0093] 다음에, 제2 절연층(204) 및 제1 절연층(202)에 형성된 콘택홀에 도전성 재료를 충전하여, 섬 형상의 단결정 반도체층(201)의 불순물 영역(201b, 201c)의 표면에서 전기적으로 접속하는 제2 도전층(205)을 형성한다. 이때, 제2 도전층(205)은, 제2 절연층(204)을 덮도록 형성된 도전층을 선택적으로 에칭함으로써 형성할 수 있다.

[0094] 다음에, 제2 절연층(204) 및 제2 도전층(205)을 덮도록 제3 절연층(206)을 형성한다. 제3 절연층(206)은, 산화 규소, 질화 규소, 산화질화 규소, 질화산화 규소, 질화 알루미늄, 산화질화 알루미늄(AlON), 질소 함유량이 산소 함유량보다도 많은 질화산화 알루미늄(AlNO), 산화 알루미늄, 다이아몬드 라이크 카본(DLC), 질소 함유 탄소막(CN), 인글래스(PSG), 인 붕소 글래스(BPSG), 알루미늄 나막, 폴리실리잔, 그 밖의 무기 절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 또한, 실록산 수지를 사용해도 된다. 더구나, 유기 절연성 재료를 사용하여도 된다. 유기 재료는, 감광성, 비감광성 어느쪽이어도 되고, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐계 수지를 사용할 수 있다.

[0095] 본 실시예에서는, 제3 절연층(206)은, 스피코트법 등을 사용하여 형성하면 바람직하다.

[0096] 다음에, 제3 절연층(206) 위에 선택적으로 레지스트를 형성하고, 레지스트를 마스크로 사용하여 제 3 절연층(206)에 대해 에칭을 행함으로써 제2 도전층(205)에 이르는 콘택홀을 형성한다. 이어서, 제3 절연층(206) 위에 제2 도전층(205)과 전기적으로 접속된 화소 전극(207)을 형성한다. 더구나, 제3 절연층(206) 및 화소 전극(207) 위에 배향막(208)을 형성한다.

[0097] 다음에, 대향 기관(802)을 준비한다. 대향 기관(802)은, 글래스 기관(300), 투명 도전막으로 이루어진 대향 전극(301) 및 배향막(302)으로 구성된다.

[0098] 다음에, 상기 공정에 의해 얻은 TFT 기관(801) 및 대향 기관(802)을 썬재를 개재하여 서로 부착시킨다. 여기서, 양 기관의 간격을 일정하게 유지하기 위해, 배향막 208과 배향막 302 사이에 스페이서를 형성해도 된다. 그 후, 양 기관의 사이에 액정(803)을 주입하고, 양 기관을 밀봉재에 의해 밀봉함으로써, 도 15에 나타낸 것과 같은 투과형 액정 표시장치가 완성된다.

[0099] 본 발명에 따르면, SOI층 형성시에 있어서의 위치맞춤의 마진의 증대, 생산성의 향상, 및 표시 불량률의 저감을 도모할 수 있다. 즉, 신뢰성이 높은 표시장치를 제조하는 것이 가능해진다.

[0100] 이때, 본 실시예에 있어서는 투과형의 액정 표시장치에 대해 설명하였다. 그러나, 본 발명을 적용한 표시장치는 이 투과형 액정 표시장치에 한정되지 않는다. 예를 들면, 화소 전극(207)으로서 반사성을 갖는 전극층을 사용하거나, 화소 전극(207)의 윗면 또는 밑면에 반사막을 설치함으로써, 본 발명을 반사형 액정 표시장치에 적용할 수도 있다. 또한, 일렉트로루미네센스 소자를 갖는 표시장치(EL 표시장치)에 본 발명을 적용할 수도 있다.

[0101] (실시예 8)

[0102] 도 16a 내지 도 16c는 본 발명에 따른 휴대전화(1000)의 구성의 일례이다. 도 16a가 정면도이고, 도 16b가 배면도이고, 도 16c가 전개도이다. 휴대전화(1000)는, 전화와 휴대 정보단말의 양쪽의 기능을 구비하고 있고, 컴퓨

터를 내장하여, 음성통화 이외에도 다양한 데이터 처리가 수행가능한 소위 스마트 폰이다.

[0103] 휴대전화(1000)는 2개의 하우징 1001 및 1002를 갖는다. 하우징 1001은, 표시부(1101), 스피커(1102), 마이크로폰(1103), 조작 키(1104), 포인팅 디바이스(1105), 카메라용 렌즈(1106), 외부 접속 단자(1107) 등을 구비하는 한편, 하우징 1002는, 키보드(1201), 외부 메모리 슬롯(1202), 카메라용 렌즈(1203), 라이트(1204), 이어폰 단자(1108) 등을 구비하고 있다. 또한, 안테나는 하우징 1001 내부에 내장되어 있다.

[0104] 또한, 상기 구성 이외에, 휴대전화(1000)는 비접촉 IC칩, 소형 기록장치 등을 내장하고 있어도 된다.

[0105] 표시부(1101)에는, 상기 실시예에서 설명한 표시장치를 내장하는 것이 가능하며, 사용 형태에 따라 표시의 방향이 적절히 변화할 수 있다. 휴대전화(1000)가 표시부(1101)와 동일면 위에 카메라용 렌즈(1106)를 구비하고 있으므로, 화상 전화로 사용할 수 있다. 또한, 표시부(1101)를 화인더로 사용하여 카메라용 렌즈(1203) 및 라이트(1204)로 정지 화상 및 동화상의 촬영이 가능하다. 스피커(1102) 및 마이크로폰(1103)은 음성통화에 한정되지 않고, 화상 전화, 녹음, 재생 등에 사용이 가능하다. 조작 키(1104)를 사용하여, 전화의 착발신, 전자우편 등의 간단한 정보 입력, 화면의 스크롤, 커서 이동 등이 가능하다. 더구나, 중첩된 하우징 1001과 하우징 1002(도 16a)는 슬라이드하여 도 16c와 같이 하우징 1002를 노출시켜, 휴대 정보단말로서 사용할 수 있다. 이 경우, 키보드(1201) 및 포인팅 디바이스(1105)를 사용하여 원활한 조작이 가능하다. 외부 접속 단자(1107)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속가능하며, 충전 및 퍼스널컴퓨터와의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1202)에 삽입된 기록매체를 사용하여 대량의 데이터 보존 및 이동시킬 수 있다.

[0106] 또한, 상기 기능 이외에, 휴대 전화(1000)는 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 된다.

[0107] 본 발명에 따르면, 표시 불량률이 저감되고 신뢰성이 높은 표시장치를 제조하는 것이 가능해진다.

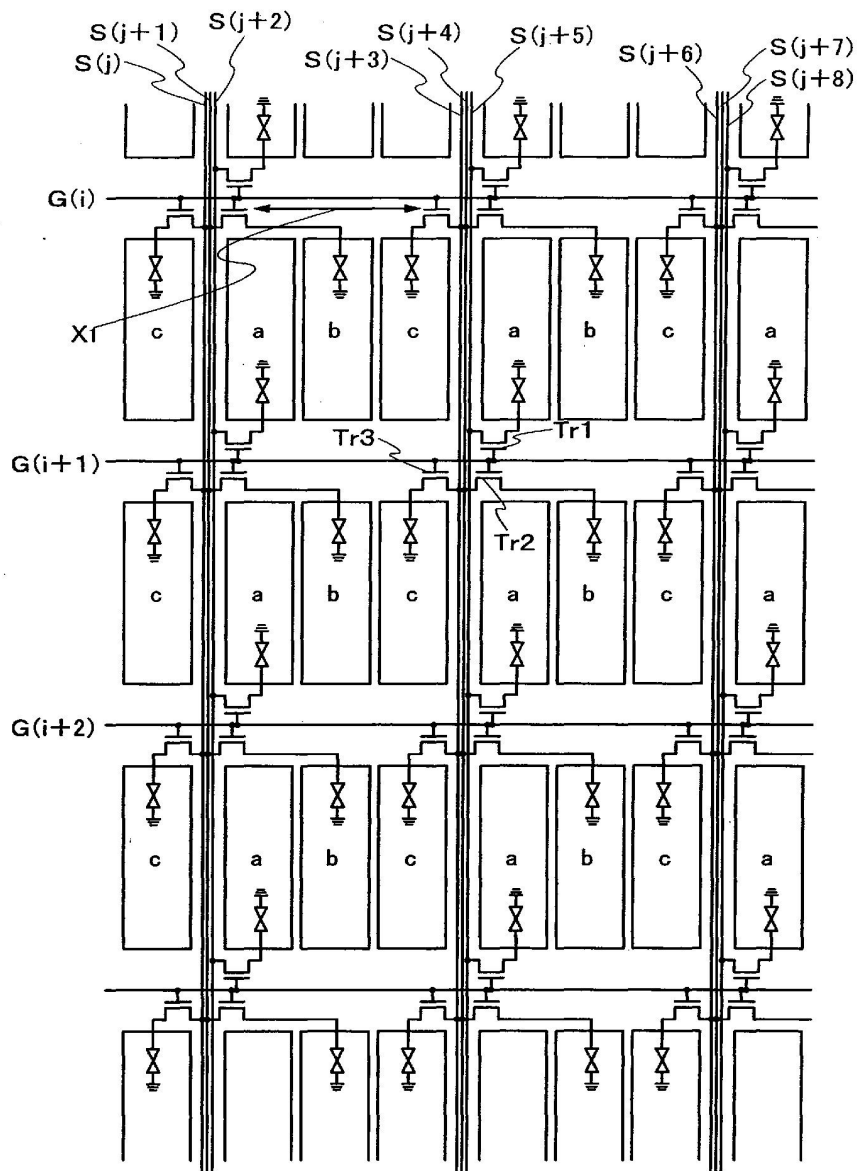
[0108] 본 출원은, 참조용으로 전체 발명내용이 본 발명에 포함되는, 2007년 12월 3일자 일본 특허청에 출원된 일본 특허출원 2007-312546에 근거한다.

부호의 설명

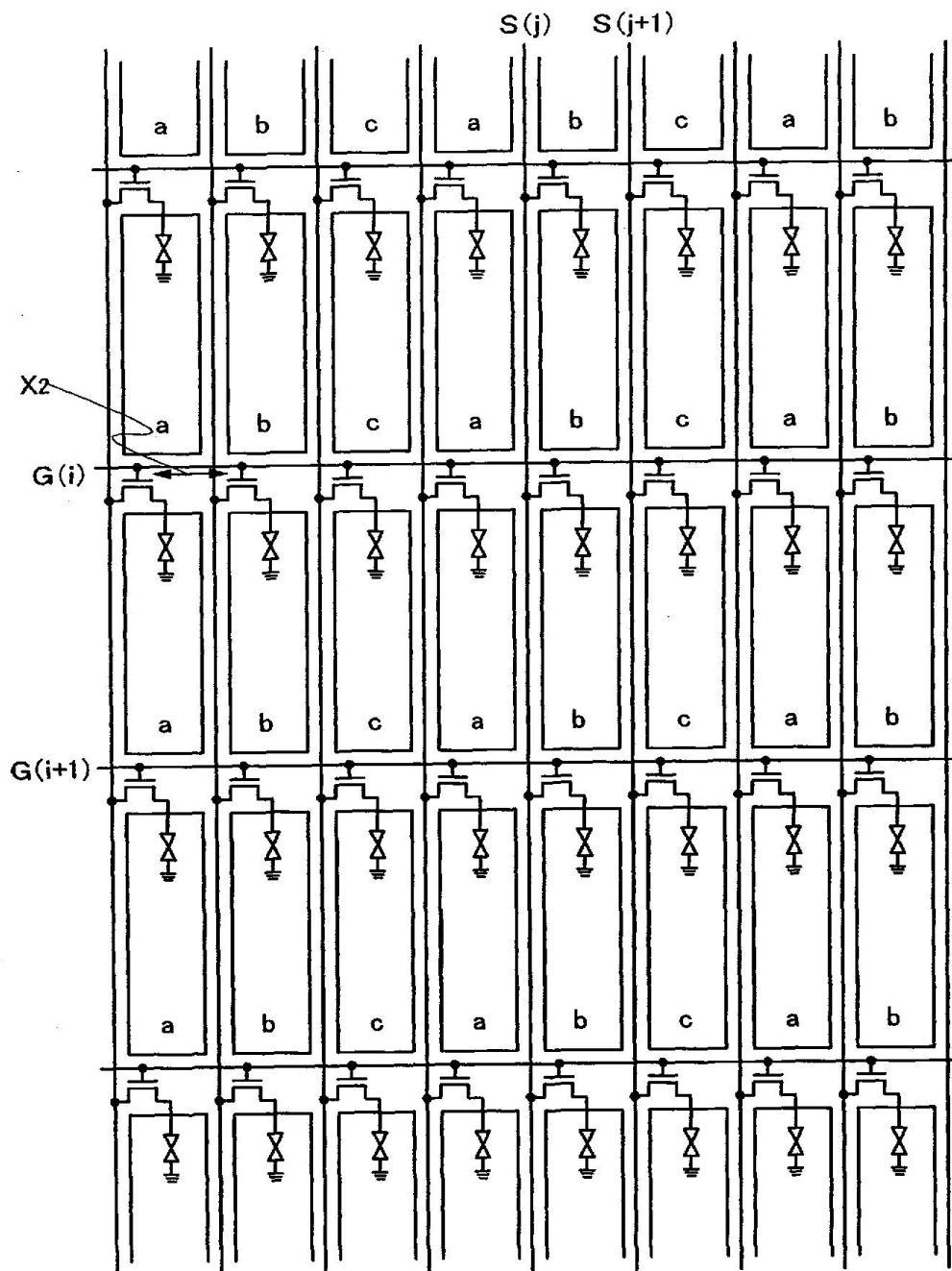
[0109] 10 BM, 11 BM, 100 단결정 반도체 기관, 101 산화질화 규소막, 102 질화산화 규소막, 103 수소 이온, 104 이온 주입층, 105 산화 규소막, 106 베이스 기관, 107 하지막, 108 단결정 반도체층, 109 단결정 반도체층, 110 이음매, 201 섬 형상의 단결정 반도체층, 201a 채널 영역, 201b 불순물 영역, 201c 불순물 영역, 202 제1 절연층, 203 제1 도전층, 204 제2 절연층, 205 제2 도전층, 206 제3 절연층, 207 화소 전극, 208 배향막, 300 글래스 기관, 301 대향 전극, 302 배향막, 801 TFT 기관, 802 대향 기관, 803 액정, 1000 휴대전화, 1001 하우징, 1002 하우징, 1101 표시부, 1102 스피커, 1103 마이크로폰, 1104 조작 키, 1105 포인팅 디바이스, 1106 카메라용 렌즈, 1107 외부 접속 단자, 1108 이어폰 단자, 1201 키보드, 1202 외부 메모리 슬롯, 1203 카메라용 렌즈, 1204 라이트

도면

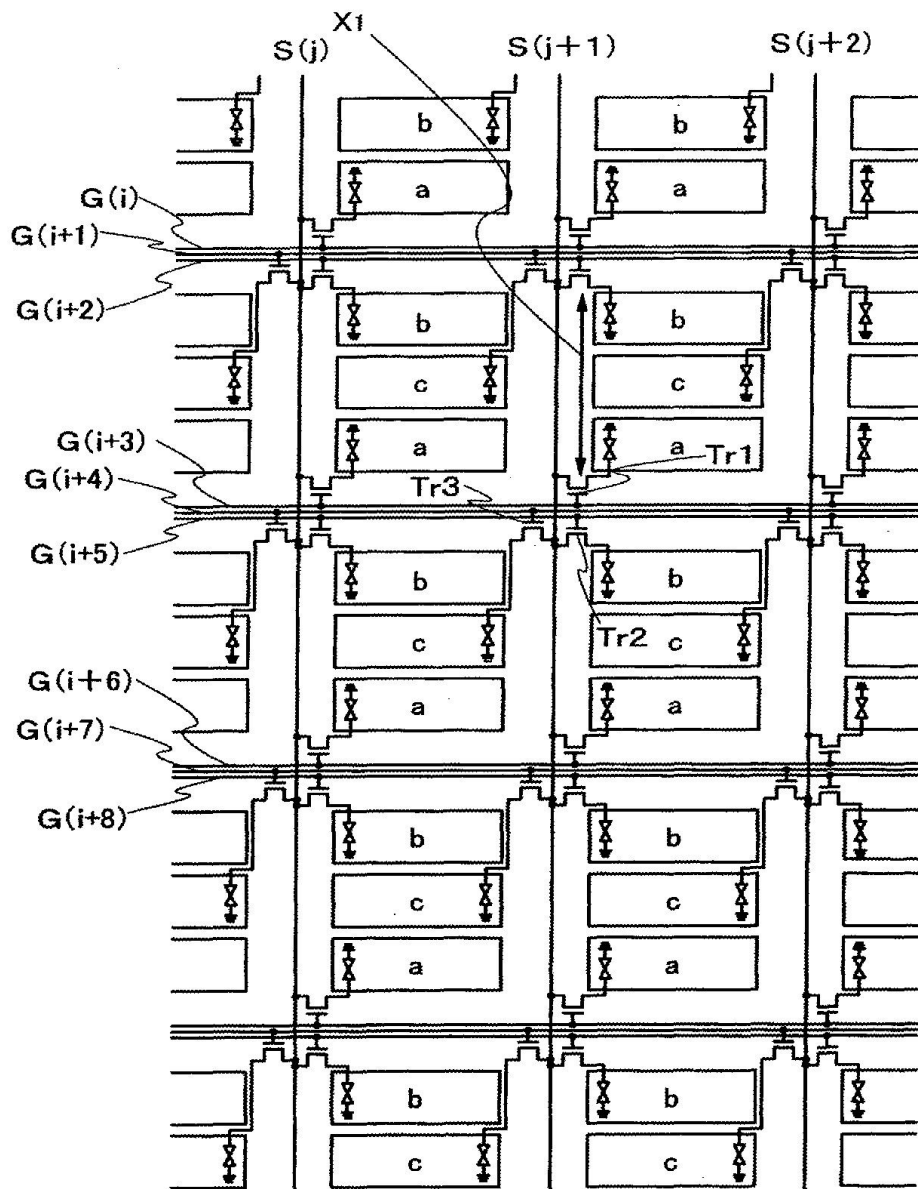
도면1



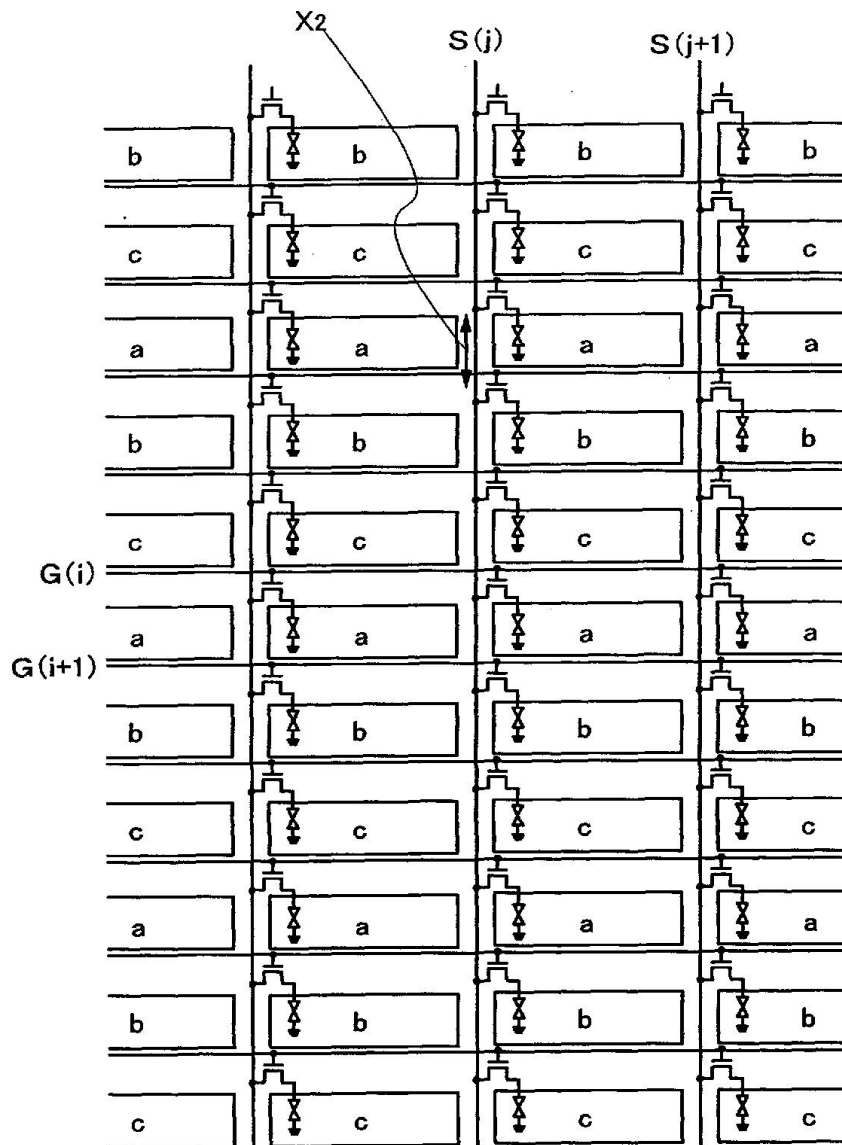
도면2



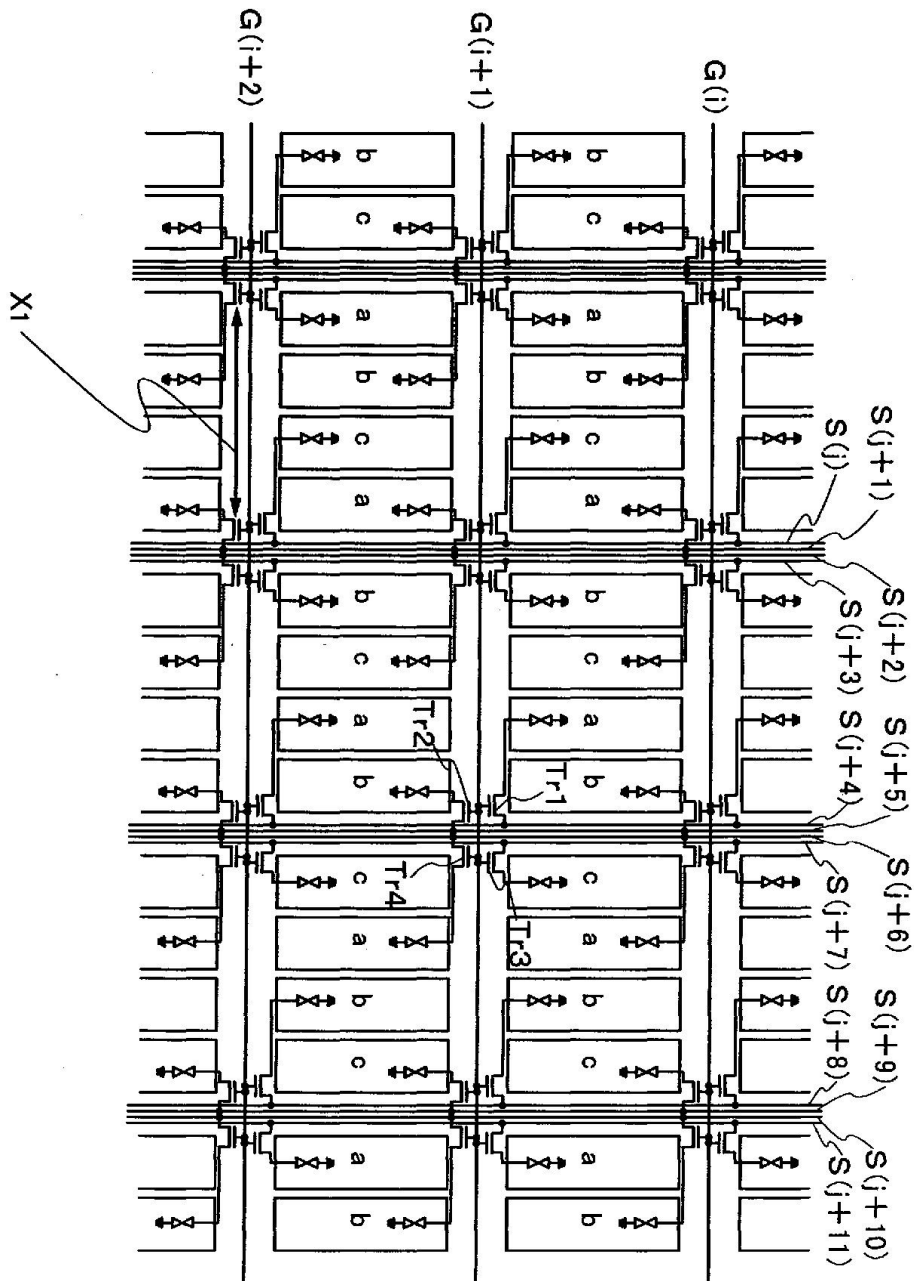
도면3



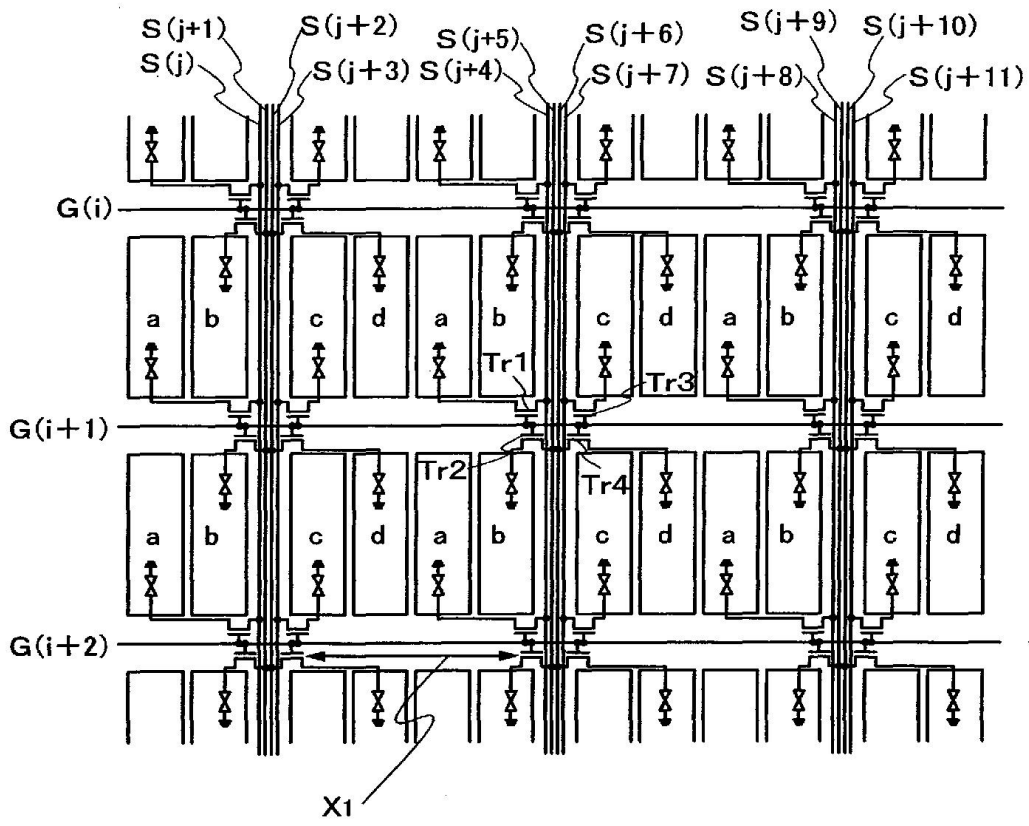
도면4



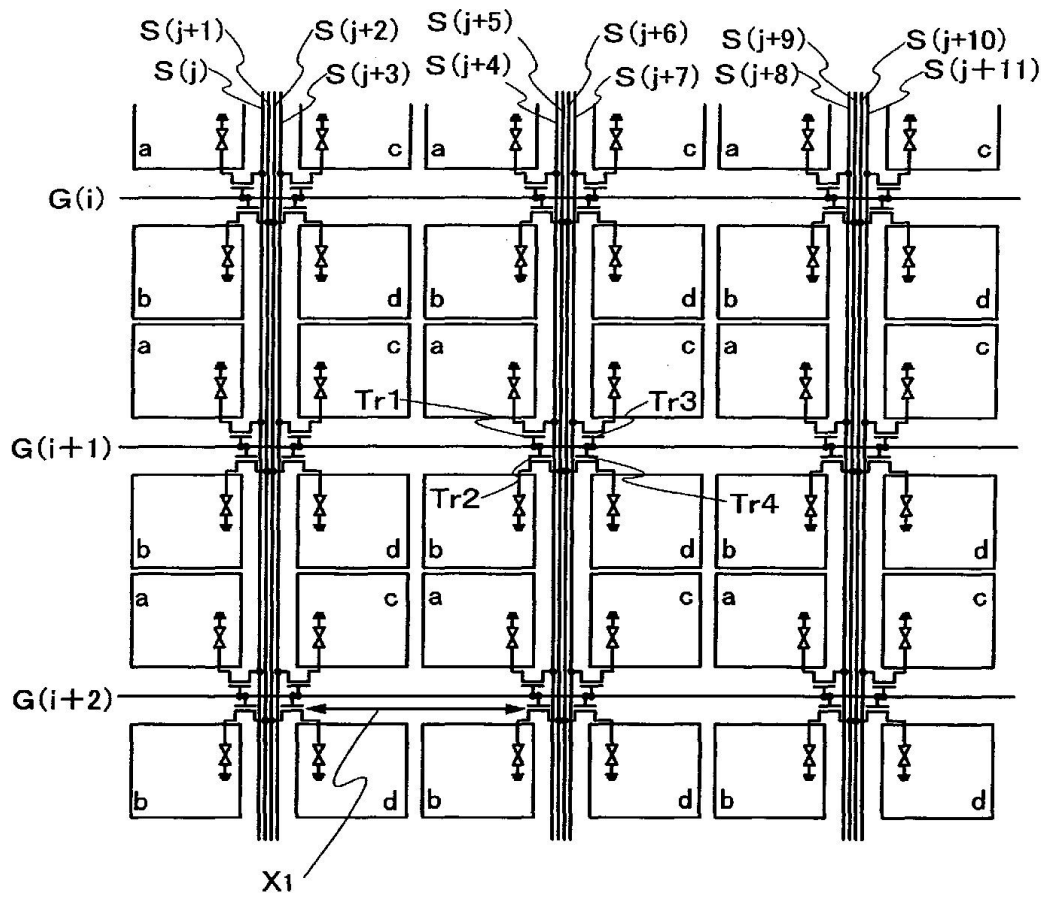
도면5



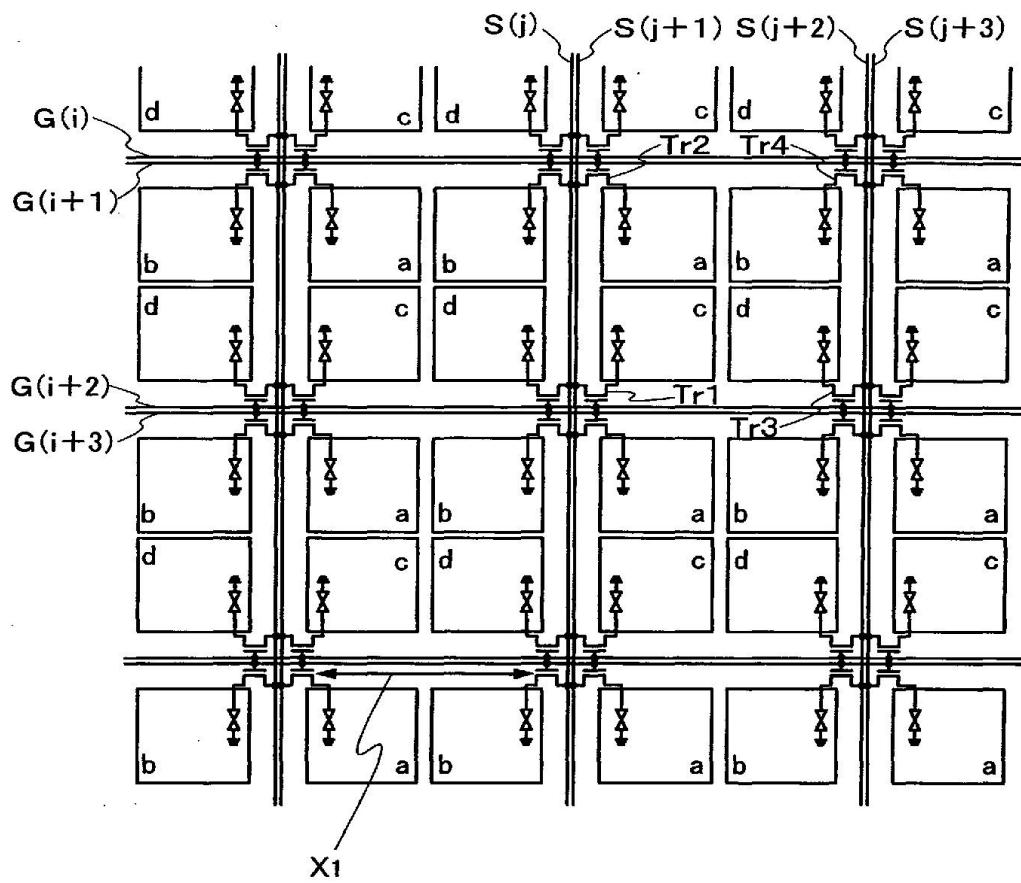
도면6



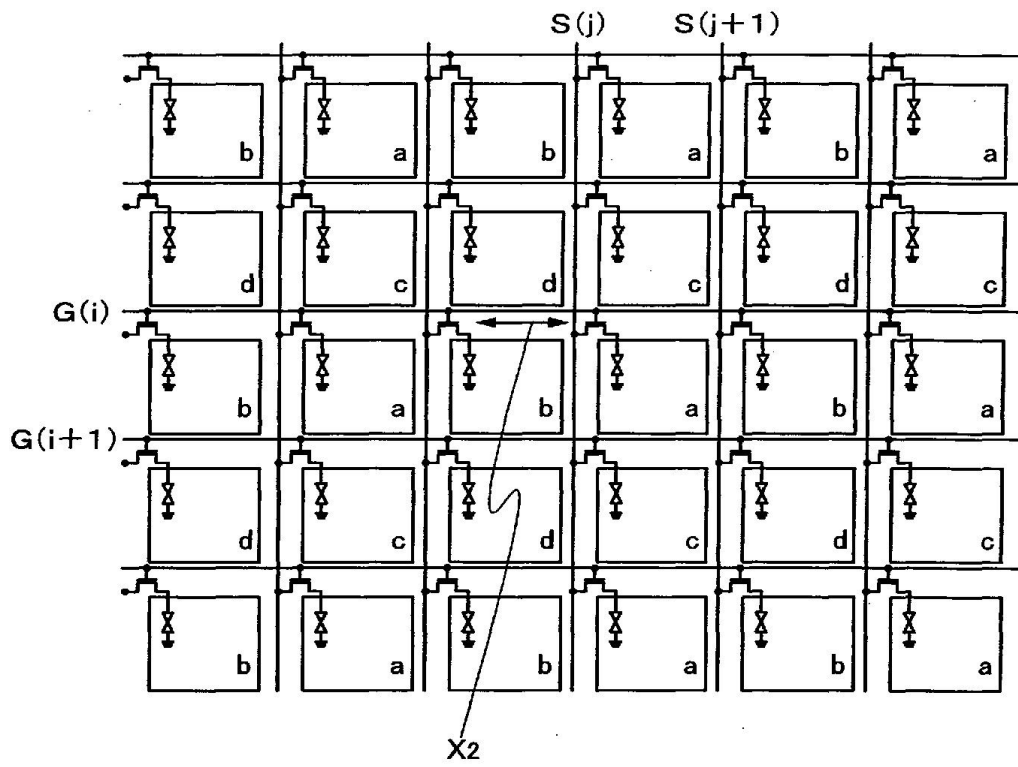
도면7



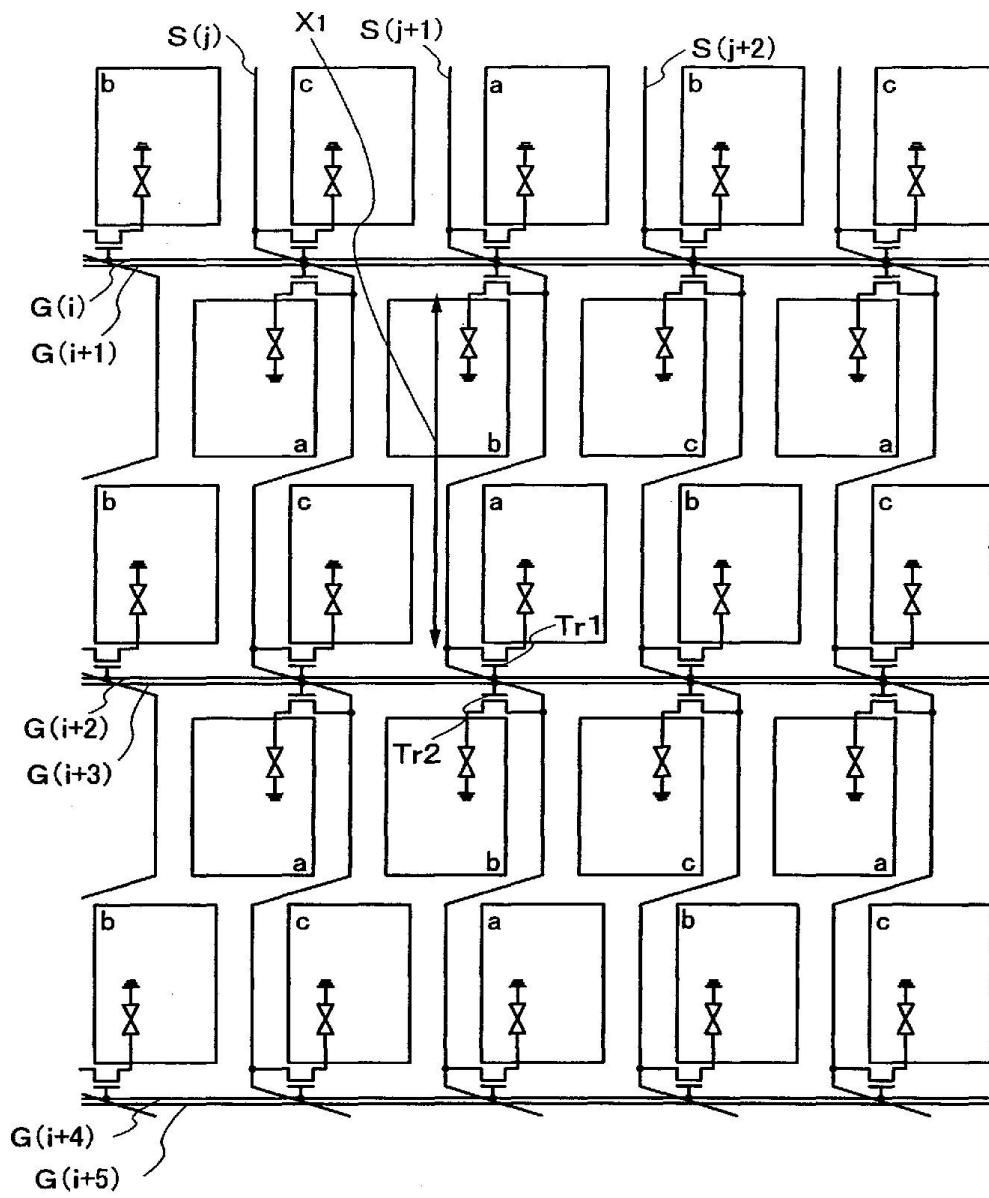
도면8



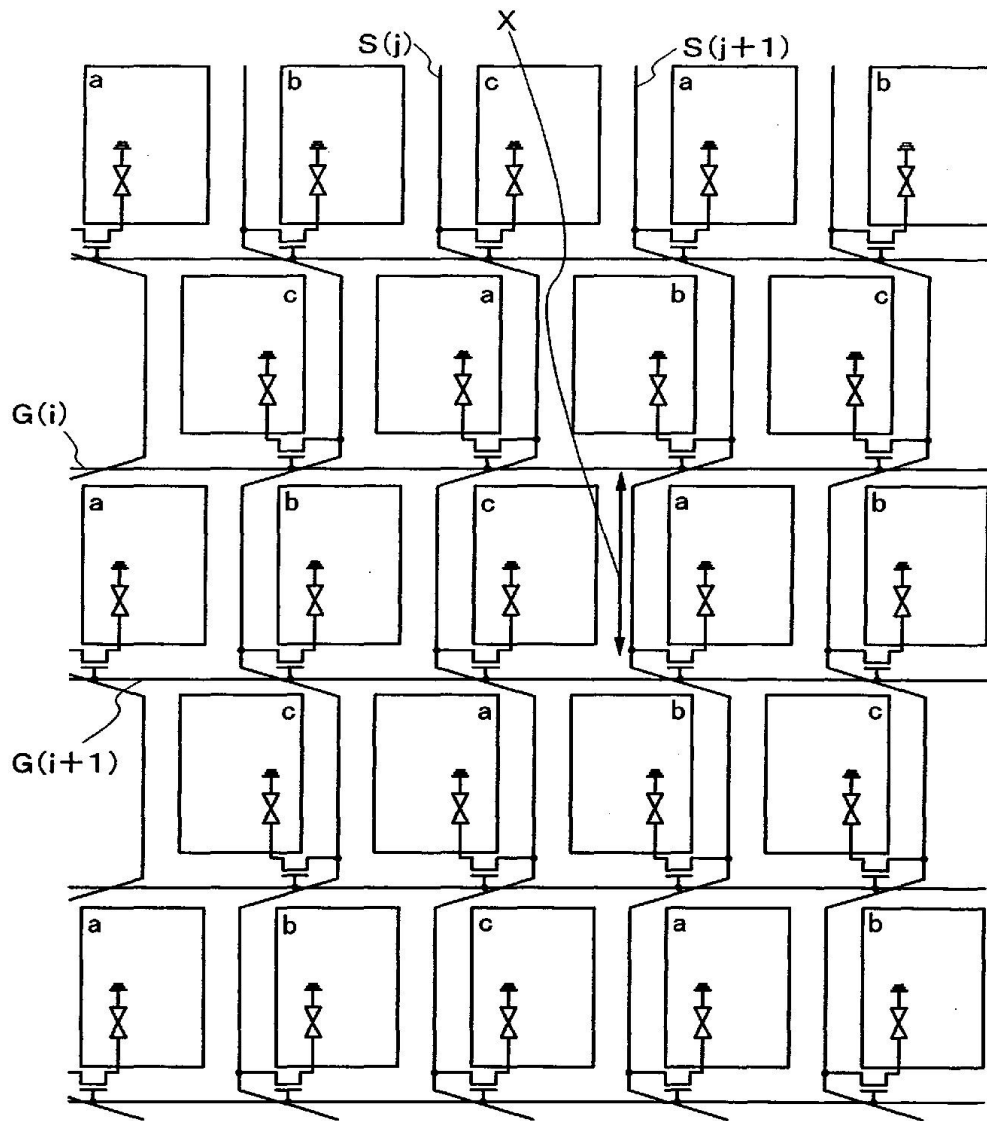
도면9



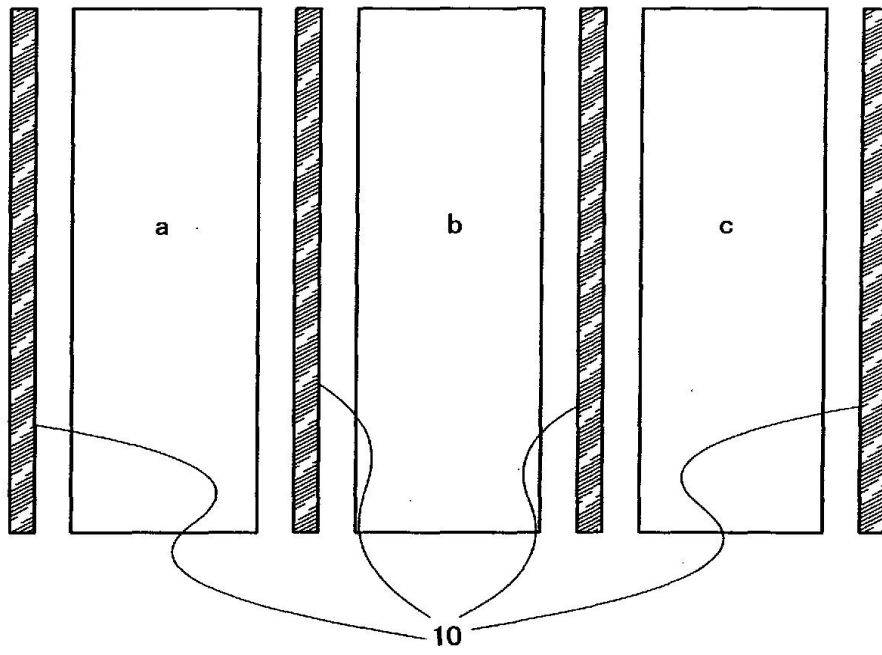
도면10



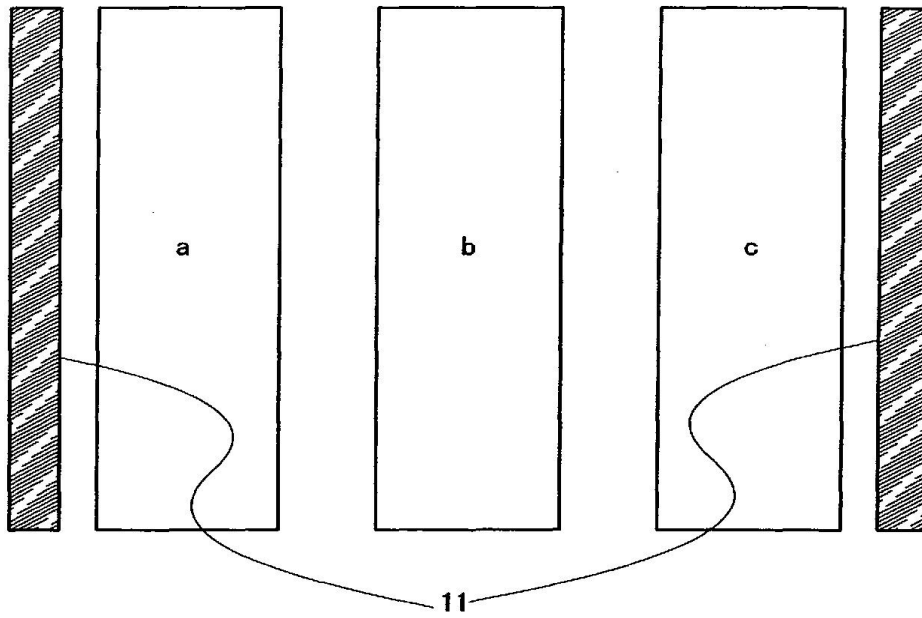
도면11



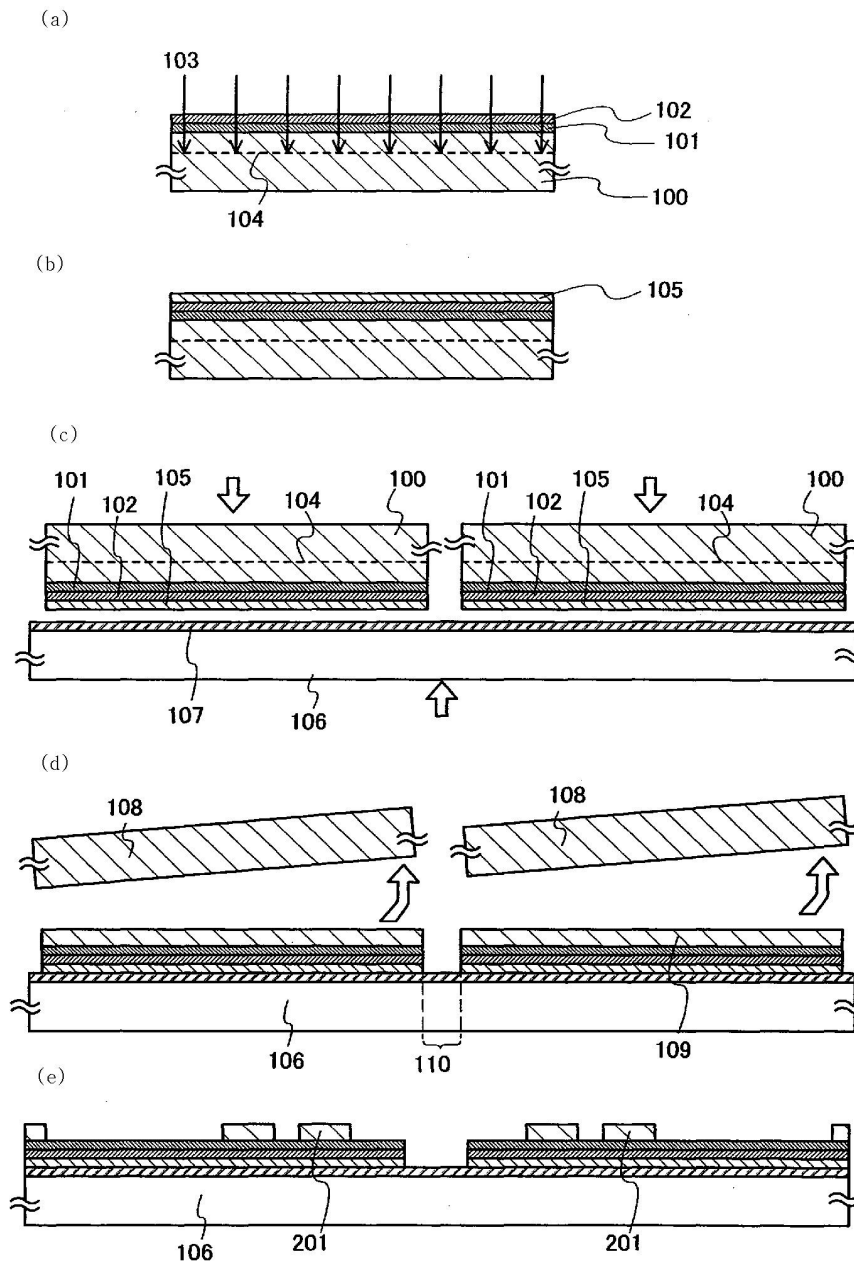
도면12



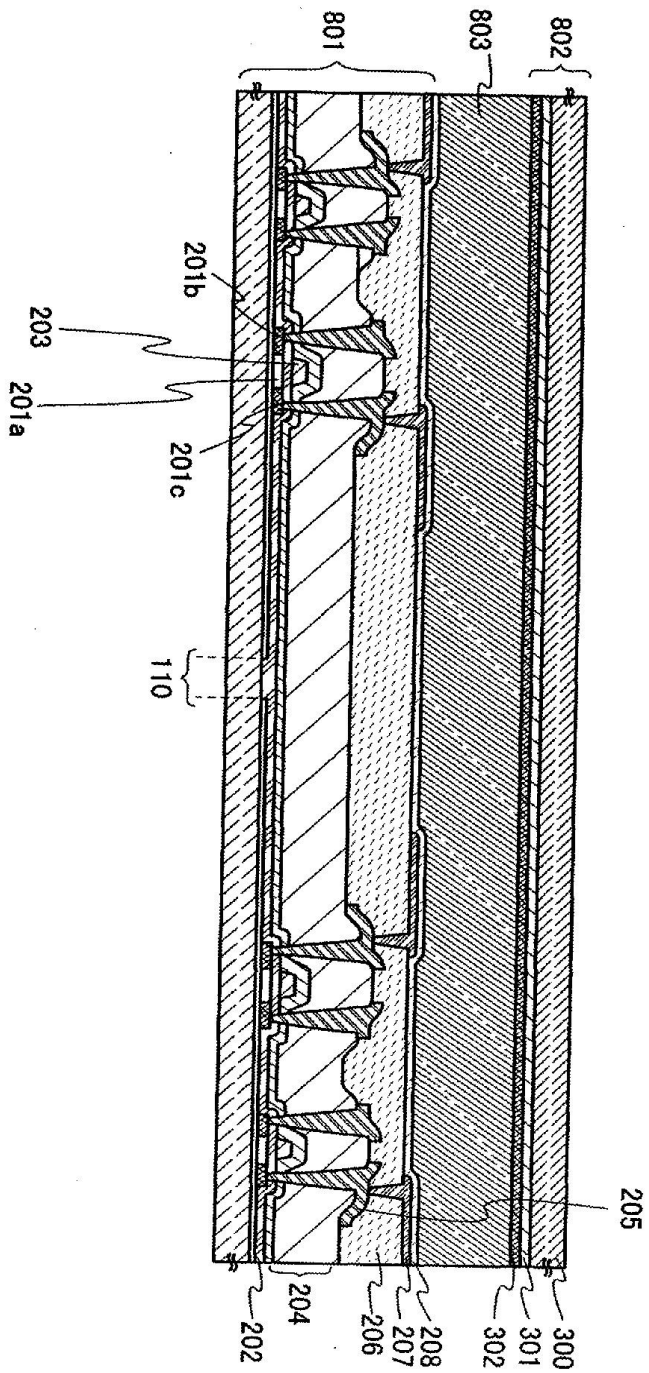
도면13



도면14



도면15



도면16

