

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 9 月 27 日 (27.09.2018)



(10) 国际公布号
WO 2018/171015 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

(21) 国际申请号: PCT/CN2017/083983

(22) 国际申请日: 2017 年 5 月 11 日 (11.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710168933.5 2017年3月21日 (21.03.2017) CN

(71) 申请人: 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽镇丽水路深圳大学城北大园区 A422, Guangdong 518071 (CN)。

(72) 发明人: 张盛东 (ZHANG, Shengdong); 中国广东省深圳市南山区西丽镇丽水路深圳大学城北大园区 A422, Guangdong 518071 (CN)。 马一华 (MA, Yihua); 中国广东省深圳市南山区西丽镇丽水路深圳大学城北大园区 A422, Guangdong 518071 (CN)。 廖聪维 (LIAO, Congwei); 中国广东省深圳市南山区西丽镇丽水路深圳大学城北大园区 A422, Guangdong 518071 (CN)。

(74) 代理人: 北京天驰君泰律师事务所 (TIAN TAI LAW FIRM); 中国北京市朝阳区北辰东路 8 号 6 层 A 座 B 座、7 层 A 座 B 座、20 层 A 座, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: GATE DRIVER CIRCUIT

(54) 发明名称: 栅极驱动电路

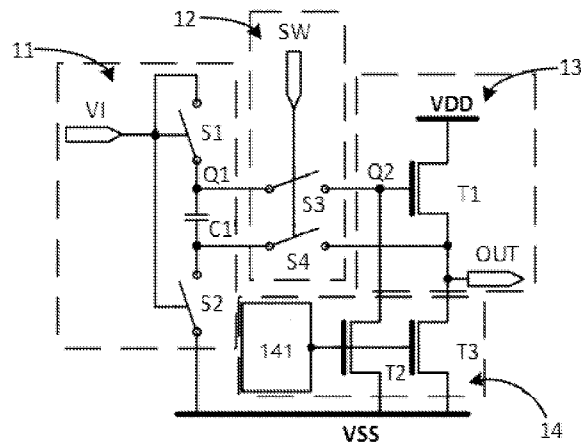


图 1

(57) Abstract: Provided is a shift register unit circuit, comprising an input storage module (11), configured to receive an input signal at an input terminal (VI) and store said input signal; a storage and extraction module (12), configured to extract the input signal from said input storage module (11) under the control of a first clock signal; an output driver module (13), configured to transmit the input signal to an output terminal (OUT) under the control of said storage and extraction module (12); a pull-down and maintenance module (14), configured to pull down to a low level the voltage of said output terminal (OUT) after output ends and to maintain at a low level the voltage of the output terminal before said output driver module (13) receives the subsequent input signal. Also provided is a gate driver circuit comprising the aforementioned shift register unit as well as a method for generating a gate drive signal.

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种移位寄存器单元电路, 包括输入存储模块 (11), 被配置为在输入端 (VI) 接收输入信号并存储所述输入信号; 存储提取模块 (12), 被配置为至少在第一时钟信号的控制下从所述输入存储模块 (11) 提取所述输入信号; 输出驱动模块 (13), 被配置为在所述存储提取模块 (12) 的控制下将所述输入信号传输到输出端 (OUT); 以及下拉和维持模块 (14), 被配置为在输出结束后将所述输出端 (OUT) 的电压下拉到低电平并在所述输出驱动模块 (13) 接收到下一个输入信号之前将所述输出端电压维持在低电平。以及一种包括前述移位寄存器单元的栅极驱动电路以及产生栅极驱动信号的方法。

栅极驱动电路

5 技术领域

本申请涉及有源矩阵显示技术领域，更具体地，涉及一种栅极驱动电路。

背景技术

随着显示器向高分辨率、窄边框方向发展，集成驱动电路的显示器成为了显示器驱动领域研究的热点。当前，薄膜晶体管（Thin Film Transistor, TFT）已经被应用于显示器的制造之中，运用 TFT 技术来实现显示器的驱动电路可以减少外围驱动芯片的数量和简化工艺流程，从而降低成本；能够提高模组的集成度，增强机械可靠性，以便于制造质量轻，厚度薄的窄边框甚至无边框的显示器。集成驱动电路的显示技术的研究，最终目标是实现屏上全集成系统（System on Panel, SOP）。

栅极驱动电路的集成最早得到了学者研究和产业化应用。实现集成栅极驱动电路的 TFT 技术主要分为三种：氢化非晶硅 TFT，低温多晶硅 TFT 和氧化物 TFT。氢化非晶硅 TFT 是显示领域中主流的 TFT 技术，但其迁移率低，主要应用于分辨率较低的显示器中，低温多晶硅 TFT 是一种新兴的 TFT 技术，其迁移率高但均匀性差，主要应用在小尺寸高分辨率的显示器中，而氧化物 TFT 则被认为是下一代 TFT 技术，其迁移率高均匀性好，制造工艺与非晶硅兼容，适合应用于高分辨率的显示器中。这些 TFT 技术的发展，也推动了显示器不断接近 SOP 目标的实现。

发明内容

本申请提供了一种开关电容电压自举电路作为高稳定性、低功耗的移位寄存器单元，并利用包含就这种单元的移位寄存器单元实现栅极驱动电路以及显示器的设计。

本申请提供了一种移位寄存器单元电路，包括输入存储模块，被配置为在输入端接收输入信号并存储所述输入信号；存储提取模块，被配置为至少在第一时钟信号的影响下从所述输入存储模块提取所述输入信号；输出驱动模块，被配置为在所述存储提取模块的控制下将所述输入信号传输到输出端；以及下拉和维持模块，被配置为在输出结束后将所

述输出端的电压下拉到低电平并在所述输出驱动模块接收到下一个输入信号之前将所述输出端电压维持在低电平。

特别的，所述输入存储模块包括，存储电容被配置为存储所述输入信号，所述存储电容的第一端通过第一开关与所述输入端耦接，第二端通过第二开关与低电平耦接，所述
5 第一开关和第二开关在所述输入信号的控制下开启或关闭；所述输出驱动模块包括，第一晶体管，所述第一晶体管包括与高电平耦接的第一极，以及与所述输出端和所述下拉和维持模块耦接的第二极，以及与所述存储提取模块耦接的第三极；所述存储提取模块包括，耦接在所述存储电容第一端以及所述第一晶体管第三极之间的第三开关，以及耦接在所述存储电容第二端以及所述输出端之间的第四开关，其中，所述第一时钟信号影响所述第三
10 和第四开关的开关状态。

特别的，所述输出驱动模块还包括第二晶体管，所述第二晶体管的第一极耦接到高电平，第二极耦接到第二输出端，第三极耦接到所述第一晶体管的第三极，其中所述第一晶体管的尺寸大于所述第二晶体管的尺寸。

特别的，所述第一开关是第三晶体管，包括耦接到所述输入端的第一极和第三极，
15 以及耦接到所述存储电容第一端的第二极；所述第二开关是第四晶体管，包括耦接到所述存储电容第二端的第一极，耦接到低电平的第二极，和耦接到所述输入端的第三极，当所述输入信号为高电平时，所述第一和第二开关开启，所述存储电容充电。

特别的，所述第三开关是第五晶体管，包括耦接到所述存储电容第一端的第一极，耦接到所述第一晶体管第三极的第二极，和耦接到第一时钟信号输入端的第三极；所述第
20 四开关是第六晶体管，包括耦接到所述存储电容第二端的第一极，耦接到所述输出端的第二极，和耦接到第一时钟信号输入端的第三极；所述第一时钟信号在所述存储电容充电结束后达到高电平，所述第三和第四开关开启。

特别的，所述存储提取模块还包括第七晶体管和第八晶体管，第七晶体管的第一极和第三极耦接到所述第一时钟信号输入端，第二极耦接到所述第五晶体管和第六晶体管的
25 第三极，第八晶体管的第一极耦接到所述第七晶体管的第二极，第二极耦接到低电平，第三极耦接到放电控制信号输入端，使得在所述存储电容充电期间所述第三和第四开关处于关闭状态。

特别的，所述下拉和维持模块包括第九晶体管和第十晶体管，其中所述第九晶体管包括耦接到所述第一晶体管第三极的第一极，耦接到低电平的第二极，以及耦接到下拉和

维持控制信号输入端的第三极，所述第十晶体管包括耦接到所述输出端的第一极，耦接到低电平的第二端，以及耦接到下拉和维持控制信号输入端的第三极。

特别的，所述下拉和维持模块包括下拉子模块和维持子模块，其中所述下拉子模块包括所述下拉子模块包括第十一和第十二晶体管，该两个晶体管的第二极都耦接到低电平，第三极都耦接到一个下拉控制信号输入端，其中第十一晶体管的第一极耦接到所述第一晶体管的第三极，第十二晶体管的第一极耦接到第一晶体管的第二极和所述输出端；所述维持子模块包括第十四和第十五晶体管，该两个晶体管的第二极都耦接到低电平，第三极都耦接到第二时钟信号输入端，其中第十四晶体管的第一极耦接到第一晶体管的第三极，第十五晶体管的第一极耦接到第一晶体管的第二极和所述输出端。

特别的，所述下拉和维持模块包括下拉子模块和维持子模块；所述下拉子模块包括第十一、第十二和第十三晶体管，该三个晶体管的第二极都耦接到低电平，第三极都耦接到一个下拉控制信号输入端，其中第十一晶体管的第一极耦接到所述第一晶体管和第二晶体管的第三极，第十二晶体管的第一极耦接到第一晶体管的第二极和所述输出端，第十三晶体管的第一极耦接到第二晶体管的第二极和所述第二输出端；所述维持子模块包括第十四、第十五和第十六晶体管，该三个晶体管的第二极都耦接到低电平，第三极都耦接到第二时钟信号输入端，其中第十四晶体管的第一极耦接到第一晶体管和第二晶体管的第三极，第十五晶体管的第一极耦接到第一晶体管的第二极和所述输出端，第十六晶体管的第一极耦接到第二晶体管的第二极和所述第二输出端。

本申请还提供了一种栅极驱动电路，包括移位寄存器，所述移位寄存器包括 M 个级连的单元，其中第 1 至 M-1 级所述单元包括如前述任一权利要求所述的电路，其中第 N 级的输入端耦接到第 N-1 级的第二输出端，第 N 级的下拉控制信号端耦接到第 N+1 级的第二输出端，第 N 级的放电控制信号输入端耦接到第 N-2 级的第二输出端，其中 M 为大于 4 的正整数，N 为小于等于 M-1 但不小于 3 的正整数；其中第 1 级移位寄存器单元的输入端接收初始的输入信号，第 1 级的放电控制信号输入端接收初始的放电控制信号，第 1 级的下拉控制信号输入端耦接到第 2 级的第二输出端；以及第 2 级的放电控制信号输入端接收初始的输入信号，第 2 级的输入端耦接到第 1 级的第二输出端，第 2 级的下拉控制信号输入端耦接到第 3 级的第二输出端。

特别的，第 M 级移位寄存器单元的其输出仅被配置向第 M-1 级单元提供下拉控制信号。

本申请还提供了一种显示器，包括像素矩阵，与所述像素矩阵耦接的数据驱动电路，以及与所述像素矩阵耦接的如前所述的栅极驱动电路。

特别的，所述显示器为 TFT 显示器，所述栅极驱动电路与所述像素矩阵形成在相同的基板上。

- 5 本申请还提供了一种产生显示器栅极驱动信号的方法，包括由显示器的栅极驱动模块中的移位寄存器中的每个单元执行以下操作，其中每个移位寄存器单元包括输入存储模块、存储提取模块、输出驱动模块和下拉维持模块；输入存储模块接收并存储输入信号；存储提取模块至少在时钟信号的影响下将所存储的输入信号传输到输出驱动模块；输出驱动模块在所述存储提取模块的控制下将所述输入信号传输到输出端；下拉和维持模块在输出结束后将所述输出端的电压下拉到低电平并在所述输出驱动模块接收到下一个输入信号之前将所述输出端电压维持在低电平。
- 10

- 本申请所介绍的栅极驱动电路和显示器，避免了将用于驱动负载的输出晶体管直接连接到时钟信号，从而抑制了时钟馈通效应和动态功耗，能够大大减少电路的功耗和减少低电平维持阶段内部节点的电压波动；另一方面，只需用一个低电平就能完成低功耗的设计目标，减少了布线的复杂度和总体的电路面积。
- 15

以下将参照附图对本申请的示例性实施例的详细描述。

附图说明

- 被结合在说明书中并构成说明书的一部分的附图示出了本申请的实施例，并且连同其说明一起用于解释本申请的原理。
- 20

- 图 1 所示为根据本申请一个实施例的移位寄存器单元电路示意图；
图 2 所示为图 1 所示的电路工作时序示意图；
图 3 所示为根据本申请一个实施例的移位寄存器单元电路示意图；
图 4 所示为根据本申请另一个实施例的移位寄存器单元电路示意图；
25 图 5 所示为图 3 或者图 4 所示电路的工作时序示意图；
图 6 所示为根据本申请一个实施例的栅极驱动电路示意图；
图 7 所示为根据本申请另一个实施例的栅极驱动电路示意图；
图 8 所示为图 6 所示的栅极驱动电路工作时序示意图；
图 9 所示为根据本申请一个实施例的显示器示意图；以及

图 10 所示为根据本申请一个实施例的产生栅极驱动信号的方法的流程图。

具体实施方式

以下将参照附图来详细描述本申请的各示例性实施例。应注意的是，除非另外具体说明，否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限5 制本申请的范围。

以下对至少一个示例性实施例的描述实际上仅仅是说明性的，决不作为对本申请及其应用或使用的任何限制。

对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论，但在适当10 情况下，所述技术、方法和设备应当被视为说明书的一部分。

在这里示出和讨论的所有例子中，任何具体值应被解释为仅仅是示例性的，而不是作为限制。因此，示例性实施例的其它例子可以具有不同的值。

应注意的是，相似的标号和字母在下面的附图中表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图中不需要对其进行进一步讨论。

15 目前的栅极驱动电路大多采用 1993 年 Thomson 公司提出的 GOA (Gate driver On Array) 结构，这种结构通过栅极电压的自举来获得用于驱动负载的输出晶体管的较大的过驱动电压，以提高电路的驱动能力。从那以后，各个机构在该结构的基础上进行了大量研究。由于当前主流的 TFT 技术只提供 N 型晶体管，在对例如 GOA 结构的输出节点进行充电时，需要用到电压自举技术。

20 然而，目前采用的电压自举电路的结构面临动态功耗和时钟馈通的问题，这些问题尤其是在蚀刻层阻挡 (Etch Stop Layer, ESL) 的工艺下会对电路性能造成很大影响。这是因为在当前栅极驱动电路中所采用的例如 GOA 结构的输出晶体管的第一极直接连接时钟信号，随着时钟信号的周期性变化以及输出晶体管的寄生电容的存在会导致动态功耗。在低电平维持阶段，由于时钟信号的周期性变化，电路内部节点的电压25 也会相应动的产生周期性的波动，从而产生时钟馈通的现象。另外，在传统的电路中需要采用两种不同的低电平，这是为了在低电平维持阶段，输出晶体管的第三极例如栅极的电压低于其第二级例如源极的电压，从而抑制输出晶体管的漏电功耗。但是低电压源数量的增加以及相应的布线安排都会增加电路的复杂度和面积。

因此，在保证电路驱动能力的基础上，抑制时钟馈通效应和减小动态功耗，是当

前栅极驱动电路亟待解决的问题。

下面通过具体实施方式结合附图对本申请作进一步详细说明。

首先对本申请中用到的一些术语进行说明。在本申请中，晶体管可以是任何结构的晶体管，如场效应晶体管(FET, Field Effect Transistor)或者双极型晶体管(BJT, Bipolar Junction Transistor)。当晶体管为FET时，第一极指漏极，第二极指源极，第三极指栅极；当晶体管为BJT时，第一极指集电极，第二极指发射极，第三极指基极。显示装置中的晶体管可以是TFT器件。当晶体管作为开关使用时，其第一极和第二极可以互换。在本申请中，发光器件可以是有机发光二极管OLED，也可以是其他类型的发光器件。除特别说明外，本申请中所用的晶体管为N型场效应管或NPN型双极晶体管。

以下以场效应晶体管为例进行说明。当然，以双极型晶体管实施以下的方案也属于本申请所要求保护的内容。

图1所示为根据本申请一个实施例的移位寄存器单元电路的示意图。根据一个实施例，该电路包括输入存储模块11，存储提取模块12，输出驱动模块13和下拉和维持模块14。

根据一个实施例，输入存储模块11可以包括存储电容C1，耦接在C1第一端和信号输入端VI之间的开关S1，和耦接在C1的第二端和低电平VSS之间的开关S2。开关S1和S2的开启和关闭受输入端VI接收到的输入信号的控制。

根据一个实施例，存储提取模块12可以包括耦接在C1第一端Q1节点和输出驱动模块13之间的开关S3，以及耦接在C1第二端和输出驱动模块之间13的开关S4，开关控制端SW节点负责接收控制S3和S4开启和关闭的控制信号。根据一个实施例，这个控制信号可以是一个时钟信号如图2所示。

根据一个实施例，输出驱动模块13可以包括输出晶体管T1，其第一极耦接到高电平VDD，其第三极与开关S3在Q2点耦接，第二极耦接到输出端OUT。另外，输出端OUT与开关S4耦接如图2所示。

根据一个实施例，下拉和维持模块14可以包括晶体管T2和T3，晶体管T2的第一极耦接至输出晶体管T1的第三极，T3的第一极耦接至输出端OUT，T2和T3的第二极都耦接至低电平VSS，T2和T3第三极都耦接至产生下拉和维持控制信号的子模块141。

图2为图1所示电路的示例性工作时序图。根据一个实施例，可以将图1中电路

的工作时序分为预充电阶段 P1，上拉阶段 P2，下拉阶段 P3 和低电平维持阶段 P4，下面详细描述这四个阶段的工作过程。

(1) 预充电阶段 P1

在这个阶段内，输入端 VI 接收到的输入信号处在高电平，开关 S1 和 S2 开启，电容 C1 被充电。在这个过程中，控制端 SW 接收到的信号为低电平，开关 S3 和 S4 关闭，输出晶体管 T1 的第三极和 Q2 节点电压维持在低电平，T1 关断，从而输出端 OUT 的电压处在低电平。

(2) 上拉阶段 P2

在这个阶段内，输入端 VI 接收到的输入信号变为低电平，开关 S1 和 S2 关闭，不再接收输入信号。控制端 SW 接收到的控制信号变为高电平，开关 S3 和 S4 开启，电容 C1 放电，Q1 节点上的电压被传输到 Q2 节点，Q2 节点电压升高，输出晶体管 T1 导通，对输出端 OUT 进行充电。由于电容 C1 的第一端 Q1 处于浮空状态，第二端与输出端 OUT 耦接，随着 OUT 节点电压的升高至高电平，浮空的 Q1 节点的电压也会跟着抬升，Q2 节点的电压也会抬升至高于高电平 VDD 的一个电压水平例如 V_q ，从而保证了输出端电压的上升速度，这种现象被称为电压自举。

(3) 下拉阶段 P3

在这个阶段内，控制端 SW 接收到的控制信号变为低电平，S3 和 S4 关闭，输出晶体管 T1 关断，晶体管 T2 和 T3 的第三极接收到的下拉信号 Dis 在这个阶段变为高电平，输出端 OUT 和 Q2 节点被下拉至低电平 VSS。在这个实施示例中，Q1 节点在这一阶段并没有放电至低电平，而是下降到例如高电平 VDD。这是因为，如图 2 所示，控制端 SW 接收到的控制信号是一个例如时钟信号，这个信号在这个阶段内处于低电平，因此 Q1 节点与 Q2 节点并没有相连，因此 Q1 节点的电压无法在这个阶段下降到 VSS。但是由于输出端 OUT 电压已经下拉到了低电平，在电容耦合的作用下，Q1 点的电压从 V_q 下降到了 VDD。

(4) 低电平维持阶段 P4

在这个阶段内和这个阶段后，T2 和 T3 的第三极接收到的低电平维持信号 KLL 在这个阶段变为高电平，将输出端 OUT 和 Q2 节点维持在低电平。在这个实施示例中，如图 2 所示，SW 端的信号在这个阶段达到高电平，Q1 节点在这一阶段内与 Q2 节点相连，并放电至低电平。如图 2 所示低电平维持信号 KLL 在 P2 和 P3 阶段是低电平，在其他阶

段是高电平。当然,KLL 信号还可以是其他形式的,只要确保其在 P2 阶段是低电平即可。

在本实施例中的电路,通过电容存储和传递电压,使得驱动负载的输出晶体管在第一极耦接到固定的正电压源 VDD 的情况下同样实现了电压自举,从而在保证电路速度的前提下,避免了传统结构中输出晶体管与时钟信号直接相连而导致的严重的动态
5 功耗和时钟馈通效应。因此,这种结构可以大大减小电路的总体功耗,增强电路的稳定性。

在本实施例所介绍的电路中,开关控制端 SW 所接收到的信号很重要,图 2 中的电路主要是用来阐述开关电容自举电路结构的特征,并不局限于用时钟来作为在 SW 节点来控制开关 S3 和 S4 的信号。也就是说只要采用了存储提取模块这种方式,而不是将
10 输出晶体管直接与高电平相连,并且控制存储提取模块的工作是受时钟信号影响的自举电路或者移位寄存器单元电路结构都是本申请所要求保护的范畴。至于采用什么样的电路来产生开关控制信号,根据不同的应用和需求,是可以有不同的变化的。以下我们将详细介绍一些实例。

图 3 所示为根据本申请一个实施例的一种移位寄存器单元电路。该电路可以包括
15 输入存储模块 31,存储提取模块 32,输出驱动模块 33,下拉模块 34,低电平维持模块 35。

根据一个实施例,输入存储模块 31 可以包括存储电容 C1 和晶体管 T311 和 T312,晶体管 T311 的第一极和第三极都耦接到输入端 VI1,第二极耦接到电容 C1 的第一端和节点 Q1;晶体管 T312 的第一端耦接到电容 C1 的第二端,T312 的第二极耦接到低电平
20 VSS,T312 的第三极耦接到输入端 VI1。

根据一个实施例,存储提取模块 32 可以包括用于传递存储电压的晶体管 T321 和 T322,晶体管 T321 的第一极耦接到电容 C1 的第一端和节点 Q1,T322 的第一极耦接到电容 C1 的第二端。晶体管 T321 和 T322 的第三极都耦接到节点 SW,控制信号输入端 SW 被配置为接收控制晶体管 T321 和 T322 工作的控制信号。

25 根据一个实施例,存储提取模块 32 还可以包括晶体管 T323 和 T324,T323 的第一极和第三极都耦接到第一时钟信号输入端 CLK1,T323 的第二极耦接至 T321 和 T322 的第三极 SW 节点;T324 的第一极耦接至 T323 的第二极,T324 的第二极耦接至低电平 VSS,第三极耦接至放电控制信号输入端 VI0。

根据一个实施例,输出驱动模块 33 可以包括输出晶体管 T331 和输出晶体管 T332。

T331 和 T332 的第一极都耦接到高电平 VDD, 第三极都耦接到 T321 的第二极和节点 Q2。T331 的第二极耦接到级联输出端 COUT, T332 的第二极耦接到信号输出端 OUT。根据一个实施例, 级联输出端 COUT 输出的信号不用于驱动负载, 只用于输出给其他级的移位寄存器单元作为输入或控制之用。因此, 根据一个实施例, 输出晶体管 T332 的尺寸大于输出 T331 的尺寸。

根据一个实施例, 下拉模块 34 可以包括 Q2 点的下拉管 T341, COUT 端的下拉管 T342, 和 OUT 端的下拉管 T343, 这三个晶体管的第二极都耦接到低电平 VSS, 第三极都耦接到下拉控制信号输入端 VR1, 区别在于 T341 的第一极耦接到 Q2, T342 的第一极耦接到 COUT, T343 的第一极耦接到 OUT。

根据一个实施例, 低电平维持模块 35 可以包括晶体管 T351, T352 和 T353, 它们的第二极都耦接到低电平 VSS, 第三极都耦接到第二时钟信号输入端 CLK2, 区别在于 T351 的第一极耦接到 Q2 节点, T352 的第一极耦接到 COUT, T353 的第一极耦接到 OUT。

图 5 所示为图 3 所示的根据本申请一个实施例的移位寄存器单元的示例性工作时序图。如图所示, 可以将该移位寄存器单元的工作过程分为以下五个阶段: 放电阶段 P0, 预充电阶段 P1, 上拉阶段 P2, 下拉阶段 P3 和低电平维持阶段 P4, 下面详细描述这五个阶段的工作过程。

(1) 放电阶段 P0

在这个阶段内, 在输入信号端 VI1 接收到的输入为低电平, 放电控制信号输入端 VI0 接收到的信号为高电平, T324 晶体管被开启, 将 SW 节点电压放电至低电平。这是为了确保在对存储电容 C1 充电的时候, T321 和 T322 是关断的, 因此导致输出晶体管被提前打开而造成逻辑混乱。

当然, 这步放电操作也可以放到 P1 阶段进行, 但这样做可能会存在着同时对 SW 节点充电和放电的情形, 会增加漏电功耗。

(2) 预充电阶段 P1

在这个阶段内, 输入信号端 VI1 所接收到的输入信号变为高电平, T311 管和 T312 管开启, 电容 C1 充电。在这个过程中, 第一时钟信号输入端 CLK1 所接收到的第一时钟信号处在低电平, SW 点继续保持在低电平, T321 管和 T322 管关断。没有高电平传输到输出晶体管 T331 和 T332 的第三极, T331 和 T332 处于关断状态。并且, 第二时钟信号输入端 CLK2 所接收到的时钟信号处在高电平, Q2 节点、输出端 OUT、级联输出端

COUT 都被维持在低电平 VSS。

(3) 上拉阶段 P2

在这个阶段内,输入信号端 VI1 接收到的输入信号变为低电平,晶体管 T311 和 T312 关断。第一时钟信号端 CLK1 接收到的时钟信号在这个阶段处在高电平,晶体管 T323 被开启,放电控制信号输入端 VI0 在这个阶段处在低电平,晶体管 T324 关断,从而 SW 节点电压从低电平变为高电平,开关晶体管 T321 和 T322 被开启, Q1 节点上的电压被传输到 Q2 节点上。

随着 Q2 节点电压的升高,输出晶体管 T331 和 T332 被开启,对输出端 OUT 和级联输出端 COUT 进行充电。随着输出端 OUT 和级联输出端 COUT 电压的抬升至高电平,由于输出晶体管 T331 的寄生电容以及电容 C1 的存在,浮空的 Q1 节点和 Q2 节点的电压会因自举而抬升到高于高电平 VDD 的电压例如 V_q 。对于 SW 节点而言,晶体管 T323 导通将 SW 节点充电至高电平 VDD,又由于 Q1 和 Q2 节点的电压抬升,使得 SW 节点的电压受电容耦合的影响被抬高至例如 V_q 。由图 5 可见, Q1 节点、Q2 节点和 SW 节点的电压都提高到高于 VDD 的例如电压 V_q 水平,这保证了开关晶体管 T321 和输出晶体管 T331 在这个阶段都是导通的,保证了输出晶体管 T331 的对输出端 OUT 充电速度。

根据一个实施例,由于晶体管 T323 的第一极和第三极都耦接至 VDD, T323 相当于一个二极管。因此,即便 SW 节点的电压达到高于 VDD 的水平,也不会发生倒灌的现象。

(4) 下拉阶段 P3

在这个阶段内,第一时钟信号输入端 CLK1 接收到的时钟信号下降到低电平,而下拉控制信号输入端 VR1 接收到的下拉控制信号处在高电平,晶体管 T341, T342 和 T343 被开启,将输出端 OUT,级联输出端 COUT, Q1 节点和 Q2 节点进行放电至低电平。从图 5 可见,在这个实施示例中, SW 节点的电压在这个阶段没有下拉至低电平而是下拉到一个低于高电平 VDD 而高于低电平 VSS 的电压水平例如 V_x 。这是由于 SW 节点的电压从低电平上升到高电平时,是晶体管 T323 对开关晶体管 T321 第三极充电和电容耦合的共同结果,而从高电平下降时,只有电容耦合的影响。

(5) 低电平维持阶段 P4

在这个阶段内和这个阶段后,第二时钟信号输入端 CLK2 接收到的第二时钟信号处
在高电平,晶体管 T351, T352 和 T353 被开启。根据一个实施例,由于 Q1 点仍与 Q2
点相连,级联输出端 COUT,输出端 OUT, Q1 节点和 Q2 节点都被维持在低电平 VSS。

其中，第二时钟信号只要是一个与第一时钟信号不交叠的时钟信号即可。根据一个实施例，CLK1 所接收到的第一时钟信号可以是三相的，因此第二时钟信号可以是图 5 中所示的彼此相差一个相位的 CLK2 或者 CLK2'。

图 3 所示的实施例中的电路中控制开关晶体管 T321 和 T322 工作的 SW 节点处的电压可以被自举，可以让 Q1 点和 Q2 点更高效地连接在一起，保证自举的效果。相较于将输出晶体管的第一极直接连接至时钟信号的传统自举电路来说，本实施例中的电路避免了内部节点的时钟馈通效应和输出晶体管上因时钟信号引起的动态功耗。

图 4 所示为根据本申请一个实施例的一种移位寄存器单元电路。这种电路可以负载相对较小的应用场景。该电路可以包括输入存储模块 41，存储提取模块 42，输出驱动模块 43，下拉模块 44，低电平维持模块 45。

根据一个实施例，输入存储模块 41 可以包括存储电容 C1 和晶体管 T411 和 T412，晶体管 T411 的第一极和第三极都耦接到输入端 VI1，第二极耦接到电容 C1 的第一端和节点 Q1；晶体管 T412 的第一端耦接到电容 C1 的第二端，T412 的第二极耦接到低电平 VSS，T412 的第三极耦接到输入端 VI1。

根据一个实施例，存储提取模块 42 可以包括用于传递存储电压的晶体管 T421 和 T422，晶体管 T421 的第一极耦接到电容 C1 的第一端和节点 Q1，T422 的第一极耦接到电容 C1 的第二端。晶体管 T421 和 T422 的第三极都耦接到节点 SW，控制信号输入端 SW 被配置为接收控制晶体管 T421 和 T422 工作的控制信号。

根据一个实施例，存储提取模块 42 还可以包括晶体管 T423 和 T424，T423 的第一极和第三极都耦接到第一时钟信号输入端 CLK1，T423 的第二极耦接至 T421 和 T422 的第三极 SW 节点；T424 的第一极耦接至 T423 的第二极，T424 的第二极耦接至低电平 VSS，第三极耦接至放电控制信号输入端 VI0。

根据一个实施例，输出驱动模块 43 可以包括输出晶体管 T431。T431 的第一极耦接到高电平 VDD，第三极耦接到 T421 的第二极和节点 Q2。T431 的第二极耦接到输出端 OUT/COUT，这个输出信号既用于驱动负载又用于输出给其他级的移位寄存器单元作为输入或控制之用。

根据一个实施例，下拉模块 44 可以包括 Q2 点的下拉管 T441 和 OUT/COUT 端的下拉管 T442，这两个晶体管的第二极都耦接到低电平 VSS，第三极都耦接到下拉控制信号输入端 VR1，区别在于 T441 的第一极耦接到 Q2，而 T442 的第一极耦接到 OUT/COUT。

根据一个实施例，低电平维持模块 45 可以包括晶体管 T451 和 T452，它们的第二极都耦接到低电平 VSS，第三极都耦接到第二时钟信号输入端 CLK2，区别在于 T451 的第一极耦接到 Q2 节点，T452 的第一极耦接到 OUT/COUT。

图 5 所示为图 4 所示的根据本申请一个实施例的移位寄存器单元的示例性工作时序图。如图所示，可以将该移位寄存器单元的工作过程分为以下五个阶段：放电阶段 P0，预充电阶段 P1，上拉阶段 P2，下拉阶段 P3 和低电平维持阶段 P4，下面详细描述这五个阶段的工作过程。

(1) 放电阶段 P0

在这个阶段内，在输入信号端 VI1 接收到的输入为低电平，放电控制信号输入端 VIO 接收到的信号为高电平，T424 晶体管被开启，将 SW 节点电压放电至低电平。这是为了确保在对存储电容 C1 充电的时候，T421 和 T422 是关断的，因此导致输出晶体管被提前打开而造成逻辑混乱。

当然，这步放电操作也可以放到 P1 阶段进行，但这样做可能会存在着同时对 SW 节点充电和放电的情形，会增加漏电功耗。

(2) 预充电阶段 P1

在这个阶段内，输入信号端 VI1 所接收到的输入信号变为高电平，T411 管和 T412 管开启，电容 C1 充电。在这个过程中，第一时钟信号输入端 CLK1 所接收到的第一时钟信号处在低电平，SW 点继续保持在低电平，T421 管和 T422 管关断。没有高电平传输到输出晶体管 T431 和 T432 的第三极，T431 和 T432 处于关断状态。并且，第二时钟信号输入端 CLK2 所接收到的时钟信号处在高电平，Q2 节点和输出端 OUT/COUT 都被维持在低电平 VSS。

(3) 上拉阶段 P2

在这个阶段内，输入信号端 VI1 接收到的输入信号变为低电平，晶体管 T411 和 T412 关断。第一时钟信号端 CLK1 接收到的时钟信号在这个阶段处在高电平，晶体管 T423 被开启，放电控制信号输入端 VIO 在这个阶段处在低电平，晶体管 T424 关断，从而 SW 节点电压从低电平变为高电平，开关晶体管 T421 和 T422 被开启，Q1 节点上的电压被传输到 Q2 节点上。

随着 Q2 节点电压的升高，输出晶体管 T431 被开启，对输出端 OUT/COUT 进行充电。随着输出端 OUT/COUT 电压的抬升高电平，由于输出晶体管 T431 的寄生电容以及电

容 C1 的存在, 浮空的 Q1 节点和 Q2 节点的电压会因自举而抬升到高于高电平 VDD 的电压例如 V_q 。对于 SW 节点而言, 晶体管 T323 导通将 SW 节点充电至高电平 VDD, 又由于 Q1 和 Q2 节点的电压抬升, 使得 SW 节点的电压受电容耦合的影响被抬高至例如 V_q 。由图 5 可见, Q1 节点、Q2 节点和 SW 节点的电压都提高到高于 VDD 的例如电压 V_q 水平, 这保证了开关晶体管 T421 和输出晶体管 T431 在这个阶段都是导通的, 保证了输出晶体管 T431 对输出端 OUT 的充电速度。

根据一个实施例, 由于晶体管 T423 的第一极和第三极都耦接至 VDD, T423 相当于一个二极管。因此, 即便 SW 节点的电压达到高于 VDD 的水平, 也不会发生倒灌的现象。

(4) 下拉阶段 P3

在这个阶段内, 第一时钟信号输入端 CLK1 接收到的时钟信号下降到低电平, 而下拉控制信号输入端 VR1 接收到的下拉控制信号处在高电平, 晶体管 T441 和 T442 被开启, 将输出端 OUT/COUT、Q1 节点和 Q2 节点进行放电至低电平。从图 5 可见, 在这个实施示例中, SW 节点的电压在这个阶段没有下拉至低电平而是下拉到了一个低于到电平 VDD 但高于低电平 VSS 的电压水平例如 V_x 。这是由于 SW 点的电压从低电平上升到高电平时, 是晶体管 T423 对开关晶体管 T421 第三极充电和电容耦合的共同结果, 而从高电平下降时, 只有电容耦合的影响。

(5) 低电平维持阶段 P4

在这个阶段内和这个阶段后, 第二时钟信号输入端 CLK2 接收到的第二时钟信号处在高电平, 晶体管 T451 和 T452 被开启。根据一个实施例, 由于 Q1 点仍与 Q2 点相连, 输出端 OUT/OUT, Q1 节点和 Q2 节点都被维持在低电平 VSS。

其中, 第二时钟信号只要是一个与第一时钟信号不交叠的时钟信号即可。根据一个实施例, 第一时钟信号输入端 CLK1 所接收到的第一时钟信号可以是三相的, 因此第二时钟信号可以是图 5 中所示的彼此相差一个相位的 CLK2 或者 CLK2'。

如图 4 所示的实施例提供了另一种移位寄存器单元电路方案, 这个电路方案同样在 SW 节点产生稳定的控制信号, 可以避免内部节点的时钟馈通效应和因与时钟信号相连而在输出晶体管上产生的动态功耗。相较于图 3 所示的电路, 采用了更少的晶体管数量, 电路结构更加简单, 适合用于驱动负荷较小的情形。

图 6 所示为根据本申请一个实施例的显示器栅极驱动电路示意框图。该栅极驱动电路可以包括移位寄存器和多条信号线。其中, 移位寄存器可以由 M 个图 3 或图 4

所示的移位寄存器单元组成的，M可以是大于等于4的正整数。

根据一个实施例，该栅极驱动电路可以包括五条输入信号线：第一时钟信号CK1，第二时钟信号CK2，第三时钟信号CK3，第一初始脉冲信号STV0和第二初始脉冲信号STV1。当然还要提供正电压源VDD和负电压源VSS。

5 根据一个实施例，对于第一级移位寄存器单元来说，放电控制信号输入端VIO可以被配置为接收第一初始脉冲信号STV0，输入端VI1可以被配置为接收第二初始脉冲信号STV1，第一时钟信号输入端CLK1可以被配置为接收第一时钟信号CK1，第二时钟信号输入端CLK2可以被配置为接收第二时钟信号CK2，下拉控制信号输入端VR1可以被耦接至第二级移位寄存器单元的级联输出端C<2>。

10 根据一个实施例，对第二级移位寄存器单元来说，放电控制信号输入端VIO可以被配置为接收第二初始脉冲信号STV1，输入端VI1可以被配置为耦接到第一级移位寄存器单元的级联输出端C<1>，第一时钟信号输入端CLK1可以被配置为接收第二时钟信号CK2，第二时钟信号输入端CLK2可以被配置为接收第三时钟信号CK3，下拉控制信号输入端VR1可以被耦接至第三级移位寄存器单元的级联输出端C<3>。

15 根据一个实施例，对于第二级之后的移位寄存器单元来说，以第N级移位寄存器单元为例（N为大于等于3小于M-1的正整数），放电控制信号端VIO可以耦接至第N-2级移位寄存器单元的级联输出端C<N-2>，输入端VI1可以耦接至第N-1级移位寄存器单元的级联输出端C<N-1>，下拉控制信号输入端VR1可以被耦接至第N+1级移位寄存器的级联输出端C<N+1>。

20 根据一个实施例，对于第N-1级的移位寄存器单元来说，第一时钟信号输入端CLK1可以被配置为接收第一时钟信号CK1，第二时钟信号输入端CLK2可以配置为接收第二时钟信号CK2；对于第N级的移位寄存器单元来说，第一时钟信号输入端CLK1可以被配置为接收第二时钟信号CK2，第二时钟信号输入端CLK2可以被配置为接收第三时钟信号CK3。当然，其他的组合方式也是可以的，只要相邻两级的移位寄存器单元的第一
25 时钟信号输入端CLK1接收到的时钟信号相差至少一个相位，相邻两级的单元的第二时钟信号输入端CLK2接收到的时钟信号也至少相差一个相位即可。

对于除最后一级外的每级移位寄存器单元来说，采用下一级的级联输出信号作为下拉控制信号，并不需要等到下一级的级联输出信号完全输出才能实现下拉，只需要下一级级联输出信号出现例如上升沿即可触发下拉操作，因此上述连接方式完全可以

满足各级的下拉操作需要。

根据一个实施例，最后一级移位寄存器单元例如第 M 级，可以不用于驱动负载，而只用于产生级联输出信号以提供给 M-1 级作为下拉控制信号。由于第 M 级的移位寄存器单元不需要驱动负载，因此可以不设置输出端 OUT 和驱动输出端 OUT 的电路，也可以不需要设置输出端 OUT 的下拉控制信号输出端 VR 和相应的下拉和维持晶体管。

图 7 所示为根据本申请另一个实施例的栅极驱动电路。与图 6 中所示的栅极驱动电路类似，该栅极驱动电路可以包括移位寄存器和多条信号线。其中，移位寄存器可以是由 M 个图 3 或图 4 所示的移位寄存器单元组成的，M 可以是大于等于 4 的正整数。

与图 6 不同的是，根据一个实施例，对于第 N-1 级的移位寄存器单元来说，第一时钟信号输入端 CLK1 可以被配置为接收第一时钟信号 CK1，第二时钟信号输入端 CLK2 可以配置为接收第三时钟信号 CK3；对于第 N 级的移位寄存器单元来说，第一时钟信号输入端 CLK1 可以被配置为接收第二时钟信号 CK2，第二时钟信号输入端 CLK2 可以被配置为接收第一时钟信号 CK1。当然，其他的组合方式，只要相邻两级的移位寄存器单元的第一时钟信号输入端 CLK1 接收到的信号相差至少一个相位，相邻两级的移位寄存器单元的第二时钟信号输入端 CLK2 接收到的信号也至少相差一个相位即可。

图 8 所示为图 6 所示的栅极驱动电路的示例性时序波形图。可以看出，第一、第二和第三时钟 CK1，CK2 和 CK3 可以是一套三相时钟，彼此相差一个相位。

对于第一级的移位寄存器单元来说，在输入信号端的 STV1 到达高电平开始充电之前以及在 CK1 达到高电平之前，放电控制信号 STV0 先达到高电平，实现了对 SW 节点的放电操作，确保不会在充电阶段就开启开关晶体管 T321 和 T322。

随后，STV1 达到高电平，向 C1 充电，同时 CK1 处于低电平。

STV1 变为低电平从而充电结束后，CK1 到达高电平，存储电容 C1 中存储的输入信号被传输到输出晶体管 T331 和 T332 的第三极，并在输出端 OUT 产生第一级的栅极驱动信号 0<1>。

类似的，对于第二级移位寄存器单元来说，第二时钟信号 CK2 达到高电平的时候，开关晶体管 T321 和 T322 被开启，在第二级的输出端得到输出信号 0<2>。以此类推依次产生 M-1 个输出信号

这个实施例中，全局的布线只用到了一个正电压源和一个负电压源，减小了功耗和增强了电路的稳定性，在增强电路性能的同时，降低了版图布线耗费的面积。

图 9 所示为根据本申请一个实施例的一种显示器。该显示器可以包括栅极驱动电路 91，数据驱动电路 92，像素矩阵 93，栅极驱动线 94 和数据驱动线 95。这种显示器可以是液晶显示器，有机发光显示器，量子点发光显示器或电子纸显示器等。栅极驱动电路 91 产生扫描信号，并通过栅极驱动线 94 传递到像素矩阵 93 中，控制像素矩阵 93 逐行打开，以写入数据。而数据驱动电路 92 则产生每行所需的数据电压，通过数据驱动线 95 传递到像素矩阵内。本实施例中的栅极驱动电路可以包括本申请所提供的移位寄存器，如图 6 或图 7 所示。

图 10 所示为根据本申请一个实施例的产生栅极驱动信号方法的流程图。根据一个实施例，显示器的栅极驱动模块中的移位寄存器中包括多级移位寄存器单元，这个方法可以由除最后一级外的任一移位寄存器单元执行以下操作，其中每个移位寄存器单元包括输入存储模块、存储提取模块、输出驱动模块和下拉维持模块。

在步骤 1002，输入存储模块接收并存储输入信号；

在步骤 1004，存储提取模块至少在时钟信号的影响下将所存储的输入信号传输到输出驱动模块；

在步骤 1006，输出驱动模块在所述存储提取模块的控制下将所述输入信号传输到输出端；

在步骤 1008，下拉和维持模块在输出结束后将所述输出端的电压下拉到低电平并在所述输出驱动模块接收到下一个输入信号之前将所述输出端电压维持在低电平。

虽然已经通过例子对本申请的一些特定实施例进行了详细说明，但是本领域的技术人员应该理解，以上例子仅是为了进行说明，而不是为了限制本申请的范围。本领域的技术人员应该理解，可在不脱离本申请的范围和精神的情况下，对以上实施例进行修改。本申请的范围由所附权利要求来限定。

权 利 要 求 书

1. 一种移位寄存器单元电路，包括：

输入存储模块，被配置为在输入端接收输入信号并存储所述输入信号；

5 存储提取模块，被配置为至少在第一时钟信号的影响下从所述输入存储模块提取所述输入信号；

输出驱动模块，被配置为在所述存储提取模块的控制下将所述输入信号传输到输出端；以及

10 下拉和维持模块，被配置为在输出结束后将所述输出端的电压下拉到低电平并在所述输出驱动模块接收到下一个输入信号之前将所述输出端电压维持在低电平。

2. 如权利要求 1 所述的电路，其中

所述输入存储模块包括，存储电容被配置为存储所述输入信号，所述存储电容的第一端通过第一开关与所述输入端耦接，第二端通过第二开关与低电平耦接，所述第一开关和第二开关在所述输入信号的控制下开启或关闭；

15 所述输出驱动模块包括，第一晶体管，所述第一晶体管包括与高电平耦接的第一极，以及与所述输出端和所述下拉和维持模块耦接的第二极，以及与所述存储提取模块耦接的第三极；

所述存储提取模块包括，耦接在所述存储电容第一端以及所述第一晶体管第三极之间的第三开关，以及耦接在所述存储电容第二端以及所述输出端之间的第四开关，其中所述
20 第一时钟信号影响所述第三和第四开关的开关状态。

3. 如权利要求 2 所述的电路，其中所述输出驱动模块还包括第二晶体管，所述第二晶体管的第一极耦接到高电平，第二极耦接到第二输出端，第三极耦接到所述第一晶体管的第三极，其中所述第一晶体管的尺寸大于所述第二晶体管的尺寸。

4. 如权利要求 3 所述的电路，其中所述第一开关是第三晶体管，包括耦接到所述输入端的第一极和第三极，以及耦接到所述存储电容第一端的第二极；所述第二开关是第四
25 晶体管，包括耦接到所述存储电容第二端的第一极，耦接到低电平的第三极，和耦接到所述输入端的第三极，当所述输入信号为高电平时，所述第一和第二开关开启，所述存储电容充电。

5. 如权利要求 4 所述的电路, 其中所述第三开关是第五晶体管, 包括耦接到所述存储电容第一端的第一极, 耦接到所述第一晶体管第三极的第二极, 和耦接到第一时钟信号输入端的第三极; 所述第四开关是第六晶体管, 包括耦接到所述存储电容第二端的第一极, 耦接到所述输出端的第二极, 和耦接到第一时钟信号输入端的第三极; 所述第一时钟信号在所述存储电容充电结束后达到高电平, 所述第三和第四开关开启。

6. 如权利要求 5 所述的电路, 其中所述存储提取模块还包括第七晶体管和第八晶体管, 第七晶体管的第一极和第三极耦接到所述第一时钟信号输入端, 第二极耦接到所述第五晶体管和第六晶体管的第三极, 第八晶体管的第一极耦接到所述第七晶体管的第二极, 第二极耦接到低电平, 第三极耦接到放电控制信号输入端, 使得在所述存储电容充电期间所述第三和第四开关处于关闭状态。

7. 如权利要求 2 所述的电路, 其中所述下拉和维持模块包括第九晶体管和第十晶体管, 其中所述第九晶体管包括耦接到所述第一晶体管第三极的第一极, 耦接到低电平的第二极, 以及耦接到下拉和维持控制信号输入端的第三极, 所述第十晶体管包括耦接到所述输出端的第一极, 耦接到低电平的第二端, 以及耦接到下拉和维持控制信号输入端的第三极。

8. 如权利要求 2 所述的电路, 其中所述下拉和维持模块包括下拉子模块和维持子模块, 其中

所述下拉子模块包括所述下拉子模块包括第十一和第十二晶体管, 该两个晶体管的第二极都耦接到低电平, 第三极都耦接到下拉控制信号输入端, 其中第十一晶体管的第一极耦接到所述第一晶体管的第三极, 第十二晶体管的第一极耦接到第一晶体管的第二极和所述输出端;

所述维持子模块包括第十四和第十五晶体管, 该两个晶体管的第二极都耦接到低电平, 第三极都耦接到第二时钟信号输入端, 其中第十四晶体管的第一极耦接到第一晶体管的第三极, 第十五晶体管的第一极耦接到第一晶体管的第二极和所述输出端。

9. 如权利要求 3 至 7 任一所述的电路, 其中所述下拉和维持模块包括下拉子模块和维持子模块;

所述下拉子模块包括第十一、第十二和第十三晶体管, 该三个晶体管的第二极都耦接到低电平, 第三极都耦接到一个下拉控制信号输入端, 其中第十一晶体管的第一极耦接到

所述第一晶体管和第二晶体管的第三极，第十二晶体管的第一极耦接到第一晶体管的第二极和所述输出端，第十三晶体管的第一极耦接到第二晶体管的第二极和所述第二输出端；

所述维持子模块包括第十四、第十五和第十六晶体管，该三个晶体管的第二极都耦接到低电平，第三极都耦接到第二时钟信号输入端，其中第十四晶体管的第一极耦接到第一
5 晶体管和第二晶体管的第三极，第十五晶体管的第一极耦接到第一晶体管的第二极和所述输出端，第十六晶体管的第一极耦接到第二晶体管的第二极和所述第二输出端。

10. 一种栅极驱动电路，包括移位寄存器，所述移位寄存器包括 M 个级连的单元，其中第 1 至 M-1 级所述单元包括如前述任一权利要求所述的电路，其中

第 N 级的输入端耦接到第 N-1 级的第二输出端，第 N 级的下拉控制信号端耦接到第
10 N+1 级的第二输出端，第 N 级的放电控制信号输入端耦接到第 N-2 级的第二输出端，其中 M 为大于等于 4 的正整数，N 为小于等于 M-1 但不小于 3 的正整数；

其中第 1 级移位寄存器单元的输入端接收初始的输入信号，第 1 级的放电控制信号输入端接收初始的放电控制信号，第 1 级的下拉控制信号输入端耦接到第 2 级的第二输出端；以及第 2 级的放电控制信号输入端接收初始的输入信号，第 2 级的输入端耦接到第 1 级的
15 第二输出端，第 2 级的下拉控制信号输入端耦接到第 3 级的第二输出端。

11. 如权利要求 10 所述的栅极驱动电路，其中第 M 级移位寄存器单元具有如权利要求 2 所述的电路结构，其输出仅被配置向第 M-1 级单元提供下拉控制信号。

12. 一种显示器，包括像素矩阵，与所述像素矩阵耦接的数据驱动电路，以及与所述像素矩阵耦接的如权利要求 10 或 11 所述的栅极驱动电路。

20 13. 如权利要求 12 所述的显示器，其中所述显示器为 TFT 显示器，所述栅极驱动电路与所述像素矩阵形成在相同的基板上。

14. 一种产生显示器栅极驱动信号的方法，包括显示器的栅极驱动中的移位寄存器中的每个单元执行以下操作，其中每个移位寄存器单元包括输入存储模块、存储提取模块、输出驱动模块和下拉维持模块，

25 输入存储模块接收并存储输入信号；

存储提取模块至少在时钟信号的影响下将所存储的输入信号传输到输出驱动模块；

输出驱动模块在所述存储提取模块的控制下将所述输入信号传输到输出端；

下拉和维持模块在输出结束后将所述输出端的电压下拉到低电平并在所述输出驱动模块接收到下一个输入信号之前将所述输出端电压维持在低电平。

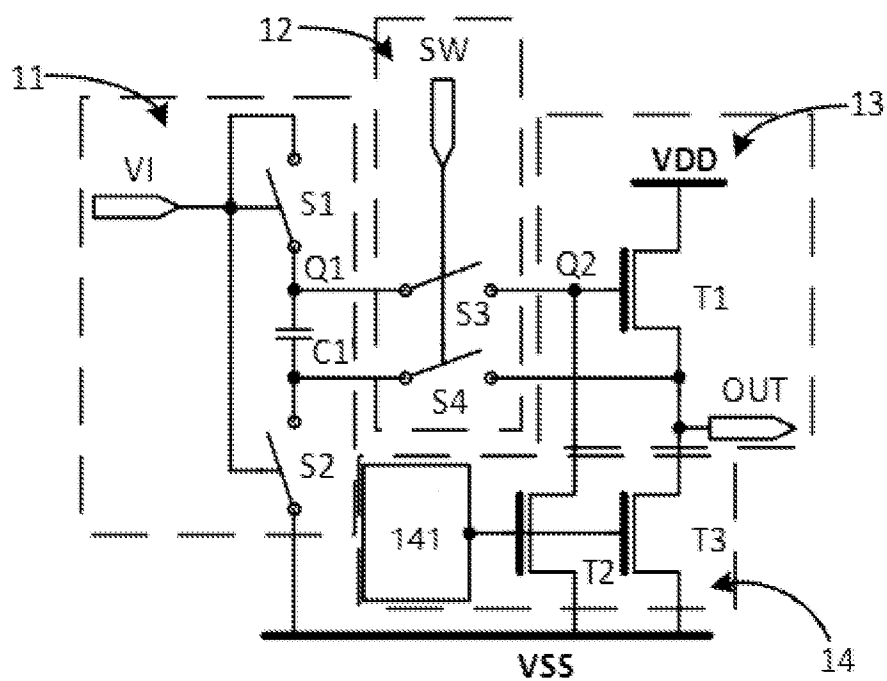


图 1

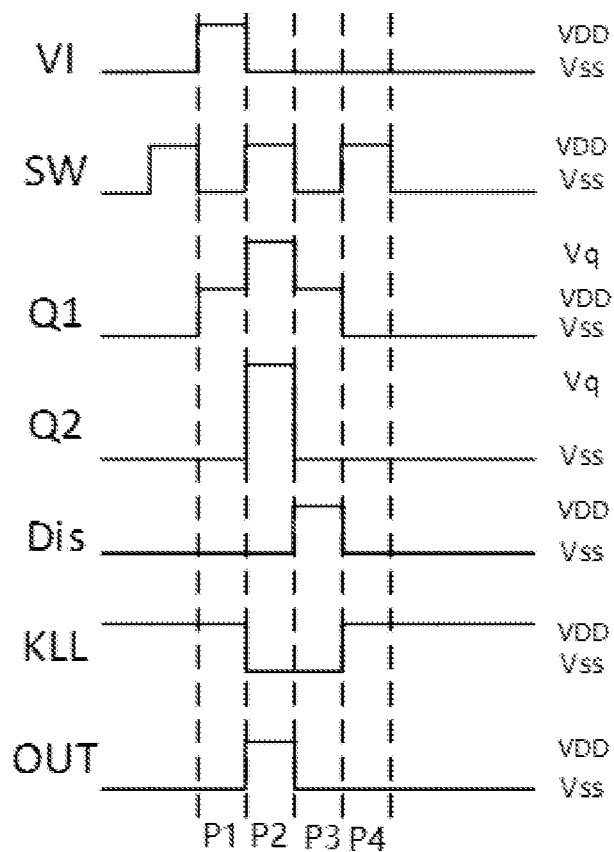


图 2

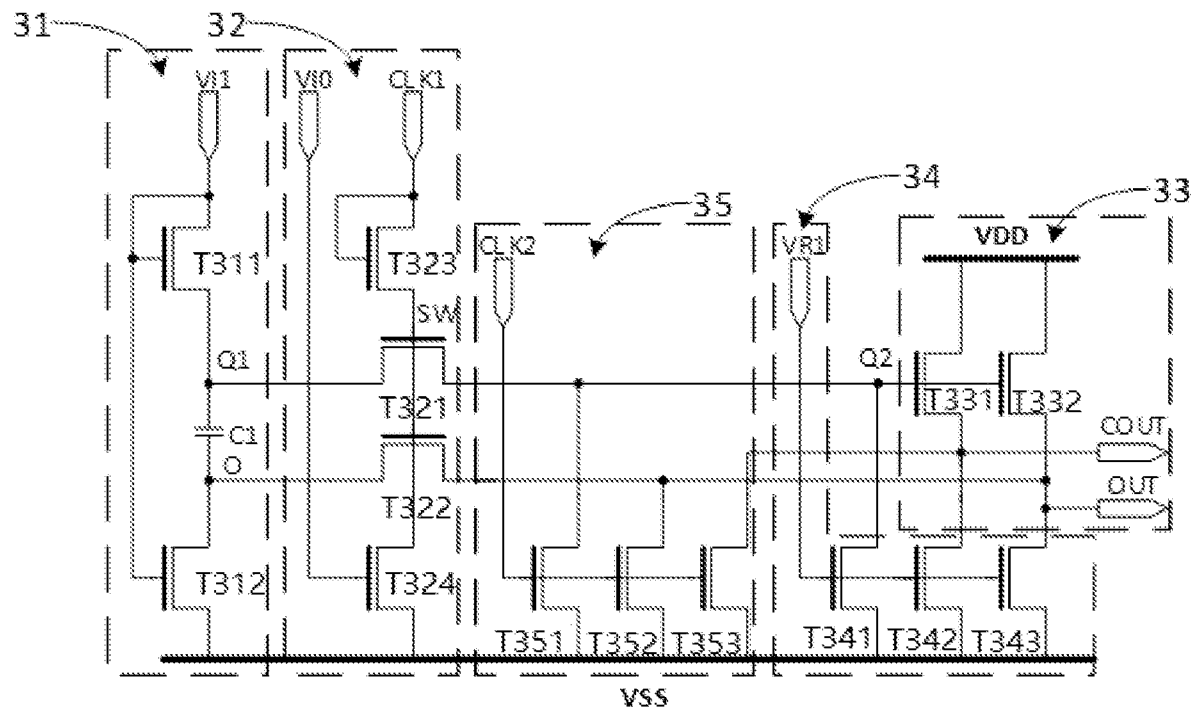


图 3

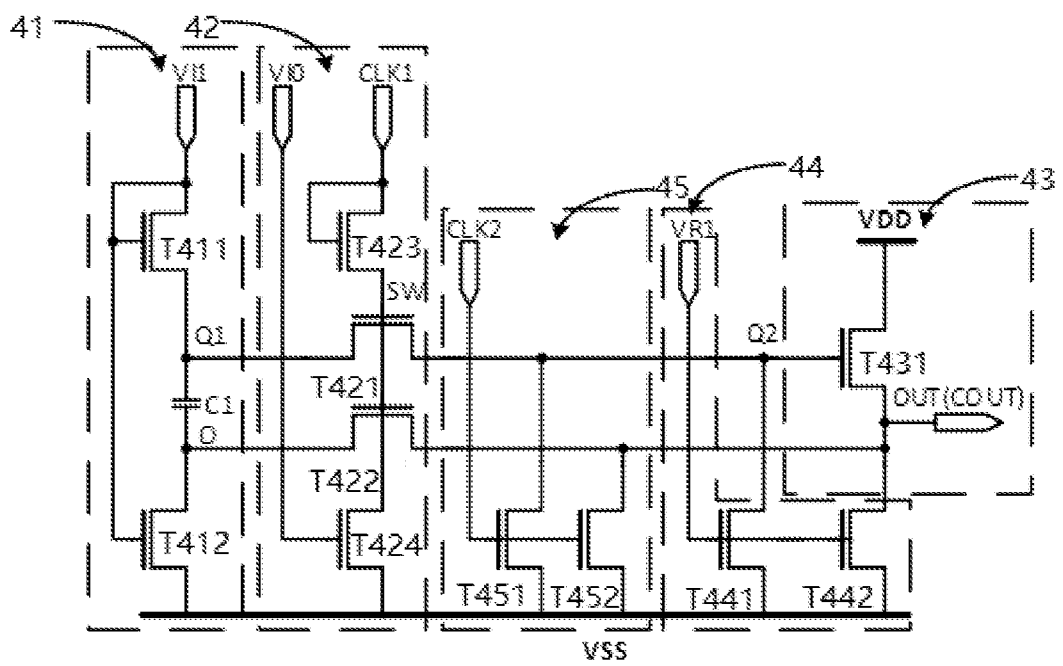


图 4

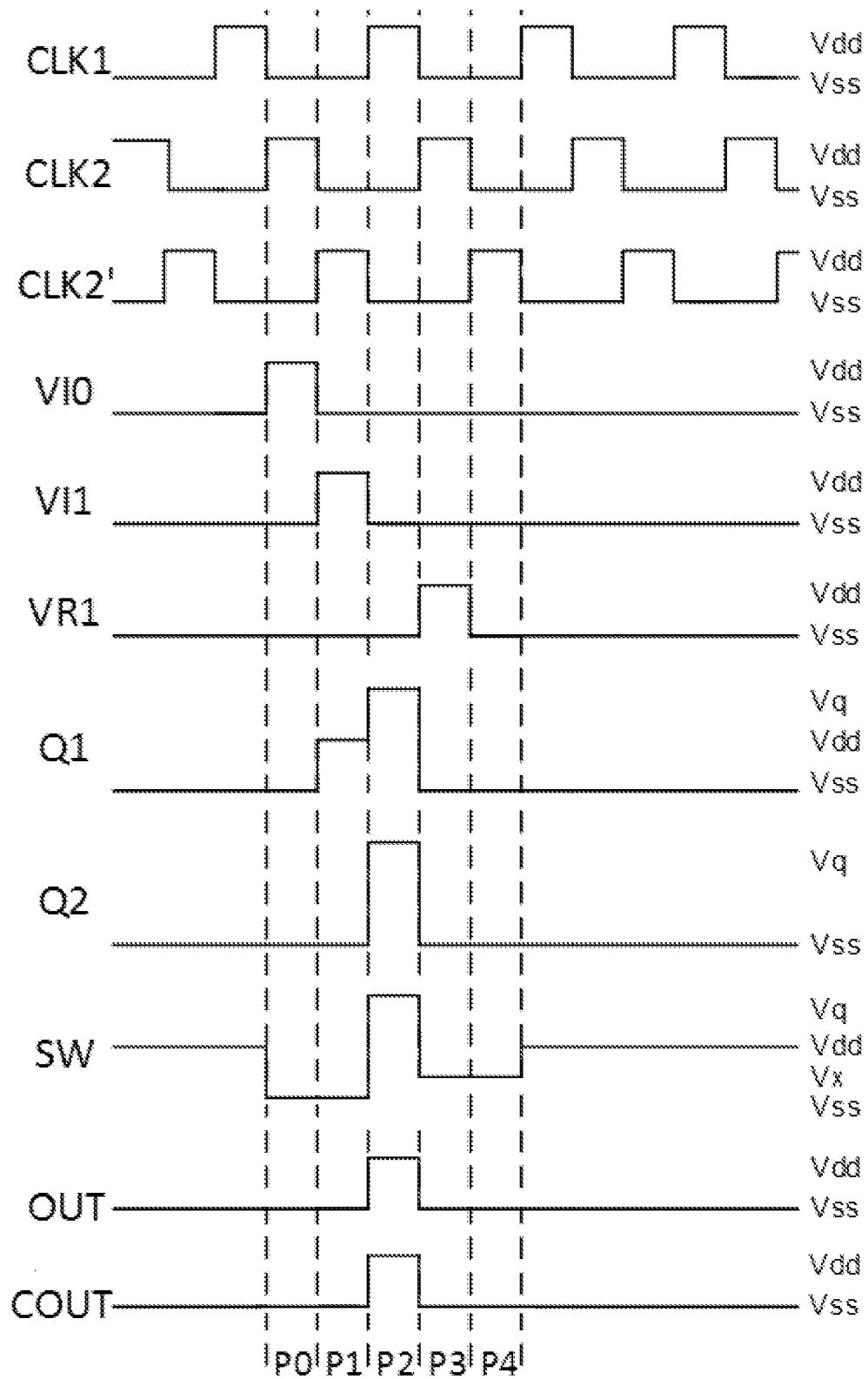


图 5

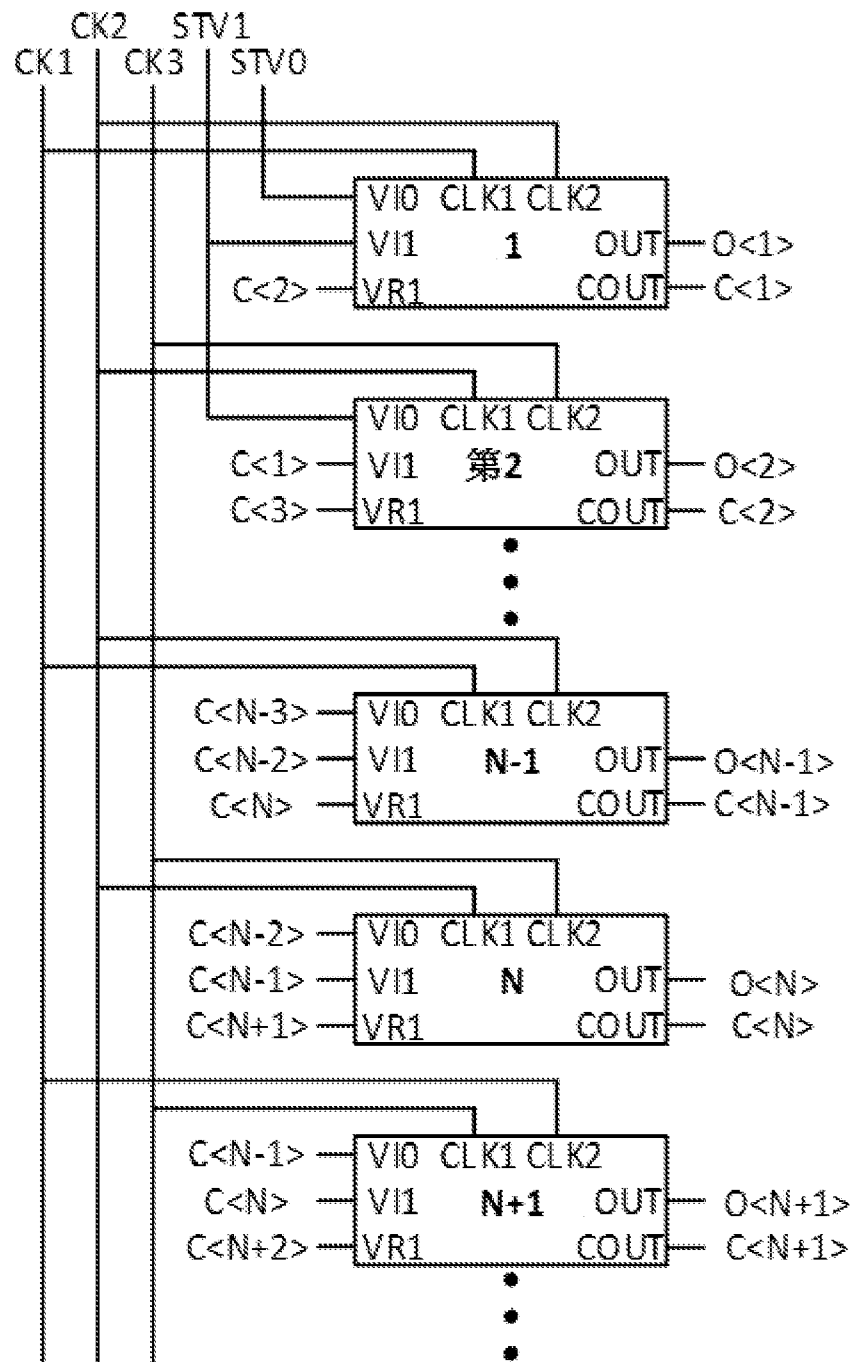


图 6

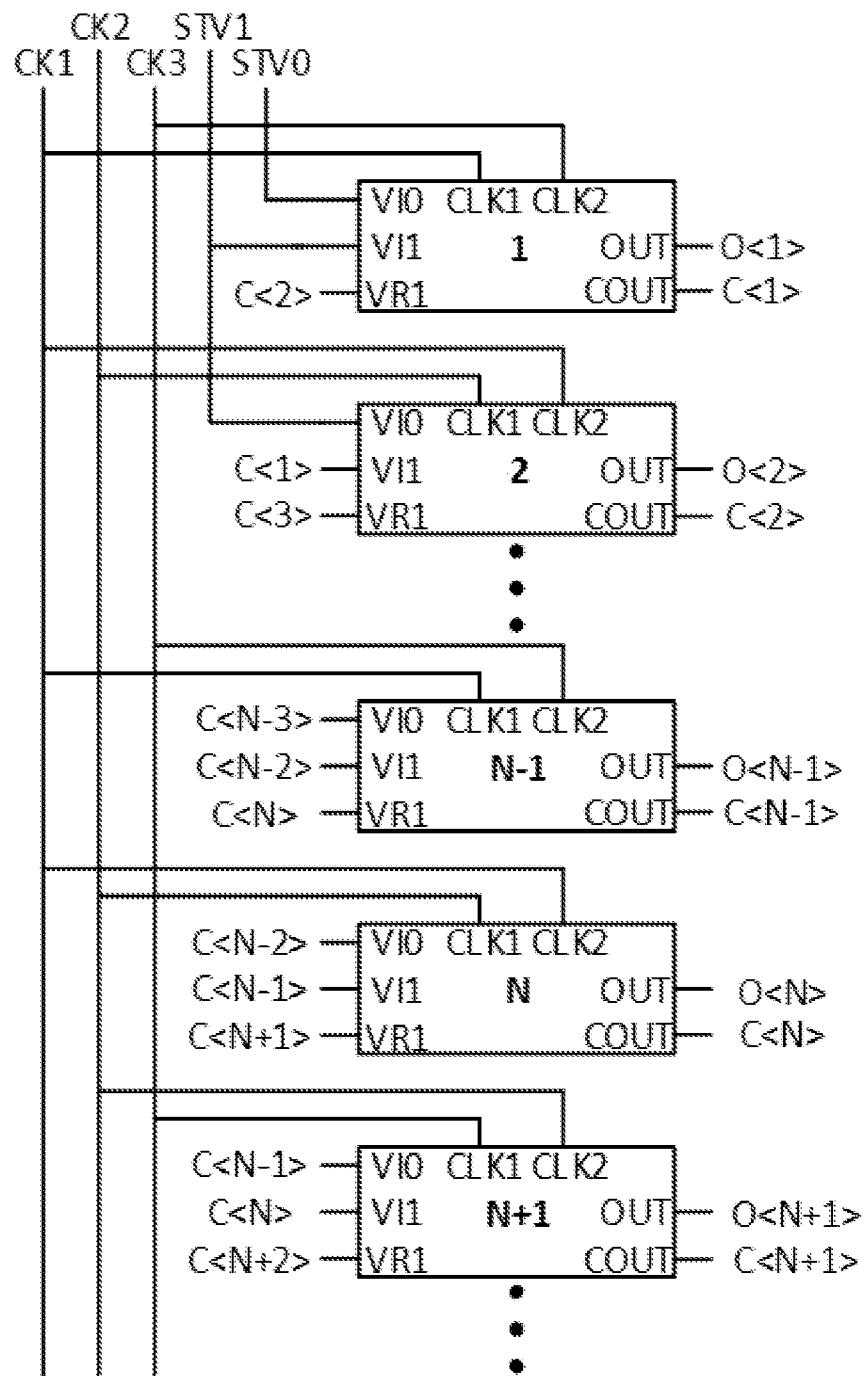


图 7

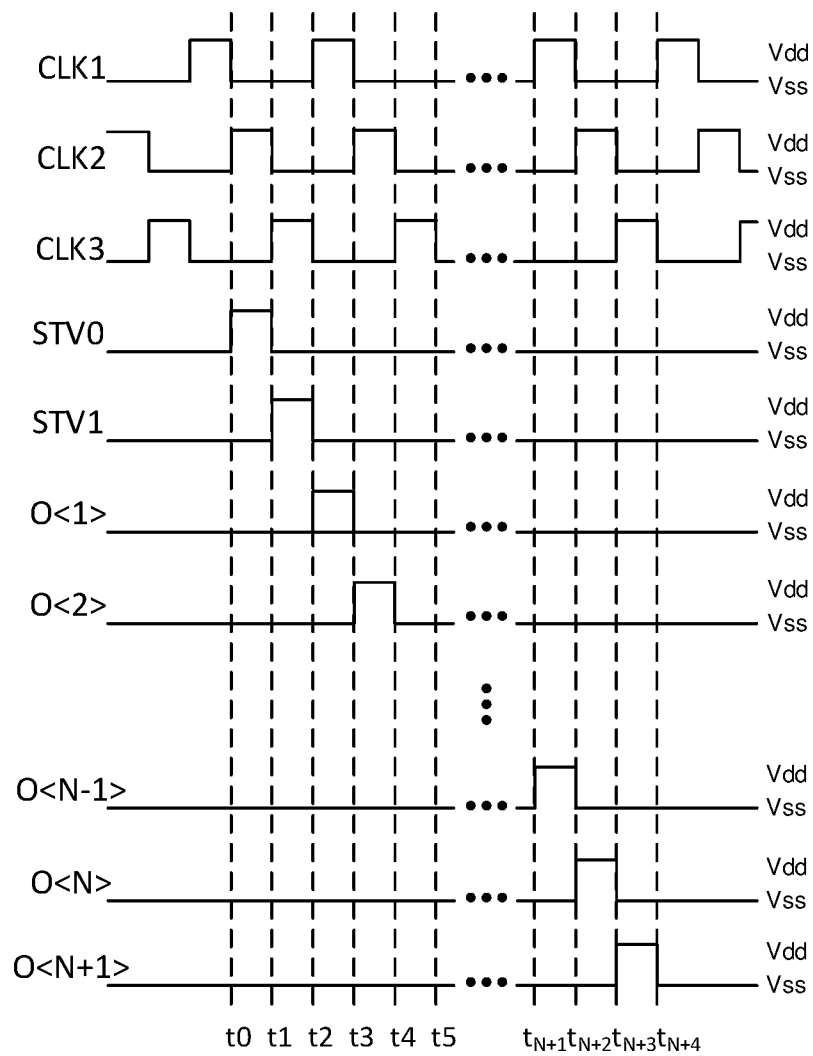


图 8

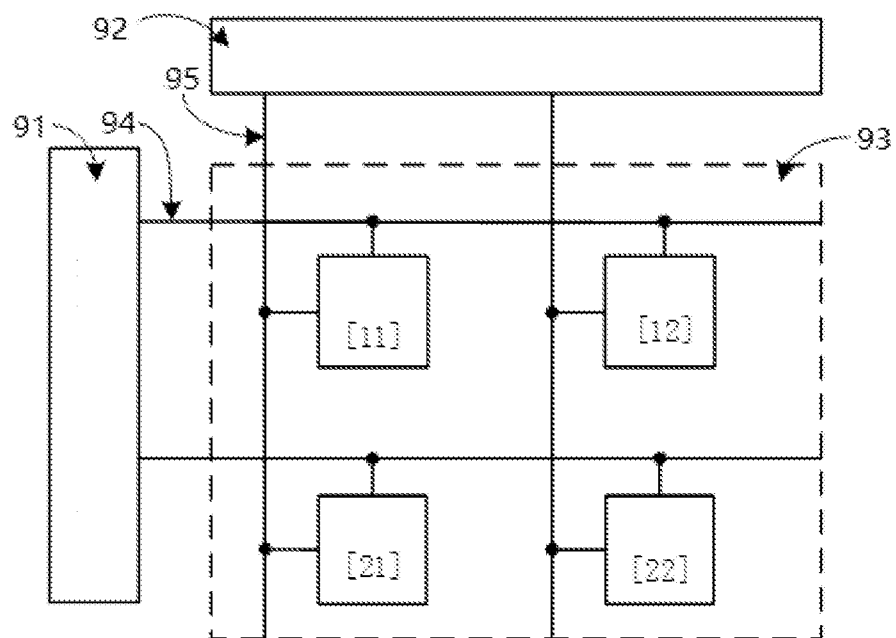


图 9

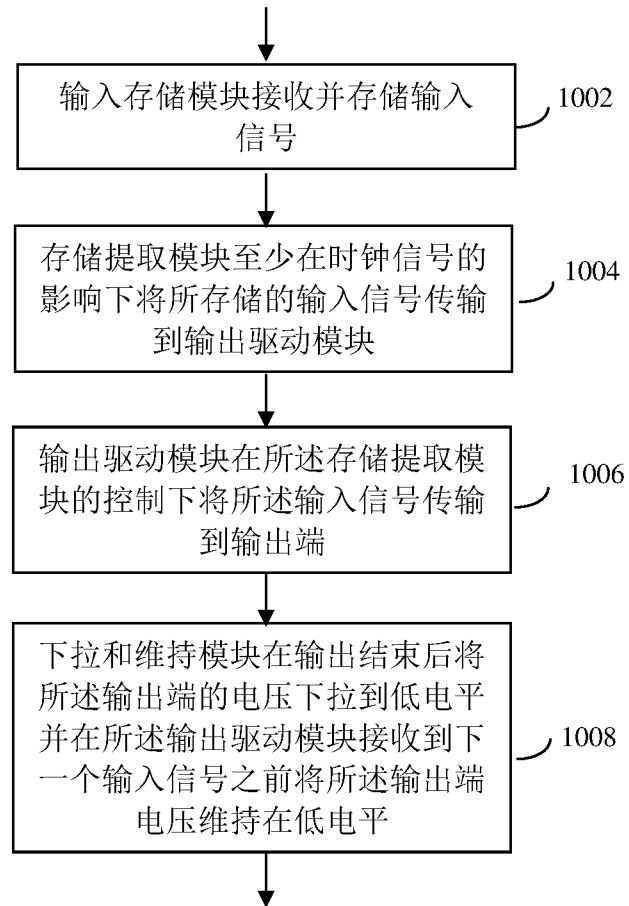


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/083983

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3208 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 移位寄存器, 位移寄存器, 栅极驱动, shift, register, gate, driv+, GOA

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104485065 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD.; TIANMA MICROELECTRONICS CO., LTD.), 01 April 2015 (01.04.2015), description, paragraphs 2 and 34-65, and figures 2 and 5-6	1-14
A	CN 104882168 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 02 September 2015 (02.09.2015), entire document	1-14
A	CN 105702192 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 22 June 2016 (22.06.2016), entire document	1-14
A	CN 104599624 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 06 May 2015 (06.05.2015), entire document	1-14
A	CN 103077689 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 01 May 2013 (01.05.2013), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 December 2017	Date of mailing of the international search report 27 December 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer HAN, Yingshu Telephone No. (86-10) 61648464

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/083983

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104485065 A	01 April 2015	DE 102015117758 A1 US 9653179 B2 US 2016189796 A1 CN 104485065 B	30 June 2016 16 May 2017 30 June 2016 22 February 2017
CN 104882168 A	02 September 2015	None	
CN 105702192 A	22 June 2016	None	
CN 104599624 A	06 May 2015	CN 104599624 B WO 2016138734 A1 US 2016379545 A1 US 9799262 B2	22 February 2017 09 September 2016 29 December 2016 24 October 2017
CN 103077689 A	01 May 2013	CN 103077689 B	03 June 2015

国际检索报告

国际申请号

PCT/CN2017/083983

A. 主题的分类

G09G 3/3208(2016.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI, IEEE: 移位寄存器, 位移缓存器, 栅极驱动, shift, register, gate, driv+, GOA

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104485065 A (上海天马有机发光显示技术有限公司 天马微电子股份有限公司) 2015年 4月 1日 (2015 - 04 - 01) 说明书第2, 34-65段、附图2, 5-6	1-14
A	CN 104882168 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2015 年 9月 2日 (2015 - 09 - 02) 全文	1-14
A	CN 105702192 A (北京大学深圳研究生院) 2016年 6月 22日 (2016 - 06 - 22) 全文	1-14
A	CN 104599624 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2015 年 5月 6日 (2015 - 05 - 06) 全文	1-14
A	CN 103077689 A (北京大学深圳研究生院) 2013年 5月 1日 (2013 - 05 - 01) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 12月 15日

国际检索报告邮寄日期

2017年 12月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

韩颖姝

传真号 (86-10) 62019451

电话号码 (86-10) 61648464

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/083983

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104485065	A	2015年 4月 1日	DE	102015117758	A1	2016年 6月 30日
				US	9653179	B2	2017年 5月 16日
				US	2016189796	A1	2016年 6月 30日
				CN	104485065	B	2017年 2月 22日
CN	104882168	A	2015年 9月 2日	无			
CN	105702192	A	2016年 6月 22日	无			
CN	104599624	A	2015年 5月 6日	CN	104599624	B	2017年 2月 22日
				WO	2016138734	A1	2016年 9月 9日
				US	2016379545	A1	2016年 12月 29日
				US	9799262	B2	2017年 10月 24日
CN	103077689	A	2013年 5月 1日	CN	103077689	B	2015年 6月 3日

表 PCT/ISA/210 (同族专利附件) (2009年7月)