

(52) CPC특허분류

H01L 31/0392 (2013.01)

H01L 31/18 (2013.01)

명세서

청구범위

청구항 1

반도체층;

상기 반도체층의 제1영역에 배치되며 중간층과 하나 이상의 금속층을 포함하는 제1컨택부;

상기 반도체의 제2영역에 배치되며 하나 이상의 금속층을 포함하는 제2컨택부;

상기 제1컨택부 및 상기 제2컨택부 사이에 배치되는 액티브 영역을 포함하며,

상기 제1컨택부 및 상기 제2컨택부는 비대칭인, 압전류가 감소된 포토 다이오드.

청구항 2

제1항에 있어서,

상기 제1컨택부는 캐소드에 연결되며, 상기 제2컨택부는 애노드에 연결되는, 압전류가 감소된 포토 다이오드.

청구항 3

제1항에 있어서,

상기 중간층은 상기 반도체층의 전도대 오프셋이 작거나 혹은 없는 물질을 포함하는, 압전류가 감소된 포토 다이오드.

청구항 4

제1항에 있어서,

상기 중간층은 TiO_2 를 포함하는, 압전류가 감소된 포토 다이오드.

청구항 5

제1항에 있어서,

상기 반도체층은 저마늄(Ge)을 포함하는, 압전류가 감소된 포토 다이오드.

청구항 6

제1항에 있어서,

상기 반도체층 상에 층간절연막이 배치되며,

상기 제1영역 및 상기 제2영역에서 상기 층간절연막이 식각된, 압전류가 감소된 포토 다이오드.

청구항 7

반도체층 상에 층간절연막을 증착하는 단계;

상기 중간절연막 중 제1영역을 식각하는 단계;

상기 식각된 제1영역 및 상기 중간절연막 상에 중간층을 증착하는 단계;

상기 제1영역을 제외한 중간층을 식각하여 상기 중간절연막을 노출시키는 단계;

상기 중간절연막 중에서 상기 제1영역과 이격되는 제2영역을 식각하는 단계; 및

상기 제1영역의 상기 중간층 상에 제1금속층을 증착하고, 상기 제2영역의 상기 반도체상에 제2금속층을 증착하는 단계를 포함하는, 암전류가 감소된 포토 다이오드를 제조하는 방법.

청구항 8

제7항에 있어서,

상기 중간층을 증착하는 단계는

상기 반도체층의 전도대 오프셋이 작거나 혹은 없는 물질로 상기 중간층을 증착하는 단계를 포함하는, 암전류가 감소된 포토 다이오드를 제조하는 방법.

청구항 9

제7항에 있어서,

상기 중간층은 TiO_2 를 포함하는, 암전류가 감소된 포토 다이오드를 제조하는 방법.

청구항 10

제7항에 있어서,

상기 제1영역을 식각하는 단계 및 상기 제2영역을 식각하는 단계는

습식 식각(wet etching) 공정에 따라 식각하는 단계를 포함하는, 암전류가 감소된 포토 다이오드를 제조하는 방법.

청구항 11

제7항에 있어서,

상기 제1영역을 제외한 중간층을 식각하여 상기 중간절연막을 노출시키는 단계는

건식 식각(dry etching) 공정에 따라 식각하는 단계를 포함하는, 암전류가 감소된 포토 다이오드를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 암전류가 감소된 포토 다이오드 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 저마늄(Germanium) 기판의 포토 다이오드에서 암전류를 감소시키는 기술에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 반도체는 정보의 처리와 저장, 또는 변환을 맡는 필수적인 요소이다. 포토 다이오드는 광 신호를 전기적 신호로 변환하는 반도체 소자의 하나이다. 포토 다이오드는 CCD(Charge Couple Device) 또는 CMOS(Complementary Metal Oxide Semiconductor)와 같은 이미지 센서 내에 배치될 수 있으며, 포토 다이오드는

수광된 빛을 전기적 신호로 변환시키는 광검출 기능을 제공한다.

[0003] 한편, 포토 다이오드의 성능을 높이기 위해서는 암전류(dark current)를 제거하는 것이 필요하다. 암전류란 빛 에너지를 받지 않을 경우에도 받은 것으로 간주하여 흐르는 것으로 암전류가 발생할 경우, 포토 다이오드의 정확성을 떨어뜨린다. 암전류는 픽셀 신호에 대한 노이즈(noise)로 작용하여 포토 다이오드가 포함되는 이미지 센서의 특성을 열화시키는 문제점이 있다. 따라서, 포토 다이오드에서 암전류를 제거하기 위해 많은 연구가 진행 중이다.

[0004] 암전류를 제거하기 위해 포토 다이오드가 형성되는 기판에 특수한 화학적 처리를 수행할 수 있으나, 이러한 처리가 광전하를 모집하는 데 방해가 되지 않아야 한다는 기술적 난점이 있다. 이하, 본 명세서에서는 포토 다이오드의 성능을 유지하거나 향상시키면서도 암전류를 감소시키는 포토다이오드의 구성과 이를 제조하는 공정에 대해 살펴보고자 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 포토 다이오드를 구성하는 전극층을 비대칭적으로 구성하여 암전류를 감소시키는 것을 목적으로 한다.

[0007] 또한, 본 발명은 포토 다이오드의 전극층 중에서 일부에 중간층을 삽입하여 암전류를 감소시키는 것을 목적으로 한다.

[0008] 본 발명의 목적은 전술한 목적에 한정되지 않으며, 본 발명의 구조와 제조 방법은 다양한 목적을 가질 수 있다.

과제의 해결 수단

[0010] 상술한 기술적 과제를 해결하기 위한 본 발명의 일 측면에 따르는 암전류가 감소된 포토 다이오드는 반도체층, 반도체층의 제1영역에 배치되며 중간층과 하나 이상의 금속층을 포함하는 제1컨택부, 반도체의 제2영역에 배치되며 하나 이상의 금속층을 포함하는 제2컨택부, 제1컨택부 및 제2컨택부 사이에 배치되는 액티브 영역을 포함하며, 상기 제1컨택부 및 상기 제2컨택부는 비대칭이다.

[0011] 본 발명의 다른 측면에 따르는 암전류가 감소된 포토 다이오드를 제조하는 방법은 반도체층 상에 층간절연막을 증착하는 단계, 상기 층간절연막 중 제1영역을 식각하는 단계, 상기 식각된 제1영역 및 상기 층간절연막 상에 중간층을 증착하는 단계, 상기 제1영역을 제외한 중간층을 식각하여 상기 층간절연막을 노출시키는 단계, 상기 층간절연막 중에서 상기 제1영역과 이격되는 제2영역을 식각하는 단계, 및 상기 제1영역의 상기 중간층 상에 제1금속층을 증착하고, 상기 제2영역의 상기 반도체상에 제2금속층을 증착하는 단계를 포함한다.

발명의 효과

[0013] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 포토 다이오드를 구성하는 전극층을 비대칭적으로 구성하여 암전류를 감소시켜 포토 다이오드의 성능을 향상시킬 수 있다.

[0014] 또한, 본 발명은 포토 다이오드의 전극층 중에서 일부에 중간층을 삽입하여 암전류를 감소시키고 공정의 편의성을 증가시키면서도 포토 다이오드의 성능을 향상시킬 수 있다.

[0015] 본 발명의 효과는 전술한 효과에 한정되지 않으며, 본 발명의 당업자들은 본 발명의 구성에서 본 발명의 다양한 효과를 쉽게 도출할 수 있다.

도면의 간단한 설명

[0017] 도 1은 포토 다이오드의 일종으로 금속과 반도체를 중첩하여 배치하는 MSM) 포토 다이오드의 구성을 보여주는

도면이다.

도 2는 도 1의 포토 다이오드의 구성에서 발생하는 전류의 흐름을 보여주는 도면이다.

도 3은 본 발명의 일 실시예에 의한 암전류가 감소된 포토 다이오드의 구성을 보여주는 도면이다.

도 4는 본 발명의 일 실시예에 의한 중간절연물질을 이용하여 중간절연막이 배치된 포토 다이오드의 구성을 보여주는 도면이다.

도 5는 도 3 및 도 4에서 살펴본 실시예를 적용한 핑거 타입의 포토 다이오드의 구성을 보여주는 도면이다.

도 6은 본 발명의 일 실시예에 의한 동일한 구조의 컨택부들을 근접하여 배치한 포토 다이오드의 구조를 보여주는 도면이다.

도 7은 본 발명의 일 실시예에 의한 MIS 포토 다이오드의 구성을 보여주는 도면이다.

도 8은 본 발명의 일 실시예에 의한 암전류가 감소된 포토 다이오드를 제조하는 공정 과정을 보여주는 도면이다.

도 9 내지 도 12는 본 발명의 일 실시예에 의한 MIS 포토 다이오드를 집적하는 과정을 보여주는 도면이다.

도 13은 본 발명의 일 실시예에 의한 MIS 포토 다이오드에서의 광전하의 흐름을 보여주는 도면이다.

도 14 및 도 15는 본 발명의 일 실시예에 의한 중간층의 두께에 따른 암전류의 크기를 보여주는 도면이다.

도 16 내지 도 19는 중간층에 따른 암전류와 광전류의 흐름의 차이를 보여주는 도면이다.

도 20은 본 발명을 적용한 경우의 포토 다이오드의 전기적 특성을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명을 더 쉽게 이해하기 위해 편의상 특정 용어를 본원에 정의한다. 본원에서 달리 정의하지 않는 한, 본 발명에 사용된 과학 용어 및 기술 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 의미를 가질 수 있다.
- [0019] 또한, 문맥상 특별히 지정하지 않는 한, 단수 형태의 용어는 그것의 복수 형태도 포함하는 것이며, 복수 형태의 용어는 그것의 단수 형태도 포함할 수 있다.
- [0020] 이하, 포토 다이오드(photo diode)를 중심으로 설명한다. 포토 다이오드는 다양하게 구성될 수 있는데, 본 명세서에서는 두 개의 컨택을 가지는 포토 다이오드를 중심으로 설명한다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 다양한 구성에서 적용될 수 있다.
- [0021] 도 1은 포토 다이오드의 일종으로 금속과 반도체를 중첩하여 배치하는 MSM(Metal-Semiconductor-Metal) 포토 다이오드의 구성을 보여주는 도면이다. MSM 포토 다이오드(10)의 구성을 살펴보면, 저마늄(Ge) 웨이퍼(100) 상에 SiO₂(11)가 배치되고, 이 중에서 전극을 구성하기 위한 영역들을 위해 SiO₂(11)가 식각되어 전극이 연결된다. 특히, 웨이퍼(100) 상의 전극 영역에는 정공 쇼트키 배리어(Hole schottky barrier)(12)가 배치될 수 있다. 그리고 정공 쇼트키 배리어(12) 위에 Ti층(13) 및 Au층(14) 등이 배치될 수 있다.
- [0022] 도 1과 같은 저마늄 MSM 포토 다이오드는 작은 정공 쇼트키 배리어로 인해 정공 암전류가 크다는 단점이 있다. 이를 해결하기 위해 밴드갭이 큰 물질의 삽입, 또는 도핑을 이용하여 12과 같은 정공 쇼트키 배리어를 배치하여 향상 시켰고, 이는 정공 암전류를 감소시키는 효과를 제공한다. 그러나, 밴드갭이 큰 물질을 삽입하는 것은 광전하를 모으는 데에 저항성분으로 작용하게 되며 이는 광전류의 저하를 야기하게 된다.
- [0023] 도 2는 포토 다이오드의 구성에서 발생하는 전류의 흐름을 보여주는 도면이다.
- [0024] 201의 그래프는 정공의 쇼트키 배리어 높이(schottky barrier height, SBH)는 매우 작게 형성되는데, 이로 인해 205와 같이 정공의 암전류(I_{dark} , h)가 크게 발생함을 알 수 있다. 이를 해결하기 위해 도 1과 같이 쇼트키 배리어의 높이를 높게 한 경우의 그래프는 202이다.
- [0025] 202는 도 1의 구성과 같이, 밴드갭이 큰 물질을 삽입하여 정공의 쇼트키 배리어 높이를 크게 함으로써 전자의 암전류의 흐름(I_{dark} , e) 및 정공의 암전류의 흐름(I_{dark} , h) 모두 작아졌음을 210 및 220에서 확인할 수 있다. 반면, 광전류를 살펴보면, 저항이 발생하여 230에서 지시되는 부분(I_{photo} , e) 및 240에서 지시되는 부분

(Iphoto, h)과 같이 저하되는 현상이 발생한다. 이는 포토 다이오드의 성능을 저하시킨다.

- [0026] 또한, 도핑을 이용한 암전류 감소 기술의 경우, 소자의 집적 과정에서 도핑 공정을 필요로 하게 되고 이는 MSM 포토 다이오드의 가장 큰 장점 중 하나인 공정의 간편함을 크게 저하시키는 문제를 발생시킨다.
- [0027] 이에, 본 명세서에서는 포토 다이오드에서 암전류가 감소되도록 구성하며, 이를 제조하는 공정에 대해 살펴본다. 본 발명의 일 실시예가 적용될 포토 다이오드의 구성은 도 3과 같다.
- [0028] 도 3은 본 발명의 일 실시예에 의한 암전류가 감소된 포토 다이오드의 구성을 보여주는 도면이다. 1001은 A-A'의 절단면이고 1002는 위에서 도시한 도면이다. 반도체층(1000) 상에 캐소드에 연결되는 제1영역(1091a, 1091b)(또는 제1컨택부들)과 애노드에 연결되는 제2영역(1092a, 1092b)(또는 제2컨택부들)으로 나뉘어지며, 이들 영역 사이에는 액티브 영역(1093a, 1093b)이 배치된다. 제1컨택부와 제2컨택부는 비대칭으로 구성된다.
- [0029] 제1영역(1091a, 1091b)은 중간층(interlayer)(1010a, 1010b)과 금속층(1020a, 1020b)으로 구성되며 동일한 영역은 전기적으로 연결될 수 있다. 즉, 1002에 배치된 바와 같이 핑거타입(finger type)으로 포토다이오드를 구성할 수 있다. 중간층(1010a, 1010b)과 반도체층(1000) 사이의 전도대 오프셋(conduction band offset, CBO)을 작게 하거나 혹은 0으로 만들어주는 물질이 중간층(1010a, 1010b)을 구성하는 것이 본 발명의 일 실시예이다. 예를 들어, 반도체층(1000)이 저마늄인 경우, TiO_2 와 같은 물질이 포함될 수 있다. 또한 중간층(1010a, 1010b)의 두께를 조절하여 암전류의 감소 효과를 높일 수 있다.
- [0030] 도 3의 구조에서 금속층(1020, 1030)은 하나 또는 다수의 층으로 구성할 수 있다. 또한, 중간층(1010a, 1010b)에 따라 금속층의 물질을 선택할 수 있다. 전술한 TiO_2 가 중간층(1010a, 1010b)을 구성할 경우, Ti가 금속층(1020, 1030)을 구성할 수 있다. 또는 Ti를 하위에 배치되는 금속층으로 하고, 그 위에 새로운 다른 금속, 예를 들어 Au를 상위 금속층으로 구성하여 금속층(1020, 1030)이 두 개의 층으로 구성되도록 할 수 있다.
- [0031] 금속층의 실시예로는 금(Au), 은(Ag), 알루미늄(Al), 금(Au), 코발트(Co), 크롬(Cr), 구리(Cu), 가돌리늄(Gd), 하프늄(Hf), 인듐(In), 이리듐(Ir), 마그네슘(Mg), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 플래티늄(Pt), 로듐(Rh), 탄탈(Ta), 티타늄(Ti), 텅스텐(W), 및 아연(Zn)으로 구성된 그룹으로부터 선택될 수 있다.
- [0032] 또한, 금속층은 전술한 그룹의 어느 하나 이상의 물질을 이용한 임의의 합금이 될 수 있다.
- [0033] 또는 제1영역(1091a, 1091b)에 배치되는 금속층, 예를 들어 1020에서 지시되는 금속층과 제2영역(1092a, 1092b)에 배치되는 금속층, 예를 들어 1030에서 지시되는 금속층의 구성 또는 이를 구성하는 물질의 성분비가 달라지도록 구현할 수 있다. 본 발명의 다른 실시예로 제1영역(1091a, 1091b)에 배치되는 금속층인 1020은 Ti로 하고 제2영역(1092a, 1092b)에 배치되는 금속층인 1030은 Au로 할 수 있다.
- [0034] 또한, 반도체층(1000) 상에 층간절연물질(Interlayer Dielectric Material)을 이용한 층간절연막을 배치하고, 제1영역(1091a, 1091b)과 제2영역(1092a, 1092b)을 식각할 수 있다.
- [0035] 도 4는 본 발명의 일 실시예에 의한 층간절연막을 이용하여 층간절연막이 배치된 포토 다이오드의 구성을 보여주는 도면이다. 도 3의 1001에 층간절연막(1040)이 배치된 구성이다. 층간절연막(1040)의 일 실시예는 SiO_2 의 물질을 이용할 수 있다. 또한, 본 발명의 일 실시예에 의한 층간절연막(1040)의 높이는 중간층(1010a, 1010b)보다 높을 수 있다. 그리고 층간절연막(1040)의 높이는 제2영역(1092a, 1092b)에 배치되는 금속층(1030a, 1030b)의 높이보다는 낮을 수 있다. 또한, 층간절연막(1040)은 반사방지 코팅(Anti reflection coating)이 될 수 있다.
- [0036] 도 3 및 도 4에서 중간층(1010a, 1010b)이 배치된 제1영역(1091a, 1091b)을 MIS(Metal-insulator-semiconductor) 컨택부라 할 수 있다. 또한, 제2영역(1092a, 1092b)을 MS(Metal-semiconductor) 컨택부라 할 수 있다.
- [0037] 이들 두 컨택부들은 서로 구성되는 층이 상이하게 비대칭으로 구성되는데, 이는 중간층이 배치되기 때문이다.
- [0038] 도 3 및 도 4에서 중간층(1010a, 1010b)과 반도체층(1000)의 전도대 오프셋(CBO)은 미리 설정된 값 이하이며, 중간층(1010a, 1010b)과 반도체층(1000)의 원자가대 오프셋(Valence Band Offset, VBO)은 미리 설정된 값 이상이다. 예를 들어, 원자가대 오프셋은 약 2.9eV보다 크게 구성되어 암전류를 감소시킬 수 있다. 또한 전도대 오프셋은 약 0에 가까운 값을 가지도록 구성될 수 있다.

- [0039] 도 5는 도 3 및 도 4에서 살펴본 실시예를 적용한 핑거 타입의 포토 다이오드의 구성을 보여주는 도면이다. 일 실시예로 층간절연막(1040)으로 SiO_2 가 배치된 구성이다. SiO_2 를 일 실시예로 하는 층간절연막(1040)의 영역 중 식각된 영역에 제1연결전극부(520) 및 제2연결전극부(530)가 배치되어 있다.
- [0040] 제1연결전극부(520)는 캐소드에 연결되며 하나 이상의 제1컨택부들(520a, 520b, 520c)에 연결되어 있다. 또한, 제2연결전극부(530)는 애노드에 연결되며 하나 이상의 제2컨택부들(530a, 530b, 530c)에 연결되어 있다.
- [0041] MIS 컨택부인 제1컨택부들(520a, 520b, 520c)은 앞서 살펴본 중간층이 배치되어 있다. MS 컨택부인 제2컨택부들(530a, 530b, 530c)는 중간층이 배치되어 있지 않다. 제1컨택부들(520a, 520b, 520c) 및 제2컨택부들(530a, 530b, 530c)가 중첩되는 영역(1093)은 액티브영역이 될 수 있다. 제1컨택부들(520a, 520b, 520c) 및 제2컨택부들(530a, 530b, 530c)는 도 5와 같이 교번으로 배치될 수 있다. 또는 공정의 편의를 위하여 도 6과 같이 구성될 수도 있다.
- [0042] 도 6은 본 발명의 일 실시예에 의한 동일한 구조의 컨택부들을 근접하여 배치한 포토 다이오드의 구조를 보여주는 도면이다. 도 6에서는 제1컨택부들(520a, 520b, 520c) 및 제2컨택부들(530a, 530b, 530c)의 배치가 동일한 구조 별로 인접하게 배치되는 구성이다. 즉, 제1컨택부들 중에서 520b, 520c가 인접하게 배치되며, 제2컨택부들 중에서 530a, 530b가 인접하게 배치된 실시예이다. 핑거 타입이 증가할 경우 중간층을 증착 및 식각하는 공정에서 마진을 가질 수 있도록 구성한다.
- [0043] 도 5 및 도 6에서 제1연결전극부(520)와 이에 연결되는 하나 이상의 제1컨택부들(520a, 520b, 520c)은 그 구성을 달리할 수 있다. 즉, 연결전극부 하에는 중간층이 배치되지 않고, 제1컨택부들(520a, 520b, 520c)에만 중간층이 배치될 수 있다.
- [0044] 예를 들어, 도 5 및 도 6을 중심으로 포토 다이오드를 다음과 같이 구성할 수 있다. 도 3 및 도 4에서 살펴본 바와 같이, 반도체층(1000) 상에 캐소드에 연결되는 제1연결전극부(520) 및 제1연결전극부(520)에 연결되는 하나 이상의 제1컨택부들(520a, 520b, 520c), 반도체층(1000) 상에 애노드에 연결되는 제2연결전극부(530) 및 제2연결전극부(530)에 연결되는 하나 이상의 제2컨택부들(530a, 530b, 530c)로 구성한다.
- [0045] 그리고 이들 중에서 제1컨택부들(520a, 520b, 520c)은 중간층과 하나 이상의 금속층을 포함하며, 제2컨택부들(530a, 530b, 530c)은 하나 이상의 금속층을 포함한다. 그리고 전술한 중간층은 제1연결전극부(520)에 배치되지 않도록 구성할 수 있다.
- [0046] 전술한 바와 같이, 반도체층(1000) 상에 캐소드에 연결되는 제1영역(1091a, 1091b)(또는 제1컨택부들)과 애노드에 연결되는 제2영역(1092a, 1092b)(또는 제2컨택부들)으로 나뉘어지며, 이들 영역 사이에는 액티브 영역(1093a, 1093b)이 배치된다. 제1컨택부와 제2컨택부는 비대칭으로 구성됨은 동일하다.
- [0047] 도 7은 본 발명의 일 실시예에 의한 MIS 포토 다이오드의 구성을 보여주는 도면이다. 특히, 도 5 및 도 6의 B-B' 절단면을 중심으로 구조를 살펴본다.
- [0048] 본 발명의 일 실시예에 의한 MIS(Metal-insulator-semiconductor) 포토 다이오드(700)의 구조는 반도체층이 저마늄으로 구성된다. MSM 포토 다이오드(700)는 캐소드에 TiO_2 와 같은 물질을 이용하여 메탈-절연체-반도체(Metal-insulator-semiconductor, MIS)구조를 가지도록 구성된다.
- [0049] 보다 상세히 살펴보면, 저마늄 웨이퍼, 즉 저마늄 반도체층(1000g) 상에 층간절연막의 일 실시예로 SiO_2 층(1040a, 1040b, 1040c)이 배치되며, 캐소드 영역에 TiO_2 를 중간층(710a)으로 형성한다. 도 7과 같이 TiO_2 중간층을 삽입할 경우 암전류를 감소시킬 수 있다.
- [0050] 보다 상세히 살펴보면, TiO_2 와 저마늄 사이의 전도대 오프셋(conduction band offset, CBO)이 0 이기 때문에, 광전하를 저장없이 효과적으로 모을 수 있다. 다음으로 TiO_2 의 큰 밴드갭 특성으로 인해 효과적으로 정공 쇼트키 배리어를 향상시켜 암전류를 감소시킬 수 있다. 또한, 도핑 공정이 없기 때문에 공정의 간편함을 유지할 수 있다. 이하 도 7과 같은 TiO_2 중간층을 삽입하기 위한 공정에 대해 살펴본다.
- [0051] 도 8은 본 발명의 일 실시예에 의한 암전류가 감소된 포토 다이오드를 제조하는 공정 과정을 보여주는 도면이다.
- [0052] 반도체층 상에 층간절연막을 증착한다(S810). 그리고 층간절연막 중 제1영역을 식각한다(S820). 제1영역은 전

술한 중간층이 배치될 영역이자 전술한 제1컨택부들(즉 MIS 컨택부)이 배치되는 영역이다. 식각 방식으로는 습식 식각(wet etching) 공정에 따라 식각할 수 있다.

[0053] 다음으로 식각된 제1영역 및 층간절연막 상에 중간층을 증착한다(S830). 중간층은 TiO_2 물질을 증착할 수 있다. 증착 방식으로 원자층 증착법(Atomic layer deposition, ALD)을 사용할 수 있다. 증착 물질로는 반도체층의 전도대 오프셋이 작거나 혹은 없는 물질을 일 실시예로 한다. 이 물질이 중간층을 구성하도록 증착할 수 있다. 보다 상세하게, 증착 물질은 TiO_2 를 일 실시예로 한다.

[0054] 그리고 제1영역을 제외한 중간층을 식각하여 층간절연막을 노출시킨다(S840). 중간층의 식각은 건식 식각(dry etching) 공정에 따라 식각할 수 있다.

[0055] 그리고 층간절연막 중에서 제1영역과 이격되는 제2영역을 식각한다(S850). 마찬가지로, 식각 방식으로는 습식 식각(wet etching) 공정에 따라 식각할 수 있다. 이때, 제2영역은 전술한 바와 같이, 중간층이 배치되지 않는 영역이자 전술한 제2컨택부들(즉 MS 컨택)이 배치되는 영역이다.

[0056] 이후 제1영역의 중간층 상에 제1금속층을 증착하고(S860), 제2영역의 반도체상에 제2금속층을 증착한다(S870). 제1영역과 제2영역에 동일한 금속물질을 증착할 경우 S860 및 S870은 동시에 이루어질 수 있다.

[0057] 도 9 내지 도 12는 본 발명의 일 실시예에 의한 MIS 포토 다이오드를 집적하는 과정을 보여준다. 도 8의 과정을 보다 상세하게 살펴본다. 도 9의 991은 저마늄 웨이퍼(Ge Wafer, 1000g) 상에 SiO_2 (1040)를 증착한 도면이다. 도 8의 S810 단계의 실시예이다. 본 발명의 일 실시예에 의한 SiO_2 의 두께는 100 nm가 될 수 있으며, 전자빔 증발원(e-beam evaporator)를 이용하여 증착하거나 스퍼터링하여 증착하는 등 다양한 방식으로 증착할 수 있다.

[0058] 도 9의 992에 도시된 바와 같이, 증착된 SiO_2 (1040)을 포토리소그래피(photolithography)를 진행하고 SiO_2 를 습식 식각(wet etching)하여 캐소드(cathode) MIS 컨택 영역(901)을 정의한다. 도 8의 S820 단계의 실시예이다. 습식 식각은 1:25로 희석된 HF(플루오린화 수소) 용액으로 진행될 수 있으며, 이 공정에서 901영역과 같이 저마늄 웨이퍼(1000g)가 노출된다.

[0059] 다음으로 도 8의 S830 단계의 실시예로 도 10에 도시된 바와 같이, 도 9의 구조에서 TiO_2 층을 증착한다. 증착하는 일 실시예로 원자층 증착법(Atomic layer deposition, ALD)으로 TiO_2 를 증착할 수 있다. 증착 공정에서의 온도는 섭씨 250 도를 일 실시예로 한다.

[0060] 도 11은 도 8의 S840 및 S850 단계의 실시예이다. 도 11에 도시된 바와 같이, 포토리소그래피(photolithography)를 진행하고 SiO_2 및 TiO_2 를 플라즈마 에칭(plasma etching) 하여 캐소드 영역인 MIS 컨택 영역(901)에 TiO_2 층(710a)을 남겨두고 애노드(anode) 영역인 MS 컨택 영역(902)을 정의한다. 이때, TiO_2 층을 식각하기 위해 SF_6 (6-플루오린화황)을 이용하여 건식 식각(dry etching) 공정을 진행할 수 있다. 이후 남은 SiO_2 층에서 제2영역인 MS 컨택 영역(902)을 식각하기 위해 도 9와 같이 HF 용액을 이용하여 습식 식각 프로세스를 진행할 수 있다.

[0061] 도 12는 도 8의 S860 및 S870 단계의 실시예이다. 도 12에서는 도 11의 캐소드 영역인 MIS 컨택영역(901)과 애노드 영역인 MS 컨택 영역(902)을 포토리소그래피로 정의한 후, 전극 금속을 증착한다. 전극 금속은 하나의 층 또는 그 이상의 층으로 구성할 수 있다.

[0062] 예를 들어, 도 12에서는 캐소드 전극으로 제1층(521a) 및 제2층(522a)이 배치되고, 애노드 전극으로 제1층(531a) 및 제2층(532a)이 배치될 수 있다. 여기에서 각 전극의 제1층(521a, 531a)는 Ti층으로, 제2층(522a, 532a)은 Au 층으로 구성할 수 있다.

[0063] 도 8 내지 도 12에서 살펴본 과정들을 통해 포토 다이오드의 캐소드 측에만 TiO_2 층과 같은 중간층을 배치할 경우, 저항성분 없이 광정공을 모을 수 있다.

[0064] 도 13은 본 발명의 일 실시예에 의한 MIS 포토 다이오드에서의 광전하의 흐름을 보여주는 도면이다. 도 2와 비교하여 살펴본다. 삽입된 중간층으로 인해 TiO_2 와 저마늄의 전도대 오프셋(conduction band offset)이 0(1301 참조, zero CBO)이기 때문에 터널링 저항 없이 광전하를 모을 수 있다. 즉, 저항으로 인한 손실 없이 광전하를 효과적으로 모을 수 있다.

- [0065] 또한 밴드갭이 큰 TiO_2 를 중간층으로 삽입한 MIS 구조를 이용하므로 캐소드의 정공 쇼트키 배리어를 크게 향상시켜 저마늄 MSM 포토다이오드의 정공 암전류를 크게 감소시킬 수 있다. 마지막으로 도 8 내지 도 12의 공정에는 도핑 공정이 포함되지 않으므로, 저마늄 MSM 포토 다이오드의 가장 큰 장점 중 하나인 공정의 간편함을 유지할 수 있다.
- [0066] 도 8 내지 도 12에서 캐소드 영역(901)은 MIS(Metal-insulator-semiconductor) 컨택 구조로, 애노드 영역(902)은 MS(Metal-semiconductor) 컨택 구조를 가진다.
- [0067] 두 컨택 사이의 영역(1040b)은 액티브 영역이며, 1040b 영역 혹은 이를 포함한 그 외의 SiO_2 층 영역들(1040a, 1040c)은 반사 방지 코팅(Anti reflection coating)이 적용될 수 있다. 액티브 영역(1040b)에서 입사되는 광, 예를 들어 적외선광($\lambda=1.55\mu\text{m}$)에 의해 MIS 구조의 컨택과 MS 구조의 컨택 사이에 광전류가 흐른다.
- [0068] 본 발명의 일 실시예에 의한 중간층(710a)의 높이에 따라 암전류를 감소시키는 범위가 달라질 수 있다. 이에 대해 보다 상세히 살펴본다.
- [0069] 도 14 및 도 15는 본 발명의 일 실시예에 의한 중간층의 두께에 따른 암전류의 크기를 보여주는 도면이다. 도 14 및 도 15에서는 중간층에 TiO_2 가 포함되는 실시예에서 산출된 그래프이다.
- [0070] 도 14에 도시된 바와 같이, TiO_2 가 없는 경우(0nm), 그리고 중간층의 두께가 5nm인 경우와 7nm인 경우, 그리고 9nm인 경우의 I-V 상관도를 보여준다. TiO_2 를 중간층으로 배치할 경우, 중간층의 두께에 따라 암전류의 크기가 줄어드는 것을 확인할 수 있다.
- [0071] 도 15는 1 V인 경우에 암전류의 감소폭을 보여준다. 보다 상세히 살펴보면 다음과 같다.
- [0072] TiO_2 가 전혀 배치되지 않은 구성(TiO_2 두께가 0 nm)과 5 nm 두께로 TiO_2 가 중간층을 구성한 경우를 비교할 때, 중간층이 없는 구성과 비교하여 본 발명의 실시예에서는 암전류가 227배 감소함을 알 수 있다.
- [0073] TiO_2 가 전혀 배치되지 않은 구성(TiO_2 두께가 0 nm)과 7 nm 두께로 TiO_2 가 중간층을 구성한 경우를 비교할 때, 중간층이 없는 구성과 비교하여 본 발명의 실시예에서는 암전류가 7,900배 감소함을 알 수 있다.
- [0074] 마찬가지로, TiO_2 가 전혀 배치되지 않은 구성(TiO_2 두께가 0 nm)과 9 nm 두께로 TiO_2 가 중간층을 구성한 경우를 비교할 때, 중간층이 없는 구성과 비교하여 본 발명의 실시예에서는 암전류가 17,000배 감소함을 알 수 있다.
- [0075] 따라서, 본 명세서의 일 실시예에 의한 중간층의 두께는 5 nm 내지 9 nm 사이의 값을 가질 수 있다. 물론, 반도체층의 특성 또는 포토 다이오드가 구현하고자 하는 기능, 중간층을 구성하는 물질 등의 차이를 고려하여 중간층의 두께는 다양하게 선택될 수 있다.
- [0076] 도 16 내지 도 19는 중간층에 따른 암전류와 광전류의 흐름의 차이를 보여주는 도면이다. 파장이 $1.55\mu\text{m}$ 인 레이저에서 출사된 광에 따른 전기적 특성이다. 도 16 내지 도 19는 중간층을 TiO_2 의 물질로 구성하는 실시예에서 산출된 그래프들이다.
- [0077] 도 16은 중간층이 없는 구성에서의 암전류와 광전류의 특성을 보여준다.
- [0078] 도 17은 중간층의 두께가 5 nm인 경우의 암전류와 광전류의 특성을, 도 18은 중간층의 두께가 7 nm인 경우의 암전류와 광전류의 특성을, 도 19는 중간층의 두께가 9 nm인 경우의 암전류와 광전류의 특성을 보여준다.
- [0079] 도 16에서는 중간층이 없음으로 인해 증가한 암전류로 인해 온-오프율(on-off ratio)은 매우 작은 값을 가지지만, 도 17 내지 도 19에서는 중간층의 두께의 증가에 따라 급격히 증가함을 알 수 있다. 또한, 암전류 역시 중간층의 두께의 증가에 따라 급격히 감소함을 확인할 수 있다.
- [0080] 도 20은 본 발명을 적용한 경우의 포토 다이오드의 전기적 특성을 보여주는 도면이다. 도 20의 그래프들은 중간층을 TiO_2 의 물질로 구성하는 실시예에서 산출된 그래프들이다. 2001 그래프에서는 중간층의 두께에 따라 정규화된 광-암전류율(Normalized photo-to-dark current ratio, NPDR)을 보여준다. 2002 그래프에서는 1 V에서 중간층의 두께에 따른 NPDR을 보여준다. 여기서 중간층이 배치되지 않는 경우와 7 nm의 두께로 중간층을 구성한 경우 6,600배의 NPDR 차이가 발생함을 확인할 수 있다.
- [0081] 본 발명의 실시예를 적용할 경우, 포토 다이오드를 구성하는 전극층을 비대칭적으로 구성하여 암전류를 감소시

켜 포토 다이오드의 성능을 향상시킬 수 있다.

[0082] 또한, 본 발명에서 살펴본 포토 다이오드는 상이한 구조의 컨택부를 포함하되, 이들 컨택부들 중 일부는 도 3 내지 도 6에서 살펴본 바와 같이 하나의 전극에 연결될 수 있다. 이 경우, 전술한 중간층은 컨택부에만 배치될 수 있다. 컨택부가 핑거 타입과 같이 연결전극부에서 돌출하여 배치되는 형태인 경우, 캐소드에 전기적으로 연결되는 컨택부에만 중간층을 배치하고 연결전극부에는 중간층을 배치하지 않도록 구성할 수 있다.

[0083] 또한, 본 발명은 포토 다이오드의 전극층 중에서 일부에 중간층을 삽입하여 암전류를 감소시키고 공정의 편의성을 증가시키면서도 포토 다이오드의 성능을 향상시키고자 한다.

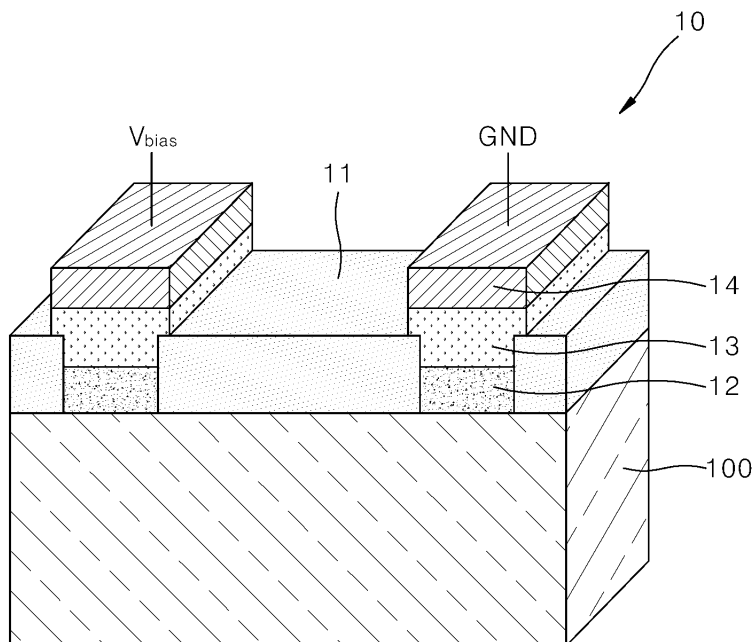
[0084] 이상, 본 발명의 일 실시예에 대하여 설명하였으나, 해당 기술 분야에서 통상의 지식을 가진 자라면 특허청구범위에 기재된 본 발명의 사상으로부터 벗어나지 않는 범위 내에서, 구성 요소의 부가, 변경, 삭제 또는 추가 등에 의해 본 발명을 다양하게 수정 및 변경시킬 수 있을 것이며, 이 또한 본 발명의 권리범위 내에 포함된다 할 것이다.

부호의 설명

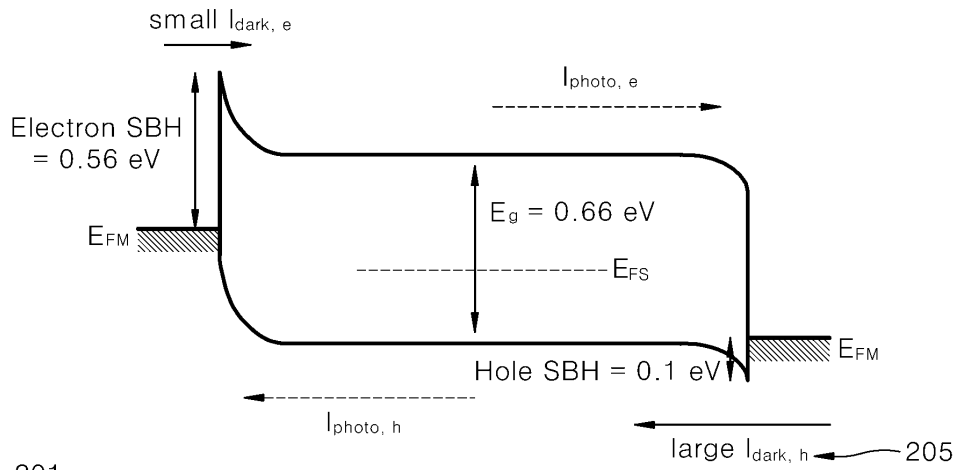
[0085] 1000: 반도체층 710a, 1010: 중간층
1020, 1030: 금속층 1040: 층간절연막
520: 제1연결전극부 530: 제2연결전극부

도면

도면1

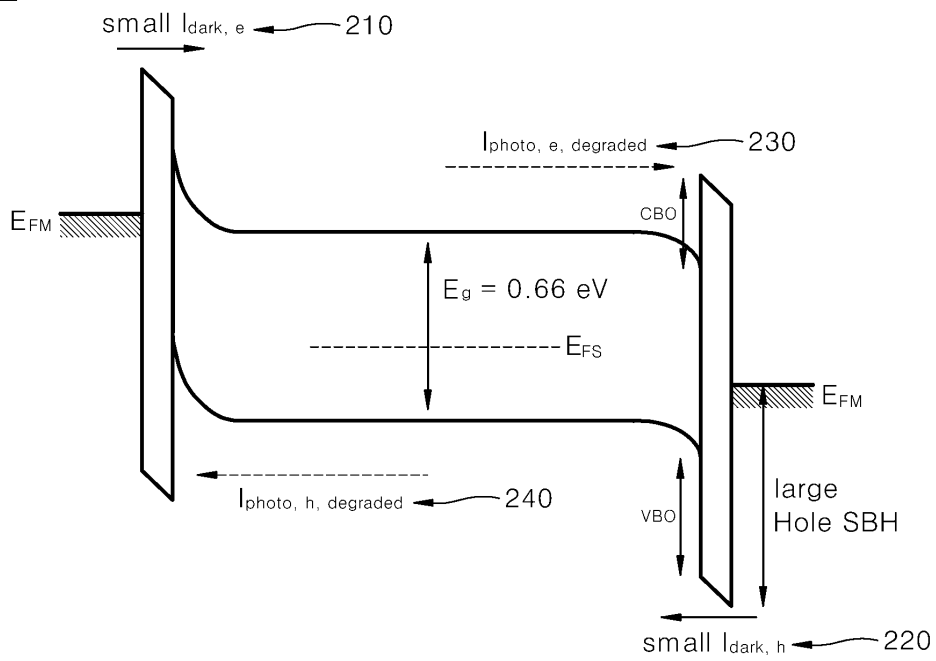


도면2

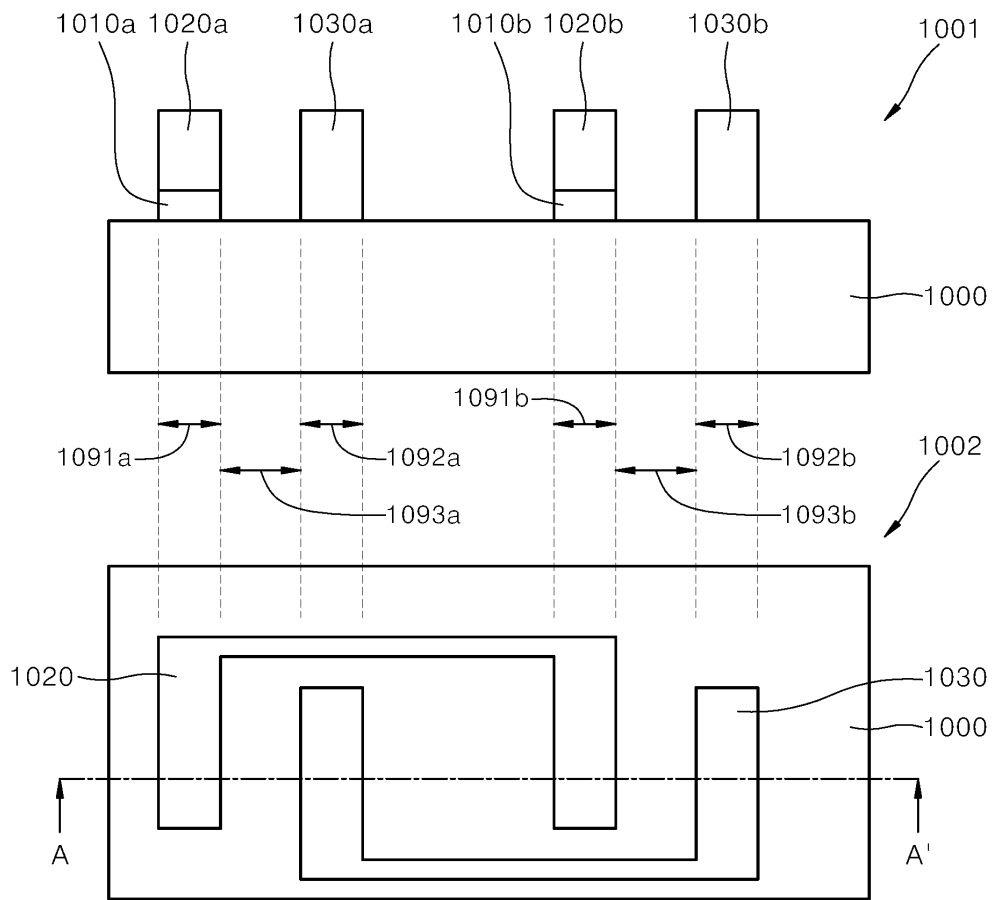


201

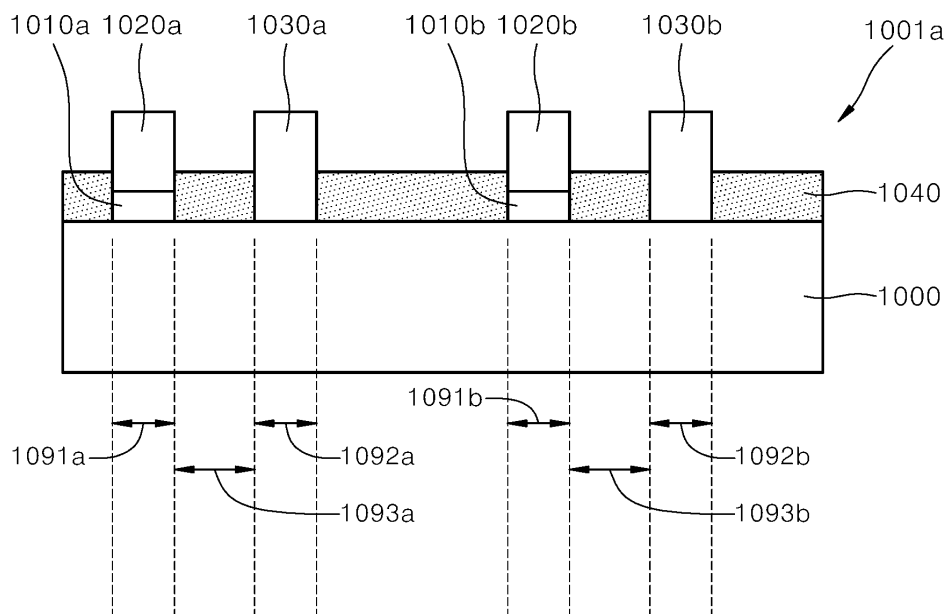
202



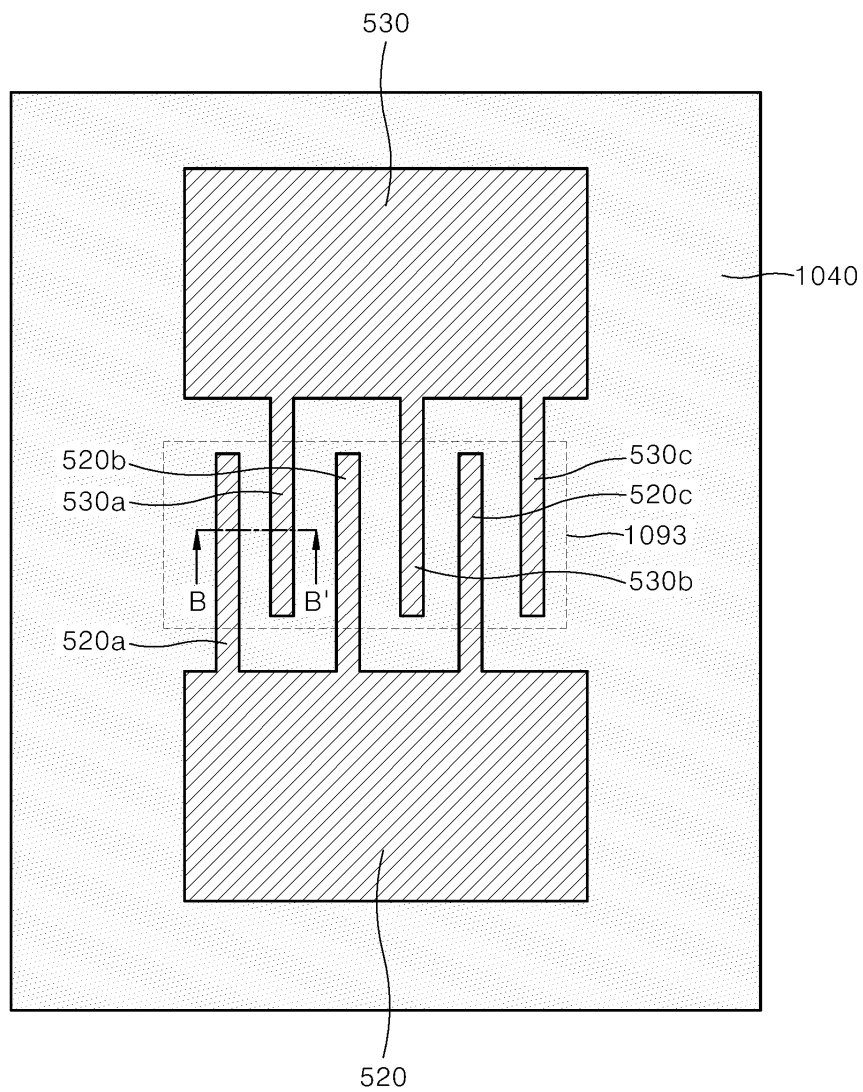
도면3



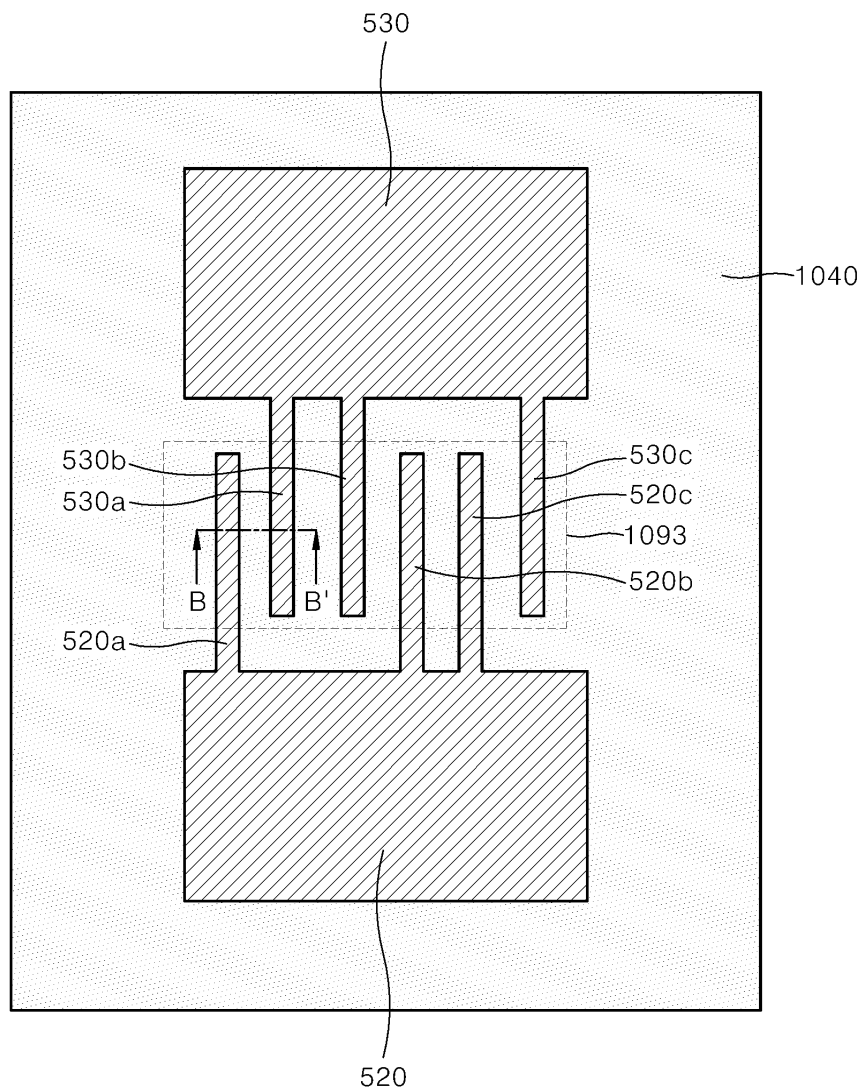
도면4



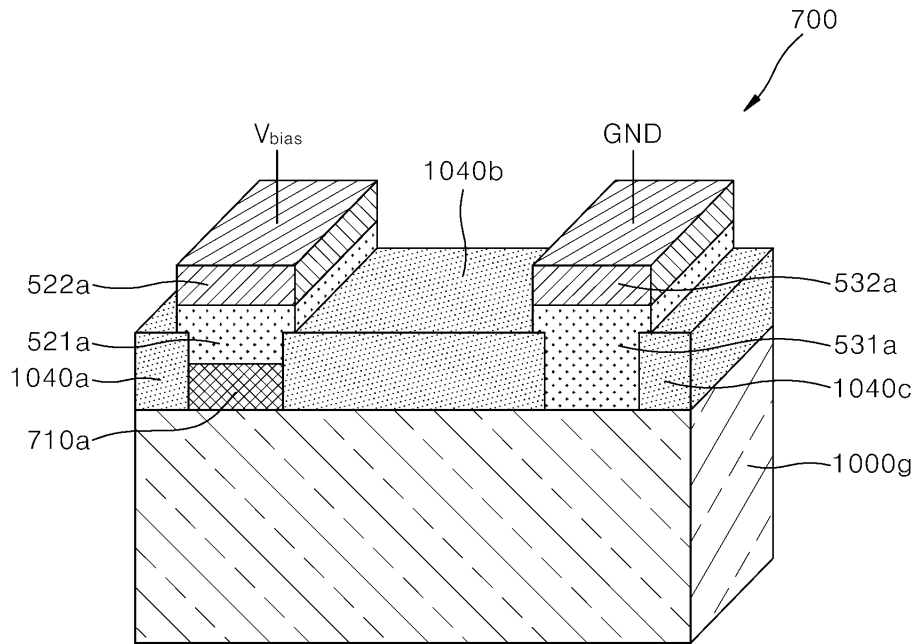
도면5



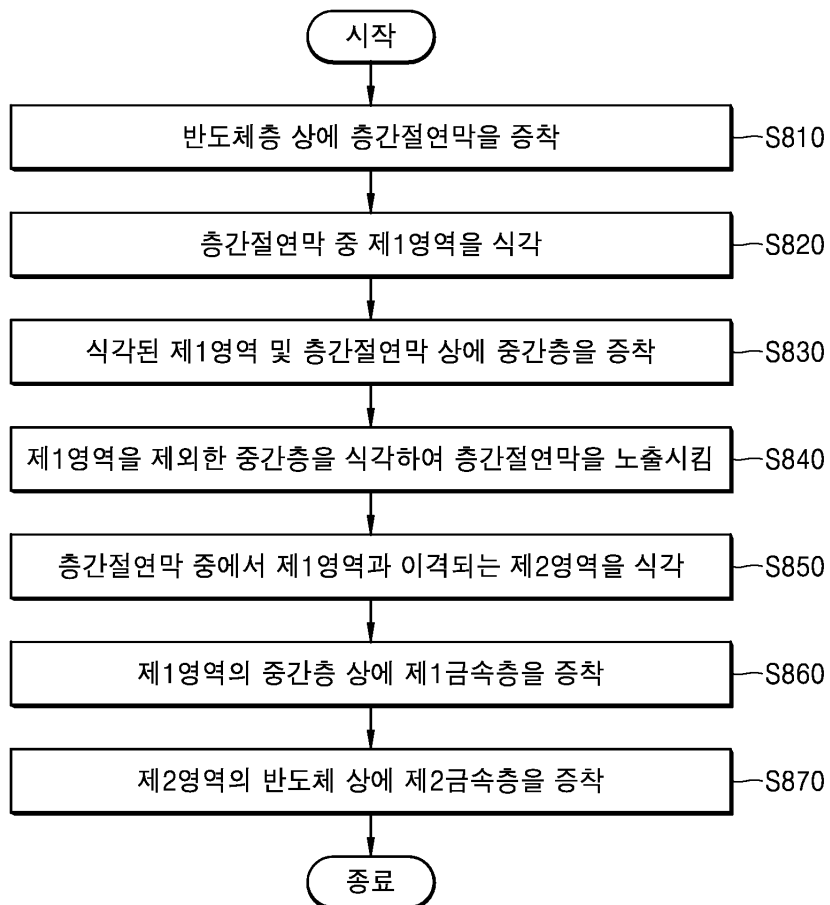
도면6



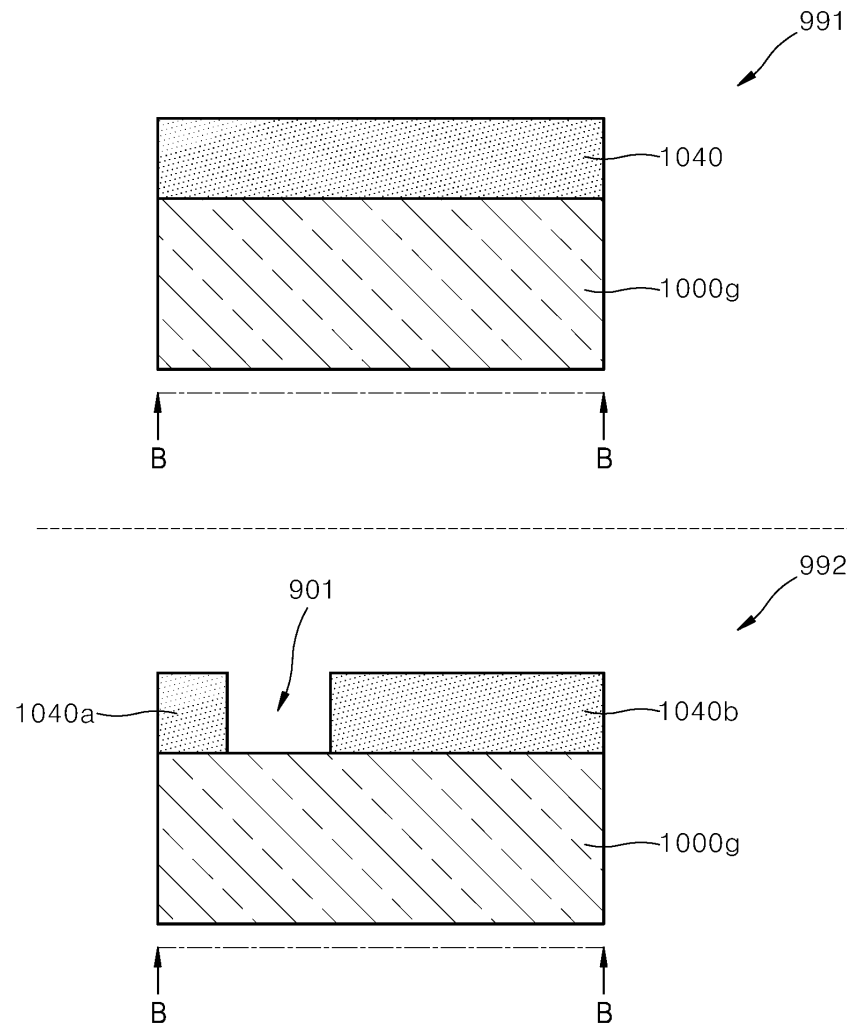
도면7



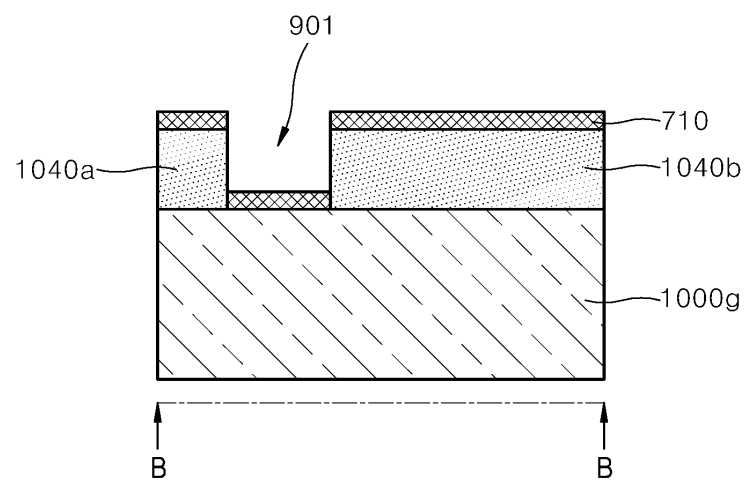
도면8



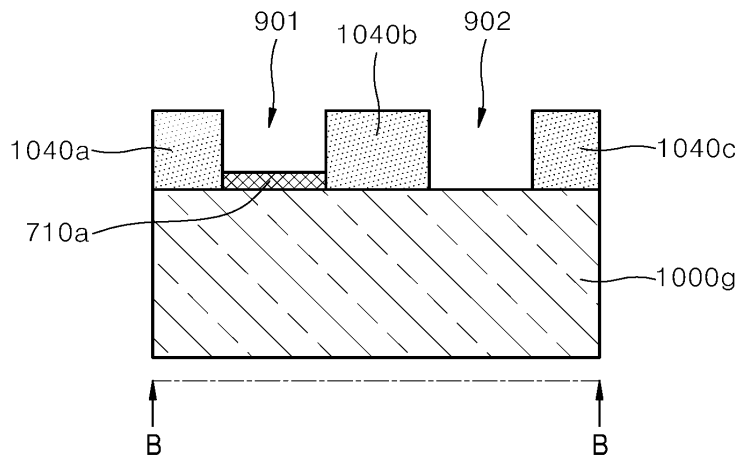
도면9



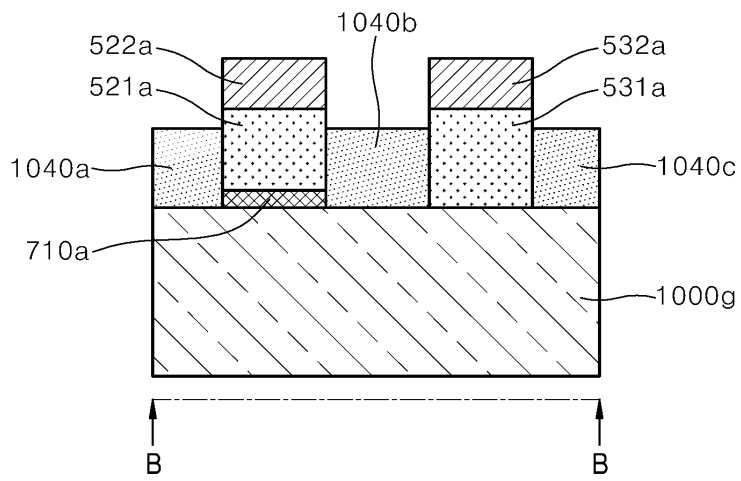
도면10



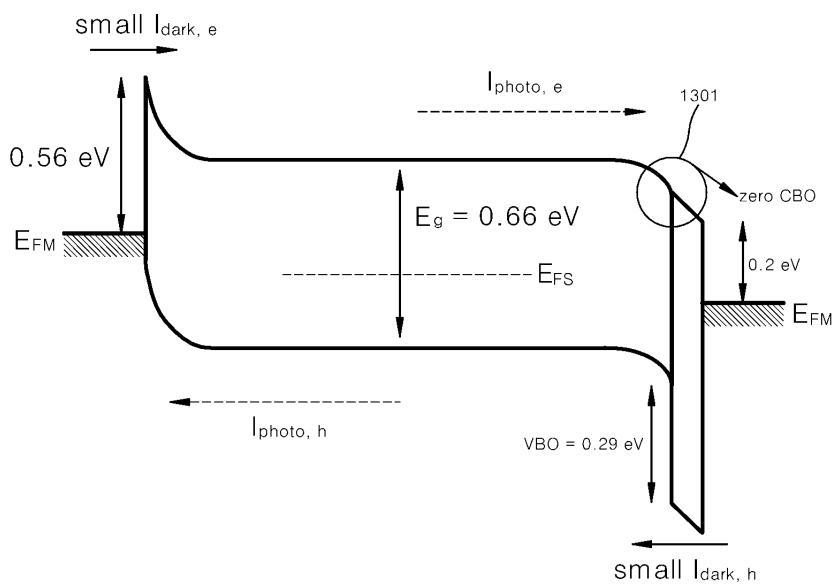
도면11



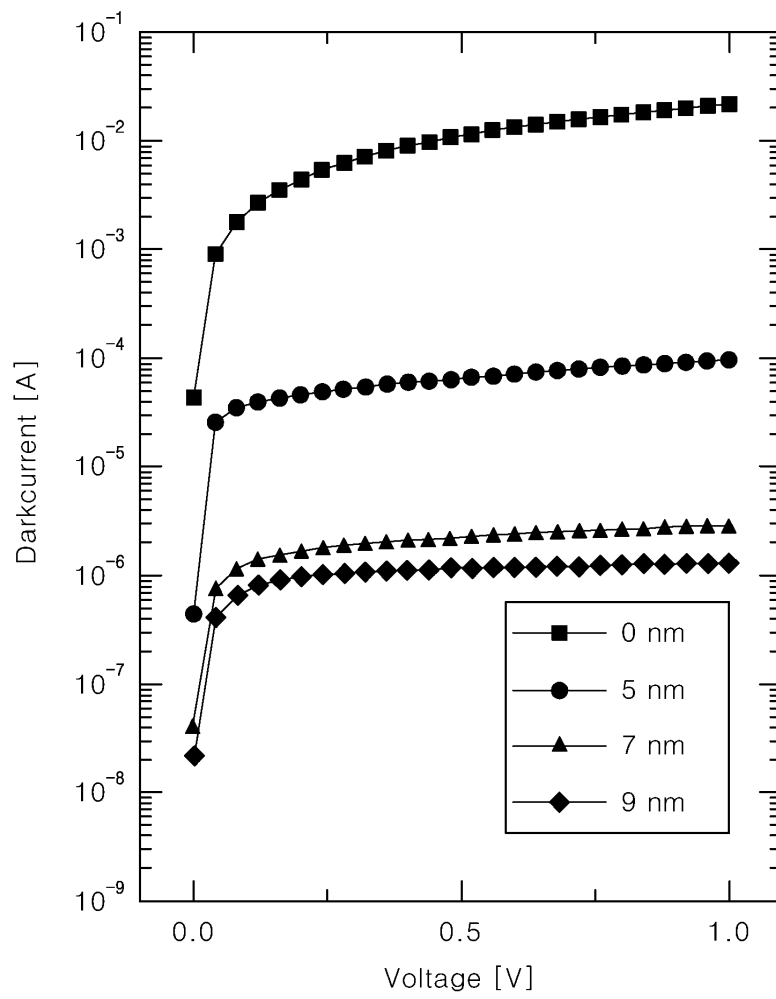
도면12



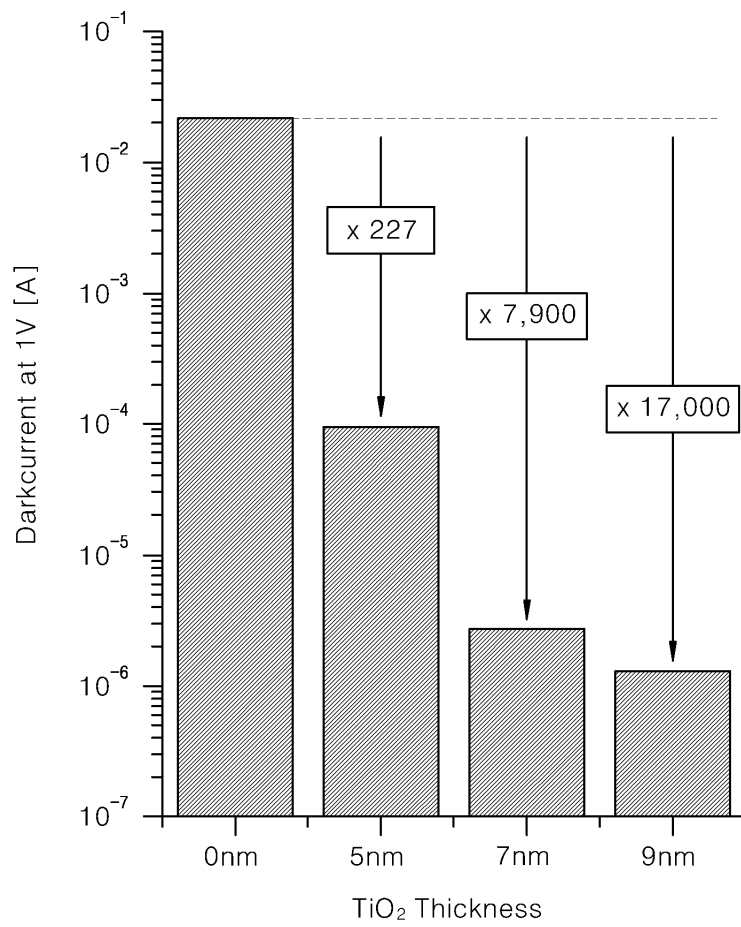
도면13



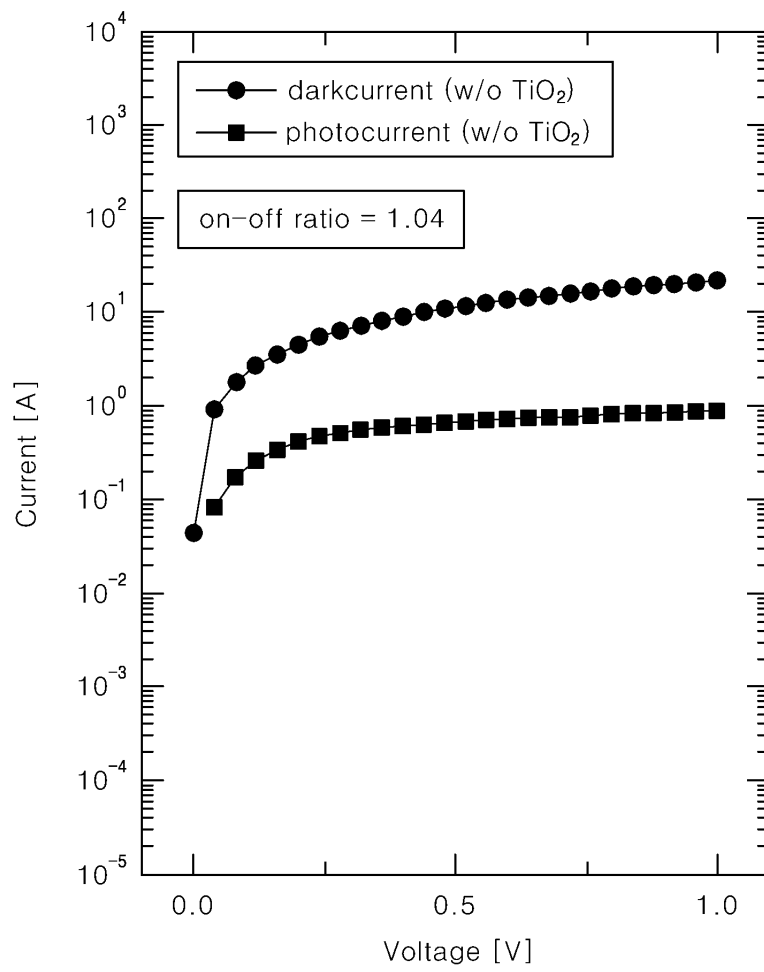
도면14



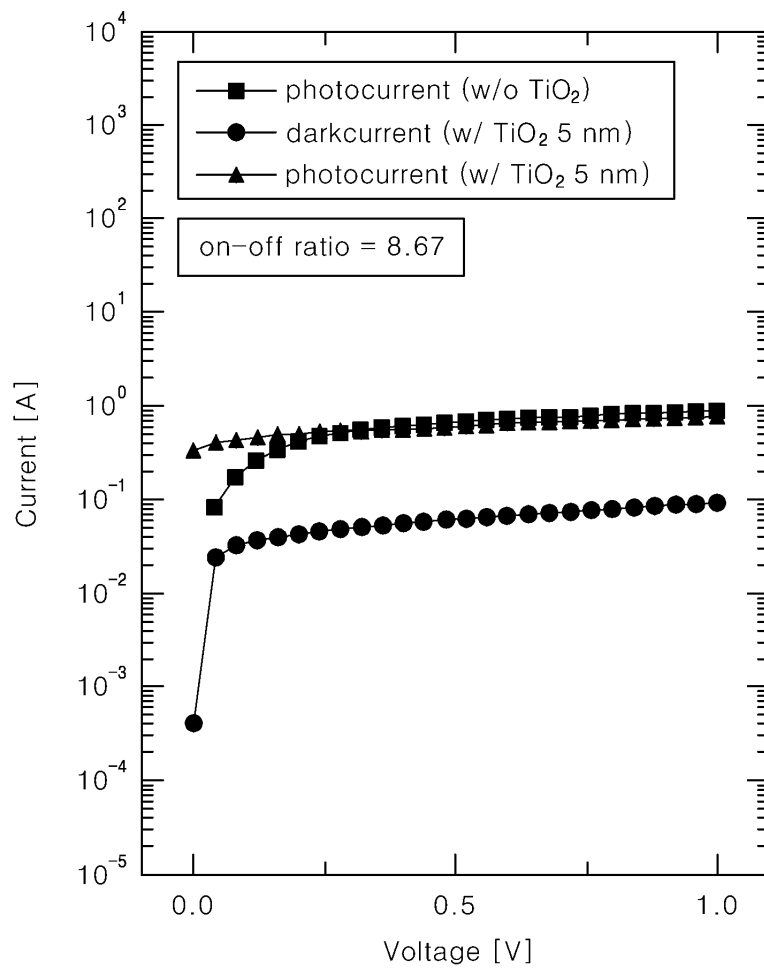
도면15



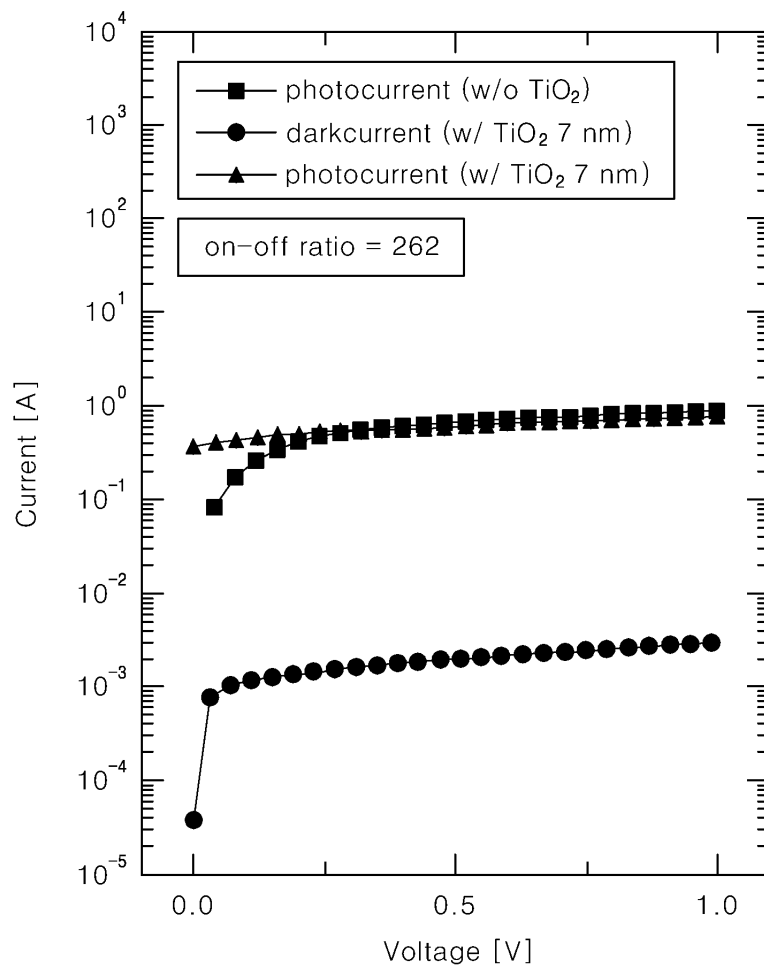
도면16



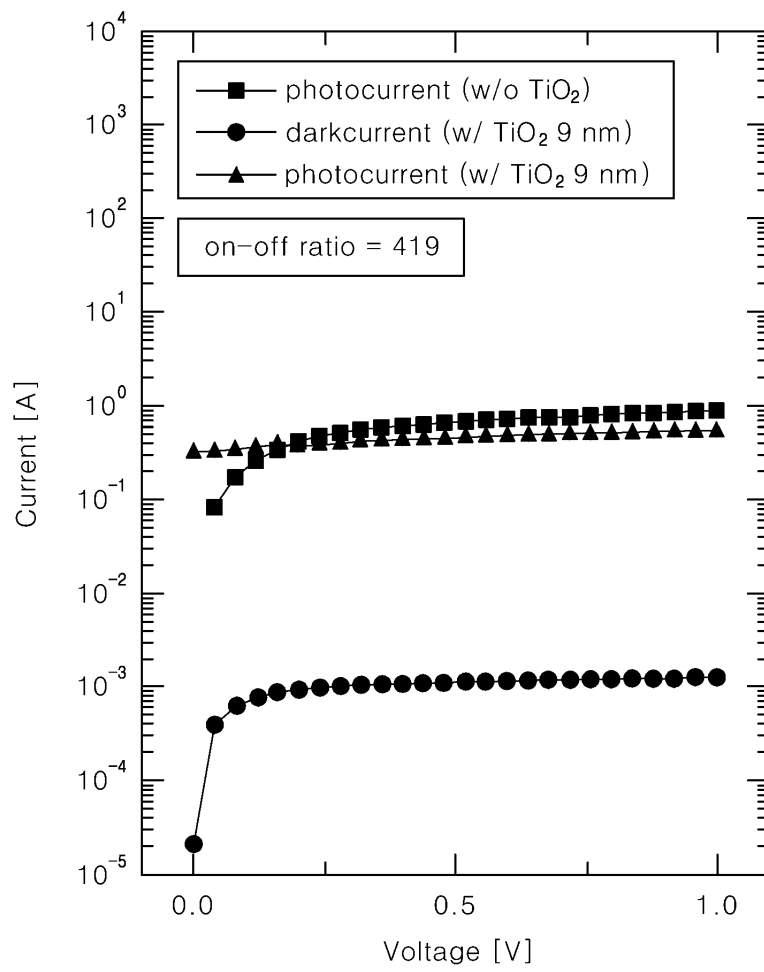
도면17



도면18



도면19



도면20

