

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4886164号
(P4886164)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.

F 1

H01L 21/82	(2006.01)	H01L 21/82	W
H01L 27/04	(2006.01)	H01L 27/04	D
H01L 21/822	(2006.01)	H03K 19/00	1 O 1 Q
H03K 19/0175	(2006.01)		

請求項の数 26 (全 15 頁)

(21) 出願番号	特願2003-504222 (P2003-504222)
(86) (22) 出願日	平成14年6月12日 (2002.6.12)
(65) 公表番号	特表2005-503004 (P2005-503004A)
(43) 公表日	平成17年1月27日 (2005.1.27)
(86) 国際出願番号	PCT/US2002/018673
(87) 国際公開番号	W02002/101527
(87) 国際公開日	平成14年12月19日 (2002.12.19)
審査請求日	平成15年12月15日 (2003.12.15)
審判番号	不服2009-15655 (P2009-15655/J1)
審判請求日	平成21年8月26日 (2009.8.26)
(31) 優先権主張番号	60/297,940
(32) 優先日	平成13年6月13日 (2001.6.13)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	10/113,052
(32) 優先日	平成14年4月1日 (2002.4.1)
(33) 優先権主張国	米国(US)

(73) 特許権者 310021766
株式会社ソニー・コンピュータエンタテインメント
東京都港区港南1丁目7番1号
(74) 代理人 100099324
弁理士 鈴木 正剛
(72) 発明者 馬越 英尚
アメリカ合衆国、カリフォルニア州 94404-2175、フォスター シティー、セカンド フロア、イースト ヒルズデイル ブルバード 919 ソニー・コンピュータ・エンタテインメント・アメリカ・インク内

最終頁に続く

(54) 【発明の名称】低電力クロック分配方法

(57) 【特許請求の範囲】

【請求項 1】

入力ノードと出力ノードとを備えた第1クロック分配バッファを有し、当該第1クロック分配バッファは、前記入力ノードへの入力信号から前記出力ノードに入射信号を生成するよう動作可能であり、

第1端部と第2端部とを備えた伝送線を有し、前記第1端部は、前記第1端部から前記第2端部への前記伝送線の長さ方向に沿って前記入射信号が伝搬するように、前記第1クロック分配バッファの前記出力ノードに結合されており、

入力ノードと出力ノードとを備えた第2クロック分配バッファを有し、前記入力ノードは、前記伝送線の第2端部に結合されており、当該第2クロック分配バッファは、その前記入力ノードへの前記入射信号からその前記出力ノードに出力信号を生成するよう動作可能であり、その前記入力ノードで第1反射信号が生成されて前記伝送線の長さ方向に沿って前記第2端部から前記第1端部へと伝搬し、

前記伝送線の第1端部と第2端部との間の長さは、前記伝送線の前記第2端部での前記入射信号と前記第1反射信号との合成電圧レベルが最大電圧レベルをほぼ超えないものとする長さであり、

前記伝送線は、特性インピーダンス(Z_0)及び抵抗(R)を有し、前記第1クロック分配バッファの前記出力ノードは、出力インピーダンス(Z_s)を有し、前記第1及び第2クロック分配バッファには、供給電圧 V_{dd} が供給され、前記最大電圧レベルは、実質的に、

10

20

$V_{dd} * [Z_0 / (Z_0 + Z_s)]$

で表すことができる、集積回路。

【請求項 2】

前記最大電圧レベルは、実質的に、前記第1クロック分配バッファと前記第2クロック分配バッファへの供給電圧に等しい、請求項1記載の集積回路。

【請求項 3】

前記伝送線の前記第2端部での前記入射信号の電圧レベルは、前記最大電圧レベルの少なくとも約1/4以上である、請求項1記載の集積回路。

【請求項 4】

前記入射信号の前記電圧レベルは、前記最大電圧レベルの約1/4～前記最大電圧レベルの約1/2の間の値である、請求項3記載の集積回路。 10

【請求項 5】

前記伝送線は、ストリップライン、積層ペアライン、両面積層ペアライン、ラテラルリターンパスを有する両面積層ペアライン、マイクロストリップライン、及びグルーブラインのうちから選択される、請求項1記載の集積回路。

【請求項 6】

前記伝送線、第1クロック分配バッファ、及び第2クロック分配バッファは、Hツリー、Xツリー及びRCバランスアーキテクチャのうちから選択されるクロック分配アーキテクチャの一部である、請求項1記載の集積回路。

【請求項 7】

前記入射信号は、ナローパルスを含む、請求項1記載の集積回路。 20

【請求項 8】

入力ノードと出力ノードとを備えた第1クロック分配バッファを有し、当該第1クロック分配バッファは、前記入力ノードへの入力信号から前記出力ノードに入射信号を生成するよう動作可能で、前記入射信号は、初期電圧値を有し、

第1端部と第2端部とを備えた伝送線を有し、前記第1端部は、前記第1端部から前記第2端部への前記伝送線の長さ方向に沿って前記入射信号が伝搬するように、前記第1クロック分配バッファの前記出力ノードに結合されており、

入力ノードと出力ノードとを備えた第2クロック分配バッファを有し、前記入力ノードは、前記伝送線の第2端部に結合されており、当該第2クロック分配バッファは、その前記入力ノードへの前記入射信号からその前記出力ノードに出力信号を生成するよう動作可能であり、その前記入力ノードで第1反射信号が生成されて前記伝送線の長さ方向に沿って前記第2端部から前記第1端部へと伝搬し。 30

前記伝送線の第1端部と第2端部との間の長さは、前記入射信号が前記第2クロック分配バッファの前記入力ノードの最低閾値電圧をほぼ超えるものとする長さであり、

前記伝送線の第1端部と第2端部との間の長さは、前記伝送線の前記第2端部での前記入射信号と前記第1反射信号との合成電圧レベルが最大電圧レベルをほぼ超えないものとする長さであり、

前記伝送線は、特性インピーダンス(Z_0)及び抵抗(R)を有し、前記第1クロック分配バッファの前記出力ノードは、出力インピーダンス(Z_s)を有し、前記第1及び第2クロック分配バッファには、供給電圧 V_{dd} が供給され、前記最大電圧レベルは、実質的に、 40

$V_{dd} * [Z_0 / (Z_0 + Z_s)]$

で表すことができる、集積回路。

【請求項 9】

前記最低閾値電圧は、最大電圧レベルの少なくとも約1/4以上である、請求項8記載の集積回路。

【請求項 10】

前記第1クロック分配バッファ及び第2クロック分配バッファは、供給電圧を有し、前記最大電圧レベルは、実質的に、この供給電圧に等しい、請求項9記載の集積回路。 50

【請求項 1 1】

前記入射信号の電圧レベルは、前記最大電圧レベルの約 1 / 4 ~ 前記最大電圧レベルの約 1 / 2 の間の値である、請求項 9 記載の集積回路。

【請求項 1 2】

前記伝送線は、ストリップライン、積層ペアライン、両面積層ペアライン、ラテラルリターンバスを有する両面積層ペアライン、マイクロストリップライン、及びグルーブラインのうちから選択される、請求項 9 記載の集積回路。

【請求項 1 3】

前記伝送線、第 1 クロック分配バッファ、及び第 2 クロック分配バッファは、Hツリー、Xツリー及びRCバランスアーキテクチャのうちから選択されるクロック分配アーキテクチャの一部である、請求項 9 記載の集積回路。 10

【請求項 1 4】

前記入射信号は、ナローパルスを含む、請求項 9 記載の集積回路。

【請求項 1 5】

入力ノードと出力ノードを備えた第 1 クロック分配バッファを有し、前記出力ノードは、出力インピーダンス (Z_s) を有し、前記第 1 クロック分配バッファは、前記入力ノードへの入力信号から前記出力ノードに入射信号を生成するよう動作可能で、

第 1 端部と第 2 端部とを備えた伝送線を有し、前記第 1 端部は、前記第 1 端部から前記第 2 端部への前記伝送線の長さ方向に沿って前記入射信号が伝搬するように、前記第 1 クロック分配バッファの前記出力ノードに結合されており、前記伝送線の特性インピーダンスを Z_0 、抵抗値を R として、 20

入力ノードと出力ノードとを備えた第 2 クロック分配バッファを有し、前記入力ノードは、前記伝送線の第 2 端部に結合されており、当該第 2 クロック分配バッファは、その前記入力ノードへの前記入射信号からその前記出力ノードに出力信号を生成するよう動作可能であり、

前記伝送線の第 1 端部と第 2 端部との間の長さは、最低長を d_1 として約 d_1 を超える長さとなっており、この最低長は、実質的に、

$$d_1 = 2 * (Z_0 / R) \ln [(2 * Z_0) / (Z_0 + Z_s)]$$

と表される、集積回路。

【請求項 1 6】

30

前記伝送線は、ストリップライン、積層ペアライン、両面積層ペアライン、ラテラルリターンバスを有する両面積層ペアライン、マイクロストリップライン、及びグルーブラインのうちから選択される、請求項 1 5 記載の集積回路。

【請求項 1 7】

前記伝送線の長さは、最高長 (d_2) よりも短く、この最高長は、実質的に、

$$d_2 = 2 * (Z_0 / R) \ln [(4 * Z_0) / (Z_0 + Z_s)]$$

と表される、請求項 1 5 記載の集積回路。

【請求項 1 8】

30

前記入射信号は、立ち上がり時間 (T_{rf}) を有し、前記伝送線のインダクタンスを L、キャパシタンスを C として、前記立ち上がり時間は、実質的に、

$$T_{rf} < 2(LC)^{0.5} (Z_0 / R) \ln [4 * Z_0 / (Z_0 + Z_s)]$$

の式で制限される、請求項 1 5 記載の集積回路。

【請求項 1 9】

前記伝送線、第 1 クロック分配バッファ、及び第 2 クロック分配バッファは、Hツリー、Xツリー及びRCバランスアーキテクチャのうちから選択されるクロック分配アーキテクチャの一部である、請求項 1 5 記載の集積回路。

【請求項 2 0】

前記 Z_0 の値は、R の値よりも高い値である、請求項 1 5 記載の集積回路。

【請求項 2 1】

前記入射信号は、ナローパルスを含む、請求項 1 5 記載の集積回路。 50

【請求項 2 2】

集積回路上に設けられるとともに第1端部と第2端部とを有する伝送線に沿ってクロック信号を分配する方法であつて、

第1クロックバッファの入力ノードで入力信号を受信し、

入力クロック信号に基づいて前記第1クロックバッファの出力ノードに入射信号を生成し、前記出力ノードは、前記伝送線の第1端部に結合されており、

前記伝送線の前記第1端部から第2端部へと前記入射信号を伝送し、前記第2端部は、第2クロックバッファの入力ノードに結合されており、前記第2クロックバッファは、その前記入力ノードへの前記入射信号からその出力ノードに出力信号を生成するよう動作可能であり、

前記第1端部から第2端部の長さは、前記入射信号と前記伝送線の前記第2端部での反射信号との合成電圧レベルが最大電圧レベルをほぼ超えない長さとされており、

前記伝送線は、特性インピーダンス(Z_0)及び抵抗(R)を有し、前記第1クロックバッファの前記出力ノードは、出力インピーダンス(Z_s)を有し、前記第1及び第2クロックバッファには、供給電圧 V_{dd} が供給され、前記最大電圧レベルは、実質的に、

$$V_{dd} * [Z_0 / (Z_0 + Z_s)]$$

で表すことができる、方法。

【請求項 2 3】

前記伝送線は、特性インピーダンス(Z_0)と抵抗値(R)とを有し、前記第1クロックバッファの前記出力ノードは出力インピーダンス(Z_s)を有し、前記伝送線の長さは、最低長を d_1 として約 d_1 を超える長さとなっており、この最低長は、実質的に、

$$d_1 = 2 * (Z_0 / R) \ln [(2 * Z_0) / (Z_0 + Z_s)]$$

と表される、請求項22記載の方法。

【請求項 2 4】

前記伝送線は、特性インピーダンス(Z_0)と抵抗値(R)とを有し、前記第1クロックバッファの前記出力ノードは出力インピーダンス(Z_s)を有し、前記伝送線の長さは、最高長を d_2 として約 d_2 よりも短く、この最高長は、実質的に、

$$d_2 = 2 * (Z_0 / R) \ln [(4 * Z_0) / (Z_0 + Z_s)]$$

と表される、請求項22記載の方法。

【請求項 2 5】

前記入射信号は、立ち上がり時間(T_{rf})を有し、前記伝送線のインダクタンスをL、キャパシタンスをC、特性インピーダンスを Z_0 、抵抗をR、前記第1クロックバッファの出力インピーダンスを Z_s として、前記立ち上がり時間は、実質的に、

$$T_{rf} < 2(LC)^{0.5} (Z_0 / R) \ln [4 * Z_0 / (Z_0 + Z_s)]$$

の式で制限される、請求項22記載の方法。

【請求項 2 6】

前記入射信号は、ナローパルスを含む、請求項22記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、大規模集積回路(Large Scale Integrated circuit:LSI)のような半導体デバイスの様々なポイントにクロック信号を分配する技術に関し、主に、本発明は、このようなクロック信号の分配において、長さが最適化された伝送線を使用する技術に関する。

【背景技術】**【0002】**

大規模集積回路が実装された回路要素等のデジタル回路において、ロジック機能を同期的に実行するためにシステムクロックシグナルがよく用いられている。例えば、ロジック機能を同期的に実行するためにシステムクロック信号を用いたデジタル回路が使用されている。マイクロプロセッサにおいては、1 GHzもしくはそれ以上の周波数のシステムクロックで動作する場合もある。与えられた大規模集積回路におけるシステムクロック信号

10

20

30

40

50

は、多くの場合、デジタル回路における相異なるそれぞれの箇所に供給されるよう、多くのパスに分けられている。

理想的には、デジタル回路のシステムクロック信号は、これらの箇所においてデジタル回路が正確に同期するよう、正確に同じタイミング特性を有する。しかし、実際には、デジタル回路全体におけるこれらの箇所でのシステムクロック信号は、そのタイミング特性が異なり、例えば立ち上がりや立ち下がりエッジ（即ち、遷移時）、デューティサイクル、及び又は周波数が異なるものとなってしまう。これらの理想に反する特性は、多くの場合、クロックジッタやクロックスキューと記載される。

【0003】

クロックジッタは、システムクロック信号の生成時に本質的に生じる不正確さに関連する。このようなクロックジッタに起因するシステムクロック信号の理想に反する特性は、システムクロック信号がどのように回路のこれらの箇所に供給されているかに拘わらず、大規模集積回路のすべての箇所に同様に出現する。クロックスキューは、クロック信号を多数のパスに分配してデジタル回路の相異なる箇所に供給するために用いられる分配技術によって生じる不正確さに関連している。10

【0004】

クロック信号は、従来、信号線を用いてデジタル回路の各所に分配されていた。これらの信号線は、銅あるいはアルミ製とことができ、本質的に、これらの材質にまつわる非理想的な特性を有する。このような特性としては、例えば、インダクタンス、キャパシタンス、抵抗、インピーダンス及びコンダクタンスが挙げられる。これらの特性は、信号電流が信号線に流れたときの電力損失量あるいは電力散逸量(dissipated power)に影響を与える。クロック信号の立ち上がり時間及び立ち下がり時間もまた、これらの特性によって影響を受ける。実際、クロック信号は、理想的なステップ信号ではない。システムクロック信号の立ち上がり及び立ち下がりエッジ（即ちトランジション）は、デジタル回路のタイミング供給に用いられる。立ち上がり時間とは、立ち上がりエッジにおいて、クロック信号の電圧値が低値(low value)から高値(high value)に遷移するのに要する時間のことをさす。同様に、立ち下がり時間とは、立ち下がりエッジにおいて、クロック信号の電圧値が高値から低値に遷移するのに要する時間のことをさす。以下、立ち上がり時間（又は立ち下がり時間）を T_{rf} と記載する。20

【0005】

一般に、クロック信号線における電力損失は、 $C^*V_{dd2}^*f$ に従う。ただし、C は信号線とバッファ信号線の一方端におけるバッファの総キャパシタンス、 V_{dd} はクロック分配システムの電源電圧、及び f はクロック周波数である。 T_{rf} の期間において、ワイヤのキャパシタンスは予めチャージされた状態、即ちプレチャージ状態となっているか、放電状態つまりディスチャージ状態となっており、クロック信号による電力損失のほとんどは、これらの遷移時間において生じる。30

【発明の開示】

【発明が解決しようとする課題】

【0006】

例えば 1 GH あるはそれ以上の高クロック周波数において、クロック信号の電力の大半は、クロックの分配時において散逸される。ナローパルス（即ち、 T_{rf} 時間が短いパルス）を用いると、クロック信号分配の間ににおける損失電力が小さくなることから、理論的な解決策となるり得る。しかしながら、今までのところ、オンチップでのクロック信号供給においては、ナローパルスは、そのパルスの形状は、信号線伝送がなされる間に歪むおそれがあることから、ナローパルスを用いた結果は十分なものではない（従って最適に開発されてはいない）。

【0007】

パルス歪みを低減させる一つの方法は、伝送線(transmission line)を用いて信号線(signal line)を実装することである。これにより、ナローパルスであるクロック信号を用いることが可能となる。伝送線とは、電磁波の転送メディア及び構40

造で、一もしくは複数の信号導体及び一もしくは複数の接地導体が用いられており、この点で、単一の導体が用いられる通常の单一配線とは異なる。通常の单一配線とは異なり、伝送線上における信号は、電磁波として伝送し、その速度は、伝送線におけるインスタンス、インダクタンス、キャパシタンス、抵抗及び／又はコンダクタンス等に依存しないものとなっている。これらのパラメータにより電磁波の衰弱のしかたが定まるところから、通常の单一配線上をナローパルスが伝搬すると変形及び／又は散逸が生じるが、同じナローパルスが伝送線を伝搬した場合、このような悪影響は受けないであろう。伝送線を用いた場合、ナローパルスにおけるひずみは低減されるものの、クロック信号は、伝送線の長さ、及び線の分岐の仕方によって悪影響を受ける。

【0008】

10

クロックジッタやクロックスキューに関する問題を解決するために、伝送線を用いることができるが、これを達成するためには、伝送線を注意深く設計する必要がある。伝送線の屈曲部は、配線のインピーダンスを変化させる原因となり、これによりクロック信号の反射が生じるおそれがあることから、好適には、伝送線は、できる限り直線とする必要がある。悪いことに、クロック信号をデジタル回路の相異なる部位に供給する分配路は、殆どは直線ではない。この問題の解決策としては、伝送線に沿って、ラインが曲がっている箇所においてリピータバッファを配置することが挙げられる。バッファは、クロック信号を再生成してデジタル回路にわたって均一なディレイを提供するよう作用する。

【0009】

20

第1バッファから第2バッファへと信号線に沿って伝送されるクロック信号は、インシデント波（入射波）と称される。各バッファは、入射波を受けるための入力部と出力部とを有する。各入力部と出力部とのインピーダンスは、リングングを避けるために、伝送線のインピーダンスと注意深く一致させられる。例えば、リングングは、第1バッファの出力から第2バッファの入力へと入射波が進行する際に生じ、第2バッファの入力部におけるインピーダンスが不一致であることによって、入射波の一部が反射される。この反射された入射波は、反射波と呼ばれる。第1反射波は、第2バッファの入力部から第1バッファの出力部へと戻る。第1バッファの出力部が不一致である場合、更にリングングが生じ、第1反射波の一部が更に反射され、第2反射波と称される反射波となる。第2反射波は、第1バッファの出力から第2バッファの出力へと伝搬する。このリングングは、反射波のエネルギーが散逸されるまで繰り返される。

30

【0010】

他の問題にもまして、リングングは共通の問題であり、このようなリングングを解消する試みはいずれも成功とは言い難く、LSI回路におけるクロック分配に伝送線を用いた結果は思わしいものではない。実際、リングングは、バッファ段を通じての信号の伝搬損失を引き起こし、さらには、バッファ段にダメージすら生じさせ、これにより、デジタル回路が少なくとも部分的に動作不能となる。従って、他の難点とともにリングングに関する難点を解決する新しいクロック分配方法及び装置が必要とされている。

【課題を解決するための手段】

【0011】

40

本発明の一形態によれば、入力ノードと出力ノードとを備えた第1クロック分配バッファを有し、当該第1クロック分配バッファは、前記入力ノードへの入力信号から前記出力ノードに入射信号を生成するよう動作可能であり、第1端部と第2端部とを備えた伝送線を有し、前記第1端部は、前記第1端部から前記第2端部への伝送ラインの長さ方向に沿って前記入射信号が伝搬するように、前記第1クロック分配バッファの前記出力ノードに結合されており、入力ノードと出力ノードとを備えた第2クロック分配バッファを有し、前記入力ノードは、前記伝送線の第2端部に結合されており、当該第2クロック分配バッファは、その前記入力ノードへの前記入射信号からその前記出力ノードに出力信号を生成するよう動作可能であり、その前記入力ノードで第1反射信号が生成されて前記伝送線の長さ方向に沿って前記第2端部から前記第1端部へと伝搬する集積回路が提供される。

【0012】

50

前記伝送線の第1端部と第2端部との間の長さは、前記伝送線の前記第2端部での前記入射信号と前記第1反射信号との合成電圧レベルが最大電圧レベルをほぼ超えないものとする長さであることが好ましい。

前記伝送線は、特性インピーダンス(Z_0)及び抵抗(R)を有し、前記第1クロック分配バッファの前記出力ノードは、出力インピーダンス(Z_s)を有し、前記第1及び第2クロック分配バッファには、供給電圧 V_{dd} が供給され、前記最大電圧レベルは、実質的に、

$$V_{dd} * [Z_0 / (Z_0 + Z_s)]$$

で表すことができる。

前記最大電圧レベルは、実質的に、前記第1クロック分配バッファと前記第2クロック分配バッファへの供給電圧に等しくしてもよい。 10

【0013】

前記伝送線の前記第2端部での前記入射信号の電圧レベルは、前記最大電圧レベルの少なくとも約1/4以上であることが好ましい。前記入射信号の前記電圧レベルは、前記最大電圧レベルの約1/4～前記最大電圧レベルの約1/2の間の値であることが好ましい。

前記伝送線は、ストリップライン、積層ペアライン、両面積層ペアライン、ラテラルリターンパスを有する両面積層ペアライン、マイクロストリップライン、及びグループラインのうちから選択することもできる。

前記伝送線、第1クロック分配バッファ、及び第2クロック分配バッファは、Hツリー、Xツリー及びRCバランスアーキテクチャのうちから選択されるクロック分配アーキテクチャの一部であることが好ましい。 20

好適には、前記入射信号は、ナローパルスを含む。

【0014】

本発明の一形態によれば、前記伝送線の長さは、入射信号が、前記第2クロック分配バッファの入力ノードの最低閾値電圧を超えるような長さとすることができます。好適には、前記最低閾値電圧は、最大電圧レベルの少なくとも約1/4である。前記第1及び第2クロック分配バッファは、供給電圧を有し、最大電圧レベルは、実質的に、この供給電圧と等しい。入射信号は、最大電圧レベルの約1/4～約1/2である。

【0015】

本発明の一形態においては、出力ノードは、出力インピーダンスを Z_s 、伝送線の長さにおいて特性インピーダンスを Z_0 、抵抗をRとして、前記伝送線の前記長さは、好適には、最低長(d_1)より大きく、この最低長は、

$$d_1 = 2 * (Z_0 / R) \ln [(2 * Z_0) / (Z_0 + Z_s)]$$

で表される。

好適には、伝送線の長さは、最高長(d_2)よりも短く、この最高長は、実質的に、

$$d_2 = 2 * (Z_0 / R) \ln [(4 * Z_0) / (Z_0 + Z_s)]$$

で表される。

入射信号は、立ち上がり時間(T_{rf})を有し、前記伝送線のインダクタンスをL、キャパシタンスをCとして、前記立ち上がり時間は、実質的に、

$$T_{rf} < 2(LC)^{0.5} (Z_0 / R) \ln [4 * Z_0 / (Z_0 + Z_s)]$$

の式で制限されることが好ましい。 40

【0016】

本発明の他の形態においては、前記伝送線の長さは、好適には最高長(d_2)を超えることはなく、この最高長は、

$$d_2 = 2 * (Z_0 / R) \ln [(4 * Z_0) / (Z_0 + Z_s)]$$

と表すことができる。

【0017】

本発明の一形態によれば、第1端部と第2端部とを有する伝送線に沿ってクロック信号を分配する方法であって、第1クロックバッファの入力ノードで入力信号を受信し、入力

クロック信号に基づいて前記第1クロックバッファの出力ノードに入射信号を生成し、前記出力ノードは、前記伝送線の第1端部に結合されており、前記伝送線の前記第1端部から第2端部へと前記入射信号を伝送し、前記第2端部は、第2クロックバッファの入力ノードに結合されており、前記第2クロックバッファは、その前記入力ノードへの前記入射信号からその出力ノードに出力信号を生成するよう動作可能であり、前記第1端部から第2端部の長さは、前記入射信号と前記伝送線の前記第2端部での反射信号との合成電圧レベルが最大電圧レベルをほぼ超えない長さとされている方法が提供される。

【0018】

前記伝送線は、好適には、特性インピーダンス(Z_0)及び抵抗(R)を有し、前記第1クロックバッファの前記出力ノードは、出力インピーダンス(Z_s)を有し、前記第1及び第2クロックバッファには、供給電圧 V_{dd} が供給され、前記最大電圧レベルは、実質的に、

$$V_{dd} * [Z_0 / (Z_0 + Z_s)]$$

で表すことができる。

前記伝送線の長さは、好適には、最低長を d_1 として約 d_1 を超える長さとなっており、この最低長は、実質的に、

$$d_1 = 2 * (Z_0 / R) \ln [(2 * Z_0) / (Z_0 + Z_s)]$$

と表すことができる。

前記伝送線の長さは、好適には、最高長を d_2 として約 d_2 よりも短く、この最高長は、実質的に、

$$d_2 = 2 * (Z_0 / R) \ln [(4 * Z_0) / (Z_0 + Z_s)]$$

と表すことができる。

【0019】

前記入射信号は、立ち上がり時間(T_{rf})を有し、前記伝送線のインダクタンスをL、キャパシタンスをC、特性インピーダンスを Z_0 、抵抗をR、前記第1クロックバッファの出力インピーダンスを Z_s として、前記立ち上がり時間は、実質的に、

$$T_{rf} < 2(LC)^{0.5} (Z_0 / R) \ln [4 * Z_0 / (Z_0 + Z_s)]$$

の式で制限されるようにしてもよい。

本発明のその他の特徴及び利点は、図面を参照して、以下の記述により明確とされる。

【発明を実施するための最良の形態】

【0020】

リンクング及びその他の問題は、二つのバッファ間の伝送線の長さが短すぎるか長すぎるときに生じ得ることが見いだされた。例えば、伝送線の配線長が短すぎると、入射波と第1反射との合成電圧レベルが第2バッファの V_{dd} を超えるおそれがあり、これにより、バッファにダメージを与える。従って、効率的な低電圧オンチップクロック信号分配のために伝送線長を最適化する必要がある。

【0021】

以下、図面を参照し、同様の構成要素には同じ参照番号を付して説明すると、図1Aは、第1クロック分配バッファ202、第2クロック分配バッファ204及びこれらの間の伝送線100を含むクロック分配システムの一部を示すものである。第1クロック分配バッファ202は、入力ノード130と出力ノード132とを含み、第2クロック分配バッファ204は、入力ノード134と出力ノード136とを含む。伝送線100は、第1端部及び第2端部を含み、これらの端部間の長さは d となっている。伝送線100の第1端部は、第1クロック分配バッファ202の出力ノード132に結合されている。伝送線100の第2端部は、第2クロック分配バッファ204の入力ノード134に結合されている。

【0022】

第1クロック分配バッファ202は、好適には、入力ノード130における入射信号に応答して入射信号を出力ノード132に生成するよう動作可能となっている。第2クロック分配バッファ204は、好適には、出力ノード134における入射信号に応答して出力

10

20

30

40

50

ノード 136 に出力信号を生成するよう動作可能である。入力ノード 134 において、その入射信号は、伝送線 100 に沿って第 1 クロック分配バッファ 202 の出力ノード 132 から伝搬されてきたものとなっている。

【0023】

本発明の少なくとも一つの形態においては、伝送線 100 の長さ d は、好適には、最低長 d_{min} よりも長いものとなっている。ここで、最低長は、実質的に、 $d_{min}=2*(Z_0/R)\ln[(2*Z_0)/(Z_0+Z_s)]$ として表される。この等式において、第 1 クロック分配バッファ 202 の出力ノード 132 は、その出力インピーダンスが Z_s で、伝送線 100 の特性インピーダンスが Z_0 、抵抗が R である。実際に、第 1 クロック分配バッファ 202 からの入射信号による第 2 クロック分配バッファ 204 の入力ノード 134 からの第 1 反射信号という望ましからざる結果は、伝送線 100 が上述の最低長 d_{min} を超えているときには解消され得る。本発明のこの利点に関する更なる詳細を以下に説明する。
10

【0024】

図 1B に、本発明に係る伝送線 100 の模式図を示す。伝送線 100 は、フォワードバス（前向き経路）102 及びリターンバス（戻り経路）104 を有するものとしてモデル化されている。フォワードバス 102 及びリターンバス 104 とは、始点（x）及び終点（ $x + d$ ）とにより画定される。始点（x）と終点（ $x + d$ ）は、例えば、第 1 バッファ 202 及び第 2 バッファ 204 とを端点とする。

【0025】

クロック信号は、始点（x）と終点（ $x + d$ ）との間の伝送線 100 に沿って伝搬する電磁波である。クロック信号の電圧（v）と電流（i）とは、時間（t）のどの時点でも測定可能である。伝送線路 100 の点 x（時間 t における）におけるクロック信号の電圧 v は、 $v(x, t)$ で表される。同様に、伝送線 100 の点 $x + d$ （時間 t における）における電圧 v は、 $v(x + d, t)$ で表される。差分電圧（differential voltage：例えば伝送線 100 の与えられた点における電圧）は、 $d v / d x$ で表される。点 x（時間 t における）における伝送線 100 を流れる電流 i は、 $i(x, t)$ で表される。点 $x + d$ （時間 t における）における伝送線 100 を流れる電流 i は、 $i(x + d, t)$ で表される。差分電流（differential current：例えば、与えられた点における伝送線 100 を流れる電流）は、 $d i / d x$ で表される。
20

【0026】

伝送線 100 は、インダクタンス（L）106、抵抗（R）108、キャパシタンス（C）110、及びコンダクタンス（G）112 で特徴付けられる。差分電圧、 $d v / d x$ 及び差分電流、 $d i / d x$ は、以下の式で表される。

$$dv/dx = -(R+jL)*i \quad (1)$$

$$di/dx = -(G+jC)*v \quad (2)$$

ただし、 j はクロック信号の角周波数である。これらの等式（1）、（2）を用いる k とで、伝送線 100 に沿った電圧 v（x）と電流 i（x）は、以下のように表される。

$$v(x) = V_1 e^{(-j\omega x)} + V_2 e^{(j\omega x)} \quad (3)$$

$$i(x) = (V_1 e^{(-j\omega x)} + V_2 e^{(j\omega x)}) / Z_0 \quad (4)$$

ただし、 V_1 は伝搬定数であり、以下の式 5 に示される。 $V_1 e^{(-j\omega x)}$ は、入射波であり、始点 x から終点 $x + d$ まで、例えば、フォワードバス 102 を伝搬する。 $V_2 e^{(j\omega x)}$ は、反射波であり、終点 $x + d$ から始点 x まで、例えば、リターンバス 104 を伝搬する。 Z_0 は、伝送線 100 の特性インピーダンスであり、以下の式 6 により定義される。
40

$$= \{(R+jL)(G+jC)\}^{0.5} \quad (5)$$

$$Z_0 = \{(R+jL)/(G+jC)\}^{0.5} \quad (6)$$

【0027】

図 1A に戻ると、伝送線 100 は、第 1 バッファ 202 に隣接する第 1 端部（例えば位置 x）と第 2 バッファ 204 に隣接する第 2 端部（例えば位置 $x + d$ ）とにより画定される。伝送線 100 に沿った電圧 v（x）は、以下のように表される。
50

$$v(x) = V_{dd} * [Z_0 / (Z_0 + Z_s)] * e^{(-R * (1/2) * (1/Z_0) * x)} \quad (7)$$

ただし、第1バッファ202の出力インピーダンスは Z_s 、第1バッファ202及び第2バッファ204には、電源電圧 V_{dd} が供給されている。(7)式によれば、伝送線100に沿った電圧 $v(x)$ は、第1バッファ202からの距離が大きくなるにつれて指数関数的に小さくなる。

【0028】

図2Aは、入射信号(又は入射波)が第1バッファ202から第2バッファ204に進む際の電圧 $v(x)$ を示す。入射信号の電圧は、時間 T_{rf} で、最低電圧(例えば、0ボルト)から最大電圧 V_s に増加する。最大電圧 V_s は、また、入射ステップ電圧として知られており、実質的に $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ に等しい。入射信号が伝送線100に沿って進行するので、 V_s は、式7に従って小さくなる。
10

【0029】

図2Bは、伝送線100の点xにおける入射信号の電圧波形を時間tの進行に対して示したものである。入射信号の立ち上がりエッジは、約 $1 / (LC)^{0.5}$ の速度で進んでいる。入射信号の電圧波形のエッジは、ほぼ時間 $t = x / (LC)^{0.5}$ となる時点で伝送線100の点xに到達している。その後に、入射信号は、約時間 T_{rf} で上昇し、最大電圧が約 V_s となる。

【0030】

上述のように、第1反射波は、第2バッファ204と伝送線100の第2端部のジャンクションにおいて形成される。入射波と第2バッファ204の入力ノード134における第1反射波とが合成された最大電圧は、約 $2*v(x)$ である。入射波がデジタル信号としてふるまう最高長(d_{max})は、 $v(x)$ を第2バッファ204への入力の閾値(threshold)電圧(V_{th})と比較することで得られる。信号の電圧レベルが V_{th} を超えない場合、その信号は、次の伝送線100に進行することはないであろう。従って、電圧レベルは、“デジタル”信号として扱われる V_{th} よりも高くする必要がある。閾値電圧 V_{th} は、実質的に $V_{dd} / 2$ に等しい。 V_{th} は、バッファに用いられる回路のタイプに応じて多少高くあるいは低くなり得る。
20

【0031】

本発明の一形態によれば、伝送線100の長さは、入射波と伝送線100の第2端部における第1反射波との合成電圧が、ほぼ最大電圧レベルを超えないものとなっている。実際、入射波と第1反射波とを足し合わせた電圧レベルが V_{dd} を超えると、第2バッファ204が損傷するおそれがある。これは、この損傷は、伝送線100の長さが約 d_{min} よりも短くなったときに生じる、という点で、 d_{min} に関連する。従って、第1バッファ202と第2バッファ204との間の伝送線100の長さは、好適には、約 d_{min} よりも長くされる。 d_{min} は、従って、以下の式8に表され、この式により式7が解かれる。
30

$$d_{min} = 2 * (Z_0 / R) \ln \{ (2 * Z_0) / (Z_0 + Z_s) \} \quad (8)$$

本発明の更なる一形態によれば、伝送線100の長さは、好適には、入射信号が第2クロック分配バッファ204の入力ノード134の最低閾値電圧よりほぼ大きい値となる値となっている。

【0032】

実際、第2バッファ204の出力における電圧リングをなくすためには、入射電圧が約 $V_{dd} / 4$ を超える必要があることが見いだされている。このため、また、本発明の一形態において、伝送線100の長さは、最大長 d_{max} として約 d_{max} を超えることはない。 d_{max} は、 V_{th} を入射波及び第1反射波の合成波と比較することで決定される。 d_{max} は、実質的に以下の式で表される。

$$d_{max} = 2 * (Z_0 / R) \ln [4 * Z_0 / (Z_0 + Z_s)] \quad (9)$$

【0033】

伝送線100の長さを d_{max} より小さくすることで、第2バッファ204の入力における電圧リングを防ぐ作用が得られる。好適には、本発明の一形態によれば、伝送線100は、第1バッファ202と第2バッファ204との間の長さが少なくとも約 d_{min} で
40

10

20

30

30

40

50

あり、かつ、約 d_{max} より小さくなっている。所望の動作条件が得られるようになっている。これらの条件を満たすために、 Z_0 の値は、R の値よりも高くすべきである。

【0034】

図3Aに、長さが d_{min} と d_{max} との間になっている伝送線100を示す。その電圧は、第1バッファ202への出力において最大であり、入射ステップにおける電圧 V_s に等しい値となっている。第2バッファ204への入力においては、入射波の電圧は、 $V_{dd}/4 \sim V_{dd}/2$ の間の値となっている。入射波の周期は、 $2 * T_{rf}$ である。低電圧(low)もしくは高電圧(high)から電圧値 $V_{dd}/2$ に到達するまでの信号のトランジションには、 $T_{rf}/2$ の時間を要する。上述のように、入射信号のエッジが \times に達するのは時間 $t = x (LC)^{0.5}$ の時点である。この情報と、 \times が d_{max} よりも小さいという制限から、 T_{rf} は好適には、以下の式10により限定される。
10

$$T_{rf} < 2(LC)^{0.5} (Z_0/R) \ln[4 * Z_0 / (Z_0 + Z_s)] \quad (10)$$

【0035】

図3Bに、伝送線100のペアを示す。一方の伝送線100は、第1端部に第1バッファ202を有し、第2端部に第2バッファ204を有する。他方の伝送線は、その第1バッファとして第1端部にバッファ204を有し、その第2バッファとして第2端部にバッファ206を有する。伝送線に関する要件である d_{min} と d_{max} とは、好適には各伝送線100に対して適用される。

【0036】

上述のように、伝送線は、少なくとも一つの信号配線と少なくとも一つの別個の電流リターンパスとを有する。 d_{min} と d_{max} との制限は、図4A～図4Fに示されるように、様々な伝送線のタイプに適用可能である。伝送線における有用なタイプの一つとして、直交構造が挙げられる。図4A～4Dに、本発明の実施形態において好適である直交伝送線構造のいくつかのタイプを示す。しかしながら、これらのタイプの構造は、単に例示のためのものであり、本発明を限定するものではなく、また、適した構造のすべてがここに挙げられたわけでもない。直交伝送線構造において、電流リターンパスは、信号配線が配置された平面の上方または下方の平面に配置される。
20

【0037】

図4Aに、三層直交構造の断面図を示す。層N+1には3本の信号配線が含まれる。層N及び層N+2は、信号配線のための一対の排他的リターンパス(exclusive return path)である。排他的リターンパスは、通常、ソース側、例えばバッファのn-チャンネルトランジスタのソースに接続され、また、グラウンドにも接続される。図4A両面積層ペアラインである。
30

【0038】

図4Bは、3層を有する他の直交構造を示す。ここで、図4Aと同様に、層N+1は、3本の信号配線を有する。しかし、層Nと層N+2は、層N+1のすべての信号配線に対しての共通グラウンド平面となっている。図4Bは、ストリップラインである。

【0039】

図4Cは、他の直交構造を示し、この例では、2層となっている。層N+1は、3本の信号配線を有し、層Nは、各信号配線ごとに排他リターンパスを有する。図4Cは、積層されたペアラインである。
40

【0040】

図4Dに他の2層直交構造を示す。3本の信号配線により層N+1が構成される。リターンパスは、層Nにおける共通のグラウンド面である。図4Dは、マイクロストリップラインである。

【0041】

本発明に係る好適な伝送線の第2のタイプは、ラテラル構造である。図4Eに、ラテラル伝送線構造の一種を示す。ラテラル構造は、信号配線同士が空間的に離して平面上に配置されている。ラテラル構造によっては、ラテラル電流リターンパスが設けられていることがあり、また、設けられないこともある。ラテラルリターンパスが設けられない場合
50

、信号配線同士は、好適には、クロストークをなくすために十分な距離をもって離間される。

伝送線のアーキテクチャにおいて、直交及びラテラル構造を一緒に用いることができる。図4 Eは、ラテラルリターンパスを備えた両面積層ペア伝送線構造の断面図を示す。信号配線は、層 $N + 1$ に設けられ、リターンパスは、その両側に配置されている。更なる電流リターンパスが層 N 及び層 $N + 2$ に設けられている。

【0042】

図4 Fに、グループ伝送線と呼ばれる他の伝送線構造の断面図を示す。ここでは、信号配線は、層 $N + 2$ に設けられている。グランド面は、層 $N + 1$ に設けられ、配線を二つのセグメントに分割する、グループ構造あるいは溝が形成された構造を有する。このグループ構造は、 Z_0 の値を制御することにより、 d_{max} を増加させる作用を有する。図中の点線の箱部で示されるように、層 N に更なる信号配線を追加することもできる。10

【0043】

これらの図において、どの層においても、信号配線の数あるいはリターンパスの数は、単に例示的なものであり、本発明の実施を制限することを意図したものではない。これらの構造は、上述のような伝送線の長さをナロークロックパルスに用いることができる最適なものとする議論によって限定された長さで用いることができる。バッファは、好適には、伝送線が曲げられることとなる位置に設けられる。全体的なアーキテクチャは、デジタル回路全体にわたって、各部に至るまでのバスの全長が等しくなるように設計され、これにより、クロックスキューが最小化される。対照的な配線のとりまわしがなされている、長さのバランスがとれた構造、例えばHツリーあるいはXツリー構造を用いることができる。20

【0044】

図5 A、5 Bは、それぞれHツリー及びXツリー型伝送線構造を示し、これらはいずれも本発明に一実施形態において用いられ得るものである。図5 AのHツリーは、第1バッファ202を有し、4つの第2バッファ204とをH字型における端部にそれぞれ有する。図5 BのXツリーは、4つのバッファ202を有し、4つの第2バッファ204をX字型の端部にそれぞれ有する。他の形態では、Hツリー構造又はXツリー構造に代えて、クロック信号線のセットにおける配線長が等しくされたRCバランスアーキテクチャ(RC-balanced architecture)を用いてもよい。図5 Cに、第1バッファ202と、配線長がそれぞれ等しい4つの第2バッファ204とを備えた、上述のようなRCバランスアーキテクチャーを示す。30

【0045】

本発明の一形態によれば、集積回路にわたってクロック信号を分配する方法が提供される。これらの方法は、適切なハードウェア、例えば図1 A～図5 Cに示したようなハードウェアを用いて実施することが可能である。これらの方法におけるステップ及び／又は動作は、好適には、ハードウェアに関して上述した機能及び特徴の少なくとも幾つかに対応する。

【0046】

以上、本発明を特定の実施形態により説明したが、これらの実施形態は、単に本発明の原理及び応用を例示的に示すに過ぎない。従って、添付した請求項により規定される本発明の趣旨及び範囲を逸脱することなくこれらの例示的実施形態に対して種々の変形やその他の変形が可能である。40

【産業上の利用可能性】

【0047】

本発明は、種々の工業的用途に適用可能であり、例えば、一又は複数のデジタルシステムに用いられるLSI回路に対してのクロック信号の分配に適用可能であり、また、これに限らず他の用途にも適用可能である。

【図面の簡単な説明】

【0048】

50

【図1A】本発明の一形態に係るクロック分配システムの概略説明図。

【図1B】本発明の一形態における好適な伝送線モデルの説明図。

【図2A】本発明の一形態における伝送線を流れる電圧波形の説明図。

【図2B】本発明の一形態における伝送線を流れる電圧波形の説明図。

【図3A】オンチップ信号伝送線を本発明の一形態に係る伝送線の2つのバッファ間ににおける入射波形とともに示した説明図。

【図3B】本発明の一形態に係る一対の伝送線の説明図。

【図4A】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

【図4B】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

10

【図4C】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

【図4D】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

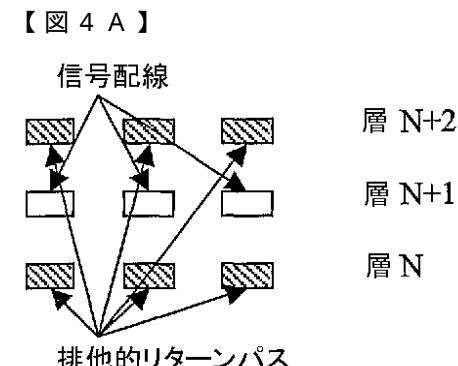
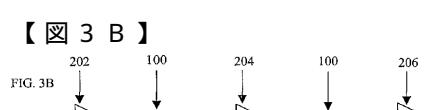
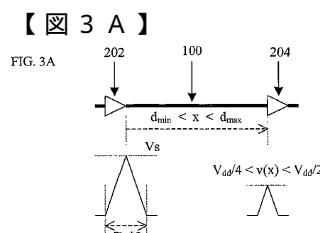
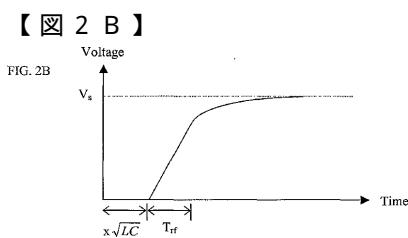
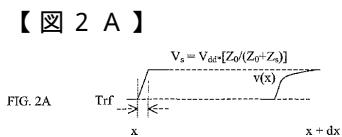
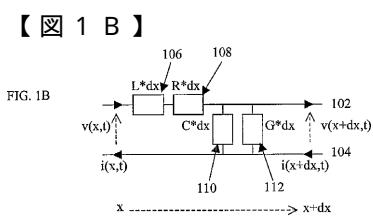
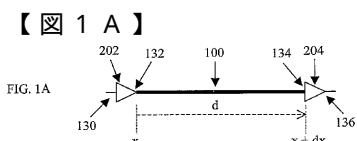
【図4E】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

【図4F】本発明の一形態で使用するのに適したオンチップ伝送線モデルの概略断面図。

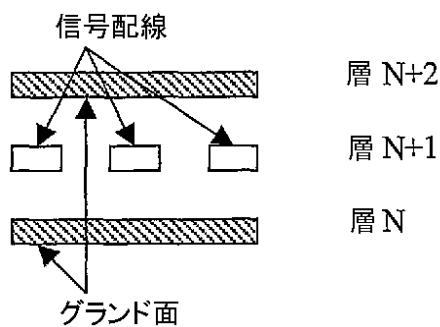
【図5A】本発明の一形態で使用するのに適した伝送線アーキテクチャの説明図。

【図5B】本発明の一形態で使用するのに適した伝送線アーキテクチャの説明図。

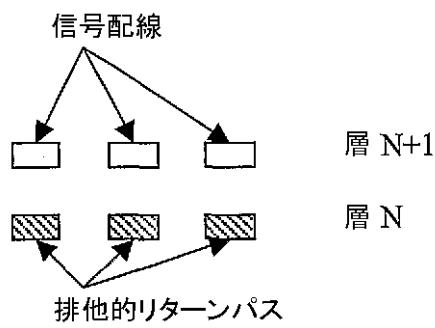
【図5C】本発明の一形態で使用するのに適した伝送線アーキテクチャの説明図。



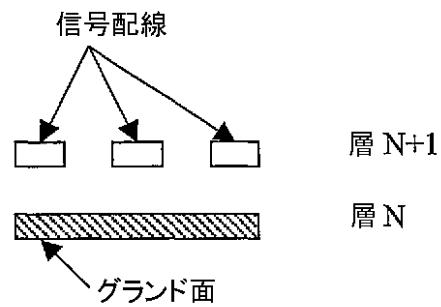
【図4B】



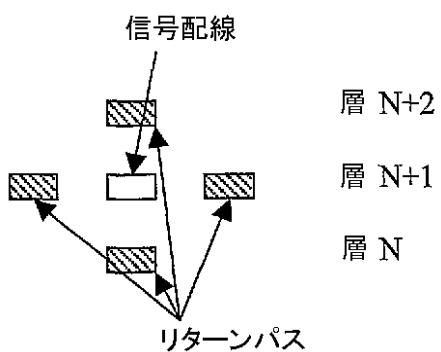
【図4C】



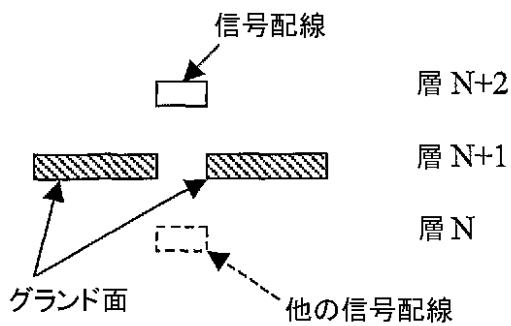
【図4D】



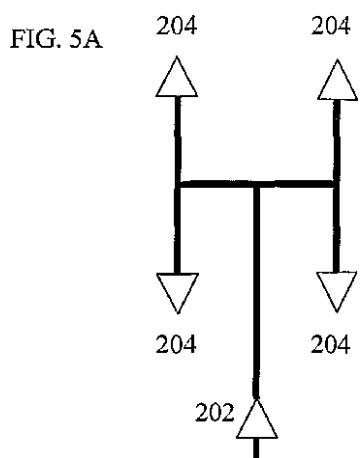
【図4E】



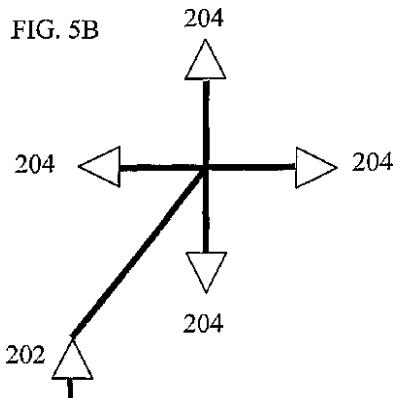
【図4F】



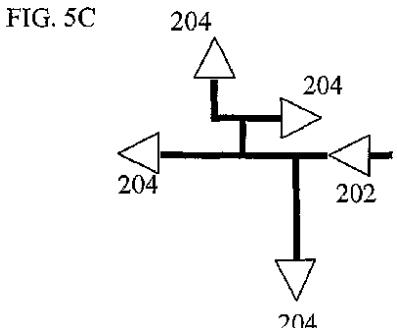
【図5A】



【図5B】



【図5C】



フロントページの続き

合議体

審判長 鈴木 匡明

審判官 酒井 英夫

審判官 西脇 博志

(56)参考文献 特開2000-200114(JP,A)

特開平05-143535(JP,A)

特開昭56-125140(JP,A)

特開平03-116214(JP,A)

特開平03-186020(JP,A)

特開平06-332569(JP,A)

特開平06-030076(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 27/04

H03K 19/0175