



(10) **DE 11 2021 000 643 T5** 2022.11.24

(12) **Veröffentlichung**

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2021/186266**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2021 000 643.6**
(86) PCT-Aktenzeichen: **PCT/IB2021/051434**
(86) PCT-Anmeldetag: **19.02.2021**
(87) PCT-Veröffentlichungstag: **23.09.2021**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **24.11.2022**

(51) Int Cl.: **H01L 45/00** (2006.01)

(30) Unionspriorität:
16/821,660 **17.03.2020** **US**

(71) Anmelder:
**International Business Machines Corporation,
Armonk, NY, US**

(74) Vertreter:
**LifeTech IP Spies & Behrndt Patentanwälte PartG
mbB, 80687 München, DE**

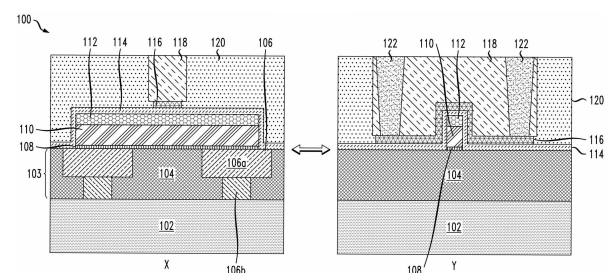
(72) Erfinder:
**Shen, Tian, Albany, NY, US; Xie, Ruilong, Albany,
NY, US; Brew, Kevin, Albany, NY, US; Wu, Heng,
Albany, NY, US; Zhang, Jingyun, Albany, NY, US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **PHASENWECHSELMATERIALSCHALTER UND VERFAHREN ZU DESSEN FERTIGUNG**

(57) Zusammenfassung: Ein Phasenwechsellaterialschalter enthält eine Phasenwechselschicht, die auf einem Metall-Liner angeordnet ist. Eine Gate-Dielektrikumschicht ist auf der Phasenwechselschicht angeordnet. Ein Metall-Gate-Liner ist auf der Gate-Dielektrikumschicht angeordnet.



Beschreibung**KURZDARSTELLUNG**

Technisches Gebiet

[0001] Die Erfindung bezieht sich allgemein auf Speichereinheiten. Diese Offenbarung bezieht sich allgemein auf Phasenwechsellaterialschalter und im Besonderen auf nichtflüchtige Phasenwechsellaterialschalter mit vier Anschlüssen.

HINTERGRUND

[0002] Bei einer aktuell aufkommenden Technologie für Speichereinheiten handelt es sich um die des Phasenwechselspeichers. Ein Phasenwechselspeicher (phase change memory, PCM) ist ein Typ eines nichtflüchtigen Direktzugriffsspeichers (random-access memory, RAM). Ein PCM nutzt das Verhalten eines Phasenwechsellaterials, wobei das Phasenwechsellaterial in der Lage ist, als Reaktion auf einen elektrischen Strom, der durch das Phasenwechsellaterial fließt, zwischen einer kristallinen Phase und einer amorphen Phase überzugehen. Bei der Fertigung eines PCM enthält das Phasenwechsellaterial typischerweise eine Chalkogenid-Verbindung wie zum Beispiel Germanium-Antimon-Tellur (GST).

[0003] Der PCM enthält einen Bereich des Phasenwechsellaterials, der zwischen einem unteren Elektrodenkontakt und einem oberen Elektrodenkontakt angeordnet ist. Das Phasenwechsellaterial weist einen niedrigen spezifischen Widerstand, wenn es sich in der kristallinen Phase befindet, und einen hohen spezifischen Widerstand auf, wenn es sich in der amorphen Phase befindet. Um den PCM in die amorphe Phase zu versetzen, wird das Phasenwechsellaterial zunächst geschmolzen und dann durch Anlegen eines großen elektrischen Stromimpulses über einen kurzen Zeitraum schnell abgeschreckt, wodurch in der PCM-Zelle ein Bereich aus einem amorphen, hochohmigen Material zurückbleibt. Um den PCM in die kristalline Phase zu versetzen, wird ein mittlerer elektrischer Stromimpuls angelegt, um das Phasenwechsellaterial bei einer Temperatur zwischen der Kristallisationstemperatur und der Schmelztemperatur über einen Zeitraum zu tempern, der lang genug ist, um das Phasenwechsellaterial mit einem relativ niedrigen spezifischen Widerstand zu kristallisieren. Um den Zustand des PCM zu lesen, wird der spezifische Widerstand der Zelle gemessen, indem ein elektrisches Schwachstromsignal durch die Zelle geleitet wird, das den Zustand des Phasenwechsellaterials nicht stört. Darüber hinaus ist die PCM-Technologie in der Lage, eine Anzahl von unterschiedlichen Zwischenzuständen zu erzielen, wodurch für den PCM die Fähigkeit bereitgestellt wird, mehrere Bits in einer einzelnen Zelle zu speichern, was eine erhöhte Speicherdichte bereitstellt.

[0004] Unter einem ersten Aspekt betrachtet, stellt die vorliegende Erfindung einen Phasenwechsellaterialschalter bereit, der aufweist: eine Phasenwechselschicht, die auf einem Metall-Liner angeordnet ist; eine Gate-Dielektrikumschicht, die auf der Phasenwechselschicht angeordnet ist; und einen Metall-Gate-Liner, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0005] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung eine Phasenwechsellaterial-Brückeneinheit bereit, die aufweist: einen Phasenwechsellaterialschalter der Erfindung; eine Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; und einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist; wobei die Gate-Dielektrikumschicht des Weiteren auf dem Metall-Liner und der Phasenwechselschicht und einem verbleibenden Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist, wobei der Metall-Liner und die Phasenwechselschicht eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen.

[0006] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung eine Halbleiterstruktur bereit, die aufweist: einen Phasenwechsellaterialschalter der Erfindung; ein Halbleitersubstrat; eine Elektrode, die auf dem Halbleitersubstrat angeordnet ist, wobei die Elektrode eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; und einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist, wobei der Metall-Liner und die Phasenwechselschicht eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen.

[0007] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung eine Phasenwechsellaterial-Brückeneinheit bereit, die aufweist: eine Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist; eine Phasenwechselschicht, die auf dem Metall-Liner angeordnet ist; eine Gate-Dielektrikumschicht, die auf dem Metall-Liner und der Phasenwechselschicht und einem verbleibenden Abschnitt

der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist, wobei der Metall-Liner und die Phasenwechselschicht eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen; und einen Metall-Gate-Liner, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0008] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung eine Halbleiterstruktur bereit, die aufweist: ein Halbleitersubstrat; eine Elektrode, die auf dem Halbleitersubstrat angeordnet ist, wobei die Elektrode eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist; eine Phasenwechselschicht, die auf dem Metall-Liner angeordnet ist; wobei der Metall-Liner und die Phasenwechselschicht eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen; eine Gate-Dielektrikumschicht, die auf der Phasenwechselschicht angeordnet ist; und einen Metall-Gate-Liner, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0009] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung ein Verfahren bereit, das aufweist: Ausbilden eines Metall-Liners auf einer Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; Ausbilden einer Phasenwechselschicht auf dem Metall-Liner; Ausbilden einer ersten Hartmaske auf der Phasenwechselschicht; selektives Entfernen eines Abschnitts des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske, um jeweils einen Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen, wobei ein verbleibender Abschnitt des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen ausbildet; Ausbilden einer Gate-Dielektrikumschicht auf äußeren Flächen des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen; und Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht.

[0010] Unter einem weiteren Aspekt betrachtet, stellt die vorliegende Erfindung ein Verfahren bereit, das aufweist: Ausbilden eines Metall-Liners auf einer Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht auf-

weist; Ausbilden einer Opferschicht auf dem Metall-Liner; Ausbilden einer ersten Hartmaske auf der Opferschicht; selektives Entfernen eines Abschnitts des Metall-Liners, der Opferschicht und der ersten Hartmaske, um einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen, wobei ein verbleibender Abschnitt des Metall-Liners, der Opferschicht und der ersten Hartmaske eine Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen ausbildet; Entfernen der ersten Hartmaske; Ausbilden einer Gate-Dielektrikumschicht auf dem Metall-Liner und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen, Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht; Ausbilden einer zweiten Hartmaske auf dem Metall-Gate-Liner; Ätzen der zweiten Hartmaske, um einen Abschnitt des Metall-Gate-Liners freizulegen; Entfernen des freiliegenden Abschnitts des Metall-Gate-Liners, um die Gate-Dielektrikumschicht freizulegen; Entfernen des freiliegenden Abschnitts der Gate-Dielektrikumschicht, um die Opferschicht und einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen; Entfernen der Opferschicht, um den Metall-Liner freizulegen und einen Luftspalt auszubilden, der zwischen einer oberen Fläche des Metall-Liners und einer unteren Fläche der Gate-Dielektrikumschicht definiert ist; und Abscheiden einer Phasenwechselschicht in dem Luftspalt und auf dem freiliegenden Abschnitt des Metall-Liners, der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen.

[0011] Veranschaulichende Ausführungsformen der vorliegenden Anmeldung enthalten Techniken zur Verwendung bei einer Halbleiterfertigung. Bei einer veranschaulichenden Ausführungsform weist ein Phasenwechselmaterialschalter eine Phasenwechselschicht auf, die auf einem Metall-Liner angeordnet ist. Der Phasenwechselmaterialschalter weist des Weiteren eine Gate-Dielektrikumschicht auf, die auf der Phasenwechselschicht angeordnet ist. Der Phasenwechselmaterialschalter weist des Weiteren einen Metall-Gate-Liner auf, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0012] Bei einer weiteren veranschaulichenden Ausführungsform weist eine Phasenwechselmaterial-Brückeneinheit eine Elektrode auf, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist. Die Phasenwechselmaterial-Brückeneinheit weist des Weiteren einen Metall-Liner auf, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist. Die Phasenwechselmaterial-Brückeneinheit

weist des Weiteren eine Phasenwechselschicht auf, die auf dem Metall-Liner angeordnet ist. Die Phasenwechselmaterial-Brückeneinheit weist des Weiteren eine Gate-Dielektrikumschicht auf, die auf dem Metall-Liner und der Phasenwechselschicht und dem verbleibenden Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist. Der Metall-Liner und die Phasenwechselschicht weisen eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen auf. Die Phasenwechselmaterial-Brückeneinheit weist des Weiteren einen Metall-Gate-Liner auf, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0013] Bei einer weiteren veranschaulichenden Ausführungsform weist eine Halbleiterstruktur ein Halbleitersubstrat auf. Die Halbleiterstruktur weist des Weiteren eine Elektrode auf, die auf dem Halbleitersubstrat angeordnet ist. Die Elektrode weist eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht auf. Die Halbleiterstruktur weist des Weiteren einen Metall-Liner auf, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist. Die Halbleiterstruktur weist des Weiteren eine Phasenwechselschicht auf, die auf dem Metall-Liner angeordnet ist. Der Metall-Liner und die Phasenwechselschicht weisen eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen auf. Die Halbleiterstruktur weist des Weiteren eine Gate-Dielektrikumschicht auf, die auf der Phasenwechselschicht angeordnet ist. Der Halbleiterstruktur weist des Weiteren einen Metall-Gate-Liner auf, der auf der Gate-Dielektrikumschicht angeordnet ist.

[0014] Bei einer weiteren veranschaulichenden Ausführungsform weist ein Verfahren ein Ausbilden eines Metall-Liners auf einer Elektrode auf, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen aufweist. Das Verfahren weist des Weiteren ein Ausbilden einer Phasenwechselschicht auf dem Metall-Liner auf. Das Verfahren weist des Weiteren ein Ausbilden einer ersten Hartmaske auf der Phasenwechselschicht auf. Das Verfahren weist des Weiteren ein selektives Entfernen eines Abschnitts des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske auf, um einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen. Ein verbleibender Abschnitt des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske bildet eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aus. Das Verfahren weist des Weiteren ein Ausbilden einer Gate-Dielektrikumschicht auf äußeren Flächen des Metall-Liners, der Phasenwechselschicht und

der ersten Hartmaske und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen auf. Das Verfahren weist des Weiteren ein Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht auf.

[0015] Bei einer weiteren veranschaulichenden Ausführungsform weist ein Verfahren ein Ausbilden einer Elektrode auf, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist. Das Verfahren weist des Weiteren ein Ausbilden eines Metall-Liners auf der Elektrode auf. Das Verfahren weist des Weiteren ein Ausbilden einer Opferschicht auf dem Metall-Liner auf. Das Verfahren weist des Weiteren ein Ausbilden einer ersten Hartmaske auf der Opferschicht auf. Das Verfahren weist des Weiteren ein selektives Entfernen eines Abschnitts des Metall-Liners, der Opferschicht und der ersten Hartmaske auf, um einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen. Ein verbleibender Abschnitt des Metall-Liners, der Opferschicht und der ersten Hartmaske bildet eine Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aus. Das Verfahren weist des Weiteren ein Entfernen der ersten Hartmaske auf. Das Verfahren weist des Weiteren ein Ausbilden einer Gate-Dielektrikumschicht auf dem Metall-Liner und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen auf.

[0016] Das Verfahren weist des Weiteren ein Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht auf. Das Verfahren weist des Weiteren ein Ausbilden einer zweiten Hartmaske auf dem Metall-Gate-Liner auf. Das Verfahren weist des Weiteren ein Ätzen der zweiten Hartmaske auf, um einen Abschnitt des Metall-Gate-Liners freizulegen. Das Verfahren weist des Weiteren ein Entfernen des freiliegenden Abschnitts des Metall-Gate-Liners auf, um die Gate-Dielektrikumschicht freizulegen. Das Verfahren weist des Weiteren ein Entfernen des freiliegenden Abschnitts der Gate-Dielektrikumschicht auf, um die Opferschicht und einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen. Das Verfahren weist des Weiteren ein Entfernen der Opferschicht, um den Metall-Liner freizulegen, und ein Ausbilden eines Luftspalts auf, der zwischen einer oberen Fläche des Metall-Liners und einer unteren Fläche der Gate-Dielektrikumschicht definiert ist. Das Verfahren weist des Weiteren ein Abscheiden einer Phasenwechselschicht in dem Luftspalt und auf dem freiliegenden Abschnitt des Metall-Liners, der Intrametall-Dielektrikumschicht

und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen auf.

[0017] Sonstige Ausführungsformen werden in der folgenden ausführlichen Beschreibung von Ausführungsformen beschrieben, die in Zusammenhang mit den beigefügten Figuren zu lesen ist.

Figurenliste

[0018] Die vorliegende Erfindung wird im Folgenden lediglich beispielhaft unter Bezugnahme auf bevorzugte Ausführungsformen beschrieben, wie sie in den folgenden Figuren veranschaulicht werden:

Fig. 1 stellt eine Draufsicht auf eine Struktur dar, die eine X-Querschnittsposition und eine Y-Querschnittsposition für jede der folgenden Figuren angibt.

Fig. 2 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer ersten Fertigungszwischenphase gemäß einer veranschaulichenden Ausführungsform.

Fig. 3 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer zweiten Fertigungszwischenphase gemäß einer veranschaulichenden Ausführungsform.

Fig. 4 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer dritten Fertigungszwischenphase gemäß einer veranschaulichenden Ausführungsform.

Fig. 5 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer vierten Fertigungszwischenphase gemäß einer veranschaulichenden Ausführungsform.

Fig. 6 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer ersten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 7 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer zweiten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 8 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer dritten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 9 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer vierten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 10 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer fünften Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 11 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer sechsten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 12 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer siebten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

Fig. 13 ist eine Querschnittsansicht der Struktur von **Fig. 1** in einer achten Fertigungszwischenphase gemäß einer alternativen veranschaulichenden Ausführungsform.

AUSFÜHRLICHE BESCHREIBUNG

[0019] Im Folgenden werden beispielhafte Ausführungsformen der Erfindung im Hinblick auf Phasenwechselmaterialschalter ausführlicher erörtert. Ein Phasenwechselmaterial ist für nichtflüchtige Speichereinheiten durch die Widerstandsdifferenz zwischen verschiedenen Phasenzuständen aufgrund von Joule-Erwärmung verwendet worden. Wenn es amorphisiert ist, zeigt das Phasenwechselmaterial einen hohen Widerstand (offener Stromkreis), und wenn es rekristallisiert ist, zeigt das Phasenwechselmaterial einen niedrigen Widerstand (geschlossener Stromkreis). Folglich ist die Schwellenspannung eine Funktion des amorphisierten Volumens. Aktuelle Strukturen verwenden nur zwei Anschlüsse, die sowohl zum Programmieren als auch zum Lesen verwendet werden, was sie als elektrische Schalteinheiten weniger nützlich macht.

[0020] Dementsprechend stellen veranschaulichende Ausführungsformen eine einzelne Schalteinheit mit 4 Anschlüssen bereit, die zumindest ein Phasenwechselmaterial und eine Rundum-Gate-Dielektrikumschicht und einen Metall-Gate-Liner (auch als Heizeinrichtung bezeichnet) verwendet, wobei sich die Gate-Dielektrikumschicht zwischen dem Phasenwechselmaterial und dem Metall-Gate-Liner befindet. Der Metall-Gate-Liner und die Gate-Dielektrikumschicht sind so ausgelegt, dass sie orthogonal zu der Phasenwechselschicht sind, wodurch die Schalteinheit mit 4 Anschlüssen ausgebildet wird. Durch Ausbilden einer solchen Einheit können die Steuerschaltung und die Signalschaltung vollständig getrennt werden, wodurch breitere Anwendungen ermöglicht werden.

[0021] Es versteht sich, dass es sich bei den in den beigefügten Zeichnungen dargestellten verschiedenen Schichten, Strukturen und Bereichen um schematische Darstellungen handelt, die nicht maßstabsgetreu gezeichnet sind. Darüber hinaus werden zur einfacheren Erläuterung ein(e) oder mehrere Schichten, Strukturen und Bereiche eines Typs, der üblicherweise zum Ausbilden von Halbleitereinheiten oder -strukturen verwendet wird, in einer jeweiligen

Zeichnung möglicherweise nicht ausdrücklich dargestellt. Dies bedeutet nicht, dass Schichten, Strukturen und Bereiche, die nicht ausdrücklich dargestellt werden, aus den tatsächlichen Halbleiterstrukturen weggelassen werden.

[0022] Des Weiteren versteht es sich, dass die hierin erörterten Ausführungsformen nicht auf die jeweiligen Materialien, Merkmale und Bearbeitungsschritte beschränkt sind, die hierin dargestellt und beschrieben werden. Insbesondere im Hinblick auf Halbleiter-Bearbeitungsschritte muss betont werden, dass die hierin bereitgestellten Beschreibungen nicht sämtliche Bearbeitungsschritte umfassen sollen, die zum Ausbilden einer funktionsfähigen integrierten Halbleiter-Schaltungseinheit erforderlich sein können. Vielmehr werden bestimmte Bearbeitungsschritte, die beim Ausbilden solcher Einheiten gebräuchlich sind, hierin der Effizienz der Beschreibung halber absichtlich nicht beschrieben.

[0023] Darüber hinaus werden dieselben oder ähnliche Bezugszeichen überall in den Zeichnungen verwendet, um dieselben oder ähnliche Merkmale, Elemente oder Strukturen zu kennzeichnen, und daher wird eine ausführliche Erläuterung derselben oder ähnlicher Merkmale, Elemente oder Strukturen nicht für jede der Zeichnungen wiederholt. Es versteht sich, dass die Begriffe „etwa“ oder „im Wesentlichen“, wie sie hierin im Hinblick auf Dicken, Breiten, Prozentsätze, Bereiche usw. verwendet werden, bedeuten sollen, dass sie einander nahe oder angehen sind, aber nicht genau übereinstimmen. Der Begriff „etwa“ oder „im Wesentlichen“, wie er hierin verwendet wird, impliziert zum Beispiel, dass eine kleine Fehlerspanne vorhanden sein kann, wie etwa 1 % oder weniger als der angegebene Betrag.

[0024] Eine Bezugnahme in der Beschreibung auf „eine Ausführungsform“ der vorliegenden Grundgedanken wie auch sonstige Varianten von diesen bedeutet, dass ein(e) bestimmte(s) Merkmal, Struktur, Eigenschaft und so weiter, das/die in Verbindung mit der Ausführungsform beschrieben wird, in zumindest einer Ausführungsform der vorliegenden Grundgedanken enthalten ist. Folglich beziehen sich die Wendungen „bei einer Ausführungsform“ oder „in einer Ausführungsform“ wie auch jegliche sonstige Varianten, die an verschiedenen Stellen in der gesamten Beschreibung auftauchen, nicht zwingend sämtlich auf dieselbe Ausführungsform. Der Begriff „positioniert auf“ bedeutet, dass sich ein erstes Element wie zum Beispiel eine erste Struktur auf einem zweiten Element wie zum Beispiel einer zweiten Struktur befindet, wobei sich dazwischenliegende Elemente wie zum Beispiel eine Grenzflächenstruktur, z.B. eine Grenzflächenschicht, zwischen dem ersten Element und dem zweiten Element befinden können. Der Begriff „direkter Kontakt“ bedeutet, dass ein erstes Element wie zum Beispiel eine erste Struktur

und ein zweites Element wie zum Beispiel eine zweite Struktur ohne jegliche dazwischenliegende leitende, isolierende oder Halbleiterschichten an der Grenzfläche der beiden Elemente verbunden sind.

[0025] Es versteht sich, dass, wenngleich die Begriffe erste(r,s), zweite(r,s) usw. hierin zum Beschreiben verschiedener Elemente verwendet werden können, diese Elemente nicht durch diese Begriffe beschränkt werden sollten. Diese Begriffe werden nur dazu verwendet, ein Element von einem anderen Element zu unterscheiden. Folglich könnte ein im Folgenden erörtertes erstes Element als zweites Element bezeichnet werden, ohne vom Umfang des vorliegenden Konzepts abzuweichen.

[0026] So, wie hierin verwendet, bezieht sich „Höhe“ auf eine vertikale Größe eines Elements (z.B. einer Schicht, eines Grabens, eines Lochs, einer Öffnung usw.) in den Querschnittsansichten, gemessen von einer unteren Fläche bis zu einer oberen Fläche des Elements und/oder gemessen im Hinblick auf eine Fläche, auf der sich das Element befindet. Demgegenüber bezieht sich „Tiefe“ auf eine vertikale Größe eines Elements (z.B. einer Schicht, eines Grabens, eines Lochs, einer Öffnung usw.) in den Querschnittsansichten, gemessen von einer oberen Fläche bis zu einer unteren Fläche des Elements. Begriffe wie „dick“, „Dicke“, „dünn“ oder Ableitungen davon können gegebenenfalls anstelle von „Höhe“ verwendet werden.

[0027] So, wie hierin verwendet, bezieht sich „Breite“ oder „Länge“ auf eine Größe eines Elements (z.B. einer Schicht, eines Grabens, eines Lochs, einer Öffnung usw.) in den Zeichnungen, gemessen von einer seitlichen Fläche bis zu einer gegenüberliegenden Fläche des Elements. Begriffe wie „dick“, „Dicke“, „dünn“ oder Ableitungen davon können gegebenenfalls anstelle von „Breite“ oder „Länge“ verwendet werden.

[0028] Veranschaulichende Ausführungsformen zum Fertigen einer Phasenwechselmaterial-Schaltungseinheit werden im Folgenden unter Bezugnahme auf **Fig. 1** bis **Fig. 13** beschrieben. Es ist zu beachten, dass dasselbe Bezugszeichen (100) verwendet wird, um die Struktur durch die verschiedenen Fertigungszwischenphasen hindurch zu kennzeichnen, die in **Fig. 1** bis **Fig. 5** veranschaulicht werden, und das Bezugszeichen (200) verwendet wird, um die Struktur durch die verschiedenen Fertigungszwischenphasen hindurch zu kennzeichnen, die in **Fig. 6** bis **Fig. 13** veranschaulicht werden. Es ist darüber hinaus zu beachten, dass die hierin beschriebene Phasenwechselmaterial-Schaltungseinheit auch als Halbleitereinheit und/oder als integrierte Schaltung oder als ein Teil von diesen betrachtet werden kann. Der Deutlichkeit halber werden einige Fertigungsschritte, die zu der Produktion der Pha-

senwechselmaterial-Schalteinheit führen, wie sie in **Fig. 1** bis **Fig. 13** veranschaulicht wird, weggelassen. Mit anderen Worten, ein oder mehrere allgemein bekannte Bearbeitungsschritte, die nicht veranschaulicht werden, aber Fachleuten allgemein bekannt sind, sind nicht in den Figuren enthalten.

[0029] **Fig. 1** bis **Fig. 5** veranschaulichen eine Ausführungsform der vorliegenden Erfindung. **Fig. 1** veranschaulicht eine Teilstruktur 100 (in einer Draufsicht), die eine Hartmaske 112 darstellt und zu Kennzeichnungszwecken eine X-Querschnittposition und eine Y-Querschnittposition angibt. **Fig. 2** veranschaulicht die Struktur 100 von **Fig. 1** in einer ersten Fertigungszwischenphase. Die Struktur 100 enthält zunächst ein Substrat 102. Im Allgemeinen kann das Substrat 102 einen oder mehrere verschiedene Typen von Halbleiter-Substratstrukturen und -materialien und beliebige zuvor bearbeitete Schichten aufweisen. Beispielsweise kann es sich bei dem Substrat 102 bei einer Ausführungsform um ein Vollhalbleitersubstrat (z.B. einen Wafer), das aus Silicium (Si) oder Germanium (Ge) ausgebildet ist, oder um sonstige Typen von Substratmaterialien handeln, die üblicherweise in Prozessen zur Fertigung von Vollhalbleitern verwendet werden, zum Beispiel eine Silicium-Germanium-Legierung, Verbindungshalbleitermaterialien (z.B. III-V), eine aktive Halbleiterschicht eines SOI(silicon-on-insulator, Silicium-auf-Isolator)-Substrats, eines GeOI(germanium-on-insulator, Germanium-auf-Isolator)-Substrats oder eines sonstigen Typs eines Halbleiter-auf-Isolator-Substrats, das eine Isolationsschicht (z.B. eine Oxidschicht) aufweist, die vor dem Ausbilden der Schalteinheit zwischen einer Basissubstratschicht (z.B. einem Siliciumsubstrat) und der aktiven Halbleiterschicht (z.B. Si, Ge, etc.), in der aktive Schaltungskomponenten als Teil einer FEOL ausgebildet sind, und einigen BEOL-Schichten angeordnet wird.

[0030] Die Struktur 100 enthält des Weiteren eine Speicherelektrode 103, die auf dem Substrat 102 ausgebildet ist. Die Speicherelektrode 103 enthält Zwischenverbindungen 106 in einer Dielektrikumschicht 104. Die Dielektrikumschicht 104 dient zum Beispiel als Zwischenverbindungs-dielektrikum(interconnect dielectric, ICD)-Schicht, in der Zwischenverbindungen ausgebildet sind. Eine (nicht dargestellte) untere Ätzstoppschicht kann unterhalb der ICD-Schicht bereitgestellt werden. Die untere Ätzstoppschicht kann verschiedene Typen von Materialien aufweisen. Bei einer Ausführungsform weist die untere Ätzstoppschicht ein dielektrisches Material auf. Die untere Ätzstoppschicht kann bei einer Ausführungsform mit Stickstoff dotiertes BLOK (NBLOK) oder Low-k-NBLOK aufweisen. Sonstige Typen von Ätzstoppmaterialien wie zum Beispiel Siliciumnitrid können ebenfalls nützlich sein.

[0031] Bei einer Ausführungsform enthält das ICD einen unteren und einen oberen Abschnitt. Der untere Abschnitt dient als Zwischenebenen-Dielektrikum(interlevel dielectric, ILD)-Schicht, wohingegen der obere Abschnitt als Intrametall-Dielektrikum(intrametal dielectric, IMD)-Schicht dient. Bei der Dielektrikumschicht kann es sich um eine einzelne Schicht oder um einen mehrschichtigen Stapel handeln. Eine einzelne Schicht kann zum Beispiel dazu verwendet werden, sowohl als das ILD als auch als das IMD zu dienen, oder es werden getrennte Schichten für das ILD und das IMD verwendet. In einigen Fällen kann eine Ätzstoppschicht zwischen dem ILD und dem IMD ausgebildet werden.

[0032] Die Dielektrikumschicht kann zum Beispiel Siliciumoxid aufweisen. Sonstige Typen von dielektrischen Materialien sind ebenfalls nützlich. Die Dielektrikumschicht kann zum Beispiel Siliciumnitrid, Siliciumdioxid, Siliciumoxynitrid, SiCN, SiOCN, SiOC, SiBCN, ein dielektrisches Metalloxid, ein dielektrisches Metallnitrid, dotiertes Siliciumoxid wie etwa fluoriertes Siliciumoxid (FSG), undotierte oder dotierte Silicatgläser wie etwa Borphosphatsilicatglas (BPSG) und Phosphatsilicatglas (PSG), undotiertes oder dotiertes thermisch aufgewachsenes Siliciumoxid, undotiertes oder dotiertes aus TEOS abgeschiedenes Siliciumoxid und dielektrische Low-k- und Ultra-Low-k-Materialien aufweisen. Dielektrische Low-k-Materialien weisen eine kleinere nominelle Dielektrizitätskonstante als die Dielektrizitätskonstante von SiO₂ auf, die etwa 4 beträgt (z.B. kann die Dielektrizitätskonstante für thermisch aufgewachsenes Siliciumdioxid in einem Bereich von 3,9 bis 4,0 liegen). Bei einer Ausführungsform können dielektrische Low-k-Materialien eine Dielektrizitätskonstante von weniger als 3,7 aufweisen. Zu geeigneten dielektrischen Low-k-Materialien zählen zum Beispiel fluoriertes Siliciumglas (FSG), mit Kohlenstoff dotiertes Oxid, ein Polymer, ein SiCOH-haltiges Low-k-Material, ein nichtporöses Low-k-Material, ein poröses Low-k-Material, ein dielektrisches Aufschleuder(spin-on dielectric, SOD)-Low-k-Material oder ein beliebiges sonstiges geeignetes dielektrisches Low-k-Material. Dielektrische Ultra-Low-k-Materialien weisen eine nominelle Dielektrizitätskonstante von weniger als 2,5 auf. Zu geeigneten dielektrischen Ultra-Low-k-Materialien zählen zum Beispiel SiOCH, poröses pSiCOH, pSiCNO, kohlenstoffreiches Siliciumkohlenstoffnitrid (C-Rich SiCN), poröses Siliciumkohlenstoffnitrid (pSiCN), mit Bor und Phosphor dotiertes SiCOH/pSiCOH und dergleichen. Bei einer veranschaulichenden Ausführungsform weist zumindest die IMD-Schicht ein dielektrisches Low-k oder Ultra-Low-k-Material auf.

[0033] Zwischenverbindungen 106 werden in der ICD-Schicht ausgebildet. Die Zwischenverbindung kann zahlreiche Zwischenverbindungen enthalten. Bei einer Ausführungsform weist die Zwischenver-

bindung eine leitfähige Leitung 106a in dem oberen Abschnitt oder dem IMD auf, wohingegen in dem unteren Abschnitt oder dem ILD ein Kontakt 106b ausgebildet ist. Die Zwischenverbindung weist ein leitfähiges Material auf. Bei dem leitfähigen Material kann es sich zum Beispiel um ein(e) beliebige(s) Metall oder Legierung handeln. Bei einer Ausführungsform kann die Zwischenverbindung Kupfer, Aluminium, Wolfram, deren Legierungen oder eine Kombination von diesen aufweisen. Es versteht sich, dass die Kontakte und die leitfähige Leitung dieselben oder verschiedene Materialien aufweisen können. Der Kontakt verbindet die leitfähige Leitung mit Kontaktbereichen darunter. Je nach ICD-Stufe kann es sich bei dem Kontaktbereich um eine weitere Metallleitung oder eine Einheit wie zum Beispiel einen Diffusionsbereich oder ein Gate eines Transistors oder eine Platte eines Kondensators handeln.

[0034] Ein Metall-Liner 108 wird über der Dielektrikumschicht 104 und den Zwischenverbindungen 106 ausgebildet. Der Metall-Liner 108 ist ein hochohmiger Metall-Liner. Zu einem geeigneten Material für den Metall-Liner 108 zählen zum Beispiel TaN, TiN, usw. Der Metall-Liner 108 kann durch herkömmliche Techniken wie zum Beispiel chemische Gasphasenabscheidung (chemical vapor deposition, CVD), plasmaunterstützte CVD (PECVD), Sputterabscheidung, physikalische Gasphasenabscheidung (physical vapor deposition, PVD), Atomlagenabscheidung (ALD), Plattieren und sonstige ähnliche Prozesse abgeschieden werden. Bei einer veranschaulichten Ausführungsform kann der Metall-Liner 108 eine Dicke im Bereich von etwa 1 Nanometer (nm) bis etwa 10 nm aufweisen.

[0035] Eine Phasenwechselschicht 110, die ein Phasenwechselmaterial aufweist, wird durch herkömmliche Techniken, z.B. CVD, eine gepulste CVD und ALD, auf dem Metall-Liner 108 ausgebildet. In einem Phasenwechselspeicher werden Informationen in Materialien gespeichert, die zu verschiedenen Phasen manipuliert werden können. Jede dieser Phasen zeigt unterschiedliche elektrische Eigenschaften, die zum Speichern von Informationen verwendet werden können. Die amorphe und die kristalline Phase sind typischerweise zwei Phasen, die für eine Speicherung von Bits (1 und 0) verwendet werden, da sie erkennbare Unterschiede im elektrischen Widerstand aufweisen. Im Besonderen weist die amorphe Phase einen höheren Widerstand als die kristalline Phase auf.

[0036] Bei einer Ausführungsform zählen zu einem geeigneten Phasenwechselmaterial zum Beispiel Glas-Chalkogenide. Diese Gruppe von Materialien enthält ein Chalkogen (Gruppe 16/VIA des Periodensystems) und ein stärker elektropositives Element. Selen (Se) und Tellur (Te) sind zum Beispiel die beiden häufigsten Halbleiter in der Gruppe, die zum

Herstellen eines Glas-Chalkogenids beim Erzeugen einer Phasenwechselschicht verwendet werden. Ein repräsentatives Beispiel wäre $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST), SbTe und In_2Se_3 . Einige Phasenwechselmaterialien nutzen jedoch kein Chalkogen, zum Beispiel GeSb. So kann eine Vielfalt von Materialien als Phasenwechselschicht verwendet werden, sofern sie getrennte amorphe und kristalline Zustände beibehalten können.

[0037] Eine Hartmaske 112 wird über der Phasenwechselschicht 110 durch eine beliebige herkömmliche Technik ausgebildet. Die Hartmaske 112 kann zum Beispiel durch CVD, PECVD, PVD, ALD und sonstige ähnliche Prozesse abgeschieden werden. Anschließend kann die Hartmaske 112 einem Planarisierungsprozess wie zum Beispiel einem Prozess einer chemisch-mechanischen Planarisierung (CMP) unterzogen werden.

[0038] Anschließend wird die Hartmaske 112 strukturiert, um eine Finne auszubilden, wie in **Fig. 2** dargestellt. Das Strukturieren der Hartmaske 112 wird erzielt, indem zuerst eine (nicht dargestellte) herkömmliche Photolack-Hartmaske 112 aufgebracht wird. Nach dem Aufbringen des Photolacks auf die Hartmaske 112 wird der Photolack einem Lithographieschritt unterzogen, der eine strukturweise Belichtung des Photolacks mit einem gewünschten Strahlungsmuster und eine Entwicklung des belichteten Photolacks unter Verwendung eines herkömmlichen Photolackentwicklers enthält. Der strukturierte Photolack schützt einen Abschnitt der Hartmaske 112, wohingegen er zumindest einen sonstigen Abschnitt ungeschützt lässt. Die ungeschützten Abschnitte der Hartmaske 112 zusammen mit der Phasenwechselschicht 110 und dem Metall-Liner 108, die den strukturierten Photolack nicht enthalten, werden anschließend durch Ätzen entfernt. Es kann ein beliebiger Ätzprozess verwendet werden, der die ungeschützten Abschnitte der Hartmaske 112 selektiv gegenüber dem strukturierten Photolack entfernt. Typischerweise wird ein Prozess eines reaktiven Ionenätzens (reactive ion etching, RIE) oder ein weiterer ähnlicher Trockenätzprozess verwendet. Wie dargestellt, hält der Ätzprozess oberhalb eines Abschnitts der oberen Fläche der Dielektrikumschicht 104 und der Zwischenverbindungen 106 so an, dass der verbleibende Abschnitt des Metall-Liners 108 und der Phasenwechselschicht 110 unter der Hartmaske 112 eine Brücke 111 (siehe **Fig. 1**) zwischen den beiden Zwischenverbindungen 106 ausbildet. Der beim Ausbilden der strukturierten Hartmaske 112 verwendete Photolack wird typischerweise nach dem Ätzprozess abgelöst.

[0039] **Fig. 3** veranschaulicht die Struktur 100 in einer zweiten Zwischenphase. Während dieser Phase wird eine Gate-Dielektrikumschicht 114 auf den freiliegenden Flächen der Dielektrikumschicht

104, der Zwischenverbindungen 106, des Metall-Liners 108, der Phasenwechselschicht 110 und der Hartmaske 112 ausgebildet. Die Gate-Dielektrikumschicht 114 schützt zweckmäßigerweise die Seitenwände der Phasenwechselschicht 110. Zu einem geeigneten dielektrischen Gate-Material für die Gate-Dielektrikumschicht 114 zählt zum Beispiel dasselbe oder ein anderes dielektrisches Material wie/als die Dielektrikumschicht 104. Typischerweise bestehen die Dielektrikumschicht 104 und die Dielektrikumschicht 114 aus einem Oxid von Silicium. Die Gate-Dielektrikumschicht 114 wird typischerweise unter Verwendung eines herkömmlichen Abscheidungsprozesses, z.B. einer CVD, ausgebildet. Bei einer Ausführungsform weist die Gate-Dielektrikumschicht 114 eine Dicke im Bereich von etwa 1 nm bis etwa 5 nm auf.

[0040] Anschließend wird ein Metall-Gate-Liner 116 mithilfe eines herkömmlichen Abscheidungsprozesses, z.B. einer CVD, ALD, Elektroplattieren oder sonstigen ähnlichen Prozessen auf der Gate-Dielektrikumschicht 114 ausgebildet. Bei einer Ausführungsform sind der Metall-Gate-Liner 116 und die Gate-Dielektrikumschicht 114 so ausgelegt, dass sie orthogonal zu der Phasenwechselschicht 110 sind. Der Metall-Gate-Liner 116 ist als resistive Heizeinrichtung ausgelegt, die zum Beispiel ein Metall- oder Metalllegierungsmaterial enthält, das einen spezifischen Widerstand und eine im Wesentlichen hohe Wärmeleitfähigkeit zeigt. Beispielsweise kann der Metall-Gate-Liner 116 aus Niob (Nb), Wolfram (W), Platin (Pt), Nickel-Chrom (NiCr), Titan-Wolfram (TiW), TaN, TiN oder TaSiN oder aus einer Vielfalt von ähnlichen Metallen oder Metalllegierungen ausgebildet werden. So kann der Metall-Gate-Liner 116 so ausgelegt sein, dass er einen Strom empfängt, um die Phasenwechselschicht 110 zwischen dem kristallinen Zustand und dem amorphen Zustand umzuschalten. In diesem Fall wird der Phasenwechsel dadurch erzielt, dass ein Strom durch den Metall-Gate-Liner 116 geleitet wird, der sich über der Phasenwechselschicht 110 befindet und von der Phasenwechselschicht 110 durch die Gate-Dielektrikumschicht 114 elektrisch isoliert ist. Wenn Strom durch die „resistive Heizeinrichtung“ fließt, erwärmt sich die Heizeinrichtung aufgrund des Joule-Effekts, und die durch die „resistive Heizeinrichtung“ erzeugte Wärmeleitung verändert indirekt den Zustand der Phasenwechselschicht 110. Der Metall-Gate-Liner 116 weist eine Dicke im Bereich von etwa 4 nm bis etwa 10 nm auf.

[0041] Als Nächstes wird eine Hartmaske 118 durch eine beliebige herkömmliche Technik, z.B. CVD, PECVD, PVD, ALD und sonstige ähnliche Prozesse über dem Metall-Gate-Liner 116 ausgebildet. Geeignete Materialien für die Hartmaske 118 können SiN, TEOS oder beliebige sonstige nichtleitende Dünnschichten sein. Anschließend kann die Hartmaske

118 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden. Anschließend wird die Hartmaske 118 strukturiert und einem Ätzprozess wie zum Beispiel einer RIE unterzogen, um einen Abschnitt der Hartmaske 118 zu entfernen, um einen Abschnitt des Metall-Gate-Liners 116 freizulegen.

[0042] Fig. 4 veranschaulicht die Struktur 100 in einer dritten Zwischenphase. Während dieser Phase wird der freiliegende Abschnitt des Metall-Gate-Liners 116 selektiv entfernt, wobei ein Abschnitt des Metall-Gate-Liners 116 auf der Gate-Dielektrikumschicht 114 unter der unteren Fläche der Hartmaske 118 verbleibt. Das Entfernen des Metall-Gate-Liners 116 kann ein Aufbringen eines Ätzmittels in einem Ätzprozess wie zum Beispiel einem RIE-Prozess enthalten, das selektiv gegenüber der Dielektrikumschicht 114 gestaltet ist. Beispielsweise kann es sich bei dem Ätzen des freiliegenden Abschnitts des Metall-Gate-Liners 116 um ein Trockenätzen handeln, das mithilfe eines Ätzgases durchgeführt wird. Bei veranschaulichenden Ausführungsformen kann zu einem Ätzgas, das in dem Trockenätzprozess verwendet wird, ein Gas zählen, das Fluor und H₂O-Dampf enthält, wobei es sich z.B. um CxF_y, CH_xF_y usw. handeln kann.

[0043] Fig. 5 veranschaulicht die Struktur 100 in einer vierten Zwischenphase. Während dieser Phase wird eine dielektrische Füllung 120 auf der Gate-Dielektrikumschicht 114 und über der Hartmaskensschicht 118 ausgebildet. Die dielektrische Füllung 120 kann aus einem beliebigen bekannten dielektrischen Material hergestellt sein, zum Beispiel aus Siliciumoxid, Siliciumnitrid, hydriertem Siliciumkohlenstoffoxid, Low-k-Dielektrika, Ultra-Low-k-Dielektrika, fließfähigen Oxiden, porösen Dielektrika oder organischen Dielektrika einschließlich poröser organischer Dielektrika. Bei den dielektrischen Low-k- und Ultra-Low-k-Materialien kann es sich um beliebige der oben im Hinblick auf die Dielektrikumschicht erörterten Materialien handeln. Die dielektrische Füllung 120 kann durch eine beliebige geeignete Abscheidungstechnik nach dem Stand der Technik ausgebildet werden, darunter ALD, CVD, PECVD, PVD oder sonstige ähnliche Prozesse. Anschließend kann die dielektrische Füllung 120 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden.

[0044] Als Nächstes werden Metallkontakte einschließlich Metall-Gate-Kontakten 122 ausgebildet. Beispielsweise handelt es sich bei den Metall-Gate-Kontakten 122 um eine elektrische Verbindung zu einem Gate. Die Metall-Gate-Kontakte 122 werden ausgebildet, indem zuerst leitfähige Durchkontaktierungen oder Gräben durch Verfahren ausgebildet werden, die nach dem Stand der Technik bekannt sind, z.B. durch selektives Ätzen durch die Hart-

maske 118 zum Beispiel durch RIE, so dass die Durchkontaktierung oder der Graben mit der jeweiligen Komponente in Verbindung stehen, z.B. die leitfähigen Durchkontaktierungen oder Gräben für die Metall-Gate-Kontakte 122 mit dem jeweiligen Metall-Gate-Liner 116 in Verbindung stehen. Anschließend wird ein leitfähiges Material innerhalb der Durchkontaktierung oder des Grabens abgeschieden. Zu dem leitfähigen Material für die Metall-Gate-Kontakte 122 zählt ein beliebiges geeignetes leitfähiges Material wie zum Beispiel polykristallines oder amorphes Silicium, Germanium, Silicium-Germanium, ein Metall (z.B. Wolfram, Titan, Tantal, Ruthenium, Zirkonium, Cobalt, Kupfer, Aluminium, Blei, Platin, Zinn, Silber, Gold), ein leitfähiges Metallverbindungs material (z.B. Tantalnitrid, Titannitrid, Tantalcarbid, Titancarbid, Titanaluminiumcarbid, Wolframsilicid, Wolframnitrid, Rutheniumoxid, Cobaltsilicid, Nickelsilicid), Kohlenstoff-Nanoröhren, leitfähiger Kohlenstoff, Graphen oder eine beliebige geeignete Kombination dieser Materialien. Das leitfähige Material kann des Weiteren Dotierstoffe enthalten, die während oder nach der Abscheidung eingebracht werden. Auf den Abscheidungsschritt kann ein Tempersschritt folgen, oder dieser kann gleichzeitig erfolgen.

[0045] Fig. 6 bis Fig. 13 veranschaulichen eine alternative Ausführungsform, die mit einer Struktur 200 beginnt. Fig. 6 veranschaulicht die Struktur 200 in einer ersten Fertigungszwischenphase. Die Struktur 200 enthält zunächst ein Substrat 202. Im Allgemeinen kann das Substrat 202 einen oder mehrere verschiedene Typen von Halbleiter-Substratstrukturen und -materialien aufweisen, wie oben für das Substrat 102 beschrieben. Die Struktur 200 enthält des Weiteren eine Speicherelektrode 203, die auf dem Substrat 202 ausgebildet ist. Die Speicherelektrode 203 enthält Zwischenverbindungen 206 in einer Dielektrikumschicht 204. Wie bei der oben erörterten Dielektrikumschicht 104 dient die Dielektrikumschicht 204 zum Beispiel als ICD-Schicht, in der Zwischenverbindungen ausgebildet werden. Bei einer Ausführungsform enthält das ICD einen unteren und einen oberen Abschnitt. Der untere Abschnitt dient als ILD-Schicht, wohingegen der obere Abschnitt als IMD-Schicht dient. Bei der Dielektrikumschicht kann es sich um eine einzelne Schicht oder um einen mehrschichtigen Stapel handeln. Eine einzelne Schicht kann zum Beispiel dazu verwendet werden, sowohl als das ILD als auch als das IMD zu dienen, oder es werden getrennte Schichten für das ILD und das IMD verwendet. In einigen Fällen kann eine Ätzstoppschicht zwischen dem ILD und dem IMD ausgebildet werden.

[0046] Die Dielektrikumschicht 204 kann in ähnlicher Weise und aus demselben Material, wie oben für die Dielektrikumschicht 104 erörtert, abgeschieden werden. Zwischenverbindungen 206 werden in

der ICD-Schicht ausgebildet. Die Zwischenverbindung kann zahlreiche Zwischenverbindungen enthalten. Bei einer Ausführungsform weist die Zwischenverbindung eine leitfähige Leitung 206a in dem oberen Abschnitt oder dem IMD auf, wohingegen in dem unteren Abschnitt oder dem ILD ein Kontakt 206b ausgebildet ist. Die Zwischenverbindung 206 weist ein leitfähiges Material auf, wie oben für die Zwischenverbindung 106 erörtert.

[0047] Ein Metall-Liner 208 wird über der Dielektrikumschicht 204 und den Zwischenverbindungen 206 ausgebildet. Der Metall-Liner 208 ist ein hochohmiger Metall-Liner. Der Metall-Liner 208 kann in ähnlicher Weise und aus demselben Material, wie oben für den Metall-Liner 108 erörtert, abgeschieden werden. Bei einer veranschaulichenden Ausführungsform kann der Metall-Liner 208 eine Dicke im Bereich von etwa 1 nm bis etwa 10 nm aufweisen.

[0048] Eine Opferschicht 210 wird durch herkömmliche Techniken, z.B. CVD und ALD, auf dem Metall-Liner 208 ausgebildet. Zu einem geeigneten Material für die Opferschicht 210 zählt zum Beispiel ein beliebiges amorphes Material wie etwa ein Material aus amorphem Silicium (a-Si) oder ein Material aus amorphem Silicium-Germanium (a-SiGe). Bei einer Ausführungsform kann die amorphe Schicht 210 eine Dicke im Bereich von etwa 10 nm bis etwa 100 nm aufweisen.

[0049] Eine Hartmaske 212 wird durch eine beliebige herkömmliche Technik, wie oben für die Hartmaske 112 erörtert, über der Opferschicht 210 ausgebildet. Anschließend kann die Hartmaske 212 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden. Anschließend wird die Hartmaske 212 strukturiert, um eine Finne auszubilden, wie in Fig. 6 dargestellt. Das Strukturieren der Hartmaske 212 wird erzielt, wie oben erörtert. Wie dargestellt, hält der Ätzprozess oberhalb eines Abschnitts der oberen Fläche der Dielektrikumschicht 204 und der Zwischenverbindungen 206 so an, dass der verbleibende Abschnitt des Metall-Liners 208 und der Opferschicht 210 unter der Hartmaske 212 eine Brücke wie zum Beispiel die Brücke 111 (siehe Fig. 1) zwischen den beiden Zwischenverbindungen 206 ausbildet. Der beim Ausbilden der strukturierten Hartmaske 212 verwendete Photolack wird typischerweise nach dem Ätzprozess abgelöst.

[0050] Fig. 7 veranschaulicht die Struktur 200 in einer zweiten Zwischenphase. Während dieser Phase wird zuerst die Hartmaske 212 durch herkömmliche Techniken entfernt. Als Nächstes wird eine Gate-Dielektrikumschicht 214 auf den freiliegenden Flächen der Dielektrikumschicht 204, der Zwischenverbindungen 206, des Metall-Liners 208 und der Opferschicht 210 ausgebildet. Die Gate-

Dielektrikumschicht 214 kann in ähnlicher Weise und aus demselben Material, wie oben für die Gate-Dielektrikumschicht 114 erörtert, abgeschieden werden. Bei einer Ausführungsform handelt es sich bei der Gate-Dielektrikumschicht 214 um eine relativ dünne Schicht, z.B. eine Schicht mit einer Dicke im Bereich von etwa 1 nm bis etwa 5 nm.

[0051] Fig. 8 veranschaulicht die Struktur 200 in einer dritten Zwischenphase. Während dieser Phase wird ein Metall-Gate-Liner 216 auf der Gate-Dielektrikumschicht 214 ausgebildet. Der Metall-Gate-Liner 216 kann in ähnlicher Weise und aus demselben Material, wie oben für den Metall-Gate-Liner 116 erörtert, abgeschieden werden. Wie bei dem Metall-Gate-Liner 116 ist der Metall-Gate-Liner 216 als resistive Heizeinrichtung ausgelegt, die zum Beispiel ein Metall- oder Metallegierungsmaterial enthält, das einen spezifischen Widerstand und eine im Wesentlichen hohe Wärmeleitfähigkeit zeigt. So kann der Metall-Gate-Liner 216 so ausgelegt sein, dass er einen Strom empfängt, um die Phasenwechselschicht 224, wie im Folgenden erörtert, zwischen dem kristallinen Zustand und dem amorphen Zustand umzuschalten. Bei einer Ausführungsform handelt es sich bei dem Metall-Gate-Liner 216 um eine relativ dünne Schicht, z.B. eine Schicht mit einer Dicke im Bereich von etwa 4 nm bis etwa 10 nm.

[0052] Als Nächstes wird eine Hartmaske 218 durch eine beliebige herkömmliche Technik, z.B. CVD, PECVD, PVD, ALD und sonstige ähnliche Prozesse über dem Metall-Gate-Liner 216 ausgebildet. Die Hartmaske 218 kann in ähnlicher Weise und aus demselben Material, wie oben für die Hartmaske 118 erörtert, abgeschieden werden. Anschließend kann die Hartmaske 218 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden. Anschließend wird die Hartmaske 218 strukturiert und einem Ätzprozess wie zum Beispiel einer RIE unterzogen, um einen Abschnitt der Hartmaske 218 zu entfernen, um einen Abschnitt des Metall-Gate-Liners 216 freizulegen. Der freiliegende Abschnitt des Metall-Gate-Liners 216 wird zusammen mit der Gate-Dielektrikumschicht 214 selektiv entfernt, wobei ein Abschnitt des Metall-Gate-Liners 216 auf der Gate-Dielektrikumschicht 214 unter der unteren Fläche der Hartmaske 218 verbleibt. Das Entfernen des Metall-Gate-Liners 116 kann ein Aufbringen eines Ätzmittels in einem isotropen Ätzprozess wie zum Beispiel einem RIE-Prozess enthalten, das selektiv gegenüber der Dielektrikumschicht 214 gestaltet ist. Anschließend wird die Dielektrikumschicht 214 durch Aufbringen eines Ätzmittels in einem isotropen Ätzprozess wie zum Beispiel einem RIE-Prozess entfernt, das selektiv gegenüber der Dielektrikumschicht 204, den Zwischenverbindungen 206 und der Opferschicht 210 gestaltet ist.

[0053] Fig. 9 veranschaulicht die Struktur 200 in einer vierten Zwischenphase. Es versteht sich, dass die gestrichelten Linien an der Y-Querschnittsposition eine Unterstützung zum Verbinden von Elementen 214, 216 und 220 mit der Struktur 200 angeben, die in der Struktur 200 gezeigt wird, die an der X-Querschnittsposition dargestellt wird. Während dieser Phase werden Gate-Abstandselemente 220 zumindest auf Seitenwänden der Gate-Dielektrikumschicht 214, des Metall-Gate-Liners 216 und der Hartmaske 218 ausgebildet. Zu geeigneten Materialien für die Gate-Abstandselemente 220 zählen zum Beispiel Si_3N_4 , SiBCN, SiNC, SiN, SiCO, SiO_2 und SiNOC. Die Gate-Abstandselemente 220 können durch eine beliebige herkömmliche Technik wie zum Beispiel CVD, PECVD, PVD, ALD und dergleichen ausgebildet werden. Als Nächstes wird die Opferschicht 210 selektiv entfernt, wobei ein Luftspalt 222 verbleibt, der zwischen dem Metall-Liner 208 und der Gate-Dielektrikumschicht 214 definiert ist. Die Opferschicht 210 wird beispielsweise durch heißes Ammoniak oder Tetramethylammoniumhydroxid (TMAH) selektiv entfernt, wenn es sich bei dem Opfermaterial um eine a-Si-Verbindung handelt.

[0054] Fig. 10 veranschaulicht die Struktur 200 in einer fünften Zwischenphase. Während dieser Phase wird eine Phasenwechselschicht 224, die ein Phasenwechselmaterial aufweist, durch herkömmliche Techniken, z.B. CVD, auf den freiliegenden Flächen der Dielektrikumschicht 204, der Zwischenverbindungen 206 und auf den Seitenwänden der Gate-Abstandselemente 220 ausgebildet. Die Phasenwechselschicht 224 wird auch in dem Luftspalt 222 ausgebildet, der zwischen dem Metall-Liner 208 und der Gate-Dielektrikumschicht 214 definiert ist. Die Phasenwechselschicht 224 kann aus demselben Phasenwechselmaterial bestehen, wie oben für die Phasenwechselschicht 110 erörtert. Anschließend kann die Phasenwechselschicht 224 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden.

[0055] Fig. 11 veranschaulicht die Struktur 200 in einer sechsten Zwischenphase. Während dieser Phase wird die Phasenwechselschicht 224 zunächst zum Beispiel durch eine RIE vertieft. Eine Dielektrikumabdeckung 226 wird auf der freiliegenden Fläche der Phasenwechselschicht 224 und den Seitenwänden der Gate-Abstandselemente 220 durch eine durchgehende oder nichtselektive CVD ausgebildet. Zu geeigneten Materialien für die Dielektrikumabdeckung 226 zählen zum Beispiel Siliciumnitrid (SiN), Siliciumcarbid (SiC), Siliciumoxynitrid (SiNO) oder amorphes Siliciumcarbonitrid (SiCyNx:H). Bei einer Ausführungsform weist die Dielektrikumabdeckung 226 eine Dicke im Bereich von etwa 5 nm bis etwa 50 nm auf.

[0056] Fig. 12 veranschaulicht die Struktur 200 in einer siebten Zwischenphase. Während dieser Phase wird eine organische Planarisierungsschicht (organic planarization layer, OPL) 228 z.B. mithilfe eines Aufschleuderbeschichtungsprozesses auf der Dielektrikumabdeckung 226 abgeschieden. Bei der OPL 228 kann es sich um ein selbstplanarisierendes organisches Material handeln, das Kohlenstoff, Wasserstoff, Sauerstoff und optional Stickstoff, Fluor und Silicium enthält. Bei einer Ausführungsform kann es sich bei dem selbstplanarisierenden organischen Material um ein Polymer mit ausreichend niedriger Viskosität handeln, so dass die obere Fläche des aufgetragenen Polymers eine planare horizontale Fläche ausbildet. Bei einer Ausführungsform kann die OPL 228 ein transparentes organisches Polymer enthalten. Bei einer Ausführungsform kann es sich bei der OPL um ein Standard-CxHy-Polymer handeln. Zu nichtbeschränkenden Beispielen für OPL-Materialien zählen CHM701B, das im Handel von Cheil Chemical Co., Ltd., erhältlich ist, HM8006 und HM8014, die im Handel von JSR Corporation erhältlich sind, und ODL-102 oder ODL-401, die im Handel von ShinEtsu Chemical, Co., Ltd., erhältlich sind, ohne auf diese beschränkt zu sein.

[0057] Anschließend wird die OPL 228 strukturiert und einer Standardlithographie unterzogen, um einen Abschnitt der OPL 228, der Dielektrikumabdeckung 226, der Phasenwechselschicht 224 und des Metall-Liners 208 zu entfernen, um einen Abschnitt der Dielektrikumschicht 204 und der Zwischenverbindungen 206 freizulegen, so dass die Phasenwechselschicht 224 unter der OPL 228 und der Dielektrikumabdeckung 226 eine Brücke zwischen den beiden Zwischenverbindungen 206 ausbildet.

[0058] Fig. 13 veranschaulicht die Struktur 200 in einer achten Zwischenphase. In dieser Phase wird die OPL 228 durch eine Standardveraschung der OPL auf Grundlage von O_2 oder N_2/H_2 entfernt (nicht dargestellt). Eine dielektrische Füllung 230 wird auf der Dielektrikumschicht 204 und den Zwischenverbindungen 206 und über der Dielektrikumabdeckung 226 ausgebildet. Die dielektrische Füllung kann in ähnlicher Weise und aus demselben Material wie die dielektrische Füllung 120 abgeschieden werden. Anschließend kann die dielektrische Füllung 220 einem Planarisierungsprozess wie zum Beispiel einem CMP-Prozess unterzogen werden. Als Nächstes werden Metallkontakte einschließlich Metall-Gate-Kontakten 232 ausgebildet. Beispielsweise handelt es sich bei den Metall-Gate-Kontakten 232 um eine elektrische Verbindung zu einem Gate. Die Metall-Kontakte 232 werden ausgebildet, indem zuerst leitfähige Durchkontaktierungen oder Gräben durch Verfahren ausgebildet werden, die nach dem Stand der Technik bekannt sind, z.B. durch selektives Ätzen durch die Hartmaske 218 zum Beispiel durch RIE, so dass die Durchkontaktierung mit der

jeweiligen Komponente in Verbindung steht, z.B. die leitfähigen Durchkontaktierungen oder Gräben für die Metall-Kontakte 232 mit dem jeweiligen Metall-Gate-Liner 216 in Verbindung stehen. Anschließend wird ein leitfähiges Material innerhalb der Durchkontaktierung abgeschieden. Bei dem leitfähigen Material für die Metall-Gate-Kontakte 232 kann es sich um ein beliebiges derjenigen handeln, die oben für die Metall-Gate-Kontakte 122 erörtert worden sind. Auf den Abscheidungsschritt kann ein Tempersschritt folgen, oder dieser kann gleichzeitig erfolgen.

[0059] Es versteht sich, dass die hierin erörterten Verfahren zum Fertigen von metallischen Zwischenverbindungsstrukturen mit geringem spezifischen Widerstand (z.B. Kupfer-BEOL-Zwischenverbindungsstrukturen) in Halbleiterbearbeitungsabläufe zum Fertigen von sonstigen Typen von Halbleiterstrukturen und integrierten Schaltungen mit verschiedenen analogen und digitalen Schaltungen oder Mixed-Signal-Schaltungen integriert werden können. Im Besonderen können Chips mit integrierten Schaltungen mit verschiedenen Einheiten wie Feldeffekttransistoren, Bipolartransistoren, Metalloxid-Halbleitertransistoren, Dioden, Kondensatoren, Induktoren usw. gefertigt werden. Eine integrierte Schaltung gemäß der vorliegenden Erfindung kann in Anwendungen, Hardware und/oder elektronischen Systemen eingesetzt werden. Zu geeigneter Hardware und geeigneten Systemen zum Implementieren der Erfindung können Personal-Computer, Datenübertragungs-Netzwerke, Systeme für elektronischen Handel, tragbare Datenübertragungseinheiten (z.B. Mobiltelefone), Halbleiter-Medienspeichereinheiten, Funktionsschaltungen usw. zählen, ohne darauf beschränkt zu sein. Systeme und Hardware, die solche integrierten Schaltungen enthalten, werden als Teil der hierin beschriebenen Ausführungsformen betrachtet. Angesichts der hierin bereitgestellten Lehren der Erfindung ist ein Fachmann in der Lage, sonstige Implementierungen und Anwendungen der Techniken der Erfindung in Betracht zu ziehen.

[0060] Wenngleich hierin beispielhafte Ausführungsformen unter Bezugnahme auf die beigefügten Figuren beschrieben worden sind, versteht es sich, dass die Erfindung nicht auf genau diese Ausführungsformen beschränkt ist und dass verschiedene sonstige Änderungen und Modifizierungen durch einen Fachmann daran vorgenommen werden können, ohne vom Umfang der beigefügten Ansprüche abzuweichen.

Patentansprüche

1. Phasenwechselmaterialschanter, der aufweist: eine Phasenwechselschicht, die auf einem Metall-Liner angeordnet ist; eine Gate-Dielektrikumschicht, die auf der Phasenwechselschicht angeordnet ist; und

einen Metall-Gate-Liner, der auf der Gate-Dielektrikumschicht angeordnet ist.

2. Phasenwechsellaterialschalter nach Anspruch 1, wobei die Phasenwechselschicht ein Phasenwechsellaterial aufweist.

3. Phasenwechsellaterialschalter nach Anspruch 2, wobei das Phasenwechsellaterial Selen oder Tellur aufweist.

4. Phasenwechsellaterialschalter nach Anspruch 2, wobei es sich bei dem Phasenwechsellaterial um $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) handelt.

5. Phasenwechsellaterialschalter nach einem der vorhergehenden Ansprüche, der des Weiteren aufweist:
eine Hartmaske, die auf dem Metall-Gate-Liner angeordnet ist;
einen oder mehrere Gräben, die in der Hartmaske angeordnet sind und dazu ausgelegt sind, den Metall-Gate-Liner freizulegen; und
ein leitfähiges Material, das in dem einen oder den mehreren Gräben angeordnet ist.

6. Phasenwechsellaterialschalter nach Anspruch 5, der des Weiteren ein Seitenwand-Abstandselement aufweist, das auf der Hartmaske, dem Metall-Gate-Liner und der Gate-Dielektrikumschicht angeordnet ist.

7. Phasenwechsellaterialschalter nach einem der vorhergehenden Ansprüche, wobei der Metall-Gate-Liner und die Gate-Dielektrikumschicht so ausgelegt sind, dass sie orthogonal zu der Phasenwechselschicht sind.

8. Phasenwechsellaterialschalter nach Anspruch 7 in der Form eines Phasenwechsellaterialschalters mit vier Anschlüssen.

9. Phasenwechsellaterial-Brückeneinheit, die aufweist:
einen Phasenwechsellaterialschalter nach einem der Ansprüche 1 bis 8;
eine Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; und
einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist;
wobei die Gate-Dielektrikumschicht des Weiteren auf dem Metall-Liner und der Phasenwechselschicht und einem verbleibenden Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist, wobei der Metall-Liner und die Phasenwechselschicht eine

horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen.

10. Halbleiterstruktur, die aufweist:
einen Phasenwechsellaterialschalter nach einem der Ansprüche 1 bis 8;
ein Halbleitersubstrat;
eine Elektrode, die auf dem Halbleitersubstrat angeordnet ist, wobei die Elektrode eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist; und
einen Metall-Liner, der auf einem Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen angeordnet ist, wobei der Metall-Liner und die Phasenwechselschicht eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen aufweisen.

11. Verfahren, das aufweist:
Ausbilden eines Metall-Liners auf einer Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist;
Ausbilden einer Phasenwechselschicht auf dem Metall-Liner;
Ausbilden einer ersten Hartmaske auf der Phasenwechselschicht;
selektives Entfernen eines Abschnitts des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske, um jeweils einen Abschnitt der Intrametall-Dielektrikumschicht und der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen, wobei ein verbleibender Abschnitt des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske eine horizontale Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen ausbildet;
Ausbilden einer Gate-Dielektrikumschicht auf äußeren Flächen des Metall-Liners, der Phasenwechselschicht und der ersten Hartmaske und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen; und
Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht.

12. Verfahren nach Anspruch 11, das des Weiteren aufweist:
Ausbilden einer zweiten Hartmaske auf dem Metall-Gate-Liner;
Ätzen der zweiten Hartmaske, um einen Abschnitt des Metall-Gate-Liners freizulegen; und
Entfernen des freiliegenden Abschnitts des Metall-Gate-Liners, um die Gate-Dielektrikumschicht freizulegen.

13. Verfahren nach Anspruch 12, das des Weiteren aufweist:

Ausbilden eines oder mehrerer Metall-Gate-Kontakte durch Ausbilden eines oder mehrerer Gräben in der zweiten Hartmaske, um den Metall-Gate-Liner freizulegen; und
Abscheiden eines leitfähigen Materials in dem einen oder den mehreren Gräben.

14. Verfahren nach einem der Ansprüche 11 bis 13, wobei die Phasenwechselschicht $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) aufweist.

15. Verfahren, das aufweist:

Ausbilden eines Metall-Liners auf einer Elektrode, die eine Intrametall-Dielektrikumschicht und zumindest zwei Metallkontakt-Durchkontaktierungen in der Intrametall-Dielektrikumschicht aufweist;
Ausbilden einer Opferschicht auf dem Metall-Liner;
Ausbilden einer ersten Hartmaske auf der Opferschicht;
selektives Entfernen eines Abschnitts des Metall-Liners, der Opferschicht und der ersten Hartmaske, um einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen, wobei ein verbleibender Abschnitt des Metall-Liners, der Opferschicht und der ersten Hartmaske eine Brücke zwischen den zumindest zwei Metallkontakt-Durchkontaktierungen ausbildet;
Entfernen der ersten Hartmaske;
Ausbilden einer Gate-Dielektrikumschicht auf dem Metall-Liner und den freiliegenden Abschnitten der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen,
Ausbilden eines Metall-Gate-Liners auf der Gate-Dielektrikumschicht;
Ausbilden einer zweiten Hartmaske auf dem Metall-Gate-Liner;
Ätzen der zweiten Hartmaske, um einen Abschnitt des Metall-Gate-Liners freizulegen;
Entfernen des freiliegenden Abschnitts des Metall-Gate-Liners, um die Gate-Dielektrikumschicht freizulegen;
Entfernen des freiliegenden Abschnitts der Gate-Dielektrikumschicht, um die Opferschicht und einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen;
Entfernen der Opferschicht, um den Metall-Liner freizulegen und einen Luftspalt auszubilden, der zwischen einer oberen Fläche des Metall-Liners und einer unteren Fläche der Gate-Dielektrikumschicht definiert ist; und
Abscheiden einer Phasenwechselschicht in dem Luftspalt und auf dem freiliegenden Abschnitt des Metall-Liners, der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen.

16. Verfahren nach Anspruch 15, das des Weiteren ein Ausbilden von Seitenwand-Abstandsele-

menten auf Seitenwänden der zweiten Hartmaske und auf dem Metall-Gate-Liner und der Gate-Dielektrikumschicht unter der zweiten Hartmaske vor dem Entfernen der Opferschicht aufweist.

17. Verfahren nach Anspruch 16, das des Weiteren aufweist:

Vertiefen der Phasenwechselschicht auf dem freiliegenden Abschnitt des Metall-Liners, der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen;
Ausbilden einer Dielektrikumabdeckungsschicht auf der vertieften Phasenwechselschicht;
Vertiefen der Dielektrikumabdeckungsschicht;
Ausbilden einer organischen Planarisierungsschicht auf der vertieften Dielektrikumabdeckungsschicht;
Strukturieren der organischen Planarisierungsschicht, um einen Abschnitt der Intrametall-Dielektrikumschicht und jeder der zumindest zwei Metallkontakt-Durchkontaktierungen freizulegen;
Ausbilden des einen oder der mehreren Metall-Gate-Kontakte durch Ausbilden eines oder mehrerer Gräben in der zweiten Hartmaske, um den Metall-Gate-Liner freizulegen; und
Abscheiden eines leitfähigen Materials in dem einen oder den mehreren Gräben.

Es folgen 12 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

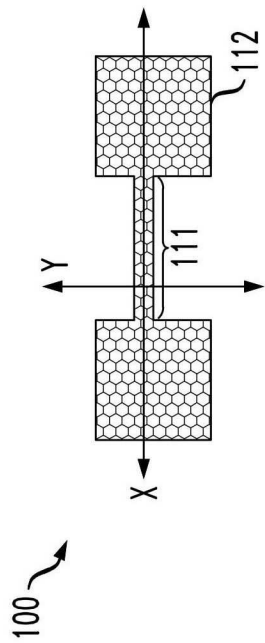
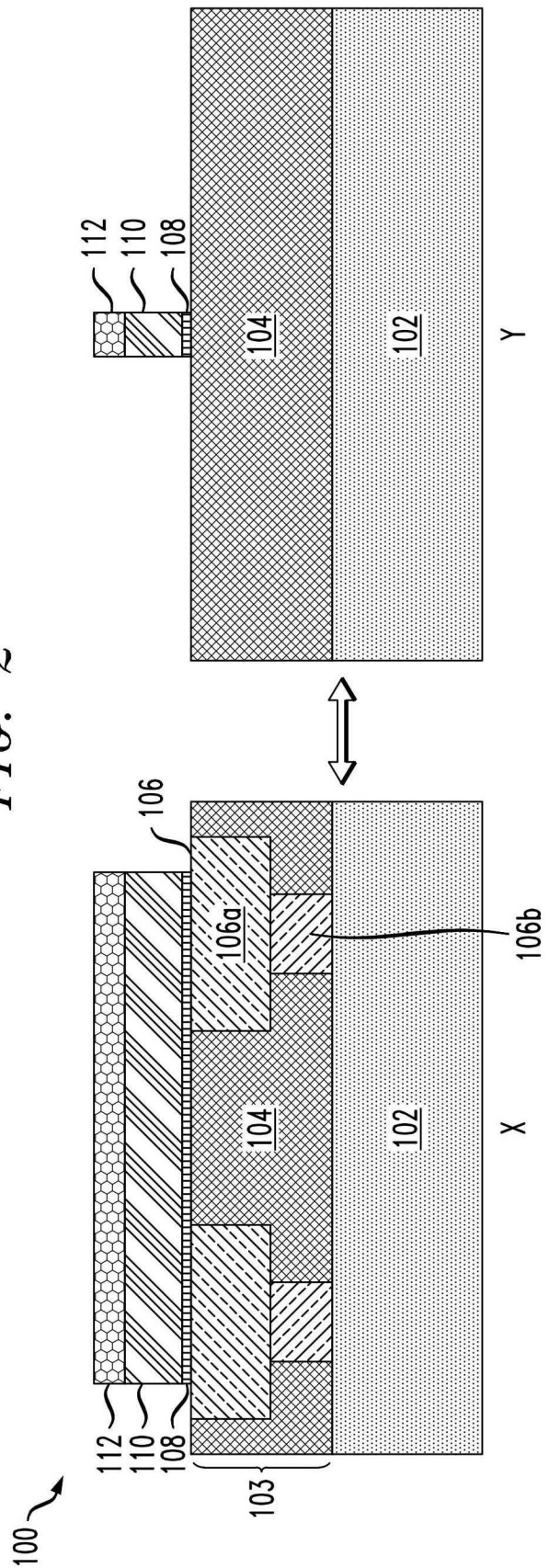


FIG. 2



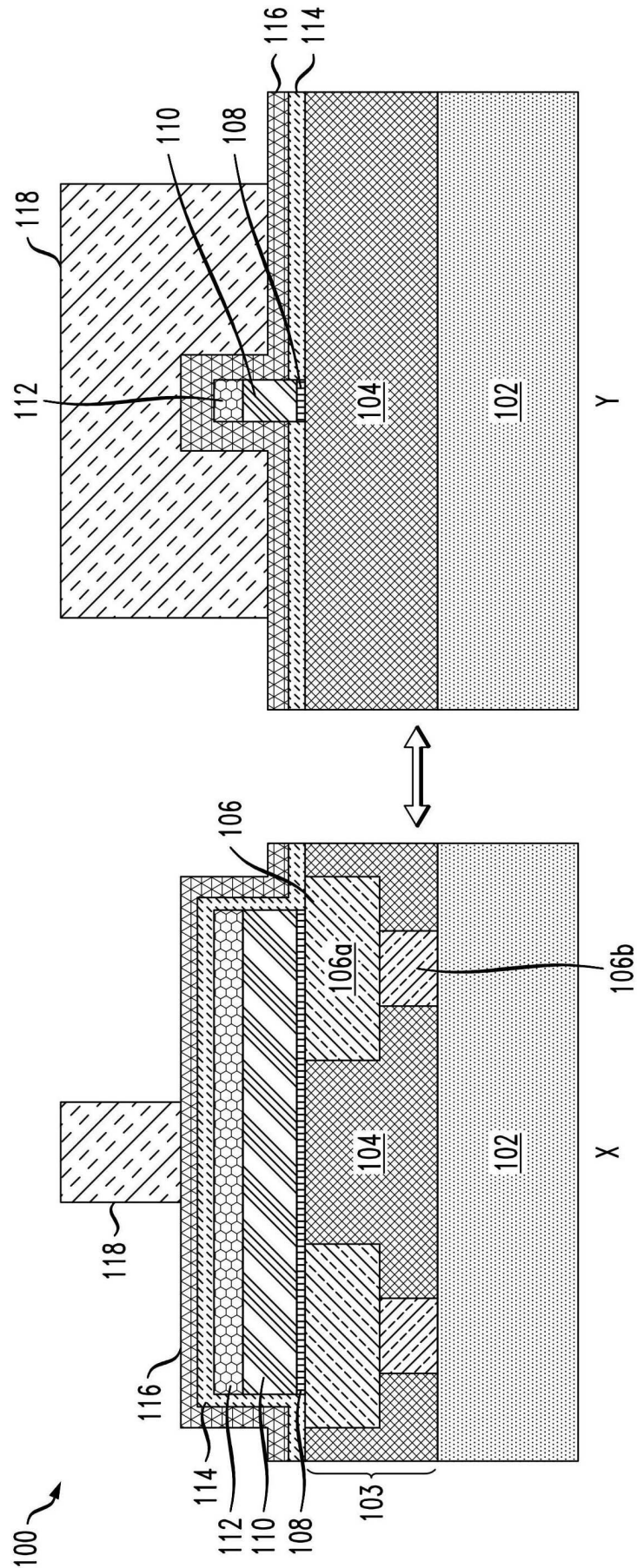


FIG. 3

FIG. 4

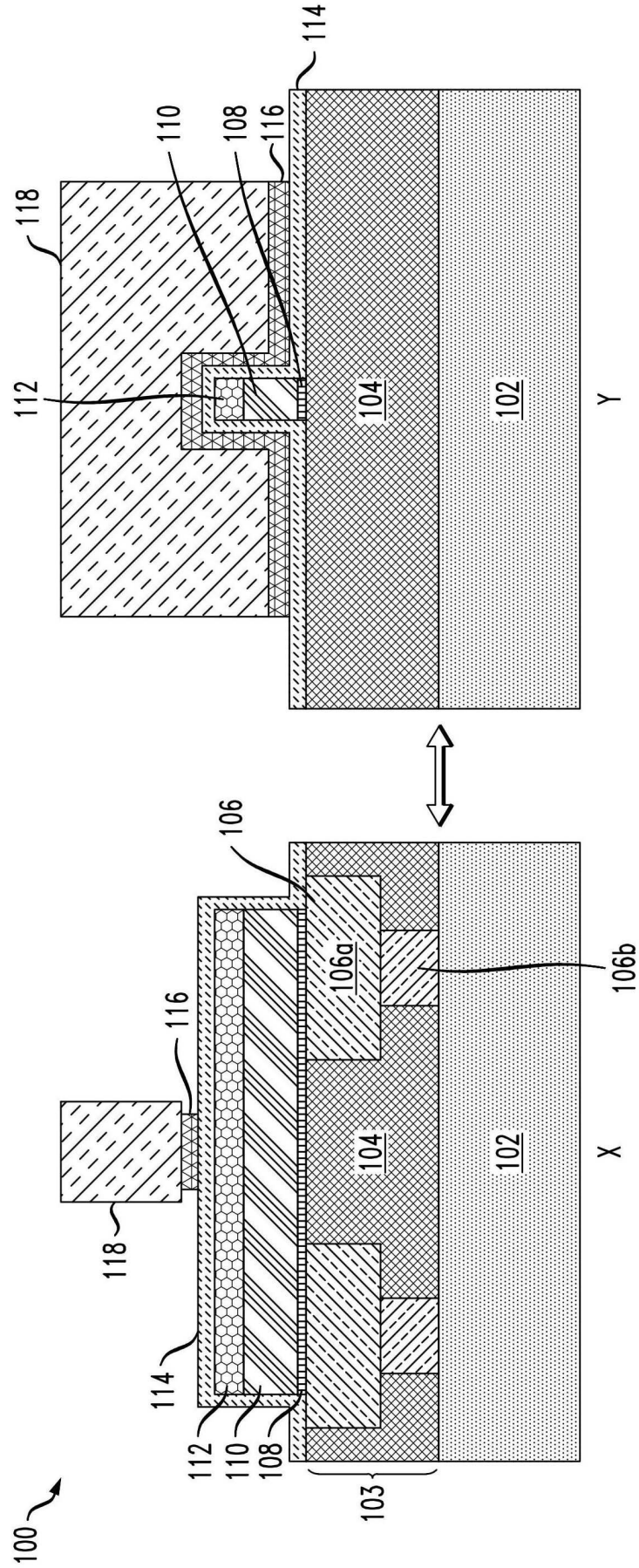


FIG. 5

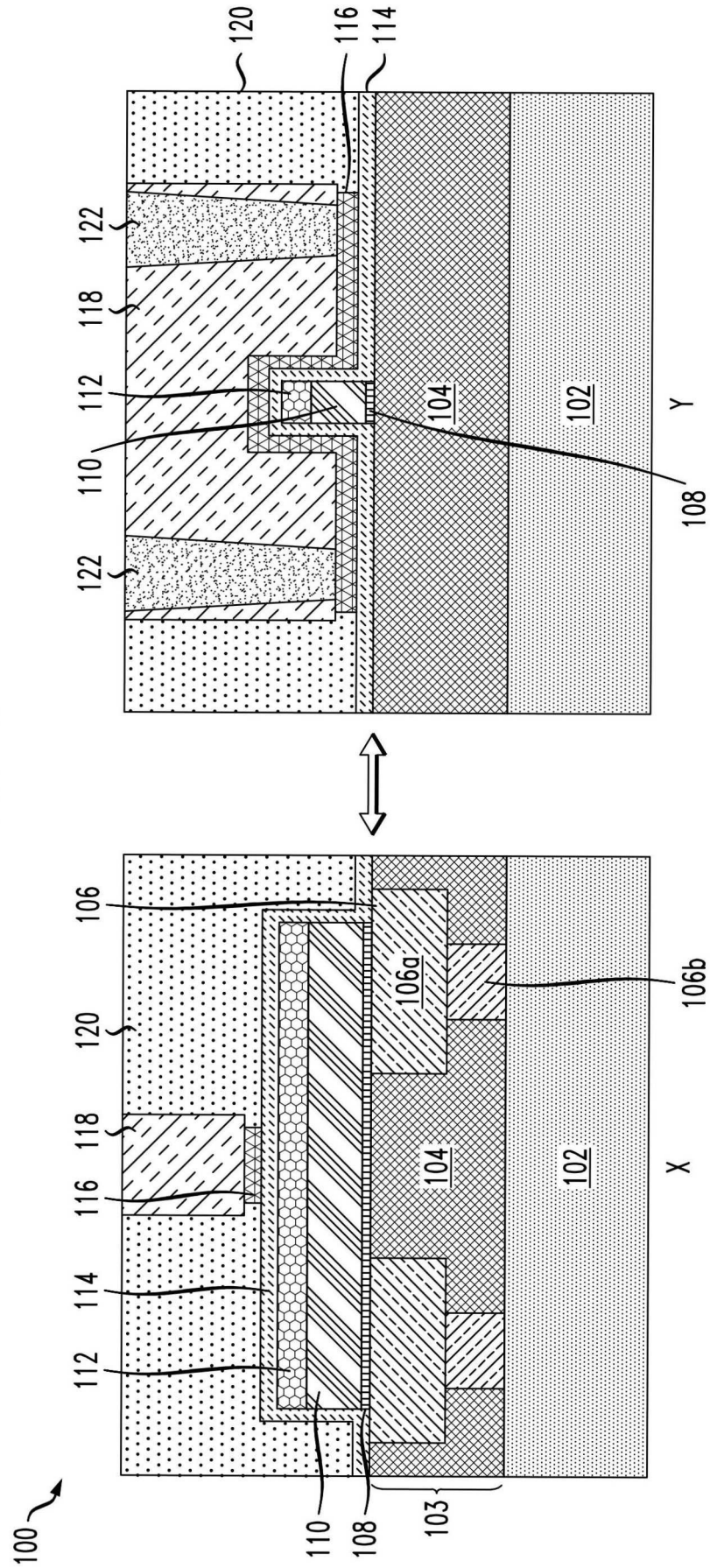
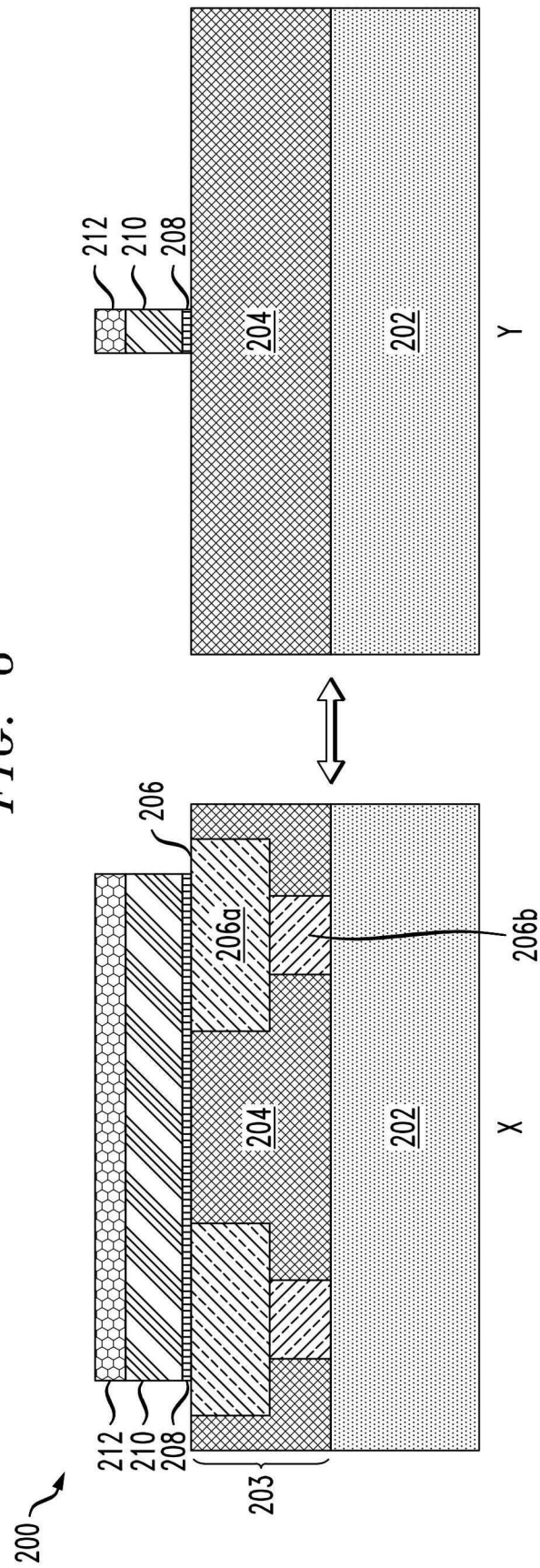


FIG. 6



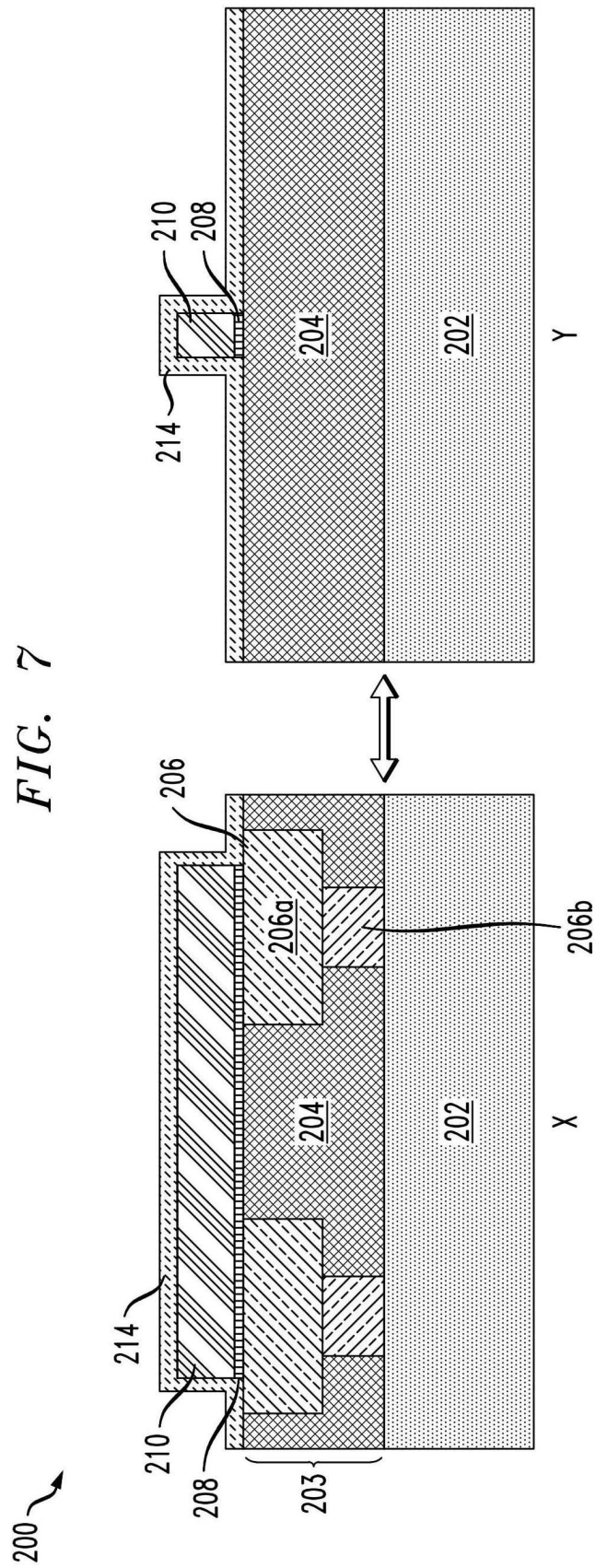


FIG. 8

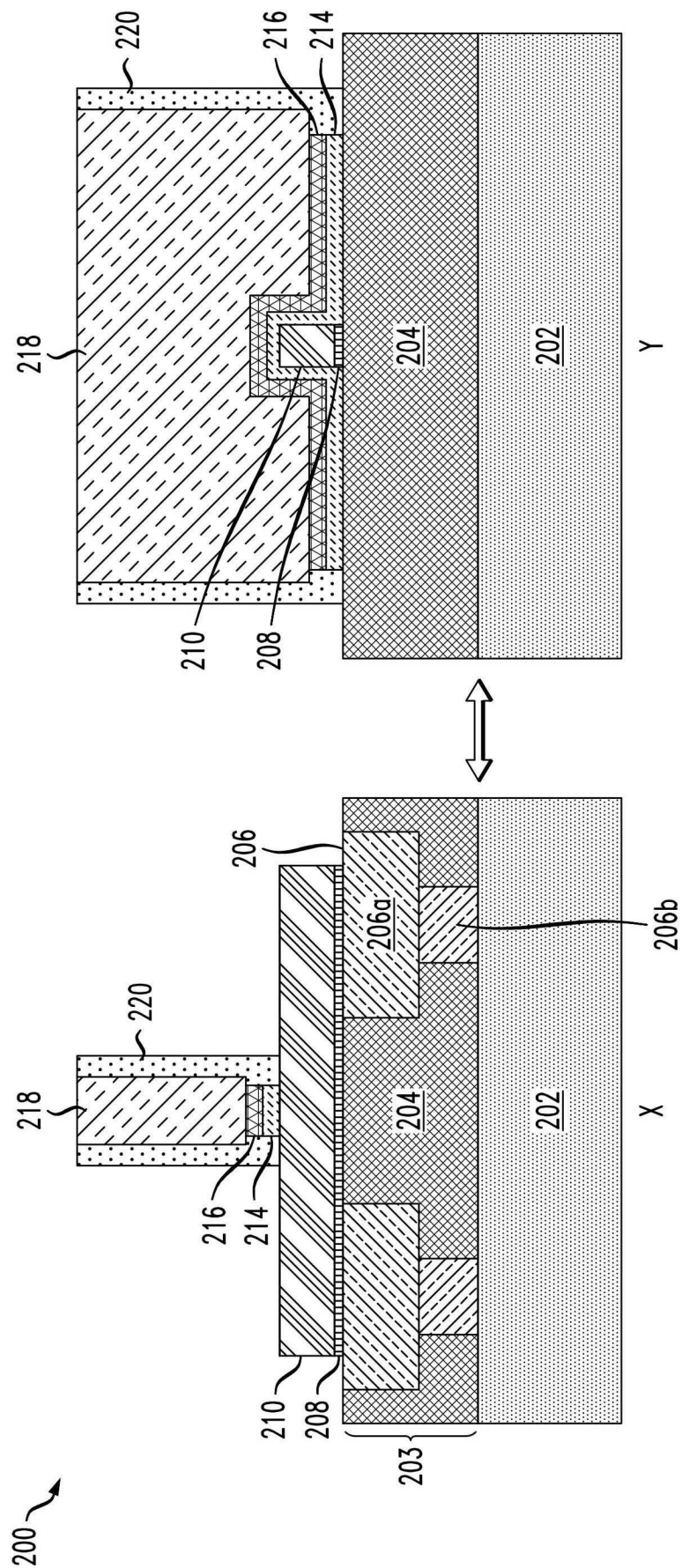


FIG. 9

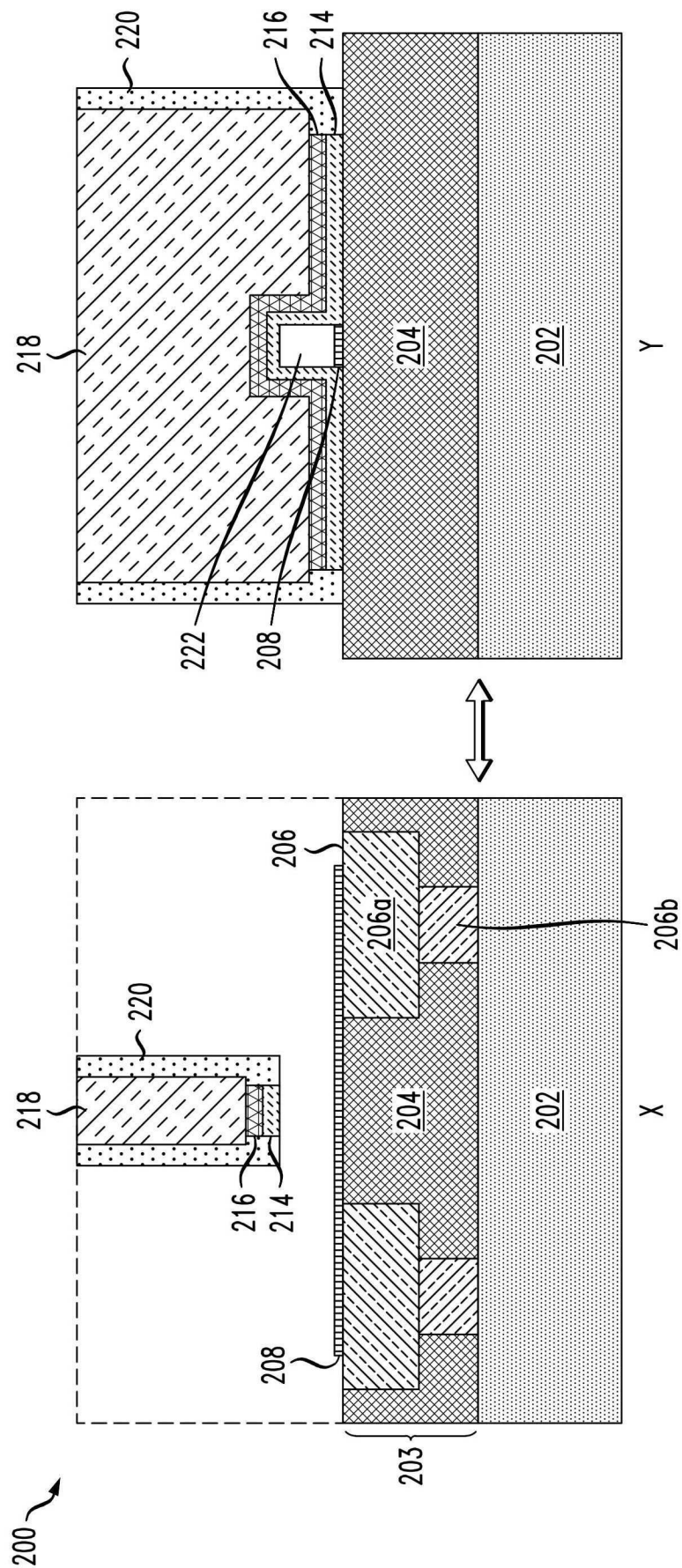


FIG. 10

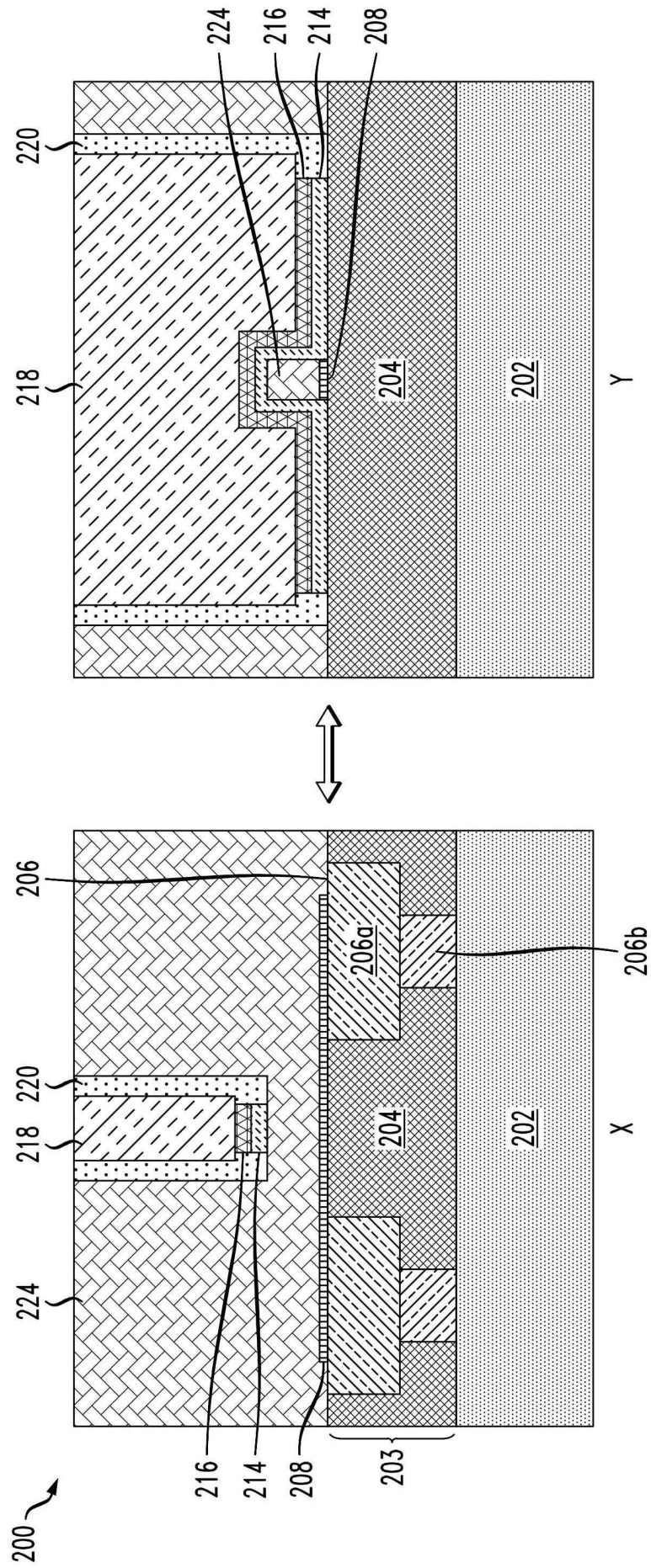


FIG. 11

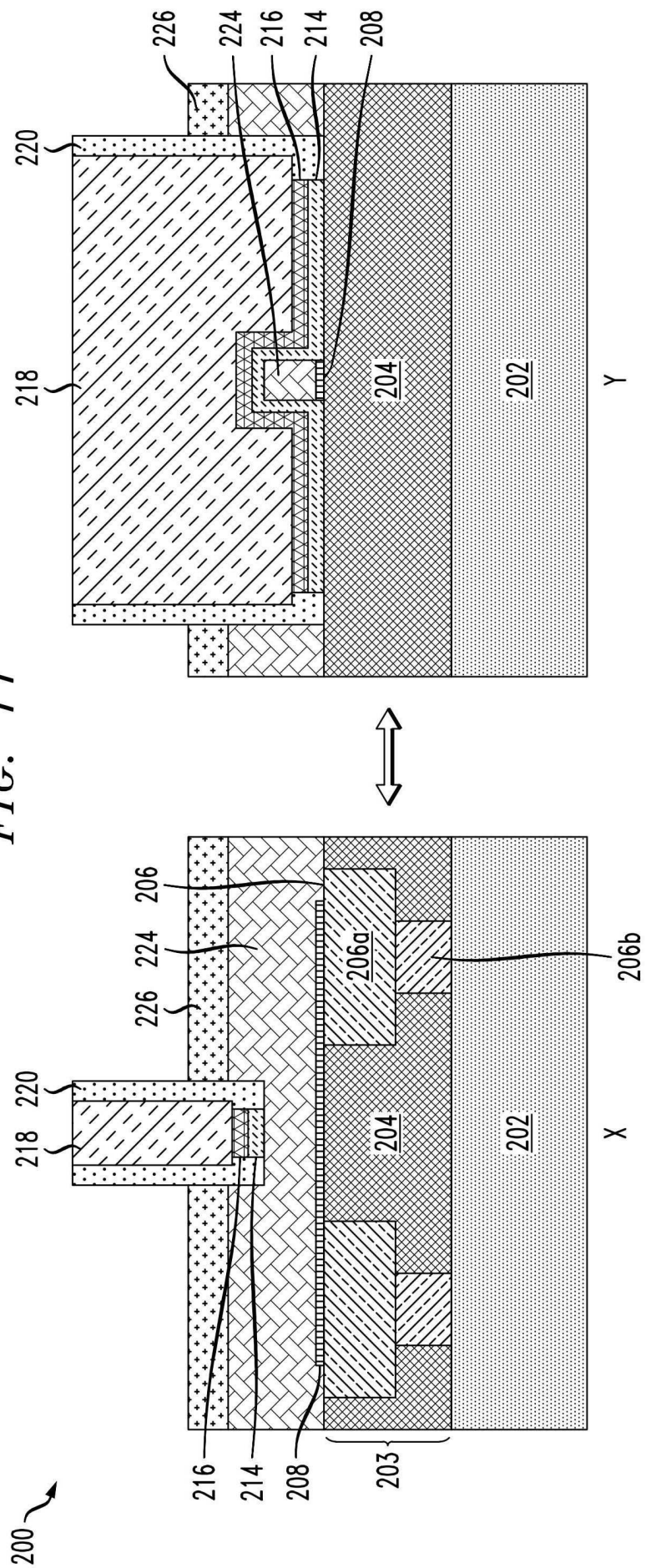


FIG. 12

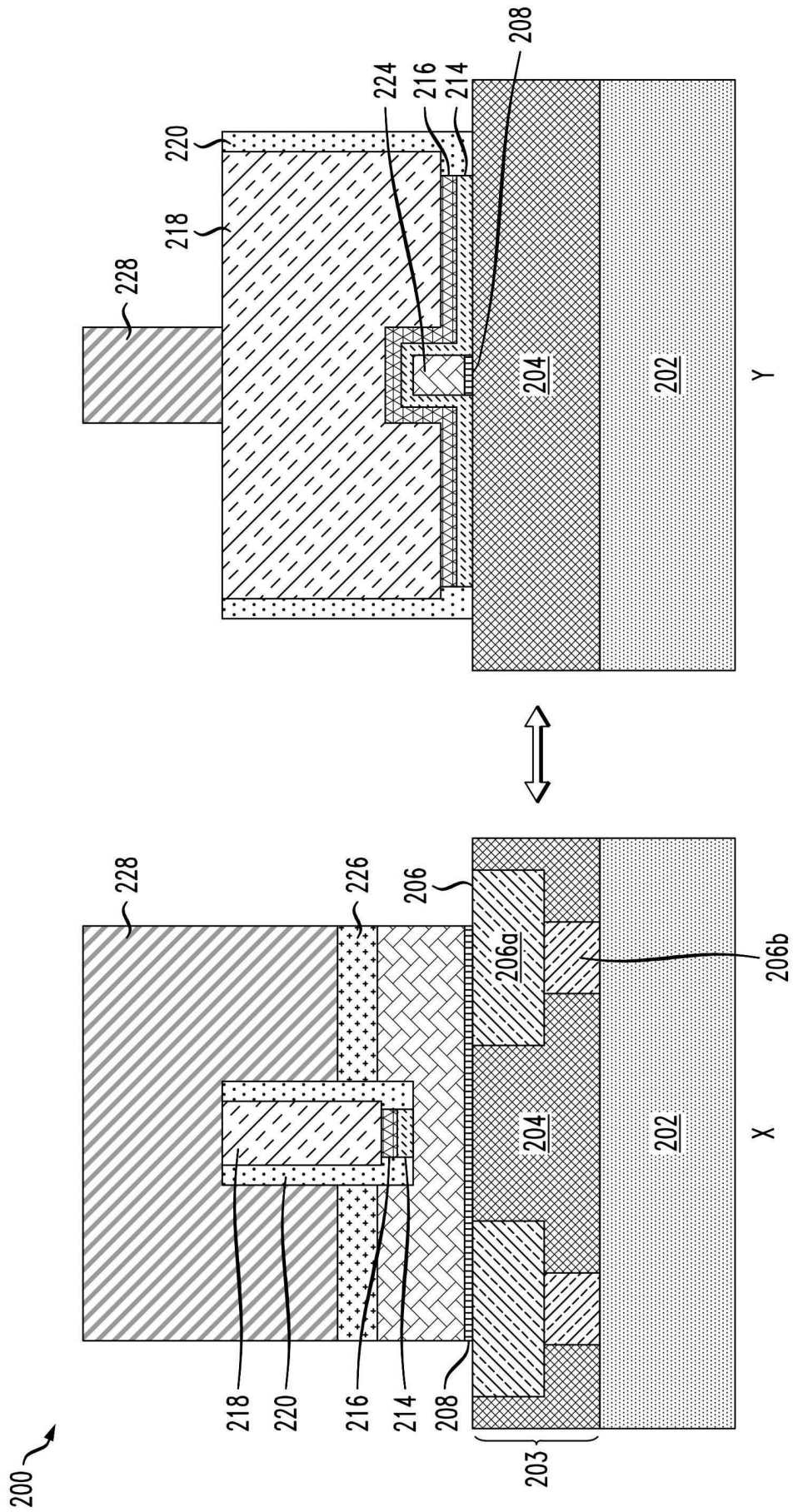


FIG. 13

