(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H02M 3/00

(11) 공개번호 특1994-0003152
(43) 공개일자 1994년02월21일

(21) 출원번호 특1993-0013665
(22) 출원일자 1993년07월20일
(30) 우선권주장 916,595 1992년07월20일 미국(US)
(71) 출원인 버어-브라운 코오퍼레이션 토마스 알, 브라운
미합중국 아리조나 85706 턱슨 사우스 턱슨 불러바드 6730
(72) 발명자 무로타 도시오
일본국 카나가와켄 이세하라 이시다 850
(74) 대리인 장용식

심사청구 : 없음

(54) 수정된 부호 절대값 디지탈-아날로그 변환기 및 그 작동방법

요약

수정된 부호 절대값 디지탈-아날로그 변환기(DAC)는 사인 비트를 포함하는 입력 워드와 디지탈 데이타 워드에 응답하는 제1비트 스위치 회로를 구비하는 제1내부 DAC 회로를 포함한다. 각 비트 스위치 회로는 대응 전류소오스 트랜지스터에 접속된다. 제2내부 DAC회로는 상기 입력 워드에 동일한 비트 스위치 회로를 포함한다. 제2내부 DAC회로의 각 비트 스위치 회로는 대응 전류 소오스 트랜지스터에 접속된다. 상기 디지탈 데이타워드의 비트에 대응하는 동일한 이진 가중 비트 전류 결정 저항 회로가 기준 전압 도체에 접속된다. 제1내부 DAC회로와 각 비트 스위치 회로의 전류 소오스 트랜지스터의 이미터는 제1이득 밸런스 저항에 의해서 대응 비트 전류 결정 저항에 접속된다. 제2내부 DAC회로의 각 비트 스위치 회로의 전류 소오스 트랜지스터의 이미터는 제2이득 밸런스 저항에 의해서 동일한 대응 비트 전류 저항에 접속된다. 비트 전류 결정 저항을 공유함으로써 그 요구되는 수가 반으로 줄어들며 또한 그 저항이 동일 비트 전류 절대값에 대해 반으로 되기 때문에 각각의 물리적 크기가 반으로 줄어들게 된다.

대표도

도1

명세서

[발명의 명칭]

수정된 부호 절대값 디지탈-아날로그 변환기 및 그 작동방법

[도면의 간단한 설명]

제1도는 본 발명의 수정된 부호 절대값 디지탈-아날로그 변환기의 블록도,

제2도는 본 발명의 바람직한 실시예에 있어서 각 비트에 대해서 동일 비트 전류 결정 저항을 공유하는 제1 및 제2내부 디지탈-아날로그 변환기섹션의 통상 비트 회로를 도시하는 개략 회로도,

제3도는 디지탈 입력 신호에 응답해서 발생되는 아날로그 출력 신호의 고조파 왜곡을 피하기 위해 제2도에서의 제1 제2 내부 디지탈-아날로그 변환기 섹션의 이득의 밸런스를 설명하는데 유용한 그래프,

제4도는 종래 부호 절대값 디지탈-아날로그 변환기의 내부 비트 회로의 회로도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

사인 비트를 포함하는 입력 워드와 디지탈 데이타 워드를 수신하는 부호 절대값 디지탈-아날로그 변환기(DAC)에 있어서, (a) 상기 입력 워드에 응답하고 각각이 대응 전류 소오스 트랜지스터(17)에 접속된 제1비트 스위치 회로(11,12)를 포함하는 제1내부 DAC회로 및 상기 입력 워드에 응답하고 각각이 대응 전류 소오스 트랜지스터(21)에 접속된 첫번째 비트 스위치 회로(11A,12A)를 포함하는 제2내부 DAC회로; 및 (b) 상기 디지탈 데이타 워드의 비트에 응답하고 각각이 기준 전압 도체 (-Vcc)와 그 비트에 대응하는 제1내부 DAC회로와 제2내부 DAC회로의 이미터 사이에 접속된 제1이진 가중 비트 전류 결정 회로의 결합으로 구성되는 것을 특징으로 하는 부호 절대값 디시탈-아날로그 변환기(33)

청구항 2

제1항에 있어서, 제1내부 DAC회로의 각각의 비트 스위치 회로에 대해서 상기 입력 워드의 각각의 가능값을 비트 스위치 입력 신호(35A)로 변환하는 제1그룹의 코드와 제2내부 DAC회로의 각각의 비트 스위치 회로에 대해서 상기 입력 워드의 각각의 가능값을 비트 스위치 입력 신호(35B)로 변환하는 제2그룹의 코드를 기억하는 디코딩 회로(31)를 포함하는 것을 특징으로 하는 부호 절대값 디시탈-아날로그 변환기.

청구항 3

제1항에 있어서, 상기 각각의 이진 가중 비트 전류 결정 저항 회로는 그의 대응 비트 스위치 회로에 대해서 비트 전류를 주로 결정하는 상대적으로 높은 저항의 비트 전류 결정 저항(30)과 상기 비트 전류 결정 저항의 일단과 각각이 그 비트에 대응하는 제1 및 제2내부 DAC회로의 전류 소오스 트랜지스터(15,16,19,20)의 이미터 사이에 각각 접속된 상대적으로 낮은 저항의 제1 및 제2이득 밸런스 저항(27,28)을 포함하는 것을 특징으로 하는 부호 절대값 디지탈-아날로그 변환기.

청구항 4

제3항에 있어서, 각각의 비트 전류 회로에서 비트 전류 결정 저항(37)과 제1 및 제2이득 밸런스 저항(27,28)이 레이저로써 트리밍 가능한 니크롬 저항인 것을 특징으로 하는 부호 절대값 디시탈-아날로그 변환기.

청구항 5

제4항에 있어서, 각각의 비트 스위치 회로는 현재 입력 워드의 사인 비트와 디지탈 데이타 워드의 대응 비트의 상태에 따라서 비트 스위치 신호를 수신하도록 접속된 게이트 전극, 전류 소오스 트랜지스터(17)의 콜렉터에 접속된 소오스, 및 전류 가산 도체(14)에 접속된 드레인을 구비하는 제1MOSFET(15)와 비트 스위치 신호의 논리적 보수를 수신하도록 접속된 게이트 전극, 전류 소오스 트랜지스터의 콜렉터에 접속된 소오스 전극, 및 비트 전류 웨이스트 도체(13)에 접속된 드레인을 구비하는 제2MOSFET(16)을 포함하는 것을 특징으로 하는 부호 절대값 디시탈-아날로그 변환기.

청구항 6

제5항에 있어서, 입력 워드의 모든 포지티브 값에 대하여 제1DAC회로의 모든 비트 스위치 회로(11,11A)가 "1"들을 공급하도록 스위치되어 가산 도체(14)내에 대응 바이폴라 제로 출력 전류 레벨을 공급하며, 보조 LBS비트 전류 회로 (37)는 추가적인 LSB전류가 가산도체(14) 내에 흐르도록 스위치되며, 디지탈데이타 워드내의 변이는 제2DAC회로 (12,12A)에 의해 전류 가산 도체(14)로 스위치되는 비트 전류에서의 변이를 발생시키므로써 가산 도체(14)내에서 흐르는 총 전류(I_{OUT})에서의 대응 변이를 발생시키며, 입력 워드의 모든 네가티드 값에 대해 제2DAC회로 (12,12A) 이 모든 비트 스위치 회로가 대응 비트 전류를 비트 전류 웨이스트 도체(13)로 스위치하도록 제로로 스위치되며, 디지탈 데이타에서의 변이는 대응하는 이진 가중 비트 전류를 바이폴라 제로 값이하의 출력 전류의 대응 변이를 발생하는 전류 가산 도체로 스위칭하는 제1DAC회로의 비트 스위치 회로에서의 대응 변이를 발생시키는 것을 특징으로 하는 부호 절대값 디지탈-아날로그 변환기.

청구항 7

사인 비트와 제1데이타 비트를 구비하는 입력 워드에 응답하는 제 1내부 DAC회로(DACA)와 제2내부 DAC회로(DACB), 상기 제1내부 DAC회로내의 제1비트 스위치 회로(11,11A) 및 대응 전류 소오스 트랜지스터(17), 상기 제2내부 DAC회로내의 첫번째 비트 스위치 회로(12,12A) 및 대응 전류 소오스 트랜지스터(21), 제1이진 가중 비트 전류 결정 저항(30), 및 상기 제1저항의 두배 같은 제2이득 밸런스 저항(27,29)을 포함하는 디지탈-아날로그 변환기의 작동 방법이 다음과 같은 단계, 즉 (a) 제1DAC회로[DACA]에 대해서 대응하는 이득 밸런스 저항(27)중 하나에 의해서 각 비트의 전류 소오스 트랜지터의 이미터를 대응하는 이진 가중 비트 전류 결정 저항(30)의 제1터미날에 접속하며, 각 비트 전류 결정 저항의 제2터미날은 제2기준 전압 도체[-Vcc]에 접속되는 단계; 및 (b) 바이어스 전압[V_{BLAS}]을 이진 가중 비트 전류가 비트 전류 결정 저항내에서 흐르도록 각자의 전류 소오스 트랜지스터 (17,21)의 베이스에 인가하며, 이득 밸런스 저항은 제1 및 제2DAC회로의 밸런스 이득을 발생하도록 트림되는 단계;를 포함함으로써 전류 소오스 트랜지스터의 베이스와 이미터간의 전압 차이에도 불구하고 제1 및 제2내부 DAC회로의 대응 비트 스위치 회로를 통해 동일한 비트 전류가 흐르는 것을 특징으로 하는 부호 절대값 디지탈-아날로그 변환기의 작동 방법.

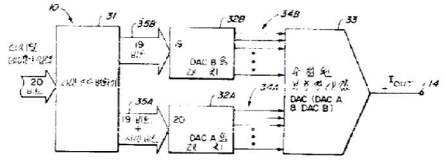
청구항 8

사인 비트와 제1데이타 비트를 포함하는 입력 워드를 아날로그 신호로 변환하는 디지탈-아날로그 변환기(DAC)의 작동 방법이 다음과 같은 단계, 즉 (a) 각각이 제1비트 스위치 회로(11,11A,12,12A)를 포함하는 제1내부 DAC회로(DACA) 및 제2내부 DAC회로(DACB)를 제공하는 단계 ; (b) 각각의 제1이진 가중 비트 전류 결정 저항(30) 내의 전류를 제 1내부 DAC회로의 대응 비트 스위치 회로(11)와 제2내부 DAC회로의 대응 비트 스위치회로(12)와 공유하는 단계; 및 (c) 비트 전류 결정 저항(30)을 제1 및 제2내부 DAC회로의 대충 비트 스위치 회로 (11,12)에 접속시키는 제1 및 제2이득 밸런스 저항(27,28)에 의해서 공유된 전류를 수송하는 대응 비트 스위치 회로 사이에서 각 비트 전류 결정 저항(30)내의 전류 부분을 동일하게 배런스하는 단계;를 포함하는 것을 특징으로 하는 부호 절대값 디지탈-아날로그 변환기의 작동 방법.

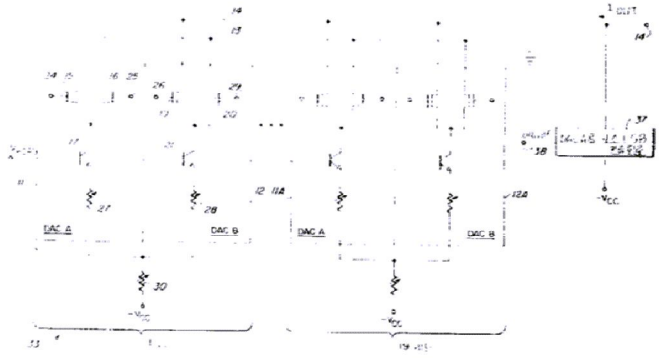
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

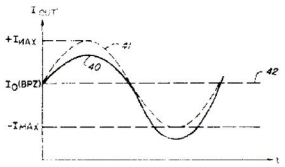
도면1



도면2



도면3



도면4

