

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 26 日 (26.02.2004)

PCT

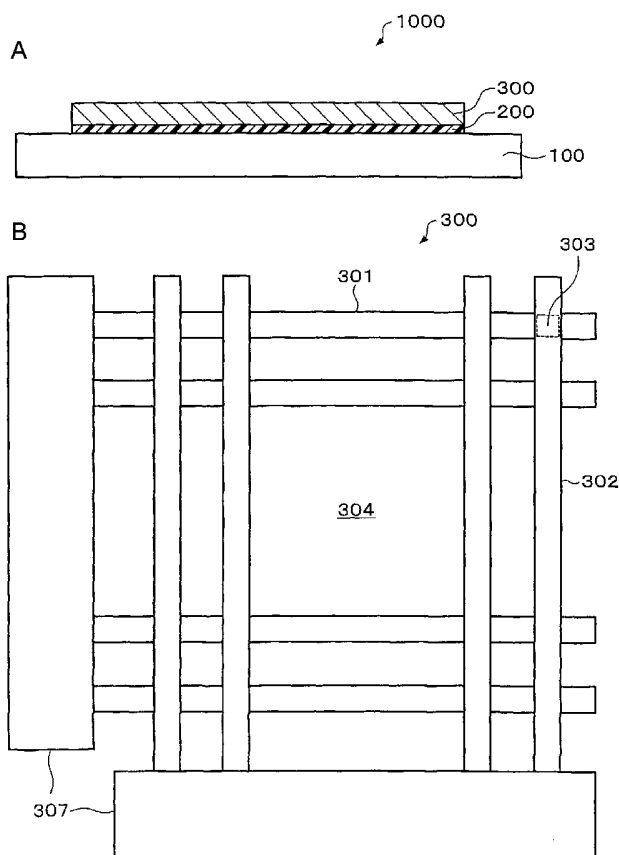
(10) 国際公開番号
WO 2004/017410 A1

- (51) 国際特許分類: H01L 27/105, 27/12
(21) 国際出願番号: PCT/JP2003/010306
(22) 国際出願日: 2003 年 8 月 13 日 (13.08.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-238014 2002 年 8 月 19 日 (19.08.2002) JP
(71) 出願人: セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都 新宿区 西新宿 2 丁目 4 番 1 号 Tokyo (JP).
(72) 発明者: 名取 栄治 (NATORI, Eiji); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式
会社内 Nagano (JP). 下田 達也 (SHIMODA, Tatsuya); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP). 木島 健 (KIJIMA, Takeshi); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP).
(74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都 杉並区 荻窪 5 丁目 2 番 13 号 荻窪 T M ビル 2 階 Tokyo (JP).
(81) 指定国 (国内): JP.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
添付公開書類:
— 国際調査報告書

/ 続葉有 /

(54) Title: FERROELECTRIC MEMORY AND ITS MANUFACTURING METHOD

(54) 発明の名称: 強誘電体メモリおよびその製造方法



(57) Abstract: A ferroelectric memory comprises a substrate (100) and a sheet-like device (300) provided over the substrate (100) with an adhesive layer (200) interposed therebetween. The sheet-like device (300) has a memory cell array (304) where a ferroelectric layer is formed at least at the intersections (303) of lower electrodes (301) linearly formed and upper electrodes (302) linearly formed and a peripheral circuit portion (307) for the memory cell array (304).

(57) 要約: 本発明の強誘電体メモリは、基体 100 と、基体 100 上に接着層 200 を介して形成されたシート状デバイス 300 とを含んで構成される。また、シート状デバイス 300 は、ライン状に形成された複数の下部電極 301 及び上部電極 302 の少なくとも交叉領域 303 に強誘電体層が配置されたメモリセルアレイ 304 と、前記メモリセルアレイ 304 用の周辺回路部 307 と、を含んで構成される。



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

強誘電体メモリおよびその製造方法

5 [技術分野]

本発明は、強誘電体メモリおよびその製造方法に関する。

[背景技術]

近年、自発分極によりデータを保持することができる強誘電体キャパシタを用いた
10 強誘電体メモリ（F e R A M）が注目されている。強誘電体メモリの中で、いわゆる
クロスポイント型と呼ばれるものは、セルサイズが小さく、多層化による高集積化が
期待できる。しかし、強誘電体メモリの多層化には次のような課題がある。

強誘電体メモリの製造プロセスでは、例えば、層間絶縁膜の形成工程などのように、
水素が大量に発生する加熱プロセスが必要とされる。それゆえ、多層化を行うとこれ
15 らの工程を繰返し行うため、強誘電体材料として例えば、酸化物を用いた場合、酸化
物が還元され、デバイスへのダメージが大きい。このため、水素が発生する加熱プロ
セスを要せずに、強誘電体メモ리를多層化できる新たな技術が望まれている。

[発明の開示]

20 本発明の目的は、新規な構造を有し、例えば、薄型である強誘電体メモリおよびそ
の製造法を提供することにある。

本発明に係る強誘電体メモリは、基体と、該基体上に接着層を介して形成されたシ
ート状デバイスとを含み、前記シート状デバイスは、ライン状に形成された複数の下
部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルア
25 レイと、前記メモリセルアレイ用の周辺回路部と、を含む。

[図面の簡単な説明]

図 1 A は、本発明の実施形態に係る第 1 の強誘電体メモリを模式的に示す断面図である。図 1 B は、本発明の実施形態に係る第 1 の強誘電体メモリのシート状デバイスを模式的に示す図である。

5 図 2 A ～図 2 C は、本発明の実施形態に係る第 1 の強誘電体メモリの製造工程を模式的に示す図である。

図 3 A は、本発明の実施形態に係る第 1 の強誘電体メモリの変形例 1 を模式的に示す断面図である。図 3 B は、本発明の実施形態に係る第 1 の強誘電体メモリの変形例 2 を模式的に示す断面図である。

10 図 4 A ～ 4 C は、本発明の実施形態に係る第 1 の強誘電体メモリの変形例 1 の製造工程を模式的に示す図である。

図 5 A ～図 5 C は、本発明の実施形態に係る第 1 の強誘電体メモリの変形例 1 の製造工程を模式的に示す図である。

15 図 6 は、本発明の実施形態に係る第 2 の強誘電体メモリを模式的に示す断面図である。

図 7 は、本発明の実施形態に係る第 2 の強誘電体メモリの変形例を模式的に示す断面図である。

図 8 は、本発明の実施形態に係る第 3 の強誘電体メモリを模式的に示す断面図である。

20 図 9 は、本発明の実施形態に係る第 3 の強誘電体メモリの変形例を模式的に示す断面図である。

図 10 A ～図 10 C は、本発明の実施形態に係る第 3 の強誘電体メモリの製造工程を模式的に示す図である。

25 図 11 A ～図 11 C は、本発明の実施形態に係る第 4 の強誘電体メモリの製造工程を模式的に示す図である。

図 12 A ～図 12 D は、本発明の実施形態に係る第 4 の強誘電体メモリの製造工程を模式的に示す図である。

図1 3は、本発明の実施形態に係る第4の強誘電体メモリの製造工程の実施例に係るメモリセルアレイの電子顕微鏡写真を示す図である。

図1 4は、本発明の実施形態に係る第4の強誘電体メモリの製造工程の実施例に係るメモリセルアレイのヒステリシス特性を示す図である。

5

[発明を実施するための最良の形態]

(1) 本実施の形態に係る強誘電体メモリは、基体と、該基体上に接着層を介して形成されたシート状デバイスとを含み、前記シート状デバイスは、ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置
10 されたメモリセルアレイと、前記メモリセルアレイ用の周辺回路部と、を含む。

本実施の形態の強誘電体メモリによれば、メモリセルアレイ及び周辺回路部は、シート状デバイスとして平面的に配置されている。また、かかるシート状デバイスは、メモリセルアレイ及び周辺回路部が通常形成される基板とは異なる基体上に接着層を介して形成される。このため、任意の厚さあるいは材質の基体を選択することができ、例えば、デバイス全体の厚みを薄くしたり、デバイスに可とう性を持た
15 せることができる。このため、本実施の形態によれば、新規な薄型構造の強誘電体メモリを実現することができる。

なお、本明細書において、「メモリセルアレイ」とは、ライン状に形成された下部電極および上部電極の交叉領域において強誘電体層が配置された強誘電体キャ
20 パシタからなるメモリセルがマトリクス状に配置されたものをいう。

また、「周辺回路」とは、前記メモリセルに情報を書き込むための回路及び前記メモリセルから情報を読み出すための回路を少なくとも含むものである。

また、接着層は、基体と異なる層である場合に限らず、基体と一体となって形成されていてもよい。例えば、基体材料の性質を用いて接合した場合、基体の表面付
25 近の層が上記接着層に含まれる。

(2) また、本実施の形態に係る強誘電体メモリは、基体と、該基体上に接着層

を介して形成されたシート状デバイスとを有する積層体を含み、前記積層体は、複数積層され、前記シート状デバイスは、ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイと、前記メモリセルアレイ用の周辺回路部と、を含む。

- 5 本実施の形態の強誘電体メモリによれば、基体およびシート状デバイスを含む積層体の厚みを薄くすることができるため、新規な構造であって、例えば、デバイス全体を薄型としたり、デバイスに可とう性を持たせつつ高集積化が可能である。

10 (3) また、本実施の形態に係る強誘電体メモリは、基体と、該基体上に接着層を介して複数積層されたシート状デバイスとを含み、前記シート状デバイスは、ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイと、前記メモリセルアレイ用の周辺回路部と、を含む。

15 本実施の形態の強誘電体メモリによれば、シート状デバイスが接着層を介して複数積層されて構造される。このため、シート状デバイスを積層して集積化しつつもデバイス全体の厚みをより薄くすることができる。従って、本実施の形態に係る強誘電体メモリによれば、新規な構造であって、例えば、デバイス全体を薄型としたり、デバイスに可とう性を持たせつつ高集積化が可能である。

 また、本実施の形態に係る強誘電体メモリは、以下の態様を取り得る。

20 (A) 上記強誘電体メモリと、シート状に形成された演算処理デバイスとを積層することができる。

 かかる態様によれば、新規な薄型構造のメモリデバイスおよび演算処理デバイスを含む混載型デバイスを高集積化することができる。

 (B) 積層された前記シート状デバイス間には、スルーホールが設けられた絶縁性基材を配置することができる。

25 かかる態様によれば、積層された各デバイス間が絶縁性基材に設けられたスルーホールを介して電氣的に接続されるため、デバイスの実装面積を小さくすることができるとともに、配線長を短くすることができ、デバイスの高速駆動化が可能であ

る。

(C) 前記絶縁性基材は、少なくとも一方の表面または該絶縁性基材の内部に配線層を有することができる。

かかる態様によれば、積層されたデバイス間または各デバイス内での配線を絶縁性基材において行うため、各デバイスの配線構造を簡略化することができる。

(4) 本実施の形態に係る強誘電体メモリの製造方法は、光を透過可能な第1の基体の上に該光を吸収して変性する分離層を形成すること、前記分離層の所定部分の上にライン状の複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイを形成すること、前記分離層の前記所定部分とは異なる部分の上に、前記メモリセルアレイ用の周辺回路部を形成すること、前記メモリセルアレイ及び前記周辺回路部を含むシート状デバイスと第2の基体とを少なくとも接着層を介して接合すること、前記第1の基体の一方の面から前記分離層に光を照射して前記シート状デバイスを前記第1の基体から剥離すること、を含む。

本実施の形態に係る強誘電体メモリの製造方法では、光を透過する性質を有する第1の基体上に分離層を形成し、かかる分離層の上に、メモリセルアレイ及び該メモリセルアレイ用の周辺回路部を形成する。

次に、メモリアレイ及び周辺回路部を含むシート状デバイスと第2の基体とを接着層により接合し、第1の基体裏面から分離層に光を照射して、分離層においてシート状デバイスを第2の基体とともに剥離する。かかるシート状デバイスの剥離は、光を透過する第1の基体を通じて分離層に光を照射し、この分離層を変性させることにより行うことができる。この場合、分離層は、照射される光を吸収し、アブレーションによってその層内や界面において剥離を生じるような性質を有するものを用いることができる。また、光の照射により、分離層から気体が放出され、分離効果が発現される場合もある。

また、第2の基体については、特に限定されないが、第1の基体から剥離した後の取扱いの利便性等を考慮して選択される。

従って、本実施の形態に係る強誘電体メモリの製造方法によれば、シート状デバ

イスが形成される第1の基体からシート状デバイスを剥離することによって、新規な薄型構造の強誘電体メモリを製造することができる。

本実施の形態に係る強誘電体メモリの製造方法は、以下の態様を取り得る。

(D) 前記第1の基体から剥離された、前記第2の基体及び前記シート状デバイスを含む積層体を、複数積層することを含むことができる。

かかる態様によれば、シート状デバイスを第2の基体を含む積層体ごとに積層していくため、工程途中での取扱性がよく簡便な工程により、強誘電体メモリの多層化による高集積化が図れる。

(E) 前記第1の基体から剥離された前記シート状デバイスと、他の第1の基体の上に分離層を介して形成されたシート状デバイスとを、接着層を介して接合して、前記他の第1の基体の一方の面から光を照射することにより該他の第1の基体を剥離することを含み、この工程を1回若しくは2回以上繰返し行うことにより、前記第2の基体上に前記シート状デバイスを複数積層することを含むことができる。

かかる態様によれば、シート状デバイスを接着層を介して第2の基体に積層していく。積層される各シート状デバイスは非常に薄型であるため、積層した状態でも新規な薄型構造の強誘電体メモリを製造することができる。

また、かかる(D)及び(E)に示す態様によれば、シート状デバイスの多層化に際して、例えば、層間絶縁膜等の形成工程など素子の各部への負荷が大きいプロセスを省略することができ、各シート状デバイスの特性を担保しつつ多層化して集積化することができる。

(5) また、本実施の形態に係る強誘電体メモリの製造方法は、光を透過可能な第1の基体及び第2の基体の上に該光を吸収して変性する分離層をそれぞれ形成すること、前記第1の基体の前記分離層の上にライン状の複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイを形成すること、前記第2の基体の前記分離層の上に、前記メモリセルアレイ用の周辺回路部を形成すること、前記メモリセルアレイ及び前記周辺回路部を少なくとも接着層を介してそれぞれ第3の基体と接合すること、前記第1の基体及び前記第2の基体

の一方の面から各前記分離層に光を照射して前記メモリセルアレイ及び前記周辺回路部を該第1の基体及び該第2の基体からそれぞれ剥離すること、を含む。

本実施の形態に係る強誘電体メモリの製造方法によれば、メモリセルアレイを第1の基体上に作製し、周辺回路部を第2の基体上に作製する。すなわち、メモリセルアレイ及び周辺回路部を別々の基体上に作製した後に、双方を第3の基体上に接着して元の基体を剥離することによって薄型の強誘電体メモリを製造することができる。

従って、本実施の形態の強誘電体メモリの製造方法によれば、製造工程の異なるメモリセルアレイと周辺回路部を別個独立の基体に形成するため、製造工程全体のスループットが向上する。また、第3の基体上におけるメモリセルアレイと周辺回路部との配置関係を自由に設定することができ、デバイスの設計自由度が増す。

また、本実施の形態に係る強誘電体メモリの製造方法は、前記第1の基体及び前記第2の基体から剥離された、前記メモリセルアレイ及び前期周辺回路部を含むシート状デバイスと、前記第3の基体とを含む積層体を、複数積層することを含むことができる。

本実施の形態の強誘電体メモリの製造方法によれば、シート状デバイスを第3の基体を含む積層体ごとに、積層していく。このため、かかる製造方法によれば、積層体の取扱性がよいため、工程を簡便化することができるとともに、多層化による高集積化が図れる。また、この製造方法によれば、シート状デバイスの多層化に際して、例えば、層間絶縁膜等の形成工程など素子の各部への負荷が大きいプロセスを省略することができ、各シート状デバイスの特性を担保しつつ多層化して集積化することができる。

(6) また、本実施の形態の強誘電体メモリの製造方法は、強誘電体材料より熱膨張率の小さい第1の基体の上に、ライン状の複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイを含む第1積層体を形成すること、前記第1積層体に対して第1の熱処理を施した後に冷却して、前記第1積層体中に歪みを発生させ、その後第2の熱処理により前記メモリセルアレイ

を第1の基体から剥離すること、光を透過可能な第2の基体の上に該光を吸収して変性する分離層を形成してから、その上に前記メモリセルアレイ用の周辺回路を含む第2積層体を形成すること、前記第2積層体の前記周辺回路側と第3の基体とを接合すること、前記第2積層体の第2の基体側から光を照射して前記分離層を変性
5 させて、前記周辺回路を前記第2の基体から剥離すること、前記第3の基体の上に第1の基体から剥離された前記メモリセルアレイを接合すること、を含む。

本実施の形態の強誘電体メモリの製造方法では、第1積層体については、第1の熱処理及びその後の冷却により第1積層体中に歪みを発生させる。そして、その後の第2の熱処理時には、歪みを含むメモリセルアレイと第1の基体との膨張
10 量の差が大きくなることで、メモリセルアレイが第1の基体から剥離する。さらに第2積層体については、光によって変性する分離層に光を照射することにより周辺回路を剥離することができる。

これにより、本実施の形態の製造方法では、水素発生プロセスをできるだけ低減してメモリセルアレイを形成することができるため、メモリセルアレイと周辺回路
15 とを連続的に形成する場合に比べて、メモリセルアレイにおける特性劣化を防止することができる。また、メモリセルアレイを剥離するための第2の熱処理では、熱負荷により発生する歪みに基づく応力を緩和させることができるため、第1の熱処理で導入した歪みを解消させつつメモリセルアレイの剥離を行うことができる。

また、本実施の形態の強誘電体メモリの製造方法では、前記第1の熱処理を、少
20 なくとも前記第1の基体に歪みが発生する温度より低い温度で行い、前記第2の熱処理を、前記第1の熱処理と同じあるいは前記第1の熱処理より低い温度で行うことができる。これにより、第1の熱処理では、第1積層体中のメモリセルアレイにのみ歪みを発生させることができ、その後の第2の熱処理中にメモリセルアレイと第1の基体との間の膨張量の差を大きくすることができる。さらに、第2の熱処理
25 では、第1の熱処理と同等もしくはそれより低い温度でも十分な膨張量の差を確保することができるため、メモリセルアレイへの負担が少なくなり熱負荷による特性劣化も低減できる。

以下、本発明に好適な実施の形態について、図面を参照しながらより詳細に説明する。

1. 第1の強誘電体メモリおよびその製造方法

1. 1 デバイスの構造

5 図1Aは、本発明の実施形態に係る第1の強誘電体メモリ1000を模式的に示す断面図である。

本実施形態に係る第1の強誘電体メモリ1000は、フレキシブル基体100上に接着層200を介してシート状デバイス300が形成されて構成される。

10 フレキシブル基体100は、特に限定されないが、第1の強誘電体メモリ1000の適用性を高めるために可とう性を有するものを選択することができる。これは、将来、例えばICカード等のデバイスの可とう性が要求される市場が活性化することが予想され、強誘電体メモリの分野においても可とう性を持たせることで適用範囲を広げることが必要となる。このようなフレキシブル基体100としては、例えば、合成樹脂、薄板の金属などが挙げられる。また、可とう性を有しないものを選択する場合は、基体として、例えば、ガラス基板や半導体基板なども用いることができる。

15 接着層200は、例えば、反応硬化型接着剤、熱硬化型接着剤、および紫外線硬化型接着剤等の光硬化型接着剤などの各種接着剤が挙げられる。また、接着層200は、フレキシブル基体100と異なる層として形成される場合に限られず、フレキシブル基体100と一体となって形成されていても良い。例えば、フレキシブル基体100の表面の性質を利用して熱圧着等によりシート状デバイス300を該フレキシブル基体100と接着するような場合が挙げられる。

20 シート状デバイス300は、図1Bに示すように、メモリセルアレイ304とメモリセルアレイ304用の周辺回路部307とがフレキシブル基体100上の異なる領域に配置されて構成されている。

メモリセルアレイ304は、ライン状に形成された下部電極301及び上部電極302が交叉するように配置され、かかる交叉領域303に強誘電体層(図示省略)

が配置されたメモリセルをマトリクス状に複数配置して構成される。

また、メモリセルアレイ 304 において、下部電極 301 は、行選択のためのワード線として機能し、上部電極 302 は、列選択のためのビット線として機能する。なお、下部電極 301 および上部電極 302 は、下部電極 301 がワード線として機能し、上部電極 302 がビット線として機能するように形成しても良い。

周辺回路部 307 は、少なくとも、メモリセルアレイ 304 の各メモリセルに情報を書き込み、または各メモリセルから情報を読み出す機能を有する。周辺回路部 307 は、下部電極 301 及び上部電極 302 を選択的に制御するための駆動回路や信号検出回路等を含み、その具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、またはアドレスバッファなどを挙げられる。

また、周辺回路部 307 は、例えば、薄膜トランジスタ (TFT: Thin Film Transistor) やその他の薄膜半導体素子から形成することにより、薄型で形成することができる。

このように、本実施形態に係る第 1 の強誘電体メモリ 1000 は、メモリセルアレイ 304 及び周辺回路部 307 が通常形成される基板とは異なるフレキシブル基体 100 上に接着層 200 を介して形成される。また、フレキシブル基体 100 は予め任意の厚さあるいは材質のものを選択して用いることができるため、例えば、デバイス全体の厚みを薄くしたり、デバイスに可とう性を持たせたりすることができる。

従って、本実施形態に係る第 1 の強誘電体メモリ 1000 によれば、新規な薄型構造の強誘電体メモリ構造を実現することができる。また、本実施形態に係る第 1 の強誘電体メモリ 1000 は、フレキシブル基体 100 として可とう性を有する材質を採用することにより、可とう性に富み、例えば、ICカードなど様々な利用形態に対して適用性が広いものとなる。

1. 2 デバイスの製造方法

以下に、本実施形態に係る第 1 の強誘電体メモリ 1000 の製造方法について説

明する。

図2A～図2Cは、本実施形態に係る第1の強誘電体メモリ1000の製造工程を模式的に示す図である。

まず、図2Aに示すように、分離用基体10上に分離層20を形成し、分離層20の上にシート状デバイス300を形成する。

分離用基体10は、例えば、レーザー光などの光を透過する性質を有するものを選択することができ、例えば、ガラス、プラスチック等の樹脂などが挙げられる。

分離層20は、例えば、レーザー光などの光の照射によって変性し、溶断することができる材質、例えば、アモルファスシリコンを用いることができる。分離層20としては、アモルファスシリコンの他に、各種の物質、例えば、酸化シリコンなどの各種酸化物、セラミックス、有機高分子系化合物、金属などを用いることができる。このような物質としては、例えば、特開平11-74533号公報に例示された物質を用いることができる。分離層20として有機高分子系化合物を用いる場合、例えば、ポリエチレン、ポリプロピレン等のポリオレフィン、ポリイミド、ポリアミド、ポリエステル、ポリメチルメタクリレート（PMMA）、ポリフェニレンサルファイド（PPS）、ポリエーテルスルホン（PES）、エポキシ系樹脂等を用いることができる。

本実施形態において、シート状デバイス300に含まれるメモリセルアレイ304については、図1Bに示す下部電極301、強誘電体層（図示省略）、上部電極302の順に形成していく。

電極材料としては、例えば、Pt、Ir、 IrO_x 、 RuO_x 、 SrRuO_x 、 LaSrCoO_x 等を挙げることができる。下部電極及び上部電極は、上記電極材料の単層または複数層の積層物を用いることができる。下部電極および上部電極は、スパッタ法、蒸着法、CVD法等の公知の成膜方法により形成することができる。

また、強誘電体層の材質としては、例えば、PZT（ $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ）、SBT（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）やこれらにニオブやニッケル、マグネシウム等の金属を添加したもの等が挙げられる。強誘電体層は、例えば、ゾルゲル材料や、MO

D (Metal Organic Decomposition) 材料を用いたスピンコート法やディッピング法、スパッタ法、MOCVD法、レーザーアブレーション法等の公知の方法をもちいて形成することができる。

また、図1Bに示す周辺回路部307については、例えば、TFET等の薄膜半導体素子を用いた回路を公知の半導体プロセスを用いて形成することができる。

また、周辺回路部307を例えば、TFET等の低温プロセス下で形成可能な薄膜半導体素子により形成した場合、上記メモリセルアレイ304の強誘電体層は、Si、Ge等を含む、例えば、 Bi_2SiO_x 、 Bi_2GeO_x 、 Zr_2SiO_x 、 Pb_2SiO_x 等の常誘電体のゾルゲル材料と例えば、上記したPZT、SBT等の強誘電体のゾルゲル材料の混合物を結晶化することによって形成することもできる。このような形成方法によれば、SiやGe等の含有物が触媒となって結晶化温度を低温化させることができ、メモリセルアレイ304を周辺回路部307より後に形成した場合でも周辺回路部307への熱ダメージを低減することができる。

また、上記の他に、強誘電体層を例えば、PZT、SBT等の単体から形成する場合においても、成膜後に強誘電体層にレーザー光を照射してアニールを行うことにより、結晶改質を誘起して良質の結晶構造を持つ強誘電体層を形成することができる。かかる強誘電体層の形成方法においても、メモリセルアレイ304を周辺回路部307より後に形成した場合でも周辺回路部307への熱ダメージを低減することができる。

次に、図2Bに示すように、分離用基体10上に分離層20を介して形成されたシート状デバイス300と、フレキシブル基体100とを接着層200により接合する。続いて、図2Cに示すように、シート状デバイス300をフレキシブル基体100とともに、分離用基体10から剥離することにより強誘電体メモリ1000を形成することができる。

かかるシート状デバイス300の剥離は、図2Bに示すように、例えば、レーザー光などの光を透過する分離用基体10を通じて分離層20に例えば、レーザー光などの光を照射し、この分離層20を変性させることにより行うことができる。こ

の場合、分離層 20 は、照射される例えば、レーザー光を吸収し、アブレーションによってその層内や界面において剥離を生じるような性質を有するものを用いることができる。また、レーザー光等の光の照射により、分離層 20 から気体が放出され、分離効果が発現される場合もある。すなわち、分離層 20 に含有されていた成分が気体となって放出される場合と、分離層 20 が光を吸収して気体が放出され、分離に寄与する場合がある。例えば、分離層 20 の物質に、レーザー光等を吸収しやすい物質（例えば、顔料）を混合したり、あるいはレーザー光等の光やレーザー光等の光の吸収熱によってガスを発生するもの（例えば、光の吸収熱によってガス化する物質を含むマイクロカプセルなど）を混合しておくことにより、分離層 20 での剥離をより容易にすることができる。

以上に述べたように、本実施形態に係る第 1 の強誘電体メモリ 1000 の製造方法によれば、シート状デバイス 300 が形成される分離用基体 10 から該シート状デバイス 300 を剥離することによって、新規な薄型構造の第 1 の強誘電体メモリ 1000 を製造することができる。

1. 3 変形例 1

図 3 A は、本実施形態の第 1 の強誘電体メモリの変形例 1 に係る強誘電体メモリ 1100 を模式的に示す断面図である。図 1 A 及び図 1 B に示す部材と実質的に同様の機能を有する部材には同一符号を付し、詳細な説明を省略する。

本例に係る強誘電体メモリ 1100 は、図 3 A に示すように、フレキシブル基体 100 の上に接着層 210、220 を介してメモリセルアレイ 304 及び周辺回路部 307 が形成されている。

本例の強誘電体メモリ 1100 は、メモリセルアレイ 304 及び周辺回路部 307 がフレキシブル基体 100 上に個別に搭載されている点で第 1 の強誘電体メモリ 1000 と相違する。このため、メモリセルアレイ 304 及び周辺回路部 307 は、配線層 50 により電氣的に接続されている。

また、メモリセルアレイ 304 及び周辺回路部 307 の上部および周囲には、配線層 50 の形成の際のメモリセルアレイ 304 及び周辺回路部 307 間の短絡防

止のため絶縁層 40 が形成されているが、この絶縁層 40 は必須の構成要素ではない。

本例の強誘電体メモリ 1100 は、以下のような製造工程により形成することができる。

5 図 4A～図 4C 及び図 5A～図 5C は、強誘電体メモリ 1100 の製造工程を模式的に示す図である。

まず、図 4A に示すように、分離用基体 11 の上に、分離層 21 及びメモリセルアレイ 304 を形成し、分離用基体 12 の上に、分離層 22 及び周辺回路部 307 を形成する。このとき、後述する両デバイス間の配線のために、メモリセルアレイ
10 304 及び周辺回路部 307 の分離用基体 11、12 側に電極パッド（図示省略）を予め設けておくことができる。

次に、図 4B に示すように、メモリセルアレイ 304 及び周辺回路部 307 をフレキシブル基体 100 に接着層 210、220 を介して接合する。そして、分離用基体 11、12 の裏面側（メモリセルアレイ 304 及び周辺回路部 307 が形成さ
15 れた側と反対の側）から例えば、レーザー光 30 を照射して、分離層 21、22 を変性させ、図 4C に示すように、メモリセルアレイ 304 及び周辺回路部 307 をフレキシブル基体 100 とともに、分離用基体 11、12 から剥離する。

次に、図 5A～図 5C に示す製造工程に従って、メモリセルアレイ 304 及び周辺回路部 307 に配線を行って、電氣的に接続する。

20 まず、剥離したメモリセルアレイ 304 及び周辺回路部 307 の上に、絶縁層 40 を形成する。この絶縁層 40 は、例えば、SiO₂ などの絶縁性無機材料や、例えば、ポリイミドなどの絶縁性有機材料から形成することができる。また、かかる絶縁層 40 は、絶縁性無機材料の場合、例えば、スパッタ法や CVD 法などを用いて成膜でき、絶縁性有機材料の場合は、例えば、スピンコート法などにより成膜す
25 ることができる。

次に、図 5B に示すように、絶縁層 40 を例えば、エッチングするなどして、メモリセルアレイ 304 及び周辺回路部 307 の電極パッド（図示省略）を露出させ

る。

そして、メモリセルアレイ 3 0 4 及び周辺回路部 3 0 7 の電極パッド間を配線層 5 0 により接続する。この配線層 5 0 は、例えば、アルミニウム、銅、タングステンなどの金属を用いて、スパッタ法などの公知の手法を用いて成膜することができる。

以上に述べたように、変形例 1 の強誘電体メモリ 1 1 0 0 においても、第 1 の強誘電体メモリ 1 0 0 0 と同様に、新規な薄型構造の強誘電体メモリ構造を実現することができる。また、この変形例 1 の強誘電体メモリ 1 1 0 0 も、フレキシブル基体 1 0 0 として可とう性を有するものを採用することにより、可とう性に富み、例えば、IC カードなどの様々な利用形態に対して適用性が広いものとなる。

また、強誘電体メモリ 1 1 0 0 の製造方法によれば、製造工程の異なるメモリセルアレイ 3 0 4 と周辺回路部 3 0 7 を別個独立の分離用基体 1 1、1 2 に形成するため、製造工程全体のスループットが向上する。また、フレキシブル基体 1 0 0 上におけるメモリセルアレイ 3 0 4 と周辺回路部 3 0 7 との配置関係を自由に設定することができ、デバイスの設計自由度が増す。

1. 4 変形例 2

図 3 B は、本実施形態の第 1 の強誘電体メモリの変形例 2 に係る強誘電体メモリ 1 2 0 0 を模式的に示す断面図である。図 3 A に示す部材と実質的に同様の機能を有する部材には同一符号を付し、詳細な説明を省略する。

本例の強誘電体メモリ 1 2 0 0 では、上記変形例 1 の強誘電体メモリ 1 1 0 0 に対して、配線層 5 0 を使用せずにフレキシブル基体 1 0 0 内に形成した配線パターン 6 0 とバンプ 7 1、7 2 とを用いてメモリセルアレイ 3 0 4 及び周辺回路部 3 0 7 間の電氣的接続がなされている。

強誘電体メモリ 1 2 0 0 を製造する際には、上記変形例 1 に係る強誘電体メモリ 1 1 0 0 の製造工程と同様の製造工程を用いることができるが、図 4 B に示す工程において、フレキシブル基体 1 0 0 に予め形成された配線パターン 6 0 の所定の部分の上に、バンプ 7 1、7 2 を形成しておく。そして、接着層 2 1 0、2 2 0 を介

してメモリセルアレイ 304 及び周辺回路部 307 をフレキシブル基体 100 に接合することができる。なお、フレキシブル基体 100 に形成された配線パターン 60 とメモリセルアレイ 304 及び周辺回路部 307 との接続は、バンプ 71、72 を用いる場合に限られず、例えば、異方性導電接着フィルム（ACF：Anisotropic Conductive Film）や異方性導電ペースト（ACP：Anisotropic Conductive Paste）を熱圧着することにより行うこともできる。

また、強誘電体メモリ 1200 の製造工程では、配線層 50 を形成しないため、図 5B 及び図 5C に示す工程は、特に必要とされず、製造工程をより簡便なものとすることができる。

以上に述べたように、かかる変形例 2 に係る強誘電体メモリ 1200 においても、第 1 の強誘電体メモリ 1000 と同様に、新規な構造で、非常に薄型の強誘電体メモリ構造を実現することができる。また、この変形例 2 に係る強誘電体メモリ 1200 も、可とう性を有するフレキシブル基体 100 を採用することにより、可とう性に富み、例えば、IC カードなどの様々な利用形態に対して適用性が広いものとなる。

また、強誘電体メモリ 1200 の製造方法においても、製造工程の異なるメモリセルアレイ 304 と周辺回路部 307 を別個独立の分離用基体 11、12 に形成するため、製造工程全体のスループットが向上する。また、フレキシブル基体 100 上におけるメモリセルアレイ 304 と周辺回路部 307 との配置関係を自由に設定することができ、デバイスの設計自由度が増す。

2. 第 2 の強誘電体メモリ

図 6 は、本実施形態に係る第 2 の強誘電体メモリ 2000 を模式的に示す断面図である。図 1A 及び図 1B に示す部材と実質的に同様の機能を有する部材には、同様の符号を付し、詳細な説明を省略する。

第 2 の強誘電体メモリ 2000 は、フレキシブル基体 110、120 上に接着層 210、220 を介してメモリセルアレイ及び周辺回路部を含むシート状デバイス 310、320 を形成した積層体 1001、1002 を対面させて、複数積層した

構造を有する。これらの各積層体 1 0 0 1、1 0 0 2の間には、スルーホール 8 0 を有する絶縁性基材 4 0 0 が配置されている。本実施形態および後述する実施形態において、「スルーホール」とは、デバイス層や基体等に設けられた貫通孔そのものに限られず、貫通孔の両端部を導電部材により導通させた状態のものを含む意味で用いる。すなわち、貫通孔内部に導電部材で充填されている場合、貫通孔の内壁に導電部材が形成されている場合も「スルーホール」に含まれる。

フレキシブル基体 1 1 0、1 2 0 および絶縁性基材 4 0 0 は、絶縁性を有する公知の材料から形成することができ、例えば、合成樹脂などの可とう性を有する材質のものをを用いることができる。

各積層体 1 0 0 1、1 0 0 2 は、第 1 の強誘電体メモリおよびその各変形例で説明した製造方法、および材料等を適用して形成することができる。

また、各積層体 1 0 0 1、1 0 0 2 のシート状デバイス 3 1 0、3 2 0 間は、絶縁性基材 4 0 0 に形成されたスルーホール 8 0、およびこのスルーホール 8 0 の両端部に形成されたバンプ 7 1、7 2 を介して電氣的に接続されている。

なお、絶縁性基材 4 0 0 のスルーホール 8 0 を介した各シート状デバイス 3 1 0、3 2 0 間の接続は、バンプ 7 1、7 2 を用いる場合に限られず、例えば、異方性導電接着フィルム (ACF: Anisotropic Conductive Film) や異方性導電ペースト (ACP: Anisotropic Conductive Paste) を熱圧着することにより行うこともできる。

また、絶縁性基材 4 0 0 は、スルーホール 8 0 の他にその内部あるいは少なくとも一方の表面に配線層 (図示省略) を形成しておくこともできる。かかる場合においては、シート状デバイス 3 1 0、3 2 0 内の配線の一部として、この配線層を用いることができる。かかる構成によれば、シート状デバイス 3 1 0、3 2 0 の配線構造を簡略化することができる。また、かかる構成によれば、シート状デバイス 3 1 0、3 2 0 の大きさをデバイス内での配線を減らした分に応じて小さくすることができる。

第 2 の強誘電体メモリ 2 0 0 0 によれば、積層体 1 0 0 1、1 0 0 2 において、

フレキシブル基体 110、120 の厚みあるいは材質を任意のものとすることができるため、積層体 1001、1002 の厚みを薄くすることができる。したがって、結果としてデバイス全体の厚みを低減することができる。また、フレキシブル基体 110、120 および絶縁性基材 400 を可とう性を有する材料から形成することによって、デバイスに可とう性を持たせることができ、適用性が高い。

従って、第 2 の強誘電体メモリ 2000 によれば、新規な薄型構造の強誘電体メモリを実現することができるとともに、高集積化が可能である。また、かかる強誘電体メモリ 2000 によれば、積層された各シート状デバイス間が絶縁性基材 400 に設けられたスルーホール 80 を介して電氣的に接続されるため、デバイスの実装面積を小さくすることができる。さらに、デバイス間の配線長を短くすることができ、高速駆動化も期待できる。

また、本実施形態に係る第 2 の強誘電体メモリ 2000 の製造方法によれば、シート状デバイス 310、320 をフレキシブル基体 110、120 とともに、多層化するため、工程途中での取扱性に優れ、簡便な工程により集積化が図れる。また、かかる製造方法によれば、シート状デバイス 310、320 の多層化に際して、例えば、層間絶縁膜等の形成工程など素子の各部への負荷が大きいプロセスを省略することができ、各シート状デバイス 310、320 の特性を担保しつつ多層化して集積化することができる。

また、第 2 の強誘電体メモリ 2000 の変形例としては、例えば、図 7 に示すような、強誘電体メモリ 2100 を挙げることができる。

この強誘電体メモリ 2100 は、フレキシブル基体 110～130 の上に接着層 210～230 を介して形成されたシート状デバイス 310～330 を含む積層体 1001～1003 のそれぞれが、フレキシブル基体 120、130 の内部に形成されたスルーホール 81、82 及びバンプ 71～74 を介して電氣的に接続されて構成される。

この強誘電体メモリ 2100 を形成する場合は、まず、積層体 1002、1003 のフレキシブル基体 120、130 とシート状デバイス 320、330 との接合

において、フレキシブル基体 120、130 のスルーホール 81、82 の上に、予めバンプ 72、74 を形成しておく。そして、かかる状態のフレキシブル基体 120、130 と接着層 220、230 を介して、シート状デバイス 320、330 とを接合することにより、スルーホール 81、82 とシート状デバイス 320、330 とを電氣的に接続することができる。積層体 1001 については、第 1 の強誘電体メモリ 1000 と同様の製造工程により形成することができる。

以上のようにして形成された各積層体 1001～1003 を積層体 1001、1002 の上に形成したバンプ 71、73 をによって接続する。なお、各積層体 1001～1003 間の接続及び積層体 1002～1003 内での接続は、バンプ 71～74 を用いる場合に限られず、例えば、異方性導電接着フィルム（ACF：Anisotropic Conductive Film）や異方性導電ペースト（ACP：Anisotropic Conductive Paste）を熱圧着することにより行うこともできる。

本例の強誘電体メモリ 2100 においても、上記した第 2 の強誘電体メモリ 2000 の場合と同様に、フレキシブル基体 110～130 の厚みあるいは材質を任意のものとすることができる。従って、積層体 1001～1003 の厚みを薄くすることができ、結果としてデバイス全体の厚みを低減したり、デバイスに可とう性を持たせることができる。よって、強誘電体メモリ 2100 によっても、新規な薄型構造の強誘電体メモリを実現することができるとともに、高集積化が可能である。

なお、本実施形態及びその変形例においては、例えば、薄膜トランジスタを用いて形成した例えば、CPU（Central Processing Unit）、MPU（Micro Processing Unit）、DSP（Digital Signal Processor）等のシート状の演算処理デバイスを含む積層体（図示省略）を同様の手法を用いてさらに積層することができる。かかる態様によれば、メモリデバイスおよび演算処理デバイスを含む新規な薄型構造の混載型デバイスを高集積化することができる。

3. 第 3 の強誘電体メモリおよびその製造方法

図 8 は、本実施形態の第 3 の強誘電体メモリ 2200 を模式的に示す断面図である。上記において説明した部材と実質的に同様の機能を有する部材には同一符号を

付し、詳細な説明を省略する。

本実施形態の第3の強誘電体メモリ2200は、フレキシブル基体100上にシート状デバイス310～330を積層して構成される。各シート状デバイス310～330には、スルーホール81～83が設けられている。また、各シート状デバイス310～330間は、スルーホール81～83の一方の端部がバンプ71、72を介して電氣的に接続されている。また、各スルーホール81～83は、各シート状デバイス310～330の所定の部分と電氣的に接続されている。

また、かかる各シート状デバイス310～330の電氣的接続は、図9に示す本実施形態の変形例である強誘電体メモリ2300のような態様によっても実現することができる。

図9に示す変形例の強誘電体メモリ2300では、各シート状デバイス310～330に設けられた外部配線用の電極パッド62～64がフレキシブル基体100に設けられた電極パッド61とワイヤ91～93によってボンディングされることにより各シート状デバイス310～330間の電氣的接続がなされている。

上記した第3の強誘電体メモリ2200、およびその変形例の強誘電体メモリ2300は、図10A～図10Cに示す製造工程によりシート状デバイス310～330をフレキシブル基体100上に積層することができる。

まず、図10Aに示すように、上記で説明した手法と同様の手法を用いて製造された第1の強誘電体メモリ1000と、分離用基体12上に分離層22を介して形成されたシート状デバイス320とを準備する。

次に、図10Bに示すように、これらを接着層220を介して接合し、分離用基体12の裏面側から例えば、レーザー光30を照射する。すると、レーザー光30が分離用基体12を通して照射されることにより分離層22が変性し、図10Cに示すように、シート状デバイス320をフレキシブル基体100側に接合した状態で、分離用基体12から剥離することができる。第3の強誘電体メモリ2200、およびその変形例の強誘電体メモリ2300の製造においては、これらの工程を繰返し行うことによって、シート状デバイスを複数積層することができる。

なお、本実施形態の第3の強誘電体メモリ2200においては、図10Bに示す工程において、接着層220での接合するときに、シート状デバイス310、320の少なくとも一方のスルーホール81、82端部にバンプ71を形成しておくことにより、シート状デバイス310、320間の接合と同時に電氣的接続を行うことができる。また、本実施形態の変形例の強誘電体メモリ2300においては、シート状デバイス310～330の積層工程が終了した後に、各シート状デバイス310～330の電極パッド62～64とフレキシブル基体100の電極パッド61とをワイヤボンディングで接続することができる。

本実施形態の第3の強誘電体メモリ2200、およびその変形例の強誘電体メモリ2300は、シート状デバイス310～330が接着層210～230を介してフレキシブル基体100の上に積層され、積層される各層は数 μ m程度であるため、複数積層した状態においても非常に薄型である。従って、第3の強誘電体メモリ2200およびその変形例の強誘電体メモリ2300によれば、新規な薄型構造で、かつ高集積化可能な強誘電体メモリを実現することができる。また、第3の強誘電体メモリ2200、およびその変形例の強誘電体メモリ2300によれば、フレキシブル基体100として任意の材質あるいは厚みを選択することができるため、デバイスに可とう性を持たせることができる。

また、本実施形態およびその変形例に係る製造方法によれば、シート状デバイス310～330の多層化に際して、例えば、層間絶縁膜等の形成工程など素子の各部への負荷が大きいプロセスを省略することができ、各シート状デバイス310～330の特性を担保しつつ多層化して集積化することができる。

なお、本実施形態及びその変形例においては、例えば、薄膜トランジスタを用いて形成した例えば、CPU (Central Processing Unit)、MPU (Micro Processing Unit)、DSP (Digital Signal Processor) 等のシート状の演算処理デバイスの層（図示省略）を同様の手法を用いてさらに積層することができる。かかる態様によれば、メモリデバイスおよび演算処理デバイスを含む新規な薄型構造の混載型デバイスを高集積化することができる。

4. 第4の強誘電体メモリの製造方法

図11A～図11C及び図12A～図12Dは、本実施形態の第4の強誘電体メモリの製造工程を模式的に示す断面図である。なお、図11A～図11C及び図12A～図12Dにおいては、上記において説明したものと実質的に同様の機能を有する部材には同一符号を付し、詳細な説明を省略する。

まず、本実施の形態では、メモリセルアレイ304の剥離を熱処理による熱膨張量の差を用いて行うことを特徴とする。そこで、図11Aに示すように、メモリセル形成用基体（第1の基体）16を準備する。このメモリセル形成用基体16は、例えば、シリコン基板13上に酸化シリコン膜14が形成されたSOI基板がメモリセルアレイの形成に好適な TiO_x 膜15で被覆されたものを採用することができる。シリコンは、熱により歪みが発生する温度（歪み点）が1000℃程度であって、PZTなどに代表される強誘電体材料に比べて歪み点が高く、熱膨張率についても一般的な強誘電体材料より小さいためメモリセルアレイとの熱膨張量の差を得やすい。すなわち、メモリセル形成用基体16としては、強誘電体材料より少なくとも熱膨張率が小さい材料からなることが好ましい。また、本実施の形態では、一度メモリセルアレイ304に積極的に歪みを導入するプロセスを経由するため、メモリセル形成用基体16については強誘電体材料より歪み点が高い材料からなることが好ましい。

次に、本実施の形態の製造方法では、図11Bに示すように、メモリセル形成用基体16の上に下部電極301、強誘電体層305、上部電極302を順次積層してメモリセルアレイ304を形成する。下部電極301及び上部電極302は、それぞれ複数のライン状の形状を有し、互いが交差するように形成される。そして、下部電極301及び上部電極302とその交差領域に配置される強誘電体層305とでメモリセルとして機能する。なお、強誘電体層305は、上記において示したPZT系強誘電体材料にシリコンあるいはゲルマニウムからなる常誘電体酸化物が添加されたものから形成することが好ましい。

そして、本実施の形態の製造方法では、図11Bに示される積層体（第1積層体）

に対して第1の熱処理を行い、続けてこれを冷却する。この第1の熱処理は、メモリセル形成用基体16に歪みが発生しない温度で行われる。すなわち、第1の熱処理は、メモリセル形成用基体16の大部分を構成するシリコン基板13の材料の歪み点より低い温度であって、メモリセルアレイ304を構成する強誘電体層305

5 の材料の歪み点より高い温度で行う。

その後、メモリセルアレイ304に歪みが発生している状態で第2の熱処理を行っていくと、メモリセルアレイ304の強誘電体層305は、歪みの導入前に比べて大きな熱膨張を起こし、メモリセル形成用基体16との膨張量の差によって、図11Cに示すように、メモリセルアレイ304とメモリセル形成用基体16との間

10 に剥離が生じる。また、第2の熱処理では、第1熱処理後の冷却によって発生したメモリセルアレイ304の歪み応力が緩和されていくため、剥離されたメモリセルアレイ304の特性劣化も生じにくい。

なお、本実施形態の製造方法では、第1の熱処理を、少なくともメモリセル形成用基体16に歪みが発生する温度より低い温度で行い、第2の熱処理を、第1の熱処理と同じあるいは第1の熱処理より低い温度で行うことが好ましい。これにより、

15 第1の熱処理では、メモリセルアレイ304に優先的に歪みを発生させることができ、その後の第2の熱処理中にメモリセルアレイ304とメモリセル形成用基体16との間の膨張量の差を大きくすることができる。さらに、メモリセルアレイ304に優先的に歪みを発生させることができれば、第2の熱処理では、第1の熱処理

20 と同等もしくはそれより低い温度でも十分な膨張量の差を確保することができるため、メモリセルアレイ304への負担が少なくなり熱負荷による特性劣化も低減することができる。

本実施の形態の製造方法では、メモリセルアレイ304の剥離に続いて、図12A～図12Cに示す工程に従って、周辺回路307を形成を行い、図12Dに示すようにメモリセルアレイ304と周辺回路307とを第3の基体100に接合する。

まず、図12Aに示すように、光を透過可能な分離用基体（第2の基体）17の

上に日によって変性する材料からなる分離層 20 を介してメモリセルアレイ 304 用の周辺回路 307 を形成する。

次に、図 12B に示すように、分離用基体 17、分離層 20、および周辺回路 307 により構成される積層体（第 2 積層体）を接着層 210 によりフレキシブル基体 100 と接合する。そして、フレキシブル基体 100 に接合された積層体に対して分離用基体 17 側から光（例えば、レーザー光）を照射して分離層 20 を変性させて、図 12C に示すように、分離用基体 17 を周辺回路 307 から剥離する。

最終的には、図 11A～図 11C に示す工程により剥離されたメモリセルアレイ 304 を、図 12D に示すように、例えば、接着層 220 を介してフレキシブル基体 100 に接合し、その後配線などを形成してメモリセルアレイ 304 と周辺回路 307 とを電氣的に接続することで、強誘電体メモリを得ることができる。

なお、周辺回路 307 の形成工程は、メモリセルアレイ 304 の形成工程と別個独立して行うことができるため、両者を並行して行ってもよいし、周辺回路 307 をメモリセルアレイ 304 に先立って形成しておいてもよい。

このように、本実施の形態の製造方法によれば、水素発生プロセスをできるだけ低減してメモリセルアレイ 304 を形成することができるため、メモリセルアレイ 304 と周辺回路 307 とを連続的に形成する場合に比べて、メモリセルアレイ 304 の特性劣化を防止することができる。また、メモリセルアレイ 304 を剥離するための第 2 の熱処理では、第 1 の熱処理で導入された歪みに基づく応力を緩和させることができるため、一旦生じた歪みを解消させつつメモリセルアレイ 304 の剥離を行うことができる。

以下では、本実施形態の第 4 の強誘電体メモリの製造方法の実施例を図面を参照しながら説明する。

本実施例では、実際にシリコン基板 13、シリコン酸化膜 14、および TiO_x 膜 15 を積層したメモリ形成用基体上に Pt 下部電極、PZTN 強誘電体層、Pt 上部電極からなるメモリセルアレイ 304 を形成し、メモリセルアレイ 304 の剥離を試みた。

まず、第1の熱処理として、 N_2 雰囲気中で $400^{\circ}C$ 、 10min の加熱を行い、その後ステンレス台において積層体を急激に冷却した。次に、第2の熱処理として、 $10^{\circ}C/\text{min}$ の昇温速度で $400^{\circ}C$ に昇温させたところ、図13に示すように、 TiO_x 膜15とメモリセルアレイ304との間で剥離が生じることが確認された。なお、第2の熱処理では、 $150^{\circ}C$ 付近で剥離が可能であることも確認した。

これは、シリコン基板は、熱膨張率が小さく、歪みが発生する温度（歪み点）が $1000^{\circ}C$ 程度と高く、PZT等の強誘電体材料が有する歪み点（ $400^{\circ}C$ 程度）に比べて高いことにより、第1の熱処理でメモリセルアレイ304にのみ歪みが生じ、歪みを含んだメモリセルアレイ304が第2の熱処理時に異常膨張を起こして TiO_x 膜15の界面から剥離が生じたものと考えられる。

そして、このように剥離されたメモリセルアレイ304について、ヒステリシス特性を測定したところ、図14に示すように、角型の良いヒステリシスループが得られ、本実施の形態の製造方法によれば、メモリセルアレイ304に特性劣化をもたらすことなく、剥離を行えることが確認できた。

以上、本発明に好適な実施の形態について述べたが、本発明はこれらに限定されるものではなく、本発明の要旨範囲内で各種態様を取り得る。

請 求 の 範 囲

1. 基体と、該基体上に接着層を介して形成されたシート状デバイスとを含み、
前記シート状デバイスは、

- 5 ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイと、
前記メモリセルアレイ用の周辺回路部と、
を含む、強誘電体メモリ。

- 10 2. 基体と、該基体上に接着層を介して形成されたシート状デバイスとを有する積層体を含み、

前記積層体は、複数積層され、

前記シート状デバイスは、

ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘

- 15 電体層が配置されたメモリセルアレイと、

前記メモリセルアレイ用の周辺回路部と、

を含む、強誘電体メモリ。

3. 基体と、該基体上に接着層を介して複数積層されたシート状デバイスとを含み、

- 20 前記シート状デバイスは、

ライン状に形成された複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイと、

前記メモリセルアレイ用の周辺回路部と、

を含む、強誘電体メモリ。

25

4. 請求項1～3のいずれかに記載の強誘電体メモリと、シート状に形成された演算処理デバイスとが積層された、強誘電体メモリ。

5. 請求項2～4のいずれかにおいて、

積層された前記シート状デバイス間には、スルーホールが設けられた絶縁性基材が配置される、強誘電体メモリ。

5

6. 請求項5において、

前記絶縁性基材は、少なくとも一方の表面または該絶縁性基材の内部に配線層を有する、強誘電体メモリ。

10 7. 光を透過可能な第1の基体の上に該光を吸収して変性する分離層を形成すること、
前記分離層の所定部分の上にライン状の複数の下部電極及び上部電極の少なくとも
も交叉領域に強誘電体層が配置されたメモリセルアレイを形成すること、

前記分離層の前記所定部分とは異なる部分の上に、前記メモリセルアレイ用の周辺
回路部を形成すること、

15 前記メモリセルアレイ及び前記周辺回路部を含むシート状デバイスと第2の基体
とを少なくとも接着層を介して接合すること、

前記第1の基体の一方の面から前記分離層に光を照射して前記シート状デバイス
を前記第1の基体から剥離すること、

を含む、強誘電体メモリの製造方法。

20

8. 請求項7において、

前記第1の基体から剥離された、前記第2の基体及び前記シート状デバイスを含む
積層体を、複数積層することを含む、強誘電体メモリの製造方法。

25 9. 請求項7において、

前記第1の基体から剥離された前記シート状デバイスと、他の第1の基体の上に分
離層を介して形成されたシート状デバイスとを、接着層を介して接合して、前記他の

第1の基体の一方の面から光を照射することにより該他の第1の基体を剥離することを含み、

この工程を1回若しくは2回以上繰返し行うことにより、前記第2の基体上に前記シート状デバイスを複数積層することを含む、強誘電体メモリの製造方法。

5

10. 光を透過可能な第1の基体及び第2の基体の上に該光を吸収して変性する分離層をそれぞれ形成すること、

前記第1の基体の前記分離層の上にライン状の複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイを形成すること、

10 前記第2の基体の前記分離層の上に、前記メモリセルアレイ用の周辺回路部を形成すること、

前記メモリセルアレイ及び前記周辺回路部を少なくとも接着層を介してそれぞれ第3の基体と接合すること、

前記第1の基体及び前記第2の基体の一方の面から各前記分離層に光を照射して
15 前記メモリセルアレイ及び前記周辺回路部を該第1の基体及び該第2の基体からそれぞれ剥離すること、

を含む、強誘電体メモリの製造方法。

11. 請求項10において、

20 前記第1の基体から剥離された前記メモリセルアレイ及び前記第2の基体から剥離された前記周辺回路部を含むシート状デバイスと、前記第3の基体とを含む積層体を、複数積層することを含む、強誘電体メモリの製造方法。

12. 請求項7～11のいずれかにおいて、

25 前記メモリセルアレイの強誘電体層は、強誘電体材料と常誘電体材料の混合物を原料とし、前記混合物を結晶化させることにより形成される、強誘電体メモリの製造方法。

1 3. 請求項 1 2 において、

前記結晶化後の強誘電体層にレーザー光を照射してアニールを行うことを含む、強誘電体メモリの製造方法。

5

1 4. 強誘電体材料より熱膨張率の小さい第 1 の基体の上に、ライン状の複数の下部電極及び上部電極の少なくとも交叉領域に強誘電体層が配置されたメモリセルアレイを含む第 1 積層体を形成すること、

前記第 1 積層体に対して第 1 の熱処理を施した後に冷却して、前記第 1 積層体中に歪みを発生させ、その後第 2 の熱処理により前記メモリセルアレイを第 1 の基体から剥離すること、

光を透過可能な第 2 の基体の上に該光を吸収して変性する分離層を形成してから、その上に前記メモリセルアレイ用の周辺回路を含む第 2 積層体を形成すること、

前記第 2 積層体の前記周辺回路側と第 3 の基体とを接合すること、

15 前記第 2 積層体の第 2 の基体側から光を照射して前記分離層を変性させて、前記周辺回路を前記第 2 の基体から剥離すること、

前記第 3 の基体の上に第 1 の基体から剥離された前記メモリセルアレイを接合すること、

を含む、強誘電体メモリの製造方法。

20

1 5. 請求項 1 4 において、

前記第 1 の熱処理は、少なくとも前記第 1 の基体に歪みが発生する温度より低い温度で行われ、

前記第 2 の熱処理は、前記第 1 の熱処理と同じあるいは前記第 1 の熱処理より低い
25 温度で行われる、強誘電体メモリの製造方法。

1 6. 請求項 1 4 または 1 5 において、

前記強誘電体層には、S iあるいはG eからなる常誘電体相が混在する、強誘電体メモリの製造方法。

1 7. 請求項 1 4～1 6 のいずれかにおいて、

5 前記第 1 の基体は、シリコン基板を含む、強誘電体メモリの製造方法。

1/14

FIG. 1A

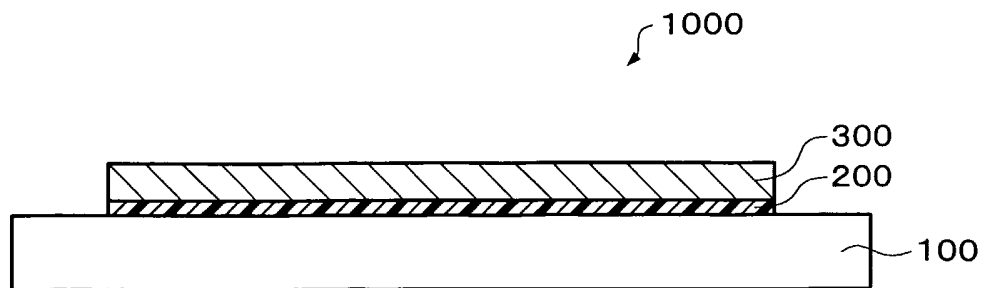
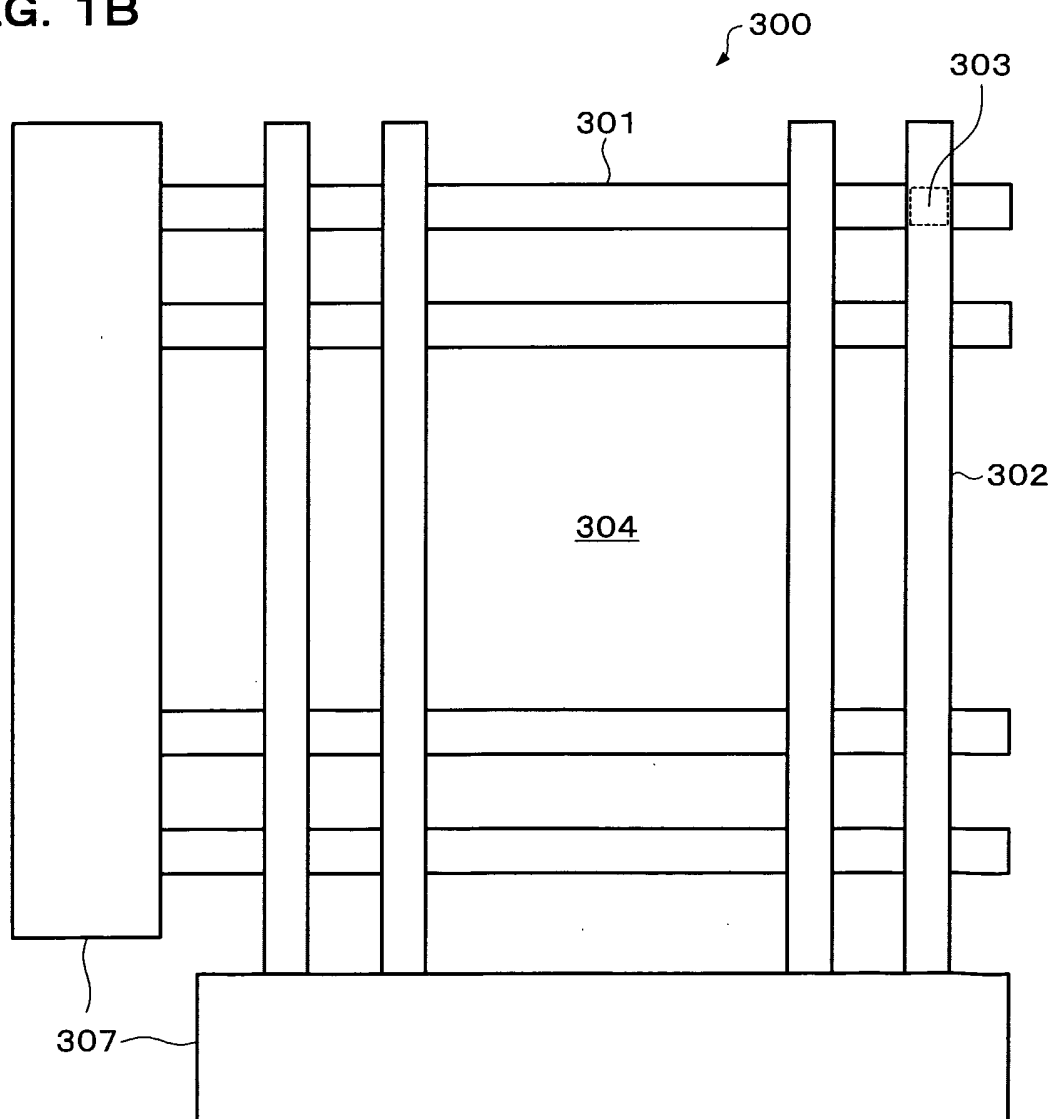


FIG. 1B



2/14

FIG. 2A

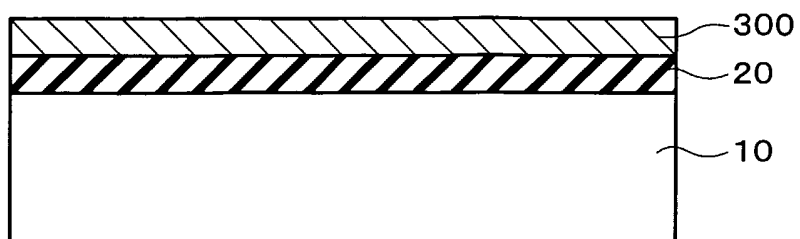


FIG. 2B

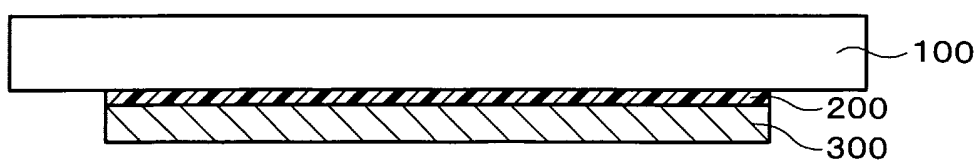
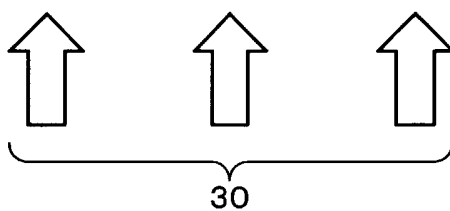
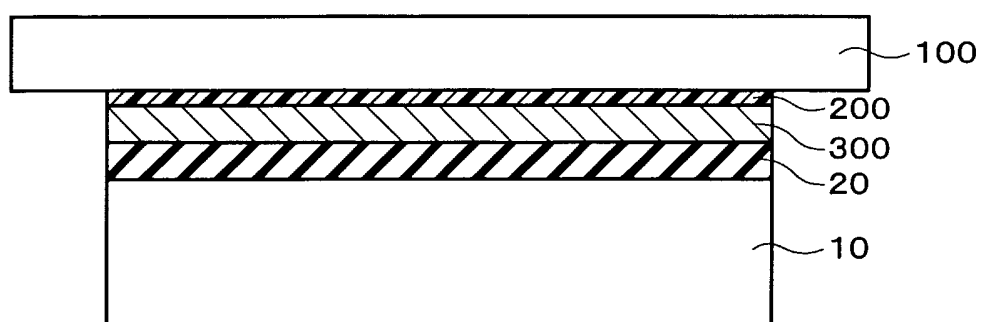
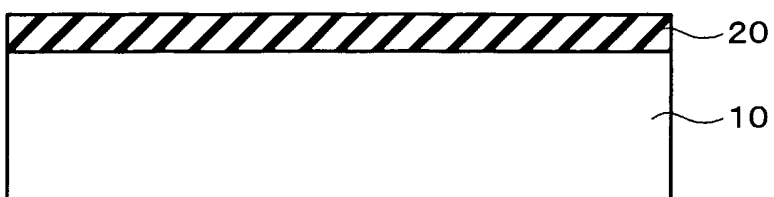


FIG. 2C



3/14

FIG. 3A

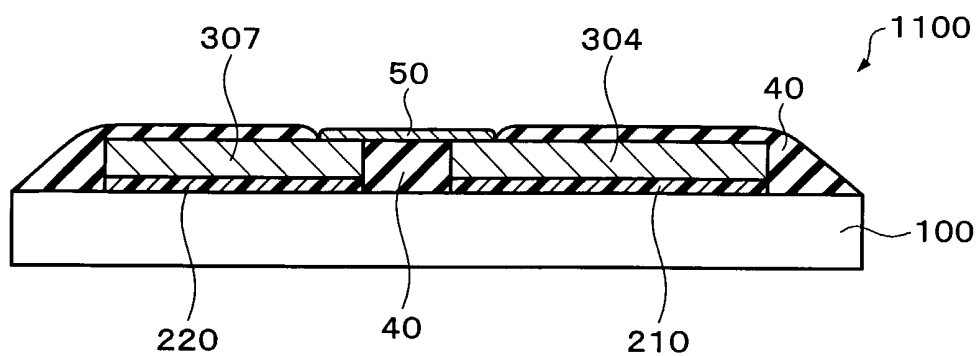
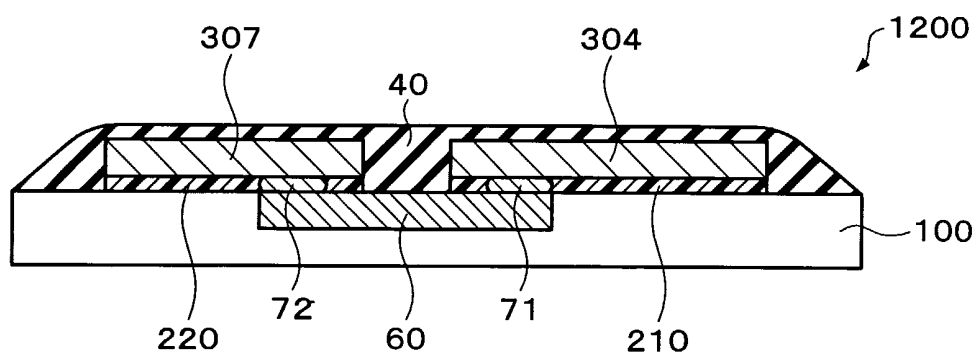


FIG. 3B



4/14

FIG. 4A

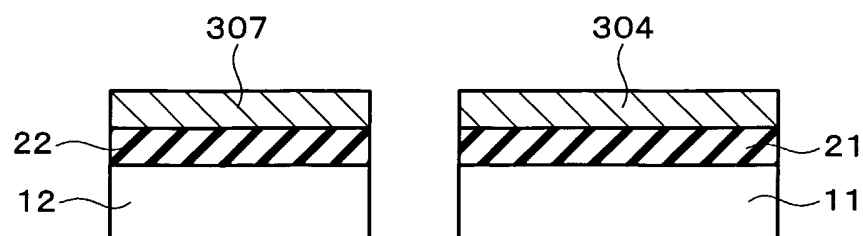


FIG. 4B

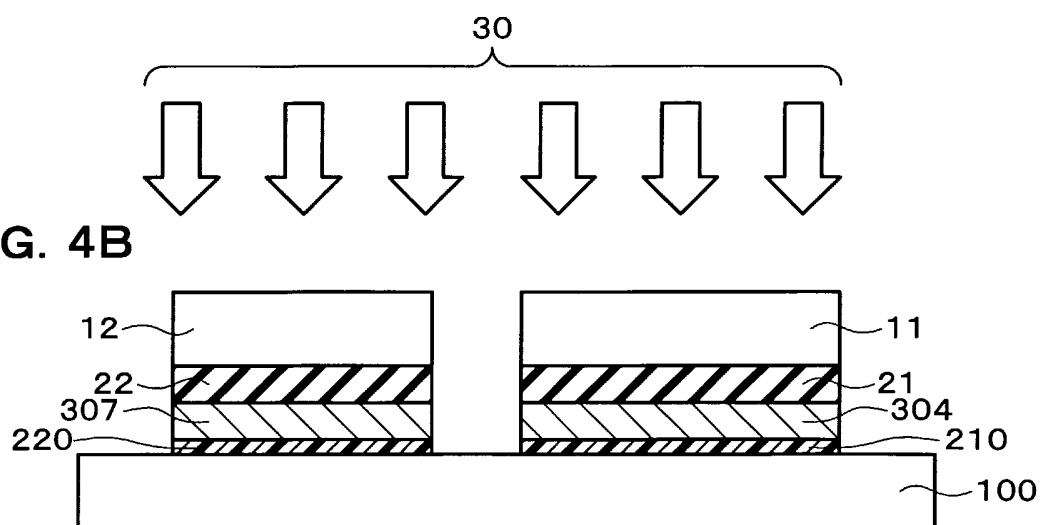
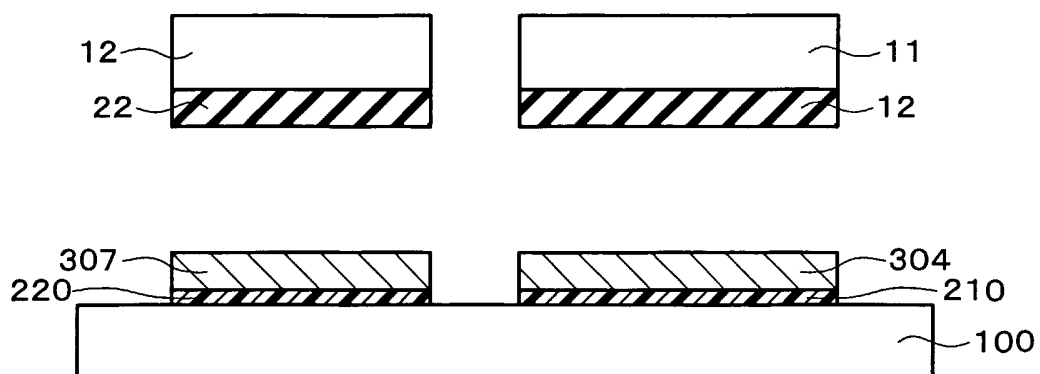


FIG. 4C



5/14

FIG. 5A

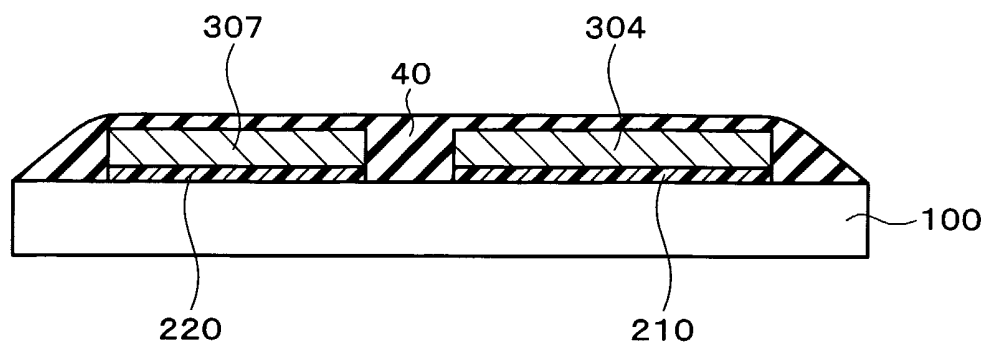


FIG. 5B

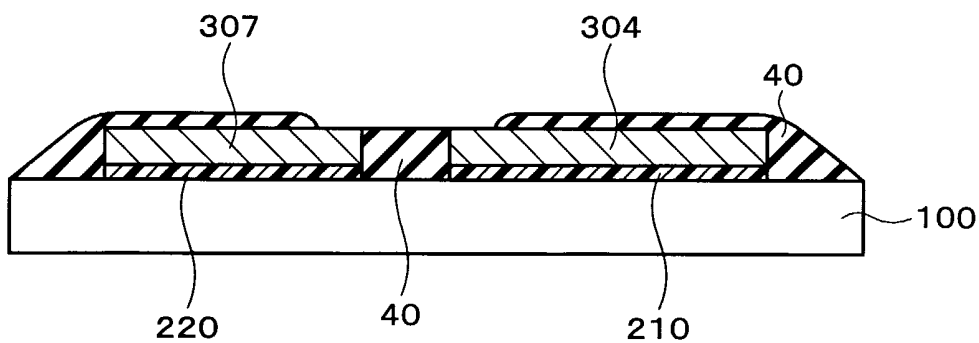
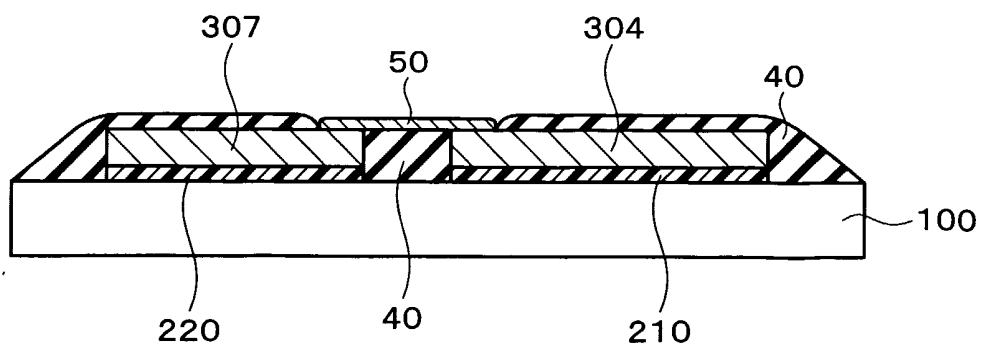
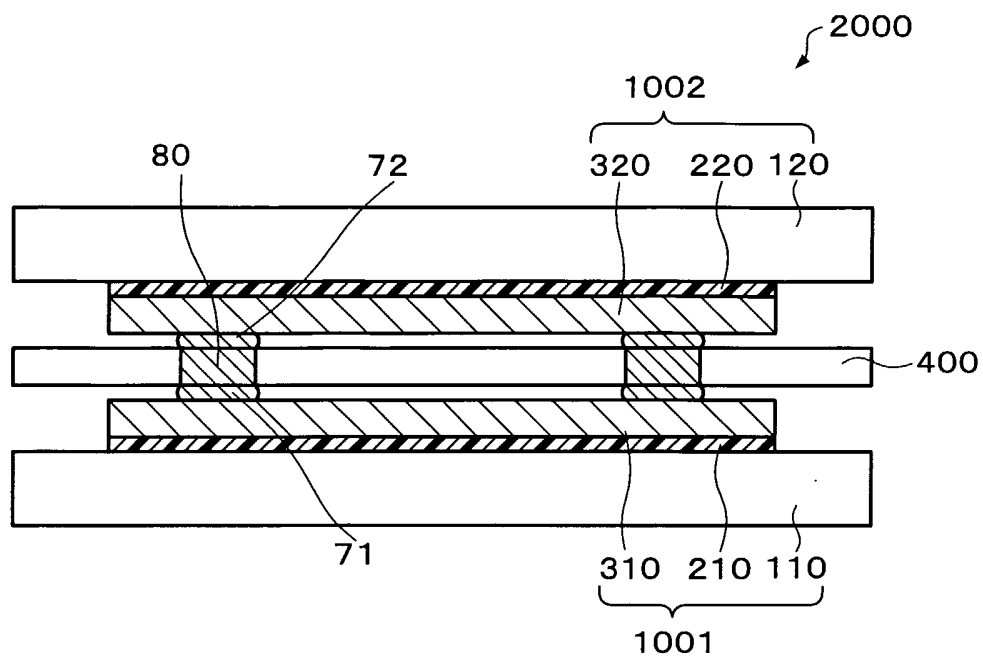


FIG. 5C



6/14

FIG. 6



7/14

FIG. 7

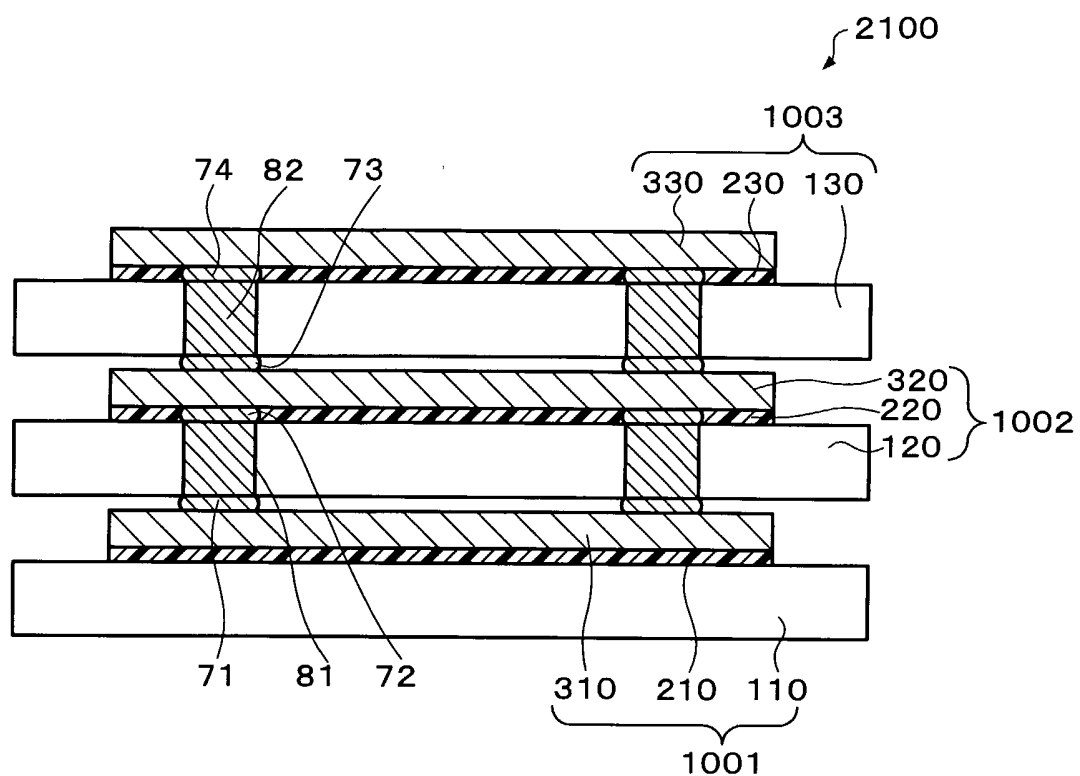
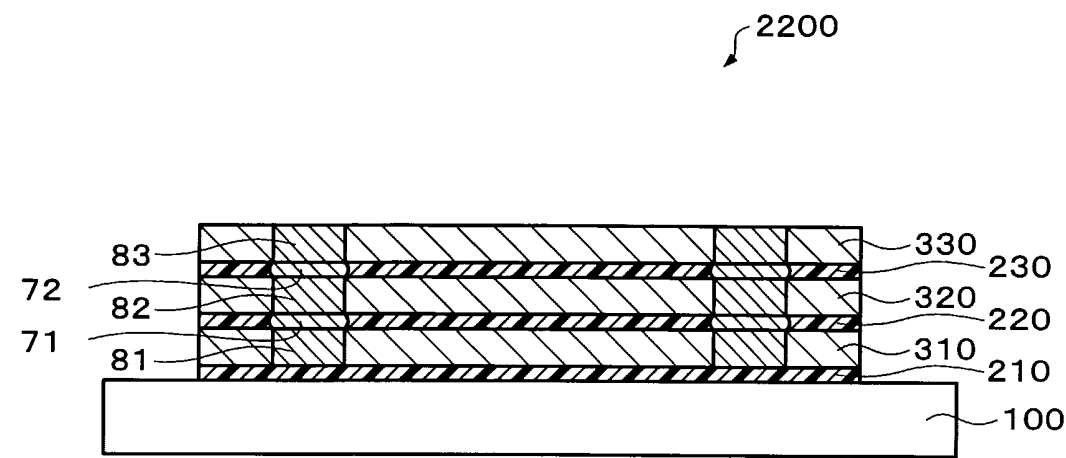
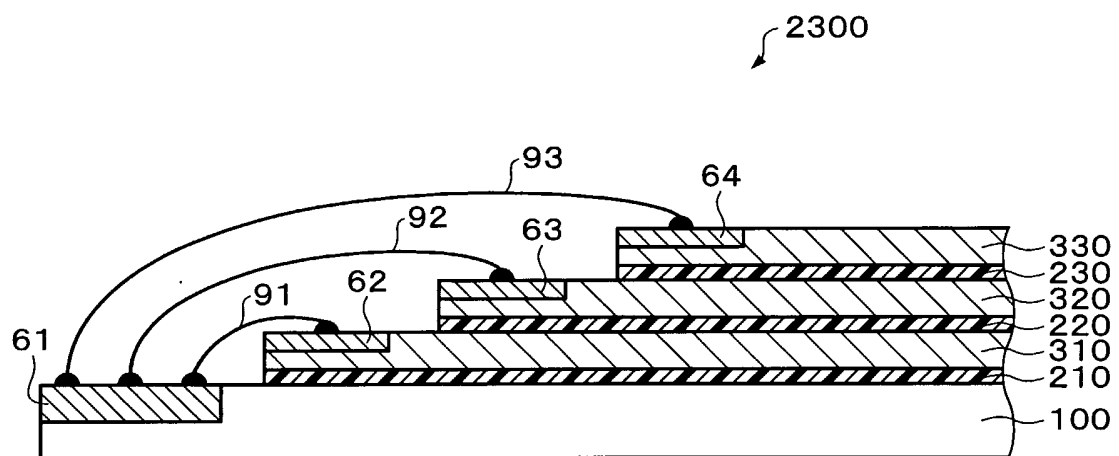


FIG. 8



9/14

FIG. 9



10/14

FIG. 10A

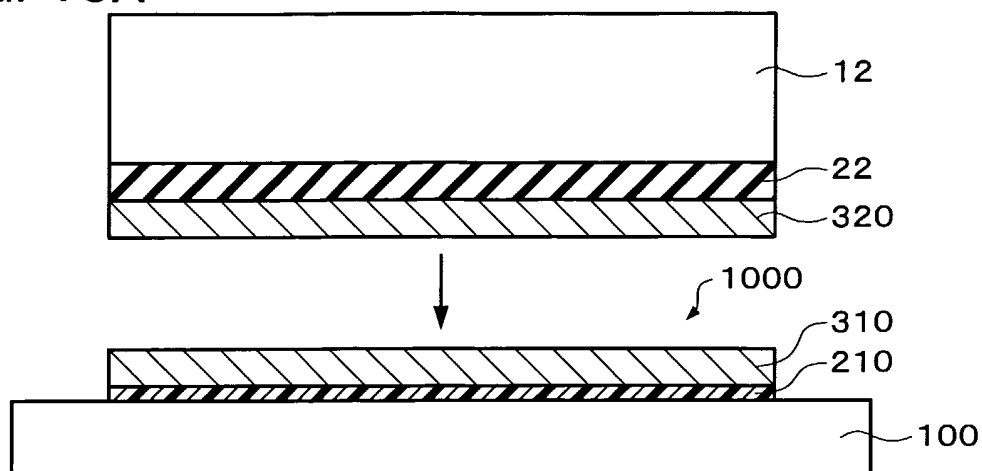


FIG. 10B

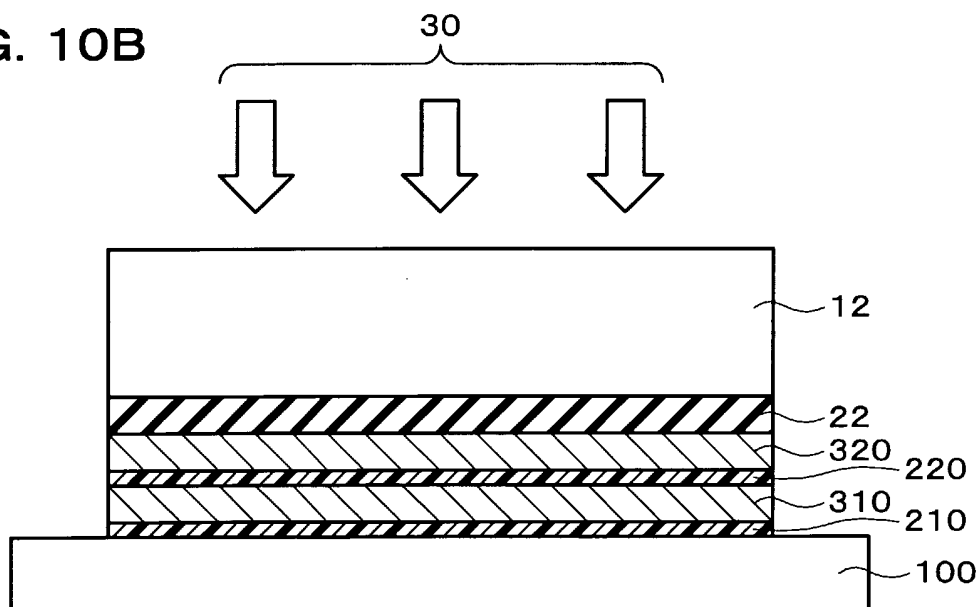
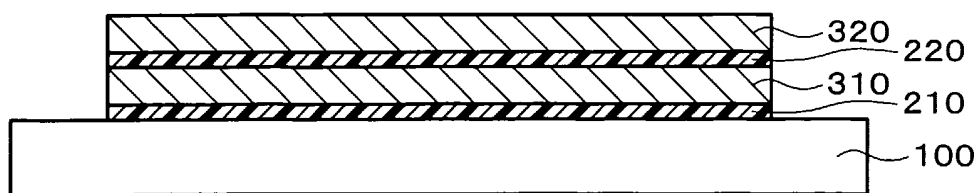


FIG. 10C



11/14

FIG. 11A

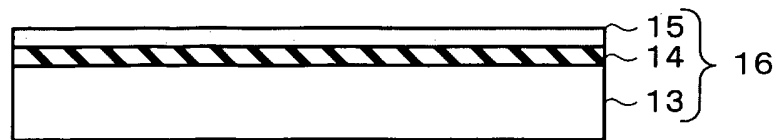


FIG. 11B

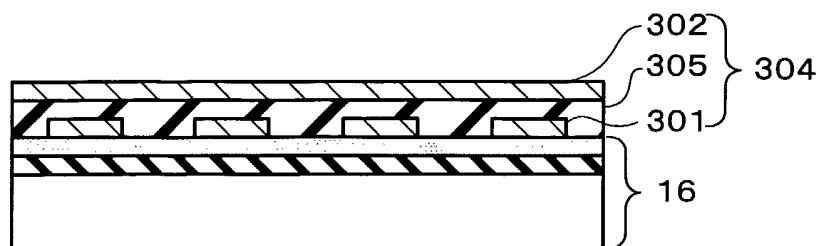
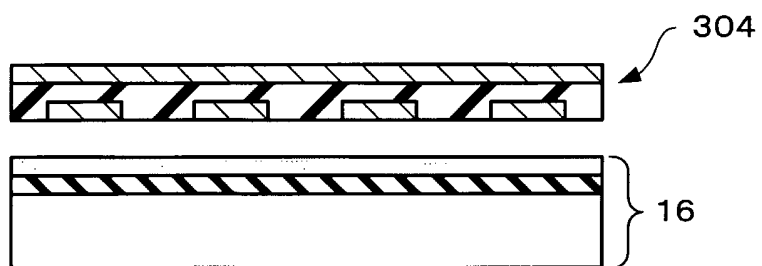


FIG. 11C



12/14

FIG. 12A

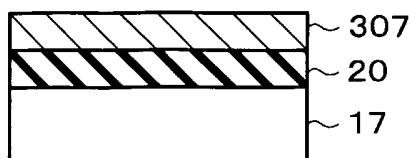


FIG. 12B

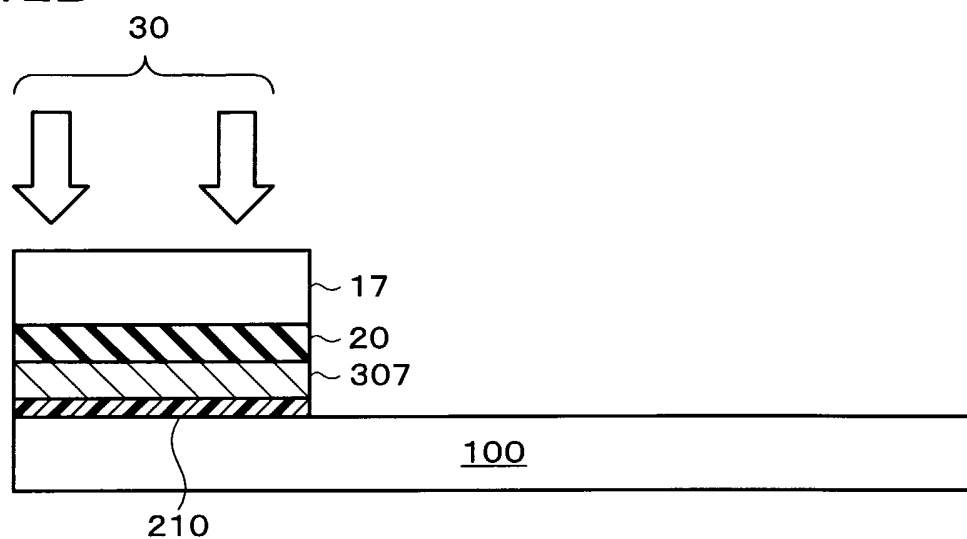


FIG. 12C

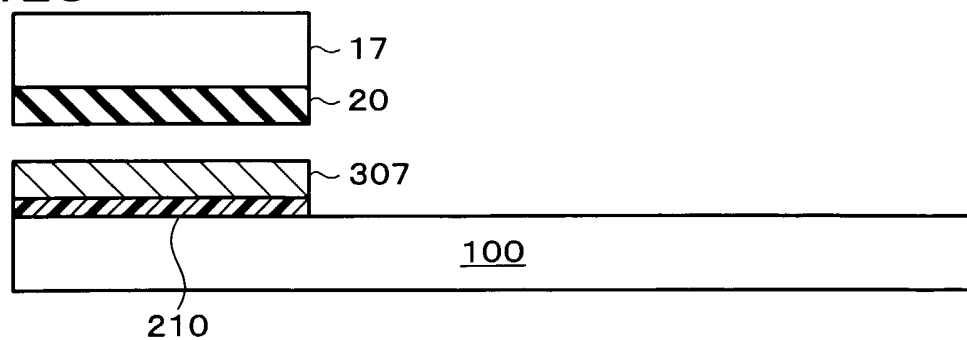
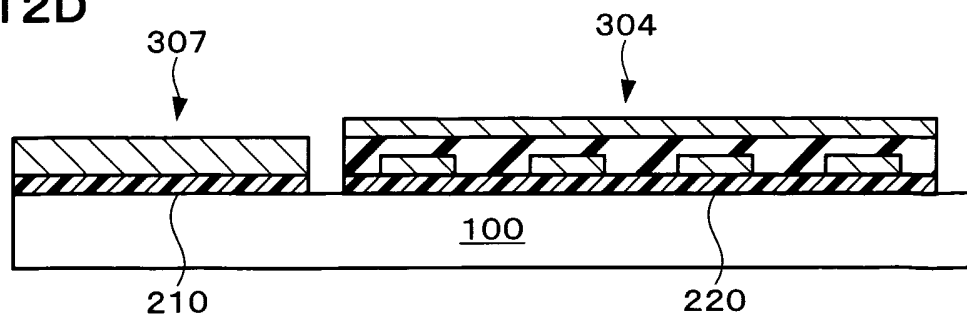
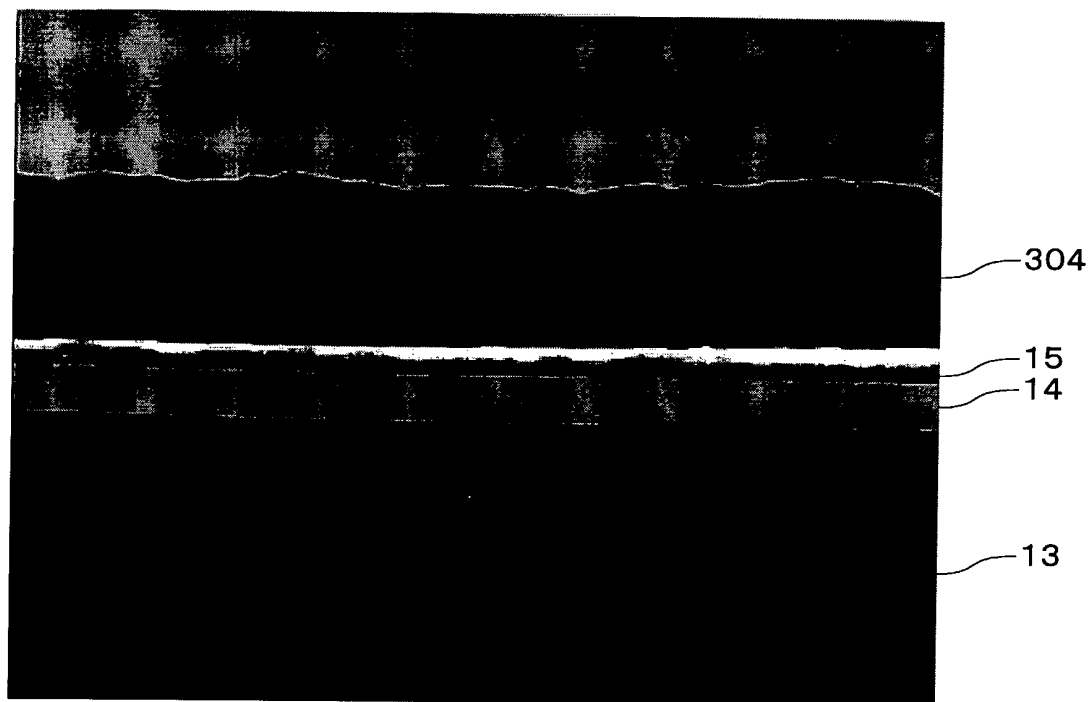


FIG. 12D



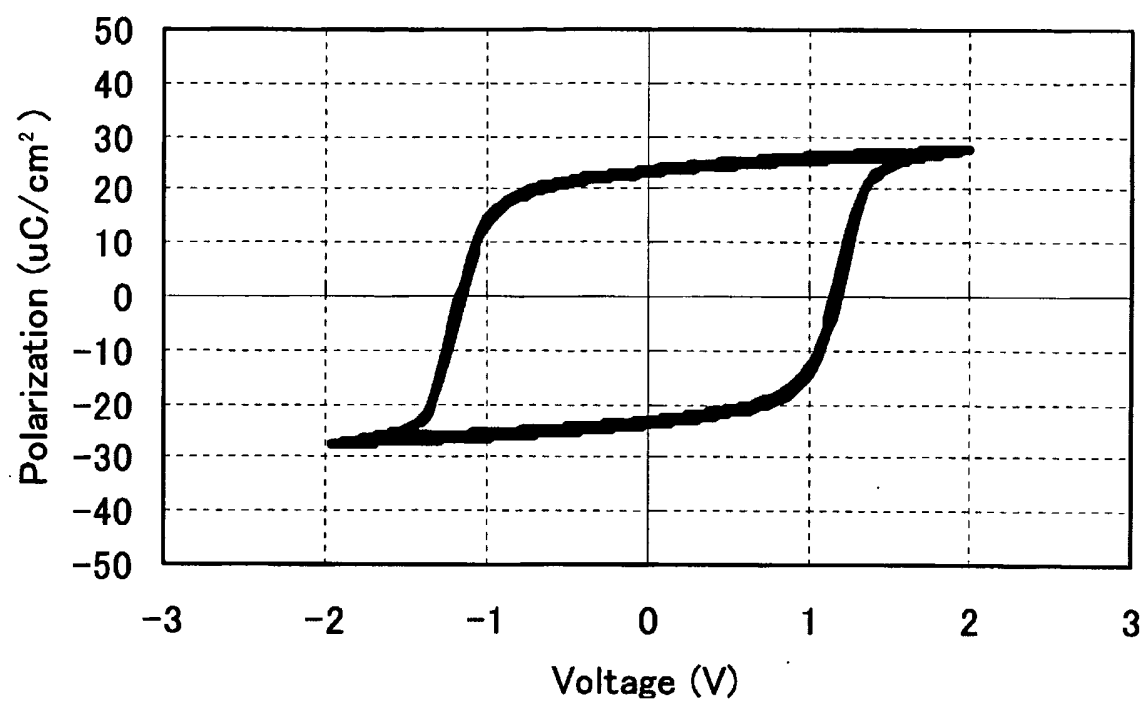
13/14

FIG. 13



14/14

FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10306

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/105, H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/105, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-168294 A (SEIKO EPSON CORP.), 22 June, 2001 (22.06.01), Figs. 1 to 18 (Family: none)	1-13
Y	JP 2002-26282 A (SEIKO EPSON CORP.), 25 January, 2002 (25.01.02), Figs. 1 to 4 (Family: none)	1-13
Y	JP 2000-91656 A (SEIKO EPSON CORP.), 31 March, 2000 (31.03.00), Par. Nos. [0030] to [0032]; Figs. 1, 5 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 November, 2003 (18.11.03)

Date of mailing of the international search report
02 December, 2003 (02.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10306

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 99/45593 A1 (SEIKO EPSON CORP.), 10 September, 1999 (10.09.99), Figs. 1 to 8, 21 & JP 11-251518 A (Figs. 1 to 8, 21) & CN 125692 A & EP 1017100 A1 & KR 01-12160 A & TW 407295 B & US 2003/56423 A1	7-13
A	JP 7-202052 A (Hitachi, Ltd.), 04 August, 1995 (04.08.95), Figs. 1 to 10 (Family: none)	1-17
A	JP 2002-217391 A (SEIKO EPSON CORP.), 02 August, 2002 (02.08.02), Figs. 1 to 9 (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/105, H01L27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/105, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-168294 A(セイコーエプソン株式会社)2001. 06. 22 第1図-第18図 (ファミリーなし)	1-13
Y	JP 2002-26282 A(セイコーエプソン株式会社)2002. 01. 25 第1図-第4図 (ファミリーなし)	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
18. 11. 03

国際調査報告の発送日
02.12.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
正山 旭



4M 9276

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-91656 A(セイコーエプソン株式会社)2000.03.31 第【0030】欄-第【0032】欄、第1図、第5図 (ファミリーなし)	1-13
Y	WO 99/45593 A1(SEIKO EPSON CORPORATION)1999.09.10 第1図-第8図、第21図 & JP 11-251518 A(第1図-第8図、第21図) & CN 125692 A & EP 1017100 A1 & KR 01-12160 A & TW 407295 B & US 2003/56423 A1	7-13
A	JP 7-202052 A(株式会社日立製作所)1995.08.04 第1図-第10図 (ファミリーなし)	1-17
A	JP 2002-217391 A(セイコーエプソン株式会社) 2002.08.02 第1図-第9図 (ファミリーなし)	1-17