

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 1 区分
 【発行日】平成 17 年 10 月 20 日 (2005.10.20)

【公表番号】特表 2002-505503 (P2002-505503A)
 【公表日】平成 14 年 2 月 19 日 (2002.2.19)
 【出願番号】特願 2000-533887 (P2000-533887)
 【国際特許分類第 7 版】

H 0 1 J 31/12

H 0 1 J 9/24

H 0 1 J 29/87

【F I】

H 0 1 J 31/12 C

H 0 1 J 9/24 A

H 0 1 J 29/87

【手続補正書】

【提出日】平成 16 年 2 月 19 日 (2004.2.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

所定のレベルの真空圧下において密閉されている大面積電界放出デバイス (F E D) であって、

大面積基板と、

前記基板の上に配置されたエミッタ電極構造であって、前記基板の実質的部分にわたって配置されているエミッタ電極構造と、

複数のグループのマイクロポイントであって、各グループのマイクロポイントが所定数のマイクロポイントを持ち、さらに、各グループのマイクロポイントが前記エミッタ電極構造上の離散位置に配置されているマイクロポイントと、

前記基板の上方に配置された絶縁層であって、この絶縁層を貫通し所定の範囲内の直径を持つ開口を持ち、この開口がマイクロポイントの少なくとも一部を囲む絶縁層と、

前記絶縁層上に配置された抽出構造であって、この抽出構造を貫通し所定の範囲内の直径を持つ開口を持ち、この開口がマイクロポイントの少なくとも一部を囲み、さらに、前記抽出構造内の前記開口が前記絶縁層内の前記開口と整列する抽出構造と、

前記抽出構造の上方に配置され、前記抽出構造から離隔されていて、光の所定の波長を透過させるフェースプレートと、

前記抽出構造に向かって前記フェースプレートの表面上に配置された第 1 導電層と、

第 1 導電層の上に配置されたマトリクス部材であって、ピクセル領域として機能する第 1 導電層表面の領域を画定し、前記ピクセル領域が、マイクロポイントのグループのマイクロポイントと整列するマトリクス部材と、

複数のピクセル領域内の前記第 1 導電層上に配置されたカソード発光材料であって、特定のピクセル領域にあるカソード発光材料が、前記ピクセル領域に関連するマイクロポイントから放出された電子を受け取るように整列するカソード発光材料と、

所定の位置にある前記フェースプレートと前記抽出構造との間に配置された複数のスペーサであって、前記 F E D 内の前記真空圧によって引き起こされ、前記スペーサが遭遇する応力に対応する高さを持つスペーサとを備えるデバイス。

【請求項 2】

請求項 1 のデバイスにおいて、前記 F E D の対角線方向のスクリーン寸法が 2 5 c m 以上であるデバイス。

【請求項 3】

請求項 1 のデバイスにおいて、前記抽出構造は電氣的伝導性物質の連続層を含むデバイス。

【請求項 4】

請求項 1 のデバイスにおいて、前記抽出構造は電氣的に結合された複数の離隔部材を含むデバイス。

【請求項 5】

請求項 1 のデバイスにおいて、前記マイクロポイントは低仕事関数の物質で被覆されているデバイス。

【請求項 6】

請求項 1 のデバイスにおいて、前記低仕事関数の物質は埋設されたセシウムを含むデバイス。

【請求項 7】

請求項 1 のデバイスにおいて、前記スペーサは前記 F E D 内で所定のパターンに配置されているデバイス。

【請求項 8】

請求項 1 のデバイスにおいて、前記 F E D の中央領域に近い少なくとも 1 つのスペーサは前記 F E D の側壁に近い位置のスペーサの高さよりも大きな高さを有するデバイス。

【請求項 9】

請求項 1 のデバイスにおいて、少なくとも 1 つのマイクロポイントは前記エミッタ電極構造上に四角形のパターンで配置されているデバイス。

【請求項 10】

請求項 1 のデバイスにおいて、前記第 1 導電層はインジウムスズ酸化 (I T O) 層を含むデバイス。

【請求項 11】

所定のレベルの真空圧下において密閉されている大面積電界放出デバイス (F E D) であって、

大面積基板と、

前記基板の上に配置されたエミッタ電極構造であって、前記基板の実質的部分にわたって配置されているエミッタ電極構造と、

複数のグループのマイクロポイントであって、各グループのマイクロポイントが所定数のマイクロポイントを持ち、さらに、各グループのマイクロポイントが前記エミッタ電極構造上の離散位置に配置されている複数のグループのマイクロポイントと、

前記基板の上方に配置された絶縁層であって、前記絶縁層を貫通し所定の範囲内の直径を持つ開口を持ち、前記開口がマイクロポイントの少なくとも一部を囲む絶縁層と、

前記絶縁層上に配置された抽出構造であって、前記抽出構造を貫通し所定の範囲内の直径を持つ開口を持ち、前記開口がマイクロポイントの少なくとも一部を囲み、さらに、前記抽出構造内の前記開口が前記絶縁層内の前記開口と整列する抽出構造と、

前記抽出構造の上方に配置され、前記抽出構造から離隔されていて、光の所定の波長を透過させるフェースプレートと、

前記抽出構造に向かって前記フェースプレートの表面上に配置された第 1 導電層と、

前記第 1 導電層の上に配置されたマトリクス部材であって、ピクセル領域として機能する前記第 1 導電層表面の領域を画定し、前記ピクセル領域が、マイクロポイントのグループのマイクロポイントと整列するマトリクス部材と、

複数のピクセル領域内の前記第 1 導電層上に配置されたカソード発光材料であって、特定のピクセル領域にあるカソード発光材料が、前記ピクセル領域に関連するマイクロポイントから放出された電子を受け取るように整列するカソード発光材料と、

所定の位置にある前記フェースプレートと前記抽出構造との間に配置された複数のスペーサであって、前記 F E D 内の前記真空圧によって引き起こされ、前記スペーサが遭遇する応力に対応する断面形状を持つ複数のスペーサとを備えるデバイス。

【請求項 1 2】

請求項 1 1 記載のデバイスにおいて、前記 F E D の対角スクリーンサイズが、25 cm 以上であるデバイス。

【請求項 1 3】

請求項 1 1 記載のデバイスにおいて、前記抽出構造が、導電材料の連続層を含むデバイス。

【請求項 1 4】

請求項 1 1 記載のデバイスにおいて、前記抽出構造が、電氣的に接続された複数の離間した部材を含むデバイス。

【請求項 1 5】

請求項 1 1 記載のデバイスにおいて、前記マイクロポイントが、低仕事関数材料で被覆されているデバイス。

【請求項 1 6】

請求項 1 1 記載のデバイスにおいて、前記低仕事関数材料が埋設されたセシウムを含むデバイス。

【請求項 1 7】

請求項 1 1 記載のデバイスにおいて、前記スペーサが前記 F E D 内に所定のパターンで配置されているデバイス。

【請求項 1 8】

請求項 1 7 記載のデバイスにおいて、少なくとも一つのスペーサが、「+」字状断面形状を有するデバイス。

【請求項 1 9】

請求項 1 7 記載のデバイスにおいて、少なくとも一つのスペーサが、「L」字状断面形状を有するデバイス。

【請求項 2 0】

請求項 1 7 記載のデバイスにおいて、少なくとも一つのスペーサが、矩形断面形状を有するデバイス。

【請求項 2 1】

請求項 1 7 記載のデバイスにおいて、少なくとも一つのスペーサが、「I ビーム」状断面形状を有するデバイス。

【請求項 2 2】

請求項 1 1 記載のデバイスにおいて、マイクロポイントの少なくとも一つのグループが、エミッタ電極構造上に矩形パターンで配置されているデバイス。

【請求項 2 3】

請求項 1 1 記載のデバイスにおいて、第 1 導電部材がインジウム錫酸化 (I T O) 層を含むデバイス。

【請求項 2 4】

所定レベルの負圧下で封止された広領域電界放出デバイス (F E D) の下部区画を広領域 F E D の上部区画へ形成且つ結合させる方法であり、前記 F E D の前記上部区画が、フェースプレートと、このフェースプレートの面上に配置された第 1 導電層と、この第 1 導電層の面上に配置されたマトリックス部材と、このマトリックス部材により覆われていない領域における第 1 電層上に配置されたカソード発光材料とを含む方法であって、

- (a) 所定の大きさの基板を形成する段階と、
- (b) 前記基板上にエミッタ電極構造を形成する段階と、
- (c) 前記エミッタ電極構造上にグループをなして形成されるように、前記エミッタ電極構造上に所定の高さ範囲で複数のマイクロポイントを形成する段階と、
- (d) 前記マイクロポイントを低仕事関数材料で被覆する段階と、

(e) 前記基板、エミッタ電極構造、及び複数のマイクロポイント上に第1絶縁層を被着させる段階と、

(f) 前記絶縁層上に第1導電層を被着させ、前記絶縁層と第1導電層との組合せ高さを少なくとも、最も高い被覆されたマイクロポイントと同じ高さにさせる段階と、前記絶縁層と第1導電層との組合せの厚さを前記F E Dに亘って実質的に均一にさせる調節研磨段階と、

(h) 前記被覆されたマイクロポイントを露呈させるように前記導電層及び前記絶縁層を貫通して開口をエッチングし、その開口の側壁を前記マイクロポイントから離間させる段階と、

(i) 前記F E Dの前記上部区画と前記下部区画との間に複数のスペーサを配置して前記上部区画と下部区画との間に所定の間隔を与え、前記スペーサは、それに加わる応力に比例する高さを有する段階とを含む方法。

【請求項25】

請求項24記載の方法において、前記調節研磨段階が化学的機械研磨を含む方法。

【請求項26】

請求項24記載の方法において、前記調節研磨段階が湿化学的エッチングを含む方法。

【請求項27】

請求項24記載の方法において、前記スペーサが前記F E Dの前記上部区画と前記下部区画との間のパターンに配置されている方法。

【請求項28】

所定レベルの負圧下で封止された広領域電界放出デバイス(F E D)の下部区画を広領域F E Dの上部区画へ形成且つ結合させる方法であり、前記F E Dの前記上部区画が、フェースプレートと、このフェースプレートの面上に配置された第1導電層と、この第1導電層の面上に配置されたマトリックス部材と、このマトリックス部材により覆われていない領域における第1導電層上に配置されたカソード発光材料とを含む方法であって、

(a) 所定の大きさの基板を形成する段階と、

(b) 前記基板上にエミッタ電極構造を形成する段階と、

(c) 前記エミッタ電極構造上にグループをなして形成されるように、前記エミッタ電極構造上に所定の高さ範囲で複数のマイクロポイントを形成する段階と、

(d) 前記マイクロポイントを低仕事関数材料で被覆する段階と、

(e) 前記基板、エミッタ電極構造、及び複数のマイクロポイント上に第1絶縁層を被着させる段階と、

(f) 前記絶縁層上に第1導電層を被着させ、前記絶縁層と第1導電層との組合せ高さを少なくとも、最も高い被覆されたマイクロポイントと同じ高さにさせる段階と、

(g) 第1導電層の第1面を実質的に滑らかで平坦な第1面にする調整された研磨をなし、前記絶縁層と第1導電層との組合せの厚さを前記F E Dに亘って実質的に均一にさせる調節研磨段階と、

(h) 前記被覆されたマイクロポイントを露呈させるように前記4電層及び前記絶縁層を貫通して開口をエッチングし、その開口の側壁を前記マイクロポイントから離間させる段階と、

(i) 前記F E Dの前記上部区画と前記下部区画との間に複数のスペーサを配置して前記上部区画と下部区画との間に所定の間隔を与え、前記スペーサは、それに加わる応力に比例する断面形状を有する段階とを含む方法。

【請求項29】

請求項28記載の方法において、前記調節研磨段階が化学的機械研磨を含む方法。

【請求項30】

請求項28記載の方法において、前記調節研磨段階が湿化学的エッチングを含む方法。

【請求項31】

請求項28記載の方法において、前記スペーサが前記F E Dの前記上部区画と前記下部区画との間のパターンに配置されている方法。

【請求項 3 2】

請求項 1 記載のデバイスにおいて、前記電子放出源が低仕事関数材料に埋設されているデバイス。

【請求項 3 3】

請求項 1 1 記載のデバイスにおいて、前記電子放出源が低仕事関数材料に埋設されているデバイス。

【請求項 3 4】

請求項 2 4 記載の方法において、前記マイクロポイントが低仕事関数材料に埋設されている方法。

【請求項 3 5】

請求項 2 8 記載の方法において、前記マイクロポイントが低仕事関数材料に埋設されている方法。

【請求項 3 6】

請求項 1 記載のデバイスにおいて、前記デバイスの前記抵抗/キャパシタンス (R C) 時間が $1 \mu s$ を含むデバイス。

【請求項 3 7】

請求項 1 1 記載のデバイスにおいて、前記デバイスの前記抵抗/キャパシタンス (R C) 時間が $1 \mu s$ を含むデバイス。