



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0029248  
(43) 공개일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/136* (2006.01) *H01L 29/786* (2006.01)  
(21) 출원번호 10-2013-0101968  
(22) 출원일자 2013년08월27일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2012-188010 2012년08월28일 일본(JP)  
JP-P-2013-053989 2013년03월15일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398  
(72) 발명자  
미야케 히로유키  
일본국 243-0036 가나가와Ken 아쓰기시 하세 398  
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
야마자키 순페이  
일본국 243-0036 가나가와Ken 아쓰기시 하세 398  
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
황의만

전체 청구항 수 : 총 20 항

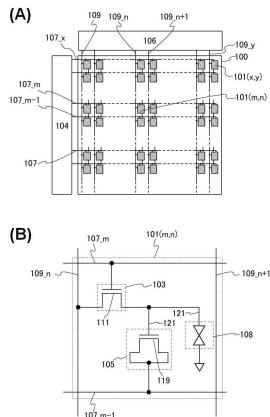
(54) 발명의 명칭 반도체 장치

### (57) 요 약

본 발명은 개구율이 높고, 전하 용량을 크게 한 용량 소자를 가지며, 소비 전력을 저감한 반도체 장치에 관한 것이다.

x개(x는 2 이상의 정수)의 주사선 및 y개(y는 1 이상의 정수)의 신호선에 의해 구성된 화소와, 화소에 형성된 투광성을 가지는 반도체막을 포함하는 트랜지스터와, 화소에 형성되고 한쌍의 전극 사이에 유전체막이 형성된 용량 소자를 가지는 반도체 장치에 대하여, m-1개(m은 2이상 x이하의 정수)째의 주사선 및 m개째의 주사선의 사이에 형성된 용량 소자에서, 트랜지스터의 투광성을 가지는 반도체막과 동일 표면 위에 형성되는 반도체막을 한쌍의 전극의 한쪽의 전극으로서 기능시키고, 또한 m-1개째의 주사선과 전기적으로 접속시키는 것이다.

### 대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

반도체 장치로서,

신호선;

제 1 주사선;

제 2 주사선;

소스, 드레인, 및 게이트를 포함하는 제 1 트랜지스터;

소스, 드레인, 및 게이트를 포함하는 제 2 트랜지스터;

화소 전극; 및

전극과, 상기 전극 위의 상기 화소 전극을 포함하는 용량 소자를 포함하고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 한쪽은 상기 화소 전극에 전기적으로 접속되고,

상기 제 1 주사선은 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 신호선은 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽과, 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 주사선은 상기 제 2 트랜지스터의 상기 게이트와 상기 용량 소자의 상기 전극에 전기적으로 접속되고,

상기 용량 소자의 상기 전극은 인듐과 아연을 포함하는 산화물막을 포함하는, 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는 상기 제 1 트랜지스터의 상기 게이트 위에 산화물 반도체막을 포함하는, 반도체 장치.

### 청구항 3

제 2 항에 있어서,

상기 산화물 반도체막은 인듐과 아연을 포함하는, 반도체 장치.

### 청구항 4

제 2 항에 있어서,

상기 산화물 반도체막 위에 절연막을 더 포함하고, 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인은 상기 절연막 위에 있는, 반도체 장치.

### 청구항 5

제 2 항에 있어서,

상기 용량 소자의 상기 전극은 상기 산화물 반도체막보다 도전율이 높은, 반도체 장치.

#### 청구항 6

제 2 항에 있어서,

상기 용량 소자의 상기 전극과 상기 제 1 트랜지스터의 상기 산화물 반도체막은 동일한 절연 표면 상에 제공되는, 반도체 장치.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 주사선과 상기 제 2 주사선 위에 절연막을 포함하고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인은 상기 절연막 위에 있고,

상기 절연막은 개구를 포함하고,

상기 용량 소자의 상기 전극은 상기 절연막의 상기 개구에서 상기 제 2 주사선과 접촉하는, 반도체 장치.

#### 청구항 8

제 1 항에 있어서,

상기 용량 소자의 상기 전극의 위쪽 표면과 접촉하는 질화 절연막을 포함하는, 반도체 장치.

#### 청구항 9

제 1 항에 있어서,

상기 용량 소자의 상기 전극의 아래쪽 표면과 접촉하는 질화 절연막을 포함하는, 반도체 장치.

#### 청구항 10

제 1 항에 있어서,

상기 용량 소자의 상기 전극은, 봉소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로 이루어지는 그룹으로부터 선택된 일종 이상을 포함하는 불순물을 포함하는, 반도체 장치.

#### 청구항 11

제 1 항에 있어서,

상기 화소 전극 위에 액정을 더 포함하는, 반도체 장치.

#### 청구항 12

반도체 장치로서,

기판;

상기 기판 위의 제 1 주사선 및 제 2 주사선;

상기 제 1 주사선과 상기 제 2 주사선 위의 제 1 절연막;

상기 제 1 절연막 위의 각각의 제 1 산화물막, 제 2 산화물막, 및 제 3 산화물막;

상기 제 1 산화물막 및 상기 제 3 산화물막 위에 있고, 상기 제 1 산화물막 및 상기 제 3 산화물막에 전기적으로 접속된 신호선;

상기 제 1 산화물막 위에 있고, 상기 제 1 산화물막에 전기적으로 접속된 도전막;

상기 신호선, 상기 도전막, 및 상기 제 2 산화물막 위의 제 2 절연막; 및

상기 제 2 절연막 위에 있고, 상기 도전막에 전기적으로 접속된 화소 전극을 포함하고,

상기 제 1 산화물막, 상기 제 2 산화물막, 및 상기 제 3 산화물막 각각은 인듐과 아연을 포함하고,

상기 제 1 산화물막은 상기 제 1 주사선과 중첩하고,

상기 제 2 산화물막은 상기 화소 전극과 중첩하고,

상기 제 3 산화물막은 상기 제 2 주사선과 중첩하고,

상기 제 2 산화물막은 상기 제 2 주사선에 전기적으로 접속되는, 반도체 장치.

### 청구항 13

제 12 항에 있어서,

상기 제 2 산화물막은 상기 제 1 산화물막 및 상기 제 3 산화물막보다 도전율이 높은, 반도체 장치.

### 청구항 14

제 12 항에 있어서,

상기 제 1 절연막은 질화물막이고 상기 제 2 산화물막과 접촉하는, 반도체 장치.

### 청구항 15

제 12 항에 있어서,

상기 제 2 절연막은 질화물막이고 상기 제 2 산화물막과 접촉하는, 반도체 장치.

### 청구항 16

제 12 항에 있어서,

상기 제 2 산화물막은 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로 이루어지는 그룹으로부터 선택된 일종 이상을 포함하는 불순물을 포함하는, 반도체 장치.

### 청구항 17

제 12 항에 있어서,

상기 제 1 절연막은 산화물막이고, 상기 제 1 산화물막 및 상기 제 3 산화물막과 접촉하는, 반도체 장치.

### 청구항 18

제 12 항에 있어서,

상기 제 2 절연막은 산화물막이고, 상기 제 1 산화물막 및 상기 제 3 산화물막과 접촉하는, 반도체 장치.

### 청구항 19

제 12 항에 있어서,

상기 제 2 절연막과 상기 신호선 사이에 제 3 절연막을 더 포함하고,

상기 제 2 절연막은 상기 제 2 산화물막과 접촉하는, 반도체 장치.

### 청구항 20

제 12 항에 있어서,

상기 화소 전극 위에 액정을 더 포함하는, 반도체 장치.

## 명세서

### 기술분야

[0001] 본 명세서 등에서 개시하는 발명은 반도체 장치에 관한 것이다.

## 배경기술

[0002] 최근, 액정 디스플레이(Liquid Crystal Display) 등의 플랫 패널 디스플레이가 널리 보급되고 있다. 플랫 패널 디스플레이 등의 표시 장치에서, 행 방향 및 열 방향으로 배치된 화소 내에는 스위칭 소자인 트랜지스터와, 이 트랜지스터와 전기적으로 접속된 액정 소자와, 이 액정 소자와 병렬로 접속된 용량 소자가 형성되어 있다.

[0003] 이 트랜지스터의 반도체막을 구성하는 반도체 재료로서는 어모퍼스(비정질) 실리콘 또는 폴리(다결정) 실리콘 등의 실리콘 반도체가 범용되고 있다.

[0004] 또, 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고 기재함)은 트랜지스터의 반도체막에 적용할 수 있는 반도체 재료이다. 예를 들면, 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 이용하여, 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

## 선행기술문헌

### 특허문헌

[0005] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

## 발명의 내용

### 해결하려는 과제

[0006] 용량 소자는 한쌍의 전극 사이에 유전체막이 형성되어 있고, 한쌍의 전극 중, 적어도 한쪽의 전극은 트랜지스터를 구성하는 게이트 전극, 소스 전극 또는 드레인 전극 등을 구성하는 차광성을 가지는 도전막으로 형성되어 있는 것이 많다.

[0007] 또, 용량 소자의 용량값을 크게 할수록 전계를 가한 상황에서, 액정 소자의 액정 분자의 배향을 일정하게 유지할 수 있는 기간을 길게 할 수 있다. 정지 화면을 표시시키는 표시 장치에서, 이 기간을 길게 할 수 있는 것은

화상 데이터를 다시 쓰는 횟수를 저감할 수 있고, 소비 전력의 저감을 기대할 수 있다.

[0008] 용량 소자의 전하 용량을 크게 하기 위해서는 용량 소자의 접유 면적을 크게 하는, 구체적으로는 한쌍의 전극이 중첩하고 있는 면적을 크게 하는 수단이 있다. 그러나, 상기 표시 장치에서, 한쌍의 전극이 중첩하고 있는 면적을 크게 하기 위해 차광성을 가지는 도전막의 면적을 크게 하면, 화소의 개구율이 저감되어 화상의 표시 품질이 저하된다.

[0009] 그러므로, 본 발명의 일양태는 개구율이 높고, 전하 용량을 증대시킬 수 있는 용량 소자를 가지는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또, 개구율이 높고, 전하 용량을 증대시킬 수 있는 용량 소자를 가지고, 소비 전력을 저감시킨 반도체 장치를 제공하는 것을 과제의 하나로 한다.

### 과제의 해결 수단

[0010] 본 발명의 일양태는 행 방향 및 열 방향으로 배치된 화소에 트랜지스터와 투광성을 가지는 용량 소자가 형성되어 있고, 이 용량 소자를 구성하는 한쌍의 전극 중 한쪽의 전극이 행 방향에 인접하는 화소를 구성하는 주사선과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치이다.

[0011] 이 용량 소자의 한쪽의 전극은 투광성을 가지는 반도체막으로 형성할 수 있다. 예를 들면, 투광성을 가지는 반도체막은 에너지 갭이 3.0eV 이상으로 크고, 가시광에 대한 투과율이 큰 반도체의 산화물 반도체를 이용하여 형성할 수 있다.

[0012] 또, 투광성을 가지는 용량 소자는 트랜지스터의 형성 공정을 이용함으로써 형성할 수 있다. 용량 소자의 한쪽의 전극은 트랜지스터의 반도체막을 형성하는 공정을 이용할 수 있다. 트랜지스터의 반도체막으로서 산화물 반도체막을 이용할 수 있고, 적절한 처리를 행하여 형성한 산화물 반도체막을 이용한 트랜지스터는 오프 전류가 극히 낮기 때문에 이와 같이 함으로써, 반도체 장치의 소비 전력을 저감할 수 있다.

[0013] 상기로부터, 본 발명의 일양태는 x개(x는 2 이상의 정수)의 주사선 및 y개(y는 1 이상의 정수)의 신호선으로 구성된 화소와, 화소에 형성된 투광성을 가지는 반도체막을 포함하는 트랜지스터와, 화소에 형성되고, 한쌍의 전극 사이에 유전체막이 형성되고, 또 트랜지스터와 전기적으로 접속된 용량 소자를 가지고,  $m-1$ 개( $m$ 은 2 이상 x 이하의 정수)째의 주사선 및  $m$ 개째의 주사선 사이에 형성된 용량 소자에서, 트랜지스터의 투광성을 가지는 반도체막과 동일 표면 위에 형성되는 반도체막은 한쌍의 전극의 한쪽의 전극으로서 기능하고, 또  $m-1$ 개째의 주사선과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치이다.

[0014] 또한, 용량 소자의 유전체막은 트랜지스터의 반도체막 위에 형성되는 절연막을 형성하는 공정을 이용하여 형성할 수 있고, 용량 소자의 다른 한쪽의 전극은 트랜지스터와 전기적으로 접속되는 화소 전극을 형성하는 공정을 이용하여 형성할 수 있다.

[0015] 즉, 본 발명의 일양태인 반도체 장치는 상기 반도체 장치에서, 트랜지스터와 전기적으로 접속된 화소 전극을 가지고, 화소 전극은 한쌍의 전극의 다른 한쪽의 전극으로서 기능하고, 트랜지스터의 투광성을 가지는 반도체막 위에 형성된 절연막은 유전체막으로서 기능하는 것을 특징으로 하는 반도체 장치이다.

[0016] 이와 같이 함으로써, 용량 소자는 투광성을 가지기 때문에 화소 내의 트랜지스터가 형성되는 개소 이외의 영역에 크게(대면적으로) 형성할 수 있다. 따라서, 본 발명의 일양태에 의해 개구율을 높이면서, 전하 용량을 증대시킨 반도체 장치를 얻을 수 있다. 또, 개구율을 향상시키는 것에 의해 표시 품질이 우수한 반도체 장치를 얻을 수 있다. 그리고, 본 발명의 일양태인 반도체 장치는 행 방향에 인접된 화소를 구성하는 주사선이 용량 소자의 한쪽의 전극에 전위를 공급하는 배선(용량선)으로서도 기능한다. 그러므로, 화소에 용량선을 별도로 형성하지 않는 구성으로 할 수 있기 때문에, 종래의 반도체 장치보다 화소의 개구율을 더 높일 수 있다.

[0017] 상기 반도체 장치에서, 트랜지스터의 반도체막 위에 형성되는 절연막을 산화 절연막 및 질화 절연막의 적층 구조로 함으로써, 용량 소자의 유전체막을 산화 절연막 및 질화 절연막의 적층 구조로 할 수 있다.

[0018] 또, 트랜지스터의 반도체막 위에 형성되는 절연막을 산화 절연막 및 질화 절연막의 적층 구조로 하는 경우, 용량 소자 위의 영역만 이 산화 절연막을 제거함으로써, 용량 소자의 유전체막을 이 질화 절연막만의 단층 구조로 할 수 있다. 달리 말하면, 이 질화 절연막은 용량 소자의 한쪽의 전극으로서 기능하는 산화물 반도체막에 접한다. 질화 절연막과 산화물 반도체막이 접함으로써, 이 질화 절연막과 이 산화물 반도체막의 계면에 결합 준위(계면 준위)가 형성된다. 또는/및, 질화 절연막을 플라즈마 CVD법 또는 스퍼터링법으로 성막하면, 이 반도체막

이 플라즈마에 노출되어 산소 결손이 생성된다. 또한 이 질화 절연막에 포함되는 질소 또는/및 수소가 이 반도체막으로 이동한다. 결합 준위 또는 산소 결손에 질화 절연막에 포함되는 수소가 들어감으로써, 캐리어인 전자가 생성된다. 이 결과, 이 반도체막은 도전율이 증대하여,  $n$ 형이 되고, 도전성을 가지는 막이 된다. 이 산화물 반도체막의 도전성을 증대시킴으로써, 이 산화물 반도체막을 용량 소자의 한쪽의 전극으로서 충분하고 용이하게 기능시킬 수 있다. 또, 유전체막의 두께를 얇게 할 수 있기 때문에, 용량 소자의 전하 용량을 증대시킬 수 있다.

[0019] 상기로부터, 본 발명의 일양태는  $x$ 개( $x$ 는 2 이상의 정수)의 주사선 및  $y$ 개( $y$ 는 1 이상의 정수)의 신호선으로 구성된 화소와, 화소에 형성된 투광성을 가지는 반도체막을 포함한 트랜지스터와, 화소에 형성되고, 한쌍의 전극 사이에 유전체막이 형성된 용량 소자를 가지고, 트랜지스터에서 투광성을 가지는 반도체막 위에는 산화 절연막 및 질화 절연막의 적층 구조인 절연막이 형성되어 있고,  $m-1$ 개( $m$ 은 2 이상  $x$  이하의 정수)째의 주사선 및  $m$ 개째의 주사선 사이에 형성된 용량 소자에서 트랜지스터의 투광성을 가지는 반도체막과 동일 표면 위에 형성되는 반도체막은 한쌍의 전극의 한쪽의 전극으로서 기능하고, 또  $m-1$ 개째의 주사선과 전기적으로 접속되어 있어, 이 절연막의 질화 절연막은 유전체막으로서 기능하는 것을 특징으로 하는 반도체 장치이다.

[0020] 또, 상기 반도체 장치에서도, 트랜지스터와 전기적으로 접속된 화소 전극은 한쌍의 전극의 다른 한쪽의 전극으로서 기능한다.

[0021] 용량 소자에서, 한쪽의 전극으로서 기능하는 산화물 반도체막은 용량선으로서 기능하는 인접하는 화소를 구성하는 주사선과 직접 접하여 형성함으로써 전기적으로 접속할 수 있다. 또, 한쪽의 전극으로서 기능하는 산화물 반도체막은 트랜지스터의 소스 전극 또는 드레인 전극을 형성하는 공정으로 형성되는 도전막을 이용하여 이 주사선과 전기적으로 접속시킬 수 있다.

[0022] 특히, 이 도전막은 한쪽의 전극으로서 기능하는 산화물 반도체막의 단부에 접하여 형성해도 좋고, 예를 들면, 이 산화물 반도체막의 외주를 따라 접하여 형성할 수 있다. 이와 같이 함으로써, 이 산화물 반도체막의 도전성을 증대시킬 수 있다. 이 산화물 반도체막의 도전성을 증대시킴으로써, 이 산화물 반도체막을 용량 소자의 한쪽의 전극으로서 용이하게 기능시킬 수 있다.

[0023] 상기 반도체 장치에서, 용량 소자의 한쪽의 전극으로서 기능하는 산화물 반도체막은  $n$ 형으로 하고, 도전율을 증대시키는 것이 바람직하다. 즉, 용량 소자의 한쪽의 전극은  $n$ 형이며, 트랜지스터의 산화물 반도체막과 동일 표면 위에 형성되고, 또 이 산화물 반도체막보다 도전율이 높은 영역을 가지는 산화물 반도체막인 것이 바람직하다. 이와 같이 함으로써, 이 산화물 반도체막을 용량 소자의 한쪽의 전극으로서 충분하며 용이하게 기능시킬 수 있다. 또, 용량 소자를 동작시키는 기간에 항상 안정적으로 이 용량 소자를 동작시킬 수 있다.

[0024] 산화물 반도체막을  $n$ 형으로 하고, 도전율을 증대시키기 위해서는 예를 들면, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 일종 이상의 원소를 이 산화물 반도체막에 첨가하는 것이 바람직하다. 또한, 상기 원소를 이 산화물 반도체막에 첨가하는 방법으로서는 이온 주입법 또는 이온 도핑법 등이 있고, 이 산화물 반도체막을 상기 원소를 포함하는 플라즈마에 노출시키는 것으로도 상기 원소를 첨가할 수 있다. 이 경우, 용량 소자의 한쪽의 전극으로서 기능하는 산화물 반도체막의 도전율은  $10S/cm$  이상  $1000S/cm$  이하, 바람직하게는  $100S/cm$  이상  $1000S/cm$  이하로 한다.

[0025] 또한, 상기 반도체 장치와 같이, 용량 소자에서 한쪽의 전극으로서 기능하는 산화물 반도체막에 질화 절연막이 접하는 구조로 함으로써, 이온 주입법 또는 이온 도핑법 등, 상기 원소를 첨가하는 공정을 생략할 수 있고, 반도체 장치의 수율을 향상시켜서 제작 비용을 저감할 수 있다.

[0026] 상기 반도체 장치에서, 트랜지스터의 산화물 반도체막 위에 형성되는 절연막을 산화 절연막 및 질화 절연막의 적층 구조로 하는 경우, 이 산화 절연막은 질소를 투과시키기 어려운, 즉 질소에 대한 배리어성을 가지고 있는 것이 바람직하다.

[0027] 이와 같이 함으로써, 트랜지스터의 산화물 반도체막에 질소가 확산되는 것을 억제할 수 있고, 트랜지스터의 전기 특성 변동을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0028] 또한, 본 발명의 일양태인 반도체 장치를 제작하는 제작 방법에 대해서도 본 발명의 일양태에 포함된다.

## 발명의 효과

[0029]

본 발명의 일양태로부터, 개구율을 높이면서 전하 용량을 증대시킨 용량 소자를 가지는 반도체 장치를 제공할 수 있다. 또, 개구율이 높고, 전하 용량을 크게 한 용량 소자를 가지고, 소비 전력을 저감한 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0030]

도 1은 반도체 장치를 나타내는 도면, 및 회로도이다.

도 2는 반도체 장치에 포함되는 용량 소자의 전압과 용량의 관계를 나타내는 도면이다.

도 3은 반도체 장치에 포함되는 용량 소자의 동작 방법을 설명하기 위한 타이밍 차트이다.

도 4는 반도체 장치에 포함되는 용량 소자의 동작 방법을 설명하는 도면이다.

도 5는 반도체 장치를 나타내는 상면도이다.

도 6은 반도체 장치를 나타내는 단면도이다.

도 7은 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 8은 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 9는 반도체 장치를 나타내는 상면도이다.

도 10은 반도체 장치를 나타내는 단면도이다.

도 11은 반도체 장치를 나타내는 상면도이다.

도 12는 반도체 장치를 나타내는 상면도이다.

도 13은 반도체 장치를 나타내는 단면도이다.

도 14는 반도체 장치를 나타내는 상면도이다.

도 15는 반도체 장치에 적용할 수 있는 트랜지스터를 나타내는 단면도이다.

도 16은 반도체 장치에 적용할 수 있는 트랜지스터를 나타내는 단면도이다.

도 17은 반도체 장치에 적용할 수 있는 트랜지스터를 나타내는 단면도이다.

도 18은 반도체 장치를 나타내는 상면도이다.

도 19는 반도체 장치를 나타내는 단면도이다.

도 20은 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 21은 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 22는 반도체 장치를 나타내는 단면도이다.

도 23은 반도체 장치를 나타내는 상면도이다.

도 24는 반도체 장치를 나타내는 단면도이다.

도 25는 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 26은 반도체 장치의 제작 방법을 나타내는 단면도이다.

도 27은 반도체 장치에 적용할 수 있는 트랜지스터를 나타내는 단면도이다.

도 28은 반도체 장치를 나타내는 상면도이다.

도 29는 반도체 장치를 나타내는 단면도이다.

도 30은 반도체 장치의 주사선 구동 회로의 일부를 나타내는 상면도 및 단면도이다.

도 31은 반도체 장치의 공통 접속부를 나타내는 상면도 및 단면도이다.

도 32는 반도체 장치를 이용한 전자기기를 설명하는 도면이다.

도 33은 반도체 장치를 이용한 전자기기를 설명하는 도면이다.

도 34는 시료 구조를 설명하는 도면이다.

도 35는 시트 저항을 설명하는 도면이다.

도 36은 SIMS의 측정 결과를 설명하는 도면이다.

도 37은 ESR의 측정 결과를 설명하는 도면이다.

도 38은 ESR의 측정 결과를 설명하는 도면이다.

도 39는 시트 저항을 설명하는 도면이다.

도 40은 시트 저항을 설명하는 도면이다.

도 41은 InGaZnO<sub>4</sub> 결정의 벌크 모델을 설명하는 도면이다.

도 42는 VoH의 형성 에너지 및 열역학적 천이 레벨을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0031]

이하에서는 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 그 형태 및 세부 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 또, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

[0032]

이하에 설명하는 본 발명의 구성에서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통으로 이용하고, 그 반복된 설명은 생략한다. 또, 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0033]

본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.

[0034]

본 명세서 등에 있어서, 제 1, 제 2 등으로서 붙여지는 서수사는 편의상 이용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 또, 본 명세서 등에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.

[0035]

또, 본 발명에서 「소스」 및 「드레인」의 기능은 회로 동작에서 전류의 방향이 변화하는 경우 등에는 서로 바꿔는 경우가 있다. 따라서, 본 명세서에서는 「소스」 및 「드레인」이라는 용어는 서로 바꾸어 이용할 수 있는 것으로 한다.

[0036]

또, 전압은 두 점 사이에서의 전위차를 말하며, 전위는 어느 한점에서의 정전장 중에서의 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어느 한점에서의 전위와 기준이 되는 전위(예를 들면 접지 전위)와의 전위차를 단순히 전위 혹은 전압이라고 하며, 전위와 전압이 동의어로서 이용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋다.

[0037]

본 명세서에서, 포토리소그래피 처리를 행한 후에 예칭 처리를 행하는 경우에는 포토리소그래피 처리로 형성한 마스크는 제거하는 것으로 한다.

[0038]

(실시형태 1)

[0039]

본 실시형태에서는 본 발명의 일양태인 반도체 장치에 대하여, 도면을 이용하여 설명한다. 또한, 본 실시형태에서는 액정 표시 장치를 예로서 본 발명의 일양태인 반도체 장치를 설명한다.

[0040]

<반도체 장치의 구성>

[0041]

도 1(A)에 반도체 장치의 일례를 나타내는 도면을 도시한다. 도 1(A)에 도시하는 반도체 장치는 화소부(100)와 주사선 구동 회로(104)와 신호선 구동 회로(106)와 각각이 평행 또는 대략 평행하게 배치되고, 또 주사선 구동

회로(104)에 의해 전위가 제어되는 x개의 주사선(107)과 각각이 평행 또는 대략 평행하게 배치되고, 또 신호선 구동 회로(106)에 의해 전위가 제어되는 y개의 신호선(109)을 가진다. 또한, x는 2 이상의 정수이며, y는 1 이상의 정수이다.

[0042] 화소부(100)에는 x개의 주사선(107) 및 y개의 신호선(109)의 각각에 의해 구성된 화소(101)가 행 방향 및 열 방향으로 배치되어 있다. 즉, 화소부(100)는 매트릭스 형상(x행 y열)으로 배치된 화소(101)를 가진다. 또, 본 명세서 및 도면 등에서, m개째의 주사선을 주사선(107\_m)이라고 나타내고, n개째의 신호선을 신호선(109\_n)이라고 나타내고, 주사선(107\_m) 및 신호선(109\_n)이 교차된 영역에 형성된 화소를 화소(101(m, n))라고 나타낸다. m은 2 이상 x 이하의 정수이며, n은 1 이상 y 이하의 정수이다.

[0043] 주사선(107\_m)은 m행에 배치된 화소(101)와 전기적으로 접속되어 있다. 또, 신호선(109\_n)은 n열에 배치된 화소(101)와 전기적으로 접속되어 있다.

[0044] 또, m행에 배치된 화소(101)는 행 방향에 인접한 화소를 구성하고 있는 주사선과도 전기적으로 접속되어 있다. 구체적으로는, 주사선(107\_m-1)은 m-1행에 배치된 화소(101), 및 m행에 배치된 화소(101)와 전기적으로 접속되어 있다.

[0045] 도 1(B)은 도 1(A)에 도시하는 반도체 장치에서의 화소(101(m, n))의 회로도의 일례이다. 도 1(B)에 도시하는 화소(101(m, n))는 주사선(107\_m) 및 신호선(109\_n)과 전기적으로 접속된 트랜지스터(103)와, 한쪽의 전극이 주사선(107\_m-1)과 전기적으로 접속되고, 다른 한쪽의 전극이 트랜지스터(103)와 전기적으로 접속되어 있는 화소 전극(121)인 용량 소자(105)와, 화소 전극(121)과 대향하여 형성되는 전극(대향 전극)이 대향 전위를 공급하는 배선에 전기적으로 접속된 액정 소자(108)를 가진다.

[0046] 화소(101(m, n))에 있어서, 주사선(107\_m-1)은 용량 소자(105)의 한쪽의 전극에 전위를 공급하는 배선(용량선)으로서도 기능한다.

[0047] 트랜지스터(103)에 포함되는 반도체막은 산화물 반도체막으로 한다. 트랜지스터의 채널 형성 영역을 가지는 반도체막에 있어서, 적절한 조건에서 처리한 산화물 반도체막을 이용하면 트랜지스터의 오프 전류를 극히 저감할 수 있다. 따라서, 트랜지스터(103)는 오프 전류가 매우 낮은 트랜지스터이다.

[0048] 용량 소자(105)는 한쌍의 전극 사이에 유전체막이 형성되어 있고, 투광성을 가지는 용량 소자이다. 용량 소자(105)는 트랜지스터(103)의 형성 공정을 이용하여 형성할 수 있다. 용량 소자(105)의 한쪽의 전극은 투광성을 가지는 반도체막, 구체적으로는 산화물 반도체막(119)이며, 가하는 전위를 제어하고, 도통 상태로 하게 함으로써 한쪽의 전극으로서 기능한다. 산화물 반도체막(119)은 트랜지스터(103)에 포함되는 산화물 반도체막(111)의 형성 공정을 이용하여 형성되는 산화물 반도체막이다. 유전체막은 트랜지스터(103)에 포함되는 산화물 반도체막(111) 위에 형성되는 투광성을 가지는 절연막이다. 화소 전극(121)은 용량 소자(105)의 다른 한쪽의 전극으로서 기능한다. 따라서, 용량 소자(105)는 MOS(Metal Oxide Semiconductor) 커패시터라고 볼 수 있다. MOS 커패시터는 도 2에 도시하는 바와 같이 문턱 전압(V<sub>th</sub>)보다 높은 전압이 MOS 커패시터를 구성하는 전극의 한쪽(용량 소자(105)에서는 화소 전극(121))에 가해지면 충전된다. 또한, 도 2에서, 횡축은 화소 전극에 가해지는 전압(V)을 나타내고, 종축은 용량(C)을 나타낸다. 또, CV 측정(Capacitance-Voltage-Measurement) 시의 전압의 주파수가 반도체 장치의 프레임 주파수보다 작은 경우에, 도 2에 도시하는 바와 같은 CV 곡선이 된다. 또, 도 2에서 실선이 i형의 전극인 경우의 CV 곡선을 나타내고, 파선이 n형의 전극인 경우의 CV 곡선을 나타내고 있다.

[0049] 액정 소자(108)는 트랜지스터(103) 및 화소 전극(121)이 형성되는 기판과, 대향 전극이 형성되는 기판으로 협지되는 액정의 광학적 변조 작용에 의해, 광의 투과 또는 비투과를 제어하는 소자이다. 또한, 액정의 광학적 변조 작용은 액정에 가해지는 전계(종방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 또한, 화소 전극이 형성되는 기판에서 대향 전극(공통 전극이라고도 함)이 형성되는 경우, 액정에 가해지는 전계는 횡방향의 전계가 된다.

[0050] 주사선 구동 회로(104) 및 신호선 구동 회로(106)는 논리 회로부와 스위치부 또는 버퍼부로 크게 구별된다. 주사선 구동 회로(104) 및 신호선 구동 회로(106)의 상세한 구성에 대해서는 생략하지만, 주사선 구동 회로(104) 및 신호선 구동 회로(106)에는 트랜지스터가 포함되어 있다.

[0051] 또한, 주사선 구동 회로(104) 및 신호선 구동 회로(106)의 한쪽 또는 쌍방에 포함되는 트랜지스터는 트랜지스터(103)의 형성 공정을 이용하여 형성할 수 있다. 즉, 주사선 구동 회로(104) 및 신호선 구동 회로(106)의 한쪽 또는 쌍방은 트랜지스터(103) 및 화소 전극(121)이 형성되는 기판에 형성할 수 있다. 이와 같이, 주사선 구동

회로(104) 및 신호선 구동 회로(106)의 한쪽 또는 쌍방을 이 기판에 일체 형성함으로써, 반도체 장치의 부품 접수를 삽입할 수 있어 제작 비용을 저감할 수 있다.

[0052] 상기로부터, 용량 소자(105)는 투광성을 가지기 때문에, 화소(101(m, n))의 트랜지스터(103)가 형성되는 개소 이외의 영역에 크게(대면적으로) 형성할 수 있다. 도 1에 도시한 반도체 장치는 개구율을 높이면서, 전하 용량을 증대시킨 반도체 장치이다. 또, 표시 품질이 우수한 반도체 장치이다. 그리고, 도 1에 도시한 반도체 장치에서, 주사선(107\_m-1)은 용량 소자(105)의 용량선으로서도 기능하기 때문에, 용량선을 별도로 형성하지 않는 구성으로 할 수 있다. 따라서, 도 1에 도시한 반도체 장치는 종래의 반도체 장치보다 화소의 개구율이 더 높아진 반도체 장치이다. 예를 들면, 본 발명의 일양태인 반도체 장치에서, 화소 밀도를 300ppi 정도로 하는 경우, 화소의 개구율을 50% 이상, 또 화소의 개구율을 55% 이상, 또 화소의 개구율을 60% 이상으로 할 수 있다. 또, 본 발명의 일양태는 종래의 반도체 장치보다 화소의 개구율이 더 높아진 반도체 장치를 용이하게 얻을 수 있다.

[0053] 여기에서, 화소(101(m, n))에 형성된 용량 소자(105)의 동작에 대하여 설명한다. 도 3은 신호선(109\_n), 주사선(107\_m-1), 주사선(107\_m) 및 화소 전극(121)의 타이밍 차트이다. 이 타이밍 차트는 신호선(109\_n), 주사선(107\_m-1), 주사선(107\_m) 및 화소 전극(121)의 각각의 전위 변화를 나타내는 것이며, 신호선(109\_n), 주사선(107\_m-1), 주사선(107\_m) 및 화소 전극(121)의 각각은 신호가 입력됨으로써 전위가 변화한다.

[0054] 시각 T1 이전의 기간에서, 신호선(109\_n)에는 신호선 구동 회로(106)로부터 어느 특정한 신호(비디오 신호 등)가 입력되어 있다. 이 기간에, 주사선(107\_m-1) 및 주사선(107\_m)에는 트랜지스터(103)를 도통 상태로 하는 신호가 주사선 구동 회로(104)로부터 입력되어 있지 않다. 또, 이 기간에, 화소 전극(121)에도 신호는 입력되어 있지 않다.

[0055] 시각 T1으로부터 시각 T2의 기간(기간 T1T2)에서, 신호선(109\_n)에는 시각 T1 이전의 기간과 마찬가지로 어느 특정의 신호가 입력되어 있다. 기간 T1T2에서, 주사선(107\_m-1)에는 화소(101(m-1, n))에 설치되어 있는 트랜지스터를 도통 상태로 하는 신호가 입력되고, 주사선(107\_m-1)의 전위는 상승한다. 기간 T1T2에서, 주사선(107\_m)에는 트랜지스터(103)를 도통 상태로 하는 신호가 입력되어 있지 않다.

[0056] 또, 기간 T1T2에서, 화소 전극(121)은 전위가 상승한다. 화소 전극(121)의 전위가 상승하는(변동하는) 이유는 이하와 같다. 주사선(107\_m-1)과 용량 소자(105)의 한쪽의 전극으로서 기능하는 산화물 반도체막(119)이 전기적으로 접속되어 있기 때문에, 주사선(107\_m-1)의 전위가 변동하면, 이 한쪽의 전극(산화물 반도체막(119))의 전위도 변동한다. 용량 소자(105)의 다른 한쪽의 전극으로서 기능하는 화소 전극(121)은 이 한쪽의 전극과 유전체막을 통하여 대향하고 있기 때문에, 이 한쪽의 전극의 전위에 추종하여 변동한다. 따라서, 화소 전극(121)의 전위는 주사선(107\_m-1)의 전위에 추종하여 상승한다. 또, 화소 전극(121)은 주사선(107\_m-1)과 같은 전위 변동을 나타낸다.

[0057] 시각 T2부터 시각 T3의 기간(기간 T2T3)에서, 주사선(107\_m-1)에는 화소(101(m-1, n))에 설치되어 있는 트랜지스터를 비도통 상태로 하는 신호가 입력되므로, 주사선(107\_m-1)의 전위는 시각 T2에서 강하한다. 화소 전극(121)의 전위는 주사선(107\_m-1)의 전위에 추종하여 변동되므로, 시각 T2에서 주사선(107\_m-1)과 마찬가지로 강하한다.

[0058] 기간 T2T3에서, 주사선(107\_m)에는 트랜지스터(103)를 도통 상태로 하는 신호가 입력되고, 주사선(107\_m)의 전위는 상승한다. 기간 T2T3에서, 신호선(109\_n)에는 액정 소자(108)를 원하는 곳에 동작시키는 신호가 입력된다. 기간 T2T3에서, 트랜지스터(103)는 도통 상태가 되기 때문에, 신호선(109\_n)에 입력되는 신호는 트랜지스터(103)와 전기적으로 접속되어 있는 화소 전극(121)에 입력되고, 화소 전극(121)의 전위는 신호선(109\_n)의 전위까지 상승한다. 이와 같이 화소 전극(121)의 전위가 변동함으로써 용량 소자(105)로서 동작한다.

[0059] 또한, 시각 T3 이후의 기간에서, 신호선(109\_n)에는 시각 T1 이전의 기간과 같이 어느 특정의 신호가 입력된다. 이 기간에 있어서, 화소 전극(121)의 전위는 기간 T2T3에서 상승한 전위가 유지된다. 상세하게는, 다시 주사선(107\_m-1)의 전위가 변화할 때까지 유지된다.

[0060] 또, 기간 T1T2에 있어서, 이 기간의 길이는 매우 짧고, 액정 소자(108)에서의 액정의 응답 속도보다 짧기 때문에, 이 액정의 광학적 변조 작용의 영향은 매우 작고, 화소 전극(121)의 전위가 변동해도 반도체 장치의 표시 품질에 영향을 주는 일은 없다고 할 수 있다.

[0061] 여기에서, 용량 소자의 문턱 전압(V<sub>th</sub>), 주사선(107\_m)의 전위, 주사선(107\_m-1)의 전위, 비디오 신호 중심, 화

소 전극(121)의 전위의 관계에 대하여, 도 4(A), 도 4(B)를 이용하여 이하에 설명을 행한다.

[0062] 도 4(A)는 도 2에 도시하는 실선의 CV 곡선의 특성을 가지는 용량 소자를 이용한 경우의 일례를 나타내고 있고, 도 4(B)는 도 2에 도시하는 파선의 CV 곡선의 특성을 가지는 용량 소자를 이용한 경우의 일례를 나타내고 있다. 또, 도 4(A), 도 4(B)에서 주사선(107\_m)에 공급되는 전위 중, 가장 낮은 전위를 GVss라고 나타내고, 가장 높은 전위를 GVdd로서 나타낸다.

[0063] 또한, 용량 소자는 한쌍의 전극간에 유전체막이 형성되어 있다. 즉, 한쌍의 전극간의 전위차에 의하여, 용량 소자의 동작이 정해진다. 예를 들면, 용량 소자의 문턱 전압을 Vth, 화소 전극(121)의 전위를 Vd, 용량 소자의 전극으로서 기능하는 산화물 반도체막(119)의 전위를 Vc로서 나타낸 경우,  $Vd \geq Vc + Vth$ 의 관계를 만족시키면 좋다.

[0064] 또, 도 4(A), 도 4(B)에 도시하는 바와 같이, 용량 소자(105)의 전극인 화소 전극(121)의 전위는 신호선(109\_n)에 입력되는 신호에 따라서 플러스 방향 및 마이너스 방향으로 변동한다. 구체적으로는 비디오 신호 중심을 기준으로서 플러스 방향 및 마이너스 방향으로 변동한다.

[0065] 도 4(A)의 경우, 주사선(107\_m-1)의 전위를 화소 전극(121)의 최저 전위보다 용량 소자의 Vth분 이상 낮게 함으로써 상술한 관계를 만족시킬 수 있기 때문에, 용량 소자를 동작시킬 수 있다(도 4(A) 참조). 이것은 도 2에 도시하는 실선의 CV 곡선의 특성을 가지는 용량 소자의 전극은 i형이며, Vth가 플러스이기 때문에, 화소 전극(121)의 최저 전위보다, 용량 소자의 Vth분 이상 낮게(마이너스 방향으로 시프트) 함으로써, 산화물 반도체막(119)을 도통 상태로 할 수 있다.

[0066] 한편, 도 4(B)의 경우, 주사선(107\_m-1)의 전위를 화소 전극(121)의 최저 전위보다 용량 소자의 Vth분 이상 높게 해도, 상술한 관계를 만족시킬 수 있기 때문에, 용량 소자를 동작시킬 수 있다(도 4(B) 참조). 이것은 도 2에 도시하는 파선의 CV 곡선의 특성을 가지는 용량 소자의 전극은 n형이며, Vth가 마이너스이기 때문에, 화소 전극(121)의 최저 전위보다, 용량 소자의 Vth분 이상 높게(플러스 방향으로 시프트) 해도, 산화물 반도체막(119)을 도통 상태로 할 수 있다.

[0067] 다음에, 화소(101)의 구체적인 구성예에 대하여 설명한다. 여기에서는 화소(101(m, n))를 예로 설명한다. 화소(101(m, n))의 상면도를 도 5에 도시한다. 또한, 도 5는 도면의 명료화를 위해 이 반도체 장치의 구성 요소(예를 들면, 액정 소자(108) 등)의 일부를 생략하고 있다.

[0068] 도 5에서, 주사선(107\_m-1) 및 주사선(107\_m)은 신호선(109\_n) 및 신호선(109\_n+1)에 대략 직교하는 방향(도면 중 좌우 방향)으로 연장하여 형성되어 있다. 신호선(109\_n) 및 신호선(109\_n+1)은 주사선(107\_m-1) 및 주사선(107\_m)에 대략 직교하는 방향(도면 중 상하 방향)으로 연장하여 제공되어 있다. 또한, 주사선(107\_m-1) 및 주사선(107\_m)은 주사선 구동 회로(104)(도 1(A) 참조)와 전기적으로 접속되어 있고, 신호선(109\_n) 및 신호선(109\_n+1)은 신호선 구동 회로(106)(도 1(A) 참조)와 전기적으로 접속되어 있다.

[0069] 트랜지스터(103)는 주사선(107\_m) 및 신호선(109\_n)이 교차하는 영역에 설치되어 있다. 트랜지스터(103)는 적어도 채널 형성 영역을 가지는 산화물 반도체막(111)과, 게이트 전극과, 게이트 절연막(도 5에 도시하지 않음)과, 소스 전극과, 드레인 전극을 포함한다.

[0070] 또, 주사선(107\_m)은 트랜지스터(103)의 게이트 전극으로서 기능하는 영역을 포함하고, 신호선(109\_n)은 트랜지스터(103)의 소스 전극으로서 기능하는 영역을 포함한다. 도전막(113)은 트랜지스터(103)의 드레인 전극으로서 기능하는 영역을 포함하고, 개구(117)를 통하여 화소 전극(121)과 전기적으로 접속되어 있다. 또한, 도 5에서 화소 전극(121)은 해칭을 생략하여 도시하고 있다.

[0071] 게이트 전극으로서 기능하는 영역은 주사선(107\_m)에서 적어도 산화물 반도체막(111)과 중첩하는 영역이다. 소스 전극으로서 기능하는 영역은 신호선(109\_n)에서 적어도 산화물 반도체막(111)과 중첩하는 영역이다. 드레인 전극으로서 기능하는 영역은 도전막(113)에서 적어도 산화물 반도체막(111)과 중첩하는 영역이다. 또한, 이하에서 트랜지스터(103)의 게이트 전극을 가리키는 경우에도 주사선(107\_m)이라고 기재하고, 트랜지스터(103)의 소스 전극을 가리키는 경우에도 신호선(109\_n)이라고 기재한다. 트랜지스터(103)의 드레인 전극을 가리키는 경우에도 도전막(113)이라고 기재한다.

[0072] 용량 소자(105)는 주사선(107\_m) 및 주사선(107\_m-1)과 신호선(109\_n) 및 신호선(109\_n+1)으로 둘러싸이는 영역에 형성되어 있다. 용량 소자(105)는 산화물 반도체막(119)과, 투광성을 가지는 화소 전극(121)과, 트랜지스터(103)에 포함되어 투광성을 가지는 절연막(도 5에 도시하지 않음)으로 구성되어 있고, 용량 소자(105)는 투광

성을 가진다. 또, 산화물 반도체막(119)은 개구(123)를 통하여 주사선(107\_m-1)과 접하고 있으므로, 용량 소자(105)는 주사선(107\_m-1)과 전기적으로 접속되어 있다. 즉, 주사선(107\_m-1)은 용량 소자(105)의 용량선으로서도 기능한다. 이것에 의하여, 화소(101(m, n))에 용량선을 별도 형성하지 않아도 용량 소자(105)를 동작시킬 수 있다.

[0073] 용량 소자는 한쌍의 전극이 중첩하고 있는 면적에 따라 전하 용량은 변화한다. 해상도를 높이기 위해 화소의 크기를 작게 하면, 그만큼 용량 소자의 크기도 작아지고, 전하 용량도 작아진다. 그 결과, 액정 소자를 충분히 동작시킬 수 없을 가능성성이 있다. 용량 소자(105)는 투광성을 가지기 때문에, 액정 소자(108)가 동작하는 범위 전체에 용량 소자(105)를 형성할 수 있고, 화소 내에 가능한 한 크게(대면적으로) 용량 소자(105)를 형성할 수 있다. 액정 소자(108)를 충분히 동작시킬 수 있는 전하 용량을 확보할 수 있는 한, 화소 밀도를 크게 하고, 해상도를 높게 할 수 있다.

[0074] 여기에서, 산화물 반도체를 이용한 트랜지스터의 특징에 대하여 기재한다. 산화물 반도체를 이용한 트랜지스터는 n채널형 트랜지스터이다. 또, 산화물 반도체에 포함되는 산소 결손은 캐리어를 생성하는 경우가 있고, 트랜지스터의 전기 특성 및 신뢰성을 저하시킬 우려가 있다. 예를 들면, 트랜지스터의 문턱 전압을 마이너스 방향으로 변동하고, 게이트 전압이 0V인 경우에 드레인 전류가 흐르는 경우가 있다. 이와 같이, 게이트 전압이 0V인 경우에 드레인 전류가 흐르는 것을 노멀리 온(normally-on) 특성이라고 한다. 또한, 게이트 전압이 0V인 경우에 드레인 전류가 흐르지 않았다고 간주할 수 있는 트랜지스터를 노멀리 오프(normally-off) 특성이라고 한다.

[0075] 그러므로, 산화물 반도체막을 이용할 때, 산화물 반도체막에 포함되는 결함, 대표적으로는 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다. 예를 들면, 자기장의 방향을 막면에 대하여 평행하게 인가한 전자 스핀 공명법에 의한 g값이 1.93일 때의 스핀 밀도(산화물 반도체막에 포함되는 결함 밀도에 상당함)는 측정기의 검출 하한 이하까지 저감되어 있는 것이 바람직하다. 산화물 반도체막에 포함되는 결함, 대표적으로는 산소 결손을 가능한 한 저감함으로써, 트랜지스터가 노멀리 온 특성이 되는 것을 억제할 수 있고, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0076] 트랜지스터의 문턱 전압의 마이너스 방향으로의 변동은 산소 결손만이 아니라, 산화물 반도체막에 포함되는 수소(물 등의 수소 화합물을 포함함)에 의해서도 일어나는 경우가 있다. 산화물 반도체막에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 이탈한 격자(또는 산소가 이탈한 부분)에 결손(산소 결손이라고도 할 수 있음)을 형성한다. 또, 수소의 일부가 산소와 반응함으로써, 캐리어인 전자를 생성한다. 따라서, 수소가 포함되어 있는 산화물 반도체막을 가지는 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0077] 상기로부터, 트랜지스터(103)의 산화물 반도체막(111)에서 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 산화물 반도체막(111)에서, 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  미만, 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $1 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다.

[0078] 또, 산화물 반도체막(111)은 2차 이온 질량 분석법에 의해 얻어지는 알칼리 금속 또는 알칼리토류 금속의 농도를  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다. 알칼리 금속 및 알칼리토류 금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터(103)의 오프 전류를 증대시키는 경우가 있다.

[0079] 또, 산화물 반도체막에 질소가 포함되어 있으면, 캐리어인 전자가 발생하고 캐리어 밀도가 증가하여 n형화되기 쉽다. 이 결과, 질소가 포함되어 있는 산화물 반도체막을 가지는 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 산화물 반도체막(111)에서, 질소는 가능한 한 저감되어 있는 것이 바람직하며, 예를 들면, 질소 농도는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하로 하는 것이 바람직하다.

[0080] 또, 산화물 반도체막에 실리콘 및 탄소 등의 제 14 족 원소가 포함되어 있으면, 캐리어인 전자가 발생하고 캐리어 밀도가 증가하여 n형화되기 쉽다. 그러므로, 산화물 반도체막(111)을 가지는 트랜지스터(103)에서, 특히, 게이트 절연막(127)(도 5에 도시하지 않음)과 이 산화물 반도체막(111)의 계면에서 2차 이온 질량 분석법에 의해 얻어지는 실리콘 농도는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $3 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다. 또한, 이 계면에서, 2차 이온 질량 분석법에 의해 얻어지는 탄소 농도는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $3 \times$

$10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.

[0081] 상기로부터, 불순물(수소, 질소, 실리콘, 탄소, 알칼리 금속 또는 알칼리토류 금속 등)을 가능한 한 저감시켜 고순도화시킨 산화물 반도체막(111)을 이용함으로써, 트랜지스터(103)가 노멀리 온 특성이 되는 것을 억제할 수 있고, 트랜지스터(103)의 오프 전류를 극히 저감할 수 있다. 따라서, 본 발명의 일양태는 양호한 전기 특성을 가지는 반도체 장치이며, 신뢰성이 우수한 반도체 장치이다. 또한, 고순도화시킨 산화물 반도체는 진성 또는 실질적으로 진성인 반도체라고 할 수 있다.

[0082] 또한, 고순도화된 산화물 반도체막을 이용한 트랜지스터의 오프 전류가 낮은 것은 다양한 실험으로 증명할 수 있다. 예를 들면, 채널 폭 W가  $1 \times 10^6 \mu\text{m}$ 로 채널 길이 L이  $10 \mu\text{m}$ 의 소자여도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V에서 10V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{ A}$  이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널폭으로 나눈 수치에 상당하는 오프 전류는  $100 \text{ zA}/\mu\text{m}$  이하인 것을 알 수 있다. 또, 용량 소자와 트랜지스터를 접속하여 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하를 이 트랜지스터로 제어하는 회로를 이용하여, 오프 전류의 측정을 행하였다. 이 측정에서는 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 이용하고, 용량 소자의 단위 시간당의 전하량의 추이로부터 이 트랜지스터의 오프 전류를 측정했다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V인 경우에, 수십  $\text{yA}/\mu\text{m}$ 라는 더욱 낮은 오프 전류를 얻어지는 것을 알 수 있다. 따라서, 고순도화된 산화물 반도체막을 이용한 트랜지스터는 오프 전류가 현저하게 작다.

[0083] 다음에, 도 5의 일점 쇄선 A1-A2 간 및 일점 쇄선 B1-B2 간의 단면도를 도 6에 도시한다.

[0084] 일점 쇄선 A1-A2 간 및 일점 쇄선 B1-B2 간의 단면 구조는 이하와 같다. 기판(102) 위에, 게이트 전극으로서 기능하는 영역을 포함하는 주사선(107\_m)과 주사선(107\_m-1)이 형성되어 있다. 주사선(107\_m-1) 및 주사선(107\_m) 위에 게이트 절연막(127)이 형성되어 있다. 게이트 절연막(127)의 주사선(107\_m)과 중첩하는 영역 위에 산화물 반도체막(111)이 형성되어 있다. 주사선(107\_m-1)과 접하고 있는 게이트 절연막(127)의 일부에 주사선(107\_m-1)에 달하는 개구(123)가 형성되어 있고, 게이트 절연막(127) 위 및 개구(123)에는 산화물 반도체막(119)이 형성되어 있다. 산화물 반도체막(111) 위, 및 게이트 절연막(127) 위에 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n)과, 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)이 형성되어 있다. 게이트 절연막(127) 위, 신호선(109\_n) 위, 산화물 반도체막(111) 위, 도전막(113) 위, 및 산화물 반도체막(119) 위에 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(129), 절연막(131) 및 절연막(132)이 형성되어 있다. 절연막(129), 절연막(131), 및 절연막(132)에는 도전막(113)에 달하는 개구(117)가 형성되어 있고, 개구(117)에는 화소 전극(121)이 형성되어 있다. 또한, 기판(102)과, 주사선(107\_m-1) 및 주사선(107\_m) 및 게이트 절연막(127)의 사이에는 하지 절연막이 형성되어 있어도 좋다.

[0085] 또, 액정 소자(108)의 단면 구조는 이하와 같다. 기판(150)의 기판(102)과 대향하고 있는 면의 적어도 트랜지스터(103)와 중첩하는 영역에 차광막(152)이 형성되어 있고, 차광막(152)을 덮도록 투광성을 가지는 도전막인 대향 전극(154)이 형성되어 있고, 대향 전극을 덮도록 배향막(156)이 형성되어 있다. 기판(102)측의 절연막(132) 및 화소 전극(121) 위에 배향막(158)이 형성되어 있다. 액정(160)은 배향막(156) 및 배향막(158)에 접하여 형성되어 있고, 기판(102) 및 기판(150)에 의해 협지되어 있다.

[0086] 또한, 본 발명의 일양태인 반도체 장치를 액정 표시 장치로 하는 경우, 백 라이트 등의 광원, 기판(102)측 및 기판(150)측에 각각 형성되는 편광판 등의 광학 부재(광학 기판), 기판(102)과 기판(150)을 고정하는 실재 등이 필요하지만, 이들에 대해서는 후술한다.

[0087] 상기로부터, 본 실시형태에 나타내는 용량 소자(105)에서, 한쌍의 전극 중 한쪽의 전극은 산화물 반도체막(119)이고, 한쌍의 전극의 중 다른 한쪽의 전극은 화소 전극(121)이고, 한쌍의 전극간에 형성된 유전체막은 절연막(129), 절연막(131), 및 절연막(132)이다.

[0088] 이하에 상기 구조의 구성 요소에 대하여 상세하게 기재한다.

[0089] 기판(102)의 재질 등에 큰 제한은 없지만, 적어도, 반도체 장치의 제작 공정에서 행하는 가열 처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 플라스틱 기판 등이 있고, 유리 기판으로서는, 바륨 봉규산 유리(barium borosilicate glass), 알루미노 봉규산 유리(aluminoborosilicate glass) 혹은 알루미노 규산 유리(aluminosilicate glass) 등의 무알칼리 유리 기판을 이용하면 좋다. 또, 스테인리스 스틸 합금 등 투광성을 가지지 않는 기판을 이용할 수도 있다. 그 경우는 기판

표면에 절연막을 형성하는 것이 바람직하다. 또한, 기판(102)으로서 석영 기판, 사파이어 기판, 단결정 반도체 기판, 다결정 반도체 기판, 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 이용할 수도 있다. 또한, 본 발명의 일양태인 반도체 장치를 투과형의 액정 표시 장치로 하는 경우, 기판(102)은 투광성을 가지는 기판을 이용한다.

[0090] 주사선(107\_m-1) 및 주사선(107\_m)은 대전류를 흘리기 때문에, 금속막으로 형성하는 것이 바람직하고, 대표적으로는 몰리브덴(Mo), 티탄(Ti), 텉스텐(W) 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용한 단층 구조 또는 적층 구조로 형성한다.

[0091] 주사선(107\_m-1) 및 주사선(107\_m)의 일례로서는, 실리콘을 포함하는 알루미늄을 이용한 단층 구조, 알루미늄 위에 티탄을 적층하는 2층 구조, 질화 티탄 위에 티탄을 적층하는 2층 구조, 질화 티탄 위에 텉스텐을 적층하는 2층 구조, 질화 탄탈 위에 텉스텐을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금 위에 구리를 적층하는 2층 구조, 질화 티탄 위에 구리를 적층하고, 그 위에 텉스텐을 더 형성하는 3층 구조 등이 있다.

[0092] 또, 주사선(107\_m-1) 및 주사선(107\_m)의 재료로서 화소 전극(121)에 적용할 수 있는 투광성을 가지는 도전성 재료를 이용할 수 있다. 또한, 본 발명의 일양태인 반도체 장치를 반사형의 표시 장치로 하는 경우, 화소 전극(121)에 투광성을 가지지 않는 도전성 재료(예를 들면 금속 재료)를 이용할 수 있다. 그 때는 기판(102)도 투광성을 가지지 않는 기판을 이용할 수 있다.

[0093] 또한, 주사선(107\_m-1) 및 주사선(107\_m)의 재료로서 질소를 포함하는 금속 산화물, 구체적으로는 질소를 포함하는 In-Ga-Zn계 산화물이나, 질소를 포함하는 In-Sn계 산화물이나, 질소를 포함하는 In-Ga계 산화물이나, 질소를 포함하는 In-Zn계 산화물이나, 질소를 포함하는 Sn계 산화물이나, 질소를 포함하는 In계 산화물이나, 금속 질화물(InN, SnN 등)을 이용할 수 있다. 이러한 재료는 5eV(전자 볼트) 이상의 일함수를 가진다. 이들 질소를 포함하는 금속 산화물을 이 주사선(게이트 전극)으로서 이용함으로써 트랜지스터(103)의 문턱 전압을 플러스 방향으로 변동시킬 수 있고, 소위 노멀리 오프 특성을 가지는 트랜지스터를 실현할 수 있다. 예를 들면, 질소를 포함하는 In-Ga-Zn계 산화물을 이용하는 경우, 적어도 산화물 반도체막(111)보다 높은 질소 농도, 구체적으로는 질소 농도가 7 원자% 이상인 In-Ga-Zn계 산화물을 이용할 수 있다.

[0094] 주사선(107\_m-1) 및 주사선(107\_m)에서, 저저항 재료인 알루미늄이나 구리를 이용하는 것이 바람직하다. 알루미늄이나 구리를 이용함으로써, 신호 지연을 저감하고, 표시 품질을 높일 수 있다. 또한, 알루미늄은 내열성이 낮고, 헬록, 위스커, 혹은 마이그레이션(migration)에 의한 불량이 발생하기 쉽다. 알루미늄의 마이그레이션을 막기 위하여, 알루미늄에 몰리브덴, 티탄, 텉스텐 등의 알루미늄보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다. 또, 구리를 이용하는 경우에도 마이그레이션에 의한 불량이나 구리 원소의 확산을 막기 위해, 구리에 몰리브덴, 티탄, 텉스텐 등의 구리보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다.

[0095] 또, 도 5 및 도 6에 도시한 것처럼, 주사선(107\_m)(주사선(107\_m-1))은 산화물 반도체막(111)을 주사선(107\_m)의 영역 내에 형성할 수 있는 형상으로 형성하는 것이 바람직하다. 도 5와 같이 산화물 반도체막(111)이 형성되는 영역에서 돌출한 형상으로 하고, 산화물 반도체막(111)을 주사선(107\_m)의 내측에 형성할 수 있도록 하는 것이 바람직하다. 이와 같이 함으로써, 기판(102)의 주사선(107\_m)이 형성되어 있는 면과는 반대의 면(기판(102)의 뒷면)에서 조사되는 광(액정 표시 장치에서는 백 라이트 등 광원의 광)을 주사선(107\_m)이 차광하기 때문에, 트랜지스터(103)의 전기 특성(예를 들면 문턱 전압 등)의 변동 또는 저하를 억제할 수 있다.

[0096] 게이트 절연막(127)은 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등의 절연 재료를 이용한 단층 구조 또는 적층 구조로 형성한다. 또한, 산화물 반도체막(111)과의 계면 특성을 향상시키기 위해, 게이트 절연막(127)에서 적어도 산화물 반도체막(111)과 접하는 영역은 산화 절연막인 것이 바람직하다.

[0097] 또, 게이트 절연막(127)으로서 산소, 수소, 물 등에 대해 배리어성을 가지는 절연막을 형성함으로써, 산화물 반도체막(111)에 포함되는 산소의 외부로의 확산과, 외부로부터 산화물 반도체막(111)로의 수소, 물 등의 침입을 막을 수 있다. 산소, 수소, 물 등에 대해 배리어성을 가지는 절연막으로서는 산화 알루미늄막, 산화 질화 알루미늄막, 산화 갈륨막, 산화 질화 갈륨막, 산화 이트륨막, 산화 질화 이트륨막, 산화 하프늄막, 산화 질화 하프늄막, 질화 실리콘막 등이 있다.

[0098] 또, 게이트 절연막(127)으로서 하프늄 실리케이트(HfSiO<sub>x</sub>), 질소를 가지는 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>), 질소를 가지는 하프늄 알루미네이트(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써 트랜지

스터(103)의 게이트 리크 전류를 저감할 수 있다.

[0099] 또, 게이트 절연막(127)은 이하의 적층 구조로 하는 것이 바람직하다. 제 1 질화 실리콘막으로서 결함량이 적은 질화 실리콘막을 형성하고, 제 1 질화 실리콘막 위에 제 2 질화 실리콘막으로서 수소 이탈량 및 암모니아 이탈량이 적은 질화 실리콘막을 형성하고, 제 2 질화 실리콘막 위에, 상기 게이트 절연막(127)으로서 적용할 수 있는 산화 절연막 중 어느 것인가를 형성한 적층 구조이다.

[0100] 제 2 질화 실리콘막으로서는, 승온 이탈 가스 분석법에서 수소 분자의 이탈량이  $5 \times 10^{21}$  분자/cm<sup>3</sup> 미만, 바람직하게는  $3 \times 10^{21}$  분자/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{21}$  분자/cm<sup>3</sup> 이하이며, 암모니아 분자의 이탈량이  $1 \times 10^{22}$  분자/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{21}$  분자/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{21}$  분자/cm<sup>3</sup> 이하인 질화 절연막을 이용하는 것이 바람직하다. 상기 제 1 질화 실리콘막 및 제 2 질화 실리콘막을 게이트 절연막(127)의 일부로서 이용함으로써, 게이트 절연막(127)으로서, 결함량이 적고, 또 수소 및 암모니아의 이탈량이 적은 게이트 절연막을 형성할 수 있다. 이 결과, 게이트 절연막(127)에 포함되는 수소 및 질소의 산화물 반도체막(111)으로의 이동량을 저감하는 것이 가능하다.

[0101] 또한, 산화물 반도체를 이용한 트랜지스터에서, 산화물 반도체막 및 게이트 절연막의 계면 또는 게이트 절연막에 포획 준위(계면 준위라고도 함)가 존재하면, 트랜지스터의 문턱 전압의 변동, 대표적으로는 문턱 전압의 마이너스 방향으로의 변동, 및 트랜지스터가 온 상태가 될 때 드레인 전류가 한 자릿수 변화하는데 필요한 게이트 전압을 나타내는 서브 문턱 계수(S<sub>v</sub>)의 증대 원인이 된다. 이 결과, 트랜지스터마다 전기 특성이 변동한다는 문제가 있다. 이 때문에, 게이트 절연막(127)으로서 결함량이 적은 질화 실리콘막을 이용함으로써, 또, 산화물 반도체막(111)과 접하는 영역에 산화 절연막을 형성함으로써, 문턱 전압의 마이너스 시프트를 저감함과 동시에, S<sub>v</sub>의 증대를 억제할 수 있다.

[0102] 게이트 절연막(127)의 두께는 5nm 이상 400nm 이하, 바람직하게는 10nm 이상 300nm 이하, 더욱 바람직하게는 50nm 이상 250nm 이하로 하면 좋다.

[0103] 산화물 반도체막(111)은 비정질 구조, 단결정 구조, 또는 다결정 구조로 할 수 있다. 또, 산화물 반도체막(111)의 두께는 1nm 이상 100nm 이하, 바람직하게는 1nm 이상 50nm 이하, 더욱 바람직하게는 1nm 이상 30nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 하는 것이다.

[0104] 산화물 반도체막(111)에 적용할 수 있는 산화물 반도체로서 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상의 산화물 반도체가 있다. 이와 같이 에너지 캡이 넓은 산화물 반도체를 이용함으로써, 트랜지스터(103)의 오프 전류를 저감할 수 있다.

[0105] 산화물 반도체막(111)에 적용할 수 있는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는 In과 Zn의 쌍방을 포함하는 것이 바람직하다. 또, 이 산화물 반도체를 이용한 트랜지스터의 전기 특성의 변동을 줄이기 위해, 그에 추가하여 스태빌라이저(stabilizer)를 하나 또는 복수 가지는 것이 바람직하다.

[0106] 스태빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또, 다른 스태빌라이저로서는, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테늄(Lu) 등이 있다.

[0107] 산화물 반도체막(111)에 적용할 수 있는 산화물 반도체로서는, 예를 들면, 산화 인듐, 산화 주석, 산화 아연, 2종류의 금속을 포함한 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3종류의 금속을 포함하는 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4종류의 금속을 포함하는 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0108] 여기에서, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 가지는 산화물이라는 의미이며, In과 Ga와 Zn

의 비율은 묻지 않는다. 또, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.

[0109] 또, 산화물 반도체로서  $InMO_3(ZnO)_m$ ( $m > 0$ )으로 표기되는 재료를 이용해도 좋다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소, 또는 상기의 스태빌라이저로서의 원소를 나타낸다.

[0110] 예를 들면,  $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ ,  $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ , 혹은  $In : Ga : Zn = 3 : 1 : 2 (= 1/2 : 1/6 : 1/3)$ 의 원자수비의 In-Ga-Zn계 금속 산화물을 이용할 수 있다. 또는  $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ ,  $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$  또는  $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ 의 원자수비의 In-Sn-Zn계 금속 산화물을 이용하면 좋다. 또한, 금속 산화물의 원자수비는 오차로서 상기의 원자수비의 ±20%의 변동을 포함한다.

[0111] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 원자수비의 것을 이용하면 좋다. 또, 필요로 하는 반도체 특성을 얻기 위하여, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다. 예를 들면, In-Sn-Zn계 금속 산화물에서는 비교적 용이하게 높은 전계 효과 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 금속 산화물에서도, 별크 내 결함 밀도를 낮게 함으로써, 전계 효과 이동도를 높일 수 있다.

[0112] 산화물 반도체막(119)은 산화물 반도체막(111)에 적용할 수 있는 산화물 반도체를 이용할 수 있다. 산화물 반도체막(111)을 형성함과 동시에 산화물 반도체막(119)을 형성할 수 있으므로, 산화물 반도체막(119)은 산화물 반도체막(111)을 구성하는 산화물 반도체의 금속 원소를 포함한다.

[0113] 트랜지스터(103)의 보호 절연막, 및 용량 소자(105)의 유전체막으로서 기능하는 절연막(129)과 절연막(131)과 절연막(132)은, 게이트 절연막(127)에 적용할 수 있는 재료를 이용한 절연막이다. 특히, 절연막(129) 및 절연막(131)은 산화 절연막으로 하고, 절연막(132)은 질화 절연막으로 하는 것이 바람직하다. 또, 절연막(132)을 질화 절연막으로 함으로써 외부로부터 수소나 물 등의 불순물이 트랜지스터(103)(특히 산화물 반도체막(111))에 침입하는 것을 억제할 수 있다. 또한, 절연막(129)은 형성하지 않는 구조여도 좋다.

[0114] 또, 절연막(129) 및 절연막(131)의 한쪽 또는 쌍방은 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막인 것이 바람직하다. 이와 같이 함으로써, 산화물 반도체막(111)로부터의 산소의 이탈을 방지함과 동시에, 산소 과잉 영역에 포함되는 이 산소를 산화물 반도체막(111)으로 이동시켜, 산소 결손을 보충하는 것이 가능하게 된다. 예를 들면, 승온 이탈 가스 분석(이하, TDS 분석으로 함)에 의해 측정되는 산소 분자의 방출량이  $1.0 \times 10^{18}$  분자/ $\text{cm}^3$  이상인 산화 절연막을 이용함으로써, 산화물 반도체막(111)에 포함되는 산소 결손을 보충할 수 있다. 또한, 절연막(129) 및 절연막(131)의 한쪽 또는 쌍방에서, 화학양론적 조성보다 과잉으로 산소를 포함하는 영역(산소 과잉 영역)이 부분적으로 존재하고 있는 산화 절연막이어도 좋고, 적어도 산화물 반도체막(111)과 중첩하는 영역에 산소 과잉 영역이 존재함으로써, 산화물 반도체막(111)로부터의 산소의 이탈을 방지함과 동시에, 산소 과잉 영역에 포함되는 이 산소를 산화물 반도체막(111)으로 이동시켜, 산소 결손을 보충하는 것이 가능하게 된다.

[0115] 절연막(131)이 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함한 산화 절연막인 경우, 절연막(129)은 산소를 투과하는 산화 절연막으로 하는 것이 바람직하다. 절연막(129)에 있어서, 외부로부터 절연막(129)에 들어온 산소는 모두 절연막(129)을 통과해 이동하지 않고, 절연막(129)에 머무르는 산소도 있다. 또, 미리 절연막(129)에 포함되어 있고, 절연막(129)으로부터 외부로 이동하는 산소도 있다. 그러므로, 절연막(129)은 산소의 확산 계수가 큰 산화 절연막인 것이 바람직하다.

[0116] 또, 절연막(129)은 산화물 반도체막(111)과 접하므로, 산소를 투과시키는 것만이 아닌, 산화물 반도체막(111)과의 계면 준위 밀도를 저감할 수 있는 산화 절연막인 것이 바람직하다. 예를 들면, 절연막(129)은 절연막(131)보다 막 중의 결함 밀도가 낮은 산화 절연막인 것이 바람직하다. 구체적으로는 전자 스핀 공명 측정에 의한 g값이 2.001(E'-center)일 때의 스핀 밀도가  $3.0 \times 10^{17}$  spins/ $\text{cm}^3$  이하, 바람직하게는  $5.0 \times 10^{16}$  spins/ $\text{cm}^3$  이하의 산화 절연막이다. 또한, 전자 스핀 공명 측정에 의한 g값이 2.001일 때의 스핀 밀도는 절연막(129)에 포함되는 데글링 본드의 존재량에 대응한다.

[0117] 절연막(129)의 두께는 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 절연막(131)의 두께는 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다.

[0118] 또, 산화물 반도체막(111) 위에 형성되는 절연막(129)을 산소를 투과시킴과 동시에, 산화물 반도체막(111)과의

계면 준위 밀도를 저감할 수 있는 산화 절연막으로 하고, 절연막(131)을 산소 과잉 영역을 포함하는 산화 절연막 또는 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막으로 함으로써, 산화물 반도체막(111)으로 산소를 공급하는 것이 용이해지고, 산화물 반도체막(111)으로부터의 산소의 이탈을 방지함과 동시에, 절연막(131)에 포함되는 산소를 산화물 반도체막(111)으로 이동시켜, 산화물 반도체막(111)에 포함되는 산소 결손을 보충하는 것이 가능하게 된다. 이 결과, 트랜지스터(103)가 노멀리 온 특성이 되는 것을 억제할 수 있다.

[0119] 또한, 절연막(129) 및 절연막(131)의 한쪽 또는 쌍방을 산화 질화 실리콘 또는 질화 산화 실리콘 등, 질소를 포함한 산화 절연막으로 하는 경우, SIMS에 의해 얻어지는 질소 농도는 SIMS 검출 하한 이상  $3 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하로 하는 것이 바람직하다. 이와 같이 함으로써, 트랜지스터(103)에 포함되는 산화물 반도체막(111)으로의 질소의 이동량을 적게 할 수 있다. 또, 이와 같이 함으로써, 질소를 포함하는 산화 절연막 자체의 결함량을 적게 할 수 있다.

[0120] 절연막(132)을 질화 절연막으로 하는 경우, 절연막(129) 및 절연막(131)의 한쪽 또는 쌍방이 질소에 대한 배리어성을 가지는 절연막인 것이 바람직하다. 예를 들면, 치밀한 산화 절연막으로 함으로써 질소에 대한 배리어성을 가질 수 있고, 구체적으로는 25°C에서 0.5 중량%의 불산을 이용한 경우의 예칭 속도가 10nm/분 이하인 산화 절연막으로 하는 것이 바람직하다.

[0121] 절연막(132)으로서 수소 함유량이 적은 질화 절연막을 형성할 수 있다. 이 질화 절연막으로서는, 예를 들면, TDS 분석에 의해 측정되는 수소 분자의 방출량이  $5.0 \times 10^{21}/\text{cm}^3$  미만이고, 바람직하게는  $3.0 \times 10^{21}/\text{cm}^3$  미만이며, 더욱 바람직하게는  $1.0 \times 10^{21}/\text{cm}^3$  미만인 질화 절연막이다.

[0122] 또, 상기 질화 절연막은 단차 피복성이 우수하므로 트랜지스터(103)의 보호 절연막으로서 유용하다.

[0123] 절연막(132)은 외부로부터 수소나 물 등의 불순물의 침입을 억제하는 기능을 발휘할 수 있는 두께로 한다. 예를 들면, 50nm 이상 200nm 이하, 바람직하게는 50nm 이상 150nm 이하, 더욱 바람직하게는 50nm 이상 100nm 이하로 할 수 있다.

[0124] 또, 절연막(131) 위에 형성되는 절연막(132)으로서 질화 절연막을 이용함으로써, 외부로부터 수소나 물 등의 불순물이 산화물 반도체막(111) 및 산화물 반도체막(119)에 침입하는 것을 억제할 수 있다. 또, 절연막(132)으로서 수소 함유량이 적은 질화 절연막을 형성함으로써, 트랜지스터(103)의 전기 특성 변동을 억제할 수 있다.

[0125] 절연막(131)과 절연막(132) 사이에, 산화 실리콘막을 형성하여 절연막(132)에 상기 질화 절연막을 이용함으로써, 외부로부터 수소나 물 등의 불순물이 산화물 반도체막(111) 및 산화물 반도체막(119)에 침입하는 것을 더 억제할 수 있다.

[0126] 또, 절연막(131)과 절연막(132) 사이에, 유기 실란 가스를 이용한 CVD법으로 형성한 산화 실리콘막을 형성해도 좋다. 이 산화 실리콘막은 단차 피복성이 우수하므로 트랜지스터(103)의 보호 절연막으로서 유용하다. 이 산화 실리콘막은 300nm 이상 600nm 이하로 형성할 수 있다. 유기 실란 가스로서는 규산 에틸(TEOS : 화학식 Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>), 테트라메틸실란(TMS : 화학식 Si(CH<sub>3</sub>)<sub>4</sub>), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(SiH(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>), 트리스디메틸아미노실란(SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>) 등의 실리콘 함유 화합물을 이용할 수 있다.

[0127] 화소 전극(121)은 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료로 형성한다.

[0128] 기판(150)은 기판(102)에 적용할 수 있는 기재를 이용할 수 있다.

[0129] 차광막(152)은 블랙 매트릭스라고도 불리고, 액정 표시 장치에서 백 라이트 등의 광원의 광 누출의 억제나, 컬러 필터를 이용하여 컬러 표시를 행할 때에 발생하는 혼색에 의한 콘트라스트 저하의 억제 등을 위해 형성된다. 차광막(152)은 범용되고 있는 것을 이용하여 형성할 수 있다. 예를 들면, 차광성을 가지는 재료로서 금속이나, 안료를 포함하는 유기 수지 등이 있다. 또한, 차광막(152)은 트랜지스터(103)와 중첩하는 영역 외에, 주사선 구동 회로(104), 신호선 구동 회로(106)(도 1(A) 참조) 등의 화소부(100) 이외의 영역에 형성해도 좋다.

- [0130] 또, 화소부(100)에서 각 화소에 형성되는 차광막 사이에 소정의 파장의 광을 투과시키는 기능을 가지는 착색막을 형성해도 좋다. 또, 차광막 및 착색막과 대향 전극 사이에 오버코트막을 형성해도 좋다.
- [0131] 대향 전극(154)은 화소 전극(121)에 적용할 수 있는 재료를 적절히 이용하여 형성한다.
- [0132] 배향막(156) 및 배향막(158)은 폴리아미드 등의 범용되고 있는 것을 이용하여 형성할 수 있다.
- [0133] 액정(160)은 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이러한 액정 재료는 조건에 따라, 콜레스테릭상, 스메틱상, 큐빅상, 카이럴 네마티상, 등방상 등을 나타낸다.
- [0134] 또, 액정(160)은 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상에서 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위해 카이럴체를 혼합시킨 액정 조성물을 이용한다. 또한, 배향막은 유기 수지로 구성되어 있고, 유기 수지는 수소 또는 물 등을 포함하므로 본 발명의 일양태인 반도체 장치의 트랜지스터의 전기 특성을 저하시킬 우려가 있다. 그러므로, 액정(160)으로서 블루상을 이용함으로써, 유기 수지를 이용하지 않고 본 발명의 일양태인 반도체 장치를 제작할 수 있고, 신뢰성이 높은 반도체 장치를 얻을 수 있다.
- [0135] 또한, 액정 소자(108)는 액정 소자(108)의 표시 모드에 기초하여, 화소 전극(121) 및 대향 전극(154) 등의 형상의 변형이나, 리브(rib)라고 불리는 돌기의 형성 등 적절히 구성을 바꿀 수 있다.
- [0136] 또, 본 발명의 일양태인 반도체 장치에 있어서, 편광 부재(편광 기판)의 편광축을 차광막(152)에 대하여 평행하도록 형성하고, 이 반도체 장치의 표시 모드를, 전압을 가하지 않은 상태에서 액정 소자(108)가 백 라이트 등의 광원의 광을 투과시키지 않는 노멀리 블랙으로 함으로써, 화소(101)가 형성하는 차광막(152)에 영역을 축소하거나 없앨 수 있다. 이 결과, 화소 밀도가 높은 표시 장치와 같이 하나의 화소의 크기가 작은 경우에도, 개구율을 향상시킬 수 있다. 또, 투광성을 가지는 용량 소자를 이용함으로써 개구율을 더 향상시킬 수 있다.
- [0137] <반도체 장치의 제작 방법>
- [0138] 다음에, 상기 반도체 장치의 제작 방법에 대하여, 도 7 및 도 8을 이용하여 설명한다.
- [0139] 우선, 기판(102)에 주사선(107\_m-1) 및 주사선(107\_m)을 형성하고, 주사선(107\_m-1) 및 주사선(107\_m)을 덮도록, 후에 게이트 절연막(127)으로 가공되는 절연막을 형성하고, 이 절연막의 주사선(107\_m-1)과 접하는 영역의 일부에 개구(123)를 형성함으로써 게이트 절연막(127)을 형성하고, 주사선(107\_m)과 중첩하는 영역에 산화물 반도체막(111)을 형성하고, 후에 화소 전극(121)이 형성되는 영역과 중첩하도록 산화물 반도체막(119)을 게이트 절연막(127) 위 및 개구(123)에 형성한다(도 7(A) 참조).
- [0140] 주사선(107\_m-1) 및 주사선(107\_m)은 상기 열거한 재료를 이용하여 도전막을 형성하고, 이 도전막 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써 형성할 수 있다. 이 도전막은 증착법, CVD법, 스퍼터링법, 스판 코팅법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 또한, 이 도전막의 두께는 특별히 한정되지 않고, 형성하는 시간이나 원하는 저항율 등을 고려하여 결정할 수 있다. 이 마스크는 예를 들면, 포토리소그래피 공정에 의해 형성한 레지스트 마스크로 할 수 있다. 또, 이 도전막의 가공은 드라이 에칭 및 웨트 에칭의 한쪽 또는 쌍방에 의해 행할 수 있다.
- [0141] 후에 게이트 절연막(127)에 가공되는 절연막은 게이트 절연막(127)에 적용할 수 있는 재료를 이용하여, CVD법 또는 스퍼터링법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 또, 게이트 절연막(127)에 산화 같음을 적용하는 경우는 MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용하여 절연막을 형성할 수 있다.
- [0142] 개구(123)는 이 절연막 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써 형성할 수 있다. 또한, 이 마스크 및 이 가공은 주사선(107\_m-1) 및 주사선(107\_m)의 형성 공정을 참조하여 실시할 수 있다.
- [0143] 산화물 반도체막(111) 및 산화물 반도체막(119)은 상기 열거한 산화물 반도체를 이용하여 산화물 반도체막을 형성하고, 이 산화물 반도체막 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써 형성할 수 있다. 이 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법 등을 이용하여 형성할 수 있다. 인쇄법을 이용함으로써, 소자 분리된 산화물 반도체막(111) 및 산화물 반도체막(119)을 게이트 절연막(127) 위에 직접 형성할 수 있다. 스퍼터링법으로 이 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치 또는 DC 전원 장치 등을 적절히 이용할 수 있다. 스퍼터링

가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스 분위기를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대하여 산소의 가스비를 높이는 것이 바람직하다. 또, 타겟은 형성하는 산화물 반도체막의 조성에 맞추어 적절히 선택하면 좋다. 또한, 이 마스크는 예를 들면 포토리소그래피 공정에 의해 형성한 레지스트 마스크로 할 수 있다. 또, 이 산화물 반도체막의 가공은 드라이 에칭 및 웨트 에칭의 한쪽 또는 쌍방에 의해 행할 수 있다. 원하는 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)을 적절히 설정한다.

[0144] 산화물 반도체막(111) 및 산화물 반도체막(119)을 형성한 후에 가열 처리를 하고, 산화물 반도체막(111) 및 산화물 반도체막(119)의 탈수소화 또는 탈수화를 하는 것이 바람직하다. 이 가열 처리의 온도는 대표적으로는 150°C 이상 기판 변형점 미만, 바람직하게는 200°C 이상 450°C 이하, 더욱 바람직하게는 300°C 이상 450°C 이하로 한다. 또한, 이 가열 처리는 산화물 반도체막(111) 및 산화물 반도체막(119)으로 가공하기 전의 산화물 반도체막에 행해도 좋다.

[0145] 이 가열 처리에서, 가열 처리 장치는 전기로(爐)에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해 피처리물을 가열하는 장치여도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의하여, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다.

[0146] 이 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 행하면 좋다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다. 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열해도 좋다. 또한, 처리 시간은 3분~24시간으로 한다.

[0147] 또한, 기판(102)과, 주사선(107\_m-1) 및 주사선(107\_m) 및 게이트 절연막(127) 사이에 하지 절연막을 형성하는 경우, 이 하지 절연막은 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄 등으로 형성할 수 있다. 또한, 하지 절연막을 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등으로 형성함으로써, 기판(102)으로부터 불순물, 대표적으로는 알칼리 금속, 물, 수소 등이 산화물 반도체막(111)으로 확산하는 것을 억제할 수 있다. 하지 절연막은 스퍼터링법 또는 CVD법을 이용하여 형성할 수 있다.

[0148] 다음에, 게이트 절연막(127) 위, 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n), 및 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)을 형성한다(도 7(B) 참조).

[0149] 신호선(109\_n), 및 도전막(113)은 신호선(109\_n) 및 도전막(113)에 적용할 수 있는 재료를 이용하여 도전막을 형성하고, 이 도전막 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써 형성할 수 있다. 이 마스크 및 이 가공은 주사선(107\_m-1) 및 주사선(107\_m)과 마찬가지로 행할 수 있다. 또한, 신호선(109\_n), 및 도전막(113)을 형성한 후, 산화물 반도체막(111)의 표면을 세정함으로써, 트랜지스터(103)의 전기 특성의 변동을 저감할 수 있다. 예를 들면, 상기 세정으로서는 희석한 인산 용액을 이용할 수 있고, 구체적으로는 85%의 인산을 100배로 희석한 인산 용액을 이용할 수 있다.

[0150] 다음에, 산화물 반도체막(111), 산화물 반도체막(119), 신호선(109\_n), 도전막(113) 및 게이트 절연막(127) 위에 절연막(128)을 형성하고, 절연막(128) 위에 절연막(130)을 형성하고, 절연막(130) 위에 절연막(133)을 형성한다(도 8(A) 참조). 또한, 절연막(128), 절연막(130) 및 절연막(133)은 연속하여 형성하는 것이 바람직하다. 이와 같이 함으로써 절연막(128), 절연막(130) 및 절연막(133)의 각각의 계면에 불순물이 혼입하는 것을 억제할 수 있다.

[0151] 절연막(128)은 절연막(129)에 적용할 수 있는 재료를 이용하여, CVD법 또는 스퍼터링법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 절연막(130)은 절연막(131)에 적용할 수 있는 재료를 이용하여 형성할 수 있다. 절연막(133)은 절연막(132)에 적용할 수 있는 재료를 이용하여 형성할 수 있다.

[0152] 절연막(129)에 산화물 반도체막(111)과의 계면 준위 밀도를 저감할 수 있는 산화 절연막을 적용하는 경우, 절연막(128)은 이하의 형성 조건을 이용하여 형성할 수 있다. 또한, 여기에서는 이 산화 절연막으로서 산화 실리콘 막 또는 산화 질화 실리콘막을 형성하는 경우에 대하여 기재한다. 이 형성 조건은 플라즈마 CVD 장치의 전공 배기된 처리실 내에 재치(載置)된 기판을 180°C 이상 400°C 이하, 더욱 바람직하게는 200°C 이상 370°C 이하로

유지하고, 처리실에 원료 가스의 실리콘을 포함하는 퇴적성 기체 및 산화성 기체를 도입하여 처리실 내에서의 압력을 20Pa 이상 250Pa 이하, 더욱 바람직하게는 40Pa 이상 200Pa 이하로 하여, 처리실 내에 형성된 전극에 고주파 전력을 공급하는 조건이다.

[0153] 실리콘을 포함하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이 있다. 산화성 기체로서는 산소, 오존, 일산화이질소, 이산화질소 등이 있다.

[0154] 또한, 실리콘을 포함하는 퇴적성 기체에 대한 산화성 기체량을 100배 이상으로 함으로써, 절연막(128)(절연막(129))에 포함되는 수소 함유량을 저감하는 것이 가능함과 동시에, 절연막(128)(절연막(129))에 포함되는 맹글링 본드를 저감할 수 있다. 절연막(130)(절연막(131))으로부터 이동하는 산소는 절연막(128)(절연막(129))에 포함되는 맹글링 본드에 의해 포획되는 경우가 있기 때문에, 절연막(128)(절연막(129))에 포함되는 맹글링 본드가 저감되어 있으면, 절연막(130)(절연막(131))에 포함되는 산소를 산화물 반도체막(111)에 효율적으로 이동시킬 수 있고, 산화물 반도체막(111)에 포함되는 산소 결손을 보충할 수 있다. 이 결과, 산화물 반도체막(111)에 혼입하는 수소량을 저감할 수 있음과 동시에 산화물 반도체막(111)에 포함되는 산소 결손을 저감시킬 수 있다.

[0155] 절연막(131)을 상기의 산소 파이 영역을 포함하는 산화 절연막 또는 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막으로 하는 경우, 절연막(130)은 이하의 형성 조건을 이용하여 형성할 수 있다. 또한, 여기에서는 이 산화 절연막으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성하는 경우에 대하여 기재한다. 이 형성 조건은 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기관을 180°C 이상 260°C 이하, 더욱 바람직하게는 180°C 이상 230°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100Pa 이상 250Pa 이하, 더욱 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 형성된 전극에  $0.17W/cm^2$  이상  $0.5W/cm^2$  이하, 더욱 바람직하게는  $0.25W/cm^2$  이상  $0.35W/cm^2$  이하의 고주파 전력을 공급하는 조건이다.

[0156] 절연막(130)의 원료 가스는 절연막(128)의 형성에 적용할 수 있는 원료 가스로 할 수 있다.

[0157] 절연막(130)의 형성 조건으로서, 상기 압력의 처리실에 있어서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아져, 산소 래디칼이 증가하고, 원료 가스의 산화가 진행되기 때문에, 절연막(130) 중에서의 산소 함유량이 화학양론적 조성보다 많아진다. 또, 기관 온도가 상기 온도로 형성된 막에서는 실리콘과 산소의 결합력이 약하다. 따라서, 후의 공정의 가열 처리에 의해 막 중의 산소의 일부를 이탈시킬 수 있다. 이 결과, 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하고, 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 형성할 수 있다. 또, 산화물 반도체막(111) 위에 절연막(128)이 형성되어 있다. 이 때문에, 절연막(130)의 형성 공정에서, 절연막(128)이 산화물 반도체막(111)의 보호막이 된다. 이 결과, 파워 밀도가 높은 고주파 전력을 이용하여 절연막(130)을 형성해도, 산화물 반도체막(111)에 대한 손상을 억제할 수 있다.

[0158] 또, 절연막(130)은 막두께를 두껍게 함으로써, 가열에 의해 이탈하는 산소의 양을 많게 할 수 있으므로, 절연막(130)은 절연막(128)보다 두껍게 형성하는 것이 바람직하다. 절연막(128)을 형성함으로써 절연막(130)을 두껍게 형성하는 경우에도 피복성을 양호하게 할 수 있다.

[0159] 절연막(132)은 스퍼터링법, CVD법 등을 이용하여 형성할 수 있다. 절연막(132)을 수소 함유량이 적은 질화 절연막으로 형성하는 경우, 절연막(133)은 이하의 형성 조건을 이용하여 형성할 수 있다. 또한, 여기에서는 이 질화 절연막으로서, 질화 실리콘막을 형성하는 경우에 대하여 기재한다. 이 형성 조건은 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기관을 80°C 이상 400°C 이하, 더욱 바람직하게는 200°C 이상 370°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100Pa 이상 250Pa 이하로 하고, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 형성된 전극에 고주파 전력을 공급하는 조건이다.

[0160] 절연막(133)의 원료 가스로서는 실리콘을 포함하는 퇴적성 기체, 질소, 및 암모니아를 이용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 기체의 대표예로서는 실란, 디실란, 트리실란, 불화실란 등이 있다. 또, 질소의 유량은 암모니아의 유량에 대하여 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 하는 것이 바람직하다. 또한, 원료 가스로서 암모니아를 이용함으로써, 실리콘을 포함하는 퇴적성 기체 및 질소의 분해를 촉진시킬 수 있다. 이것은 암모니아가 플라즈마 에너지나 열에너지에 의해 해리하고, 해리함으로써 발생하는 에너지가 실리콘을 포함하는 퇴적성 기체 분자의 결합 및 질소 분자의 결합의 분해에 기여하기 때문이다. 이와 같이 함으로써, 수소 함유량이 적고, 외부로부터 수소나 물 등의 불순물의 침입을 억제하는 것이 가능한 질화 실리콘막을 형성할 수 있다.

- [0161] 또한, 절연막(131)과 절연막(132) 사이에, 유기 실란 가스를 이용한 CVD법에 의해 형성한 산화 실리콘막을 형성하는 경우는 상기 열거한 유기 실란 가스를 이용하여 CVD법에 의해 산화 실리콘막을 절연막(130) 위에 형성한다.
- [0162] 적어도 절연막(130)을 형성한 후에 가열 처리를 행하고, 절연막(128) 또는 절연막(130)에 포함되는 산소를 적어도 산화물 반도체막(111)으로 이동시키고, 산화물 반도체막(111)의 산소 결손을 보충하는 것이 바람직하다. 또한, 이 가열 처리는 산화물 반도체막(111) 및 산화물 반도체막(119)의 탈수소화 또는 탈수화를 행하는 가열 처리의 세부 사항을 참조하여 적절히 행할 수 있다.
- [0163] 또, 트랜지스터(103)의 바람직한 형성 순서 중 하나는 절연막(130)으로서 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하고, 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 형성하고, 절연막(130)을 형성한 후에 350°C의 가열 처리를 행하고, 상기 열거한 유기 실란 가스를 이용하여 기판 온도를 350°C로 유지한 CVD법으로 산화 실리콘막을 형성하고, 절연막(132)으로서 기판 온도를 350°C로 하고, 수소 함유량이 적은 질화 절연막을 형성하는 것이다.
- [0164] 다음에, 절연막(128), 절연막(130) 및 절연막(133)의 도전막(113)과 중첩하는 영역에, 도전막(113)에 달하는 개구(117)를 형성하고, 절연막(129), 절연막(131) 및 절연막(132)을 형성하고(도 8(B) 참조), 개구(117) 및 절연막(132) 위에 화소 전극(121)을 형성한다(도 6 참조).
- [0165] 개구(117)는 개구(123)와 마찬가지로 하여 형성할 수 있다. 화소 전극(121)은 상기 열거한 재료를 이용하고, 개구(117)를 통하여 도전막(113)에 접하는 도전막을 형성하고, 이 도전막 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써 형성할 수 있다. 또한, 이 마스크 및 이 가공은 주사선(107\_m-1) 및 주사선(107\_m)과 마찬가지로 하여 행할 수 있다.
- [0166] 다음에, 절연막(132) 위 및 화소 전극(121) 위에 배향막(158)을 형성한다. 또, 기판(150) 위에 차광막(152)을 형성한다. 그리고, 차광막(152)을 덮도록 대향 전극(154)을 형성하고, 대향 전극(154) 위에 배향막(156)을 형성한다. 또한 배향막(158) 위에 액정(160)을 형성하고, 배향막(156)이 액정(160)에 접하도록 기판(150)을 기판(102) 위에 형성하여 실제(도시하지 않음)에 의해 기판(102)과 기판(150)을 고정한다.
- [0167] 배향막(156) 및 배향막(158)은 상기한 재료를 이용하여 스판 코팅법이나 인쇄법 등 각종 성막 방법을 적절히 이용함으로써 형성할 수 있다.
- [0168] 차광막(152)은 예를 들면, 티탄, 크롬 등의 금속을 스퍼터링법으로 성막하고, 마스크를 이용하여 가공함으로써 형성할 수 있다.
- [0169] 대향 전극(154)은 화소 전극(121)에 적용할 수 있는 재료를 이용하여, CVD법이나 스퍼터링법 등의 각종 성막 방법을 이용하여 형성할 수 있다.
- [0170] 액정(160)은 배향막(158) 위에 디스펜서법(적하법)으로 직접 형성할 수 있다. 또, 기판(102)과 기판(150)을 부착시키고 나서 모세관 현상 등을 이용하여 액정(160)을 주입시켜도 좋다. 또, 액정(160)을 배향시키기 쉽게 하기 위해 배향막(156) 및 배향막(158)에 러빙 공정을 행하는 것이 바람직하다.
- [0171] 이상의 공정에 의해 본 발명의 일양태인 반도체 장치를 제작할 수 있다(도 6 참조).
- [0172] <변형 예 1>
- [0173] 본 발명의 일양태인 반도체 장치에 있어서, 용량 소자를 구성하는 한쪽의 전극으로서 기능하는 반도체막(구체적으로는 산화물 반도체막)과, 용량선으로서 기능하는 주사선과의 접속은 적절히 변경할 수 있다. 예를 들면, 이 반도체막의 도전성을 증대시키기 위해, 도전막을 이 반도체막의 일부에 접하여 형성하고, 이 도전막에 의해 이 반도체막과 이 주사선을 전기적으로 접속할 수 있다.
- [0174] 또한, 이하, 변형예를 도시하는 도면에서는 도면의 명료화를 위해 기판(150), 차광막(152), 대향 전극(154), 배향막(156), 배향막(158), 및 액정(160)을 생략하고 있다. 또, 변형예를 나타내는 도면에서, 도 5 또는 도 6에서 이용한 부호를 적절히 이용한다.
- [0175] 본 구조의 구체적인 예에 대하여, 도 9 및 도 10을 이용하여 설명한다. 또한, 여기에서는 도 5 및 도 6에 도시한 구조와 다른 점에 대해서만 설명한다. 도 9는 화소(101(m, n))의 상면도이며, 도 10(A)은 도 9의 일점 쇄선 A1-A2 간, 및 일점 쇄선 B1-B2 간의 단면도이며, 도 10(B)은 도 9의 일점 쇄선 C1-C2 간의 단면도이다.

- [0176] 도 9에 도시한 화소(101(m, n))에서, 도전막(167)은 산화물 반도체막(119)의 외주를 따라 접하고 있고, 개구(123)를 통하여 주사선(107\_m-1)과 접하여 형성되어 있다. 도전막(167)은 신호선(109\_n) 및 도전막(113)의 형성 공정을 이용하여 형성할 수 있다. 그러므로, 도전막(167)은 차광성을 가지는 경우가 있기 때문에, 루프 형상으로 형성하는 것이 바람직하다. 또한, 도전막(167)과 산화물 반도체막(119)과의 접촉 면적이 커질수록 산화물 반도체막(119)은 용량 소자(105)의 한쪽의 전극으로서 용이하게 기능한다.
- [0177] 또, 도 9에 도시한 화소(101(m, n))에서, 산화물 반도체막(119) 및 주사선(107\_m-1)이 도전막(167)에 접하도록 하기 위해, 산화물 반도체막(119)의 형상을 적절히 바꾸는 것이 바람직하다.
- [0178] 도 10(A) 및 도 10(B)에 도시하는 바와 같이, 도전막(167)은 용량 소자(105)의 산화물 반도체막(119)의 단부를 덮도록 형성된다.
- [0179] 또, 도전막(167)은 루프 형상의 부분이 분리된 상태로 산화물 반도체막(119)에 접하여 형성되어 있어도 좋다.
- [0180] 도 9 및 도 10에 도시한 화소(101(m, n))는 도전막(167)이 루프 형상으로 형성된 구조이지만, 도전막(167)은 산화물 반도체막(119)의 외주의 일부에만 접하여 형성되어 있는 구조여도 좋다(도 11 참조). 또한, 도 11에 도시한 화소(101(m, n))에서도 도전막(167)에 의해 산화물 반도체막(119)과 주사선(107\_m-1)이 전기적으로 접속된다.
- [0181] 또한, 산화물 반도체막(119)이 주사선(107\_m-1)에 직접 접하는 구성에서, 산화물 반도체막(119)의 도전성을 향상시키기 위해 도전막(167)을 산화물 반도체막(119)의 일부에 접하여 형성해도 좋다. 즉, 도전막(167)은 산화물 반도체막(119)에만 접하고, 주사선(107\_m-1)에 접하지 않는 구조여도 좋다. 예를 들면, 도 12 및 도 13에 나타내는 바와 같이, 도전막(167)이 루프 형상으로 형성되어 있지만, 주사선(107\_m-1)에 접하지 않은 구조여도 좋다. 도 12는 이 구조의 화소(101(m, n))의 상면도이며, 도 13(A)은 도 12의 일점 쇄선 A1-A2 간, 및 일점 쇄선 B1-B2 간의 단면도이며, 도 13(B)은 도 12의 일점 쇄선 C1-C2 간의 단면도이다.
- [0182] <변형예 2>
- [0183] 또, 도 5 및 도 6에 도시한 화소(101(m, n)), 또는 도 9 내지 도 13에 도시한 화소(101(m, n))에서, 화소 전극(121)과 도전막(113) 사이에 발생하는 기생 용량, 또는 화소 전극(121)과 도전막(167) 사이에 발생하는 기생 용량을 저감하기 위해, 이 기생 용량이 발생하는 영역에 유기 절연막을 형성할 수 있다. 바꿔 말하면, 이 유기 절연막은 상기 화소(101(m, n))에서 부분적으로 형성된다.
- [0184] 이 유기 절연막으로서는 감광성, 비감광성의 유기 수지를 적용할 수 있고, 예를 들면, 아크릴 수지, 벤조사이클로부텐계 수지, 에폭시 수지, 또는 실록산계 수지 등을 이용할 수 있다. 또, 유기 절연막으로서는 폴리아미드를 이용할 수 있다.
- [0185] 이 유기 절연막을 부분적으로 형성하기 위해 상기 열거한 재료를 이용하여 절연막을 형성한 후, 이 절연막의 가공이 필요한 경우가 있다. 이 유기 절연막의 형성 방법은 특별히 한정되지 않고, 이용하는 재료에 따라 적절히 선택할 수 있다. 예를 들면, 스판 코팅, 딥 코팅, 스프레이 도포, 액적 토출법(잉크젯법), 스크린 인쇄, 오프셋 인쇄 등을 적용할 수 있다. 또, 이 유기 절연막으로서 감광성의 유기 수지를 이용함으로써, 이 유기 절연막을 형성할 때에 레지스트 마스크가 불필요해지고, 공정을 간략화할 수 있다.
- [0186] 일반적으로, 유기 수지는 수소나 물을 많이 포함하고 있고, 유기 수지가 트랜지스터(103)(특히 산화물 반도체막(111)) 위에 형성되면, 유기 수지에 포함되는 수소나 물이 트랜지스터(103)(특히 산화물 반도체막(111))에 확산되고, 트랜지스터(103)의 전기 특성을 열화시킬 가능성이 있다. 따라서, 적어도, 산화물 반도체막(111)에 중첩하는 영역에는 유기 수지를 형성하지 않는 것이 바람직하다.
- [0187] <변형예 3>
- [0188] 도 5 및 도 6에 도시한 화소(101(m, n)), 및 도 9 내지 도 13에 도시한 화소(101(m, n))에서, 트랜지스터(103)의 형상은 이들의 도면에 나타낸 트랜지스터의 형상으로 한정되지 않고, 적절히 변경할 수 있다. 예를 들면, 트랜지스터(103)는 도 14에 도시한 화소(101(m, n))와 같이 신호선(109\_n)에 포함되는 소스 전극으로서 기능하는 영역이 U자형(C자형, D자형, 또는 말굽형)이며, 도전막(113)의 드레인 전극으로서 기능하는 영역을 둘러싸는 형상의 트랜지스터(169)여도 좋다. 이러한 형상으로 함으로써, 트랜지스터의 면적이 작아도 충분한 채널폭을 확보하는 것이 가능해지고, 트랜지스터의 온 전류의 양을 늘리는 것이 가능해진다. 또한, 도 14에 도시한 화소(101(m, n))에서, 다른 구성은 도 5와 같다.

## [0189] &lt;변형예 4&gt;

또, 도 5 및 도 6에 도시한 화소(101(m, n)), 및 도 9 내지 도 13에 도시한 화소(101(m, n))에서, 트랜지스터(103)로서 채널 에칭 구조의 트랜지스터를 이용하고 있다. 트랜지스터(103)는 도 15에 도시하는 바와 같이, 채널 보호형의 트랜지스터(183)를 이용할 수 있다. 또한, 도 15에서 산화물 반도체막(111)과, 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n) 및 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113) 사이에 채널 보호막(182)이 형성되어 있는 점 이외의 구성은 도 6에 도시한 트랜지스터(103)와 같다.

[0191] 도 15에 도시하는 트랜지스터(183)는 산화물 반도체막(111) 위에 채널 보호막(182)을 형성한 후, 신호선(109\_n) 및 도전막(113)을 형성한다. 채널 보호막(182)은 트랜지스터(103)의 절연막(129)의 재료로 형성할 수 있다. 이와 같이 함으로써, 트랜지스터(183)에서, 트랜지스터(103)의 절연막(129)에 상당하는 절연막을 별도 형성할 필요가 없어진다. 채널 보호막(182)을 형성함으로써, 산화물 반도체막(111)의 표면은 신호선(109\_n) 및 도전막(113)의 형성 공정에서 이용하는 에칭 가스에 노출되지 않고, 산화물 반도체막(111) 및 채널 보호막(182) 사이의 불순물을 저감할 수 있다. 이 결과, 트랜지스터(183)의 신호선(109\_n) 및 도전막(113)의 사이에 흐르는 리크 전류를 저감하는 것이 가능하다. 또, 채널 보호막(182)을 가짐으로써, 신호선(109) 및 도전막(113)을 형성할 때에 행하는 가공에 의하여, 산화물 반도체막(111)(특히 채널 형성 영역)에 데미지가 들어가는 것을 억제할 수 있다.

## [0192] &lt;변형예 5&gt;

[0193] 또, 도 5 및 도 6에 도시한 화소(101(m, n)), 및 도 9 내지 도 13에 도시한 화소(101(m, n))에서, 트랜지스터(103)는 산화물 반도체막(111)이 게이트 절연막(127)과 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n) 및 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113) 사이에 위치하는 트랜지스터이다. 트랜지스터(103)로서 도 16에 도시하는 바와 같이, 산화물 반도체막(195)이 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n) 및 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)과 절연막(129) 사이에 위치하는 트랜지스터(190)를 이용할 수 있다. 또한, 도 16에서, 산화물 반도체막(195)의 위치 이외의 구성은 도 6에 도시한 트랜지스터(103)와 같다.

[0194] 도 16에 나타내는 트랜지스터(190)는 신호선(109\_n) 및 도전막(113)을 형성한 후, 산화물 반도체막(195)을 형성한다. 따라서, 산화물 반도체막(195)의 표면은 신호선(109\_n) 및 도전막(113)의 형성 공정에서 이용하는 에칭 가스에 노출되지 않고, 산화물 반도체막(195) 및 절연막(129) 사이의 불순물을 저감할 수 있다. 이 결과, 트랜지스터(190)의 신호선(109\_n) 및 도전막(113) 사이에 흐르는 리크 전류를 저감할 수 있다.

## [0195] &lt;변형예 6&gt;

[0196] 또, 도 5 및 도 6에 도시한 화소(101(m, n)), 및 도 9 내지 도 13에 도시한 화소(101(m, n))에서, 트랜지스터(103)는 1개의 게이트 전극을 가지는 트랜지스터를 나타냈지만, 그 대신에 도 17에 도시하는 바와 같이, 산화물 반도체막(111)을 통하여 대향하는 2개의 게이트 전극을 가지는 트랜지스터(185)를 이용할 수 있다.

[0197] 트랜지스터(185)는 본 실시형태에서 설명한 트랜지스터(103), 트랜지스터(169), 트랜지스터(183), 또는 트랜지스터(190)의 절연막(132) 위에, 도전막(187)을 가진다. 도전막(187)은 적어도 산화물 반도체막(111)의 채널 형성 영역과 겹친다. 예를 들면, 도전막(187)은 채널 길이 방향의 폭에서, 트랜지스터의 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n)과 드레인 전극으로서 기능하는 도전막(113) 사이의 폭보다 짧은 형상으로 할 수 있다. 도전막(187)을 산화물 반도체막(111)의 채널 형성 영역과 중첩되는 위치에 형성하고, 도전막(187)의 전위는 신호선(109\_n)에 입력되는 비디오 신호의 최저 전위로 하는 것이 바람직하다. 이 결과, 산화물 반도체막(111)의 도전막(187)측의 영역에서, 소스 전극 및 드레인 전극 사이에 흐르는 전류를 제어할 수 있다. 그러므로, 화소부(100)에 설치되는 트랜지스터 간의 전기 특성의 변동을 저감할 수 있다. 또, 도전막(187)을 형성함으로써, 주위의 전계 변화가 산화물 반도체막(111)에 부여하는 영향을 경감하고, 트랜지스터의 신뢰성을 향상 시킬 수 있다.

[0198] 이상으로부터 용량 소자의 한쪽의 전극으로서 트랜지스터의 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써, 개구율을 높이면서, 전하 용량을 크게 한 용량 소자를 가지는 반도체 장치를 제작할 수 있다. 또, 개구율을 높이는 것에 의해 표시 품질이 좋은 반도체 장치를 얻을 수 있다.

[0199] 또, 트랜지스터의 반도체막(구체적으로는 산화물 반도체막)은 산소 결손이 저감되고, 수소, 질소 등의 불순물이 저감되어 있으므로, 본 발명의 일양태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치이다.

- [0200] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0201] (실시형태 2)
- [0202] 본 실시형태에서는 본 발명의 일양태의 반도체 장치로서, 상기 실시형태와 다른 구조의 반도체 장치에 대하여 도면을 이용하여 설명한다. 본 실시형태에서 설명하는 반도체 장치는 상기 실시형태와 비교하여 용량 소자의 구조가 다르다. 또한, 본 실시형태에 설명하는 반도체 장치에서, 상기 실시형태에서 설명한 반도체 장치와 같은 구성은 상기 실시형태를 참조할 수 있다.
- [0203] <반도체 장치의 구성>
- [0204] 본 실시형태에서 설명하는 화소의 상면도를 도 18에 도시한다. 도 18에 도시한 화소(101(m, n))는 도 5에 도시한 화소(101(m, n))의 용량 소자(105)를 용량 소자(205)로 한 구성이다. 도 18에 도시한 화소(101(m, n))는 도 5에 도시한 화소(101(m, n))와 비교하여 2점 쇄선 내의 영역에서 절연막(232)(도시하지 않음)이 산화물 반도체막(119)에 접하여 형성되어 있다. 즉, 도 18에 도시한 화소(101(m, n))는 2점 쇄선 내의 영역에서 절연막(229)(도시하지 않음) 및 절연막(231)(도시하지 않음)이 제거되어 있다. 따라서, 용량 소자(205)는 한쪽의 전극으로서 기능하는 산화물 반도체막(119)과, 다른 한쪽의 전극인 화소 전극(121)과, 유전체막인 절연막(232)(도시하지 않음)으로 구성되어 있다.
- [0205] 다음에, 도 18의 일점 쇄선 A1-A2 간 및 일점 쇄선 B1-B2 간에서의 단면도를 도 19에 도시한다.
- [0206] 도 18에 도시한 화소(101(m, n))의 단면 구조는 이하와 같다. 기판(102) 위에, 게이트 전극으로서 기능하는 영역을 포함하는 주사선(107\_m)과, 주사선(107\_m-1)이 형성되어 있다. 주사선(107\_m-1) 및 주사선(107\_m) 위에 게이트 절연막(127)이 형성되어 있다. 게이트 절연막(127)의 주사선(107\_m)과 중첩하는 영역 위에 산화물 반도체막(111)이 형성되어 있다. 주사선(107\_m-1)과 접하고 있는 게이트 절연막(127)의 일부에, 주사선(107\_m-1)에 달하는 개구(123)가 형성되어 있고, 게이트 절연막(127) 위 및 개구(123)에는 산화물 반도체막(119)이 형성되어 있다. 산화물 반도체막(111) 위, 및 게이트 절연막(127) 위에 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n)과, 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)이 형성되어 있다. 적어도 트랜지스터(103)가 되는 영역에서, 게이트 절연막(127) 위, 신호선(109\_n) 위, 산화물 반도체막(111) 위, 및 도전막(113) 위에 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(229), 절연막(231), 및 절연막(232)이 형성되어 있다. 또, 적어도 용량 소자(205)가 되는 영역에서, 산화물 반도체막(119) 위에 절연막(232)이 형성되어 있다. 절연막(229), 절연막(231), 및 절연막(232)에는 도전막(113)에 달하는 개구(117)가 형성되어 있고, 개구(117) 및 절연막(232) 위에 화소 전극(121)이 형성되어 있다. 또한, 기판(102)과, 주사선(107\_m-1) 및 주사선(107\_m) 및 게이트 절연막(127) 사이에는 하지 절연막이 형성되어 있어도 좋다.
- [0207] 절연막(229)은 실시형태 1에서 설명한 절연막(129)과 같은 절연막이다. 절연막(231)은 실시형태 1에서 설명한 절연막(131)과 같은 절연막이다. 절연막(232)은 실시형태 1에서 설명한 절연막(132)과 같은 절연막이다.
- [0208] 본 실시형태에서의 용량 소자(205)와 같이, 한쪽의 전극으로서 기능하는 산화물 반도체막(119)과 다른 한쪽의 전극인 화소 전극(121)과의 사이에 형성되는 유전체막을 절연막(232)으로 함으로써, 유전체막의 두께를 실시형태 1의 용량 소자(105)의 유전체막에 비해 얇게 할 수 있다. 따라서, 본 실시형태의 용량 소자(205)는 실시형태 1의 용량 소자(105)보다 단위 면적당의 전하 용량을 증대시킬 수 있다.
- [0209] 또, 용량 소자(205)는 용량 소자(105)보다 단위 면적당의 전하 용량이 크기 때문에, 용량 소자(105)와 동등한 전하 용량으로 하기 위해 필요한 산화물 반도체막(119)의 면적을 작게 할 수 있다. 그러므로, 화소(101(m, n))에서, 산화물 반도체막(119)이 형성되지 않는 영역을 형성할 수 있다. 따라서, 본 발명의 일양태인 반도체 장치에 있어서, 백 라이트 등의 광원으로부터 조사되는 광의 취출 효율(투과율)을 향상시킬 수 있고, 표시 품질을 향상시킬 수 있다.
- [0210] 또, 절연막(232)은 실시형태 1의 절연막(132)과 마찬가지로 질화 절연막인 것이 바람직하다. 질화 절연막으로 형성되는 절연막(232)을 플라즈마 CVD법 또는 스퍼터링법으로 성막하면, 산화물 반도체막(119)이 플라즈마에 노출되고, 산화물 반도체막(119)에 산소 결손이 생성된다. 또, 절연막(232)은 산화물 반도체막(119)과 접하므로, 이 질화 절연막에 포함되는 질소 또는/및 수소가 산화물 반도체막(119)으로 이동한다. 산소 결손에 절연막(232)에 포함되는 수소가 들어감으로써, 캐리어인 전자가 생성된다. 또는 절연막(232)을 질화 절연막으로 하고, 절연막(232)이 산화물 반도체막(119)에 접한 상태로 가열 처리를 행함으로써, 이 질화 절연막에 포함되는

질소 또는/및 수소가 산화물 반도체막(119)으로 이동한다. 산소 결손에 절연막(232)에 포함되는 수소가 들어감으로써, 캐리어인 전자가 생성된다. 이 결과, 산화물 반도체막(119)의 도전율이 증대되고, n형이 된다. 또한, 도체 특성을 가지는 금속 산화물막으로 구성되는 투광성을 가지는 도전막이 된다. 산화물 반도체막(119)은 도전율이 산화물 반도체막(111)과 비교하여 높다.

[0211] 상기로부터, 본 실시형태에서의 반도체 장치에서 산화물 반도체막(119)은 산화물 반도체막(111)보다 도전율이 높은 영역을 가진다. 적어도 산화물 반도체막(119)의 절연막(232)과 접하는 영역은 n형이며, 산화물 반도체막(111)의 절연막(229)과 접하는 영역보다 도전율이 높다.

[0212] 또한, 산화물 반도체막(119)은 산화물 반도체막(111)보다 수소 농도가 높은 것이 바람직하다. 산화물 반도체막(119)에서 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 얻어지는 수소 농도는  $8 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이상, 더욱 바람직하게는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이상이다. 산화물 반도체막(111)에서, 2차 이온 질량 분석법에 의해 얻어지는 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하이다.

[0213] 또, 산화물 반도체막(119)은 산화물 반도체막(111)보다 저항율이 낮다. 산화물 반도체막(119)의 저항율이 산화물 반도체막(111)의 저항율의  $1 \times 10^{-8}$  배 이상  $1 \times 10^{-1}$  배 이하인 것이 바람직하고, 대표적으로는  $1 \times 10^{-3} \Omega_m$  이상  $1 \times 10^4 \Omega_m$  미만, 더욱 바람직하게는 저항율이  $1 \times 10^{-3} \Omega_m$  이상  $1 \times 10^{-1} \Omega_m$  미만이면 좋다.

[0214] 또, 본 실시형태에서의 반도체 장치에 있어서, 용량 소자(205)를 동작시키는 방법은 실시형태 1에서 기재한 용량 소자(205)를 동작시키는 방법과 같이, 용량 소자(205)를 동작시키는 기간에, 산화물 반도체막(119)의 전위(바꿔 말하면, 주사선(107\_m-1)의 전위)를, 화소 전극(121)의 전위보다 용량 소자(205)(MOS 커패시터)의 문턱 전압(Vth)분 이상 낮게 한다. 단, 용량 소자(205)에서, 한쪽의 전극으로서 기능하는 산화물 반도체막(119)은 n형이고, 도전율이 높기 때문에, 도 2의 과선과 같이 문턱 전압(Vth)은 마이너스 방향으로 시프트한다. 산화물 반도체막(119)의 전위(바꿔 말하면, 주사선(107\_m-1)의 전위)는 용량 소자(205)의 문턱 전압(Vth)의 마이너스 방향으로의 시프트량에 따라서, 화소 전극(121)이 취할 수 있는 가장 낮은 전위부터 높게 해나갈 수 있다. 따라서, 용량 소자(205)의 문턱 전압이 큰 음의 값을 나타내는 경우, 도 4(B)와 같이, 주사선(107\_m-1)의 전위는 화소 전극(121)의 전위보다 높게 할 수 있다.

[0215] 본 실시형태와 같이, 용량 소자(205)의 한쪽의 전극인 산화물 반도체막(119)을 n형으로 하고, 도전율을 증대시킴으로써, 문턱 전압을 마이너스 방향으로 시프트하기 때문에, 용량 소자(205)를 동작시키기 위해 필요한 전위의 선택폭을 실시형태 1의 용량 소자(205)를 동작시키기 위해 필요한 전위의 선택폭보다 넓힐 수 있다. 따라서, 본 실시형태는 용량 소자(205)를 동작시키는 기간에 항상 안정적으로 용량 소자(205)를 동작시킬 수 있기 때문에 바람직하다.

[0216] <반도체 장치의 제작 방법>

[0217] 다음에, 본 실시형태에 있어서의 반도체 장치의 제작 방법에 대하여, 도 20 및 도 21을 이용하여 설명한다.

[0218] 우선, 기판(102) 위에 게이트 전극으로서 기능하는 영역을 포함하는 주사선(107\_m-1) 및 주사선(107\_m)을 형성하고, 기판(102), 주사선(107\_m-1) 및 주사선(107\_m)을 덮도록, 후에 게이트 절연막(127)으로 가공되는 절연막을 형성하고, 이 절연막의 주사선(107\_m-1)과 접하는 영역의 일부에 개구(123)를 형성함으로써 게이트 절연막(127)을 형성하고, 주사선(107\_m)과 중첩하는 영역에 산화물 반도체막(111)을 형성하고, 후에 화소 전극(121)이 형성되는 영역과 중첩하도록 산화물 반도체막(119)을 게이트 절연막(127) 위 및 개구(123)에 형성한다. 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n), 및 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)을 형성하고, 게이트 절연막(127) 위, 신호선(109\_n) 위, 산화물 반도체막(111) 위, 도전막(113) 위, 및 산화물 반도체막(119) 위에 절연막(128)을 형성하고, 절연막(128) 위에 절연막(130)을 형성한다(도 20(A) 참조). 또한, 여기까지의 공정은 실시형태 1을 참조하여 행할 수 있다.

[0219] 다음에, 적어도 산화물 반도체막(111)과 중첩하는 절연막(130)의 영역 위에 마스크를 형성하고, 이 마스크를 이용하여 가공하여 절연막(228) 및 절연막(230)을 형성함과 동시에 산화물 반도체막(119)을 노출시키고, 노출시킨 영역 위 및 절연막(230) 위에 절연막(233)을 형성한다(도 20(B) 참조). 이 마스크는 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용할 수 있고, 이 가공은 드라이 에칭 및 웨트 에칭의 한쪽 또는 쌍방에 의해

행할 수 있다. 또, 절연막(233)은 실시형태 1에서 설명한 절연막(133)과 같은 절연막이다. 또, 절연막(233)을 형성한 후 등, 절연막(233)이 산화물 반도체막(119)에 접한 상태로 가열 처리를 행하는 것이 바람직하다. 또한, 여기까지의 공정에 대해서도 실시형태 1을 참조하여 행할 수 있다.

[0220] 질화 절연막으로 형성되는 절연막(233)을 플라즈마 CVD법 또는 스퍼터링법으로 성막하면, 산화물 반도체막(119)이 플라즈마에 노출되고, 산화물 반도체막(119)에 산소 결손이 생성된다. 또, 산화물 반도체막(119)과 질화 절연막으로 형성되는 절연막(233)이 접함으로써, 절연막(233)으로부터, 질소 또는/및 수소가 산화물 반도체막(119)으로 이동한다. 산소 결손에 절연막(233)에 포함되는 수소가 들어감으로써, 캐리어인 전자가 생성된다. 또는 절연막(232)을 질화 절연막으로 하고, 절연막(232)이 산화물 반도체막(119)에 접한 상태로 가열 처리를 행함으로써, 이 질화 절연막에 포함되는 질소 또는/및 수소를 산화물 반도체막(119)으로 이동한다. 이 결과, 산화물 반도체막(119)의 도전율이 증대되고, n형이 된다. 또, 도체 특성을 가지는 금속 산화물막으로 구성되는 투광성을 가지는 도전막이 된다. 산화물 반도체막(119)은 도전율이 산화물 반도체막(111)과 비교하여 높다.

[0221] 다음에, 절연막(228) 및 절연막(230) 및 절연막(233)에, 도전막(113)에 달하는 개구(117)를 형성하고, 절연막(229), 절연막(231) 및 절연막(232)을 형성하고(도 21 참조), 개구(117)를 통하여 도전막(113)에 접하는 화소전극(121)을 형성한다(도 19 참조). 또한, 여기까지의 공정에 대해서도 실시형태 1을 참조하여 행할 수 있다.

[0222] 이상의 공정에 의해 본 실시형태에서의 반도체 장치를 제작할 수 있다.

#### <변형예>

[0224] 본 실시형태에서 설명한 반도체 장치는 용량 소자가 형성되는 영역의 구조를 적절히 변경할 수 있다. 구체적인 예에 대하여, 도 22를 이용하여 설명한다. 도 22에 도시하는 화소(101(m, n))는 도 5 및 도 6에 도시한 화소(101(m, n))의 용량 소자(105)가 형성되는 영역에서, 게이트 절연막(127)의 구조가 다른 용량 소자(245)를 가진다.

[0225] 도 22에 도시한 화소(101(m, n))의 단면 구조는 이하와 같다. 게이트 절연막(127)을, 질화 절연막인 절연막(226)과 산화물 절연막인 절연막(227)과의 적층 구조로 하고, 적어도 산화물 반도체막(119)이 형성되는 영역에서 절연막(226)만을 형성하는 구조이다. 이와 같이 함으로써, 절연막(226)인 질화 절연막이 산화물 반도체막(119)의 하면과 접하게 되어, 산화물 반도체막(119)을 n형으로 하고, 도전율을 증대시킬 수 있다. 도 22에 대응하는 상면도로서는 도 5를 참조할 수 있다. 이 경우, 용량 소자(245)의 유전체막은 절연막(129), 절연막(131) 및 절연막(132)이다. 또한, 절연막(226) 및 절연막(227)은 게이트 절연막(127)에 적용할 수 있는 절연막을 적절히 이용할 수 있고, 절연막(227)은 절연막(132)과 같은 절연막으로 해도 좋다. 또한, 본 구성으로 하기 위해서는 실시형태 1을 참조하여 적절히 절연막(227)을 가공하면 좋다.

[0226] 또한, 도 22에 도시하는 구조에서, 산화물 반도체막(119)의 상면은 절연막(132)과 접하는 구조여도 좋다. 즉, 도 22에 도시하는 구조에서, 절연막(129) 및 절연막(131)의 산화물 반도체막(119)과 접하는 영역은 제거해도 좋다. 이 경우, 용량 소자의 유전체막은 절연막(132)이다. 산화물 반도체막(119)의 상면 및 하면을 질화 절연막과 접하는 구조으로 함으로써, 한 면만 질화 절연막과 접하는 경우보다 효율적으로 충분히 산화물 반도체막(119)을 n형화시켜, 도전율을 증대시킬 수 있다.

[0227] 또한, 도 22에 도시하는 구조로 함으로써, 절연막(129) 및 절연막(131)의 예칭에 수반하는 산화물 반도체막(119)의 막 두께의 감소를 방지할 수 있기 때문에, 도 18 및 도 19에 도시하는 반도체 장치와 비교하여, 수율이 향상된다.

[0228] 이상으로부터, 용량 소자의 한쪽의 전극으로서 트랜지스터의 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써, 개구율을 높이면서, 전하 용량을 크게 한 용량 소자를 가지는 반도체 장치를 제작할 수 있다. 예를 들면, 본 실시형태의 반도체 장치에서도, 화소 밀도를 300ppi 정도로 하는 경우, 화소의 개구율을 50% 이상, 나아가 화소의 개구율을 55% 이상, 나아가 화소의 개구율을 60% 이상으로 할 수 있다. 또한, 개구율을 높임으로써 표시 품질이 좋은 반도체 장치를 얻을 수 있다.

[0229] 또한, 트랜지스터의 반도체막(구체적으로는 산화물 반도체막)은 산소 결손이 저감되고, 수소, 질소 등의 불순물이 저감되어 있으므로, 본 발명의 일상태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치이다.

[0230] 또한, 본 실시형태에 나타내는 구성 등을 다른 실시형태에 나타내는 구성 및 그 변형예와 적절히 조합하여 이용할 수 있다.

[0231] (실시형태 3)

[0232] 본 실시형태에서는 본 발명의 일양태의 반도체 장치이며, 상기 실시형태와 다른 구조의 반도체 장치에 대하여, 도면을 이용하여 설명한다. 본 실시형태에서는 액정 표시 장치를 예로 하여 본 발명의 일양태인 반도체 장치를 설명한다. 또한, 본 실시형태에서 설명하는 반도체 장치는 상기 실시형태와 비교하여 용량 소자의 한쪽의 전극으로서 기능하는 반도체막(구체적으로는 산화물 반도체막)이 다르다. 또한, 본 실시형태에서 설명하는 반도체 장치에서, 상기 실시형태에서 설명한 반도체 장치와 같은 구성은 상기 실시형태를 참조할 수 있다.

[0233] <반도체 장치의 구성>

[0234] 본 실시형태에서 설명하는 화소의 상면도를 도 23에 도시한다. 도 23에 도시하는 화소(101(m, n))는 용량 소자(305)를 가지고, 용량 소자(305)는 주사선(107\_m) 및 주사선(107\_m-1)과, 신호선(109\_n) 및 신호선(109\_n+1)으로 둘러싸이는 영역에 형성되어 있다. 용량 소자(305)는 산화물 반도체막(111)보다 도전율이 높고, 투광성을 가지는 산화물 반도체막(319)과, 투광성을 가지는 화소 전극(121)과, 유전체막으로서 트랜지스터(103)에 포함되고 투광성을 가지는 절연막(도 23에 도시하지 않음)으로 구성되어 있다. 즉, 용량 소자(305)는 투광성을 가진다. 또한, 산화물 반도체막(319)은 개구(123)를 통하여 주사선(107\_m-1)과 접하고 있으므로, 용량 소자(305)는 주사선(107\_m-1)과 전기적으로 접속되어 있다.

[0235] 산화물 반도체막(319)의 도전율은 10S/cm 이상 1000S/cm 이하, 바람직하게는 100S/cm 이상 1000S/cm 이하로 한다. 이와 같이 산화물 반도체막(319)은 도전율이 높기 때문에, 용량 소자를 구성하는 전극으로서 충분히 기능한다.

[0236] 용량 소자(305)는 투광성을 가지기 때문에, 액정 소자가 동작하는 범위 전체에 용량 소자를 형성할 수 있고, 화소 내에 가능한 한 크게(대면적으로) 용량 소자를 형성할 수 있다. 액정 소자를 충분히 동작시킬 수 있는 전하 용량을 확보할 수 있는 한, 화소 밀도를 크게 하고, 해상도를 높게 할 수 있다.

[0237] 또한, 용량 소자(305)는 실시형태 1에 설명한 용량 소자(105)보다 단위 면적당의 전하 용량이 크기 때문에, 용량 소자(105)와 동등한 전하 용량으로 하기 위해 필요한 산화물 반도체막의 면적을 작게 할 수 있다. 그러므로, 도 23에 도시하는 화소(101(m, n))에서, 산화물 반도체막(319)이 형성되지 않는 영역을 형성할 수 있다. 따라서, 본 발명의 일양태인 반도체 장치에서, 백 라이트 등의 광원으로부터 조사되는 광의 취출 효율(투과율)을 향상시킬 수 있고, 표시 품질을 향상시킬 수 있다.

[0238] 다음에, 도 23의 일점 쇄선(A1-A2) 간 및 일점 쇄선(B1-B2) 간에서의 단면도를 도 24에 도시한다.

[0239] 도 23에 도시하는 화소(101(m, n))의 단면 구조는 이하와 같다. 기판(102) 위에, 게이트 전극으로서 기능하는 영역을 포함하는 주사선(107\_m)과 주사선(107\_m-1)이 형성되어 있다. 주사선(107\_m-1) 및 주사선(107\_m) 위에 게이트 절연막(127)이 형성되어 있다. 게이트 절연막(127)의 주사선(107\_m)과 중첩하는 영역 위에 산화물 반도체막(111)이 형성되어 있다. 주사선(107\_m-1)과 접하고 있는 게이트 절연막(127)의 일부에 주사선(107\_m-1)에 달하는 개구(123)가 형성되어 있고, 게이트 절연막(127) 위 및 개구(123)에는 산화물 반도체막(319)이 형성되어 있다. 산화물 반도체막(111) 위, 및 게이트 절연막(127) 위에 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n)과 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)이 형성되어 있다. 게이트 절연막(127) 위, 신호선(109\_n) 위, 산화물 반도체막(111) 위, 도전막(113) 위, 및 산화물 반도체막(319) 위에 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(129), 절연막(131), 및 절연막(132)이 형성되어 있다. 절연막(129), 절연막(131), 및 절연막(132)에는 도전막(113)에 달하는 개구(117)가 형성되어 있고, 개구(117) 및 절연막(132) 위에 화소 전극(121)이 형성되어 있다. 또한, 기판(102)과, 주사선(107) 및 게이트 절연막(127)과의 사이에는 하지 절연막이 형성되어 있어도 좋다.

[0240] 용량 소자(305)는 한쌍의 전극 중 한쪽의 전극이 n형이고, 산화물 반도체막(111)보다 도전율이 높은 영역을 가지는 산화물 반도체막(319)이고, 한쌍의 전극 중 다른 한쪽의 전극이 화소 전극(121)이고, 한쌍의 전극 사이에 형성된 유전체막이 절연막(129), 절연막(131), 및 절연막(132)이다.

[0241] 산화물 반도체막(319)은 산화물 반도체막(111)에 적용할 수 있는 산화물 반도체를 이용할 수 있다. 산화물 반도체막(319)은 산화물 반도체막(111)의 형성 공정을 이용할 수 있으므로, 산화물 반도체막(319)은 산화물 반도체막(111)을 구성하는 산화물 반도체의 금속 원소를 포함한다. 그리고, 산화물 반도체막(319)은 산화물 반도체막(111)보다 도전율이 높은 영역을 가지기 때문에, 도전율을 증대시키는 원소(도편트)가 포함되어 있다고 할 수

있다. 구체적으로, 산화물 반도체막(319)에는 도편트로서, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 일종 이상이 포함되어 있다. 산화물 반도체막(319)에 포함되는 도편트 농도는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상  $1 \times 10^{22}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하다. 이와 같이 함으로써, 산화물 반도체막(319)의 도전율을 10S/cm 이상 1000S/cm 이하, 바람직하게는 100S/cm 이상 1000S/cm 이하로 할 수 있고, 산화물 반도체막(319)을 용량 소자(305)의 한쪽의 전극으로서 충분히 기능시킬 수 있다. 또한, 산화물 반도체막(319)은 상기 원소(도편트)를 포함하기 때문에 n형이며, 도전율이 높기 때문에, 산화물 반도체막(319)은 도전성을 가지는 막이라고 할 수도 있다.

[0242] 또한, 본 실시형태의 반도체 장치에서, 용량 소자(305)는 한쪽의 전극으로서 기능하는 산화물 반도체막(319)이 실시형태 2와 마찬가지로 n형이며, 도전율이 높기 때문에 문턱 전압(Vth)은 마이너스 방향으로 시프트한다. 따라서, 용량 소자(305)를 동작시키는 방법으로서는 실시형태 2와 같다.

#### <반도체 장치의 제작 방법>

[0244] 다음에, 본 실시형태에서 반도체 장치의 제작 방법에 대하여, 도 25 및 도 26을 이용하여 설명한다.

[0245] 기판(102) 위에 게이트 전극으로 기능하는 영역을 포함하는 주사선(107\_m-1) 및 주사선(107\_m)을 형성하고, 기판(102), 주사선(107\_m-1) 및 주사선(107\_m)을 덮도록, 후에 게이트 절연막(127)으로 가공되는 절연막을 형성하고, 이 절연막의 주사선(107\_m-1)과 접하는 영역의 일부에 개구(123)를 형성함으로써 게이트 절연막(127)을 형성하고, 주사선(107\_m)과 중첩하는 영역에 산화물 반도체막(111)을 형성하고, 후에 화소 전극(121)이 형성되는 영역과 중첩하도록 산화물 반도체막(119)을 게이트 절연막(127) 위 및 개구(123)에 형성한다(도 25(A) 참조). 또한, 여기까지의 공정은 실시형태 1을 참조하여 행할 수 있다.

[0246] 다음에, 산화물 반도체막(119)에 도편트를 첨가하여 산화물 반도체막(319)을 형성한 후, 소스 전극으로서 기능하는 영역을 포함하는 신호선(109\_n), 드레인 전극으로서 기능하는 영역을 포함하는 도전막(113)을 형성한다(도 25(B) 참조).

[0247] 산화물 반도체막(119)에 도편트를 첨가하는 방법은 산화물 반도체막(119) 이외의 영역에 마스크를 형성하고, 이 마스크를 이용하여, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 일종 이상의 도편트를 이온 주입법 또는 이온 도핑법 등으로 첨가한다. 또한, 이온 주입법 또는 이온 도핑법 대신에 이 도편트를 포함하는 플라즈마에 산화물 반도체막(119)을 노출함으로써, 이 도편트를 첨가해도 좋다. 또한, 도편트를 첨가한 후, 가열 처리를 행해도 좋다. 이 가열 처리는 실시형태 1에 기재한, 산화물 반도체막(111) 및 산화물 반도체막(119)의 탈수소화 또는 탈수화를 행하는 가열 처리의 상세한 사항을 참조하여 적절히 행할 수 있다.

[0248] 또한, 도편트를 첨가하는 공정은 신호선(109\_n), 및 도전막(113)을 형성한 후에 행해도 좋다.

[0249] 다음에, 게이트 절연막(127) 위, 신호선(109\_n) 위, 산화물 반도체막(111) 위, 도전막(113) 위, 및 산화물 반도체막(319) 위에 절연막(128)을 형성하고, 절연막(128) 위에 절연막(130)을 형성하고, 절연막(130) 위에 절연막(133)을 형성한다(도 26(A) 참조). 또한, 이 공정은 실시형태 1을 참조하여 행할 수 있다.

[0250] 다음에, 절연막(128) 및 절연막(130) 및 절연막(133)에, 도전막(113)에 달하는 개구(117)를 형성하고, 절연막(129), 절연막(131) 및 절연막(132)을 형성하고(도 26(B) 참조), 개구(117)를 통하여 도전막(113)에 접하는 화소 전극(121)을 형성한다(도 24 참조). 또한, 이 공정에 대해서도 실시형태 1을 참조하여 행할 수 있다.

[0251] 이상의 공정에 의해, 본 실시형태에서의 반도체 장치를 제작할 수 있다.

[0252] 이상에 의해, 용량 소자의 한쪽의 전극으로서 트랜지스터의 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써, 개구율을 높이면서, 전하 용량을 크게 한 용량 소자를 가지는 반도체 장치를 제작할 수 있다. 예를 들면, 본 실시형태의 반도체 장치에서도, 화소 밀도를 300ppi 정도로 하는 경우, 화소의 개구율을 50% 이상, 또 화소의 개구율을 55% 이상, 또 화소의 개구율을 60% 이상으로 할 수 있다. 또, 개구율을 높임으로써 표시 품질이 좋은 반도체 장치를 얻을 수 있다.

[0253] 또한, 트랜지스터의 반도체막(구체적으로는 산화물 반도체막)은 산소 결손이 저감되고, 수소, 질소 등의 불순물이 저감되어 있으므로, 본 발명의 일양태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치이다.

[0254] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.

[0255] (실시형태 4)

[0256] 본 실시형태에서는 상기 실시형태에서 설명한 반도체 장치에 포함되어 있는 트랜지스터 및 용량 소자에서, 반도체막인 산화물 반도체막에 적용할 수 있는 일양태에 대하여 설명한다.

[0257] 상기 산화물 반도체막은 비정질 산화물 반도체, 단결정 산화물 반도체, 및 다결정 산화물 반도체 외에, 결정부분을 가지는 산화물 반도체(C Axis Aligned Crystalline Oxide Semiconductor : CAAC-OS)로 구성되어 있는 것이 바람직하다.

[0258] CAAC-OS에 포함되는 결정부는 한변이 100nm 미만의 입방체 내에 들어가는 크기인 것이 많다. 또한, 투파형 전자 현미경(TEM : Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS에 포함되는 결정부와 결정부와의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS에는 입계(그레인 바운더리(grain boundary) 라고도 함)는 확인할 수 없다. 그 때문에, CAAC-OS는 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0259] CAAC-OS에 포함되는 결정부는 c축이 CAAC-OS의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬하고, 또한 ab면에 수직인 방향에서 봤을 때 삼각 형상 또는 육각 형상의 원자 배열을 가지고, c축에 수직인 방향에서 봤을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부 사이에서, 각각 a축 및 b축의 방향이 달라도 좋다. 본 명세서에서, 단지 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단지 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다. 또한, 산화물 반도체를 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0260] 또한, CAAC-OS에서, 결정부의 분포가 균일하지 않아도 좋다. 예를 들면, CAAC-OS의 형성 과정에서, 산화물 반도체의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS에 불순물을 첨가함으로써, 이 불순물 첨가 영역에서 결정부의 결정성이 저하되는 경우도 있다. 이 때문에, CAAC-OS에서, 불순물, 대표적으로는 실리콘, 탄소 등의 농도를 1 원자% 이하, 바람직하게는 0.6 원자% 이하로 함으로써, 결정성이 높은 CAAC-OS를 형성할 수 있다.

[0261] CAAC-OS에 포함되는 결정부의 c축은 CAAC-OS의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은 CAAC-OS가 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는 성막하는 것에 의해, 또는 성막 후에 가열 처리 등의 결정화 처리를 행하는 것에 의해 형성된다.

[0262] CAAC-OS의 형성 방법으로서는 3가지를 들 수 있다.

[0263] 제 1 방법은 성막 온도를 100°C 이상 450°C 이하로 하여 산화물 반도체막을 성막함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0264] 제 2 방법은 산화물 반도체막을 얇은 두께로 성막한 후, 200°C 이상 700°C 이하의 가열 처리를 행함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0265] 제 3 방법은 첫번째 층의 산화물 반도체막을 얇은 두께로 성막한 후, 200°C 이상 700°C 이하의 가열 처리를 행하고, 또한 두번째 층의 산화물 반도체막의 성막을 행함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0266] 산화물 반도체막에 CAAC-OS를 적용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 산화물 반도체막에 CAAC-OS를 적용한 트랜지스터는 양호한 신뢰성을 가진다.

[0267] 또한, CAAC-OS는 다결정인 산화물 반도체 스퍼터링용 타겟을 이용하여 스퍼터링법에 의해 성막하는 것이 바람직하다. 이 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하고, a-b면에 평행한 면을 가지는 평판 형상 또는 플랫 형상의 스퍼터링 입자로서 박리하는 경우가 있다. 이 경우, 이 평판 형상 또는 플랫 형상의 스퍼터링 입자가 결정 상태를 유지한 채로 피성막면에 도달함

으로써, CAAC-OS를 성막할 수 있다.

[0268] 또한, CAAC-OS를 성막하기 위해, 이하의 조건을 적용하는 것이 바람직하다.

[0269] 성막시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

[0270] 또한, 성막시의 피성막면의 가열 온도(예를 들면 기판 가열 온도)를 높임으로써, 피성막면에 도달한 후에 스퍼터링 입자의 마이그레이션이 발생한다. 구체적으로는 피성막면의 온도를 100°C 이상 740°C 이하, 바람직하게는 150°C 이상 500°C 이하로 하여 성막한다. 성막시의 피성막면의 온도를 높임으로써, 평판 형상 또는 플랫 형상의 스퍼터링 입자가 피성막면에 도달한 경우, 이 피성막면 위에서 마이그레이션이 발생하고, 스퍼터링 입자의 평평한 면이 피성막면에 부착된다.

[0271] 또한, 성막 가스 중의 산소 비율을 높이고, 전력을 최적화함으로써 성막시의 플라즈마 손상을 경감하면 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.

[0272] 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 나타낸다.

[0273]  $InO_x$  분말,  $GaO_y$  분말 및  $ZnO_z$  분말을 소정의 mol수로 혼합하고, 가압 처리 후, 1000°C 이상 1500°C 이하의 온도에서 가열 처리를 함으로써 다결정인 In-Ga-Zn계 금속 산화물 타겟으로 한다. 또한, 이 가압 처리는 냉각(또는 방랭)하면서 행해도 좋고, 가열하면서 행해도 좋다. 또한, X, Y 및 Z는 임의의 정수이다. 여기에서, 소정의 mol수비는 예를 들면,  $InO_x$  분말,  $GaO_y$  분말 및  $ZnO_z$  분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.

[0274] 또한, 산화물 반도체막은 복수의 산화물 반도체막이 적층된 구조여도 좋다. 예를 들면, 산화물 반도체막을 제1 산화물 반도체막과 제2 산화물 반도체막의 적층으로서 제1 산화물 반도체막과 제2 산화물 반도체막에 다른 조성의 금속 산화물을 이용해도 좋다. 예를 들면, 제1 산화물 반도체막에 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물 중 하나를 이용하고, 제2 산화물 반도체막에 제1 산화물 반도체막과 다른 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물을 이용해도 좋다.

[0275] 산화물 반도체막을 2층 구조로 하고, 제1 산화물 반도체막과 제2 산화물 반도체막의 구성 원소를 동일하게 하고, 양자의 원자수비를 다르게 해도 좋다. 예를 들면, 제1 산화물 반도체막의 원자수비를  $In : Ga : Zn = 3 : 1 : 2$ 로 하고, 제2 산화물 반도체막의 원자수비를  $In : Ga : Zn = 1 : 1 : 1$ 로 해도 좋다. 또한, 제1 산화물 반도체막의 원자수비를  $In : Ga : Zn = 2 : 1 : 3$ 으로 하고, 제2 산화물 반도체막의 원자수비를  $In : Ga : Zn = 1 : 3 : 2$ 로 해도 좋다. 또한, 각 산화물 반도체막의 원자수비는 오차로서 상기의 원자수비의 ±20%의 변동을 포함한다.

[0276] 이때, 제1 산화물 반도체막과 제2 산화물 반도체막 중, 게이트 전극에 가까운 쪽(채널 측)의 산화물 반도체막의 In과 Ga의 원자수비를  $In \geq Ga$ 로 하면 좋다. 또한 게이트 전극으로부터 면 쪽(백 채널 측)의 산화물 반도체막의 In과 Ga의 원자수비를  $In < Ga$ 로 하면 좋다. 이러한 적층 구조에 의해, 전계 효과 이동도가 높은 트랜지스터를 제작할 수 있다. 한편, 게이트 전극에 가까운 쪽(채널 측)의 산화물 반도체막의 In과 Ga의 원자수비를  $In < Ga$ 로 하고, 백 채널측의 산화물 반도체막의 In과 Ga의 원자수비를  $In \geq Ga$ 로 함으로써, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.

[0277] 원자수비가  $In : Ga : Zn = 1 : 3 : 2$ 인 제1 산화물 반도체막은 원자수비가  $In : Ga : Zn = 1 : 3 : 2$ 인 산화물 타겟을 이용한 스퍼터링법에 의해 형성할 수 있다. 기판 온도를 실온으로 하고, 스퍼터링 가스에 아르곤, 또는 아르곤과 산소의 혼합 가스를 이용하여 형성할 수 있다. 원자수비가  $In : Ga : Zn = 3 : 1 : 2$ 인 제2 산화물 반도체막은 원자수비가  $In : Ga : Zn = 3 : 1 : 2$ 인 산화물 타겟을 이용하여 제1 산화물 반도체막과 마찬가지로 하여 형성할 수 있다.

[0278] 또한, 산화물 반도체막을 3층 구조로 하고, 제1 산화물 반도체막 내지 제3 산화물 반도체막의 구성 원소를 동일하게 하고, 또한 각각의 원자수비를 다르게 해도 좋다. 산화물 반도체막을 3층 구조로 하는 구성에 대하여, 도 27을 이용하여 설명한다.

- [0279] 도 27에 도시하는 트랜지스터(297)는 제 1 산화물 반도체막(299a), 제 2 산화물 반도체막(299b), 및 제 3 산화물 반도체막(299c)이 게이트 절연막(127)측으로부터 차례로 적층되어 있다. 제 1 산화물 반도체막(299a) 및 제 3 산화물 반도체막(299c)을 구성하는 재료는  $InM_{1-x}Zn_yO_z$ ( $x \geq 1$ ,  $y > 1$ ,  $z > 0$ ,  $M_1 = Ga, Hf$  등)로 표기할 수 있는 재료를 이용한다. 단, 제 1 산화물 반도체막(299a) 및 제 3 산화물 반도체막(299c)을 구성하는 재료에 Ga를 포함시킨 경우, 포함시킨 Ga의 비율이 많은, 구체적으로는  $InM_{1-x}Zn_yO_z$ 로 표기할 수 있는 재료에서  $X = 10$ 을 넘으면 성막시에 가루가 발생할 우려가 있어 부적절하다. 또한, 트랜지스터(297)에서, 제 1 산화물 반도체막(299a), 제 2 산화물 반도체막(299b), 및 제 3 산화물 반도체막(299c) 이외의 구성은 상기 실시형태에 기재된 트랜지스터(예를 들면, 실시형태 1에 기재된 트랜지스터(103))와 같은 구성이다.
- [0280] 또한, 제 2 산화물 반도체막(299b)을 구성하는 재료는  $InM_{2-x}Zn_yO_z$ ( $x \geq 1$ ,  $y \geq x$ ,  $z > 0$ ,  $M_2 = Ga, Sn$  등)로 표기할 수 있는 재료를 이용한다.
- [0281] 제 1 산화물 반도체막(299a)의 전도대 및 제 3 산화물 반도체막(299c)의 전도대에 비해 제 2 산화물 반도체막(299b)의 전도대가 진공 준위로부터 가장 깊어지는 우물형 구조를 구성하도록, 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택한다.
- [0282] 또한, 실시형태 1에 기재한 것과 같이, 산화물 반도체막에서 제 14 족 원소의 하나인 실리콘이나 탄소는 캐리어인 전자를 생성하고, 캐리어 밀도를 증대시킨다. 이 때문에, 실리콘이나 탄소가 산화물 반도체막에 포함되면, 산화물 반도체막은 n형화하게 된다. 이 때문에, 각 산화물 반도체막에 포함되는 실리콘 농도 및 탄소 농도는  $3 \times 10^{18}/cm^3$  이하, 바람직하게는  $3 \times 10^{17}/cm^3$  이하로 한다. 특히, 제 2 산화물 반도체막(299b)에 제 14 족 원소가 많이 혼입하지 않도록, 제 1 산화물 반도체막(299a) 및 제 3 산화물 반도체막(299c)에서, 캐리어 패스가 되는 제 2 산화물 반도체막(299b)을 사이에 끼우거나, 또는 둘러싸는 구성으로 하는 것이 바람직하다. 즉, 제 1 산화물 반도체막(299a) 및 제 3 산화물 반도체막(299c)은 실리콘, 탄소 등의 제 14 족 원소가 제 2 산화물 반도체막(299b)에 혼입하는 것을 방지하는 배리어막이라고도 부를 수 있다.
- [0283] 예를 들면, 제 1 산화물 반도체막(299a)의 원자수비를  $In : Ga : Zn = 1 : 3 : 2$ 로 하고, 제 2 산화물 반도체막(299b)의 원자수비를  $In : Ga : Zn = 3 : 1 : 2$ 로 하고, 제 3 산화물 반도체막(299c)의 원자수비를  $In : Ga : Zn = 1 : 1 : 1$ 로 해도 좋다. 또한, 제 3 산화물 반도체막(299c)은 원자수비가  $In : Ga : Zn = 1 : 1 : 1$ 인 산화물 타겟을 이용한 스퍼터링법에 의해 형성할 수 있다.
- [0284] 또는, 제 1 산화물 반도체막(299a)을 원자수비가  $In : Ga : Zn = 1 : 3 : 2$ 인 산화물 반도체막으로 하고, 제 2 산화물 반도체막(299b)을 원자수비가  $In : Ga : Zn = 1 : 1 : 1$  또는  $In : Ga : Zn = 1 : 3 : 2$ 인 산화물 반도체막으로 하고, 제 3 산화물 반도체막(299c)을 원자수비가  $In : Ga : Zn = 1 : 3 : 2$ 인 산화물 반도체막으로 한 3층 구조로 해도 좋다.
- [0285] 제 1 산화물 반도체막(299a) 내지 제 3 산화물 반도체막(299c)의 구성 원소는 동일하기 때문에, 제 2 산화물 반도체막(299b)은 제 1 산화물 반도체막(299a)과의 계면에서의 결합 준위(트랩 준위)가 적다. 상세하게는 이 결합 준위(트랩 준위)는 게이트 절연막(127)과 제 1 산화물 반도체막(299a)과의 계면에서의 결합 준위보다 적다. 이 때문에, 상기와 같이 산화물 반도체막이 적층되어 있음으로써, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0286] 또한, 제 1 산화물 반도체막(299a)의 전도대 및 제 3 산화물 반도체막(299c)의 전도대에 비해 제 2 산화물 반도체막(299b)의 전도대가 진공 준위로부터 가장 깊어지는 우물형 구조를 구성하도록, 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있음과 동시에, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0287] 또한, 제 1 산화물 반도체막(299a) 내지 제 3 산화물 반도체막(299c)에, 결정성이 다른 산화물 반도체를 적용해도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 및 CAAC-OS를 적절히 조합시킨 구성을 해도 좋다. 또한, 제 1 산화물 반도체막(299a) 내지 제 3 산화물 반도체막(299c)의 어느 하나에 비정질 산화물 반도체를 적용하면, 산화물 반도체막의 내부 응력이나 외부로부터의 응력을 완화하고, 트랜지스터의 전기 특성의 변동이 저감되고, 또한 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.
- [0288] 또한, 적어도 채널 형성 영역이 될 수 있는 제 2 산화물 반도체막(299b)은 CAAC-OS막인 것이 바람직하다. 또한, 백 채널측의 산화물 반도체막, 본 실시형태에서는 제 3 산화물 반도체막(299c)은 비정질 산화물 반도체막

또는 CAAC-OS막인 것이 바람직하다. 이와 같은 구조로 함으로써, 트랜지스터의 경시 변화나 신뢰성 시험에 의한 문턱 전압의 변동량을 저감할 수 있다.

[0289] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.

[0290] (실시형태 5)

[0291] 상기 실시형태에서 일례를 나타낸 트랜지스터 및 용량 소자를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다. 본 실시형태에서는 상기 실시 형태에서 일례를 나타낸 트랜지스터를 이용한 표시 장치의 예에 대해, 도면을 이용하여 설명한다. 도 29는 도 28(B) 중에서 X1-X2의 일점 쇄선으로 나타낸 부위의 단면 구성을 나타내는 단면도이다. 또한, 도 29에서, 화소부의 구조는 일부만 기재하고 있다.

[0292] 도 28(A)에서, 제 1 기판(901) 위에 형성된 화소부(902)를 둘러싸도록 하여, 실재(905)가 형성되고, 제 2 기판(906)에 의해 봉지되어 있다. 도 28(A)에서는 제 1 기판(901) 위의 실재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(903), 및 주사선 구동 회로(904)가 실장되어 있다. 또, 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 공급되는 각종 신호 및 전위는 FPC(Flexible printed circuit)(918)로부터 공급되고 있다.

[0293] 도 28(B) 및 도 28(C)에서, 제 1 기판(901) 위에 형성된 화소부(902)와 주사선 구동 회로(904)를 둘러싸도록 하여, 실재(905)가 형성되어 있다. 또한 화소부(902)와 주사선 구동 회로(904)의 위에 제 2 기판(906)이 형성되어 있다. 따라서, 화소부(902)와 주사선 구동 회로(904)는 제 1 기판(901)과 실재(905)와 제 2 기판(906)에 의해, 표시 소자와 함께 봉지되어 있다. 도 28(B) 및 도 28(C)에서는 제 1 기판(901) 위의 실재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(903)가 실장되어 있다. 도 28(B) 및 도 28(C)에서는 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 공급되는 각종 신호 및 전위는 FPC(918)로부터 공급되고 있다.

[0294] 또한, 도 28(B) 및 도 28(C)에서는 신호선 구동 회로(903)를 별도 형성하고, 제 1 기판(901)에 실장하고 있는 예를 나타내고 있지만, 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0295] 또한, 별도 형성된 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 28(A)은 COG 방법에 의해 신호선 구동 회로(903), 주사선 구동 회로(904)를 실장하는 예이고, 도 28(B)은 COG 방법에 의해 신호선 구동 회로(903)를 실장하는 예이며, 도 28(C)은 TAB 방법에 의해 신호선 구동 회로(903)를 실장하는 예이다.

[0296] 또한, 표시 장치는 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0297] 또한, 본 명세서에서의 표시 장치는 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 또는 TCP가 장착된 모듈, TCP의 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0298] 또한, 제 1 기판(901) 위에 형성된 화소부(902) 및 주사선 구동 회로(904)는 트랜지스터를 복수 가지고 있고, 상기 실시형태에서 나타낸 트랜지스터를 적용할 수 있다.

[0299] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 유기 EL(ElectroLuminescence) 소자, 무기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다. 도 29에, 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 도시한다.

[0300] 도 29에 도시하는 표시 장치는 종전계 방식의 액정 표시 장치이다. 액정 표시 장치는 접속 단자 전극(915) 및 단자 전극(916)을 가지고 있고, 접속 단자 전극(915) 및 단자 전극(916)은 FPC(918)가 가지는 단자와, 이방성 도전체(919)를 통하여, 전기적으로 접속되어 있다.

- [0301] 접속 단자 전극(915)은 제 1 전극(930)과 같은 도전막으로 형성되고, 단자 전극(916)은 트랜지스터(910), 트랜지스터(911)의 소스 전극 및 드레인 전극과 같은 도전막으로 형성되어 있다.
- [0302] 또한, 제 1 기판(901) 위에 형성된 화소부(902) 및 주사선 구동 회로(904)는 트랜지스터를 복수 가지고 있고, 화소부(902)에 포함되는 트랜지스터(910)와 주사선 구동 회로(904)에 포함되는 트랜지스터(911)를 예시하고 있다. 트랜지스터(910) 및 트랜지스터(911)의 산화물 반도체막 위에는 실시형태 1에 도시하는 절연막(129), 절연막(131) 및 절연막(132)에 상당하는 절연막(924)이 형성되어 있다. 또한, 절연막(923)은 하지막으로서 기능하는 절연막이다.
- [0303] 본 실시형태에서는 트랜지스터(910) 및 트랜지스터(911)로서 상기 실시형태에서 나타낸 트랜지스터의 어느 것을 적용할 수 있다. 또한, 산화물 반도체막(927), 절연막(924), 및 제 1 전극(930)에 의해 용량 소자(926)가 구성되어 있다. 또한, 산화물 반도체막(927)은 용량선으로서 기능하는 주사선(929)과 게이트 절연막(922)에 형성된 개구를 통하여 전기적으로 접속되어 있다. 주사선(929)은 트랜지스터(910) 및 트랜지스터(911)의 게이트 전극으로서 기능하는 영역을 포함하는 주사선과 같은 도전막으로 형성된다. 또한, 여기에서는 용량 소자(926)로서 실시형태 1에 나타낸 구성의 용량 소자를 나타내고 있지만, 다른 실시형태에 나타낸 구성의 용량 소자를 적절히 이용할 수 있다.
- [0304] 또한, 주사선 구동 회로(904)에 포함되는 트랜지스터(911)에서, 절연막(924)의 산화물 반도체막의 채널 형성 영역과 중첩하는 위치에 도전막(917)이 형성되어 있는 예를 나타내고 있다. 도전막(917)은 전위를 공급할 수 있고, 트랜지스터(911)의 게이트 전극으로서 기능한다. 즉, 트랜지스터(911)는 듀얼 게이트 트랜지스터이다. 또한, 도전막(917)은 제 1 전극(930)과 같은 도전막으로 형성할 수 있다. 또한, 도전막(917)은 채널 길이 방향의 폭에 있어서, 트랜지스터(911)의 소스 전극과 드레인 전극과의 사이의 폭보다 짧은 형상으로 할 수 있다.
- [0305] 주사선 구동 회로(904)에 포함되는 트랜지스터(911)는 도전막(917)이 형성되어 있음으로써, 다른 드레인 전압에서 온 전류가 흐르기 시작하는 게이트 전압(상승 게이트 전압)의 변동을 저감할 수 있다. 또한, 트랜지스터(911)는 도전막(917)이 형성되어 있음으로써, 산화물 반도체막의 도전막(917)측의 영역에서 트랜지스터(911)의 소스 전극 및 드레인 전극 사이에 흐르는 전류를 제어할 수 있다. 그러므로, 주사선 구동 회로(904)에 포함되는 복수의 트랜지스터 간에서의 전기 특성의 변동을 저감할 수 있다. 그리고, 트랜지스터(911)에서, 도전막(917)의 전위를 주사선 구동 회로(904)의 최저 전위와 같은 전위, 또는 이 최저 전위와 동등한 전위로 함으로써, 트랜지스터(911)의 문턱 전압의 변동을 저감할 수 있기 때문에, 신뢰성을 높일 수 있다. 또한, 주사선 구동 회로(904)의 최저 전위는 주사선 구동 회로(904)를 동작시킬 때에 공급하는 전위 중 가장 낮은 전위를 말한다. 예를 들면, 주사선 구동 회로(904)를 동작시킬 때에 공급하는 전위를 트랜지스터(911)의 소스 전극의 전위를 기준으로 하는 경우, 이 소스 전극의 전위( $V_{ss}$ )이다.
- [0306] 또한, 도전막(917)은 외부의 전기장을 차폐하는 기능도 가진다. 즉 외부의 전기장이 내부(트랜지스터를 포함한 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 도전막(917)의 차폐 기능에 의해, 트랜지스터(911)는 정전기 등의 외부의 전기장의 영향에 의한 트랜지스터의 전기 특성의 변동을 억제할 수 있고, 신뢰성을 높일 수 있다. 또한, 도 29에서는 주사선 구동 회로에 포함되는 트랜지스터를 도시했지만, 신호선 구동 회로에 포함되는 트랜지스터도 트랜지스터(911)와 마찬가지로 듀얼 게이트 트랜지스터로 할 수 있다. 신호선 구동 회로에 포함되는 트랜지스터를 듀얼 게이트 트랜지스터로 함으로써, 이 트랜지스터는 트랜지스터(911)와 같은 효과를 나타낸다.
- [0307] 상기에 의해, 본 발명의 일양태인 반도체 장치(표시 장치)는 신뢰성이 높은 반도체 장치이다.
- [0308] 여기에서, 본 발명의 일양태인 반도체 장치(표시 장치)에 포함되는 트랜지스터에서, 예를 들면, 주사선 구동 회로(904)에 포함되는 복수의 트랜지스터에서, 게이트 전극을 포함하는 배선과 소스 전극 또는 드레인 전극을 포함하는 배선이 도전막에 의해 전기적으로 접속되는 구조에 대하여 설명한다. 도 30(A)에 이 구조의 상면도를 도시하고, 도 30(B)에 도 30(A)의 일점 쇄선(Y1-Y2) 및 일점 쇄선(Z1-Z2)의 단면도를 도시한다.
- [0309] 도 30(A)에 의해, 트랜지스터(911)의 게이트 전극을 포함하는 배선(950), 및 트랜지스터(911)의 소스 전극 또는 드레인 전극을 포함하는 배선(952)은 개구(954) 및 개구(956)에 형성된 도전막(958)과 접하고 있다.
- [0310] 도 30(B)에 의해, 단면 구조는 제 1 기판(901) 위에 절연막(923)이 형성되어 있고, 배선(950) 및 절연막(923) 위에는 게이트 절연막(922)이 형성되어 있고, 게이트 절연막(922) 위에는 배선(952)이 형성되어 있고, 게이트 절연막(922) 및 배선(952) 위에는 절연막(924)이 형성되어 있다. 그리고, 일점 쇄선(Y1-Y2)의 영역에서, 게이트 절연막(922) 및 절연막(924)에 배선(950)에 달하는 개구(954)가 형성되어 있고, 일점 쇄선(Z1-Z2)의 영역에

서, 절연막(924)에 배선(952)에 달하는 개구(956)가 형성되어 있다. 그리고, 절연막(924) 위와, 개구(954) 및 개구(956)에는 도전막(958)이 형성되어 있다.

[0311] 상기에 의해, 게이트 전극을 포함하는 배선(950)과 소스 전극 또는 드레인 전극을 포함하는 배선(952)이 도전막(958)에 의해 전기적으로 접속되어 있다.

[0312] 도전막(958)은 트랜지스터(911)의 도전막(917)의 형성 공정을 이용하여 형성할 수 있다.

[0313] 개구(954) 및 개구(956)는 일괄하여 형성할 수 있다. 상세한 사항은 이하와 같다. 배선(950) 위에 게이트 절연막(922)으로 가공되는 절연막을 형성하고, 이 절연막 위에 배선(952)을 형성하고, 배선(952) 위에 절연막(924)으로 가공되는 절연막을 형성한다. 그 후, 절연막(924) 위에 마스크를 형성하고, 이 마스크를 이용하여 가공함으로써, 개구(954) 및 개구(956)를 형성할 수 있다. 이 마스크로서는 레지스트 마스크를 이용할 수 있다. 이 가공으로서는 드라이 에칭을 이용할 수 있다. 배선(950)을 금속 재료 등으로 형성함으로써, 배선(950) 및 게이트 절연막(922)에서의 에칭 선택비를 높게 할 수 있기 때문에, 이 드라이 에칭에 의해 개구(954) 및 개구(956)를 일괄하여 형성할 수 있다.

[0314] 화소부(902)에 형성된 트랜지스터(910)는 표시 소자와 전기적으로 접속되어 있다.

[0315] 표시 소자인 액정 소자(913)는 제 1 전극(930), 제 2 전극(931), 및 액정(908)을 포함한다. 또한, 액정(908)을 협지하도록 배향막으로서 기능하는 절연막(932), 절연막(933)이 형성되어 있다. 또한, 제 2 전극(931)은 제 2 기판(906)측에 형성되고, 제 1 전극(930)과 제 2 전극(931)은 액정(908)을 사이에 끼우고 중첩하는 구성으로 되어 있다. 액정 소자(913)는 실시형태 1에 기재한 액정 소자(108)를 참조할 수 있다. 제 1 전극(930)은 실시 형태 1에 기재한 화소 전극(121)에 상당하고, 제 2 전극(931)은 실시 형태 1에 기재한 대향 전극(154)에 상당하고, 액정(908)은 실시 형태 1에 기재한 액정(160)에 상당하고, 절연막(932)은 실시 형태 1에 기재한 배향막(158)에 상당하고, 절연막(933)은 실시 형태 1에 기재한 배향막(156)에 상당한다.

[0316] 표시 소자에 전압을 인가하는 제 1 전극(930) 및 제 2 전극(931)(화소 전극, 공통 전극, 대향 전극 등이라고도 함)에서는, 취출하는 광의 방향, 전극이 형성되는 장소, 및 전극의 패턴 구조에 따라 투광성 또는 반사성을 선택하면 좋다.

[0317] 제 1 전극(930) 및 제 2 전극(931)은 실시 형태 1에 나타내는 화소 전극(121) 및 대향 전극(154)과 같은 재료를 적절히 이용할 수 있다.

[0318] 또한, 스페이서(935)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 제 1 전극(930)과 제 2 전극(931)과의 간격(셀 캡)을 제어하기 위해 형성되어 있다. 또한, 구(球) 형상의 스페이서를 이용하고 있어도 좋다.

[0319] 제 1 기판(901) 및 제 2 기판(906)은 실재(905)에 의해 고정되어 있다. 실재(905)는 열경화 수지, 광경화 수지 등의 유기 수지를 이용할 수 있다. 또한, 실재(905)는 절연막(924)과 접하고 있다.

[0320] 또한, 본 발명의 일 양태인 반도체 장치(표시 장치)에서, 차광막(블랙 매트릭스), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 형성된다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.

[0321] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 형성하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 구성하는 것이 바람직하다.

[0322] 도 31에, 도 28 및 도 29에 도시하는 표시 장치에서, 제 2 기판(906)에 형성된 제 2 전극(931)과 전기적으로 접속하기 위한 공통 접속부(패드부)를, 제 1 기판(901) 위에 형성하는 예를 도시한다.

[0323] 공통 접속부는 제 1 기판(901)과 제 2 기판(906)을 접착하기 위한 실재와 중첩하는 위치에 배치되고, 실재에 포함되는 도전성 입자를 통하여 제 2 전극(931)과 전기적으로 접속된다. 또한 실재와 중첩하지 않는 개소(단, 화소부를 제외함)에 공통 접속부를 형성하고, 공통 접속부에 중첩하도록 도전성 입자를 포함하는 페이스트를 실재와는 별도 형성하여 제 2 전극(931)과 전기적으로 접속해도 좋다.

[0324] 도 31(A)은 공통 접속부의 단면도이며, 도 31(B)에 도시하는 상면도의 I-J에 상당한다.

[0325] 공통 전위선(975)은 게이트 절연막(922) 위에 형성되고, 도 31에 도시하는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)과 같은 재료 및 같은 공정으로 제작된다.

- [0326] 또한, 공통 전위선(975)은 절연막(924)으로 덮이고, 절연막(924)은 공통 전위선(975)과 중첩하는 위치에 복수의 개구를 가지고 있다. 이 개구는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과, 제 1 전극(930)을 접속하는 콘택트 홀과 같은 공정으로 제작된다.
- [0327] 또한, 공통 전위선(975) 및 공통 전극(977)이 개구에서 접속한다. 공통 전극(977)은 절연막(924) 위에 형성되고, 접속 단자 전극(915)이나, 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정으로 제작된다.
- [0328] 이와 같이, 화소부(902)의 스위칭 소자의 제작 공정과 공통시켜 공통 접속부를 제작할 수 있다.
- [0329] 공통 전극(977)은 실재에 포함되는 도전성 입자와 접촉하는 전극이고, 제 2 기판(906)의 제 2 전극(931)과 전기적으로 접속이 행해진다.
- [0330] 또한, 도 31(C)에 도시하는 바와 같이, 공통 전위선(985)을 트랜지스터(910)의 게이트 전극과 같은 재료, 같은 공정으로 형성해도 좋다.
- [0331] 도 31(C)에 도시하는 공통 접속부에서, 공통 전위선(985)은 게이트 절연막(922) 및 절연막(924)의 하층에 형성되고, 게이트 절연막(922) 및 절연막(924)은 공통 전위선(985)과 중첩하는 위치에 복수의 개구를 가진다. 이 개구는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과 제 1 전극(930)을 접속하는 콘택트 홀과 같은 공정으로 절연막(924)을 에칭한 후, 게이트 절연막(922)을 선택적으로 더 에칭함으로써 형성된다.
- [0332] 또한, 공통 전위선(985) 및 공통 전극(987)이 개구에서 접속된다. 공통 전극(987)은 절연막(924) 위에 형성되고, 접속 단자 전극(915)이나, 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정으로 제작된다.
- [0333] 이상에 의해, 용량 소자의 한쪽의 전극으로서, 트랜지스터의 반도체막과 같은 형성 공정으로 형성되는 반도체막을 이용함으로써, 개구율을 높이면서, 전하 용량을 크게 한 용량 소자를 가지는 반도체 장치를 제작할 수 있다. 예를 들면, 본 실시형태의 반도체 장치에서도 화소 밀도를 300ppi 정도로 하는 경우, 화소의 개구율을 50% 이상, 나아가 화소의 개구율을 55% 이상, 나아가 화소의 개구율을 60% 이상으로 할 수 있다. 또한, 개구율을 높임으로써 표시 품질이 좋은 반도체 장치를 얻을 수 있다.
- [0334] 또한, 트랜지스터의 반도체막(구체적으로는 산화물 반도체막)은 산소 결손이 저감되고, 수소, 질소 등의 불순물이 저감되어 있으므로, 본 발명의 일양태인 반도체 장치는 양호한 전기 특성을 가지는 반도체 장치이다.
- [0335] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0336] (실시형태 6)
- [0337] 본 발명의 일양태인 반도체 장치는 다양한 전자기기(오락기도 포함함)에 적용할 수 있다. 전자기기로서는 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 오락기(파칭코기, 슬롯 머신 등), 게임 하우징을 들 수 있다. 이러한 전자 기기의 일례를 도 32에 도시한다.
- [0338] 도 32(A)는 표시부를 가지는 테이블(9000)을 도시하고 있다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 내장되어 있어, 표시부(9003)에 의해 영상을 표시할 수 있다. 또한, 4개의 다리부(9002)에 의해 하우징(9001)을 지지한 구성을 도시하고 있다. 또한, 전력 공급을 위한 전원 코드(9005)를 하우징(9001)에 가지고 있다.
- [0339] 상기 실시형태 중 어느 것에 나타내는 반도체 장치는 표시부(9003)에 이용할 수 있다. 그러므로, 표시부(9003)의 표시 품질을 높게 할 수 있다.
- [0340] 표시부(9003)는 터치 입력 기능을 가지고 있고, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써, 화면 조작이나, 정보를 입력할 수 있고, 또한 다른 가전 제품과의 통신을 할 수 있거나 또는 제어를 할 수 있음으로써, 화면 조작에 의해 다른 가전 제품을 컨트롤하는 제어 장치로 해도 좋다. 예를 들면, 이미지 센서 기능을 가지는 반도체 장치를 이용하면, 표시부(9003)에 터치 입력 기능을 가질 수 있다.
- [0341] 또한, 하우징(9001)에 형성된 힌지에 의해, 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있어 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 큰 화면의 텔레비전 장치는 설치하면 자유로운 공간이 좁아지게 되지만, 테이블에 표시부가 내장되어 있으면, 방의 공간을 효율적으로 이용할 수 있다.
- [0342] 도 32(B)는 텔레비전 장치(9100)를 도시하고 있다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 내

장되어 있어, 표시부(9103)에 의해 영상을 표시할 수 있다. 또한, 여기에서는 스텐드(9105)에 의해 하우징(9101)을 지지한 구성을 도시하고 있다.

[0343] 텔레비전 장치(9100)의 조작은 하우징(9101)이 구비하는 조작 스위치나, 별체의 리모콘 조작기(9110)에 의해 행할 수 있다. 리모콘 조작기(9110)가 구비하는 조작키(9109)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9110)에, 이 리모콘 조작기(9110)로부터 출력되는 정보를 표시하는 표시부(9107)를 형성하는 구성으로 해도 좋다.

[0344] 도 32(B)에 도시하는 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비하고 있다. 텔레비전 장치(9100)는 수신기에 의해 일반 텔레비전 방송의 수신을 행할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 간, 혹은 수신자들 간 등)의 정보 통신을 행할 수도 있다.

[0345] 상기 실시형태 중 어느 것에 나타내는 반도체 장치는 표시부(9103), 표시부(9107)에 이용할 수 있다. 그러므로, 텔레비전 장치의 표시 품질을 향상시킬 수 있다.

[0346] 도 32(C)는 컴퓨터(9200)를 도시하고 있다. 컴퓨터(9200)는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.

[0347] 상기 실시형태 중 어느 것에 나타내는 반도체 장치는 표시부(9203)에 이용할 수 있다. 그러므로, 컴퓨터의 표시 품질을 향상시킬 수 있다.

[0348] 도 33(A) 및 도 33(B)은 반으로 접을 수 있는 태블릿형 단말기이다. 도 33(A)은 열린 상태이며, 태블릿형 단말기는 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잠금쇠(9033), 조작 스위치(9038)를 가진다.

[0349] 상기 실시형태 중 어느 것에 나타내는 반도체 장치는 표시부(9631a), 표시부(9631b)에 이용할 수 있다. 그러므로, 태블릿 단말의 표시 품질을 향상시킬 수 있다.

[0350] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작키(9638)에 터치함으로써 데이터를 입력할 수 있다. 또한, 표시부(9631a)에서는 일례로서 절반의 영역이 표시 기능만을 가지는 구성, 다른 절반의 영역이 터치 패널의 기능을 가지는 구성을 나타내고 있지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 가지는 구성으로 해도 좋다. 예를 들면, 표시부(9631a)의 전면을 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 이용할 수 있다.

[0351] 또한, 표시부(9631b)에서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스(stylus) 등으로 터치함으로써 표시부(9631b)에 키보드 버튼 표시를 할 수 있다.

[0352] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.

[0353] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시의 방향을 전환하고, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말기에 내장되어 있는 광센서에 의해 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿형 단말기는 광센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 내장시켜도 좋다.

[0354] 또한, 도 33(A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하고 있지만 특별히 한정되지 않고, 한쪽의 사이즈와 다른 한쪽의 사이즈가 달라도 좋고, 표시의 품질이 달라도 좋다. 예를 들면 한쪽이 다른 한쪽보다 고화질의 표시를 행할 수 있는 표시 패널이어도 좋다.

[0355] 도 33(B)은 닫힌 상태이며, 태블릿형 단말기는 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634)를 가진다. 또한, 도 33(B)에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 가지는 구성에 대하여 나타내고 있다.

[0356] 또한, 태블릿형 단말기는 반으로 접을 수 있기 때문에, 미사용시에 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 우수하고, 장기 사용의 관점에서도 신뢰성이 우수한 태블릿형 단말기를 제공할 수 있다.

- [0357] 또한, 이 밖에도 도 33(A) 및 도 33(B)에 도시한 태블릿형 단말기는 여러 가지 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다.
- [0358] 태블릿형 단말기의 표면에 장착된 태양 전지(9633)에 의해, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 또한, 태양 전지(9633)는 하우징(9630)의 한면 또는 양면에 형성할 수 있고, 배터리(9635)의 충전을 효율적으로 행하는 구성으로 할 수 있다. 또한, 배터리(9635)로서는 리튬 이온 전지를 이용하면, 소형화를 도모할 수 있다는 등의 이점이 있다.
- [0359] 또한, 도 33(B)에 도시하는 충방전 제어 회로(9634)의 구성, 및 동작에 대하여 도 33(C)에 블럭도를 도시하여 설명한다. 도 33(C)에는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 표시부(9631)에 대하여 도시하고 있고, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)가 도 33(B)에 도시하는 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0360] 우선, 외광으로 태양 전지(9633)에 의해 발전이 되는 경우의 동작의 예에 대하여 설명한다. 태양 전지(9633)에 의해 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에 의해 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 이용될 때에는 스위치(SW1)를 온으로 하고, 컨버터(9637)에 의해 표시부(9631)에 필요한 전압에 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 행하지 않는 때에는 스위치(SW1)를 오프로 하고, 스위치(SW2)를 온으로 하여 배터리(9635)의 충전을 행하는 구성으로 하면 좋다.
- [0361] 또한, 태양 전지(9633)에 대해서는 발전 수단의 일례로서 나타냈지만, 특별히 한정되지 않고, 압전 소자(피에조 소자)나 열전 변환 소자(펠티에 소자) 등의 다른 발전 수단에 의한 배터리(9635)의 충전을 행하는 구성이어도 좋다. 예를 들면, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또는 다른 충전 수단을 조합시켜 행하는 구성으로 해도 좋다.
- [0362] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0363] [실시예 1]
- [0364] 본 실시예에서는 산화물 반도체막 및 다층막의 저항에 대하여, 도 34 및 도 35를 이용하여 설명한다.
- [0365] 먼저, 시료의 구조에 대하여 도 34를 이용하여 설명한다.
- [0366] 도 34(A)는 시료 1 내지 시료 4의 상면도이며, 일점 파선(A1-A2)의 단면도를 도 34(B), 도 34(C), 도 34(D)에 도시한다. 또한, 시료 1 내지 시료 4는 상면도가 동일하고, 단면의 적층 구조가 다르기 때문에, 단면도가 다르다. 시료 1의 단면도를 도 34(B)에, 시료 2의 단면도를 도 34(C)에, 시료 3 및 시료 4의 단면도를 도 34(D)에 각각 도시한다.
- [0367] 시료 1은 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 산화물 반도체막(1905)이 형성된다. 또한, 산화물 반도체막(1905)의 양단을 전극으로서 기능하는 도전막(1907), 도전막(1909)이 덮고, 산화물 반도체막(1905) 및 도전막(1907), 도전막(1909)을 절연막(1910), 절연막(1911)이 덮는다. 또한, 절연막(1910), 절연막(1911)에는 개구부(1913), 개구부(1915)가 형성되어 있고, 각각 이 개구부에서, 도전막(1907), 도전막(1909)이 노출되어 있다.
- [0368] 시료 2는 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 산화물 반도체막(1905)이 형성된다. 또한, 산화물 반도체막(1905)의 양단을 전극으로서 기능하는 도전막(1907), 도전막(1909)이 덮고, 산화물 반도체막(1905) 및 도전막(1907), 도전막(1909)을 절연막(1911)이 덮는다. 또한, 절연막(1911)에는 개구부(1917), 개구부(1919)가 형성되어 있고, 각각 이 개구부에서, 도전막(1907), 도전막(1909)이 노출되어 있다.
- [0369] 시료 3 및 시료 4는 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 다층막(1906)이 형성된다. 또한, 다층막(1906)의 양단을 전극으로서 기능하는 도전막(1907), 도전막(1909)이 덮고, 다층막(1906) 및 도전막(1907), 도전막(1909)을 절연막(1911)이 덮는다. 또한, 절연막(1911)에는 개구부(1917), 개구부(1919)가 형성되어 있고, 각각 이 개구부에서, 도전막(1907), 도전막(1909)이 노출되어 있다.

(1909)이 노출되어 있다.

[0370] 이와 같이, 시료 1 내지 시료 4는 산화물 반도체막(1905), 또는 다층막(1906) 위에 접하는 절연막의 구조가 다르다. 시료 1은 산화물 반도체막(1905)과 절연막(1910)이 접하고 있고, 시료 2는 산화물 반도체막(1905)과 절연막(1911)이 접하고 있고, 시료 3 및 시료 4는 다층막(1906)과 절연막(1911)이 접하고 있다.

[0371] 다음에, 각 시료의 제작 방법에 대하여 설명한다.

[0372] 먼저, 시료 1의 제작 방법에 대하여 설명한다.

[0373] 유리 기판(1901) 위에, 절연막(1903)으로서 플라즈마 CVD법에 의해 두께 400nm의 질화 실리콘막을 성막했다.

[0374] 다음에, 절연막(1903) 위에, 절연막(1904)으로서 플라즈마 CVD법에 의해 두께 50nm의 산화 질화 실리콘막을 성막했다.

[0375] 다음에, 절연막(1904) 위에, 산화물 반도체막(1905)으로서 금속 산화물 타겟(In:Ga:Zn = 1:1:1)을 이용하여, 스퍼터링법에 의해 두께 35nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행하고, 산화물 반도체막(1905)을 형성했다.

[0376] 다음에, 절연막(1904) 및 산화물 반도체막(1905) 위에, 스퍼터링법에 의해 두께 50nm의 텅스텐막, 두께 400nm의 알루미늄막, 및 두께 100nm의 티탄막을 차례로 적층한 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행하여, 도전막(1907) 및 도전막(1909)을 형성했다.

[0377] 다음에, 절연막(1904), 산화물 반도체막(1905), 도전막(1907), 및 도전막(1909) 위에, 절연막(1910)으로서 플라즈마 CVD법에 의해 두께 450nm의 산화 질화 실리콘막을 성막한 후, 350°C의 질소 및 산소의 혼합 분위기에서 1시간의 가열 처리를 행하였다.

[0378] 다음에, 절연막(1910) 위에, 절연막(1911)으로서 플라즈마 CVD법에 의해 두께 50nm의 질화 실리콘막을 성막했다.

[0379] 다음에, 절연막(1911) 위에, 포토리소그래피 공정에 의해 형성된 마스크를 형성한 후, 에칭 처리를 행하고, 절연막(1910), 및 절연막(1911)에 개구부(1913), 개구부(1915)를 형성했다.

[0380] 이상의 공정으로 시료 1을 제작했다.

[0381] 다음에, 시료 2의 제작 방법에 대하여 설명한다.

[0382] 시료 1의 절연막(1904), 산화물 반도체막(1905), 도전막(1907), 및 도전막(1909) 위에, 절연막(1910)으로서 플라즈마 CVD법에 의해 두께 450nm의 산화 질화 실리콘막을 성막한 후, 350°C의 질소 및 산소의 혼합 분위기에서 1시간의 가열 처리를 행하였다. 그 후, 절연막(1910)을 제거했다.

[0383] 다음에, 절연막(1904), 산화물 반도체막(1905), 도전막(1907), 및 도전막(1909) 위에, 절연막(1911)으로서 플라즈마 CVD법에 의해 두께 50nm의 질화 실리콘막을 성막했다.

[0384] 다음에, 절연막(1911) 위에, 포토리소그래피 공정에 의해 형성된 마스크를 형성한 후, 에칭 처리를 행하고, 절연막(1911)에 개구부(1917), 개구부(1919)를 형성했다.

[0385] 이상의 공정으로 시료 2를 제작했다.

[0386] 다음에, 시료 3의 제작 방법에 대하여 설명한다.

[0387] 시료 3은 시료 2의 산화물 반도체막(1905) 대신에, 다층막(1906)을 이용했다. 다층막(1906)으로서는 절연막(1904) 위에, 금속 산화물 타겟(In:Ga:Zn = 1:3:2)을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막하고, 계속하여 금속 산화물 타겟(In:Ga:Zn = 1:1:1)을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막하고, 계속하여 금속 산화물 타겟(In:Ga:Zn = 1:3:2)을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행하고, 다층막(1906)을 형성했다.

[0388] 이상의 공정으로 시료 3을 제작했다.

[0389] 다음에, 시료 4의 제작 방법에 대하여 설명한다.

[0390] 시료 4는 시료 2의 산화물 반도체막(1905) 대신에 다층막(1906)을 이용했다. 다층막(1906)으로서는 절연막

(1904) 위에, 금속 산화물 타겟( $In:Ga:Zn = 1:3:2$ )을 이용하여 스퍼터링법에 의해 두께 20nm의 IGZO막을 성막하고, 계속하여 금속 산화물 타겟( $In:Ga:Zn = 1:1:1$ )을 이용하여 스퍼터링법에 의해 두께 15nm의 IGZO막을 성막하고, 계속하여 금속 산화물 타겟( $In:Ga:Zn = 1:3:2$ )을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행하고, 다층막(1906)을 형성했다.

[0391] 이상의 공정으로 시료 4를 제작했다.

[0392] 다음에, 시료 1 내지 시료 4에 형성된 산화물 반도체막(1905), 및 다층막(1906)의 시트 저항을 측정했다. 시료 1에서는 개구부(1913) 및 개구부(1915)에 프로브를 접촉시켜, 산화물 반도체막(1905)의 시트 저항을 측정했다. 또한, 시료 2 내지 시료 4에서는 개구부(1917) 및 개구부(1919)에 프로브를 접촉시켜, 산화물 반도체막(1905), 및 다층막(1906)의 시트 저항을 측정했다. 또한, 시료 1 내지 시료 4의 산화물 반도체막(1905), 및 다층막(1906)에서, 도전막(1907) 및 도전막(1909)이 대향하는 폭을 1mm, 도전막(1907)과 도전막(1909) 사이의 거리를 10 $\mu m$ 로 했다. 또한, 시료 1 내지 시료 4에서, 도전막(1907)을 접지 전위로 하고, 도전막(1909)에 1V를 인가했다.

[0393] 시료 1 내지 시료 4의 시트 저항을 도 35에 도시한다.

[0394] 시료 1의 시트 저항은 약  $1 \times 10^{11} \Omega/sq$ 였다. 또한, 시료 2의 시트 저항은 약  $2620 \Omega/sq$ 였다. 또, 시료의 3의 시트 저항은 약  $4410 \Omega/sq$ 였다. 또한, 시료 4의 시트 저항은 약  $2930 \Omega/sq$ 였다.

[0395] 이와 같이, 산화물 반도체막(1905), 및 다층막(1906)에 접하는 절연막의 차이에 의해, 산화물 반도체막(1905), 및 다층막(1906)의 시트 저항은 다른 값을 나타낸다.

[0396] 또한, 위에서 설명한 시료 1 내지 시료 4의 시트 저항을 저항률로 환산한 경우, 시료 1은  $3.9 \times 10^5 \Omega cm$ , 시료 2는  $9.3 \times 10^{-3} \Omega cm$ , 시료 3은  $1.3 \times 10^{-2} \Omega cm$ , 시료 4는  $1.3 \times 10^{-2} \Omega cm$ 였다.

[0397] 시료 1은 산화물 반도체막(1905) 위에 접하여 절연막(1910)으로서 이용하는 산화 질화 실리콘막이 형성되어 있고, 절연막(1911)으로서 이용하는 질화 실리콘막과 떨어져 형성되어 있다. 한편, 시료 2 내지 시료 4는 산화물 반도체막(1905) 및 다층막(1906) 위에 접하여 절연막(1911)으로서 이용하는 질화 실리콘막이 형성되어 있다. 이와 같이, 산화물 반도체막(1905), 및 다층막(1906)은 절연막(1911)으로서 이용하는 질화 실리콘막에 접하여 형성하면, 산화물 반도체막(1905), 및 다층막(1906)에 결합, 대표적으로는 산소 결손이 형성됨과 동시에, 이 질화 실리콘막에 포함되는 수소가 산화물 반도체막(1905), 및 다층막(1906)으로 이동 또는 확산된다. 이 결과, 산화물 반도체막(1905), 및 다층막(1906)의 도전성이 향상된다.

[0398] 예를 들면, 트랜지스터의 채널 형성 영역에 산화물 반도체막을 이용하는 경우, 시료 1에 나타내는 것과 같이 산화물 반도체막에 접하여 산화 질화 실리콘막을 형성하는 구성이 바람직하다. 또한, 용량 소자의 전극에 이용하는 투광성을 가지는 도전막으로서는 시료 2 내지 시료 4에 나타내는 것과 같이 산화물 반도체막 또는 다층막에 접하여 질화 실리콘막을 형성하는 구성이 바람직하다. 이러한 구성을 이용함으로써, 트랜지스터의 채널 형성 영역에 이용하는 산화물 반도체막 또는 다층막과 용량 소자의 전극에 이용하는 산화물 반도체막 또는 다층막을 동일 공정으로 제작해도 산화물 반도체막, 및 다층막의 저항률을 바꿀 수 있다.

[0399] 다음에, 시료 2 및 시료 3에서, 고온 고습 환경에서 보존된 시료의 시트 저항값에 대하여 측정했다. 여기서 이용한 각 시료의 조건에 대하여, 이하에 설명한다. 또한, 여기에서는 일부의 조건에서, 시료 2 및 시료 3과 다른 조건을 이용하고 있다. 이 때문에, 시료 2 및 시료 3과 구조가 같고, 제작 조건이 다른 시료를 각각 시료 2a 및 시료 3a로 한다.

[0400] 먼저, 시료 2a의 제작 방법에 대하여 설명한다.

[0401] 유리 기판(1901) 위에, 절연막(1903) 및 절연막(1904)을 성막했다.

[0402] 절연막(1904) 위에, 산화물 반도체막(1905)으로서 금속 산화물 타겟( $In:Ga:Zn = 1:1:1$ )을 이용하고, 스퍼터링법에 의해 두께 35nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행한 후, 350°C 또는 450°C에서 가열 처리를 행하여, 산화물 반도체막(1905)을 형성했다.

[0403] 절연막(1904) 및 산화물 반도체막(1905) 위에, 스퍼터링법에 의해 두께 50nm의 티탄막, 및 두께 400nm의 구리막을 차례로 적층한 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행하여, 도전막

(1907) 및 도전막(1909)을 형성했다.

[0404] 다음에, 절연막(1904), 산화물 반도체막(1905), 도전막(1907), 및 도전막(1909) 위에, 절연막(1910)으로서 플라즈마 CVD법에 의해 두께 450nm의 산화 질화 실리콘막을 성막한 후, 350°C의 질소 및 산소의 혼합 분위기에서 1시간의 가열 처리를 행하였다.

[0405] 다음에, 절연막(1904), 산화물 반도체막(1905), 도전막(1907), 및 도전막(1909) 위에, 절연막(1911)으로서 플라즈마 CVD법에 의해 두께 50nm의 질화 실리콘막을 성막했다. 또한, 질화 실리콘막의 성막 온도를 220°C 또는 350°C로 했다.

[0406] 다음에, 절연막(1911) 위에, 포토리소그래피 공정에 의해 형성된 마스크를 형성한 후, 에칭 처리를 행하여, 절연막(1910), 및 절연막(1911)에 개구부(1917), 개구부(1915)를 형성했다.

[0407] 이상의 공정으로 시료 2a를 제작했다.

[0408] 다음에, 시료 3a의 제작 방법에 대하여 설명한다.

[0409] 시료 3a는 시료 2a의 산화물 반도체막(1905) 대신에 다층막(1906)을 이용했다. 다층막(1906)으로서는 절연막(1904) 위에, 금속 산화물 타겟( $In:Ga:Zn = 1:1:1$ )을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막하고, 계속하여 금속 산화물 타겟( $In:Ga:Zn = 1:3:2$ )을 이용하여 스퍼터링법에 의해 두께 10nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정에 의해 형성된 마스크를 이용하여 에칭 처리를 행한 후, 350°C 또는 450°C에서 가열 처리를 행하여, 다층막(1906)을 형성했다.

[0410] 이상의 공정으로 시료 3a를 제작했다.

[0411] 다음에, 시료 2a 및 시료 3a에 형성된 산화물 반도체막(1905), 및 다층막(1906)의 시트 저항을 측정했다. 시료 2a 및 시료 3a에서는 개구부(1917) 및 개구부(1919)에 프로브를 접촉시켜, 산화물 반도체막(1905), 및 다층막(1906)의 시트 저항을 측정했다. 또한, 시료 2a 및 시료 3a의 산화물 반도체막(1905), 및 다층막(1906)에서, 도전막(1907) 및 도전막(1909)이 대향하는 폭을 1.5mm, 도전막(1907)과 도전막(1909) 사이의 거리를 10 μm로 했다. 또한, 시료 2a 및 시료 3a에서, 도전막(1907)을 접지 전위로 하고, 도전막(1909)에 1V를 인가했다. 또한, 온도 60°C, 습도 95%의 분위기에서, 시료 2a 및 시료 3a를 60시간 및 130시간 보관한 후, 각 시료의 시트 저항 값을 측정했다.

[0412] 시료 2a 및 시료 3a의 시트 저항값을 도 39에 도시한다. 또한, 도 39에서, 실선은 각 시료에서 절연막(1911)으로서 형성된 질화 실리콘막의 성막 온도가 220°C이며, 파선은 350°C인 것을 나타낸다. 또한, 검은색 마크는 각 시료에서, 산화물 반도체막(1905) 또는 다층막(1906)을 형성한 후, 350°C에서 가열 처리를 행한 것을 나타내고, 흰색 마크는 산화물 반도체막(1905) 또는 다층막(1906)을 형성한 후, 450°C에서 가열 처리를 행한 것을 나타낸다. 원 마크는 각 시료가 산화물 반도체막(1905)을 가지는, 즉, 시료 2a인 것을 나타낸다. 삼각 마크는 각 시료가 다층막(1906)을 가지는, 즉 시료 3a인 것을 나타낸다. 또한, 도 39에서, 다층막(1906)을 형성한 후, 350°C에서 가열한 시료 3a의 측정 결과, 즉 검은색 삼각 마크는 플롯되어 있지 않다.

[0413] 도 39에 의해, 시료 2a 및 시료 3a는 시트 저항값이 낮고, 용량 소자의 전극으로서 바람직한 시트 저항값, 0.2M Ω/sq 이하를 만족시키고 있는 것을 알 수 있다. 또한, 시료 2a 및 시료 3a는 시트 저항값의 시간 변동량이 적은 것을 알 수 있다. 이상으로부터, 질화 실리콘막에 접하는 산화물 반도체막 또는 다층막은 고온 고습 환경에서, 시트 저항값의 변동량이 적기 때문에, 용량 소자의 전극에 이용하는 투광성을 가지는 도전막으로서 이용할 수 있다.

[0414] 다음에, 시료 2a 및 시료 3a에서, 기판 온도를 25°C, 60°C, 및 150°C로 하여 각각의 시트 저항값을 측정한 결과를 도 40에 나타낸다. 또한, 여기에서는 시료 2a 및 시료 3a로서 절연막(1911)으로서 형성된 질화 실리콘막의 성막 온도가 220°C이며, 산화물 반도체막(1905) 또는 다층막(1906)을 형성한 후, 350°C에서 가열 처리를 행한 시료를 이용했다. 또한, 도 40에서, 검은색 원 마크는 시료 2a의 측정 결과 나타내고, 검은색 삼각 마크는 시료 3a의 측정 결과를 나타낸다.

[0415] 도 40에 의해, 기판 온도를 높게 해도, 산화물 반도체막(1905) 및 다층막(1906)의 시트 저항값은 변동하지 않는 것을 알 수 있다. 즉, 질화 실리콘막에 접하는 산화물 반도체막 또는 다층막은 축퇴 반도체라고도 할 수 있다. 질화 실리콘막에 접하는 산화물 반도체막 또는 다층막은 기판 온도가 변화해도 시트 저항값의 변동량이 적기 때문에, 용량 소자의 전극에 이용하는 투광성을 가지는 도전막으로서 이용할 수 있다.

- [0416] 본 실시예에 나타내는 구성은 다른 실시형태, 또는 실시예에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0417] [실시예 2]
- [0418] 본 실시예는 산화물 반도체막과 산화물 반도체막 위에 형성된 절연막과의 불순물 분석에 대하여, 도 36을 이용하여 설명한다.
- [0419] 본 실시예에서는 불순물 분석용의 샘플로서 2종류의 샘플(이하, 시료 5, 및 시료 6)을 제작했다.
- [0420] 우선, 처음에 시료 5의 제작 방법을 이하에 나타낸다.
- [0421] 시료 5는 유리 기판 위에 IGZO막을 성막하고, 그 후 질화 실리콘막을 성막했다. 그 후, 질소 분위기 하에서 450°C, 1시간의 열처리를 행하고, 계속하여 질소와 산소의 혼합 가스 분위기(질소 = 80%, 산소 = 20%) 하에서 450°C×1시간의 열처리를 행하였다.
- [0422] 또한, IGZO막의 성막 조건으로서는 스퍼터링법에 의해, 금속 산화물 타겟(In:Ga:Zn = 1:1:1)을 이용하여 Ar/O<sub>2</sub> = 100/100sccm(O<sub>2</sub>=50%), 압력 = 0.6Pa, 성막 전력 = 5000W, 기판 온도 = 170°C의 조건에서 100nm의 두께의 IGZO막을 성막했다.
- [0423] 또한, 질화 실리콘막의 성막 조건으로서는 PE-CVD법에 의해, SiH<sub>4</sub>/N<sub>2</sub>/NH<sub>3</sub> = 50/5000/100sccm, 압력 = 100Pa, 성막 전력 = 1000W, 기판 온도 = 220°C의 조건에서 100nm의 두께의 질화 실리콘막을 성막했다.
- [0424] 다음에, 시료 6의 제작 방법을 이하에 나타낸다.
- [0425] 유리 기판 위에 IGZO막을 성막하고, 그 후 산화 질화 실리콘막 및 질화 실리콘막을 적층하여 성막했다. 그 후, 질소 분위기 하에서 450°C, 1시간의 열처리를 행하고, 계속하여 질소와 산소의 혼합 가스 분위기(질소=80%, 산소=20%) 하에서 450°C×1시간의 열처리를 행하였다.
- [0426] 또한, IGZO막의 성막 조건, 및 질화 실리콘막의 성막 조건으로서는 시료 5와 같은 조건을 이용했다. 또한, 산화 질화 실리콘막의 성막 조건으로서는 PE-CVD법에 의해, SiH<sub>4</sub>/N<sub>2</sub>O = 30/4000sccm, 압력 = 40Pa, 성막 전력 = 150W, 기판 온도 = 220°C의 조건에서 50nm의 두께의 산화 질화 실리콘막을 성막하고, 그 후, PE-CVD법에 의해, SiH<sub>4</sub>/N<sub>2</sub>O = 160/4000sccm, 압력 = 200Pa, 성막 전력 = 1500W, 기판 온도 = 220°C의 조건에서 400nm의 두께의 산화 질화 실리콘막을 성막했다.
- [0427] 시료 5 및 시료 6의 불순물 분석 결과를 도 36에 도시한다.
- [0428] 또한, 불순물 분석으로서는 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)을 이용하고, 도 36에 도시하는 화살표의 방향으로부터 분석을 행하였다. 즉, 유리 기판측으로부터의 측정이다.
- [0429] 또한, 도 36(A)은 시료 5의 측정에 의해 얻어진 수소(H)의 농도 프로파일이다. 도 36(B)은 시료 6의 측정에 의해 얻어진 수소(H)의 농도 프로파일이다.
- [0430] 도 36(A)에 의해 IGZO막 중의 수소(H) 농도는  $1.0 \times 10^{20}$  atoms/cm<sup>3</sup> 인 것을 알 수 있다. 또한, 질화 실리콘막 중의 수소(H) 농도는  $1.0 \times 10^{23}$  atoms/cm<sup>3</sup>인 것을 알 수 있다. 또한, 도 36(B)에 의해 IGZO막 중의 수소(H) 농도는  $5.0 \times 10^{19}$  atoms/cm<sup>3</sup>인 것을 알 수 있다. 또한, 산화 질화 실리콘막 중의 수소(H) 농도는  $3.0 \times 10^{21}$  atoms/cm<sup>3</sup>인 것을 알 수 있다.
- [0431] 또한, SIMS 분석은 그 측정 원리상, 시료 표면 근방이나, 재질이 다른 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 어렵다는 것이 알려져 있다. 따라서, 막 중에서의 수소(H)의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에서 극단적인 변동이 없고, 거의 일정한 강도가 얻어지는 영역에서의 평균값을 채용한다.
- [0432] 이와 같이, IGZO막에 접하는 절연막의 구성을 바꿈으로써, IGZO막 중의 수소(H) 농도에 차이가 확인되었다.
- [0433] 예를 들면, 트랜지스터의 채널 형성 영역에 위에서 설명한 IGZO막을 이용하는 경우, 시료 6에 나타내는 것과 같이 IGZO막에 접하여 산화 질화 실리콘막을 형성하는 구성이 바람직하다. 또한, 용량 소자의 전극에 이용하는 투광성을 가지는 도전막으로서는 시료 5에 나타내는 것과 같이 IGZO막에 접하여 질화 실리콘막을 형성하는 구성을

이 바람직하다. 이러한 구성을 이용함으로써, 트랜지스터의 채널 형성 영역에 이용하는 IGZO막과 용량 소자의 전극에 이용하는 IGZO막을 동일 공정으로 제작해도 IGZO막 중의 수소 농도를 바꿀 수 있다.

[0434] [실시예 3]

[0435] 본 실시예에서는 산화물 반도체막 및 다층막의 결함량에 대하여, 도 37 및 도 38을 이용하여 설명한다.

[0436] 우선, 시료의 구조에 대하여 설명한다.

[0437] 시료 7은 석영 기판 위에 형성된 두께 35nm의 산화물 반도체막과 산화물 반도체막 위에 형성된 두께 100nm의 질화 절연막을 가진다.

[0438] 시료 8 및 시료 9는 석영 기판 위에 형성된 두께 30nm의 다층막과 다층막 위에 형성된 두께 100nm의 질화 절연막을 가진다. 또한, 시료 8의 다층막은 두께 10nm의 제 1 산화물막, 두께 10nm의 산화물 반도체막, 및 두께 10nm의 제 2 산화물막이 차례로 적층되어 있다. 또한, 시료 9는 두께 20nm의 제 1 산화물막, 두께 15nm의 산화물 반도체막, 및 두께 10nm의 제 2 산화물막이 차례로 적층되어 있다. 시료 8 및 시료 9는 시료 7과 비교하여, 산화물 반도체막 대신에 다층막을 가지는 점이 다르다.

[0439] 시료 10은 석영 기판 위에 형성된 두께 100nm의 산화물 반도체막과 산화물 반도체막 위에 형성된 두께 250nm의 산화 절연막과 산화 절연막 위에 형성된 두께 100nm의 질화 절연막을 가진다. 시료 10은 시료 7 내지 시료 9와 비교하여 산화물 반도체막이 질화 절연막과 접하지 않고, 산화 절연막과 접하고 있는 점이 다르다.

[0440] 다음에, 각 시료의 제작 방법에 대하여 설명한다.

[0441] 우선, 시료 7의 제작 방법에 대하여 설명한다.

[0442] 석영 기판 위에, 산화물 반도체막으로서 두께 35nm의 IGZO막을 성막했다. IGZO막의 성막 조건으로서는 스퍼터링법에 의해, 금속 산화물 타겟( $\text{In:Ga:Zn} = 1:1:1$ )을 이용하여  $\text{Ar}/\text{O}_2 = 100\text{sccm}/100\text{sccm}$ ( $\text{O}_2 = 50\%$ ), 압력 = 0.6Pa, 성막 전력 = 5000W, 기판 온도 = 170°C의 조건을 이용했다.

[0443] 다음에, 제 1 가열 처리로서 450°C의 질소 분위기에서 1시간의 가열 처리를 행한 후, 450°C의 질소와 산소의 혼합 가스 분위기(질소 = 80%, 산소 = 20%)에서 1시간의 가열 처리를 행하였다.

[0444] 다음에, 산화물 반도체막 위에, 질화 절연막으로서 두께 100nm의 질화 실리콘막을 성막했다. 질화 실리콘막의 성막 조건으로서는 PE-CVD법에 의해,  $\text{SiH}_4/\text{N}_2/\text{NH}_3 = 50/5000/100\text{sccm}$ , 압력 = 100Pa, 성막 전력 = 1000W, 기판 온도 = 350°C의 조건을 이용했다.

[0445] 다음에, 제 2 가열 처리로서 250°C의 질소 분위기에서 1시간의 가열 처리를 행하였다.

[0446] 이상의 공정으로 시료 7을 제작했다.

[0447] 다음에, 시료 8의 제작 방법에 대하여 설명한다.

[0448] 시료 8은 시료 7의 산화물 반도체막 대신에, 다층막을 형성했다. 다층막으로서는 석영 기판 위에, 스퍼터링법에 의해, 금속 산화물 타겟( $\text{In:Ga:Zn} = 1:3:2$ )을 이용하여  $\text{Ar}/\text{O}_2 = 180/20 \text{ sccm}$ ( $\text{O}_2=10\%$ ), 압력 = 0.6Pa, 성막 전력 = 5000W, 기판 온도 = 25°C의 조건에서 두께 10nm의 제 1 산화물막을 성막했다. 다음에, 스퍼터링법에 의해, 금속 산화물 타겟( $\text{In:Ga:Zn} = 1:1:1$ )을 이용하여  $\text{Ar}/\text{O}_2 = 100/100\text{sccm}$ ( $\text{O}_2 = 50\%$ ), 압력 = 0.6Pa, 성막 전력 = 5000W, 기판 온도 = 170°C의 조건에서 두께 10nm의 산화물 반도체막을 성막했다. 다음에, 스퍼터링법에 의해, 금속 산화물 타겟( $\text{In:Ga:Zn} = 1:3:2$ )을 이용하여  $\text{Ar}/\text{O}_2 = 180/20\text{sccm}$ ( $\text{O}_2=10\%$ ), 압력 = 0.6Pa, 성막 전력 = 5000W, 기판 온도 = 25°C의 조건에서 두께 10nm의 제 2 산화물막을 성막했다.

[0449] 그 외의 공정은 시료 7과 같다. 이상의 공정으로 시료 8을 형성했다.

[0450] 다음에, 시료 9의 제작 방법에 대하여 설명한다.

[0451] 시료 9는 시료 7의 산화물 반도체막 대신에, 다층막을 형성했다. 다층막으로서는 석영 기판 위에, 시료 8에 나타내는 제 1 산화물막과 같은 조건을 이용하여, 두께 20nm의 제 1 산화물막을 성막했다. 다음에, 스퍼터링법에 의해, 시료 8에 나타내는 산화물 반도체막과 같은 조건을 이용하여 두께 15nm의 산화물 반도체막을 성막했다.

다음에, 시료 8에 나타내는 제 2 산화물막과 같은 조건을 이용하여 두께 10nm의 제 2 산화물막을 성막했다.

[0452] 그 외의 공정은 시료 7과 같다. 이상의 공정으로 시료 9를 형성했다.

[0453] 다음에, 시료 10의 제작 방법에 대하여 설명한다.

[0454] 시료 10은 시료 7과 같은 조건을 이용하여 석영 기판 위에 두께 100nm의 산화물 반도체막을 형성했다.

[0455] 다음에, 시료 7과 같은 조건을 이용하여, 제 1 가열 처리를 행하였다.

[0456] 다음에, 산화물 반도체막 위에, 산화 절연막으로서 두께 50nm의 제 1 산화 질화 실리콘막 및 두께 200nm의 제 2 산화 질화 실리콘막을 형성했다. 여기에서는 PE-CVD법에 의해,  $\text{SiH}_4/\text{N}_2\text{O}=30/4000\text{sccm}$ , 압력=40Pa, 성막 전력=150W, 기판 온도=220°C의 조건에서 50 nm의 두께의 제 1 산화 질화 실리콘막을 성막하고, 그 후, PE-CVD법에 의해,  $\text{SiH}_4/\text{N}_2\text{O}=160/4000\text{sccm}$ , 압력=200Pa, 성막 전력=1500 W, 기판 온도=220°C의 조건에서 200nm의 두께의 제 2 산화 질화 실리콘막을 성막했다. 또한, 제 2 산화 질화 실리콘막은 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 막이다.

[0457] 다음에, 시료 7과 같은 조건을 이용하여, 산화 절연막 위에 두께 100nm의 질화 실리콘막을 형성했다.

[0458] 다음에, 시료 7과 같은 조건을 이용하여, 제 2 가열 처리를 행하였다.

[0459] 이상의 공정으로 시료 10을 형성했다.

[0460] 다음에, 시료 7 내지 시료 10에 대하여 ESR 측정을 행하였다. ESR 측정은 소정의 온도에서, 마이크로파의 흡수가 일어나는 자기장의 값( $H_0$ )으로부터, 식  $g=hv/\beta H_0$ 를 이용하여 g값이라는 파라미터를 얻을 수 있다. 또한, v는 마이크로파의 주파수이다. h는 플랑크 상수이며,  $\beta$ 는 보어 마그네톤(Bohr magneton)이고, 모두 정수이다.

[0461] 여기에서는 아래와 같은 조건에서 ESR 측정을 행하였다. 측정 온도를 실온(25°C)으로 하고, 8.92GHz의 고주파 전력(마이크로파 파워)을 20mW로 하고, 자기장의 방향은 제작된 시료의 막 표면과 평행하게 했다.

[0462] 시료 7 내지 시료 9에 포함되는 산화물 반도체막 및 다층막을 ESR 측정하여 얻어진 일차 미분 곡선을 도 37에 도시한다. 도 37(A)은 시료 7의 측정 결과이고, 도 37(B)은 시료 8의 측정 결과이고, 도 37(C)은 시료 9의 측정 결과이다.

[0463] 시료 10에 포함되는 산화물 반도체막을 ESR 측정하여 얻어진 일차 미분 곡선을 도 38에 도시한다.

[0464] 도 37(A) 내지 도 37(C)에서, 시료 7은 g값이 1.93일 때에, 산화물 반도체막 중의 결함에 기인하는 대칭성을 가지는 신호가 검출되고 있다. 시료 8 및 시료 9는 g값이 1.95일 때에, 다층 산화물막 중의 결함에 기인하는 대칭성을 가지는 신호가 검출되고 있다. 시료 7에서 g값이 1.93의 스픬 밀도는  $2.5 \times 10^{19} \text{ spins/cm}^3$ 이며, 시료 8에서 g값이 1.93 및 1.95의 스픬 밀도의 총 합은  $1.6 \times 10^{19} \text{ spins/cm}^3$ 이며, 시료 9에서 g값이 1.93 및 1.95의 스픬 밀도의 총합은  $2.3 \times 10^{19} \text{ spins/cm}^3$ 였다. 즉, 산화물 반도체막 및 다층막에는 결함이 포함되는 것을 알 수 있다. 또한, 산화물 반도체막 및 다층막의 결함의 일례로서는 산소 결손이 있다.

[0465] 도 38에서, 시료 10은 시료 7의 산화물 반도체막, 시료 8 및 시료 9의 다층막과 비교하여, 산화물 반도체막의 두께가 두꺼움에도 불구하고, 결함에 기인하는 대칭성을 가지는 신호가 검출되지 않고, 즉, 검출 하한 이하(여기에서는 검출 하한을  $3.7 \times 10^{16} \text{ spins/cm}^3$ 로 함)였다. 이것으로부터, 산화물 반도체막에 포함되는 결함량을 검출할 수 없다는 것을 알 수 있다.

[0466] 산화물 반도체막 또는 다층막에 질화 절연막, 여기에서는 PE-CVD에 의해 형성된 질화 실리콘막이 접하면, 산화물 반도체막 또는 다층막에 결합, 대표적으로는 산소 결손이 형성되는 것을 알 수 있다. 한편, 산화물 반도체막에 산화 절연막, 여기에서는 산화 질화 실리콘막을 형성하면, 산화 질화 실리콘막에 포함되는 과잉 산소, 즉 화학량론적 조성을 만족시키는 산소보다 많은 산소가 산화물 반도체막으로 확산하고, 산화물 반도체막 중의 결함이 증가하지 않는다.

[0467] 이상으로부터, 시료 7 내지 시료 9에 나타내는 바와 같이, 질화 절연막에 접하는 산화물 반도체막 또는 다층막은 결함, 대표적으로는 산소 결손량이 많고, 도전성이 높기 때문에, 용량 소자의 전극으로서 이용할 수 있다. 한편, 시료 10에 나타내는 바와 같이, 산화 절연막에 접하는 산화물 반도체막은 산소 결손량이 적고, 도전성이

낮기 때문에, 트랜지스터의 채널 형성 영역으로서 이용할 수 있다.

[0468] 여기에서, 질화 질연막과 접하는 산화물 반도체막 및 다층막의 저항률이 저감하는 원인에 대하여, 이하에 설명 한다.

[0469] <H의 존재 형태 간의 에너지와 안정성>

[0470] 우선, 산화물 반도체막에 존재하는 H의 형태의 에너지 차이와 안정성에 대하여, 계산한 결과를 설명한다. 여기에서는 산화물 반도체막으로서 InGaZnO<sub>4</sub>를 이용했다.

[0471] 계산에 이용된 구조는 InGaZnO<sub>4</sub> 결정의 육방정의 단위 격자를 a축 및 b축 방향으로 2배씩으로 한 84 원자 벌크 모델을 기본으로 했다.

[0472] 벌크 모델에서, 3개의 In 원자와 1개의 Zn 원자가 결합된 O 원자 1개를 H 원자로 치환한 모델을 준비했다. 이것을 VoH라고 표기한다(도 41(A) 참조).

[0473] 또한, 벌크 모델에서, 3개의 In 원자와 1개의 Zn 원자가 결합된 O 원자 1개를 제거하고, 산소 결손(Vo)을 형성 한다. 이 Vo 근방에서, ab면에 대하여 1개의 Ga 원자와 2개의 Zn 원자가 결합된 O 원자에 H 원자가 결합된 모델을 준비했다. 이것을 Vo+H라고 표기한다(도 41(B) 참조).

[0474] 상기 2개의 모델에 대해서, 격자 정수를 고정한 최적화 계산을 행하고, 전(全) 에너지를 산출했다. 또한, 전 에너지의 값이 작을수록 그 구조는 보다 안정적이라고 할 수 있다.

[0475] 계산에는 제일 원리 계산 소프트웨어 VASP(The Vienna Ab initio simulation package)를 이용했다. 계산 조건 을 표 1에 나타낸다.

**표 1**

소프트웨어	VASP
유사 포텐셜	PAW
범함수	GGA/PBE
컷오프 에너지	500 eV
k점	4×4×1

[0477] 전자 상태 유사 포텐셜(pseudopotential) 계산에는 Projector Augmented Wave(PAW)법에 의해 생성된 포텐셜을, 범함수에는 GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)를 이용했다.

[0478] 또한, 계산에 의해 산출된 2개의 모델의 전 에너지를 표 2에 나타낸다.

**표 2**

모델	총에너지
VoH	-456.084 eV
Vo+H	-455.304 eV

[0480] 표 2에 따르면, VoH가 Vo+H보다 총에너지가 0.78eV 작다. 따라서, VoH가 Vo+H보다 안정적이라고 할 수 있다. 따라서, 산소 결손(Vo)에 H 원자가 가까워지면, H 원자는 O 원자와 결합하는 것보다, 산소 결손(Vo) 중에 트랩 되기 쉽다고 생각된다.

[0481] <VoH의 열역학적 상태>

[0482] 다음에, 산소 결손(Vo) 중에 H 원자가 트랩된 VoH의 형성 에너지와 하전(荷電) 상태에 대하여 계산된 결과를 설명한다. VoH는 하전 상태에 따라 형성 에너지가 다르고, 페르미 에너지에도 의존한다. 따라서, VoH는 페르미 에너지에 의존하여 안정적인 하전 상태가 다르다. 여기에서는 VoH가 전자를 1개 방출한 상태를 (VoH)<sup>+</sup>라고 나타내고, 전자를 1개 포획한 상태를 (VoH)<sup>-</sup>라고 나타내고, 전자의 이동이 없는 상태를 (VoH)<sup>0</sup>라고 나타낸다. (VoH)<sup>+</sup>, (VoH)<sup>-</sup>, (VoH)<sup>0</sup> 각각의 형성 에너지를 계산했다.

[0483] 계산에는 제일 원리 계산 소프트웨어 VASP를 이용했다. 계산 조건을 표 3에 나타낸다.

표 3

[0484]

소프트웨어	VASP
유사 포텐셜	PAW
범함수	HSE06
컷오프 에너지	800 eV
k 점 샘플링수	$2 \times 2 \times 1$ (opt.) $4 \times 4 \times 1$ (single)
스핀 분극	○
차폐 파라미터	0.2
교환항 혼합비	0.25
원자수	84

[0485] 전자 상태의 유사 포텐셜 계산에는 Projector Augmented Wave(PAW)법에 의해 생성된 포텐셜을, 범함수에는 Heyd-Scuseria-Ernzerhof(HSE) DFT 하이브리드(hybrid) 범함수(HSE06)를 이용했다.

[0486] 또한, 산소 결손의 형성 에너지의 산출에서는 산소 결손 농도의 희박 극한(dilute limit)을 가정하고, 전자 및 정공의 전도대, 가전자대로의 과잉 확대를 보정하여 에너지를 산출했다. 또한, 완전 결정의 가전자대 상단을 에너지 원점으로 하고, 결함 구조에 유래하는 가전자대의 편차는 평균 정전 포텐셜을 이용하여 보정했다.

[0487] 도 42(A)에  $(\text{VoH})^+$ ,  $(\text{VoH})^-$ ,  $(\text{VoH})^0$  각각의 형성 에너지를 나타낸다. 횡축은 페르미 레벨이고, 종축은 형성 에너지이다. 실선은  $(\text{VoH})^+$ 의 형성 에너지를 나타내고, 일점 쇄선은  $(\text{VoH})^0$ 의 형성 에너지를 나타내고, 파선은  $(\text{VoH})^-$ 의 형성 에너지를 나타낸다. 또한, VoH의 전하가, +로부터 0을 거쳐 -로 바뀌는 천이 레벨을  $\varepsilon (+ / -)$ 라고 나타낸다.

[0488] 도 42(B)에 VoH의 열역학적 천이 레벨을 도시한다. 계산 결과로부터  $\text{InGaZnO}_4$ 의 에너지 갭은 2.739eV였다. 또한, 가전자대의 에너지를 0eV로 하면, 천이 레벨( $\varepsilon (+ / -)$ )은 2.62eV이고, 전도대의 바로 아래에 존재한다. 이것으로부터, 산소 결손(Vo) 중에 H 원자가 트랩됨으로써,  $\text{InGaZnO}_4$ 가 n형이 되는 것을 알 수 있다.

[0489] 산화물 반도체막이 플라즈마에 노출되면, 산화물 반도체막은 손상을 입고, 산화물 반도체막에 결함, 대표적으로는 산소 결손이 생성된다. 또한, 산화물 반도체막에 질화 절연막이 접하면, 질화 절연막에 포함되는 수소가 산화물 반도체막으로 이동한다. 이러한 결과, 산화물 반도체막에 포함되는 산소 결손에 수소가 트랩됨으로써, 산화물 반도체막 중에 VoH가 형성되고, 산화물 반도체막이 n형이 되어, 저항률이 저하된다. 이상으로부터, 질화 절연막에 접하는 산화물 반도체막을 용량 소자의 전극으로서 이용할 수 있다.

### 부호의 설명

100 : 화소부	101 : 화소
102 : 기판	103 : 트랜지스터
104 : 주사선 구동 회로	105 : 용량 소자
106 : 신호선 구동 회로	107 : 주사선
107_m : 주사선	107_m-1 : 주사선
108 : 액정 소자	109 : 신호선
109_n : 신호선	111 : 산화물 반도체막
113 : 도전막	117 : 개구
119 : 산화물 반도체막	121 : 화소 전극

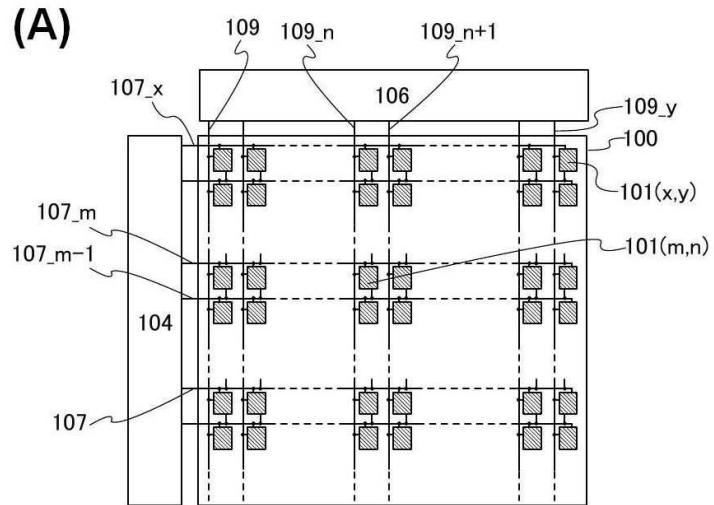
123 : 개구	127 : 게이트 절연막
128 : 절연막	129 : 절연막
130 : 절연막	131 : 절연막
132 : 절연막	133 : 절연막
150 : 기판	152 : 차광막
154 : 대향 전극	156 : 배향막
158 : 배향막	160 : 액정
167 : 도전막	169 : 트랜지스터
182 : 채널 보호막	183 : 트랜지스터
185 : 트랜지스터	187 : 도전막
190 : 트랜지스터	195 : 산화물 반도체막
205 : 용량 소자	226 : 절연막
227 : 절연막	228 : 절연막
229 : 절연막	230 : 절연막
231 : 절연막	232 : 절연막
233 : 절연막	245 : 용량 소자
297 : 트랜지스터	299a : 산화물 반도체막
299b : 산화물 반도체막	299c : 산화물 반도체막
305 : 용량 소자	319 : 산화물 반도체막
901 : 기판	902 : 화소부
903 : 신호선 구동 회로	904 : 주사선 구동 회로
905 : 실재	906 : 기판
908 : 액정	910 : 트랜지스터
911 : 트랜지스터	913 : 액정 소자
915 : 접속 단자 전극	916 : 단자 전극
917 : 도전막	918 : FPC
918b : FPC	919 : 이방성 도전체
922 : 게이트 절연막	923 : 절연막
924 : 절연막	926 : 용량 소자
927 : 산화물 반도체막	929 : 주사선
930 : 전극	931 : 전극
932 : 절연막	933 : 절연막
935 : 스페이서	950 : 배선
952 : 배선	954 : 개구
956 : 개구	958 : 도전막
971 : 소스 전극	973 : 드레인 전극

975 : 공통 전위선	977 : 공통 전극
985 : 공통 전위선	987 : 공통 전극
1901 : 유리 기판	1903 : 절연막
1904 : 절연막	1905 : 산화물 반도체막
1906 : 다층막	1907 : 도전막
1909 : 도전막	1910 : 절연막
1911 : 절연막	1913 : 개구부
1915 : 개구부	1917 : 개구부
1919 : 개구부	9000 : 테이블
9001 : 하우징	9002 : 다리부
9003 : 표시부	9004 : 표시 버튼
9005 : 전원 코드	9033 : 잠금구
9034 : 스위치	9035 : 전원 스위치
9036 : 스위치	9038 : 조작 스위치
9100 : 텔레비전 장치	9101 : 하우징
9103 : 표시부	9105 : 스탠드
9107 : 표시부	9109 : 조작키
9110 : 리모콘 조작기	9200 : 컴퓨터
9201 : 본체	9202 : 하우징
9203 : 표시부	9204 : 키보드
9205 : 외부 접속 포트	9206 : 포인팅 디바이스
9630 : 하우징	9631 : 표시부
9631a : 표시부	9631b : 표시부
9632a : 영역	9632b : 영역
9633 : 태양 전지	9634 : 충방전 제어 회로
9635 : 배터리	9636 : DCDC 컨버터
9637 : 컨버터	9638 : 조작키
9639 : 버튼	

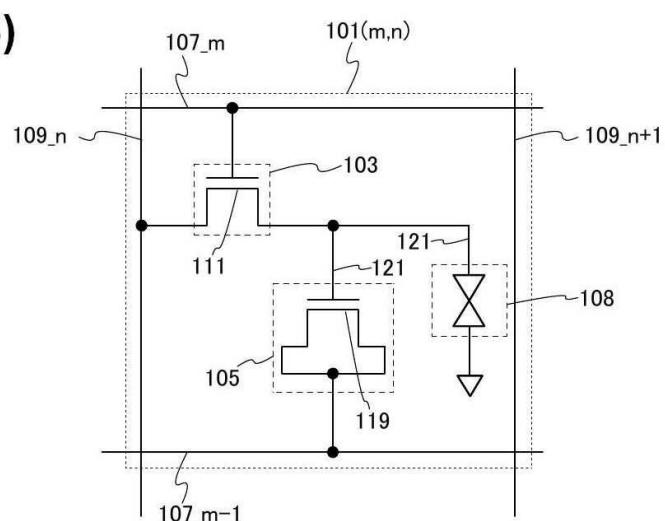
## 도면

## 도면1

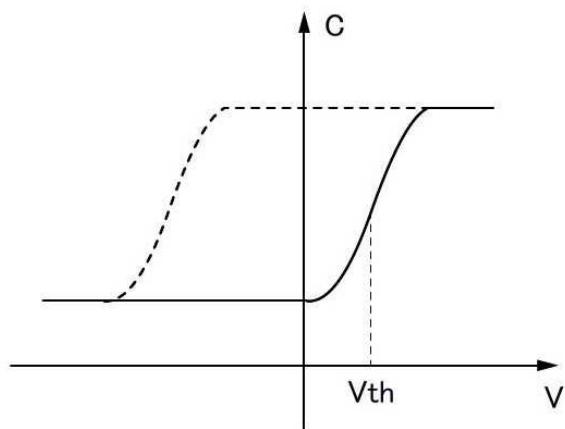
(A)



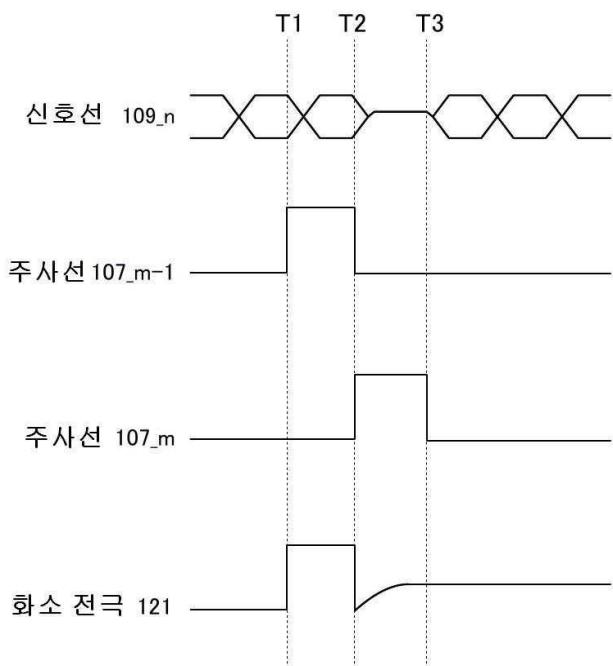
(B)



도면2

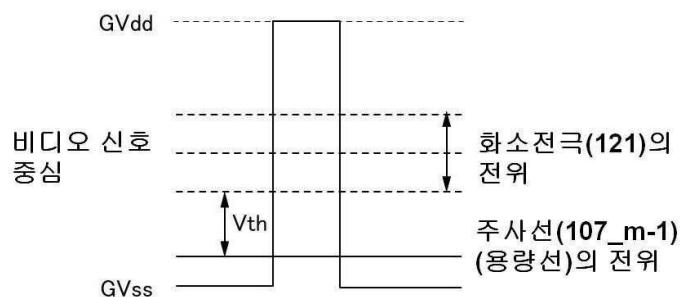


도면3

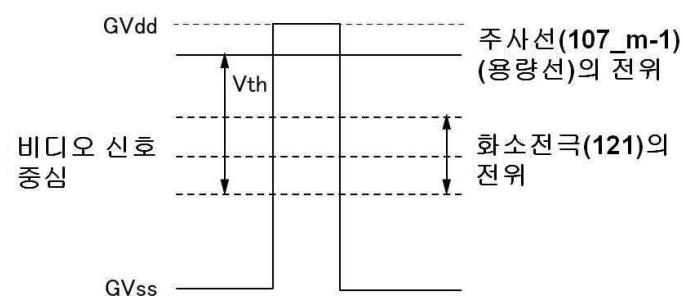


## 도면4

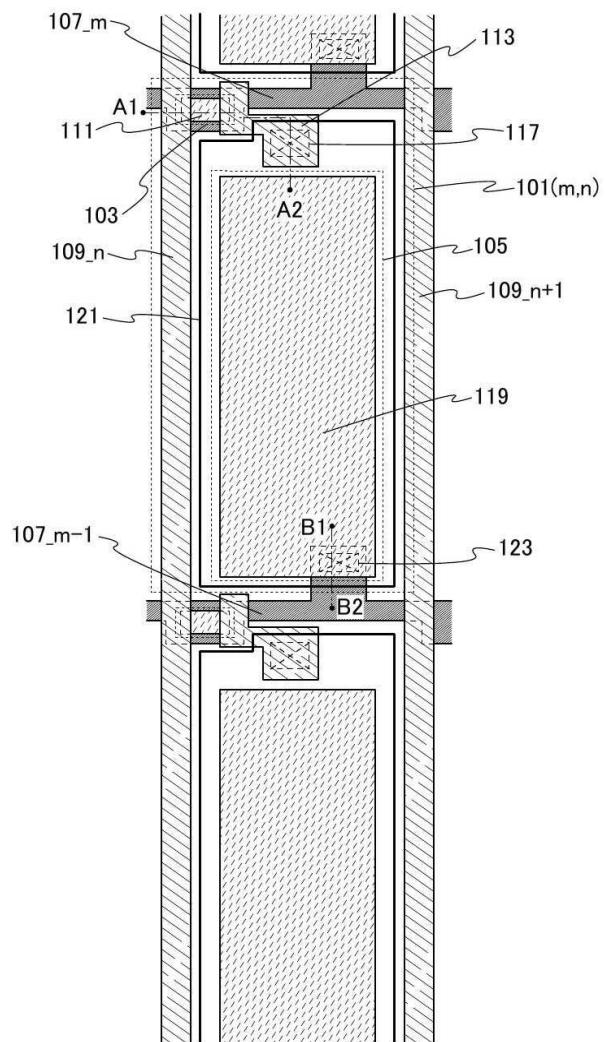
(A)



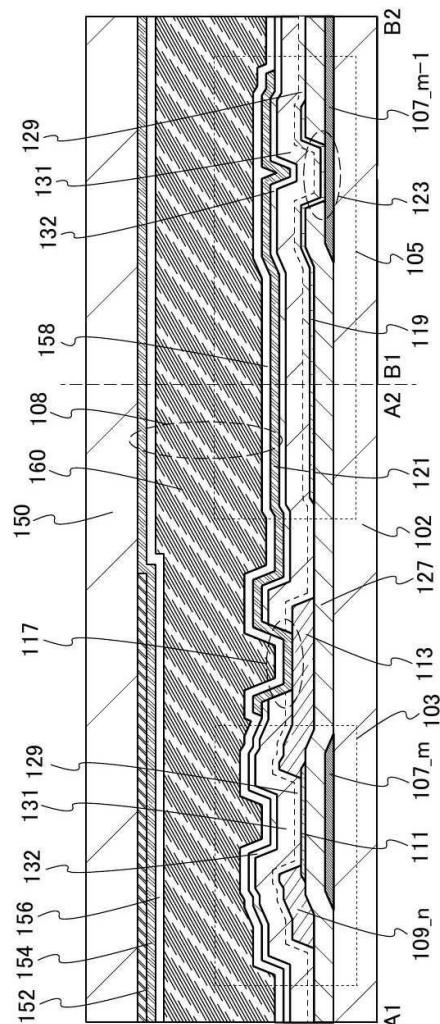
(B)



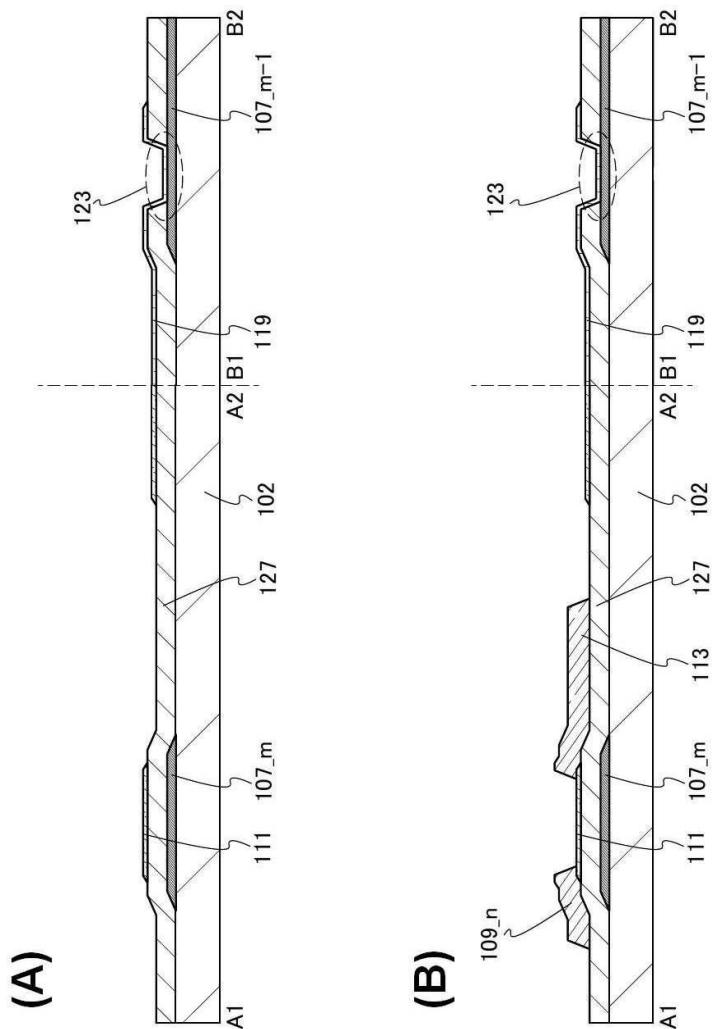
## 도면5



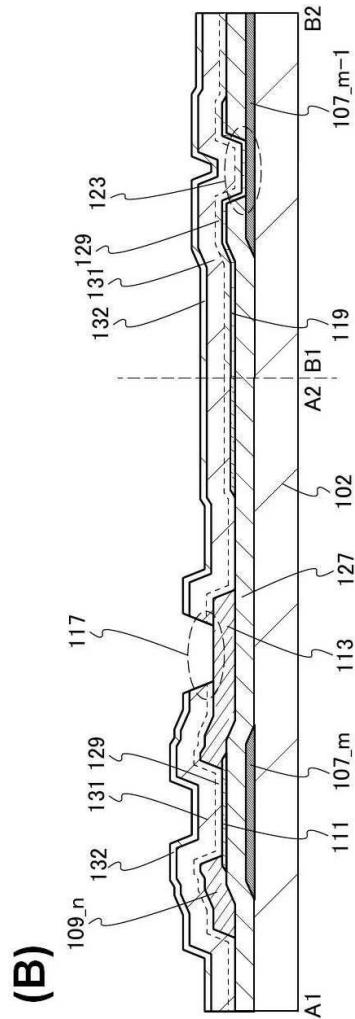
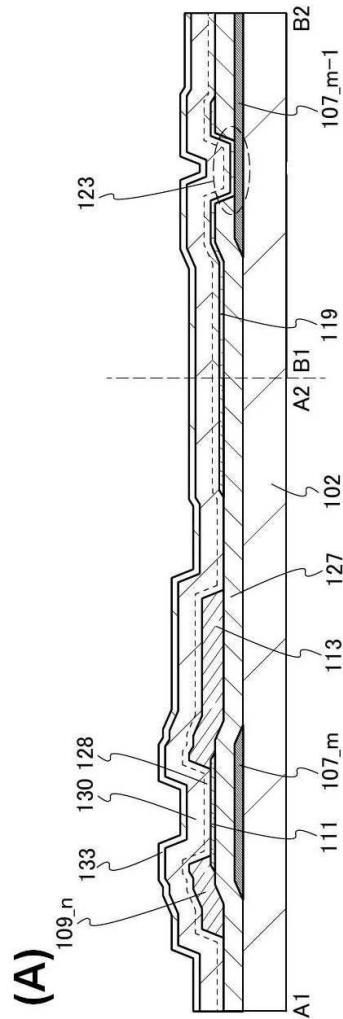
도면6



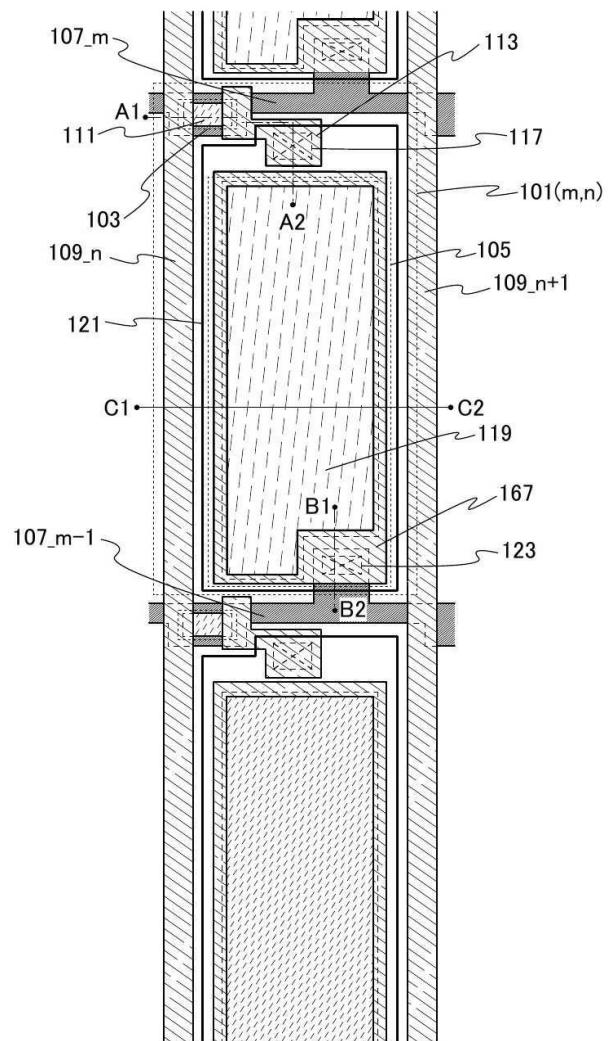
도면7



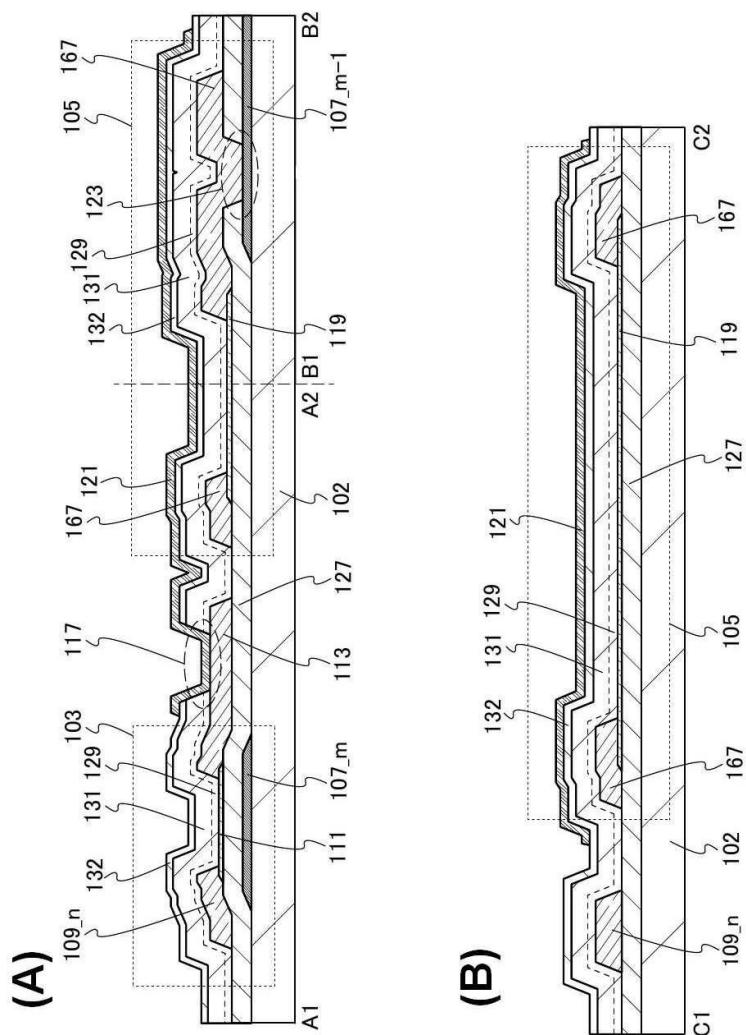
도면8



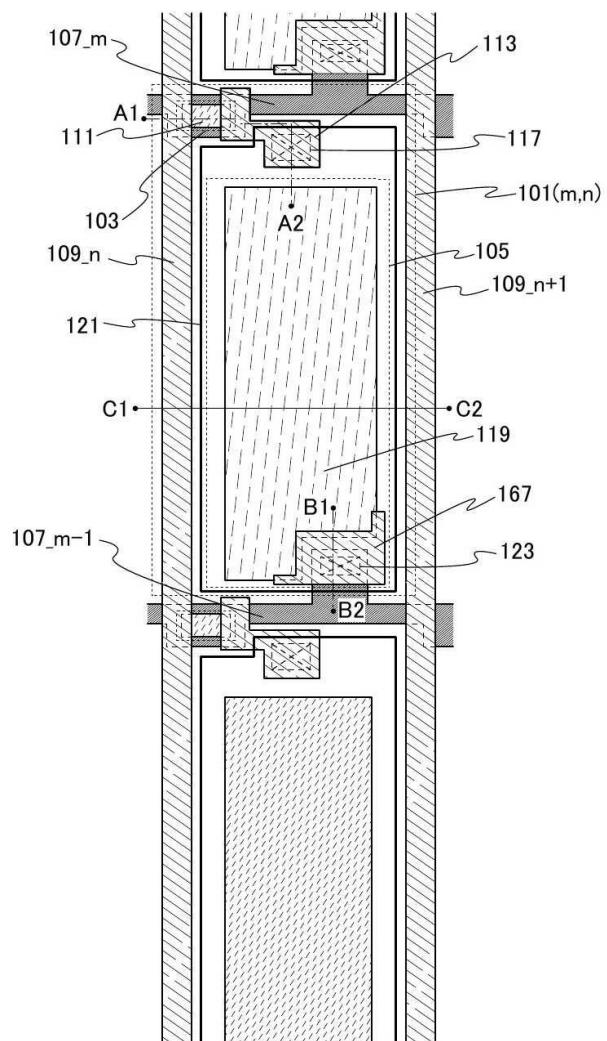
## 도면9



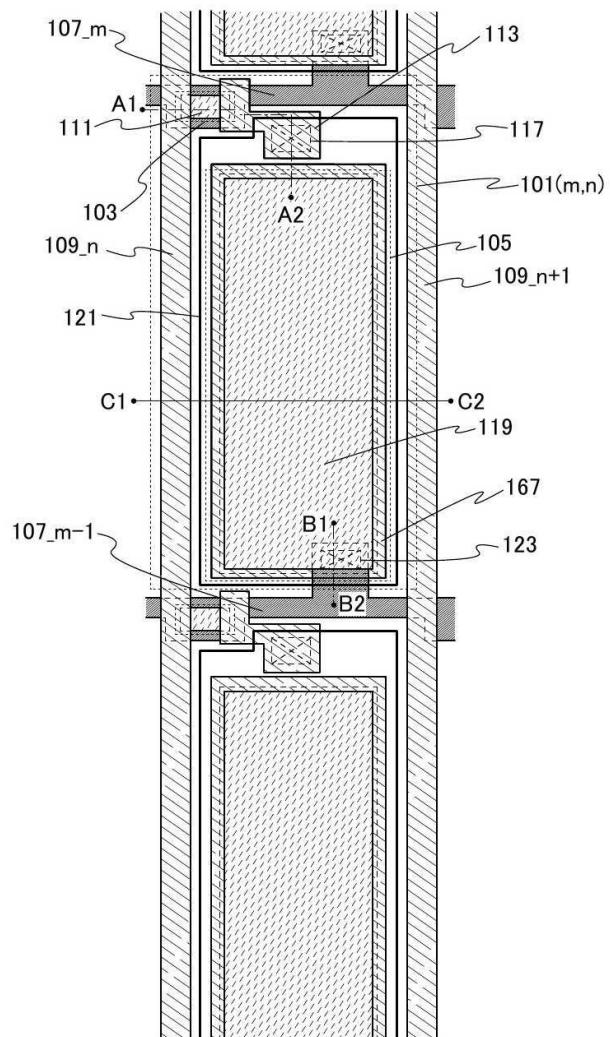
도면10



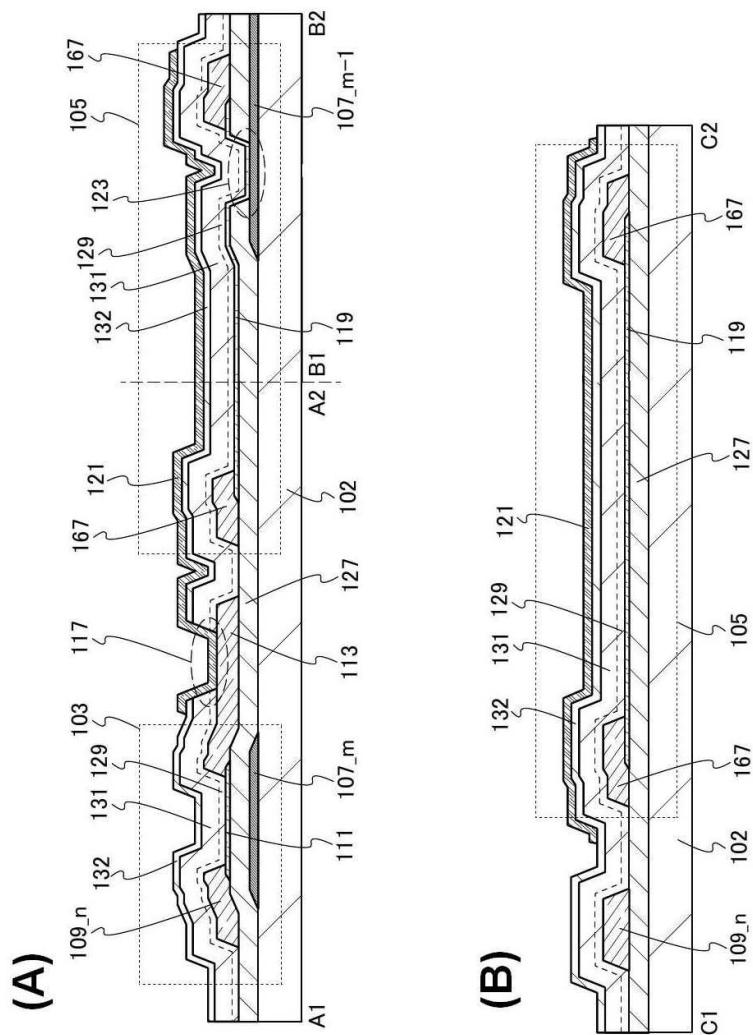
## 도면11



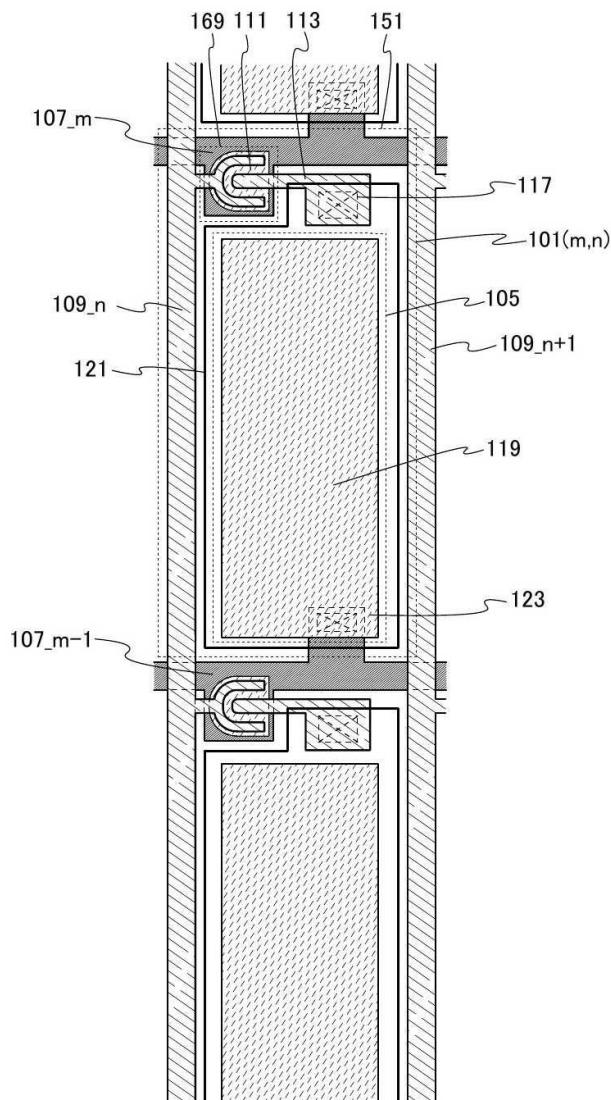
## 도면12



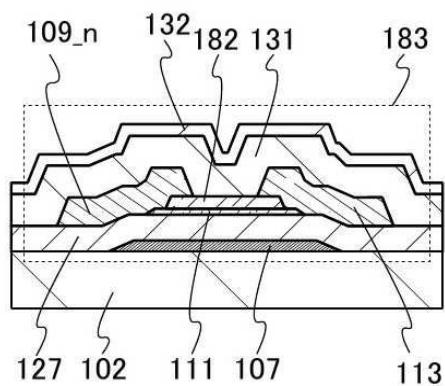
도면13



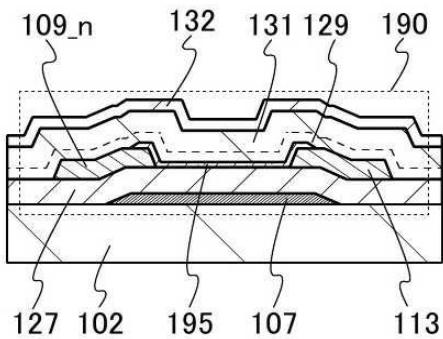
도면14



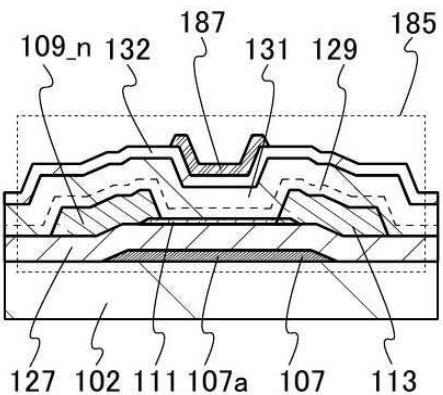
도면15



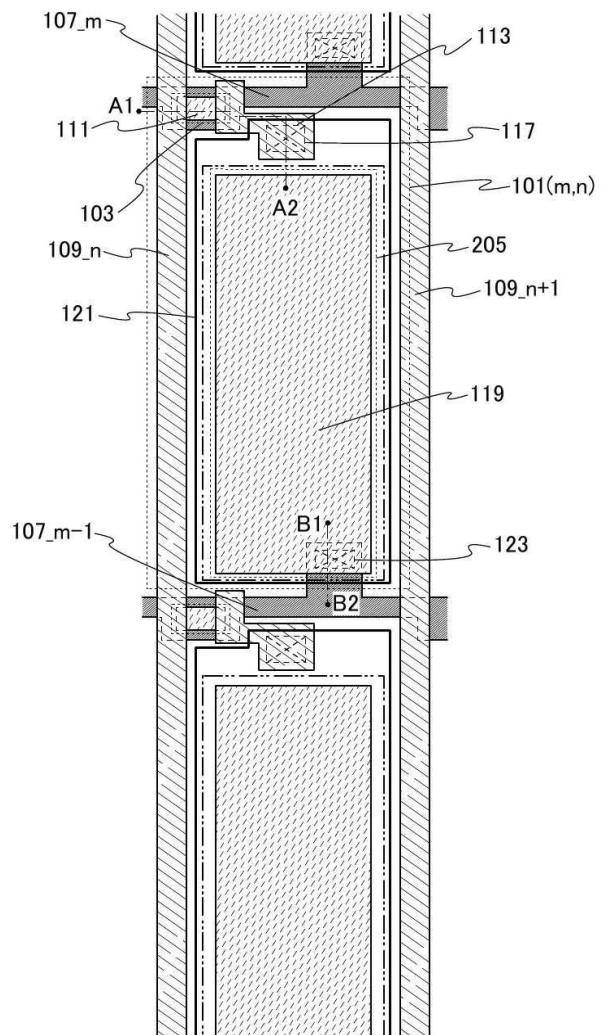
도면16



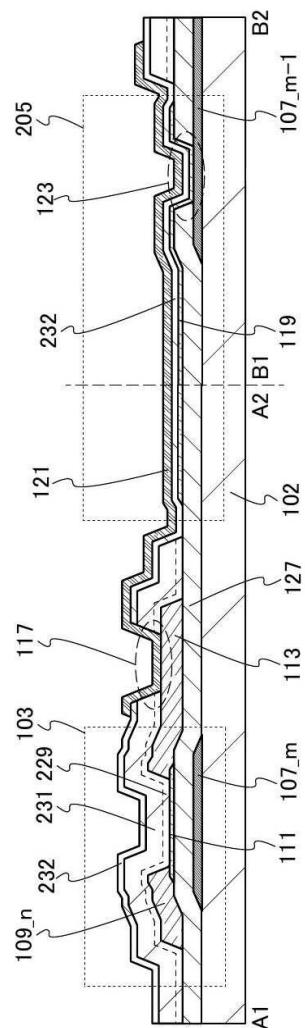
도면17



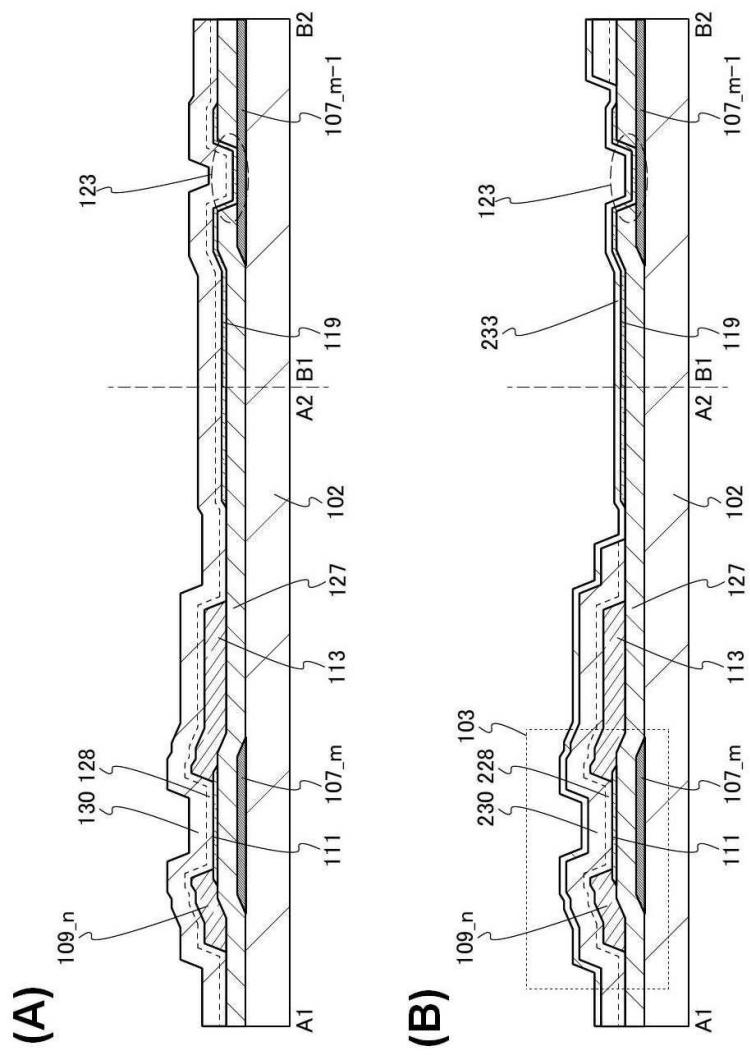
## 도면18



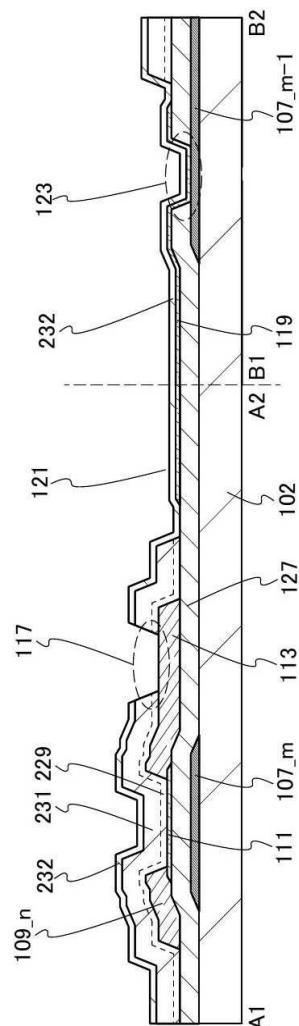
도면19



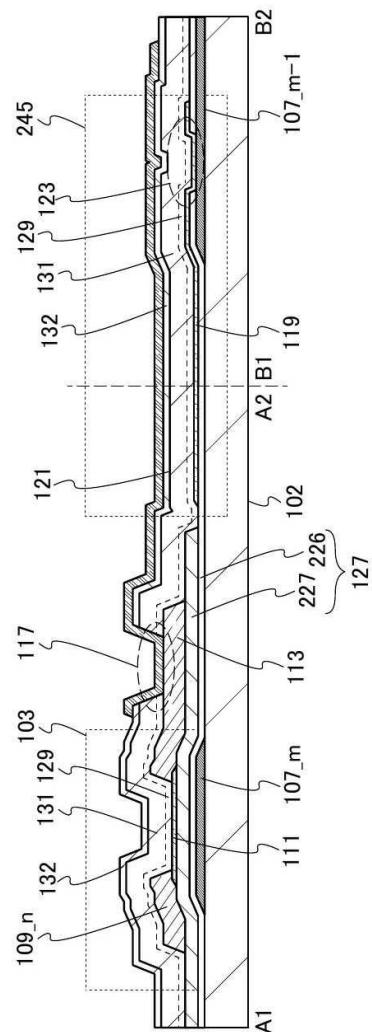
도면20



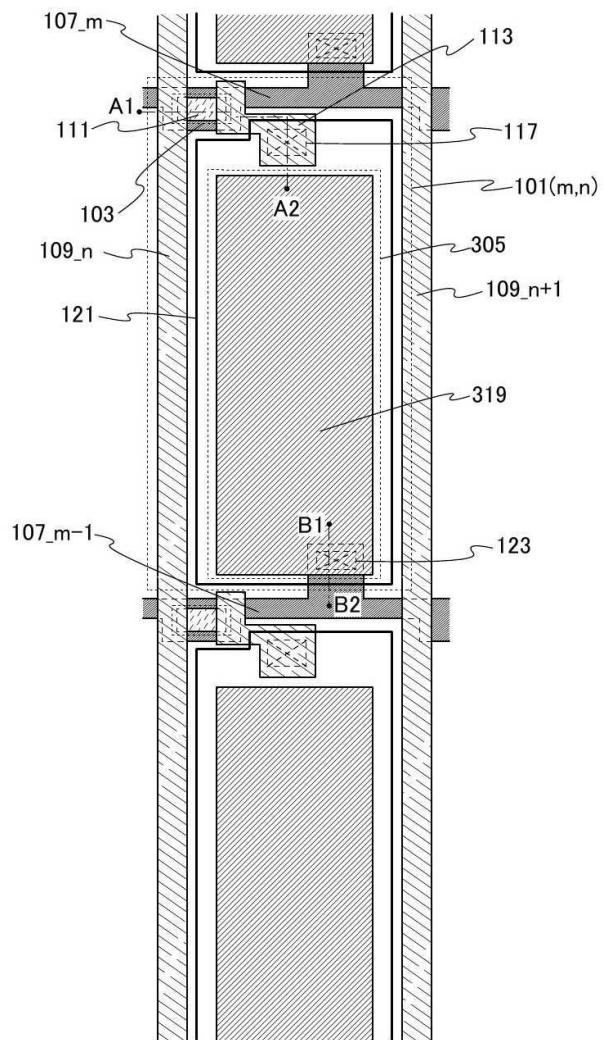
도면21



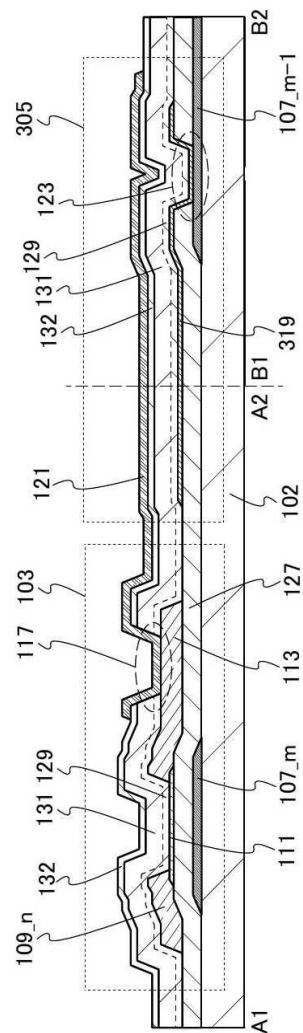
도면22



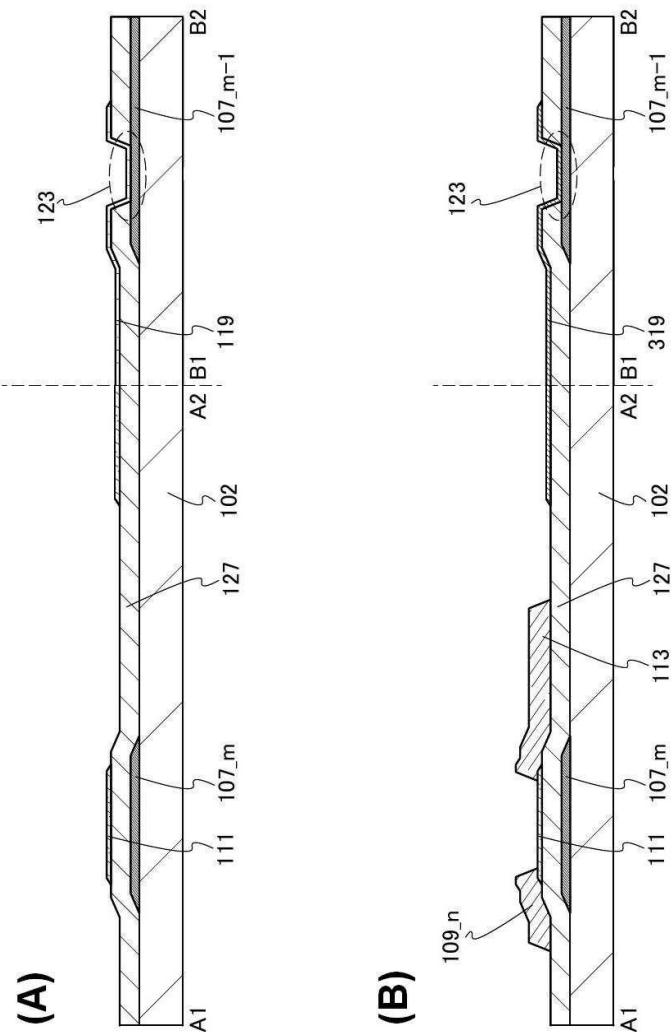
## 도면23



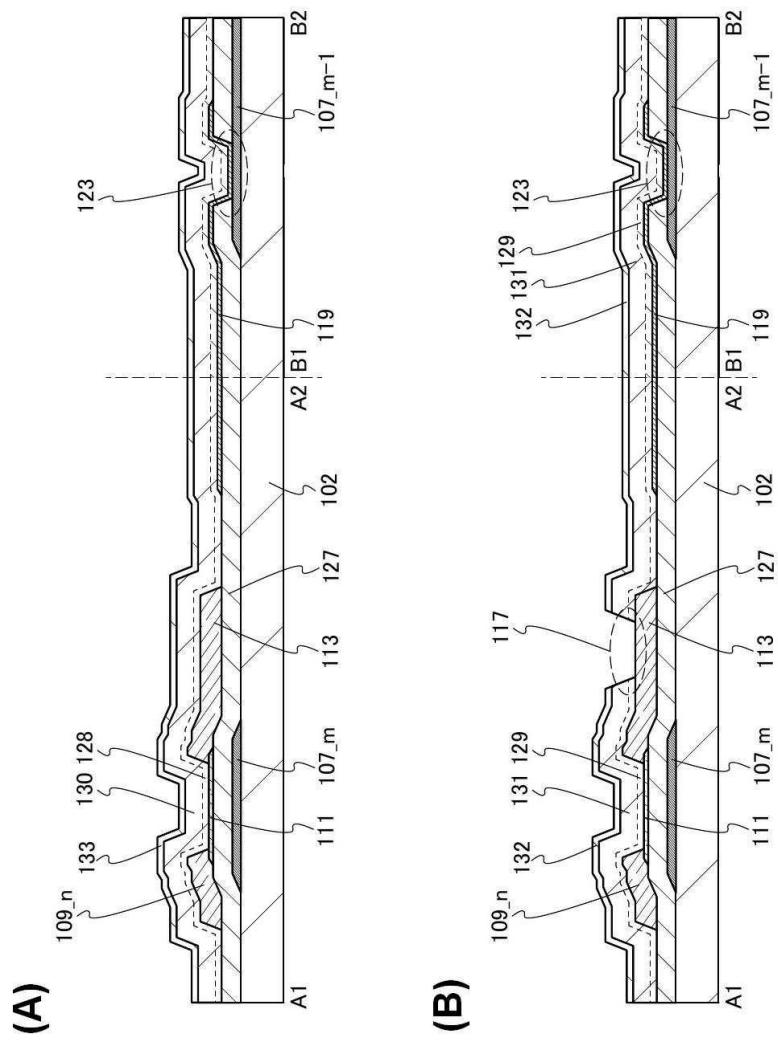
도면24



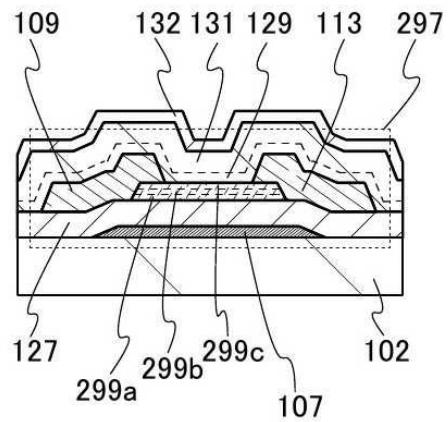
도면25



## 도면26

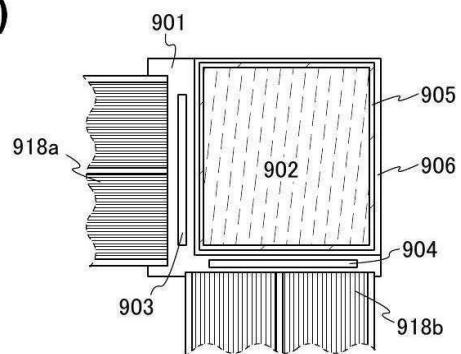


도면27

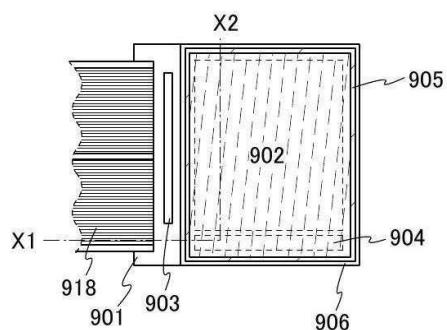


도면28

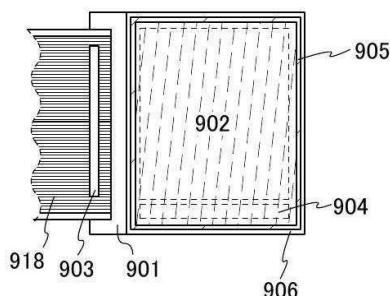
(A)



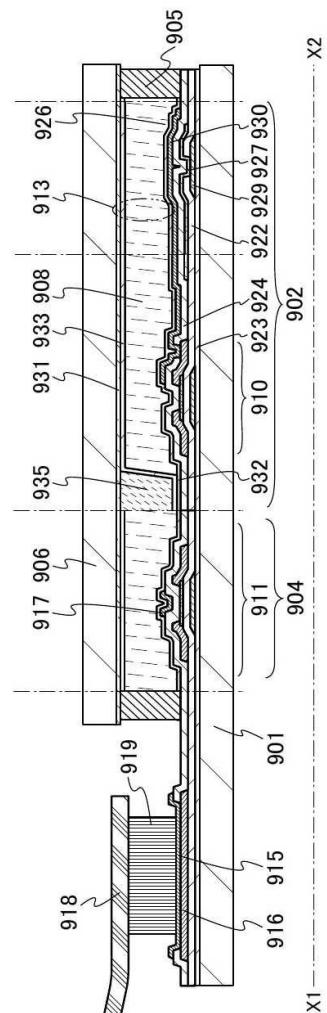
(B)



(C)

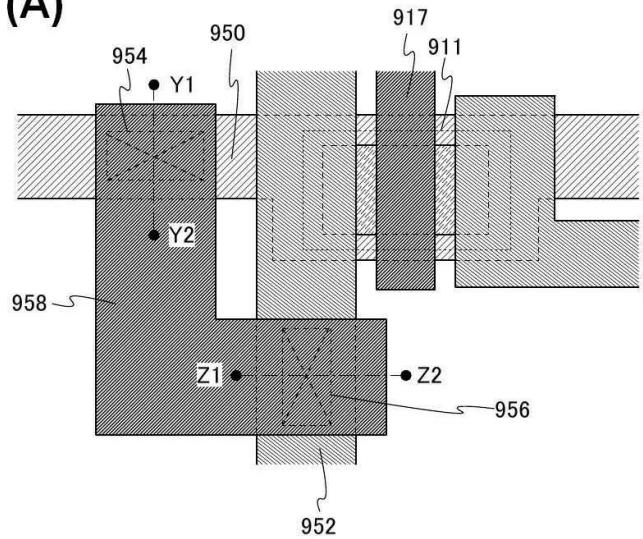


도면29

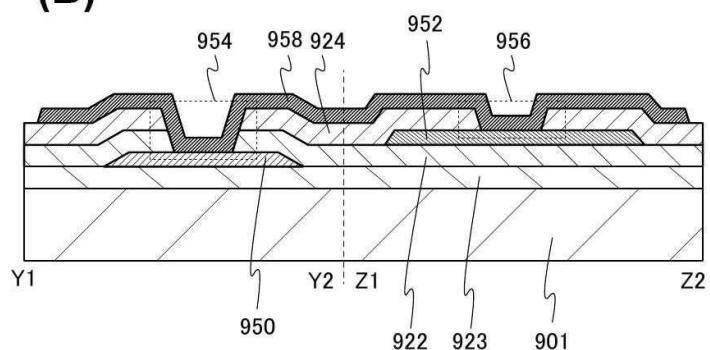


도면30

(A)

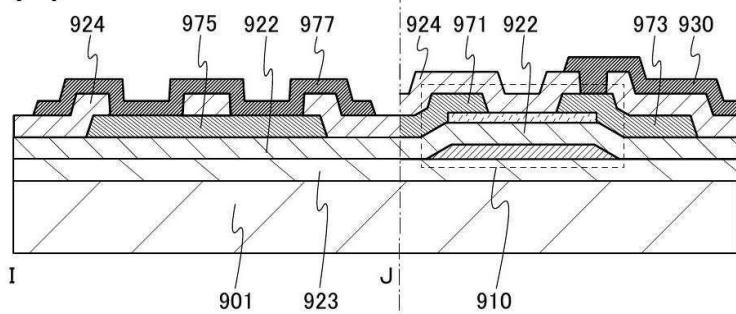


(B)

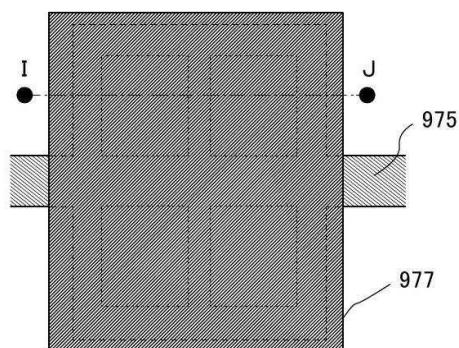


도면31

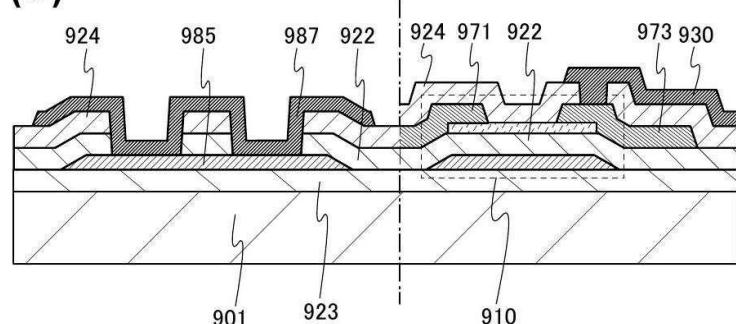
(A)



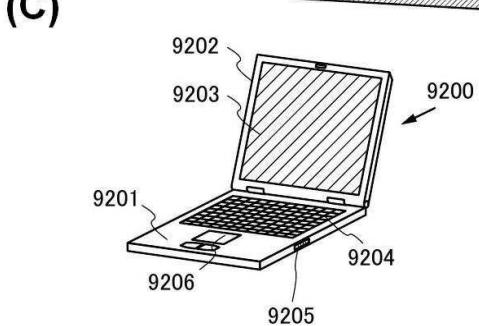
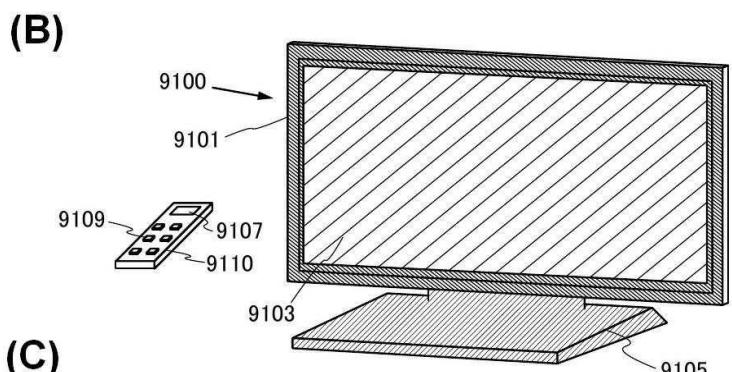
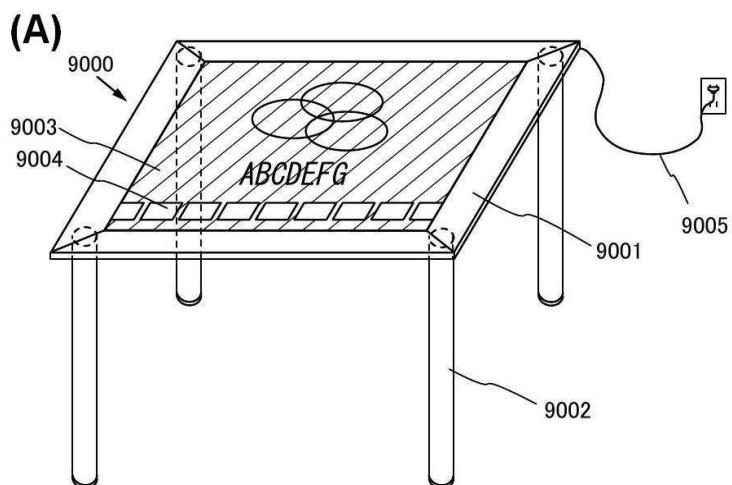
(B)



(C)

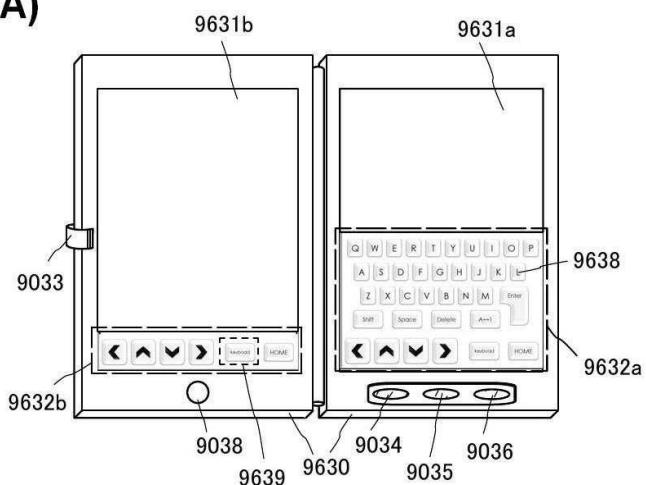


## 도면32

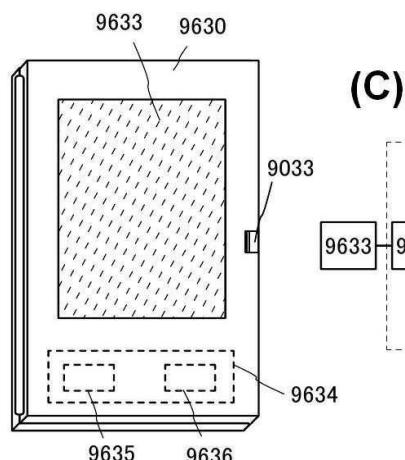


## 도면33

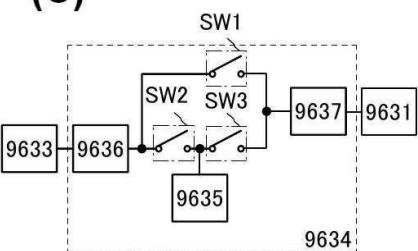
(A)



(B)

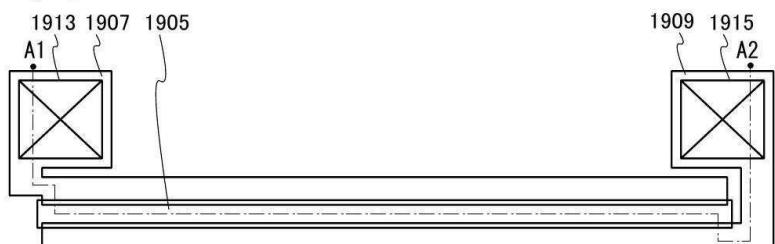


(C)

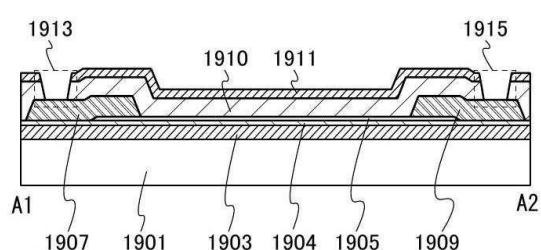


## 도면34

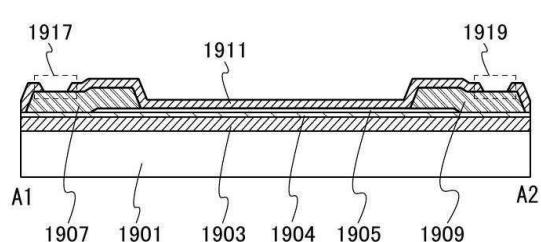
(A)



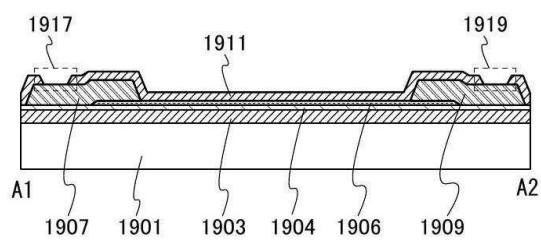
(B)



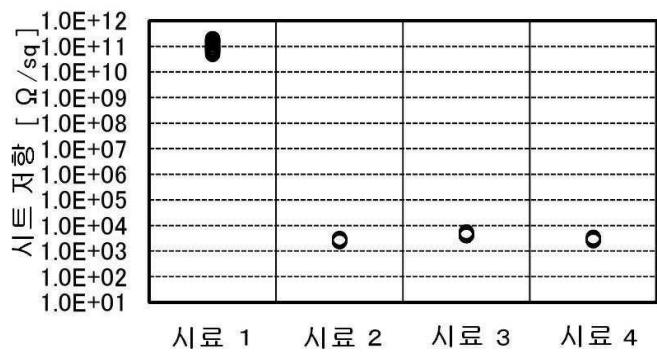
(C)



(D)

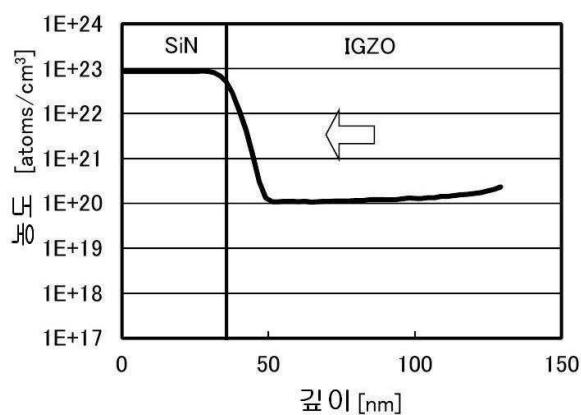


## 도면35

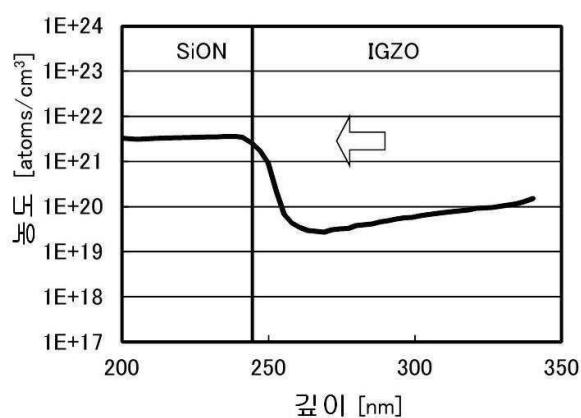


## 도면36

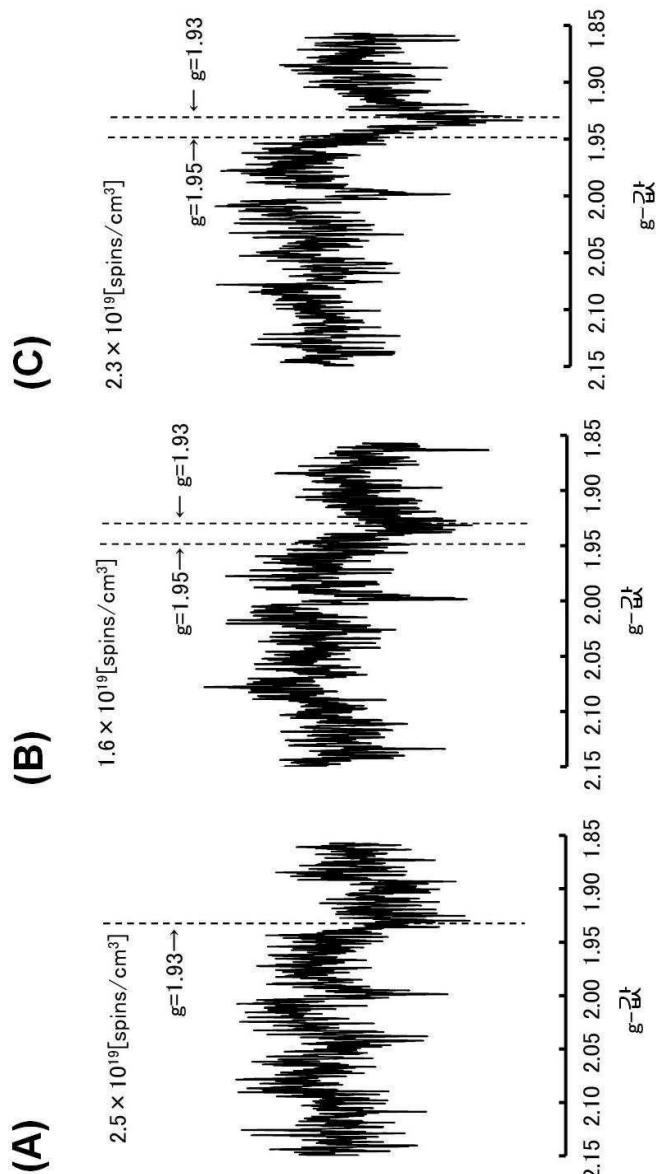
(A)



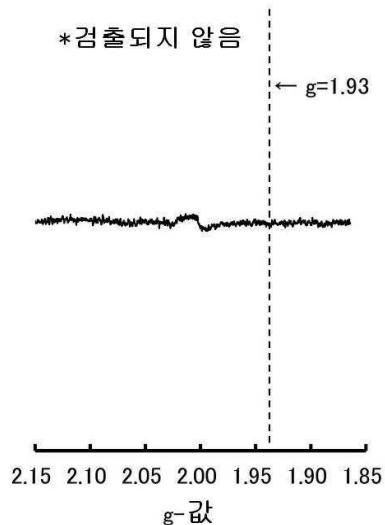
(B)



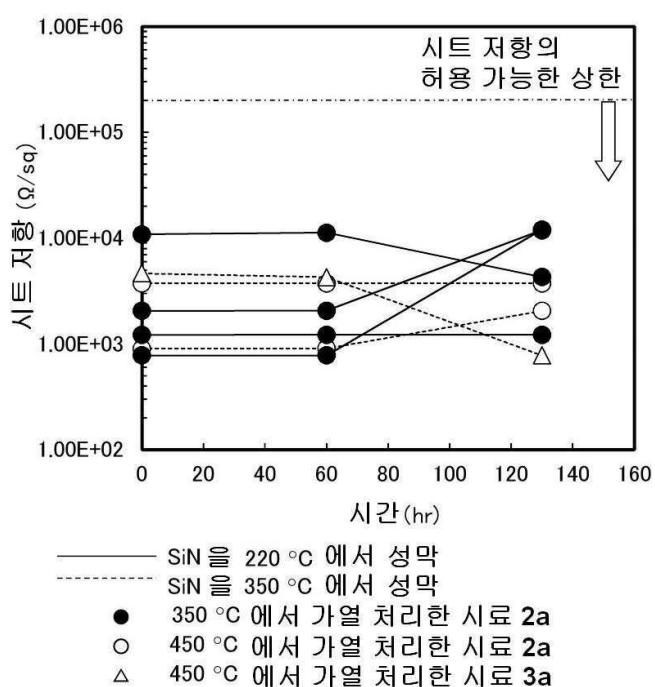
도면37



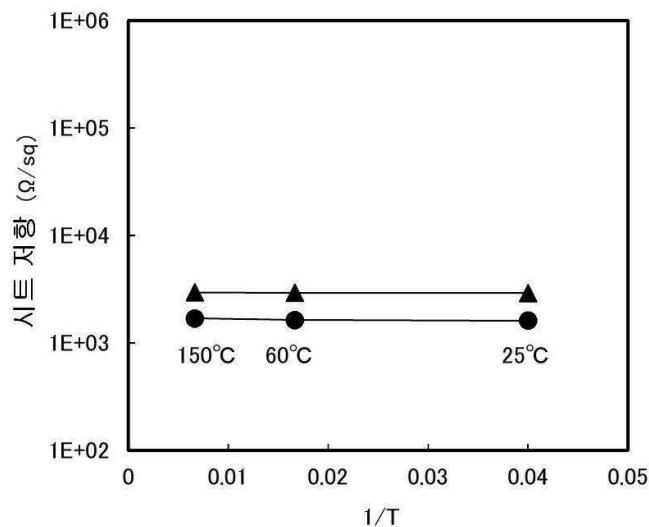
도면38



도면39



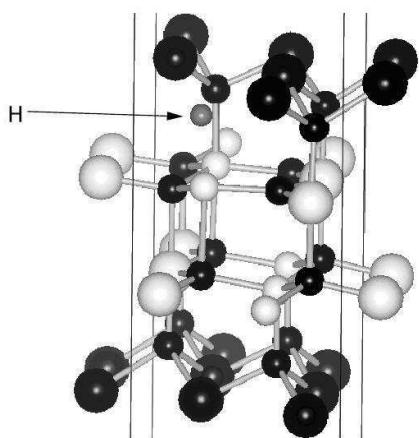
## 도면40



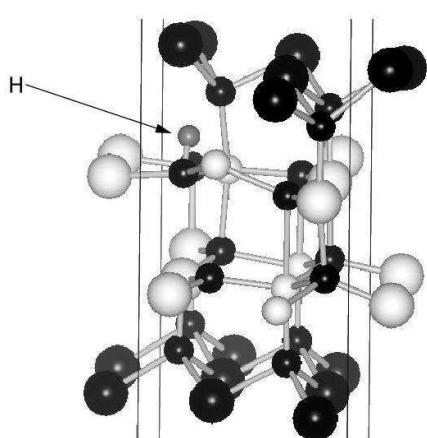
- SiN 을 220 °C 에서 성막  
● 350 °C 에서 가열 처리한 시료 2a  
▲ 350 °C 에서 가열 처리한 시료 3a

도면41

(A)



(B)



● In

○ Ga

○ Zn

● O

● H

## 도면42

