

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月22日(22.02.2024)

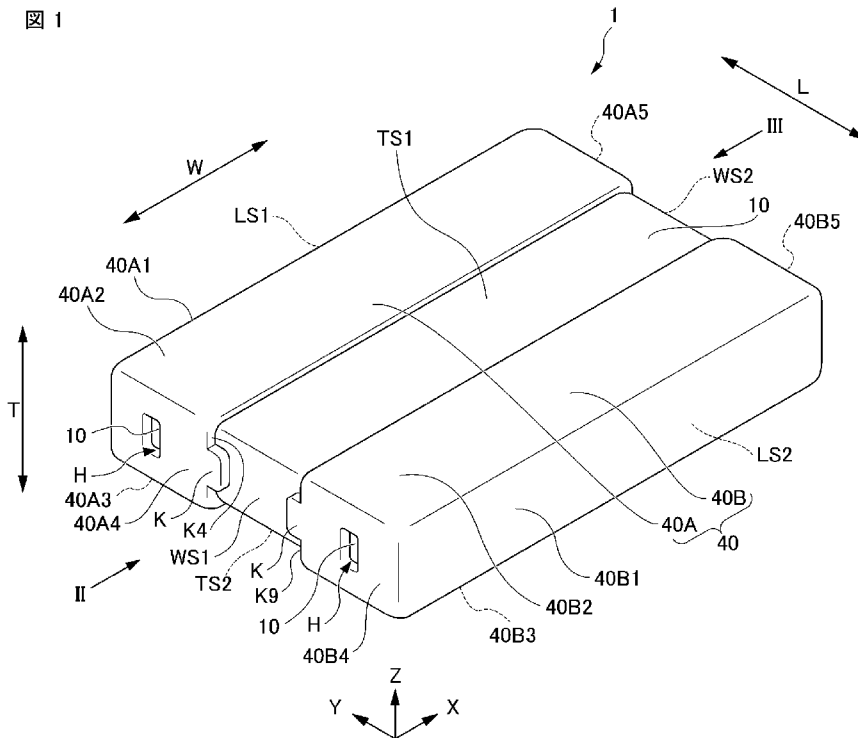


(10) 国際公開番号
WO 2024/038657 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01)
- (21) 国際出願番号: PCT/JP2023/020657
- (22) 国際出願日: 2023年6月2日(02.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-130706 2022年8月18日(18.08.2022) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 岸 浩太郎(KISHI Kotaro); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.); 〒1000005 東京都千代田区丸の内1-7-12 サピアタワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称: 積層セラミックコンデンサ



(57) Abstract: The present invention addresses the problem of providing an LW reversal type multilayer ceramic capacitor which is capable of suppressing deterioration of a self-alignment effect and achieving a stable mounting. The present invention provides a multilayer ceramic capacitor 1 wherein if L is the length in the longitudinal direction connecting a first end surface LS1 and a second end surface LS2 of a multilayer body 10, w is the length in the width direction connecting a first lateral surface WS1 and a second lateral surface WS2 of the multilayer body 10, and t is the length in the height



WO 2024/038657 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

direction connecting a first main surface TS1 and a second main surface TS2 of the multilayer body 10, the dimensional relationship $w > l > t$ is satisfied. With respect to this multilayer ceramic capacitor 1, a fourth surface part 40A4 and a fifth surface part 40A5 of a first external electrode 40A and a ninth surface part 40B4 and a tenth surface part 40B5 of a second external electrode 40B have openings H through which the surface of the multilayer body 10 is exposed; and the fourth surface part 40A4 and the ninth surface part 40B4, and the fifth surface part 40A5 and the tenth surface part 40B5 have projections K that protrude from the center side of the longitudinal direction, in which the surface parts face each other, in the longitudinal direction.

(57) 要約 : セルフアライメント効果の悪化を抑制し、安定した実装を行うことができるLW逆転タイプの積層セラミックコンデンサを提供すること。積層セラミックコンデンサ1であって、積層体10の第1の端面LS1および第2の端面LS2を結ぶ長さ方向の長さをl、第1の側面WS1および第2の側面WS2を結ぶ幅方向の長さをw、第1の主面TS1および第2の主面TS2を結ぶ高さ方向の長さをtとしたとき、 $w > l > t$ の寸法関係にあり、第1の外部電極40Aの第4面部40A4および第5面部40A5ならびに第2の外部電極40Bの第9面部40B4および第10面部40B5には、積層体10の表面が露出する開口部Hが存在し、第4面部40A4および第9面部40B4ならびに第5面部40A5および第10面部40B5は、互いに対向する長さ方向中心側から当該長さ方向に突出する凸部Kを有する。

明 細 書

発明の名称：積層セラミックコンデンサ

技術分野

[0001] 本発明は、積層セラミックコンデンサに関する。

背景技術

[0002] 従来、積層セラミックコンデンサが知られている。一般的な積層セラミックコンデンサは、幅方向Wの寸法よりも長さ方向Lの寸法が長い略直方体形状の積層体を有し、この積層体の長さ方向Lの両端部に、外部電極が設けられている。一方、ESLを低減するために、積層体の長さ方向Lの寸法と幅方向Wの寸法の大小関係を逆転させた、所謂LW逆転タイプの積層セラミックコンデンサも知られている（特許文献1および特許文献2を参照）。

[0003] さらに近年、基板の実装密度が高密度化するにつれて、積層セラミックコンデンサの実装面積が減少している。そこで、PoP(Package on Package)の実装形態が採用され、基板の下端部にLSC(Land side Capacitor)タイプで実装される積層セラミックコンデンサの需要が増大している。このようなLSC(Land side Capacitor)タイプで実装される積層セラミックコンデンサとしては、低背化された高さ方向の厚みの薄い積層セラミックコンデンサが求められる。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-57753号公報

特許文献2：特開2020-61524号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献2には、外部電極の第4面部および第5面部の少なくとも一方の端縁には、当該端縁から第1面部に向かって凹んだ凹部が設けられ、当該凹部の第3方向の両側部分は、部品本体の第2方向の2つの面の稜部を覆う被

覆部となっている、LW逆転タイプの積層セラミック電子部品が開示されている。

[0006] しかしながら、特許文献2に開示される積層セラミック電子部品においては、下地導体層とその上に設けられる被覆導体層の形成位置や厚みばらつきなどによって、部品本体の第2方向の2つの面の稜部を覆う被覆部の面積や形状がばらつくことが考えられる。ここで、LW逆転タイプの積層セラミック電子部品を実装基板にはんだを用いて実装する際、被覆部の面積や形状の左右差によっては、被覆部に対するはんだの濡れ方がそれぞれの面で変化し、はんだの引っ張り応力の加わり方に差が生じる可能性がある。これにより、セルフアライメント効果が悪化することが考えられる。その結果、積層セラミック電子部品が回転したり、傾いたりしやすくなり、実装性が低下するおそれがある。なお、LW逆転タイプの積層セラミック電子部品が実装される基板のランドは、ランド間の距離が短いため、セルフアライメント効果が悪化し、積層セラミック電子部品が大きく回転してしまった場合には、極性の異なるランドに1つの外部電極が跨るように実装されてしまい、ショート不良が発生する可能性がある。

[0007] 本発明の目的は、セルフアライメント効果の悪化を抑制し、安定した実装を行うことができるLW逆転タイプの積層セラミックコンデンサを提供することである。

課題を解決するための手段

[0008] 本発明に係る積層セラミックコンデンサは、高さ方向に交互に積層された複数の誘電体層および複数の内部電極層を含むとともに、前記高さ方向に相對する第1の主面および第2の主面と、前記高さ方向に直交する長さ方向に相對する第1の端面および第2の端面と、前記高さ方向および前記長さ方向に直交する幅方向に相對する第1の側面および第2の側面と、を有する積層体と、前記第1の端面上に位置する第1面部と、前記第1の主面上の一部に位置する第2面部および前記第2の主面上の一部に位置する第3面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第4面部と、前

記第2の側面上の一部に位置する第5面部と、を有する第1の外部電極と、前記第2の端面上に位置する第6面部と、前記第1の主面上の一部に位置する第7面部および前記第2の主面上の一部に位置する第8面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第9面部と、前記第2の側面上の一部に位置する第10面部と、を有する第2の外部電極と、を有する積層セラミックコンデンサであって、前記積層体の前記第1の端面および前記第2の端面を結ぶ前記長さ方向の長さを l 、前記第1の側面および前記第2の側面を結ぶ前記幅方向の長さを w 、前記第1の主面および前記第2の主面を結ぶ前記高さ方向の長さを t としたとき、 $w > l > t$ の寸法関係にあり、前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部には、前記積層体の表面が露出する開口部が存在し、前記第4面部および前記第9面部ならびに前記第5面部および前記第10面部は、互いに対向する前記長さ方向中心側から当該長さ方向に突出する凸部をそれぞれ有する。

発明の効果

[0009] 本発明によれば、セルフアライメント効果の悪化を抑制し、安定した実装を行うことができるLW逆転タイプの積層セラミックコンデンサを提供することができる。

図面の簡単な説明

[0010] [図1]実施形態の積層セラミックコンデンサの外観斜視図である。

[図2]図1に示す積層セラミックコンデンサを矢印IIの方向に沿って第1の側面側を見たときの矢視図である。

[図3]図1に示す積層セラミックコンデンサを矢印IIIの方向に沿って第2の側面側を見たときの矢視図である。

[図4]図2に示す積層セラミックコンデンサを矢印IVの方向に沿って第1の主面側を見たときの矢視図である。

[図5]図2に示す積層セラミックコンデンサを矢印Vの方向に沿って第2の主面側を見たときの矢視図である。

[図6]図4に示す積層セラミックコンデンサのV I - V I 線に沿った断面図である。

[図7]図6に示す積層セラミックコンデンサのV I I - V I I 線に沿った断面図である。

[図8A]図6に示す積層セラミックコンデンサのV I I I A - V I I I A 線に沿った断面図であり、第1の内部電極層を示す図である。

[図8B]図6に示す積層セラミックコンデンサのV I I I B - V I I I B 線に沿った断面図であり、第2の内部電極層を示す図である。

[図9A]図4に示す積層セラミックコンデンサのI X A - I X A 線に沿った断面図であり、積層体の第1の側面を示す図である。

[図9B]図4に示す積層セラミックコンデンサのI X B - I X B 線に沿った断面図であり、積層体の第2の側面を示す図である。

[図10A]図6におけるX A部の拡大図であって、第1の外部電極の断面を示す図である。

[図10B]図6におけるX B部の拡大図であって、第2の外部電極の断面を示す図である。

[図11A]上記実施形態の積層セラミックコンデンサの外部電極の層構成の変形例を示す断面図であり、図10Aに対応する図である。

[図11B]上記実施形態の積層セラミックコンデンサの外部電極の層構成の変形例を示す断面図であり、図10Bに対応する図である。

[図12]上記実施形態の積層セラミックコンデンサの製造工程における途中状態を示す図である。

[図13]上記実施形態の積層セラミックコンデンサの製造工程における途中状態を示す図である。

[図14]上記実施形態の積層セラミックコンデンサの製造工程における途中状態を示す図である。

[図15]上記実施形態の積層セラミックコンデンサの外部電極の配置位置の変形例を示す断面図であり、図1に対応する図である。

[図16A]比較例1の積層セラミックコンデンサの外観斜視図であり、図1に対応する図である。

[図16B]上記比較例の積層セラミックコンデンサの第1の内部電極層を示す図であり、図8Aに対応する図である。

[図16C]上記比較例の積層セラミックコンデンサの第2の内部電極層を示す図であり、図8Bに対応する図である。

[図17A]比較例2の積層セラミックコンデンサの外観斜視図であり、図1に対応する図である。

[図17B]上記比較例の積層セラミックコンデンサの第1の内部電極層を示す図であり、図8Aに対応する図である。

[図17C]上記比較例の積層セラミックコンデンサの第2の内部電極層を示す図であり、図8Bに対応する図である。

[図18A]実験例における実装性の評価方法を説明するための図である。

[図18B]実験例における実装性の評価方法を説明するための図である。

[図18C]実験例における実装性の評価方法を説明するための図である。

[図18D]実験例における実装性の評価方法を説明するための図である。

発明を実施するための形態

[0011] 以下、本開示の実施形態に係る積層セラミックコンデンサ1について説明する。図1は、本実施形態の積層セラミックコンデンサ1の外観斜視図である。図2は、図1に示す積層セラミックコンデンサ1を矢印IIの方向に沿って第1の側面WS1側を見たときの矢視図である。図3は、図1に示す積層セラミックコンデンサ1を矢印IIIの方向に沿って第2の側面WS2側を見たときの矢視図である。図4は、図2に示す積層セラミックコンデンサ1を矢印IVの方向に沿って第1の主面TS1側を見たときの矢視図である。図5は、図2に示す積層セラミックコンデンサ1を矢印Vの方向に沿って第2の主面TS2側を見たときの矢視図である。図6は、図4に示す積層セラミックコンデンサ1のVⅠ-VⅠ線に沿った断面図である。図7は、図6に示す積層セラミックコンデンサ1のVⅡ-VⅡ線に沿った断面図であ

る。図8Aは、図6に示す積層セラミックコンデンサ1のV111A-V111A線に沿った断面図である。図8Bは、図6に示す積層セラミックコンデンサ1のV111B-V111B線に沿った断面図である。図9Aは、図4に示す積層セラミックコンデンサ1のIXA-IXA線に沿った断面図であって、積層体10の第1の側面WS1を示す図である。図9Bは、図4に示す積層セラミックコンデンサ1のIXB-IXB線に沿った断面図であって、積層体10の第2の側面WS2を示す図である。図10Aは、図6におけるXA部の拡大図であって、第1の外部電極40Aの断面を示す図である。図10Bは、図6におけるXB部の拡大図であって、第2の外部電極40Bの断面を示す図である。

[0012] 積層セラミックコンデンサ1は、積層体10と、外部電極40と、を有する。

[0013] 図1～図9Bには、XYZ直交座標系が示されている。積層セラミックコンデンサ1および積層体10の長さ方向Lは、Y方向と対応している。積層セラミックコンデンサ1および積層体10の幅方向Wは、X方向と対応している。積層セラミックコンデンサ1および積層体10の高さ方向Tは、Z方向と対応している。ここで、図6に示す断面はLT断面とも称される。図7に示す断面はWT断面とも称される。図8Aおよび図8Bに示す断面はLW断面とも称される。

[0014] 図1～5に示すように、積層体10は、高さ方向Tに相対する第1の主面TS1および第2の主面TS2と、高さ方向Tに直交する長さ方向Lに相対する第1の端面LS1および第2の端面LS2と、高さ方向Tおよび長さ方向Lに直交する幅方向Wに相対する第1の側面WS1および第2の側面WS2と、を含む。

[0015] 積層体10は、略直方体形状を有している。積層体10の角部および稜線部には、丸みがつけられていることが好ましい。角部は、積層体の3面が交わる部分であり、稜線部は、積層体の2面が交わる部分である。なお、積層体10を構成する表面の一部または全部に凹凸などが形成されていてもよい。

- 。
- [0016] 図6および図7に示すように、積層体10は、内層部11と、高さ方向Tにおいて内層部11を挟み込むように配置された第1の主面側外層部12および第2の主面側外層部13と、を有する。
- [0017] 内層部11は、複数の誘電体層20と、複数の内部電極層30と、を含む。内層部11は、高さ方向Tにおいて、最も第1の主面TS1側に位置する内部電極層30から最も第2の主面TS2側に位置する内部電極層30までを含む。内層部11では、複数の内部電極層30が誘電体層20を介して対向して配置されている。内層部11は、静電容量を発生させ実質的にコンデンサとして機能する部分である。なお、内層部11は、有効層部ともいう。
- [0018] 複数の誘電体層20は、誘電体材料により構成される。誘電体材料は、例えばセラミック材料である。誘電体材料は、例えば、BaTiO₃、CaTiO₃、SrTiO₃、またはCaZrO₃などの成分を含む誘電体セラミックであってもよい。これらの成分が主成分である場合、所望とする積層体の特性に応じて、例えば、Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの、主成分よりも含有量が少ない副成分が添加されていてもよい。
- [0019] 誘電体層20の厚みは、0.5μm以上10μm以下であることが好ましい。積層される誘電体層20の枚数は、15枚以上700枚以下であることが好ましい。なお、この誘電体層20の枚数は、内層部11の誘電体層の枚数と第1の主面側外層部12および第2の主面側外層部13の誘電体層の枚数との総数である。
- [0020] 複数の内部電極層30は、複数の第1の内部電極層31および複数の第2の内部電極層32を有する。第1の内部電極層31は、複数の誘電体層20上に配置され、第1の端面LS1に引き出されている。第2の内部電極層32は、複数の誘電体層20上に配置され、第2の端面LS2に引き出されている。複数の第1の内部電極層31および複数の第2の内部電極層32は、積層体10の高さ方向Tに誘電体層20を介して交互に配置されている。第

1の内部電極層31および第2の内部電極層32は、誘電体層20を挟むようにして配置されている。

[0021] 図8Aに示すように、第1の内部電極層31は、第2の内部電極層32に対向する第1の対向電極部31Aと、第1の対向電極部31Aから第1の端面LS1、第1の側面WS1の一部、および第2の側面WS2の一部に引き出される第1の引き出し部31Bと、第1の対向電極部31Aから第1の側面WS1の一部に引き出される第2の引き出し部31Cと、第1の対向電極部31Aから第2の側面WS2の一部に引き出される第3の引き出し部31Dと、を有する。

[0022] 第1の対向電極部31Aは、積層体10の内部に位置する。第1の引き出し部31Bは、第1の対向電極部31Aに接続され、第1の端面LS1、第1の側面WS1の一部、および第2の側面WS2の一部に露出している。第2の引き出し部31Cは、第1の対向電極部31Aに接続され、第1の側面WS1の一部に露出している。第3の引き出し部31Dは、第1の対向電極部31Aに接続され、第2の側面WS2の一部に露出している。

[0023] なお、第2の引き出し部31Cは、第1の引き出し部31Bにおける、第1の側面WS1に引き出されている部分と、長さ方向Lに間隔をあけて配置されている。第3の引き出し部31Dは、第1の引き出し部31Bにおける、第2の側面WS2に引き出されている部分と、長さ方向Lに間隔をあけて配置されている。

[0024] 図8Bに示すように、第2の内部電極層32は、第1の内部電極層31に対向する第2の対向電極部32Aと、第2の対向電極部32Aから第2の端面LS2、第1の側面WS1の一部、および第2の側面WS2の一部に引き出される第4の引き出し部32Bと、第2の対向電極部32Aから第1の側面WS1の一部に引き出される第5の引き出し部32Cと、第2の対向電極部32Aから第2の側面WS2の一部に引き出される第6の引き出し部32Dと、を有する。

[0025] 第2の対向電極部32Aは、積層体10の内部に位置する。第4の引き出

し部32Bは、第2の対向電極部32Aに接続され、第2の端面LS2、第1の側面WS1の一部、および第2の側面WS2の一部に露出している。第5の引き出し部32Cは、第2の対向電極部32Aに接続され、第1の側面WS1の一部に露出している。第6の引き出し部32Dは、第2の対向電極部32Aに接続され、第2の側面WS2の一部に露出している。

[0026] なお、第5の引き出し部32Cは、第4の引き出し部32Bにおける、第1の側面WS1に引き出されている部分と、長さ方向Lに間隔をあけて配置されている。第6の引き出し部32Dは、第4の引き出し部32Bにおける、第2の側面WS2に引き出されている部分と、長さ方向Lに間隔をあけて配置されている。

[0027] 図9Aは、図4に示す積層セラミックコンデンサ1のIXA-IXA線に沿った断面図であり、積層体10の第1の側面WS1を示す図である。図9Bは、図4に示す積層セラミックコンデンサ1のIXB-IXB線に沿った断面図であり、積層体10の第2の側面WS2を示す図である。なお、図8Aおよび図8Bにおいても、図9Aの断面図の位置を示すIXA-IXA線が示されるとともに、図9Bの断面図の位置を示すIXB-IXB線が示されている。

[0028] 図9Aに示すように、積層体10の第1の側面WS1には、複数の第1の内部電極層31のそれぞれの第1の引き出し部31Bおよび第2の引き出し部31Cと、複数の第2の内部電極層32のそれぞれの第4の引き出し部32Bおよび第5の引き出し部32Cと、が露出している。複数の第1の引き出し部31Bと、複数の第2の引き出し部31Cとは、離間した状態で積層体10の表面に露出している。複数の第4の引き出し部32Bと、複数の第5の引き出し部32Cとは、離間した状態で積層体10の表面に露出している。

[0029] 図9Aに示すように、第1の側面WS1においては、積層体10の高さ方向Tに並ぶ複数の第2の引き出し部31Cのうち、高さ方向Tの中央部に位置する複数の第2の引き出し部31Cの長さ方向Lの寸法は、高さ方向Tの

中央部以外に位置する、すなわち高さ方向Tの中央部よりも第1の主面TS1側および第2の主面TS2側にそれぞれ位置する第2の引き出し部31Cの長さ方向Lの寸法よりも長い。全ての第2の引き出し部31Cの、長さ方向Lの外側の端部、すなわち第1の端面LS1側の端部の位置は、長さ方向Lで揃っている。したがって、高さ方向Tの中央部に位置する複数の第2の引き出し部31Cにおける長さ方向Lの中心側は、高さ方向Tの中央部以外の複数の第2の引き出し部31Cよりも、長さ方向Lの中心側に突出している。換言すると、高さ方向Tの中央部に位置する複数の第2の引き出し部31Cのそれぞれは、高さ方向Tの中央部以外の複数の第2の引き出し部31Cの長さ方向中心側の端部から長さ方向中心側に突出する突出部31C1を有している。

[0030] 突出部31C1の長さ方向中心側の先端は、第2面部40A2および第3面部40A3における長さ方向中心側の端部40A9よりも長さ方向中心側に位置している。すなわち、高さ方向Tの中央部に位置する複数の第2の引き出し部31Cの長さ方向中心側は、第2面部40A2および第3面部40A3における長さ方向中心側の端部40A9よりも長さ方向中心側に突出している。

[0031] また、積層体10の高さ方向Tに並ぶ複数の第5の引き出し部32Cのうち、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cの長さ方向Lの寸法は、高さ方向Tの中央部以外に位置する、すなわち高さ方向Tの中央部よりも第1の主面TS1側および第2の主面TS2側にそれぞれ位置する第5の引き出し部32Cの長さ方向Lの寸法よりも長い。全ての第5の引き出し部32Cの、長さ方向Lの外側の端部、すなわち第2の端面LS2側の端部の位置は、長さ方向Lで揃っている。したがって、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cにおける長さ方向Lの中心側は、高さ方向Tの中央部以外の複数の第5の引き出し部32Cよりも、長さ方向Lの中心側に突出している。換言すると、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cのそれぞれは、高さ方向Tの中央部以外の

複数の第5の引き出し部32Cの長さ方向中心側の端部から長さ方向中心側に突出する突出部32C1を有している。

[0032] 突出部32C1の長さ方向中心側の先端は、第7面部40B2および第8面部40B3における長さ方向中心側の端部40B9よりも長さ方向中心側に位置している。すなわち、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cの長さ方向中心側は、第7面部40B2および第8面部40B3における長さ方向中心側の端部40B9よりも長さ方向中心側に突出している。

[0033] 図9Bに示すように、第2の側面WS2側においては、積層体10の高さ方向Tに並ぶ複数の第3の引き出し部31Dのうち、高さ方向Tの中央部に位置する複数の第3の引き出し部31Dの長さ方向Lの寸法は、高さ方向Tの中央部以外に位置する、すなわち高さ方向Tの中央部よりも第1の主面TS1側および第2の主面TS2側にそれぞれ位置する第3の引き出し部31Dの長さ方向Lの寸法よりも長い。全ての第3の引き出し部31Dの、長さ方向Lの外側の端部、すなわち第1の端面LS1側の端部の位置は、長さ方向Lで揃っている。したがって、高さ方向Tの中央部に位置する複数の第3の引き出し部31Dにおける長さ方向Lの中心側は、高さ方向Tの中央部以外の複数の第3の引き出し部31Dよりも、長さ方向Lの中心側に突出している。換言すると、高さ方向Tの中央部に位置する複数の第3の引き出し部31Dのそれぞれは、高さ方向Tの中央部以外の複数の第3の引き出し部31Dの長さ方向中心側の端部から長さ方向中心側に突出する突出部31D1を有している。

[0034] 突出部31D1の長さ方向中心側の先端は、第2面部40A2および第3面部40A3における長さ方向中心側の端部40A9よりも長さ方向中心側に位置している。すなわち、高さ方向Tの中央部に位置する複数の第3の引き出し部31Dの長さ方向中心側は、第2面部40A2および第3面部40A3における長さ方向中心側の端部40A9よりも長さ方向中心側に突出している。

[0035] また、積層体 10 の高さ方向 T に並ぶ複数の第 6 の引き出し部 32D のうち、高さ方向 T の中央部に位置する複数の第 6 の引き出し部 32D の長さ方向 L の寸法は、高さ方向 T の中央部以外に位置する、すなわち高さ方向 T の中央部よりも第 1 の主面 TS1 側および第 2 の主面 TS2 側にそれぞれ位置する第 6 の引き出し部 32D の長さ方向 L の寸法よりも長い。全ての第 6 の引き出し部 32D の、長さ方向 L の外側の端部、すなわち第 2 の端面 LS2 側の端部の位置は、長さ方向 T で揃っている。したがって、高さ方向 T の中央部に位置する複数の第 6 の引き出し部 32D における長さ方向 L の中心側は、高さ方向 T の中央部以外の複数の第 6 の引き出し部 32D よりも、長さ方向 L の中心側に突出している。換言すると、高さ方向 T の中央部に位置する複数の第 6 の引き出し部 32D のそれぞれは、高さ方向 T の中央部以外の複数の第 6 の引き出し部 32D の長さ方向中心側の端部から長さ方向中心側に突出する突出部 32D1 を有している。

[0036] 突出部 32D1 の長さ方向中心側の先端は、第 7 面部 40B2 および第 8 面部 40B3 における長さ方向中心側の端部 40B9 よりも長さ方向中心側に位置している。すなわち、高さ方向 T の中央部に位置する複数の第 6 の引き出し部 32D の長さ方向中心側は、第 7 面部 40B2 および第 8 面部 40B3 における長さ方向中心側の端部 40B9 よりも長さ方向中心側に突出している。

[0037] 第 1 の引き出し部 31B および第 4 の引き出し部 32B の第 1 の側面 WS1 の一部に露出する部分の長さ方向 L の寸法はそれぞれ、 $30\mu\text{m}$ 以上 $230\mu\text{m}$ 以下であることが好ましい。第 1 の引き出し部 31B および第 4 の引き出し部 32B の第 2 の側面 WS2 の一部に露出する部分の長さ方向 L の寸法はそれぞれ、 $30\mu\text{m}$ 以上 $230\mu\text{m}$ 以下であることが好ましい。第 2 の引き出し部 31C および第 5 の引き出し部 32C の第 1 の側面 WS1 の一部に露出する部分の長さ方向 L の寸法はそれぞれ、 $30\mu\text{m}$ 以上 $230\mu\text{m}$ 以下であることが好ましい。第 3 の引き出し部 31D および第 6 の引き出し部 32D の第 2 の側面 WS2 の一部に露出する部分の長さ方向 L の寸法はそれ

ぞれ、 $30\mu\text{m}$ 以上 $230\mu\text{m}$ 以下であることが好ましい。

[0038] これらの積層体10の側面に露出している各引き出し部の寸法は、特に限定されない。ただし、第2の引き出し部31Cおよび第5の引き出し部32Cの第1の側面WS1の一部に露出する部分の長さ方向Lの寸法は、第1の引き出し部31Bおよび第4の引き出し部32Bの第1の側面WS1の一部に露出する部分の長さ方向Lの寸法よりも長くてもよい。第3の引き出し部31Dおよび第6の引き出し部32Dの第2の側面WS2の一部に露出する部分の長さ方向Lの寸法は、第1の引き出し部31Bおよび第4の引き出し部32Bの第2の側面WS2の一部に露出する部分の長さ方向Lの寸法よりも長くてもよい。

[0039] これにより、後述の開口部Hおよび凸部Kを有する本実施形態の外部電極40の形状を実現することができる。そして、第1の内部電極層31の第2の引き出し部31Cと、第2の内部電極層32の第5の引き出し部32Cとの距離を短くすることができるため、また、第1の内部電極層31の第3の引き出し部31Dと、第2の内部電極層32の第6の引き出し部32Dとの距離を短くすることができるため、電流が流れる経路を短くすることが可能となる。よって、ESLを減少させることができる。

[0040] 本実施形態では、第1の対向電極部31Aと第2の対向電極部32Aが誘電体層20を介して対向することにより容量が形成され、コンデンサの特性が発現する。

[0041] 第1の対向電極部31Aおよび第2の対向電極部32Aの形状は、特に限定されないが、矩形状であることが好ましい。もっとも、矩形状のコーナー部が丸められていてもよいし、矩形状のコーナー部が斜めに形成されていてもよい。

[0042] 第1の引き出し部31Bおよび第4の引き出し部32Bの形状は、特に限定されないが、矩形状であることが好ましい。もっとも、矩形状のコーナー部が丸められていてもよいし、矩形状のコーナー部が斜めに形成されていてもよい。本実施形態においては、第1の引き出し部31Bおよび第

4の引き出し部32Bの形状は、矩形形状のコーナ一部の一部が除去された略T字状となっている。

[0043] 第2の引き出し部31C、第3の引き出し部31D、第5の引き出し部32C、第6の引き出し部32Dの形状は、特に限定されないが、矩形状であることが好ましい。もっとも、矩形形状のコーナ一部が丸められていてもよいし、矩形形状のコーナ一部が斜めに形成されていてもよい。

[0044] なお、第1の引き出し部31Bにおける、第1の端面LS1に露出している部分の幅方向Wの寸法は、第1の対向電極部31Aの幅方向の寸法よりも大きい。第4の引き出し部32Bにおける、第2の端面LS2に露出している部分の幅方向Wの寸法は、第2の対向電極部32Aの幅方向の寸法よりも大きい。

[0045] 第1の内部電極層31および第2の内部電極層32は、例えば、Ni、Cu、Ag、Pd、Auなどの金属や、これらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成される。合金を用いる場合、第1の内部電極層31および第2の内部電極層32は、例えばAg-Pd合金等により構成されてもよい。

[0046] 第1の内部電極層31および第2の内部電極層32のそれぞれの厚みは、例えば、 $0.2\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下程度であることが好ましい。第1の内部電極層31および第2の内部電極層32の枚数は、合わせて15枚以上200枚以下であることが好ましい。

[0047] 第1の主面側外層部12は、積層体10の第1の主面TS1側に位置する。第1の主面側外層部12は、第1の主面TS1と、最も第1の主面TS1に近い内部電極層30との間に位置する複数の誘電体層20の集合体である。すなわち、第1の主面側外層部12は、第1の主面TS1と、複数の内部電極層30のうち最も第1の主面TS1側に位置する内部電極層30との間に位置する複数の誘電体層20から形成されている。第1の主面側外層部12で用いられる誘電体層20は、内層部11で用いられる誘電体層20と同じものであってもよい。

- [0048] 第2の主面側外層部13は、積層体10の第2の主面TS2側に位置する。第2の主面側外層部13は、第2の主面TS2と、最も第2の主面TS2に近い内部電極層30との間に位置する複数の誘電体層20の集合体である。すなわち、第2の主面側外層部13は、第2の主面TS2と、複数の内部電極層30のうち最も第2の主面TS2側に位置する内部電極層30との間に位置する複数の誘電体層20から形成されている。第2の主面側外層部13で用いられる誘電体層20は、内層部11で用いられる誘電体層20と同じものであってもよい。
- [0049] 以上のように、積層体10は、積層された複数の誘電体層20と、誘電体層20上に積層された複数の内部電極層30と、を有する。すなわち、積層セラミックコンデンサ1は、誘電体層20と内部電極層30とが交互に積層された積層体10を有する。
- [0050] なお、積層体10は、対向電極部11Eを有する。対向電極部11Eは、第1の内部電極層31の第1の対向電極部31Aと第2の内部電極層32の第2の対向電極部32Aとが対向する部分である。対向電極部11Eは、内層部11の一部として構成されている。図8Aおよび図8Bには、対向電極部11Eの幅方向Wおよび長さ方向Lの範囲が示されている。なお、対向電極部11Eは、コンデンサ有効部ともいう。
- [0051] なお、積層体10は、端面側外層部を有する。端面側外層部は、第1の端面LS1側に位置する第1の端面側外層部LG1と、第2の端面LS2側に位置する第2の端面側外層部LG2と、を有する。第1の端面側外層部LG1は、対向電極部11Eと第1の端面LS1との間に位置する誘電体層20および第1の引き出し部31Bを含む部分である。すなわち、第1の端面側外層部LG1は、複数枚の誘電体層20の第1の端面LS1側の部分と複数枚の第1の引き出し部31Bの集合体である。第2の端面側外層部LG2は、対向電極部11Eと第2の端面LS2との間に位置する誘電体層20および第4の引き出し部32Bを含む部分である。すなわち、第2の端面側外層部LG2は、複数枚の誘電体層20の第2の端面LS2側の部分と複数枚の

第4の引き出し部32Bの集合体である。図6、図8Aおよび図8Bには、第1の端面側外層部LG1および第2の端面側外層部LG2の長さ方向Lの範囲が示されている。なお、第1の端面側外層部LG1および第2の端面側外層部LG2は、Lギャップまたはエンドギャップともいう。

[0052] なお、積層体10は、側面側外層部を有する。側面側外層部は、第1の側面WS1側に位置する第1の側面側外層部WG1と、第2の側面WS2側に位置する第2の側面側外層部WG2と、を有する。第1の側面側外層部WG1は、対向電極部11Eと第1の側面WS1との間に位置する誘電体層20を含む部分である。すなわち、第1の側面側外層部WG1は、複数枚の誘電体層20の第1の側面WS1側の部分の集合体である。第2の側面側外層部WG2は、対向電極部11Eと第2の側面WS2との間に位置する誘電体層20を含む部分である。すなわち、第2の側面側外層部WG2は、複数枚の誘電体層20の第2の側面WS2側の部分の集合体である。図7、図8Aおよび図8Bには、第1の側面側外層部WG1および第2の側面側外層部WG2の幅方向Wの範囲が示されている。なお、第1の側面側外層部WG1および第2の側面側外層部WG2は、Wギャップまたはサイドギャップともいう。

[0053] 図6～図8Bに示すように、積層体10の第1の端面LS1および第2の端面LS2を結ぶ長さ方向Lの長さを l 、第1の側面WS1および第2の側面WS2を結ぶ幅方向Wの長さを w 、第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さを t としたとき、これらの寸法関係は、 $w > l > t$ となっている。これにより、内部電極層30の端面における引き出し部の幅を広くすることができる。また、第1の外部電極40Aと第2の外部電極40Bの間の距離を短くすることができるため、積層セラミックコンデンサ1のESLを減少させることができる。

[0054] 積層体10の第1の端面LS1および第2の端面LS2を結ぶ長さ方向Lの長さ l は、0.05mm以上0.7mm以下であることが好ましい。また、積層体10の第1の側面WS1および第2の側面WS2を結ぶ幅方向Wの

長さ w は、 0.15 mm 以上 1.5 mm 以下であることが好ましい。また、積層体10の第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さ t は、 $150\text{ }\mu\text{ m}$ 以下であることが好ましい。これにより、高密度実装が可能となる。また、積層体10の第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さ t は、 $100\text{ }\mu\text{ m}$ 以下であることが好ましく、 $50\text{ }\mu\text{ m}$ 以下であることがより好ましい。これにより、より高密度実装が可能となる。

[0055] なお、積層体10の l 、 w 、 t の各寸法は、以下の方法により測定される。

[0056] まず、積層体10の w 寸法が測定される。具体的には、積層セラミックコンデンサ1の長さ方向Lにおける真ん中の位置、すなわち、積層セラミックコンデンサ1の $L/2$ の位置において、積層体10の w 寸法が、マイクロメーターにより測定される。

[0057] 次に、積層体10の l 寸法および t 寸法が測定される。まず、 w 寸法を測定した積層セラミックコンデンサ1と同一の積層セラミックコンデンサ1が、積層セラミックコンデンサ1の幅方向Wにおける真ん中の位置、すなわち、積層セラミックコンデンサ1の $W/2$ の位置まで、LT面と平行となるように研磨される。そして、研磨により露出したLT断面が、マイクロスコープにより観察される。積層体10の l 寸法は、LT断面における、積層体10の高さ方向Tにおける真ん中の位置、すなわち積層体10の $t/2$ の位置において、マイクロスコープにより測定される。積層体10の t 寸法は、LT断面における、積層体10の長さ方向Lにおける真ん中の位置、すなわち積層体10の $l/2$ の位置において、マイクロスコープにより測定される。

[0058] 外部電極40は、第1の端面LS1側に配置された第1の外部電極40Aと、第2の端面LS2側に配置された第2の外部電極40Bと、を有する。

[0059] 第1の外部電極40Aは、第1の内部電極層31に接続されている。本実施形態の第1の外部電極40Aは、第1の端面LS1上に位置する第1面部40A1と、第1の主面TS1上の一部に位置する第2面部40A2と、第

2の主面TS2上の一部に位置する第3面部40A3と、第1の側面WS1上の一部に位置する第4面部40A4と、第2の側面WS2上の一部に位置する第5面部40A5と、を有する。なお、第1の外部電極40Aは、第1の主面TS1上の一部に位置する第2面部40A2および第2の主面TS2上の一部に位置する第3面部40A3の少なくともいずれか一方と、第1の端面LS1上に位置する第1面部40A1と、第1の側面WS1上の一部に位置する第4面部40A4と、第2の側面WS2上の一部に位置する第5面部40A5と、を有することが好ましい。

[0060] 第1面部40A1は、第1の端面LS1の全体を覆っており、第1の内部電極層31に接続される部分である。第2面部40A2および第3面部40A3のいずれかは、実装基板のランドに接続される部分である。

[0061] 第4面部40A4は、第1の側面WS1に露出する第1の引き出し部31Bおよび第2の引き出し部31Cに接続される部分である。第5面部40A5は、第2の側面WS2に露出する第1の引き出し部31Bおよび第3の引き出し部31Dに接続される部分である。このように、第1の引き出し部31B、第2の引き出し部31Cおよび第3の引き出し部31Dはいずれも、同一の外部電極である、第1の外部電極40Aに接続されている。

[0062] 第4面部40A4および第5面部40A5には、積層体10が露出する開口部Hが存在する。開口部Hは、周囲が外部電極40を構成する材料により囲まれている。開口部Hは、第4面部40A4および第5面部40A5の表面からへこむように形成された凹部であり、底部において積層体10の表面が露出している。

[0063] このような開口部Hが形成されることにより、第4面部40A4および第5面部40A5において、積層体10の長さ方向Lにおける開口部Hの両側に、はんだの濡れ上がり部としての、第2面部40A2と第3面部40A3とを高さ方向に連結する連結面が形成される。

[0064] 図2に示すように、第4面部40A4は、開口部Hの積層体10の長さ方向Lの中心側に、第2面部40A2と第3面部40A3とを高さ方向に連結

する第1連結面F1を有する。また、第4面部40A4は、開口部Hの第1の端面LS1側に、第2面部40A2と第3面部40A3とを高さ方向に連結する第2連結面F2を有する。第2連結面F2は、第1面部40A1と連結している。

[0065] 図3に示すように、第5面部40A5は、開口部Hの積層体10の長さ方向Lの中心側に、第2面部40A2と第3面部40A3とを高さ方向に連結する第3連結面F3を有する。また、第5面部40A5は、開口部Hの第1の端面LS1側に、第2面部40A2と第3面部40A3とを高さ方向に連結する第4連結面F4を有する。第4連結面F4は、第1面部40A1と連結している。

[0066] 第2の外部電極40Bは、第2の内部電極層32に接続されている。本実施形態の第2の外部電極40Bは、第2の端面LS2上に位置する第6面部40B1と、第1の主面TS1上の一部に位置する第7面部40B2と、第2の主面TS2上の一部に位置する第8面部40B3と、第1の側面WS1上の一部に位置する第9面部40B4と、第2の側面WS2上の一部に位置する第10面部40B5と、を有する。なお、第2の外部電極40Bは、第1の主面TS1上の一部に位置する第7面部40B2および第2の主面TS2上の一部に位置する第8面部40B3の少なくともいずれか一方と、第1の外部電極40Aと、第2の端面LS2上に位置する第6面部40B1と、第1の側面WS1上の一部に位置する第9面部40B4と、第2の側面WS2上の一部に位置する第10面部40B5と、を有することが好ましい。

[0067] 第6面部40B1は、第2の端面LS2の全体を覆っており、第2の内部電極層32に接続される部分である。第7面部40B2および第8面部40B3のいずれかは、実装基板のランドに接続される部分である。

[0068] 第9面部40B4は、第1の側面WS1に露出する第4の引き出し部32Bおよび第5の引き出し部32Cに接続される部分である。第10面部40B5は、第2の側面WS2に露出する第4の引き出し部32Bおよび第6の引き出し部32Dに接続される部分である。このように、第4の引き出し部

32B、第5の引き出し部32Cおよび第6の引き出し部32Dはいずれも、同一の外部電極である、第2の外部電極40Bに接続されている。

[0069] 第9面部40B4および第10面部40B5には、積層体10が露出する開口部Hが存在する。開口部Hは、周囲が外部電極40を構成する材料により囲まれている。開口部Hは、第9面部40B4および第10面部40B5の表面からへこむように形成された凹部であり、底部において積層体10の表面が露出している。

[0070] このような開口部Hが形成されることにより、第9面部40B4および第10面部40B5において、積層体10の長さ方向Lにおける開口部Hの両側に、はんだの濡れ上がり部としての、第7面部40B2と第8面部40B3とを高さ方向に連結する連結面が形成される。

[0071] 図2に示すように、第9面部40B4は、開口部Hの積層体10の長さ方向Lの中心側に、第7面部40B2と第8面部40B3とを高さ方向に連結する第5連結面F5を有する。また、第9面部40B4は、開口部Hの第2の端面LS2側に、第7面部40B2と第8面部40B3とを高さ方向に連結する第6連結面F6を有する。第6連結面F6は、第6面部40B1と連結している。

[0072] 図3に示すように、第10面部40B5は、開口部Hの積層体10の長さ方向Lの中心側に、第7面部40B2と第8面部40B3とを高さ方向に連結する第7連結面F7を有する。また、第10面部40B5は、開口部Hの第2の端面LS2側に、第7面部40B2と第8面部40B3とを高さ方向に連結する第8連結面F8を有する。第8連結面F8は、第6面部40B1と連結している。

[0073] これにより、積層体10の第1の側面WS1および第2の側面WS2に対するはんだの濡れ上がり量を適切にすることができる。また、開口部Hを囲うようにしてはんだが濡れ上がるため、開口部Hを境として、はんだが2つに分かれて濡れ上がるようにすることができる。そのため、積層セラミックコンデンサ1の実装面側において、はんだによって応力がかかる点を、2点

に分散させることができる。よって、セルフアライメント効果が向上し、積層セラミックコンデンサ1の実装性が安定する。その結果、積層セラミックコンデンサ1が傾くことを防止することができる。また、積層セラミックコンデンサ1が回転して、ショート不良に至ることを抑制することができる。

[0074] なお、第4面部40A4、第5面部40A5、第9面部40B4、および第10面部40B5に設けられる開口部Hは、略同等の大きさに形成されることが好ましい。なお、開口部Hの形状は、特に限定されず、矩形状、多角形状、円形状、または楕円形状であることが好ましい。

[0075] 第4面部40A4および第5面部40A5に形成されている開口部Hは、第4面部40A4および第5面部40A5の高さ方向Tの中央部に配置されることが好ましい。第4面部40A4および第5面部40A5に形成されている開口部Hは、第4面部40A4および第5面部40A5の長さ方向Lの中央部、もしくは第4面部40A4および第5面部40A5の長さ方向Lの中央部よりも第1の端面LS1側に偏って配置されていることが好ましい。第4面部40A4および第5面部40A5に形成されている開口部Hを、第1の端面LS1側に偏って配置することにより、はんだ濡れ上がり部としての第1連結面F1および第3連結面F3の面積を確保することができる。

[0076] 第9面部40B4および第10面部40B5に形成されている開口部Hは、第9面部40B4および第10面部40B5の高さ方向Tの中央部に配置されることが好ましい。第9面部40B4および第10面部40B5に形成されている開口部Hは、第9面部40B4および第10面部40B5の長さ方向Lの中央部、もしくは第9面部40B4および第10面部40B5の長さ方向Lの中央部よりも第2の端面LS2側に偏って配置されていることが好ましい。第9面部40B4および第10面部40B5に形成されている開口部Hを、第2の端面LS2側に偏って配置することにより、はんだ濡れ上がり部としての第5連結面F5および第7連結面F7の面積を確保することができる。

[0077] これにより、開口部Hを境として、はんだが2つに分かれて濡れ上がりや

すくなる。そのため、積層セラミックコンデンサ1の実装面側において、はんだによって応力がかかる点を、2点に分散させることができる。よって、セルフアライメント効果が向上し、積層セラミックコンデンサ1の実装性が安定する。その結果、積層セラミックコンデンサが傾くことを防止することができる。また、積層セラミックコンデンサ1が回転して、ショート不良に至ることを抑制することができる。

[0078] 第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5に形成されている開口部Hの面積はそれぞれ、第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5のそれぞれの面積に対して、1%以上50%以下であることが好ましい。より好ましくは、この開口部Hの面積率は、3%以上20%以下である。これにより、セルフアライメント効果が発揮され、積層セラミックコンデンサ1が傾くことや、回転してショート不良に至ることを抑制する抑制効果をより顕著なものにすることができる。

[0079] 上述の開口部Hの面積率は、光学顕微鏡を用いて測定される。以下、図2を参照して、第4面部40A4における開口部Hの面積率の測定方法を説明する。なお、以下では、第4面部40A4の領域および開口部Hが共に略矩形形状である場合の測定方法について説明する。

[0080] まず、積層セラミックコンデンサ1の第1の側面WS1に位置する第1の外部電極40Aが、顕微鏡の視野内に入る倍率となるように視野が設定される。次に、開口部Hの輪郭が識別され、開口部Hの長さ方向Lの寸法d1および高さ方向Tの寸法d2が測定される。その後、 $A1 = d1 \times d2$ の計算式により開口部Hの面積A1が算出される。次に、第1の外部電極40Aの輪郭が識別され、第4面部40A4の長さ方向Lの寸法D1および高さ方向Tの寸法D2が測定される。その後、 $A2 = D1 \times D2$ の計算式により、第4面部40A4の面積A2が算出される。さらにその後、第4面部40A4の面積に対する、第4面部40A4に位置する開口部Hの面積率が、 $A1 \div A2$ の計算式により算出される。

- [0081] 以上、開口部Hの面積率の測定方法の代表として、第4面部40A4に位置する開口部Hの面積率の測定方法を説明したが、第5面部40A5、第9面部40B4および第10面部40B5に位置する開口部Hの面積率も同様の測定方法により算出される。第4面部40A4、第5面部40A5、第9面部40B4および第10面部40B5に位置する開口部Hの面積率がそれぞれ算出され、その後、4つの開口部Hの面積率の平均値が、積層セラミックコンデンサ1における、開口部Hの面積率として算出される。
- [0082] 本実施形態の積層セラミックコンデンサ1においては、長さ方向Lに配置される第1の外部電極40Aの第4面部40A4および第2の外部電極40Bの第9面部40B4ならびに長さ方向Lに配置される第1の外部電極40Aの第5面部40A5および第2の外部電極40Bの第10面部40B5は、互いに対向する長さ方向Lの中心の側から当該長さ方向Lに突出する凸部Kをそれぞれ有している。
- [0083] 図2に示すように、積層体10の第1の側面WS1に配置された第4面部40A4および第9面部40B4は、矩形状の凸部Kを有している。第4面部40A4の凸部Kは、第9面部40B4に対向する長さ方向中心側の辺K4から、第9面部40B4に向かって長さ方向Lに突出している。第9面部40B4の凸部Kは、第4面部40A4に対向する長さ方向中心側の辺K9から、第4面部40A4に向かって長さ方向Lに突出している。
- [0084] 図9Aに示すように、第4面部40A4の凸部Kは、積層体10の第1の側面WS1に露出する複数の第2の引き出し部31Cのうちの、高さ方向Tの中央部に位置する複数の第2の引き出し部31Cの各突出部31C1を覆っている。そして第4面部40A4の凸部Kは、それら複数の突出部31C1に接続している。また、第9面部40B4の凸部Kは、積層体10の第1の側面WS1に露出する複数の第5の引き出し部32Cのうちの、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cの各突出部32C1を覆っている。そして第9面部40B4の凸部Kは、それら複数の突出部32C1に接続している。

[0085] 図3に示すように、積層体10の第2の側面WS2に配置された第5面部40A5および第10面部40B5は、矩形状の凸部Kを有している。第5面部40A5の凸部Kは、第10面部40B5に対向する長さ方向中心側の辺K5から、第10面部40B5に向かって長さ方向Lに突出している。第10面部40B5の凸部Kは、第5面部40A5に対向する長さ方向中心側の辺K10から、第5面部40A5に向かって長さ方向Lに突出している。

[0086] 図9Bに示すように、第5面部40A5の凸部Kは、積層体10の第2の側面WS2に露出する複数の第3の引き出し部31Dのうちの、高さ方向Tの中央部に位置する複数の第2の引き出し部31Dの各突出部31D1を覆っている。そして第5面部40A5の凸部Kは、それら複数の突出部31D1に接続している。また、第10面部40B5の凸部Kは、積層体10の第2の側面WS2に露出する複数の第6の引き出し部32Dのうちの、高さ方向Tの中央部に位置する複数の第6の引き出し部32Dの各突出部32D1を覆っている。そして第10面部40B5の凸部Kは、それら複数の突出部32D1に接続している。

[0087] このように、本実施形態の積層セラミックコンデンサ1は、各外部電極の、第1の側面WS1上に配置される第4面部40A4および第9面部40B4ならびに第2の側面WS2上に配置される第5面部40A5および第10面部40B5のそれぞれが、凸部Kを有している。これにより、基板に対して各外部電極をはんだ付けして実装する際に、はんだの量が必要以上に多くなってしまった場合、はんだの過剰分を凸部Kに流動させることができるため、外部電極と基板との間のはんだの量を実装に適した量にすることが可能となる。すなわち、凸部Kは、はんだのいわば逃げ道となり、過剰なはんだが凸部Kにトラップされる。その結果、積層セラミックコンデンサ1の実装性を安定させることができるという効果が得られる。

[0088] 第4面部40A4の凸部Kは、第4面部40A4の高さ方向Tの中央部に配置されていることが好ましい。第5面部40A5の凸部Kは、第5面部40A5の高さ方向Tの中央部に配置されていることが好ましい。第9面部4

0 B 4 の凸部 K は、第 9 面部 4 0 B 4 の高さ方向 T の中央部に配置されていることが好ましい。第 1 0 面部 4 0 B 5 の凸部 K は、第 1 0 面部 4 0 B 5 の高さ方向 T の中央部に配置されていることが好ましい。これにより、上述した効果をより顕著なものにすることができる。

[0089] 各凸部 K の高さ方向 T の寸法は、当該高さ方向 T の寸法の 1 0 % 以上 9 0 % 以下であることが好ましい。これにより、上述した効果をより顕著なものにすることができる。

[0090] 各凸部 K の長さ方向 L の寸法は、当該長さ方向 L の寸法の 2 % 以上 1 8 % 以下であることが好ましい。これにより、上述した効果をより顕著なものにすることができる。

[0091] 第 4 面部 4 0 A 4 および第 5 面部 4 0 A 5 に配置されている各凸部 K の高さ方向 T の寸法は、積層体 1 0 の第 1 の側面 W S 1 から観察した際の、第 4 面部 4 0 A 4 および第 5 面部 4 0 A 5 に配置されている各凸部 K における長さ方向 L の $1/2$ の位置において、マイクロスコープにより測定される。同様にして、第 9 面部 4 0 B 4 および第 1 0 面部 4 0 B 5 に配置されている各凸部 K の高さ方向 T の寸法は、積層体 1 0 の第 2 の側面 W S 2 から観察した際の、第 9 面部 4 0 B 4 および第 1 0 面部 4 0 B 5 に配置されている各凸部 K における長さ方向 L の $1/2$ の位置において、マイクロスコープにより測定される。

[0092] 第 4 面部 4 0 A 4 および第 5 面部 4 0 A 5 に配置されている各凸部 K の長さ方向 L の寸法は、積層体 1 0 の第 1 の側面 W S 1 から観察した際の、第 4 面部 4 0 A 4 および第 5 面部 4 0 A 5 に配置されている各凸部 K における高さ方向 T の $1/2$ の位置において、マイクロスコープにより測定される。同様にして、第 9 面部 4 0 B 4 および第 1 0 面部 4 0 B 5 に配置されている各凸部 K の長さ方向 L の寸法は、積層体 1 0 の第 2 の側面 W S 2 から観察した際の、第 9 面部 4 0 B 4 および第 1 0 面部 4 0 B 5 に配置されている各凸部 K における高さ方向 T の $1/2$ の位置において、マイクロスコープにより測定される。

- [0093] なお、各凸部Kの形状は矩形状に限られず、例えば多角形状、半円弧形状、半楕円形状等であってもよい。
- [0094] 図10Aに示すように、第1の外部電極40Aは、第1の下地電極層50Aと、第1の下地電極層50A上に配置された第1のめっき層60Aと、を有する。第1の下地電極層50Aは、積層体10の表面に配置される。第1のめっき層60Aは、第1の下地電極層50Aを覆うように配置される。
- [0095] 図10Bに示すように、第2の外部電極40Bは、第2の下地電極層50Bと、第2の下地電極層50B上に配置された第2のめっき層60Bと、を有する。第2の下地電極層50Bは、積層体10の表面に配置される。第2のめっき層60Bは、第2の下地電極層50Bを覆うように配置される。
- [0096] 第1の下地電極層50Aおよび第2の下地電極層50Bは、焼き付け層、薄膜層等から選ばれる少なくとも1つを含む。
- [0097] 第1の下地電極層50Aおよび第2の下地電極層50Bは、本実施形態においては、薄膜層である。薄膜層は、金属粒子が堆積された層である。
- [0098] 第1の下地電極層50Aおよび第2の下地電極層50Bを薄膜層で形成する場合は、スパッタリング法または蒸着法等の薄膜形成法により形成されていることが好ましい。ここではスパッタリング法で形成されたスパッタ電極について説明する。
- [0099] 本実施形態の第1の下地電極層50Aは、スパッタ電極により形成された第1の薄膜層51Aにより構成されている。第2の下地電極層50Bは、スパッタ電極により形成された第2の薄膜層51Bにより構成されている。スパッタ電極で下地電極層を形成する場合は、積層体10の第1の主面TS1および第2の主面TS2に直接スパッタ電極を形成することが好ましい。
- [0100] 図6、図10Aに示すように、スパッタ電極で形成される第1の薄膜層51Aは、第1の主面TS1上の第1の端面LS1側の一部および第2の主面TS2上の第1の端面LS1側の一部に配置されている。具体的には、第1の薄膜層51Aは、第1の主面TS1上における、図4に示される第1の外部電極40Aに覆われている部分に配置されていることが好ましい。第1の

薄膜層51Aは、第2の主面TS2上における、図5に示される第1の外部電極40Aに覆われている部分に配置されていることが好ましい。

[0101] さらに、図9Aに示すように、第1の薄膜層51Aは、第1の主面TS1上の一部と、第1の主面TS1上の一部から連続して第1の側面WS1の一部に若干周りむように配置されていることが好ましい。第1の薄膜層51Aは、第2の主面TS2上の一部と、第2の主面TS2上の一部から連続して第1の側面WS1の一部に若干周りむように配置されていることが好ましい。

[0102] また、図9Bに示すように、第1の側面WS1側と同様に、第2の側面WS2側においても、第1の薄膜層51Aは、第1の主面TS1上の一部と、第1の主面TS1上の一部から連続して第2の側面WS2の一部に若干周りむように配置されていることが好ましい。また、第1の薄膜層51Aは、第2の主面TS2上の一部と、第2の主面TS2上の一部から連続して第2の側面WS2の一部に若干周りむように配置されていることが好ましい。

[0103] 例えば、積層体10の稜線部に丸み等の面取り部が形成されている場合、第1の薄膜層51Aは、第1の主面TS1の第1の端面LS1側の一部と、その部分に連続する第1の側面WS1側の面取り部および第2の側面WS2側の面取り部に配置されていることが好ましい。第1の薄膜層51Aは、第2の主面TS2の第1の端面LS1側の一部と、その部分に連続する第1の側面WS1側の面取り部および第2の側面WS2側の面取り部に配置されていることが好ましい。これであれば、スパッタリング法等による薄膜層の形成が容易である。

[0104] 以上の方法により、めっき層を形成する際に、第1の側面WS1上の一部および第2の側面WS2上の一部に配置される第1の薄膜層51Aと、第1の側面WS1上および第2の側面WS2上に露出している内部電極層30との距離をコントロールすることができる。よって、第1の側面WS1上の一部および第2の側面WS2上の一部に配置される第1の薄膜層51Aと、第1の側面WS1上および第2の側面WS2上に露出している内部電極層30

との間の積層体10の表面上においても、めっき層を堆積させることが容易となる。

[0105] 図6、図10Bに示すように、スパッタ電極で形成される第2の薄膜層51Bは、第1の主面TS1上の第2の端面LS2側の一部および第2の主面TS2上の第2の端面LS2側の一部に配置されている。具体的には、第2の薄膜層51Bは、第1の主面TS1上における、図4に示される第2の外部電極40Bに覆われている部分に配置されていることが好ましい。第2の薄膜層51Bは、第2の主面TS2上における、図5に示される第2の外部電極40Bに覆われている部分に配置されていることが好ましい。

[0106] さらに、図9Aに示すように、第2の薄膜層51Bは、第1の主面TS1上の一部と、第1の主面TS1上の一部から連続して第1の側面WS1の一部に若干周りむように配置されていることが好ましい。第2の薄膜層51Bは、第2の主面TS2上の一部と、第2の主面TS2上の一部から連続して第1の側面WS1の一部に若干周りむように配置されていることが好ましい。

[0107] また、図9Bに示すように、第1の側面WS1側と同様に、第2の側面WS2側においても、第2の薄膜層51Bは、第1の主面TS1上の一部と、第1の主面TS1上の一部から連続して第2の側面WS2の一部に若干周りむように配置されていることが好ましい。また、第2の薄膜層51Bは、第2の主面TS2上の一部と、第2の主面TS2上の一部から連続して第2の側面WS2の一部に若干周りむように配置されていることが好ましい。

[0108] 例えば、積層体10の稜線部に丸み等の面取り部が形成されている場合、第2の薄膜層51Bは、第1の主面TS1の第2の端面LS2側の一部と、その部分に連続する第1の側面WS1側の面取り部および第2の側面WS2側の面取り部に配置されていることが好ましい。第2の薄膜層51Bは、第2の主面TS2の第2の端面LS2側の一部と、その部分に連続する第1の側面WS1側の面取り部および第2の側面WS2側の面取り部に配置されていることが好ましい。これであれば、スパッタリング法等による薄膜層の形

成が容易である。

- [0109] 高さ方向Tの中央部に位置する第2の引き出し部31Cおよび第3の引き出し部31Dにおける長さ方向中心側は、第1の主面TS1に配置されている第1の薄膜層51Aの長さ方向中心側の端部および第2の主面TS2に配置されている第1の薄膜層51Aの長さ方向中心側の端部よりも長さ方向中心側に突出している。また、これと同様に、高さ方向Tの中央部に位置する第5の引き出し部32Cおよび第6の引き出し部32Dにおける長さ方向中心側は、第1の主面TS1に配置されている第2の薄膜層51Bの長さ方向中心側の端部および第2の主面TS2に配置されている第2の薄膜層51Bの長さ方向中心側の端部よりも長さ方向中心側に突出している。
- [0110] 以上の方法により、めっき層を形成する際に、第1の側面WS1上の一部および第2の側面WS2上の一部に配置される第2の薄膜層51Bと、第1の側面WS1上および第2の側面WS2上に露出している内部電極層30との距離をコントロールすることができる。よって、第1の側面WS1上の一部および第2の側面WS2上の一部に配置される第2の薄膜層51Bと、第1の側面WS1上および第2の側面WS2上に露出している内部電極層30との間の積層体10の表面上においても、めっき層を堆積させることが容易となる。
- [0111] スパッタ電極により形成される薄膜層は、例えば、Mg、Al、Ti、W、Cr、Cu、Ni、Ag、Co、MoおよびVからなる群より選ばれる少なくとも1種の金属を含むことが好ましい。これにより、積層体10に対する外部電極40の固着力を高めることができる。薄膜層は、単層であってもよいし、複数層によって形成されていてもよい。例えば、Ni-Cr合金の層と、Ni-Cu合金の層の2層構造によって形成されていてもよい。
- [0112] スパッタ電極の第1の主面TS1と第2の主面TS2を結ぶ積層方向の厚みは、50nm以上400nm以下であることが好ましく、50nm以上130nm以下であることがさらに好ましい。
- [0113] 積層体10の第1の主面TS1および第2の主面TS2に直接スパッタ電

極を形成して下地電極層を配置する場合は、第1の端面LS1上および第2の端面LS2上には焼き付け層の下地電極層を形成するか、下地電極層を形成せずに後述するめっき層を直接形成することが好ましい。本実施形態においては、第1の端面LS1上および第2の端面LS2上には下地電極層を形成せずに後述するめっき層を直接形成している。

[0114] なお、変形例で後述するように、第1の下地電極層50Aおよび第2の下地電極層50Bは、焼き付け層であってもよい。焼き付け層は、金属成分と、ガラス成分もしくはセラミック成分のどちらか一方を含んでいるか、その両方を含んでいることが好ましい。金属成分は、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。ガラス成分は、例えば、B、Si、Ba、Mg、Al、Li等から選ばれる少なくとも1つを含む。セラミック成分は、誘電体層20と同種のセラミック材料を用いてもよいし、異なる種のセラミック材料を用いてもよい。セラミック成分は、例えば、BaTiO₃、CaTiO₃、(Ba, Ca)TiO₃、SrTiO₃、CaZrO₃等から選ばれる少なくとも1つを含む。

[0115] 焼き付け層は、例えば、ガラスおよび金属を含む導電性ペーストを積層体10に塗布して焼き付けたものである。焼き付け層は、内部電極層および誘電体層を有する積層チップと積層チップに塗布した導電性ペーストとを同時焼成したものでもよく、内部電極層および誘電体層を有する積層チップを焼成して積層体10を得た後に積層体10に導電性ペーストを塗布して焼き付けたものでもよい。なお、内部電極層および誘電体層を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、焼き付け層は、ガラス成分の代わりにセラミック材料を添加したものを焼き付けて形成することが好ましい。この場合、添加するセラミック材料として、誘電体層20と同種のセラミック材料を用いることが特に好ましい。焼き付け層は、複数層であってもよい。

[0116] なお、第1の下地電極層50Aおよび第2の下地電極層50Bを設けずに、積層体10上に後述の第1のめっき層60Aおよび第2のめっき層60B

が直接配置される構成であってもよい。

[0117] 第1のめっき層60Aは、第1の下地電極層50Aを覆うように配置されている。

[0118] 第2のめっき層60Bは、第2の下地電極層50Bを覆うように配置されている。

[0119] 第1のめっき層60Aおよび第2のめっき層60Bは、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含んでいてもよい。第1のめっき層60Aおよび第2のめっき層60Bは、それぞれ複数層により形成されていてもよい。

[0120] 下地電極層が薄膜層で形成されている場合には、めっき層は、下層めっき層としてのCuめっき層と、中層めっき層としてのNiめっき層と、上層めっき層としてのSnめっき層の3層構造で形成されていることが好ましい。すなわち、第1のめっき層60Aは、第1のCuめっき層61Aと、第1のNiめっき層62Aと、第1のSnめっき層63Aと、を有することが好ましい。第2のめっき層60Bは、第2のCuめっき層61Bと、第2のNiめっき層62Bと、第2のSnめっき層63Bと、を有することが好ましい。ただし、第1のめっき層60Aおよび第2のめっき層60Bは、3層構造に限らず、その他の層構成であってもよい。

[0121] 第1のCuめっき層61Aは、積層体10の第1の端面LS1と、積層体10の第1の主面TS1および第2の主面TS2に配置された第1の下地電極層50Aとしての第1の薄膜層51Aと、を覆うように配置される。本実施形態においては、第1のCuめっき層61Aはさらに、積層体10の第1の側面WS1および第2の側面WS2における、内部電極層30が露出している部分を覆うように配置される。このとき、第1の薄膜層51Aと、積層体10の表面に露出している内部電極層30との間の隙間や、積層体10の表面に露出している複数の内部電極層30どうしの隙間は狭く形成されているため、これらの隙間の領域にもめっき層が堆積する。よって、第1の外部電極40Aの第4面部40A4および第5面部40A5には、上述の開口部

Hが形成される。

[0122] 第1のNiめっき層62Aは、第1のCuめっき層61Aを覆うように配置される。第1のSnめっき層63Aは、第1のNiめっき層62Aを覆うように配置される。本実施形態においては、第1のめっき層60Aは、第1の内部電極層31と直接電氣的に接続されている。

[0123] 第2のCuめっき層61Bは、積層体10の第2の端面LS2と、積層体10の第1の主面TS1および第2の主面TS2に配置された第2の下地電極層50Bとしての第2の薄膜層51Bと、を覆うように配置される。本実施形態においては、第2のCuめっき層61Bはさらに、積層体10の第1の側面WS1および第2の側面WS2における、内部電極層30が露出している部分を覆うように配置される。このとき、第2の薄膜層51Bと、積層体10の表面に露出している内部電極層30との間の隙間や、積層体10の表面に露出している複数の内部電極層30どうしの隙間は狭く形成されているため、これらの隙間の領域にもめっき層が堆積する。よって、第2の外部電極40Bの第9面部40B4および第10面部40B5には、上述の開口部Hが形成される。

[0124] 第2のNiめっき層62Bは、第2のCuめっき層61Bを覆うように配置される。第2のSnめっき層63Bは、第2のNiめっき層62Bを覆うように配置される。本実施形態においては、第2のめっき層60Bは、第2の内部電極層32と直接電氣的に接続されている。

[0125] 下地電極層を覆うようにCuめっき層およびNiめっき層からなるめっき層を設けることにより、積層セラミックコンデンサ1を実装する際のはんだによって下地電極層が侵食されることを防止する。また、Niめっき層の表面に、さらに、Snめっき層を設けることにより、積層セラミックコンデンサ1を実装する際のはんだの濡れ性を向上させる。これにより、積層セラミックコンデンサ1を容易に実装することができる。

[0126] めっき層一層あたりの厚みは、 $2\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。すなわち、第1のCuめっき層61A、第1のNiめっき層62A、

第1のSnめっき層63A、第2のCuめっき層61B、第2のNiめっき層62B、および第2のSnめっき層63Bそれぞれの平均厚みは、 $2\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。より具体的には、第1のCuめっき層61Aおよび第2のCuめっき層61Bそれぞれの平均厚みは、 $5\mu\text{m}$ 以上 $8\mu\text{m}$ 以下であることがより好ましい。また、第1のNiめっき層62A、第1のSnめっき層63A、第2のNiめっき層62B、および第2のSnめっき層63Bそれぞれの平均厚みは、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下であることがより好ましい。

[0127] なお、積層体10と外部電極40を含む積層セラミックコンデンサ1の第1の端面LS1と第2の端面LS2を結ぶ長さ方向の寸法をL寸法とすると、L寸法は、 0.1mm 以上 0.8mm 以下であることが好ましい。また、積層セラミックコンデンサ1の第1の側面WS1と第2の側面WS2を結ぶ幅方向の寸法をW寸法とすると、W寸法は、 0.2mm 以上 1.6mm 以下であることが好ましい。また、積層セラミックコンデンサ1の第1の主面TS1および第2の主面TS2を結ぶ高さ方向の寸法をT寸法とすると、T寸法は、 0.05mm 以上 0.2mm 以下であることが好ましい。本実施形態の積層セラミックコンデンサ1の長さ方向のL寸法は、積層セラミックコンデンサ1の幅方向のW寸法よりも小さい。なお、本実施形態においては、積層セラミックコンデンサ1の第1の主面TS1および第2の主面TS2を結ぶ高さ方向は、誘電体層20および内部電極層30の積層方向である。

[0128] 以上のように、本実施形態の積層セラミックコンデンサ1は、LW逆転タイプの積層セラミックコンデンサにおいて、第1の外部電極40Aの第4面部40A4および第5面部40A5ならびに第2の外部電極40Bの第9面部40B4および第10面部40B5に、積層体10の表面が露出する開口部Hが形成されている。これにより、セルフアライメント効果の悪化を抑制し、安定した実装を行うことができる。なお、セルフアライメント効果とは、はんだ付けに際して、溶融したはんだにその表面積が小さくなるような力、すなわち表面張力が作用することにより、溶融したはんだによって支持さ

れた実装の対象となる電子素子が移動することで、その位置決めが行なわれる効果のことである。このセルフアライメント効果が得られることにより、実装時の位置ずれを防止することができる。

[0129] また、本実施形態の積層セラミックコンデンサ1は、LW逆転タイプの積層セラミックコンデンサにおいて、第1の外部電極40Aの第4面部40A4および第5面部40A5ならびに第2の外部電極40Bの第9面部40B4および第10面部40B5に、長さ方向Lの中心側に突出する凸部Kを有している。これにより、基板のランドに対して各外部電極をはんだ付けして実装する際に、はんだの量が必要以上に多くなってしまった場合、はんだの過剰分が凸部Kに流動することにより、第1の外部電極40Aおよび第2の外部電極40Bとランドとの間のはんだの量を実装に適した量にすることが可能となる。その結果、積層セラミックコンデンサ1の実装性を安定させることができる。

[0130] 以下、本実施形態の積層セラミックコンデンサ1の外部電極40の層構成の変形例について説明する。なお、以下の説明において、上記実施形態と同じ構成については、同じ符号を付し、また詳細な説明を省略する。図11Aおよび図11Bは、本実施形態の積層セラミックコンデンサ1の外部電極40の層構成の変形例を示す断面図であり、図10Aおよび図10Bに対応する図である。

[0131] 本変形例においては、外部電極40の構成が、上記実施形態とは異なる。

[0132] 第1の外部電極40Aは、第1の下地電極層50Aと、第1のめっき層60Aを有する。本変形例の第1の下地電極層50Aは、第1の焼き付け層52Aにより構成される。本変形例の第1のめっき層60Aは、第1のNiめっき層62Aと、第1のSnめっき層63Aを有する。

[0133] 第2の外部電極40Bは、第2の下地電極層50Bと、第2のめっき層60Bを有する。本変形例の第2の下地電極層50Bは、第2の焼き付け層52Bにより構成される。本変形例の第2のめっき層60Bは、第2のNiめっき層62Bと、第2のSnめっき層63Bを有する。

- [0134] 本変形例においては、第1の下地電極層50Aは、例えば、上述の第1の外部電極40Aと同様に、第1の端面LS1上に位置する第1面部と、第1の主面TS1上の一部に位置する第2面部と、第2の主面TS2上の一部に位置する第3面部と、第1の側面WS1上の一部に位置する第4面部と、第2の側面WS2上の一部に位置する第5面部と、を有している。なお、第1の下地電極層50Aの第4面部および第5面部には、前述の開口部Hに対応する開口部が形成されている。なお、本変形例においては、第1の下地電極層50Aは、第1の内部電極層31に接続されている。
- [0135] 第1のNiめっき層62Aは、第1の下地電極層50Aを覆うように配置される。第1のSnめっき層63Aは、第1のNiめっき層62Aを覆うように配置される。
- [0136] 本変形例においては、第2の下地電極層50Bは、例えば、上述の第2の外部電極40Bと同様に、第2の端面LS2上に位置する第6面部と、第1の主面TS1上の一部に位置する第7面部と、第2の主面TS2上の一部に位置する第8面部と、第1の側面WS1上の一部に位置する第9面部と、第2の側面WS2上の一部に位置する第10面部と、を有している。なお、第2の下地電極層50Bの第9面部および第10面部には、前述の開口部Hに対応する開口部が形成されている。なお、本変形例においては、第2の下地電極層50Bは、第2の内部電極層32に接続されている。
- [0137] 第2のNiめっき層62Bは、第2の下地電極層50Bを覆うように配置される。第2のSnめっき層63Bは、第2のNiめっき層62Bを覆うように配置される。
- [0138] 第1の下地電極層50Aを構成する第1の焼き付け層52Aおよび第2の下地電極層50Bを構成する第2の焼き付け層52Bは、例えば、ガラスおよび金属を含む導電性ペーストを積層体に塗布して焼き付けたものであってもよい。なお、焼成前の積層チップと、積層チップに塗布した導電性ペーストとを同時に焼成する場合には、焼き付け層は、ガラス成分の代わりにセラミック材料を添加したものを焼き付けて形成することが好ましい。このとき

、添加するセラミック材料として、誘電体層 20 と同種のセラミック材料を用いることが特に好ましい。

[0139] 下地電極層が焼き付け層で形成されている場合には、第 1 のめっき層 60 A および第 2 のめっき層 60 B は、Ni めっき層の上に Sn めっき層が形成された 2 層構造であることが好ましい。その場合、Ni めっき層は、下地電極層が、積層セラミックコンデンサ 1 を実装する際のはんだによって侵食されることを防止する。また、Sn めっき層は、積層セラミックコンデンサ 1 を実装する際のはんだの濡れ性を向上させる。これにより、積層セラミックコンデンサ 1 の実装を容易にする。

[0140] なお、第 1 のめっき層 60 A および第 2 のめっき層 60 B は、2 層構造に限らず、上記実施形態と同様、Cu めっきを含む 3 層構造で形成されていてもよいし、その他の層構成であってもよい。

[0141] めっき層一層あたりの厚みは、 $2\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であることが好ましい。すなわち、第 1 の Ni めっき層 62 A、第 1 の Sn めっき層 63 A、第 2 の Ni めっき層 62 B、および第 2 の Sn めっき層 63 B それぞれの平均厚みは、 $2\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であることが好ましい。より具体的には、第 1 の Ni めっき層 62 A、第 1 の Sn めっき層 63 A、第 2 の Ni めっき層 62 B、および第 2 の Sn めっき層 63 B それぞれの平均厚みは、 $2\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下であることがより好ましい。

[0142] 次に、本実施形態の積層セラミックコンデンサ 1 の製造方法について説明する。

[0143] 誘電体層 20 用の誘電体シートおよび内部電極層 30 用の導電性ペーストが準備される。誘電体シートおよび内部電極用の導電性ペーストは、バインダおよび溶剤を含む。バインダおよび溶剤は、公知のものであってもよい。導電性材料からなるペーストは、例えば、金属粉末に有機バインダおよび有機溶剤が加えられたものである。

[0144] 誘電体シート上に、内部電極層 30 用の導電性ペーストが、例えば、スクリーン印刷やグラビア印刷などにより、本実施形態の内部電極層 30 の形状

になるようにパターン設計された印刷版を用いて印刷される。これにより、第1の内部電極層31のパターンが形成された誘電体シートおよび、第2の内部電極層32のパターンが形成された誘電体シートが準備される。ここで、第1の引き出し部31Bと、第2の引き出し部31Cおよび第3の引き出し部31Dとの間隔、第4の引き出し部32Bと、第5の引き出し部32Cおよび第6の引き出し部32Dとの間隔をコントロールすることによって、開口部Hの大きさを調整することができる。

[0145] 高さ方向Tの中央部に位置する複数の第2の引き出し部31Cおよび第3の引き出し部31Dの長さ方向Lの寸法が、高さ方向Tの中央部以外に位置する複数の第2の引き出し部31Cおよび第3の引き出し部31Dの長さ方向Lの寸法よりも長くなって突出部31C1および突出部31D1が形成されるように、第1の内部電極層31用の導電性ペーストを印刷する。これにより、第1の外部電極40Aを形成する際に、凸部Kを形成することができる。また、高さ方向Tの中央部に位置する複数の第5の引き出し部32Cおよび第6の引き出し部32Dの長さ方向Lの寸法が、高さ方向Tの中央部以外に位置する複数の第2の引き出し部32Cおよび第6の引き出し部32Dの長さ方向Lの寸法よりも長くなって突出部32C1および突出部32D1が形成されるように、第2の内部電極層32用の導電性ペーストを印刷する。これにより、第2の外部電極40Bを形成する際に、凸部Kを形成することができる。

[0146] なお、このときの凸部Kに対応する部分である上記突出部31C1、突出部31D1、突出部32C1および突出部32D1の長さ方向Lの寸法や高さ方向Tにおける位置を調整することで、凸部Kの長さ方向Lの寸法や高さ方向Tの位置をコントロールすることができる。

[0147] 内部電極層のパターンが印刷されていない誘電体シートが所定枚数積層されることにより、第1の主面TS1側の第1の主面側外層部12となる部分が形成される。その上に、第1の内部電極層31のパターンが印刷された誘電体シートおよび第2の内部電極層32のパターンが印刷された誘電体シ-

トが順次交互に積層されることにより、内層部 1 1 となる部分が形成される。この内層部 1 1 となる部分の上に、内部電極層のパターンが印刷されていない誘電体シートが所定枚数積層されることにより、第 2 の主面 T S 2 側の第 2 の主面側外層部 1 3 となる部分が形成される。これにより、積層シートが作製される。

[0148] 積層シートが静水圧プレスなどの手段により積層方向にプレスされることにより、積層ブロックが作製される。

[0149] 積層ブロックが所定のサイズにカットされることにより、積層チップが切り出される。このとき、バレル研磨などにより積層チップの角部および稜線部に丸みがつけられてもよい。

[0150] 積層チップが焼成されることにより、積層体 1 0 が作製される。焼成温度は、誘電体層 2 0 や内部電極層 3 0 の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0151] 本実施形態においては、下地電極層は、薄膜層により形成されている。下地電極層を薄膜層で形成する場合は、マスキングなどを行うことにより、積層体 1 0 の外部電極を形成したい部分に薄膜層が形成される。薄膜層は、スパッタリング法または蒸着法等の薄膜形成法により形成される。本実施形態においては、スパッタリング法により、薄膜層としてのスパッタ電極が形成される。

[0152] 図 1 2 ~ 図 1 4 は、本実施形態の積層セラミックコンデンサの製造工程における途中状態を示す図であり、積層体 1 0 に薄膜層が配置された後であって、めっき層が配置される前の状態を示す図である。図 1 2 は、積層体 1 0 に薄膜層としての第 1 の薄膜層 5 1 A および第 2 の薄膜層 5 1 B が配置された状態を示す図であって、図 6 の L T 断面に対応する図である。図 1 3 は、積層体 1 0 に薄膜層としての第 1 の薄膜層 5 1 A が配置された状態を示す図であって、図 7 の W T 断面に対応する図である。図 1 4 は、積層体 1 0 に第 1 の薄膜層 5 1 A および第 2 の薄膜層 5 1 B が配置された状態を示す図であって、図 9 A に対応する、積層体 1 0 の第 1 の側面 W S 1 の表面を示す図で

ある。

[0153] スパッタ電極で形成される第1の薄膜層51Aは、第1の主面TS1上の第1の端面LS1側の一部および第2の主面TS2上の第1の端面LS1側の一部に配置される。スパッタ電極で形成される第2の薄膜層51Bは、第1の主面TS1上の第2の端面LS2側の一部および第2の主面TS2上の第2の端面LS2側の一部に配置される。

[0154] 本実施形態においては、スパッタ電極で形成される薄膜層は、第1の主面TS1上の一部および第2の主面TS2上の一部と、第1の主面TS1上の一部および第2の主面TS2上の一部から連続して第1の側面WS1の一部、第2の側面WS2の一部に若干周りむように配置される。これにより、第1の側面WS1上の一部、第2の側面WS2上の一部に配置される薄膜層と、第1の側面WS1上および第2の側面WS2上に露出している内部電極層との距離をコントロールすることが可能となる。よって、第1の側面WS1上の一部、第2の側面WS2上の一部に配置される薄膜層と、第1の側面WS1上および第2の側面WS2上に露出している内部電極層との間の積層体10の表面上においても、めっき層を堆積させることが可能となる。

[0155] その後、薄膜層からなる下地電極層および積層体の表面上に、めっき層が形成される。本実施形態においては、めっき層として、Cuめっき層と、Niめっき層と、Snめっき層の3層のめっき層が形成される。

[0156] めっき層を形成するにあたっては、電解めっき法で形成する。めっき工法としては、バレルめっきを用いることが好ましい。

[0157] ここで、第1の側面WS1上の一部、第2の側面WS2上の一部にも回り込ませるように薄膜層を形成する場合、薄膜層と、積層体10の第1の側面WS1上および第2の側面WS2上に露出している内部電極層との距離をコントロールすることができる。よって、第1の側面WS1上の一部、第2の側面WS2上の一部に配置される薄膜層と、第1の側面WS1上および第2の側面WS2上に露出している内部電極層との間の積層体10の表面上においても、めっき層を堆積させることが容易となる。

[0158] また、めっき層は、積層体10の第1の側面WS1および第2の側面WS2における、内部電極層が露出している部分を覆うように配置される。このとき、薄膜層と、積層体10の表面に露出している内部電極層との間の隙間や、積層体10の表面に露出している複数の内部電極層どうしの隙間は狭く形成されているため、これらの隙間の領域にもめっき層が堆積する。これにより、本実施形態の開口部Hを除く部分に、めっき層が形成される。

[0159] なお、例えば、開口部Hの面積が小さい場合などにおいて、めっき層の形成のコントロールが難しい場合には、開口部を設ける箇所にマスキングを行って、めっき層を形成してもよい。これにより、より開口部Hを形成しやすくなる。

[0160] なお、下地電極層を焼き付け層で形成する場合は、積層体10の第1の端面LS1側において、積層体10の第1の端面LS1上に位置する第1面部と、第1の主面TS1上の一部に位置する第2面部と、第2の主面TS2上の一部に位置する第3面部と、第1の側面WS1上の一部に位置する第4面部と、第2の側面WS2上の一部に位置する第5面部とに、第1の下地電極層となる導電性ペーストが塗布される。また、積層体10の第2の端面LS2側において、積層体10の第2の端面LS2上に位置する第6面部と、第1の主面TS1上の一部に位置する第7面部と、第2の主面TS2上の一部に位置する第8面部と、第1の側面WS1上の一部に位置する第9面部と、第2の側面WS2上の一部に位置する第10面部とに、第2の下地電極層となる導電性ペーストが塗布される。

[0161] なお、開口部Hになる部分等、下地電極層を形成したくない部分には、あらかじめマスキングなどが行われる。マスキングを行った後、ガラス成分と金属とを含む導電性ペーストが、例えばディッピングやスクリーン印刷などの方法により、積層体10に塗布される。その後、焼き付け処理が行われ、下地電極層が形成される。この時の焼き付け処理の温度は、700℃以上900℃以下であることが好ましい。

[0162] なお、焼成前の積層チップと、積層チップに塗布した導電性ペーストとを

同時に焼成する場合には、焼き付け層は、ガラス成分の代わりにセラミック材料を添加したものを焼き付けて形成することが好ましい。このとき、添加するセラミック材料として、誘電体層20と同種のセラミック材料を用いることが特に好ましい。この場合は、焼成前の積層チップに対して、導電性ペーストを塗布し、積層チップと積層チップに塗布した導電性ペーストを同時に焼き付けて、焼き付け層が形成された積層体10を形成する。

[0163] その後、焼き付け層からなる下地電極層および積層体10の表面上に、めっき層が形成される。下地電極層を焼き付け層で形成する場合は、めっき層として、例えば、Niめっき層と、Snめっき層の2層のめっき層が形成される。めっき層を形成するにあたっては、電解めっき法で形成される。めっき工法としては、バレルめっきを用いることが好ましい。

[0164] なお、例えば、開口部Hの面積が小さい場合に、めっき層の形成のコントロールが難しい場合には、開口部Hを設ける箇所にマスキングを行って、めっき層を形成してもよい。これにより、より開口部Hを形成しやすくなる。

[0165] このような製造工程により、積層セラミックコンデンサ1が製造される。

[0166] なお、外部電極40の構成は、上述の構成に限らない。以下、本実施形態の積層セラミックコンデンサ1の外部電極40の配置位置の変形例について説明する。なお、以下の説明において、上記実施形態と同じ構成については、同じ符号を付し、また詳細な説明を省略する。図15は、本実施形態の積層セラミックコンデンサ1の外部電極40の配置位置の変形例を示す断面図であり、図1に対応する図である。

[0167] 本変形例においては、外部電極40の配置位置が、上記実施形態とは異なる。本変形例においては、第1の外部電極40Aおよび第2の外部電極40Bが、第1の主面TS1または第2の主面TS2のいずれか一方のみに配置されている。

[0168] 例えば、本変形例の第1の外部電極40Aは、第1の端面LS1上に位置する第1面部40A1と、第2の主面TS2上の一部に位置する第3面部40A3と、第1の側面WS1上の一部に位置する第4面部40A4と、第2

の側面WS 2上の一部に位置する第5面部40A5と、を有する。つまり、本変形例の第1の外部電極40Aは、第1の主面TS 1上には形成されていない。

[0169] 例えば、本変形例の第2の外部電極40Bは、第2の端面LS 2上に位置する第6面部40B1と、第2の主面TS 2上の一部に位置する第8面部40B3と、第1の側面WS 1上の一部に位置する第9面部40B4と、第2の側面WS 2上の一部に位置する第10面部40B5と、を有する。つまり、本変形例の第2の外部電極40Bは、第1の主面TS 1上には形成されていない。

[0170] そして、本変形例の第1の外部電極40Aの第4面部40A4および第5面部40A5ならびに第2の外部電極40Bの第9面部40B4および第10面部40B5には、上記実施形態と同様、積層体10の表面が露出する開口部Hが存在している。

[0171] このような構成によっても、セルフアライメント効果の悪化を抑制し、安定した実装を行うことができる。さらに、第1の主面TS 1または第2の主面TS 2のいずれか一方の主面に、第1の外部電極40Aおよび第2の外部電極40Bを配置しないことにより、積層セラミックコンデンサ1の高さ方向Tの寸法を低減させて、積層セラミックコンデンサ1のさらなる低背化を図ることができる。また、第1の主面TS 1または第2の主面TS 2のいずれか一方の主面に、第1の外部電極40Aおよび第2の外部電極40Bを配置しないことにより、外部電極40の厚みの分だけ積層体10の高さ寸法を確保することができる。よって、積層体10の有効層部の体積を増加させることが可能となり、積層セラミックコンデンサ1の高容量化を図ることができる。

[0172] 本実施形態の積層セラミックコンデンサ1によれば、以下の効果を奏する。

[0173] (1) 本実施形態の積層セラミックコンデンサ1は、複数の積層された誘電体層20と、誘電体層20上に積層された複数の内部電極層30とを有し

、高さ方向に相対する第1の主面TS1および第2の主面TS2と、高さ方向直交する長さ方向に相対する第1の端面LS1および第2の端面LS2と、高さ方向および長さ方向に直交する幅方向に相対する第1の側面WS1および第2の側面WS2を有する積層体10と、第1の端面LS1上に位置する第1面部40A1と、第1の主面TS1上の一部に位置する第2面部40A2および第2の主面TS2上の一部に位置する第3面部40A3の少なくともいずれか一方と、第1の側面WS1上の一部に位置する第4面部40A4と、第2の側面WS2上の一部に位置する第5面部40A5と、を有する第1の外部電極40Aと、第2の端面LS2上に位置する第6面部40B1と、第1の主面TS1上の一部に位置する第7面部40B2および第2の主面TS2上の一部に位置する第8面部40B3の少なくともいずれか一方と、第1の側面WS1上の一部に位置する第9面部40B4と、第2の側面WS2上の一部に位置する第10面部40B5と、を有する第2の外部電極40Bと、を有する積層セラミックコンデンサ1であって、積層体10の第1の端面LS1および第2の端面LS2を結ぶ長さ方向の長さを l 、第1の側面WS1および第2の側面WS2を結ぶ幅方向の長さを w 、第1の主面TS1および第2の主面TS2を結ぶ高さ方向の長さを t としたとき、 $w > l > t$ の寸法関係にあり、第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5には、積層体10の表面が露出する開口部Hが存在し、長さ方向 L に配置される第4面部40A4および第9面部40B4ならびに長さ方向 L に配置される第5面部40A5および第10面部40B5は、互いに対向する長さ方向中心側から当該長さ方向 L に突出する凸部Kをそれぞれ有する。これにより、セルフアライメント効果の悪化を抑制し、安定した実装を行うことができるLW逆転タイプの積層セラミックコンデンサを提供することができる。

[0174] (2) 本実施形態の積層セラミックコンデンサ1においては、凸部Kは、第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5の高さ方向 T の中央部に配置されている。これにより、

上述の効果をより顕著なものにすることができる。

[0175] (3) 本実施形態の積層セラミックコンデンサ1においては、凸部Kの高さ方向Tの寸法は、当該高さ方向Tの寸法の10%以上90%以下である。これにより、上述の効果をより顕著なものにすることができる。

[0176] (4) 本実施形態の積層セラミックコンデンサ1においては、凸部Kの長さ方向Lの寸法は、当該長さ方向Lの寸法の2%以上18%以下である。これにより、上述の効果をより顕著なものにすることができる。

(5) 本実施形態の積層セラミックコンデンサ1においては、内部電極層30は、第1の内部電極層31と第2の内部電極層32とを有し、第1の内部電極層31は、積層体10の内部に位置する第1の対向電極部31Aと、第1の対向電極部31Aに接続され、第1の端面LS1、第1の側面WS1の一部、および第2の側面WS2の一部に露出する第1の引き出し部31Bと、第1の引き出し部31Bの第1の側面WS1に引き出されている部分とは間隔をあけて、第1の対向電極部31Aに接続され、第1の側面WS1の一部に露出する第2の引き出し部31Cと、第1の引き出し部31Bの第2の側面WS2に引き出されている部分とは間隔をあけて、第1の対向電極部31Aに接続され、第2の側面WS2の一部に露出する第3の引き出し部31Dと、を有し、第2の内部電極層32は、積層体10の内部に位置する第2の対向電極部32Aと、第2の対向電極部32Aに接続され、第2の端面LS2、第1の側面WS1の一部、第2の側面WS2の一部に露出する第4の引き出し部32Bと、第4の引き出し部32Bの第1の側面WS1に引き出されている部分とは間隔をあけて、第2の対向電極部32Aに接続され、第1の側面WS1の一部に露出する第5の引き出し部32Cと、第4の引き出し部32Bの第2の側面WS2に引き出されている部分とは間隔をあけて、第2の対向電極部32Aに接続され、第2の側面WS2の一部に露出する第6の引き出し部32Dと、を有し、高さ方向Tの中央部に位置する第2の引き出し部31Cおよび第3の引き出し部31Dのそれぞれの長さ方向Lの寸法は、高さ方向Tの中央部以外に位置する第2の引き出し部31Cおよび

第3の引き出し部31Dのそれぞれの長さ方向Lの寸法よりも長く、高さ方向Tの中央部に位置する第5の引き出し部32Cおよび第6の引き出し部32Dのそれぞれの長さ方向Lの寸法は、高さ方向Tの中央部以外に位置する第5の引き出し部32Cおよび第6の引き出し部32Dのそれぞれの長さ方向Lの寸法よりも長い。これにより、長さ方向Lで互いに対向する第4面部40A4および第9面部40B4の長さ方向中心側から突出する凸部Kならびに長さ方向Lで互いに対向する第5面部40A5および第10面部40B5の長さ方向中心側から突出する凸部Kを容易に形成することができる。また、第1の内部電極層31の第2の引き出し部31Cと第2の外部電極40Bの第5の引き出し部32Cとの距離、および第1の内部電極層31の第3の引き出し部31Dと第2の外部電極40Bの第6の引き出し部32Dとの距離を短くすることができるため、電流が流れる経路を短くすることが可能となる。よって、ESLを減少させることができる。

[0177] (6) 本実施形態の積層セラミックコンデンサ1においては、高さ方向Tの中央部に位置する第2の引き出し部31Cおよび第3の引き出し部31Dにおける長さ方向中心側は、第2面部40A2および第3面部40A3における長さ方向中心側の端部40A9よりも長さ方向中心側に突出しており、高さ方向Tの中央部に位置する第5の引き出し部32Cおよび第6の引き出し部32Dにおける長さ方向中心側は、第7面部40B2および第8面部40B3における長さ方向中心側の端部40B9よりも長さ方向中心側に突出している。これにより、第1の内部電極層31の第2の引き出し部31Cと第2の外部電極40Bの第5の引き出し部32Cとの距離、および第1の内部電極層31の第3の引き出し部31Dと第2の外部電極40Bの第6の引き出し部32Dとの距離を短くすることができるため、電流が流れる経路を短くすることが可能となる。よって、ESLを減少させることができる。

[0178] (7) 本実施形態の積層セラミックコンデンサ1の開口部Hは、第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5の高さ方向の中央部に配置されている。これにより、開口部Hを

困うようにして、適切にはんだが濡れ上がるようになる。

- [0179] (8) 本実施形態の積層セラミックコンデンサ1の、第4面部40A4および第5面部40A5に形成されている開口部Hは、第4面部40A4および第5面部40A5の長さ方向の中央部よりも第1の端面LS1側に偏って配置され、第9面部40B4および第10面部40B5に形成されている開口部Hは、第9面部40B4および第10面部40B5の長さ方向の中央部よりも第2の端面LS2側に偏って配置されている。これにより、開口部Hの両側に、はんだ濡れ上がる領域を適切に確保することができる。
- [0180] (9) 本実施形態の積層セラミックコンデンサ1の開口部Hの面積は、開口部Hが配置される第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5のそれぞれの面積に対して、3%以上20%以下である。これにより、セルフアライメント効果が発揮され、積層セラミックコンデンサ1が傾くことや、回転してショート不良に至ることを抑制する抑制効果をより顕著なものにすることができる。
- [0181] (10) 本実施形態の積層セラミックコンデンサ1の積層体10の第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さtは、150 μ m以下である。このような低背化された積層セラミックコンデンサにおいて、本実施形態の効果が適切に得られることができる。
- [0182] (11) 本実施形態の積層セラミックコンデンサ1の積層体10の第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さtは、100 μ m以下である。このような低背化された積層セラミックコンデンサにおいて、本実施形態の効果が適切に得られることができる。
- [0183] (12) 本実施形態の積層セラミックコンデンサ1の積層体10の第1の主面TS1および第2の主面TS2を結ぶ高さ方向Tの長さtは、50 μ m以下である。このような低背化された積層セラミックコンデンサにおいて、本実施形態の効果が適切に得られることができる。
- [0184] (13) 本実施形態の積層セラミックコンデンサ1は、第1の引き出し部31B、第2の引き出し部31Cおよび第3の引き出し部31Cはいずれも

、第1の外部電極40Aに接続されており、第4の引き出し部32B、第5の引き出し部32Cおよび第6の引き出し部32Dはいずれも、第2の外部電極に接続されている。これにより、第4面部40A4および第5面部40A5ならびに第9面部40B4および第10面部40B5に、積層体10の表面が露出する開口部Hを形成しつつ、ESLを減少させることができる。

[0185] (14) 本実施形態の積層セラミックコンデンサ1の第1の外部電極40Aは、第1の下地電極層50Aと、第1の下地電極層50A上に配置された第1のめっき層60Aと、を有し、第2の外部電極40Bは、第2の下地電極層50Bと、第2の下地電極層50B上に配置された第2のめっき層60Bと、を有し、第1の下地電極層50Aおよび第2の下地電極層50Bは、スパッタ電極である。これにより、外部電極の厚みを薄く形成することが可能となり、積層体10の厚みを確保しやすい構造となるため、容量の確保や積層体10の強度を確保することができる。

[0186] <実験例>

実験例のサンプルとして積層セラミックコンデンサを作製し、実装性の評価を行った。

[0187] まず、実施例のサンプルとして、上述の製造方法にしたがって、図1～図10Bに示す、下記仕様の積層セラミックコンデンサ1を作製した。また、比較例1のサンプルとして、図16Aに示す、外部電極140（第1の外部電極140A、第2の外部電極140B）に開口部Hおよび凸部Kが設けられていない積層セラミックコンデンサ101を作製した。また、比較例2のサンプルとして、図17Aに示す、外部電極240（第1の外部電極240A、第2の外部電極240B）に開口部Hおよび凸部Kが設けられておらず、外部電極の端縁から積層体10の端面側に向かって凹んだ凹部Rが設けられている積層セラミックコンデンサ201を作製した。

[0188] 図16Aは、比較例1の積層セラミックコンデンサ101の外観斜視図であり、図1に対応する図である。図16Bは、比較例1の積層セラミックコンデンサ101の第1の内部電極層131を示す図であり、図8Aに対応す

る図である。図16Cは、比較例1の積層セラミックコンデンサ101の第2の内部電極層132を示す図であり、図8Bに対応する図である。図17Aは、比較例2の積層セラミックコンデンサ201の外観斜視図であり、図1に対応する図である。図17Bは、比較例2の積層セラミックコンデンサ201の第1の内部電極層231を示す図であり、図8Aに対応する図である。図17Cは、比較例2の積層セラミックコンデンサ201の第2の内部電極層232を示す図であり、図8Bに対応する図である。なお、図16B、図16C、図17B、図17Cにおいては、外部電極が省略されている。

[0189] (実施例の構成)

- ・積層セラミックコンデンサの寸法： $L \times W \times T = 0.520 \text{ mm} \times 1.000 \text{ mm} \times 0.100 \text{ mm}$
- ・誘電体層のセラミック材料： BaTiO_3
- ・容量： $0.47 \mu\text{F}$
- ・定格電圧： 4 V
- ・内部電極層の材料： Ni
- ・内部電極層のパターン：図8A、図8Bに示すパターン
- ・外部電極の構造：
 - 下地電極層：薄膜層（スパッタ電極）
 - 下地電極層の材質： NiCr 層と NiCu 層の2層構造
 - 下地電極層の厚み：主面厚み $0.2 \mu\text{m}$ （第1の主面TS1、第2の主面TS2それぞれに配置されている下地電極層の厚み）
 - めっき層： Cu めっき、 Ni めっき、 Sn めっきの3層構造
 - Cu めっき厚み： $5.5 \mu\text{m}$
 - Ni めっき厚み： $2.5 \mu\text{m}$
 - Sn めっき厚み： $3.2 \mu\text{m}$
- 第4面部および第5面部ならびに第9面部および第10面部の積層体が露出する開口部Hの面積率： 13%
- 第4面部の凸部および第5面部の凸部の高さ方向の寸法：積層体の高

さ方向の寸法の50%

第9面部の凸部および第10面部の凸部の高さ方向の寸法：積層体の高さ方向の寸法の50%

第4面部の凸部および第5面部の凸部の長さ方向の寸法：積層体の長さ方向の寸法の10%

第9面部の凸部および第10面部の凸部の長さ方向の寸法：積層体の長さ方向の寸法の10%

[0190] (比較例1の構成)

・積層セラミックコンデンサの寸法： $L \times W \times T = 0.520 \text{ mm} \times 1.000 \text{ mm} \times 0.100 \text{ mm}$

・誘電体層のセラミック材料： BaTiO_3

・容量： $0.47 \mu\text{F}$

・定格電圧： 4 V

・内部電極層の材料： Ni

・内部電極層のパターン：図16B、図16Cに示すパターン

・外部電極の構造：

下地電極層：導電性ペーストを塗布して焼き付けた焼き付け層

下地電極層の材質： Ni

下地電極層の厚み：端面厚み $10 \mu\text{m}$ 、側面厚み $5 \mu\text{m}$ 、主面厚み $5 \mu\text{m}$ （第1の主面TS1、第2の主面TS2それぞれに配置されている下地電極層の厚み）

めっき層： Cu めっき、 Ni めっき、 Sn めっきの3層構造

Cu めっき厚み： $5.5 \mu\text{m}$

Ni めっき厚み： $2.5 \mu\text{m}$

Sn めっき厚み： $3.2 \mu\text{m}$

[0191] (比較例2の構成)

・積層セラミックコンデンサの寸法： $L \times W \times T = 0.520 \text{ mm} \times 1.000 \text{ mm} \times 0.100 \text{ mm}$

- ・誘電体層のセラミック材料：BaTiO₃
- ・容量：0.47 μF
- ・定格電圧：4 V
- ・内部電極層の材料：Ni
- ・内部電極層のパターン：図17B、図17Cに示すパターン
- ・外部電極の構造：

下地電極層：薄膜層（スパッタ電極）

下地電極層の材質：NiCr層とNiCu層の2層

下地電極層の厚み：主面厚み0.2 μm（第1の主面TS1、第2の主面TS2それぞれに配置されている下地電極層の厚み）

めっき層：Cuめっき、Niめっき、Snめっきの3層構造

Cuめっき厚み：5.5 μm

Niめっき厚み：2.5 μm

Snめっき厚み：3.2 μm

[0192] 次に、作製したサンプルを用いて、実装性の評価を行った。

[0193] （実装性評価）

開口部Hの面積率が13%の実施例のサンプルと、比較例1および比較例2のサンプルを用いて、実装性の評価を行った。それぞれ100個のサンプルを用いて評価を行った。表1に、実装性の評価結果を示す。

[0194] [表1]

	回転	ショート
実施例	0/100	0/100
比較例1	8/100	0/100
比較例2	15/100	2/100

[0195] 比較例1では、回転不良となったサンプルが8個発生した。はんだ量を多くして評価を行ったことにより、第1の外部電極と第2の外部電極へのはん

だの濡れ上がり方に差が生じ、回転不良が発生したと推測される。

[0196] 比較例2では、回転不良となったサンプルが15個発生した。そのうちの2個は、回転量が大きく、極性の異なるランドに1つの外部電極が跨るように実装され、ショート不良が発生した。比較例2のサンプルにおいては、下地電極層とその上に設けられるめっき層の形成位置や厚みのばらつきなどによって、積層体の第1の側面部および第2の側面部の稜線部を覆う外部電極の面積や形状にばらつきが生じ、第1の側面部および第2の側面部の外部電極に対するはんだの濡れ方に変化が生じやすく、はんだの濡れ上がり量に大きな差が生じてしまう場合があると考えられる。その結果、積層セラミックコンデンサに対するはんだの引っ張り応力の加わり方に差が生じて、回転不良が発生したと推測される。

[0197] 本実験例における評価方法を以下に示す。

[0198] (実装性の評価方法)

図18A～図18Dは、実装性の評価方法を説明するための図である。まず、図18Aに示すガラスエポキシ基板300上に配置されている2つのランド310A、310B上に、それぞれはんだ(はんだ組成Sn-3.0Ag-0.5Cu)が印刷される。このときのはんだ量は、通常の試験時よりも過酷な条件とするために、通常の試験の1.5倍の量とした。具体的には、それぞれのランドに対して150 μ mの厚みのはんだが印刷される。なお、図18Aに示すように、ランドの幅方向の長さは1.0mm、ランドの長さ方向の長さは0.3mm、2つのランド間の距離は0.2mmとした。

[0199] 次に、積層セラミックコンデンサが、はんだが塗布されたランド上に載置される。このとき、図18Bに示すように、ランドの幅方向の長さの中央において、ランドの幅方向に対して垂直となるように基準線を取り、その基準線から、ランドの幅方向に0.1mmずれた位置に、積層セラミックコンデンサの幅方向Wの中央が位置するように、積層セラミックコンデンサが載置される。なお、この時、図18Cに示されるランドと積層セラミックコンデンサのなす角 θ 、すなわち、2つのランドの対向する内側の辺のいずれか一

方と、積層セラミックコンデンサの外部電極の第1の端面LS1側の面または第2の端面LS2側の面との間のなす鋭角側の角度 θ が、 5° 以内となるように載置する。

[0200] その後、リフローはんだ付けにより、ランドに積層セラミックコンデンサの外部電極がはんだ接合され、積層セラミックコンデンサが基板に実装される。実装された後、積層セラミックコンデンサの実装状態を観察し、ランドと積層セラミックコンデンサのなす角 θ が 5° 以上傾いているものを回転不良とした。さらに、図18Dに示すように、積層セラミックコンデンサが大きく回転し、2つのランドに対して第1の外部電極もしくは第2の外部電極が跨るように実装されてしまったものをショート不良とした。

[0201] (開口部Hの面積率の算出方法)

開口部Hの面積率は、光学顕微鏡を用いて測定される。まず、積層セラミックコンデンサ1の第1の側面WS1に位置する第1の外部電極40Aが、顕微鏡の視野内に入る倍率となるように視野が設定される。次に、開口部Hの輪郭が識別され、開口部Hの長さ方向Lの寸法 d_1 および高さ方向Tの寸法 d_2 が測定される(図2参照)。その後、 $A_1 = d_1 \times d_2$ の計算式により開口部Hの面積 A_1 が算出される。次に、第1の外部電極40Aの輪郭が識別され、第4面部40A4の長さ方向Lの寸法 D_1 および高さ方向Tの寸法 D_2 が測定される(図2参照)。その後、 $A_2 = D_1 \times D_2$ の計算式により、第4面部40A4の面積 A_2 が算出される。さらにその後、第4面部40A4の面積に対する、第4面部40A4に位置する開口部Hの面積率が、 $A_1 \div A_2$ の計算式により算出される。同様に、第5面部40A5、第9面部40B4および第10面部40B5に位置する開口部Hの面積率も算出される。そして、4つの開口部Hの面積率の平均値、すなわち、第4面部40A4、第5面部40A5、第9面部40B4および第10面部40B5に位置する開口部Hの面積率の平均値が、積層セラミックコンデンサ1における、開口部Hの面積率として算出される。

[0202] (凸部Kの高さ方向の寸法の測定方法)

第4面部40A4および第5面部40A5に配置されている各凸部Kの高さ方向Tの寸法は、積層体10の第1の側面WS1から観察した際の、第4面部40A4および第5面部40A5に配置されている各凸部Kにおける長さ方向Lの1/2の位置において、マイクロ스코プにより測定される。同様に、第9面部40B4および第10面部40B5に配置されている各凸部Kの高さ方向Tの寸法は、積層体10の第2の側面WS2から観察した際の、第9面部40B4および第10面部40B5に配置されている各凸部Kにおける長さ方向Lの1/2の位置において、マイクロ스코プにより測定される。

[0203] (凸部Kの長さ方向の寸法の測定方法)

第4面部40A4および第5面部40A5に配置されている各凸部Kの長さ方向Lの寸法は、積層体10の第1の側面WS1から観察した際の、第4面部40A4および第5面部40A5に配置されている各凸部Kにおける高さ方向Tの1/2の位置において、マイクロ스코プにより測定される。同様に、第9面部40B4および第10面部40B5に配置されている各凸部Kの長さ方向Lの寸法は、積層体10の第2の側面WS2から観察した際の、第9面部40B4および第10面部40B5に配置されている各凸部Kにおける高さ方向Tの1/2の位置において、マイクロ스코プにより測定される。

[0204] 本発明は、上記実施形態の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。なお、上記実施形態において記載する個々の望ましい構成を2つ以上組み合わせたものもまた本発明である。

[0205] (1) 高さ方向に交互に積層された複数の誘電体層および複数の内部電極層を含むとともに、前記高さ方向に相対する第1の主面および第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面および第2の端面と、前記高さ方向および前記長さ方向に直交する幅方向に相対する第1の側面および第2の側面と、を有する積層体と、

前記第1の端面上に位置する第1面部と、前記第1の主面上の一部に位置する第2面部および前記第2の主面上の一部に位置する第3面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第4面部と、前記第2の側面上の一部に位置する第5面部と、を有する第1の外部電極と、

前記第2の端面上に位置する第6面部と、前記第1の主面上の一部に位置する第7面部および前記第2の主面上の一部に位置する第8面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第9面部と、前記第2の側面上の一部に位置する第10面部と、を有する第2の外部電極と、を有する積層セラミックコンデンサであって、

前記積層体の前記第1の端面および前記第2の端面を結ぶ前記長さ方向の長さを l 、前記第1の側面および前記第2の側面を結ぶ前記幅方向の長さを w 、前記第1の主面および前記第2の主面を結ぶ前記高さ方向の長さを t としたとき、 $w > l > t$ の寸法関係にあり、

前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部には、前記積層体の表面が露出する開口部が存在し、

前記第4面部および前記第9面部ならびに前記第5面部および前記第10面部は、互いに対向する前記長さ方向中心側から当該長さ方向に突出する凸部をそれぞれ有する、積層セラミックコンデンサ。

[0206] (2) 前記凸部は、前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部の前記高さ方向の中央部に配置されている、(1)に記載の積層セラミックコンデンサ。

[0207] (3) 前記凸部の前記高さ方向の寸法は、当該高さ方向の寸法の10%以上90%以下である、(1)または(2)に記載の積層セラミックコンデンサ。

[0208] (4) 前記凸部の前記長さ方向の寸法は、当該長さ方向の寸法の2%以上18%以下である、(1)～(3)のいずれか1つの積層セラミックコンデンサ。

[0209] (5) 前記内部電極層は、第1の内部電極層と第2の内部電極層とを有し

、
前記第1の内部電極層は、前記積層体の内部に位置する第1の対向電極部と、前記第1の対向電極部に接続されるとともに、前記第1の端面、前記第1の側面の一部、および前記第2の側面の一部に露出する第1の引き出し部と、前記第1の引き出し部における前記第1の側面に引き出されている部分とは間隔をあけて、前記第1の対向電極部に接続されるとともに、前記第1の側面の一部に露出する第2の引き出し部と、前記第1の引き出し部の前記第2の側面に引き出されている部分とは間隔をあけて、前記第1の対向電極部に接続されるとともに、前記第2の側面の一部に露出する第3の引き出し部と、を有し、

前記第2の内部電極層は、前記積層体の内部に位置する第2の対向電極部と、前記第2の対向電極部に接続されるとともに、前記第2の端面、前記第1の側面の一部、前記第2の側面の一部に露出する第4の引き出し部と、前記第4の引き出し部の前記第1の側面に引き出されている部分とは間隔をあけて、前記第2の対向電極部に接続されるとともに、前記第1の側面の一部に露出する第5の引き出し部と、前記第4の引き出し部の前記第2の側面に引き出されている部分とは間隔をあけて、前記第2の対向電極部に接続されるとともに、前記第2の側面の一部に露出する第6の引き出し部と、を有し、

、
前記高さ方向の中央部に位置する前記第2の引き出し部および前記第3の引き出し部のそれぞれの前記長さ方向の寸法は、前記高さ方向の中央部以外に位置する前記第2の引き出し部および前記第3の引き出し部のそれぞれの前記長さ方向の寸法よりも長く、

前記高さ方向の中央部に位置する前記第5の引き出し部および前記第6の引き出し部のそれぞれの前記長さ方向の寸法は、前記高さ方向の中央部以外に位置する前記第5の引き出し部および前記第6の引き出し部のそれぞれの前記長さ方向の寸法よりも長い、(1)～(4)のいずれか1つに記載の積層セラミックコンデンサ。

[0210] (6) 前記高さ方向の中央部に位置する前記第2の引き出し部および前記第3の引き出し部における前記長さ方向中心側は、前記第2面部および前記第3面部における前記長さ方向中心側の端部よりも長さ方向中心側に突出しており、

前記高さ方向の中央部に位置する前記第5の引き出し部および前記第6の引き出し部における前記長さ方向中心側は、前記第7面部および前記第8面部における前記長さ方向中心側の端部よりも長さ方向中心側に突出している、(5)に記載の積層セラミックコンデンサ。

[0211] (7) 前記開口部は、前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部の前記高さ方向の中央部に配置されている、(1)～(6)のいずれか1つに記載の積層セラミックコンデンサ。

[0212] (8) 前記第4面部および前記第5面部に形成されている前記開口部は、前記第4面部および前記第5面部の長さ方向の中央部よりも前記第1の端面側に偏って配置され、

前記第9面部および前記第10面部に形成されている前記開口部は、前記第9面部および前記第10面部の長さ方向の中央部よりも前記第2の端面側に偏って配置されている、(1)～(7)のいずれか1つに記載の積層セラミックコンデンサ。

[0213] (9) 前記開口部の面積は、前記開口部が配置される前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部のそれぞれの面積に対して、3%以上20%以下である、(1)～(8)のいずれか1つに記載の積層セラミックコンデンサ。

[0214] (10) 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、150 μ m以下である、(1)～(9)のいずれか1つに記載の積層セラミックコンデンサ。

[0215] (11) 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、100 μ m以下である、(1)～(10)のいずれか1つに記載の積層セラミックコンデンサ。

- [0216] (12) 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、50 μm 以下である、(1) ~ (11) のいずれか1つに記載の積層セラミックコンデンサ。
- [0217] (13) 前記第1の引き出し部、前記第2の引き出し部および前記第3の引き出し部はいずれも、前記第1の外部電極に接続されており、
前記第4の引き出し部、前記第5の引き出し部および前記第6の引き出し部はいずれも、前記第2の外部電極に接続されている、(5)に記載の積層セラミックコンデンサ。
- [0218] (14) 前記第1の外部電極は、第1の下地電極層と、前記第1の下地電極層上に配置された第1のめっき層と、を有し、
前記第2の外部電極は、第2の下地電極層と、前記第2の下地電極層上に配置された第2のめっき層と、を有し、
前記第1の下地電極層および前記第2の下地電極層は、スパッタ電極である、(1) ~ (13) のいずれか1つに記載の積層セラミックコンデンサ。

符号の説明

- [0219] 1 積層セラミックコンデンサ
- 10 積層体
 - 11 内層部
 - 12 第1の主面側外層部
 - 13 第2の主面側外層部
 - 20 誘電体層
 - 30 内部電極層
 - 31 第1の内部電極層
 - 31A 第1の対向電極部
 - 31B 第1の引き出し部
 - 31C 第2の引き出し部
 - 31D 第3の引き出し部
 - 32 第2の内部電極層

- 3 2 A 第2の対向電極部
- 3 2 B 第4の引き出し部
- 3 2 C 第5の引き出し部
- 3 2 D 第6の引き出し部
- 4 0 外部電極
- 4 0 A 第1の外部電極
- 4 0 A 1 第1面部
- 4 0 A 2 第2面部
- 4 0 A 3 第3面部
- 4 0 A 4 第4面部
- 4 0 A 5 第5面部
- 4 0 B 第2の外部電極
- 4 0 B 1 第6面部
- 4 0 B 2 第7面部
- 4 0 B 3 第8面部
- 4 0 B 4 第9面部
- 4 0 B 5 第10面部
- 5 0 A 第1の下地電極層
- 5 0 B 第2の下地電極層
- 5 1 A 第1の薄膜層
- 5 1 B 第2の薄膜層
- 6 0 A 第1のめっき層
- 6 0 B 第2のめっき層
- H 開口部
- K 凸部
- L 長さ方向
- W 幅方向
- T 積層方向

LS 1 第1の端面

LS 2 第2の端面

WS 1 第1の側面

WS 2 第2の側面

TS 1 第1の主面

TS 2 第2の主面

l 長さ方向の長さ

w 幅方向の長さ

t 高さ方向の長さ

請求の範囲

[請求項1] 高さ方向に交互に積層された複数の誘電体層および複数の内部電極層を含むとともに、前記高さ方向に相対する第1の主面および第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面および第2の端面と、前記高さ方向および前記長さ方向に直交する幅方向に相対する第1の側面および第2の側面と、を有する積層体と、

前記第1の端面上に位置する第1面部と、前記第1の主面上の一部に位置する第2面部および前記第2の主面上の一部に位置する第3面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第4面部と、前記第2の側面上の一部に位置する第5面部と、を有する第1の外部電極と、

前記第2の端面上に位置する第6面部と、前記第1の主面上の一部に位置する第7面部および前記第2の主面上の一部に位置する第8面部の少なくともいずれか一方と、前記第1の側面上の一部に位置する第9面部と、前記第2の側面上の一部に位置する第10面部と、を有する第2の外部電極と、を有する積層セラミックコンデンサであって、

前記積層体の前記第1の端面および前記第2の端面を結ぶ前記長さ方向の長さを l 、前記第1の側面および前記第2の側面を結ぶ前記幅方向の長さを w 、前記第1の主面および前記第2の主面を結ぶ前記高さ方向の長さを t としたとき、 $w > l > t$ の寸法関係にあり、

前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部には、前記積層体の表面が露出する開口部が存在し、

前記第4面部および前記第9面部ならびに前記第5面部および前記第10面部は、互いに対向する前記長さ方向中心側から当該長さ方向に突出する凸部をそれぞれ有する、積層セラミックコンデンサ。

[請求項2] 前記凸部は、前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部の前記高さ方向の中央部に配置されている、

請求項 1 に記載の積層セラミックコンデンサ。

[請求項3] 前記凸部の前記高さ方向の寸法は、当該高さ方向の寸法の 10%以上 90%以下である、請求項 1 または 2 に記載の積層セラミックコンデンサ。

[請求項4] 前記凸部の前記長さ方向の寸法は、当該長さ方向の寸法の 2%以上 18%以下である、請求項 1～3 のいずれか 1 つに記載の積層セラミックコンデンサ。

[請求項5] 前記内部電極層は、第 1 の内部電極層と第 2 の内部電極層とを有し、

前記第 1 の内部電極層は、前記積層体の内部に位置する第 1 の対向電極部と、前記第 1 の対向電極部に接続されるとともに、前記第 1 の端面、前記第 1 の側面の一部、および前記第 2 の側面の一部に露出する第 1 の引き出し部と、前記第 1 の引き出し部における前記第 1 の側面に引き出されている部分とは間隔をあけて、前記第 1 の対向電極部に接続されるとともに、前記第 1 の側面の一部に露出する第 2 の引き出し部と、前記第 1 の引き出し部の前記第 2 の側面に引き出されている部分とは間隔をあけて、前記第 1 の対向電極部に接続されるとともに、前記第 2 の側面の一部に露出する第 3 の引き出し部と、を有し、

前記第 2 の内部電極層は、前記積層体の内部に位置する第 2 の対向電極部と、前記第 2 の対向電極部に接続されるとともに、前記第 2 の端面、前記第 1 の側面の一部、前記第 2 の側面の一部に露出する第 4 の引き出し部と、前記第 4 の引き出し部の前記第 1 の側面に引き出されている部分とは間隔をあけて、前記第 2 の対向電極部に接続されるとともに、前記第 1 の側面の一部に露出する第 5 の引き出し部と、前記第 4 の引き出し部の前記第 2 の側面に引き出されている部分とは間隔をあけて、前記第 2 の対向電極部に接続されるとともに、前記第 2 の側面の一部に露出する第 6 の引き出し部と、を有し、

前記高さ方向の中央部に位置する前記第 2 の引き出し部および前記

第3の引き出し部のそれぞれの前記長さ方向の寸法は、前記高さ方向の中央部以外に位置する前記第2の引き出し部および前記第3の引き出し部のそれぞれの前記長さ方向の寸法よりも長く、

前記高さ方向の中央部に位置する前記第5の引き出し部および前記第6の引き出し部のそれぞれの前記長さ方向の寸法は、前記高さ方向の中央部以外に位置する前記第5の引き出し部および前記第6の引き出し部のそれぞれの前記長さ方向の寸法よりも長い、請求項1～4のいずれか1つに記載の積層セラミックコンデンサ。

[請求項6]

前記高さ方向の中央部に位置する前記第2の引き出し部および前記第3の引き出し部における前記長さ方向中心側は、前記第2面部および前記第3面部における前記長さ方向中心側の端部よりも長さ方向中心側に突出しており、

前記高さ方向の中央部に位置する前記第5の引き出し部および前記第6の引き出し部における前記長さ方向中心側は、前記第7面部および前記第8面部における前記長さ方向中心側の端部よりも長さ方向中心側に突出している、請求項5に記載の積層セラミックコンデンサ。

[請求項7]

前記開口部は、前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部の前記高さ方向の中央部に配置されている、請求項1～6のいずれか1つに記載の積層セラミックコンデンサ。

[請求項8]

前記第4面部および前記第5面部に形成されている前記開口部は、前記第4面部および前記第5面部の長さ方向の中央部よりも前記第1の端面側に偏って配置され、

前記第9面部および前記第10面部に形成されている前記開口部は、前記第9面部および前記第10面部の長さ方向の中央部よりも前記第2の端面側に偏って配置されている、請求項1～7のいずれか1つに記載の積層セラミックコンデンサ。

[請求項9]

前記開口部の面積は、前記開口部が配置される前記第4面部および前記第5面部ならびに前記第9面部および前記第10面部のそれぞれ

の面積に対して、3%以上20%以下である、請求項1～8のいずれか1つに記載の積層セラミックコンデンサ。

[請求項10] 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、150 μ m以下である、請求項1～9のいずれか1つに記載の積層セラミックコンデンサ。

[請求項11] 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、100 μ m以下である、請求項1～10のいずれか1つに記載の積層セラミックコンデンサ。

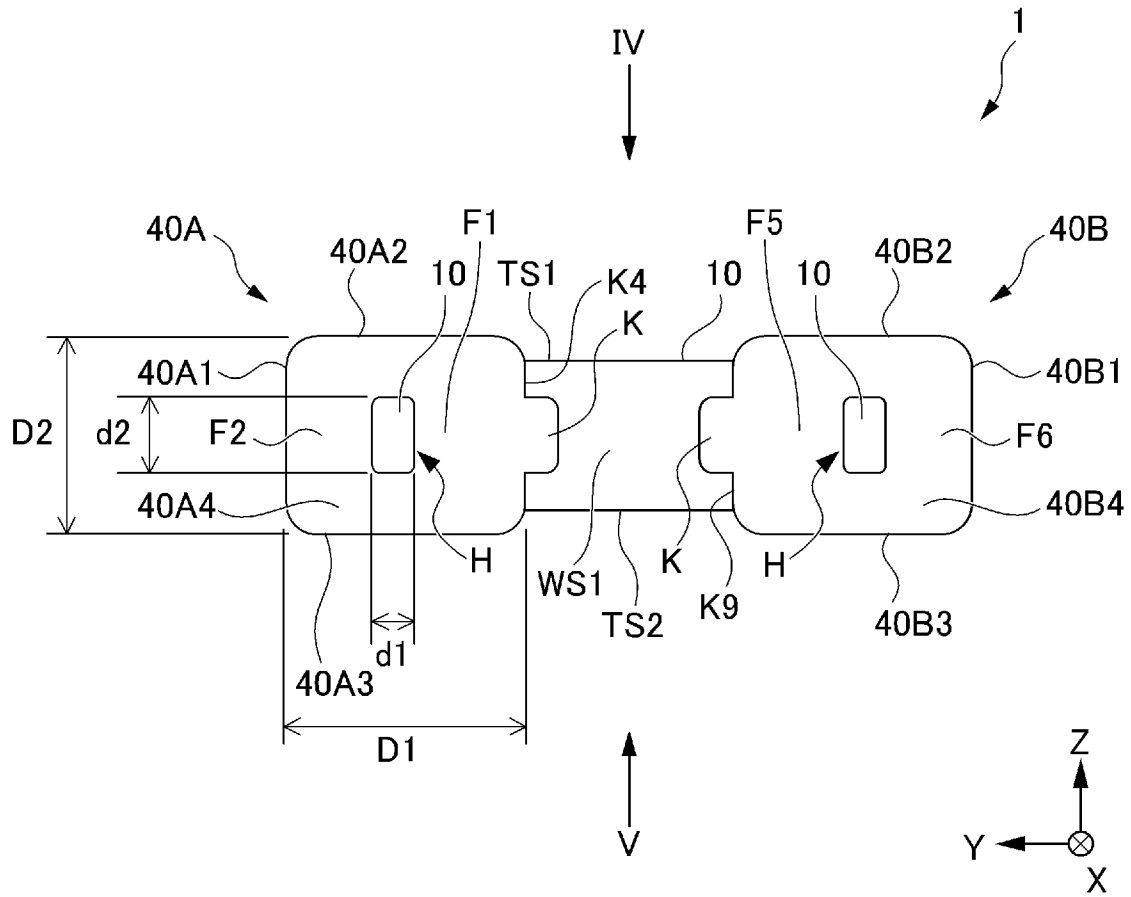
[請求項12] 前記積層体の前記第1の主面および前記第2の主面を結ぶ高さ方向の長さは、50 μ m以下である、請求項1～11のいずれか1つに記載の積層セラミックコンデンサ。

[請求項13] 前記第1の引き出し部、前記第2の引き出し部および前記第3の引き出し部はいずれも、前記第1の外部電極に接続されており、
前記第4の引き出し部、前記第5の引き出し部および前記第6の引き出し部はいずれも、前記第2の外部電極に接続されている、請求項5に記載の積層セラミックコンデンサ。

[請求項14] 前記第1の外部電極は、第1の下地電極層と、前記第1の下地電極層上に配置された第1のめっき層と、を有し、
前記第2の外部電極は、第2の下地電極層と、前記第2の下地電極層上に配置された第2のめっき層と、を有し、
前記第1の下地電極層および前記第2の下地電極層は、スパッタ電極である、請求項1～13のいずれか1つに記載の積層セラミックコンデンサ。

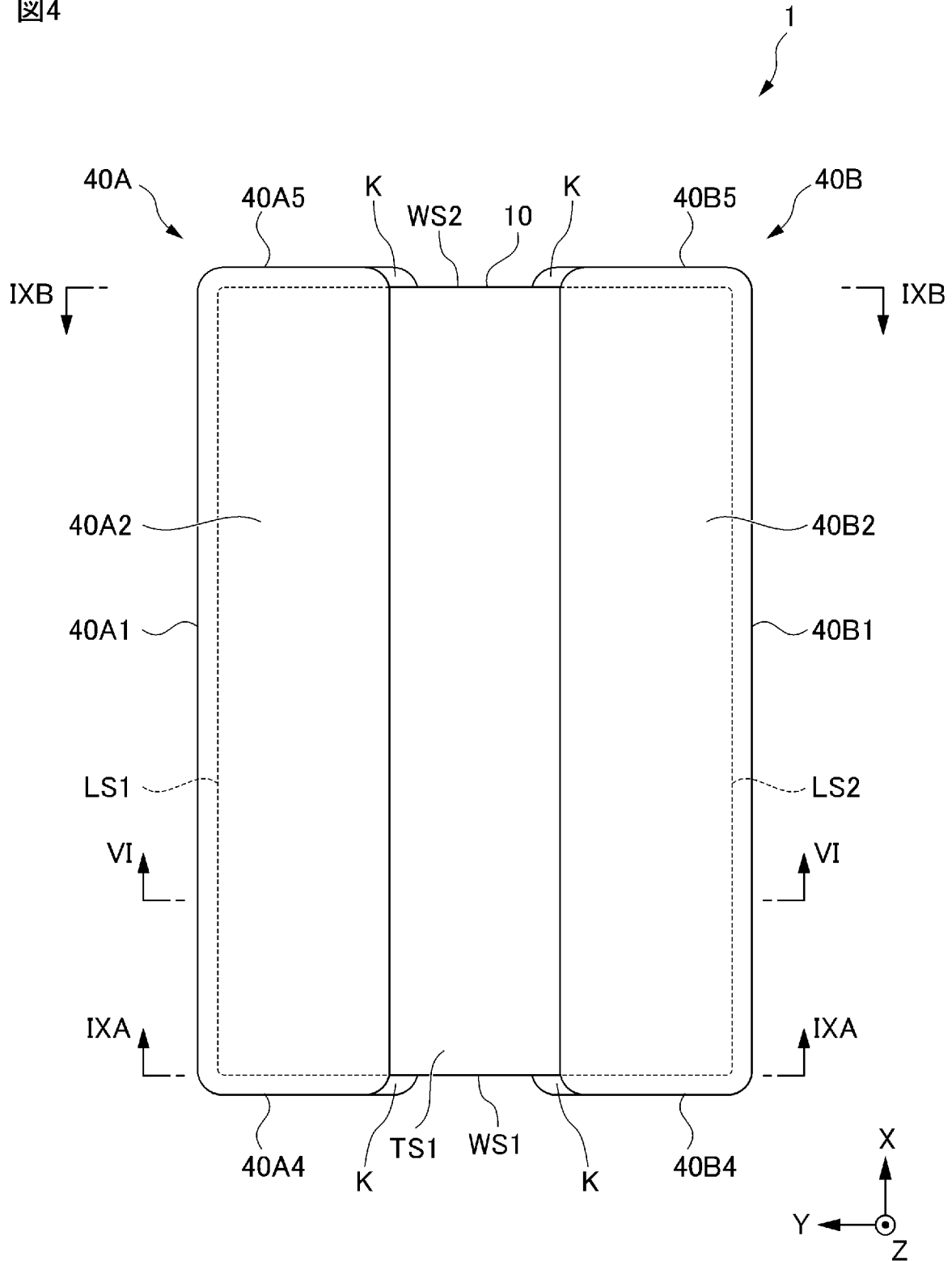
[図2]

図 2



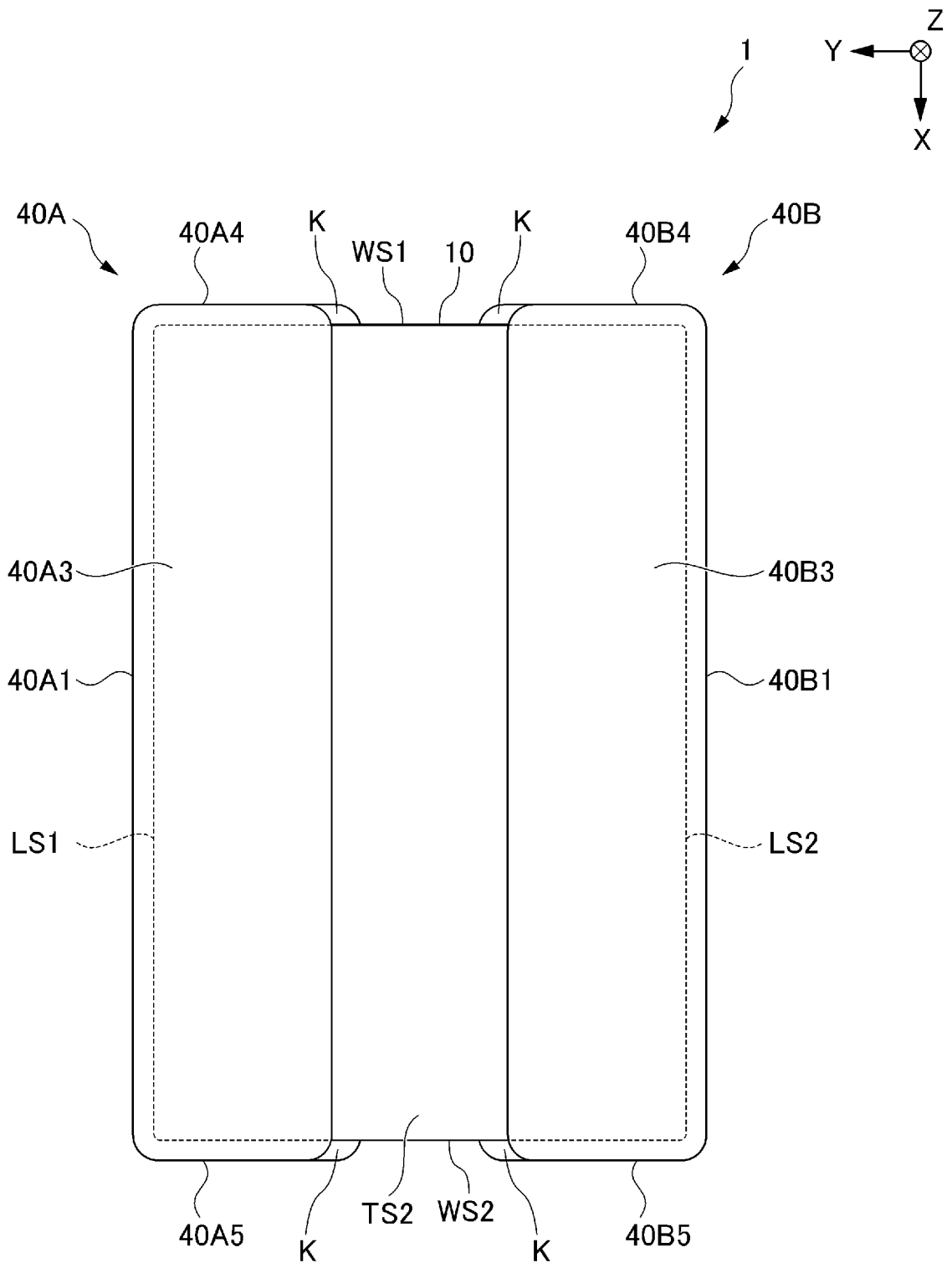
[図4]

図4



[図5]

図 5



[圖6]

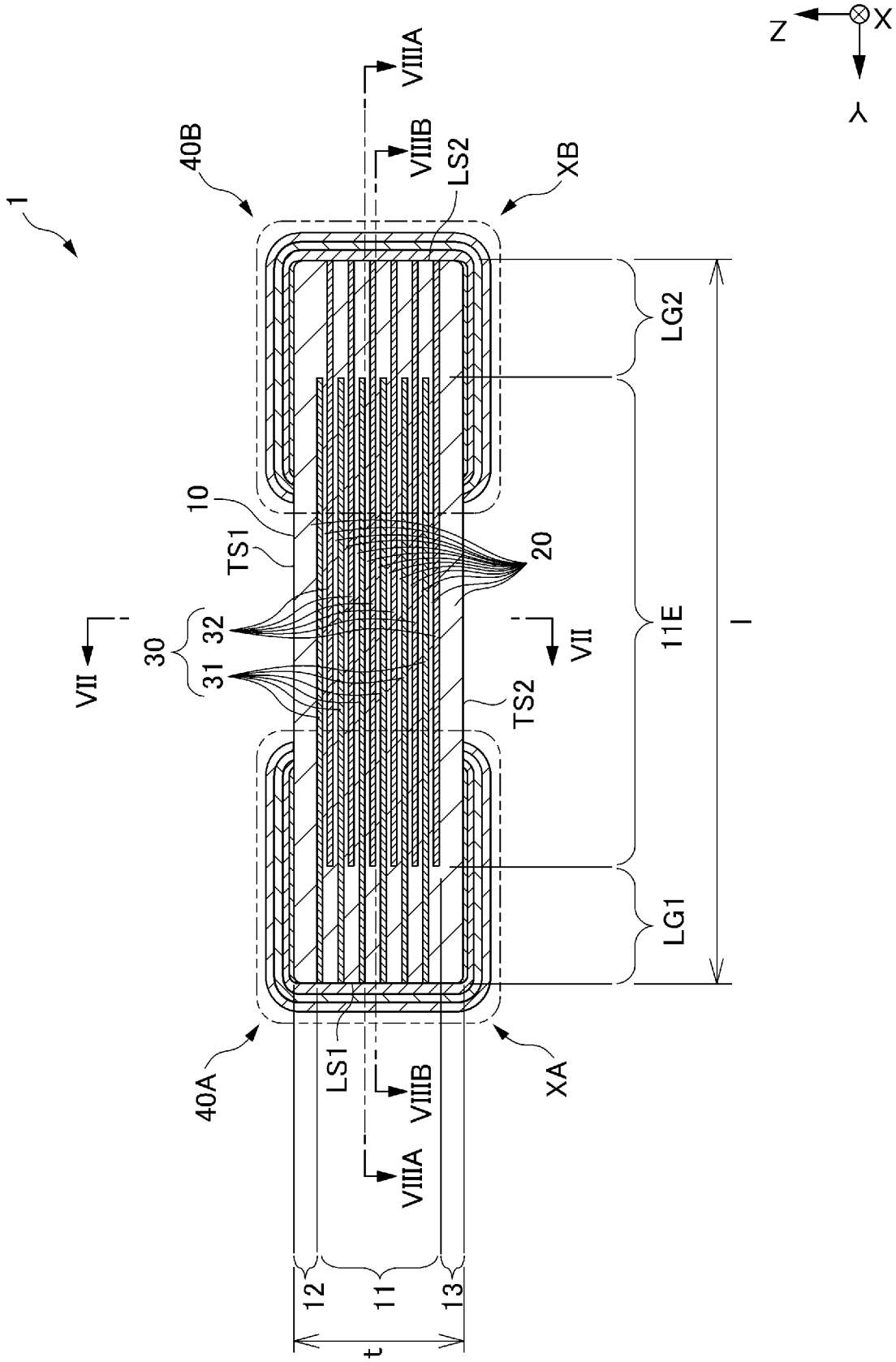
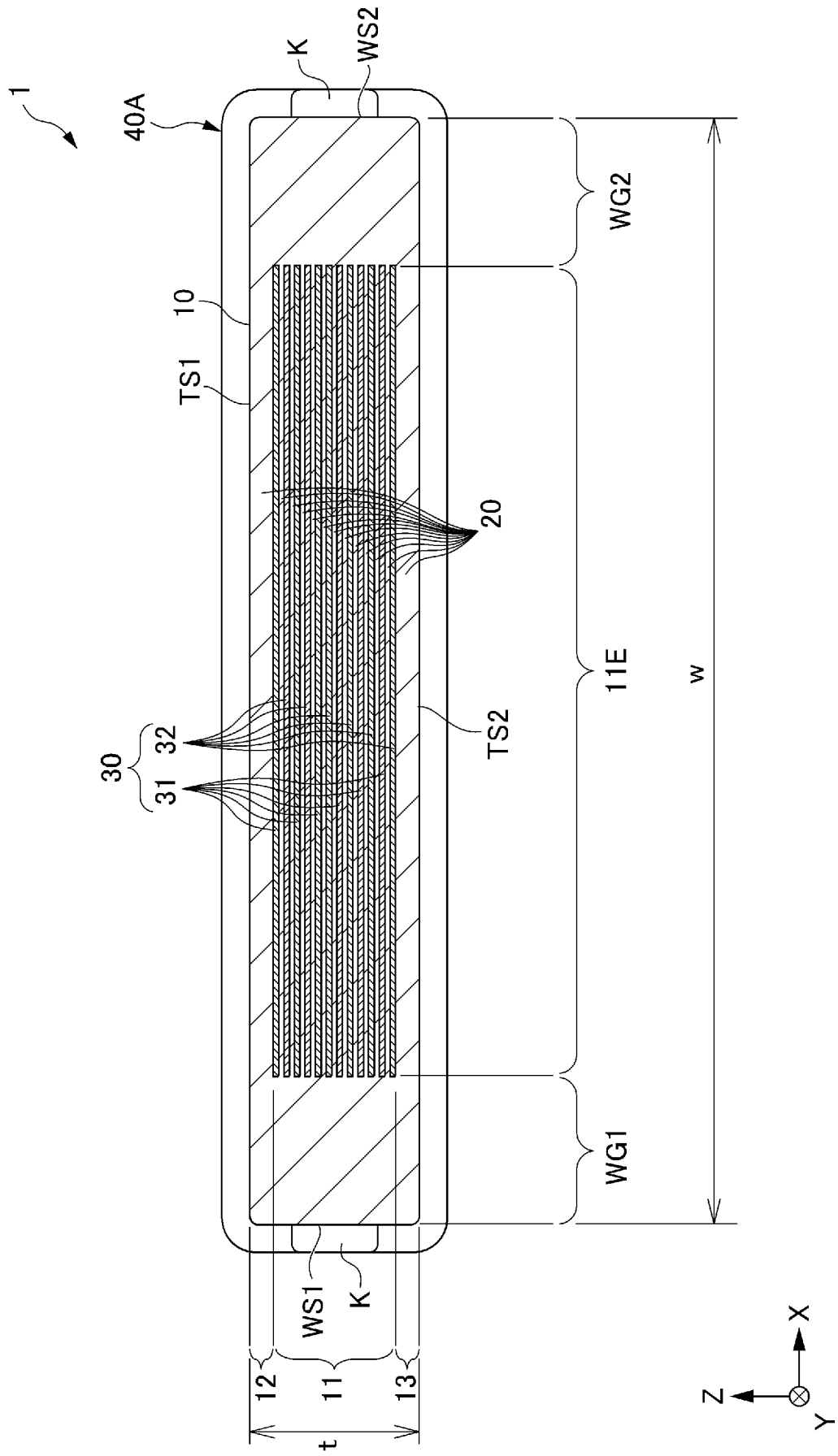


圖 6

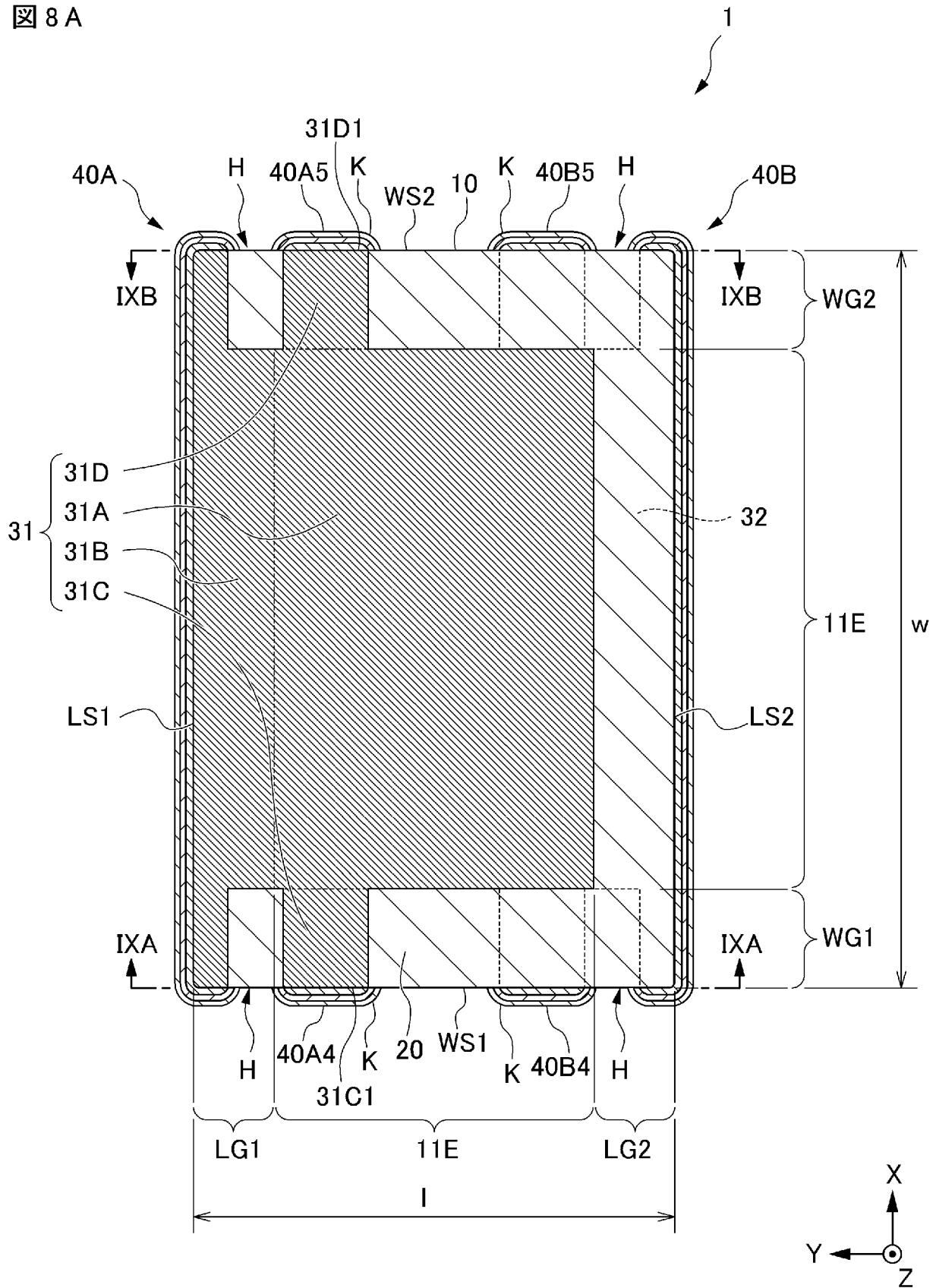
[図7]

図 7



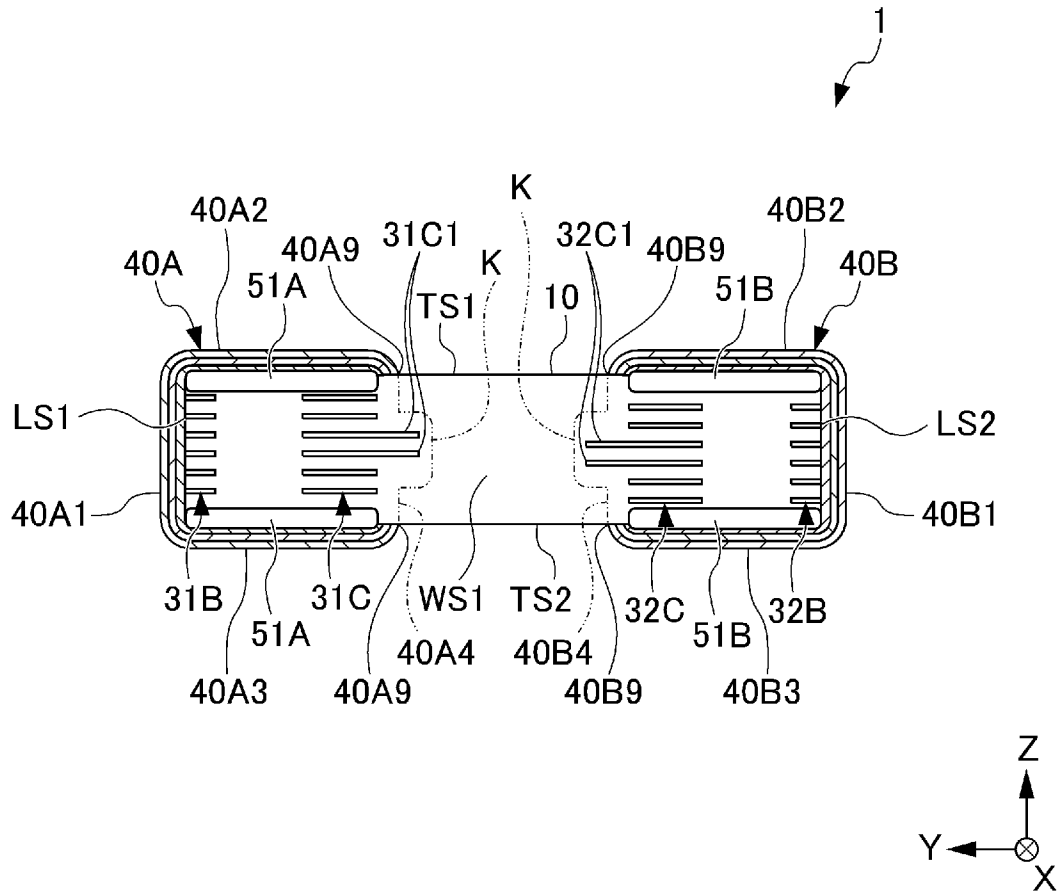
[図8A]

図 8 A



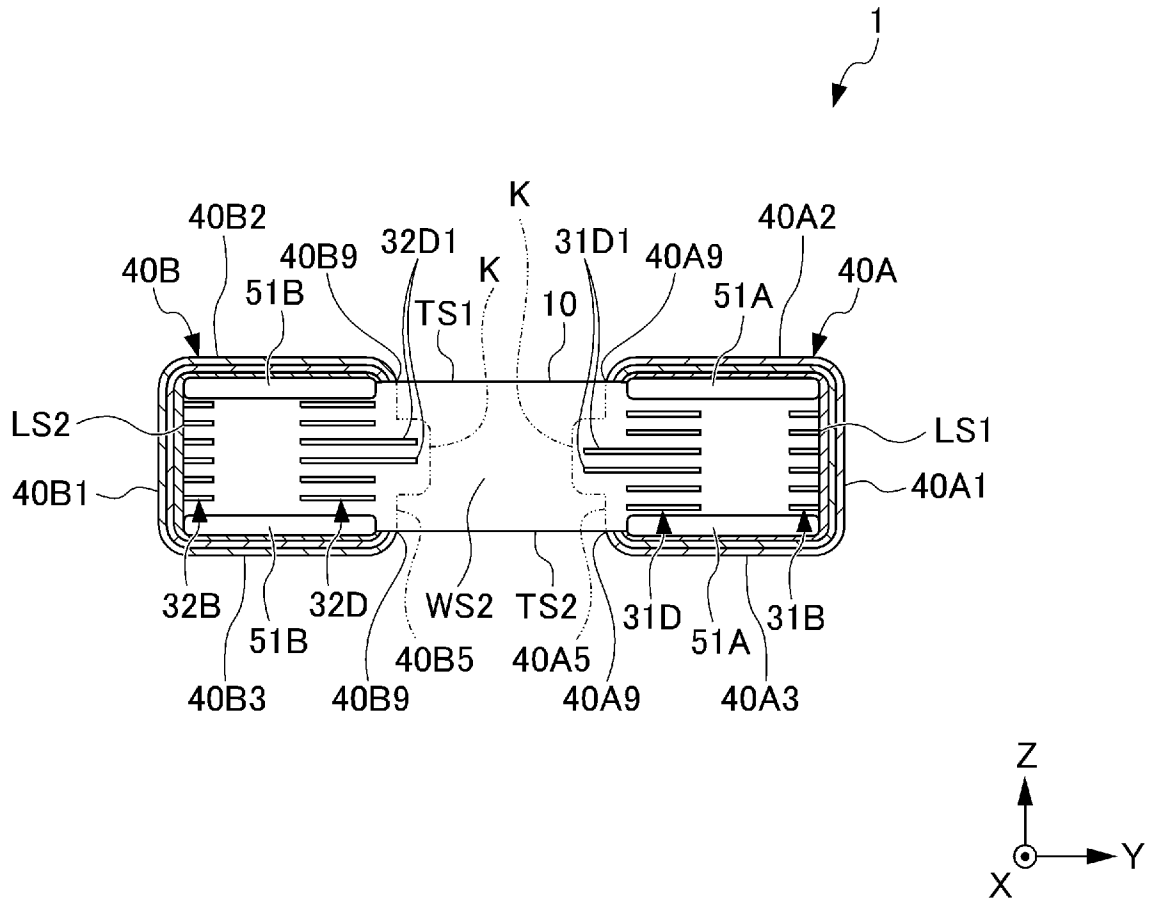
[図9A]

図 9A



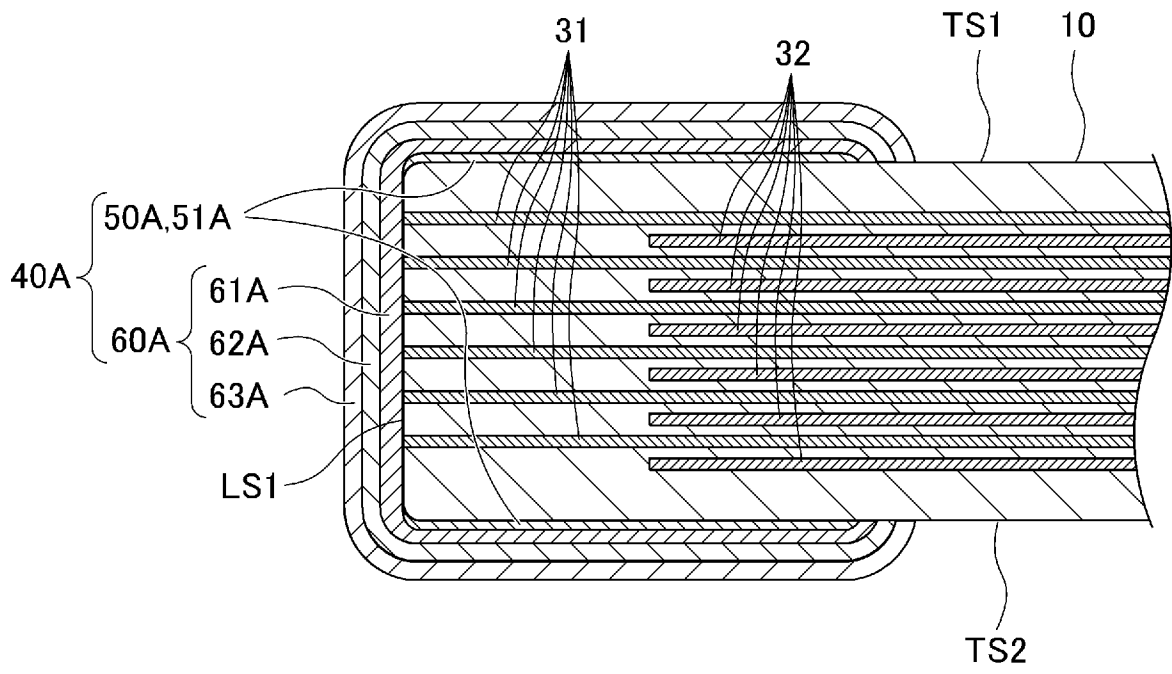
[図9B]

図 9B



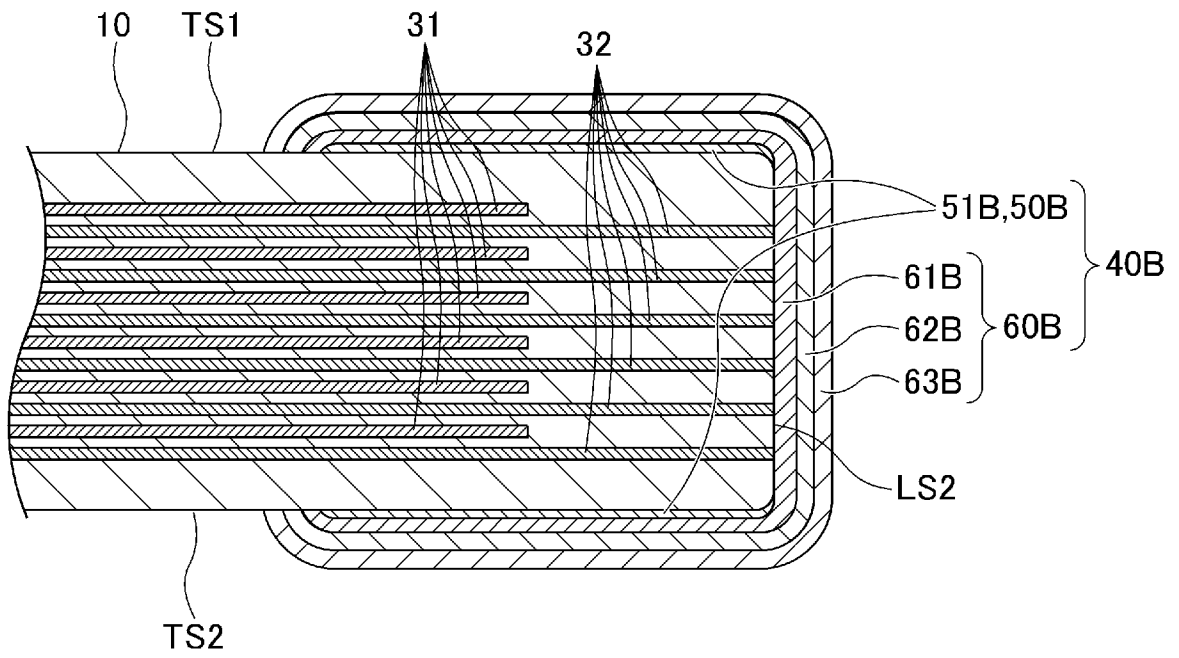
[図10A]

図10A



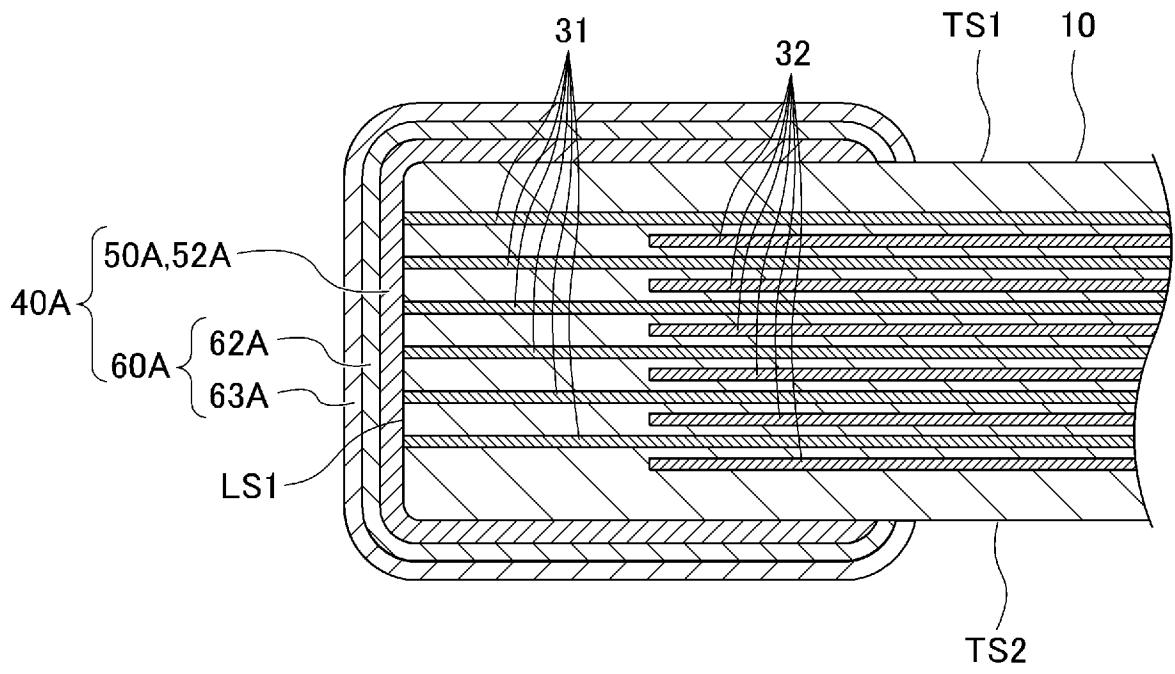
[図10B]

図10B



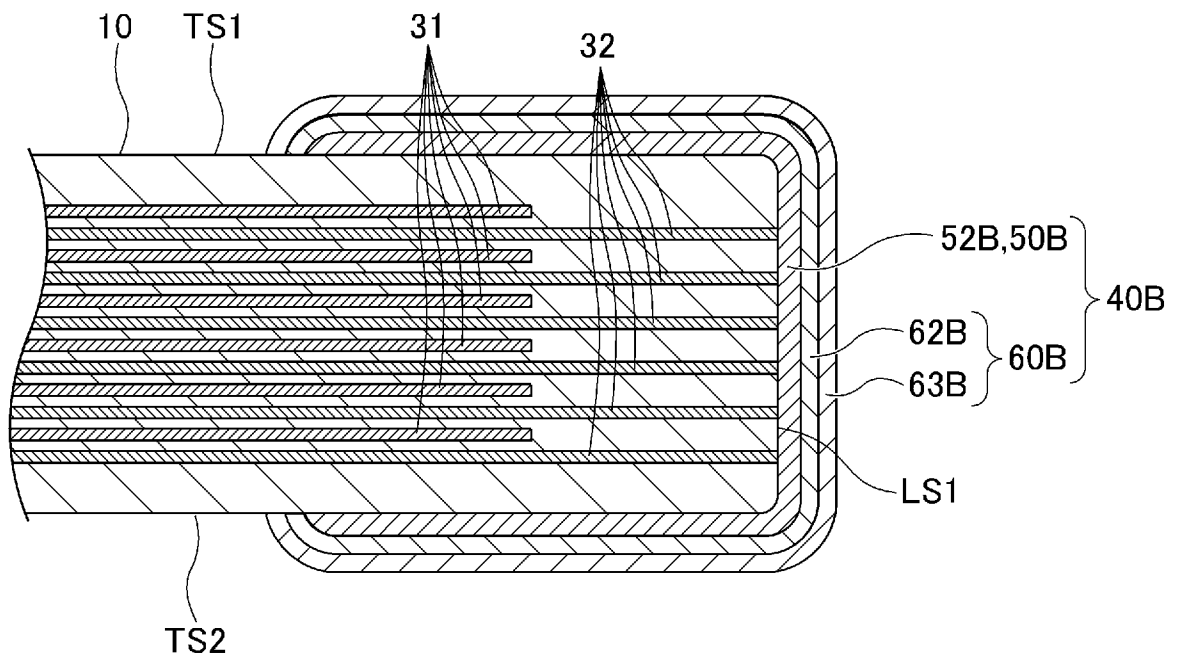
[図11A]

図11A



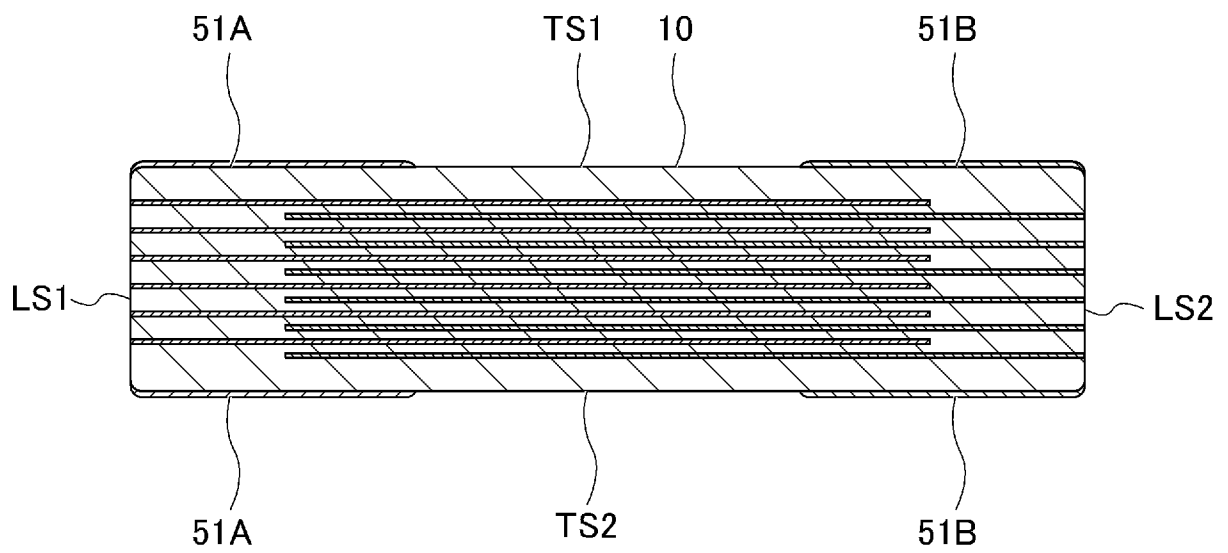
[図11B]

図11B



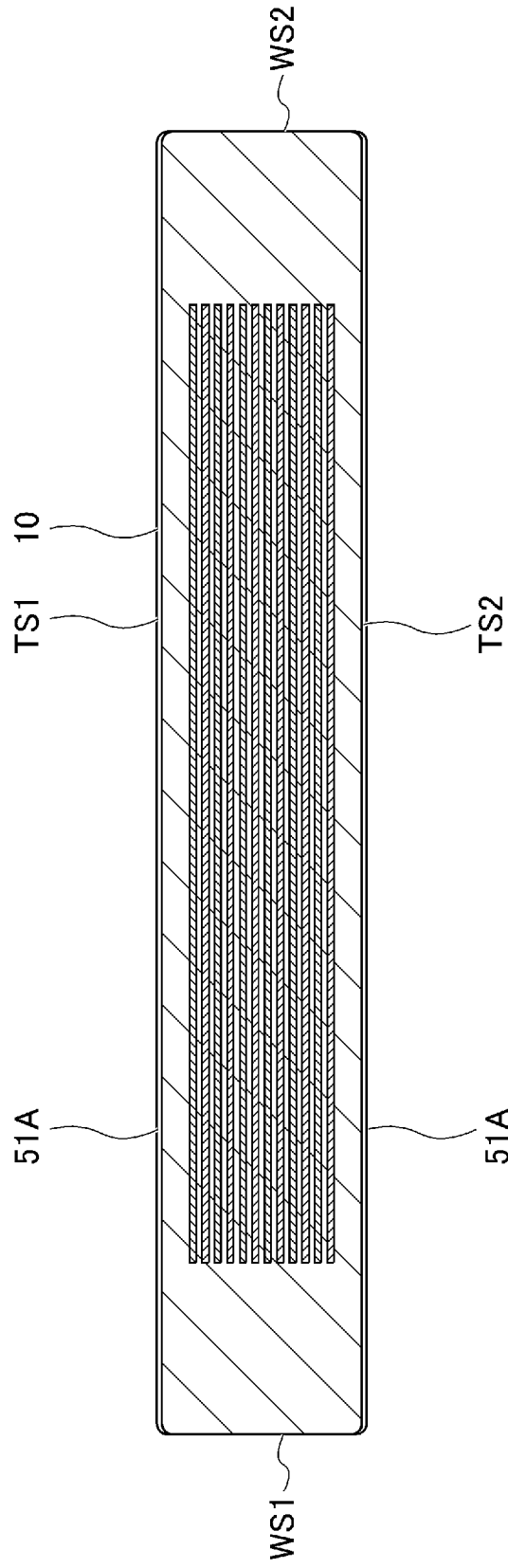
[図12]

図 12



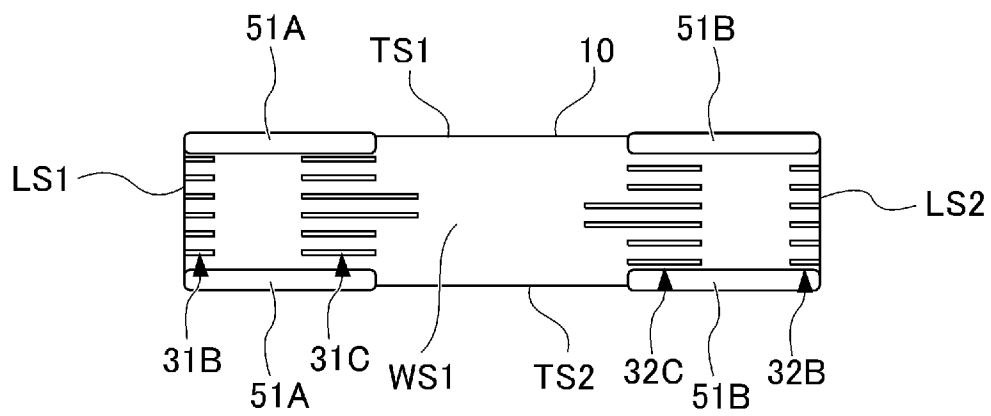
[図13]

図 13



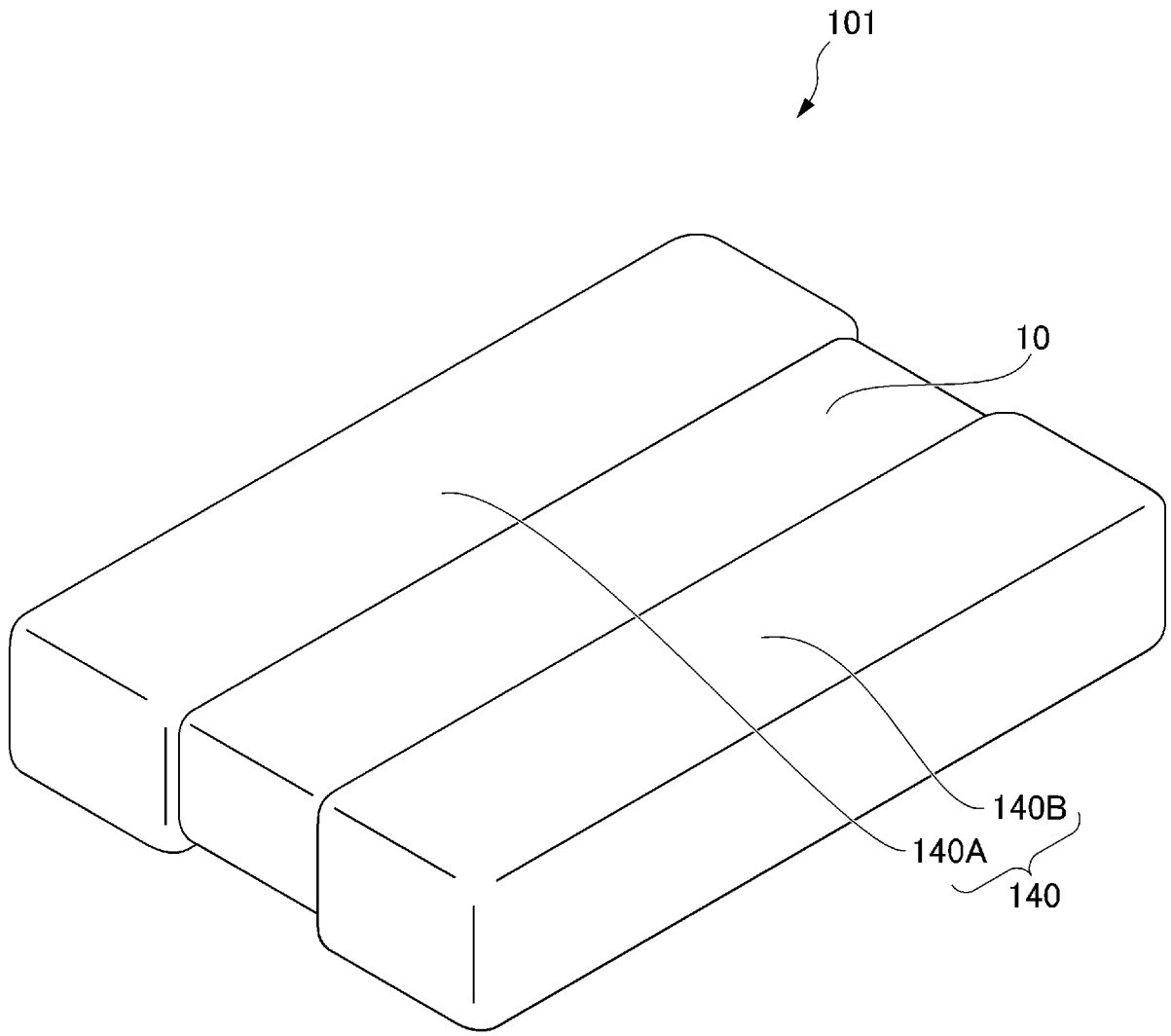
[図14]

図 14



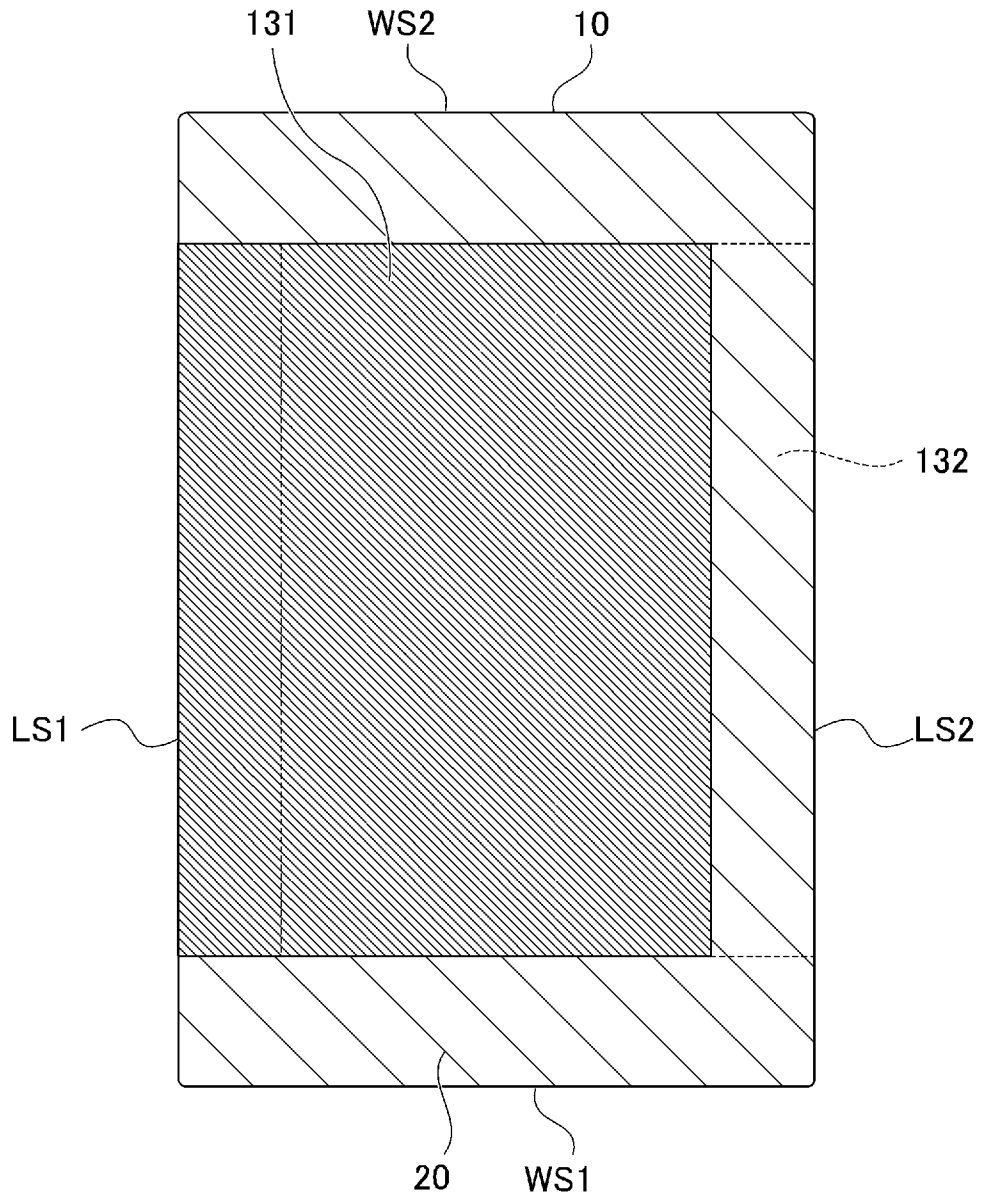
[図16A]

図 16A



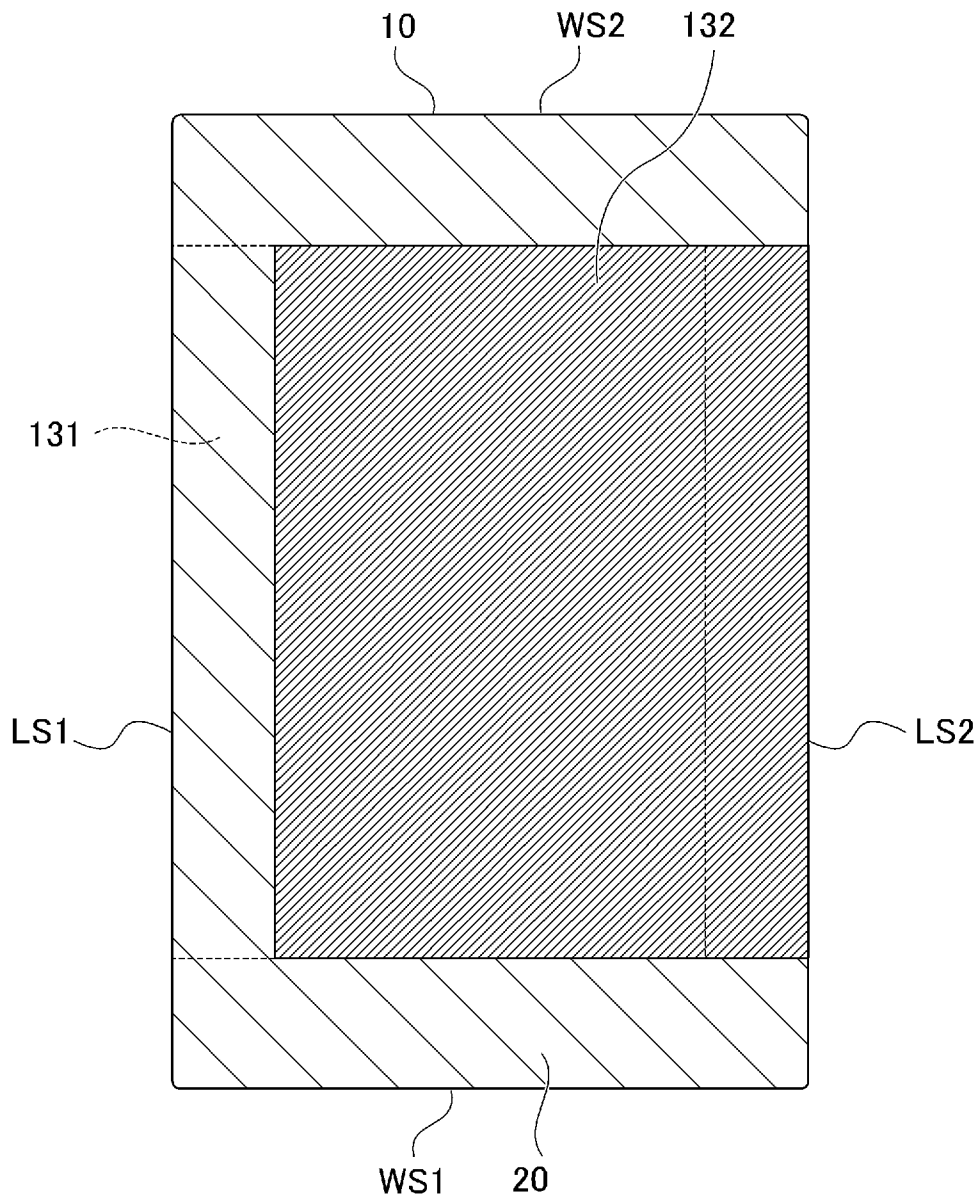
[図16B]

[図] 16B



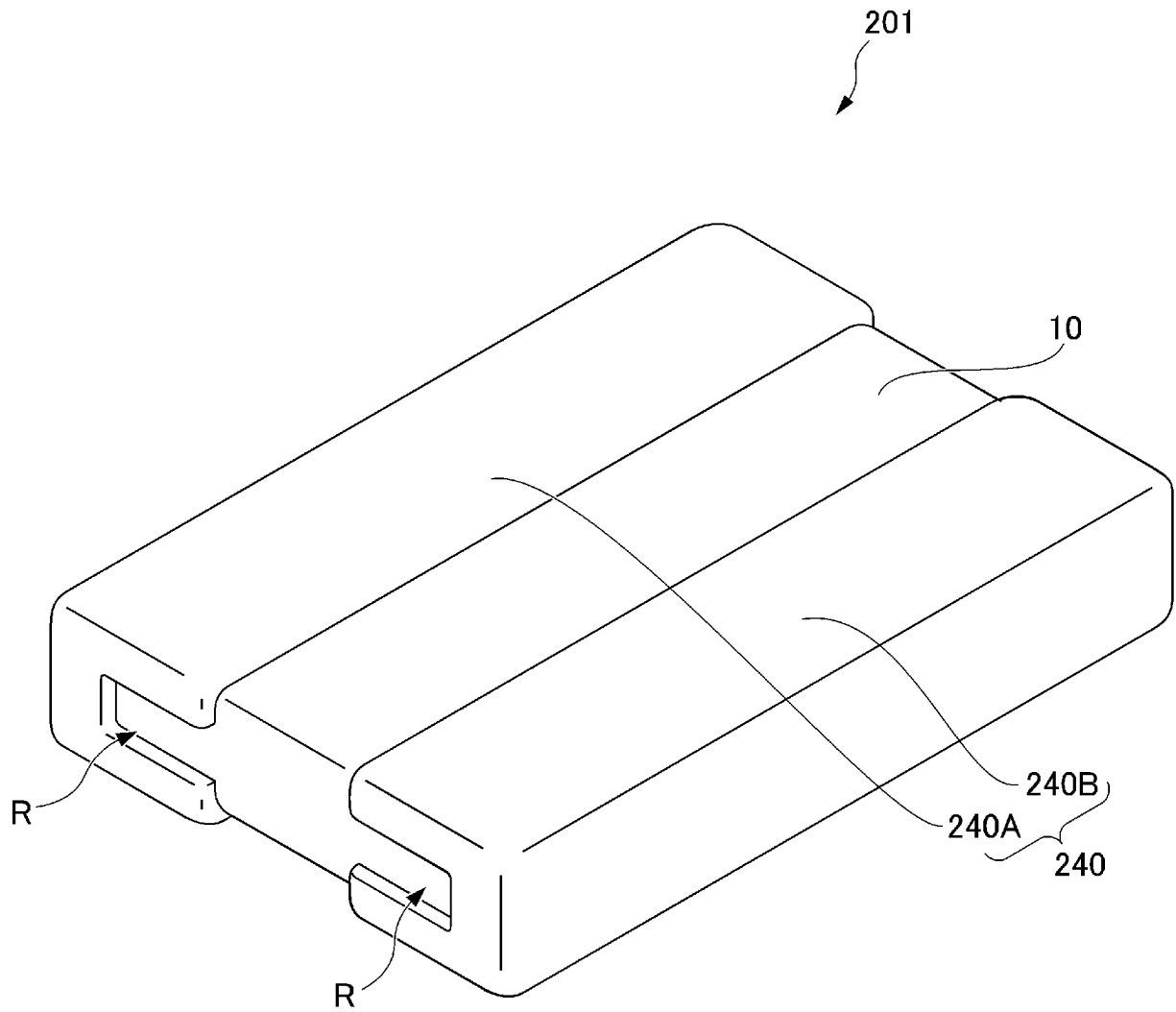
[図16C]

図 16C



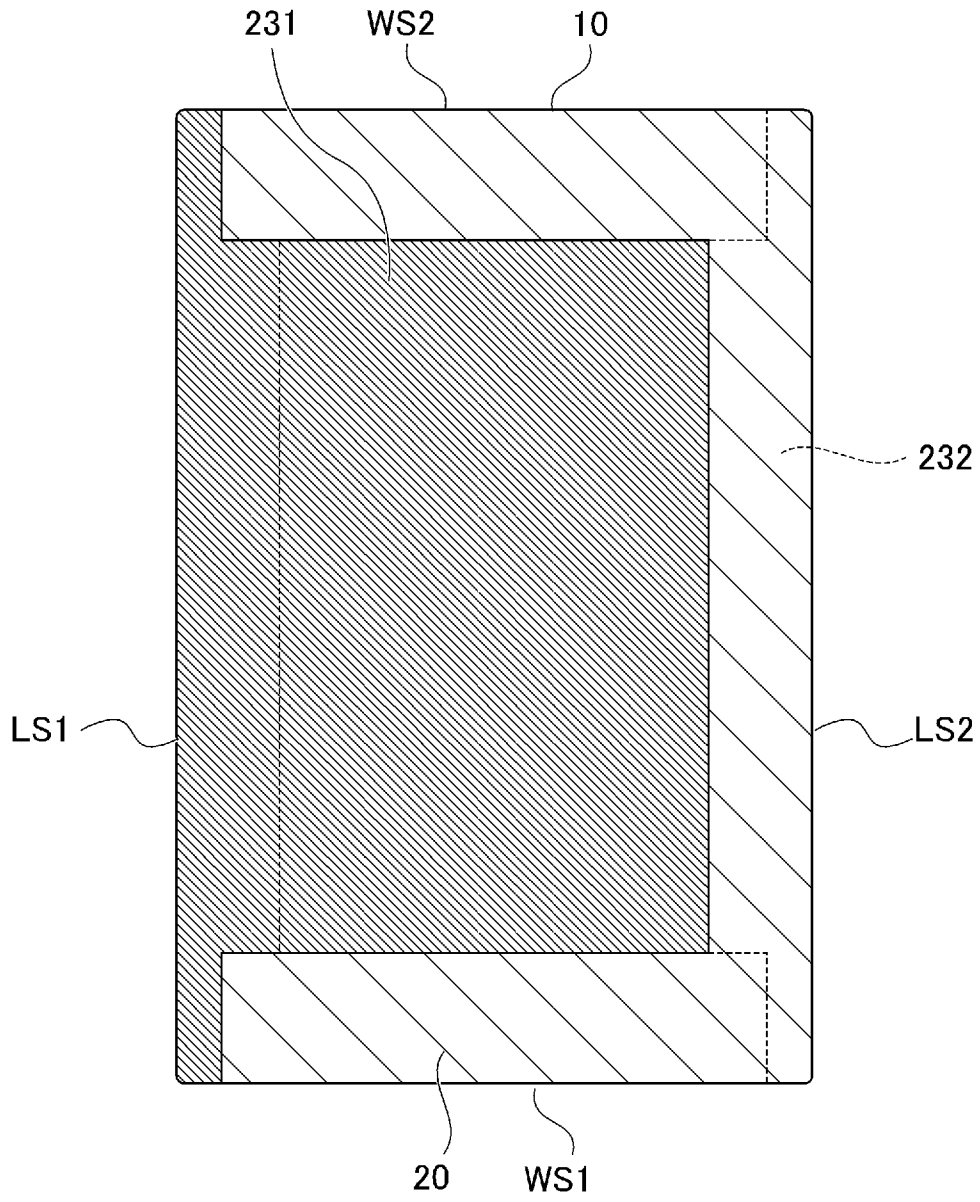
[図17A]

図 17A



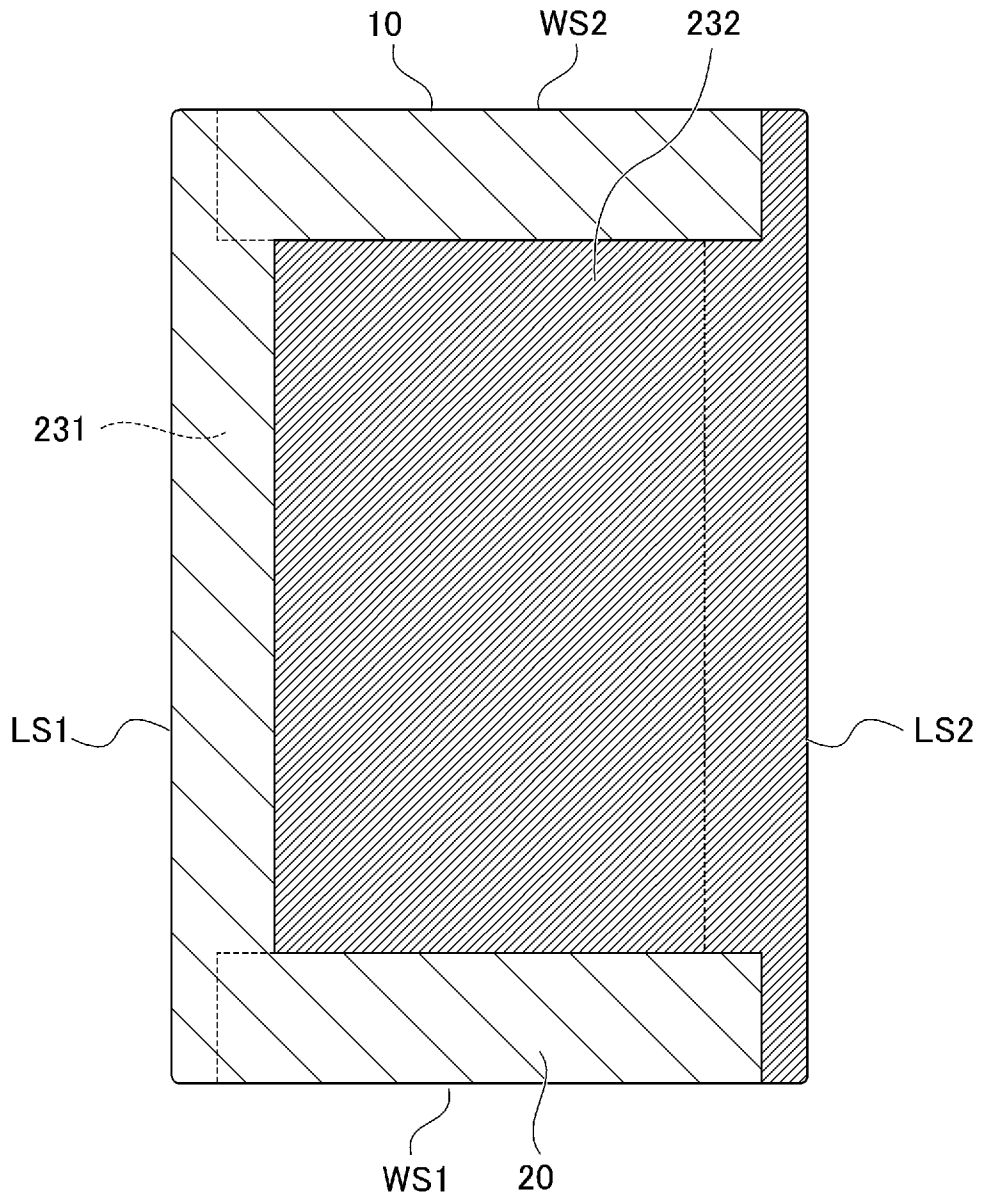
[図17B]

[図] 17B



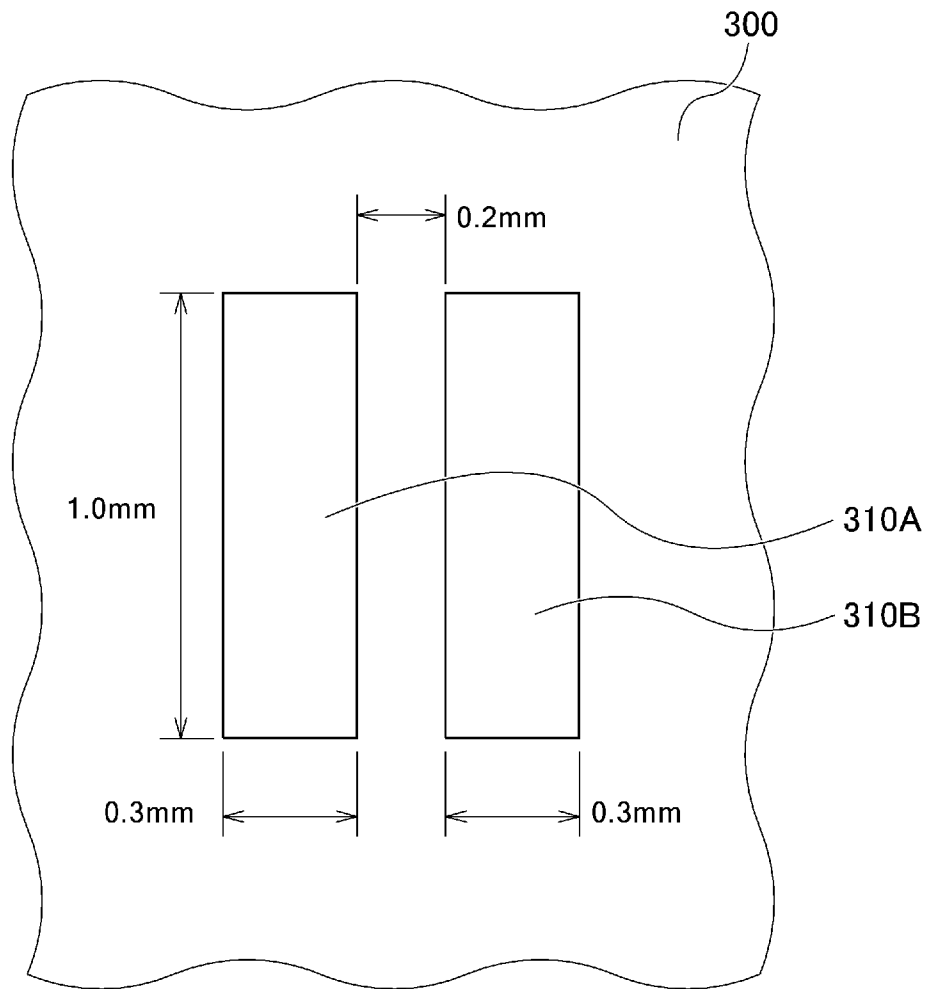
[図17C]

[図] 17C



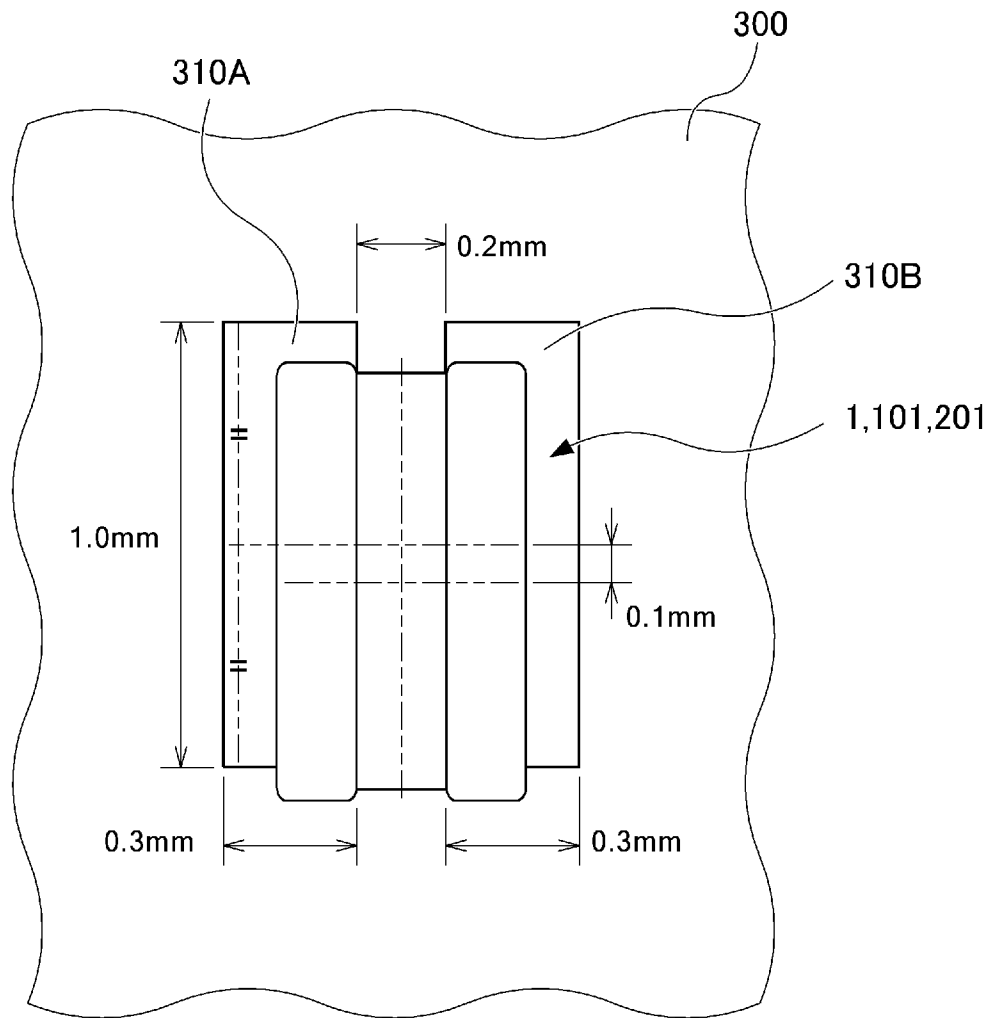
[図18A]

図18A



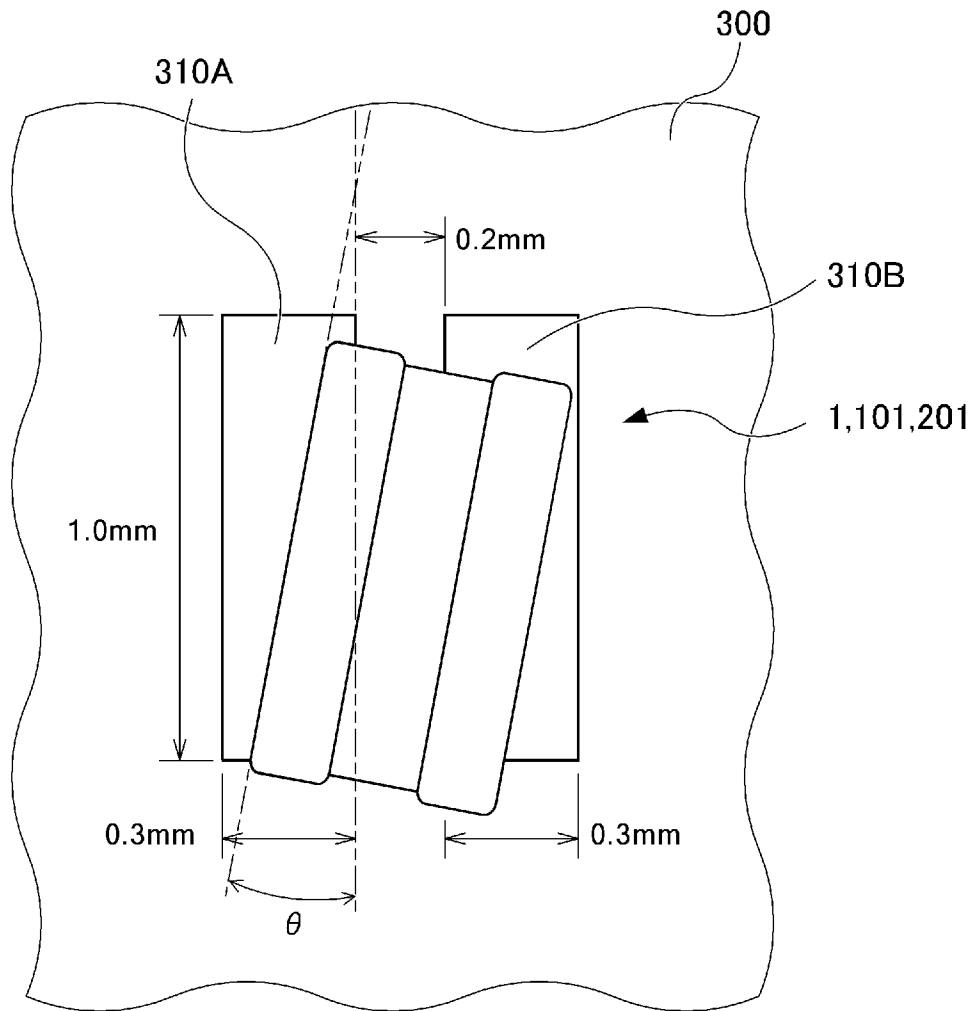
[図18B]

図 18B



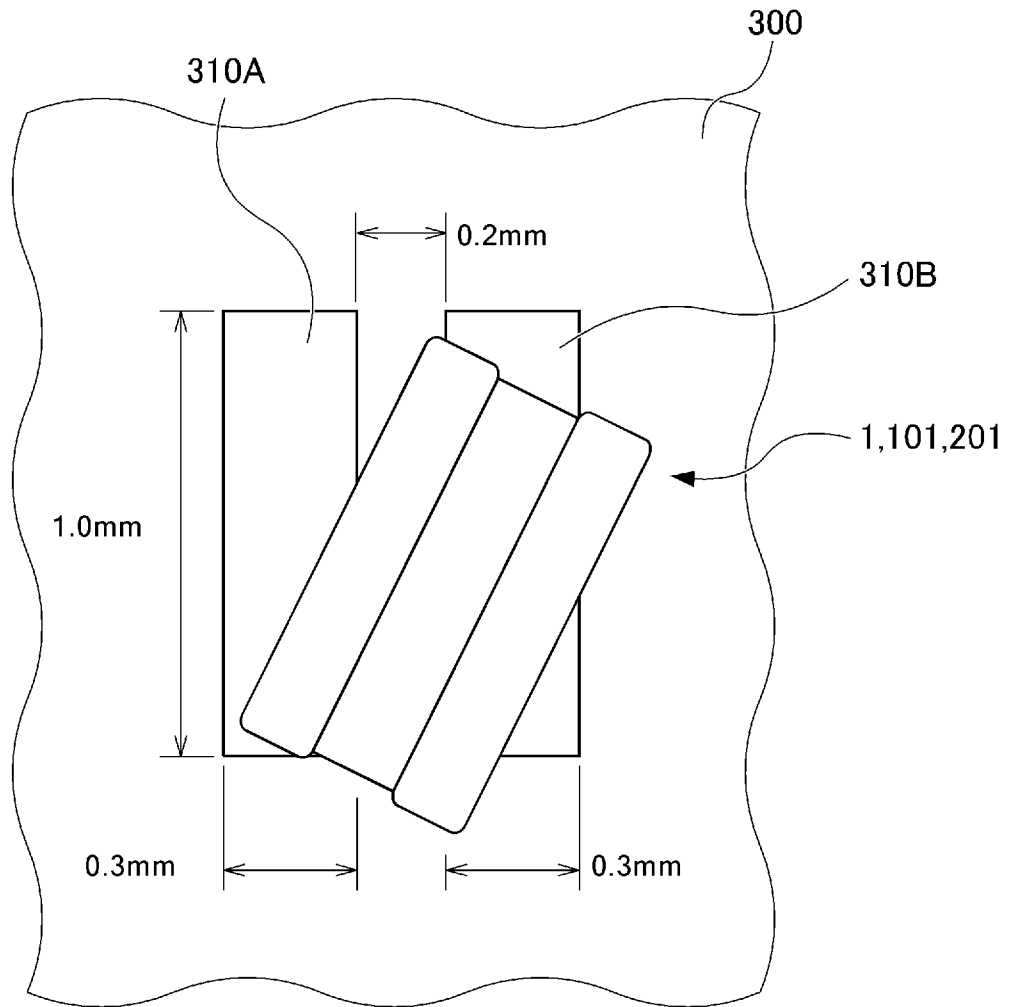
[図18C]

[図] 18C



[図18D]

[図] 18D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/020657

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01G 4/30</i> (2006.01)i FI: H01G4/30 201F; H01G4/30 513		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01G4/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-153430 A (TAIYO YUDEN CO., LTD.) 10 June 1997 (1997-06-10) paragraphs [0005]-[0018], fig. 1-5	1-14
A	JP 2016-134616 A (SAMSUNG ELECTRO MECH) 25 July 2016 (2016-07-25) paragraphs [0100]-[0102], fig. 5a	1-14
A	JP 2020-61524 A (TAIYO YUDEN CO., LTD.) 16 April 2020 (2020-04-16) fig. 1	1-14
A	JP 2003-173926 A (MURATA MANUFACTURING CO., LTD.) 20 June 2003 (2003-06-20) paragraph [0022], fig. 5	1-14
A	JP 2015-46422 A (TDK CORP.) 12 March 2015 (2015-03-12) paragraph [0057], fig. 10	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 August 2023		Date of mailing of the international search report 29 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/020657

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 9-153430 A	10 June 1997	(Family: none)	
JP 2016-134616 A	25 July 2016	US 2016/0211074 A1 paragraphs [0114]-[0116], fig. 5A CN 106206011 A KR 10-2016-0089819 A	
JP 2020-61524 A	16 April 2020	US 2020/0118755 A1 fig. 1 CN 111048311 A KR 10-2020-0041805 A	
JP 2003-173926 A	20 June 2003	(Family: none)	
JP 2015-46422 A	12 March 2015	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i FI: H01G4/30 201F; H01G4/30 513		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-153430 A (太陽誘電株式会社) 10.06.1997 (1997 - 06 - 10) 段落[0005]-[0018], 図1-5	1-14
A	JP 2016-134616 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 25.07.2016 (2016 - 07 - 25) 段落[0100]-[0102], 図5a	1-14
A	JP 2020-61524 A (太陽誘電株式会社) 16.04.2020 (2020 - 04 - 16) 図1	1-14
A	JP 2003-173926 A (株式会社村田製作所) 20.06.2003 (2003 - 06 - 20) 段落[0022], 図5	1-14
A	JP 2015-46422 A (TDK株式会社) 12.03.2015 (2015 - 03 - 12) 段落[0057], 図10	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	15.08.2023	国際調査報告の発送日 29.08.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 駿平 5D 5588 電話番号 03-3581-1101 内線 3551	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/020657

引用文献	公表日	パテントファミリー文献	公表日
JP 9-153430 A	10.06.1997	(ファミリーなし)	
JP 2016-134616 A	25.07.2016	US 2016/0211074 A1 段落[0114]-[0116], 図5A CN 106206011 A KR 10-2016-0089819 A	
JP 2020-61524 A	16.04.2020	US 2020/0118755 A1 図1 CN 111048311 A KR 10-2020-0041805 A	
JP 2003-173926 A	20.06.2003	(ファミリーなし)	
JP 2015-46422 A	12.03.2015	(ファミリーなし)	