

1. 一种半导体存储装置,其特征在于,包括:
半导体基底;以及
图案化导电结构,设置于该半导体基底上,其中该图案化导电结构包括:
第一硅导电层;
第二硅导电层,设置于该第一硅导电层上;
界面层,设置于该第一硅导电层与该第二硅导电层之间,其中该界面层包括氧;
阻障层,设置于该第二硅导电层上;以及
金属导电层,设置于该阻障层上。
2. 如权利要求1所述的半导体存储装置,其中该半导体基底上定义有存储单元区以及周围区,且该图案化导电结构设置于该存储单元区以及该周围区上。
3. 如权利要求2所述的半导体存储装置,其中设置于该存储单元区上的该图案化导电结构包括位线结构。
4. 如权利要求3所述的半导体存储装置,还包括:
位线接触结构,设置于该存储单元区上,其中该位线接触结构设置于该阻障层与该半导体基底之间。
5. 如权利要求4所述的半导体存储装置,其中该位线接触结构直接接触该第一硅导电层、该界面层以及该第二硅导电层。
6. 如权利要求2所述的半导体存储装置,其中设置于该周围区上的该图案化导电结构包括栅极结构。
7. 如权利要求1所述的半导体存储装置,其中该第二硅导电层的材料与该第一硅导电层的材料相同。
8. 如权利要求1所述的半导体存储装置,其中该界面层薄于该第一硅导电层与该第二硅导电层。
9. 如权利要求1所述的半导体存储装置,其中该界面层的厚度少于或等于50埃米。
10. 如权利要求1所述的半导体存储装置,其中该界面层包括氧化硅或氮氧化硅。
11. 一种半导体存储装置的制作方法,其特征在于,包括:
提供一半导体基底;以及
在该半导体基底上形成一图案化导电结构,其中该图案化导电结构包括:
第一硅导电层;
第二硅导电层,设置于该第一硅导电层上;
界面层,设置于该第一硅导电层与该第二硅导电层之间,其中该界面层包括氧;
阻障层,设置于该第二硅导电层上;以及
金属导电层,设置于该阻障层上。
12. 如权利要求11所述的半导体存储装置的制作方法,其中形成该图案化导电结构的步骤包括:
进行一第一沉积制作工艺,用以于该半导体基底上形成该第一硅导电层;
对该第一硅导电层的上表面进行一第一处理,用以形成该界面层;
进行一第二沉积制作工艺,用以于该界面层上形成该第二硅导电层;以及
对该第一硅导电层、该界面层以及该第二硅导电层进行一图案化制作工艺。

13. 如权利要求12所述的半导体存储装置的制作方法,其中该第一处理包括一氧化二氮处理。

14. 如权利要求12所述的半导体存储装置的制作方法,其中该第一沉积制作工艺、该第一处理以及该第二沉积制作工艺是于同一个化学气相沉积装置中进行。

15. 如权利要求12所述的半导体存储装置的制作方法,还包括:

在形成该金属导电层的步骤之后,进行一热退火制作工艺,其中该阻障层与该金属导电层是于该第二沉积制作工艺之后以及该图案化制作工艺之前形成。

16. 如权利要求15所述的半导体存储装置的制作方法,还包括:

在形成该阻障层的步骤之前,对该第二硅导电层的上表面进行一第二处理,其中该第二处理包括一氮化处理。

17. 如权利要求12所述的半导体存储装置的制作方法,其中该半导体基底上定义有存储单元区以及周围区,且该图案化导电结构形成于该存储单元区以及该周围区上,其中形成于该存储单元区上的该图案化导电结构包括位线结构,且于形成该周围区上的该图案化导电结构包括栅极结构。

18. 如权利要求17所述的半导体存储装置的制作方法,还包括:

在该存储单元区上形成一位线接触结构,其中该位线接触结构直接接触该第一硅导电层、该界面层以及该第二硅导电层。

19. 如权利要求11所述的半导体存储装置的制作方法,其中该界面层薄于该第一硅导电层与该第二硅导电层。

20. 如权利要求11所述的半导体存储装置的制作方法,其中该界面层包括氧化硅或氮氧化硅。

半导体存储装置及其制作方法

技术领域

[0001] 本发明涉及一种半导体存储装置及其制作方法,尤其是涉及一种具有图案化导电结构的半导体存储装置及其制作方法。

背景技术

[0002] 态随机存取存储器(dynamic random access memory,以下简称为DRAM)为一种挥发性(volatile)存储器,是许多电子产品中不可或缺的关键元件。DRAM由数目庞大的存储单元(memory cell)聚集形成一阵列区,用来存储数据,而每一存储单元可由一金属氧化半导体(metal oxide semiconductor,以下简称为MOS)晶体管与一电容(capacitor)串联组成。

[0003] 存储单元的MOS晶体管结构因产品需求或/及存储单元密度等考虑而有许多不同的结构设计,故有时存储单元的MOS晶体管结构会与同一芯片上其他区域的晶体管结构不同,进而造成制作工艺上的复杂度提升。因此,如何有效地整合存储单元与其他区域中各元件的制作工艺对于相关业界来说是非常重要的课题。

发明内容

[0004] 本发明提供了一种半导体存储装置及其制作方法,在图案化导电结构中的硅导电层中插入界面层,而界面层可用以阻挡硼穿透效应并可用以防止硅导电层与其他材料层过度反应而产生缺陷,故可因此达到提升生产良率的效果。

[0005] 本发明的一实施例提供一种半导体存储装置,包括一半导体基底以及一图案化导电结构。图案化导电结构设置于半导体基底上。图案化导电结构包括一第一硅导电层、一第二硅导电层、一界面层、一阻障层以及一金属导电层。第二硅导电层设置于第一硅导电层上。界面层设置于第一硅导电层与第二硅导电层之间,且界面层包括氧。阻障层设置于第二硅导电层上。金属导电层设置于阻障层上。

[0006] 本发明的一实施例提供一种半导体存储装置的制作方法,包括下列步骤。首先,提供一半导体基底。在半导体基底上形成一图案化导电结构。图案化导电结构包括一第一硅导电层、一第二硅导电层、一界面层、一阻障层以及一金属导电层。第二硅导电层设置于第一硅导电层上。界面层设置于第一硅导电层与第二硅导电层之间,且界面层包括氧。阻障层设置于第二硅导电层上。金属导电层设置于阻障层上。

附图说明

[0007] 图1为本发明第一实施例的半导体存储装置的示意图;

[0008] 图2为本发明第一实施例的半导体存储装置的存储单元区的上视示意图;

[0009] 图3为沿图2中B-B' 剖线所绘示的剖视图;

[0010] 图4至图8为本发明第一实施例的半导体存储装置的制作方法示意图,其中

[0011] 图5为图4之后的状况示意图;

- [0012] 图6为图5之后的状况示意图；
- [0013] 图7为图6之后的状况示意图；
- [0014] 图8为图7之后的状况示意图；
- [0015] 图9为本发明第二实施例的半导体存储装置的制作方法示意图。
- [0016] 主要元件符号说明
- [0017] 10 半导体基底
- [0018] 11 第一沟槽隔离
- [0019] 12 第一主动区
- [0020] 13 第二沟槽隔离
- [0021] 14 第二主动区
- [0022] 21 字符线介电层
- [0023] 22 字符线
- [0024] 23 字符线盖层
- [0025] 31 第一掩模层
- [0026] 32 第二掩模层
- [0027] 33 第三掩模层
- [0028] 34 栅极介电层
- [0029] 40 图案化导电结构
- [0030] 40G 栅极结构
- [0031] 41A 第一硅导电层
- [0032] 41B 第二硅导电层
- [0033] 42 界面层
- [0034] 43 位线接触结构
- [0035] 44 第一硅化物层
- [0036] 45 阻障层
- [0037] 46 第二硅化物层
- [0038] 47 金属导电层
- [0039] 48 第一盖层
- [0040] 49 第二盖层
- [0041] 51 第一间隙子
- [0042] 52 第二间隙子
- [0043] 53 第三间隙子
- [0044] 60 掺杂区
- [0045] 70 隔离结构
- [0046] 80 存储节点接触
- [0047] 91 第一沉积制作工艺
- [0048] 92 第一处理
- [0049] 93 第二沉积制作工艺
- [0050] 94 热退火制作工艺

| | | |
|--------|-----|---------|
| [0051] | 95 | 第二处理 |
| [0052] | 100 | 半导体存储装置 |
| [0053] | BL | 位线结构 |
| [0054] | CH | 接触开孔 |
| [0055] | D1 | 第一方向 |
| [0056] | D2 | 第二方向 |
| [0057] | D3 | 第三方向 |
| [0058] | R1 | 存储单元区 |
| [0059] | R2 | 周围区 |
| [0060] | WL | 字符线结构 |

具体实施方式

[0061] 请参阅图1至图3。图1所绘示为本发明第一实施例的半导体存储装置的示意图。图2所绘示为本发明第一实施例的半导体存储装置的存储单元区的上视示意图。图1的左侧部分可被视为沿图2中A-A' 剖线所绘示的剖视图,而图3为沿图2中B-B' 剖线所绘示的剖视图。如图1至图3所示,本实施例提供一半导体存储装置100,包括一半导体基底10以及一图案化导电结构40。图案化导电结构40设置于半导体基底10上。图案化导电结构40包括一第一硅导电层41A、一第二硅导电层41B、一界面层42、一阻障层45以及一金属导电层47。第二硅导电层41B设置于第一硅导电层41A上。界面层42设置于第一硅导电层41A与第二硅导电层41B之间,且界面层42包括氧。阻障层45设置于第二硅导电层41B上。金属导电层47设置于阻障层45上。在一些实施例中,半导体基底10可包括硅基底、外延硅基底、硅锗基底、碳化硅基底或硅覆绝缘(silicon-on-insulator, SOI) 基底,但并不以此为限。半导体基底10上可定义有一存储单元区R1以及一周围区R2,且图案化导电结构40可设置于存储单元区R1以及周围区R2上,但并不以此为限。在一些实施例中,图案化导电结构40可仅设置于存储单元区R1、仅设置于周围区R2上或仅设置于半导体基底10的其他区域上。

[0062] 在一些实施例中,设置于存储单元区R1上的图案化导电结构40可包括一位线结构BL,而设置于周围区R2上的图案化导电结构40可包括一栅极结构40G。换句话说,至少部分位于存储单元区R1上的图案化导电结构40可用来当作存储单元中的位线结构BL,至少部分位于周围区R2上的图案化导电结构40可用来当作位于周围区R2的晶体管的栅极结构40G,而位线结构BL与栅极结构40G可因为由图案化导电结构40所形成而具有相似的结构。半导体存储装置100可包括多个位线结构BL,各位线结构BL可沿一第一方向D1延伸,多个位线结构BL可沿一第二方向D2重复排列设置,且第二方向D2可大体上与第一方向D1正交,但并不以此为限。在图案化导电结构40中,第一硅导电层41A与第二硅导电层41B的材料可包括多晶硅、非晶硅或其他含硅的非金属导电材料,而界面层42可包括氧化硅、氮氧化硅或其他含有氧与硅的界面材料。在一些实施例中,第二硅导电层41B的材料可与第一硅导电层41A的材料相同或不同。此外,阻障层45可包括钛(Ti)、氮化钛(TiN)、氮化钨(WN)或其他适合的阻障材料,而金属导电层47可包括铝、钨、铜、钛铝合金或其他适合的低电阻金属导电材料。在一些实施例中,第二硅导电层41B与阻障层45之间可形成有一第一硅化物层44,而阻障层45与金属导电层47之间可形成有一第二硅化物层46,但并不以此为限。第一硅化物层44可包

括阻障层45中材料的硅化物例如硅化钛(TiSi),而第二硅化物层46可包括金属导电层47中材料的硅化物例如硅化钨(WSi),但并不以此为限。

[0063] 在半导体基底10的厚度方向(例如图1至图3中所示的第三方向D3)上位于第一硅导电层41A与第二硅导电层41B之间的界面层42可用以阻挡第二硅导电层41B中掺质向下穿透的状况例如硼穿透效应,由此提升半导体存储装置100的电性表现。此外,界面层42也可用以阻挡阻障层45中材料例如钛向下扩散而与硅反应生成硅化物或导致缺陷产生,故可达到改善生产良率的效果。因此,界面层42可明显薄于第一硅导电层41A与第二硅导电层41B。举例来说,界面层42的厚度可少于或等于50埃米(angstrom),而第一硅导电层41A与第二硅导电层41B的整体厚度可约为300埃米,但并不以此为限。在一些实施例中,为了加强上述的阻挡硼穿透效应的效果,界面层42的位置可相对调低,而第一硅导电层41A的厚度可小于第二硅导电层41B的厚度。在一些实施例中,为了加强上述的阻挡阻障层45中材料向下扩散的效果,界面层42的位置可相对调高,而第一硅导电层41A的厚度可大于第二硅导电层41B的厚度。换句话说,可视需要分配第一硅导电层41A与第二硅导电层41B的厚度比例状况,使得界面层42可位于所需要的位置。

[0064] 进一步说明,在存储单元区R1中,半导体基底10中可形成有一第一沟槽隔离11,用以于存储单元区R1中定义出多个第一主动区12。相对地,在周围区R2中,半导体基底10中可形成有一第二沟槽隔离13,用以于周围区R2中定义出第二主动区14。第一沟槽隔离11与第二沟槽隔离13可分别包括单层或多层的绝缘材料例如氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料。此外,半导体基底10中可形成多个字符线(word line)结构WL,而本实施例的字符线结构WL可为埋入式字符线(buried word line),但并不以此为限。各字符线结构WL可沿第二方向D2延伸,且各字符线结构WL可包括一字符线介电层21、一字符线22以及一字符线盖层23,但并不以此为限。上述的字符线介电层21、字符线22以及字符线盖层23可通过先于半导体基底10中形成多个沟槽,再于沟槽中依序形成字符线介电层21、字符线22以及字符线盖层23,但并不以此为限。在一些实施例中,也可视需要形成其他型式的字符线结构。此外,字符线介电层21可包括氧化硅或其他适合的介电材料,字符线22可包括铝、钨、铜、钛铝合金或其他适合的导电材料,而字符线盖层23可包括氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料。字符线结构WL上可设置掩模层例如第一掩模层31、第二掩模层32与第三掩模层33。

[0065] 在一些实施例中,半导体存储装置100可还包括一位线接触结构43设置于存储单元区R1上,而位线接触结构43可于第三方向D3上设置于阻障层45与半导体基底10之间。位线结构BL可通过位线接触结构43与对应的第一主动区12电连接,而位线接触结构43可包括金属导电材料或非金属导电材料例如多晶硅、非晶硅或其他含硅的非金属导电材料,但并不以此为限。如图3所示,在一些实施例中,位线接触结构43可贯穿第一硅导电层41A、界面层42以及第二硅导电层41B,且位线接触结构43可直接接触第一硅导电层41A、界面层42以及第二硅导电层41B,但并不以此为限。此外,位线接触结构43可至少部分位于一贯穿第一掩模层31、第二掩模层32与第三掩模层33的接触开孔CH中,而位线结构BL的侧壁上可形成有间隙子例如第一间隙子51与第二间隙子52,且至少部分的间隙子例如第一间隙子可部分设置于此接触开孔CH中。此外,半导体存储装置100可还包括一隔离结构70设置于半导体基底10上,而多个存储节点接触80可形成于隔离结构70的开孔中并与对应的第一主动区12电

连接。隔离结构70可包括氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料，而存储节点接触80可包括非晶硅、多晶硅或其他含硅或不含硅的导电材料。

[0066] 在周围区R2中，栅极结构40G与第二主动区14之间可具有一栅极介电层34，栅极结构40G的侧壁上可形成有第三间隙子53，而栅极结构40G两侧的第二主动区14中可形成有掺杂区60，用以当晶体管源极/漏极区，但并不以此为限。在一些实施例中，图案化导电结构40可还包括一第一盖层48设置于金属导电层47上，而第一盖层48可包括氮化硅、氧化硅或其他适合的绝缘材料。

[0067] 请参阅图1至图8。图4至图8所绘示为本发明第一实施例的半导体存储装置的制作方法示意图，而图1至图3可被视为绘示了图8之后的状况示意图。如图1至图3所示，本实施例的半导体存储装置的制作方法可包括下列步骤。首先，提供半导体基底10，并于半导体基底10上形成图案化导电结构40。图案化导电结构40包括第一硅导电层41A、第二硅导电层41B、界面层42、阻障层45以及金属导电层47。第二硅导电层41B设置于第一硅导电层41A上。界面层42设置于第一硅导电层41A与第二硅导电层41B之间，且界面层42包括氧。阻障层45设置于第二硅导电层41B上。金属导电层47设置于阻障层45上。

[0068] 进一步说明，本实施例的半导体存储装置100的制作方法可包括但并不限于下列步骤。首先，如图4所示，在形成第三掩模层33之后，进行一第一沉积制作工艺91，用以于半导体基底10的存储单元区R1以及周围区R2上形成第一硅导电层41A。然后，如图5所示，对第一硅导电层41A的上表面进行一第一处理92，用以形成界面层42。在一些实施例中，第一处理92可包括一氧化二氮(N₂O)处理或其他适合的氧化处理。之后，如图6所示，进行一第二沉积制作工艺93，用以在界面层42上形成第二硅导电层41B。如图4至图6所示，在一些实施例中，第一沉积制作工艺91、第一处理92以及第二沉积制作工艺93可于同一个化学气相沉积装置或/及同一制作工艺腔室中进行。换句话说，第一处理92可被视为一原位(in-situ)处理，但并不以此为限。接着，如图7所示，在第二硅导电层41B上形成阻障层45与金属导电层47，并于形成金属导电层47的步骤之后，进行一热退火制作工艺94。在一些实施例中，热退火制作工艺94可包括一快速升温制作工艺(rapid thermal processing, RTP)，但并不以此为限。值得说明的是，在一些实施例中，在阻障层45与金属导电层47形成之前，可于存储单元区R1上形成位线接触结构43。位线接触结构43可形成于贯穿第二硅导电层41B、界面层42、第一硅导电层41A、第三掩模层33、第二掩模层32以及第一掩模层31的接触开孔CH中，而位线接触结构43可直接接触第一硅导电层41A、界面层42以及第二硅导电层41B，但并不以此为限。

[0069] 接着，如图7至图8所示，在热退火制作工艺94之后，在金属导电层47上形成第一盖层48与第二盖层49，而第二盖层49可包括氮化硅、氧化硅或其他适合的绝缘材料。然后，如图1所示，对第一硅导电层41A、界面层42、第二硅导电层41B、第一硅化物层44、阻障层45、第二硅化物层46以及金属导电层47进行一图案化制作工艺而形成图案化导电结构40，并于图案化导电结构40形成之后，形成上述的第一间隙子51、第二间隙子52、第三间隙子53、掺杂区60、隔离结构70以及存储节点接触80等部件。换句话说，阻障层45与金属导电层47可与第一硅导电层41A、界面层42、以及第二硅导电层41B一起被图案化，故阻障层45与金属导电层47可于上述的第二沉积制作工艺之后以及上述的图案化制作工艺之前形成，但并不以此为限。

[0070] 下文将针对本发明的不同实施例进行说明,且为简化说明,以下说明主要针对各实施例不同之处进行详述,而不再对相同之处作重复赘述。此外,本发明的各实施例中相同的元件是以相同的标号进行标示,以利于各实施例间互相对照。

[0071] 请参阅图6、图7与图9。图9所绘示为本发明第二实施例的半导体存储装置的制作方法示意图。图9可被视为绘示了图6之后的状况示意图,而图7可被视为绘示了图9之后的状况示意图。如图6、图7与图9所示,与上述第一实施例不同的地方在于,本实施例的制作方法可还包括于形成阻障层45的步骤之前,对第二硅导电层41B的上表面进行一第二处理95。在一些实施例中,第二处理95包括一氮化处理例如去耦合等离子体氮化(decoupled plasma nitridation,DPN)处理。第二处理95可用以于第二硅导电层41B的上表面形成一氮化硅阻障层,用以避免后续热退火制作工艺94中第二硅导电层41B与阻障层45在高温下反应太剧烈而形成缺陷。在一些实施例中,第二硅导电层41B被氮化的深度可介于10埃米至30埃米,但并不以此为限。

[0072] 综上所述,在本发明的半导体存储装置以及其制作方法中,可利用表面处理的方式于第一硅导电层上形成界面层,在于界面层上形成第二硅导电层。界面层可用以阻挡硼穿透效应并可用以防止硅导电层与其他材料层于后续制作工艺中过度反应而产生缺陷,故可因此达到改善半导体存储装置的电性表现以及提升生产良率的效果。

[0073] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。

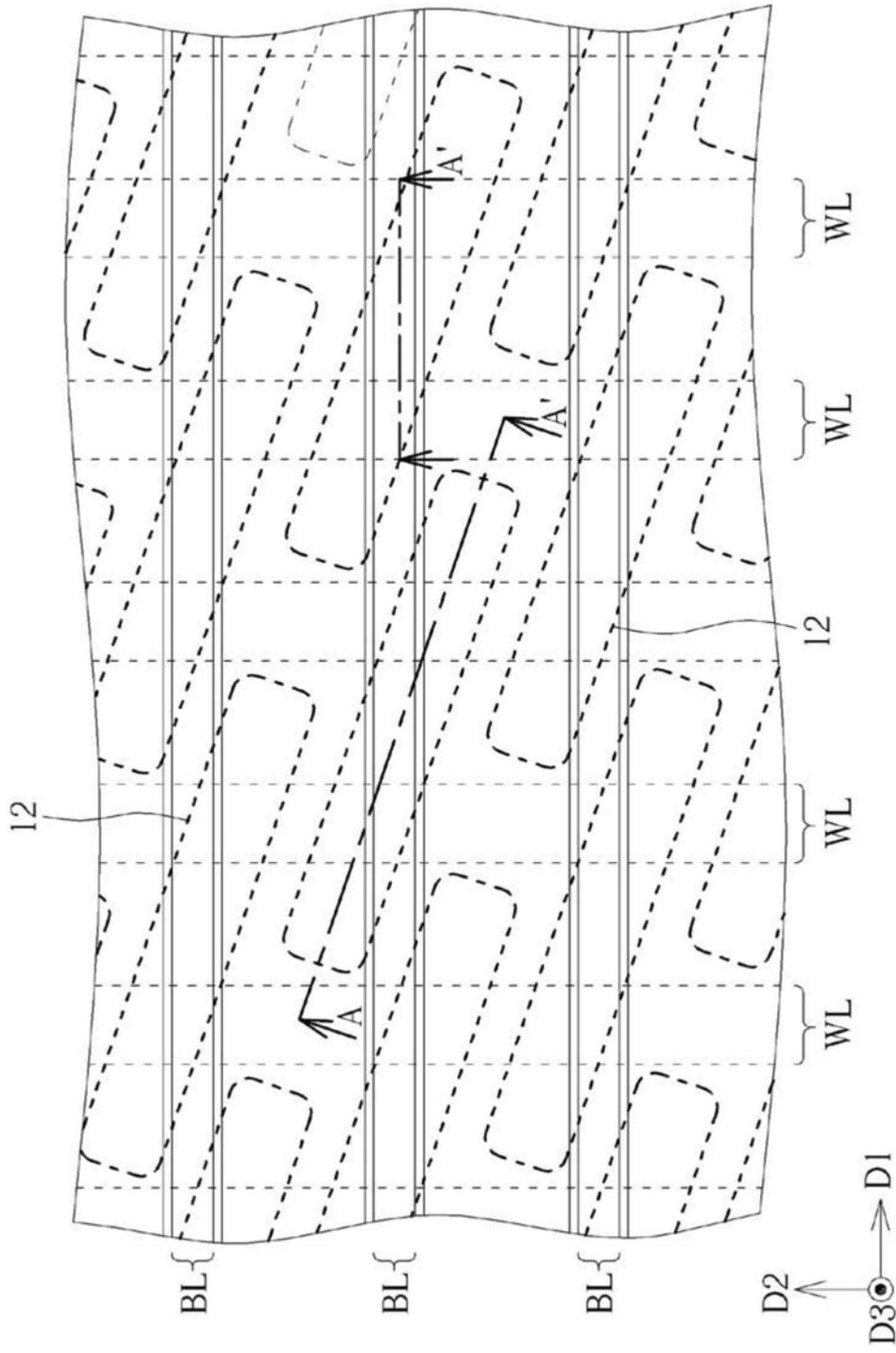


图2

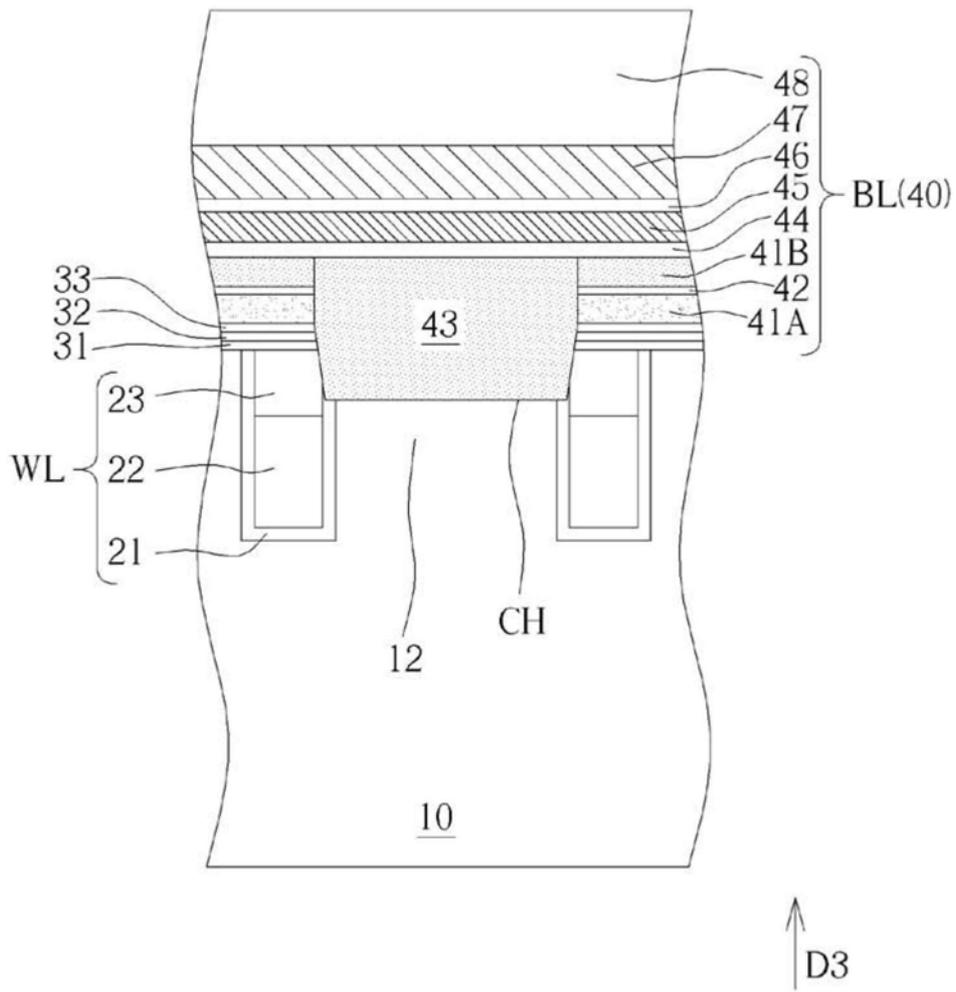


图3

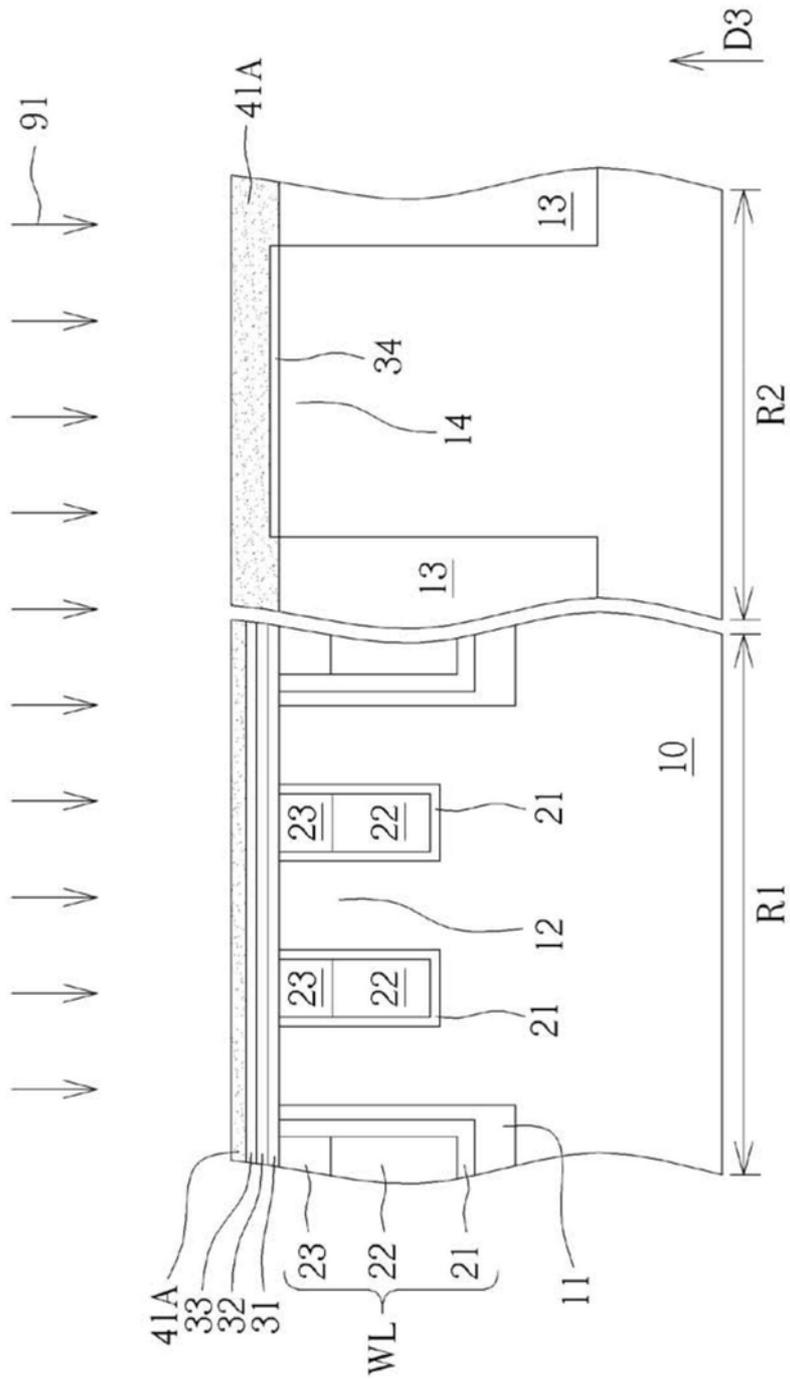


图4

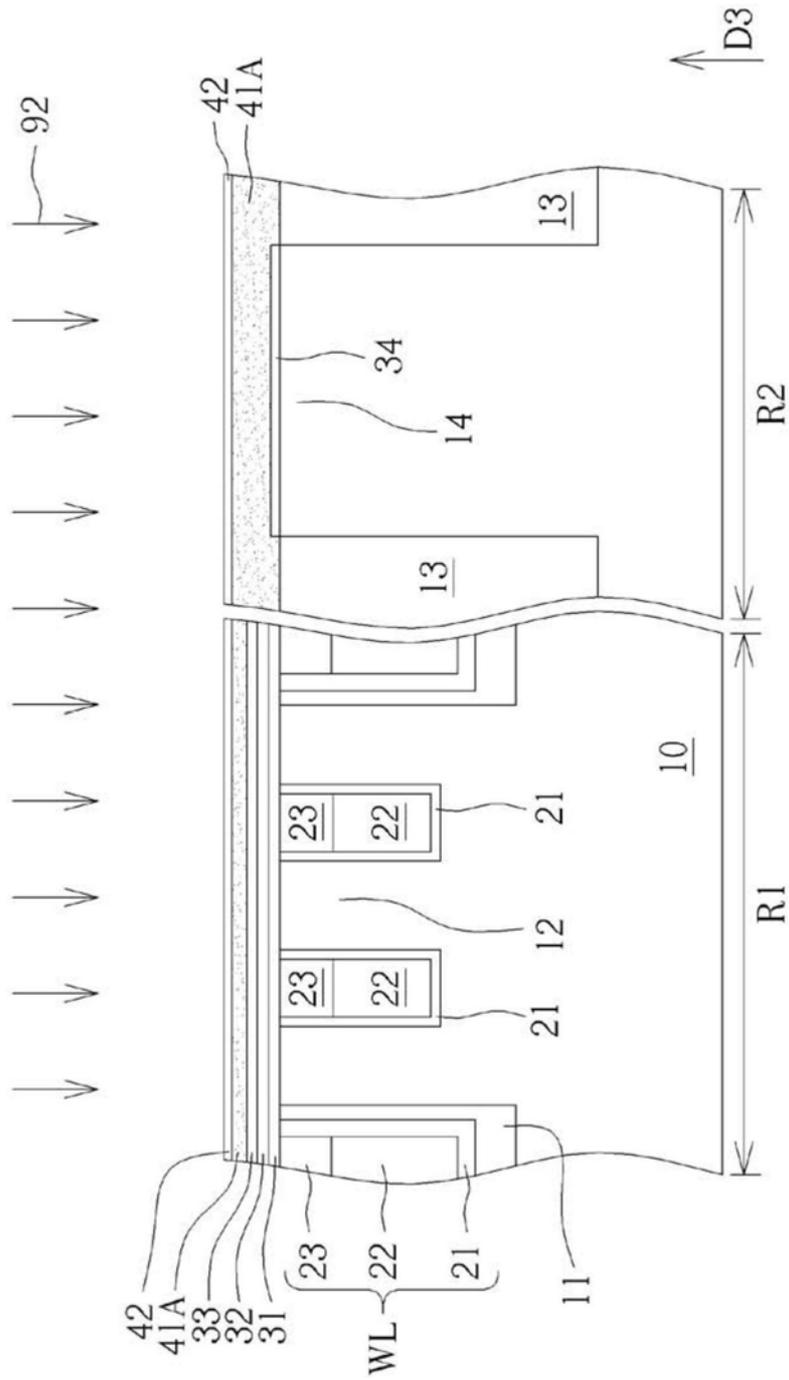


图5

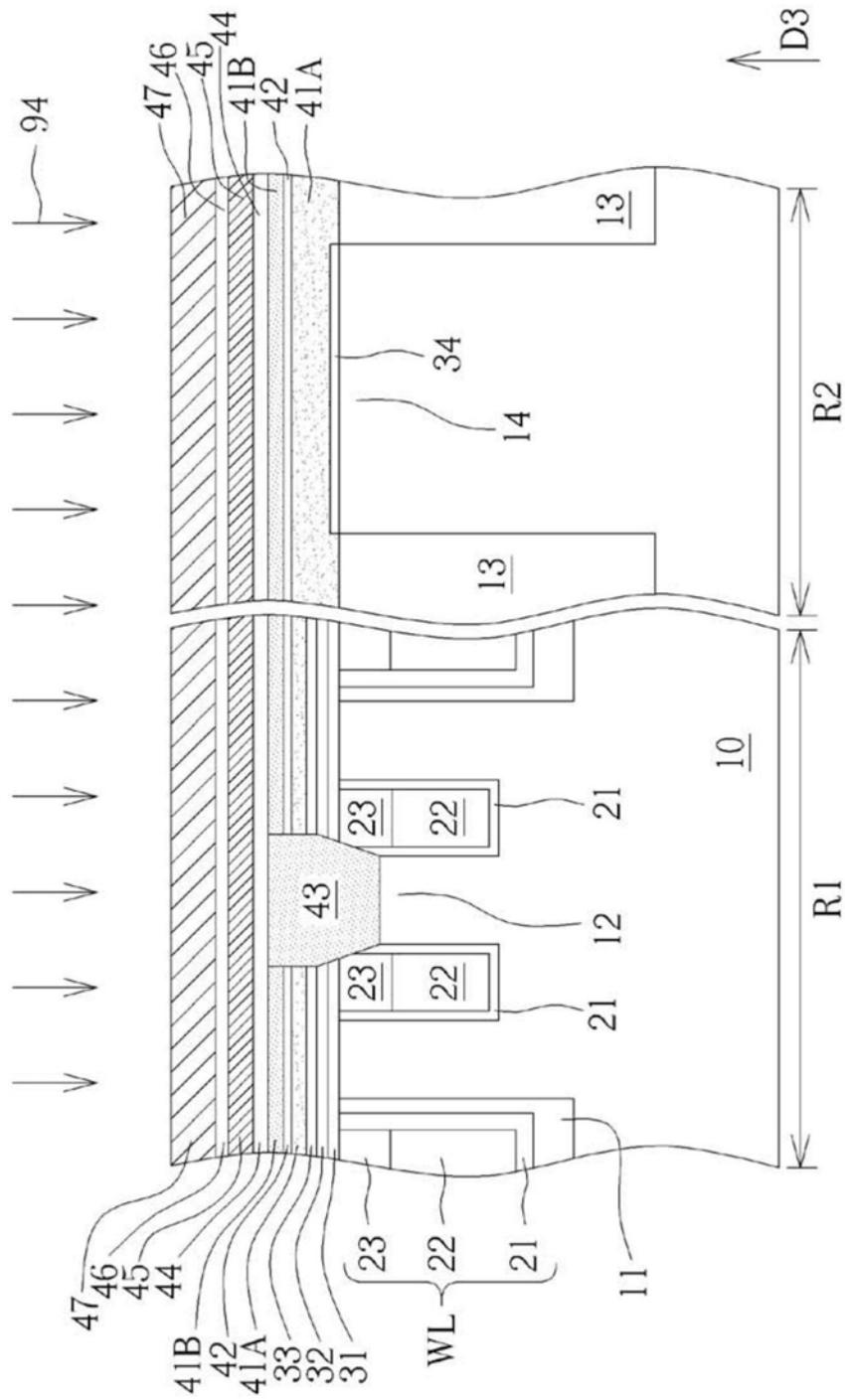


图7

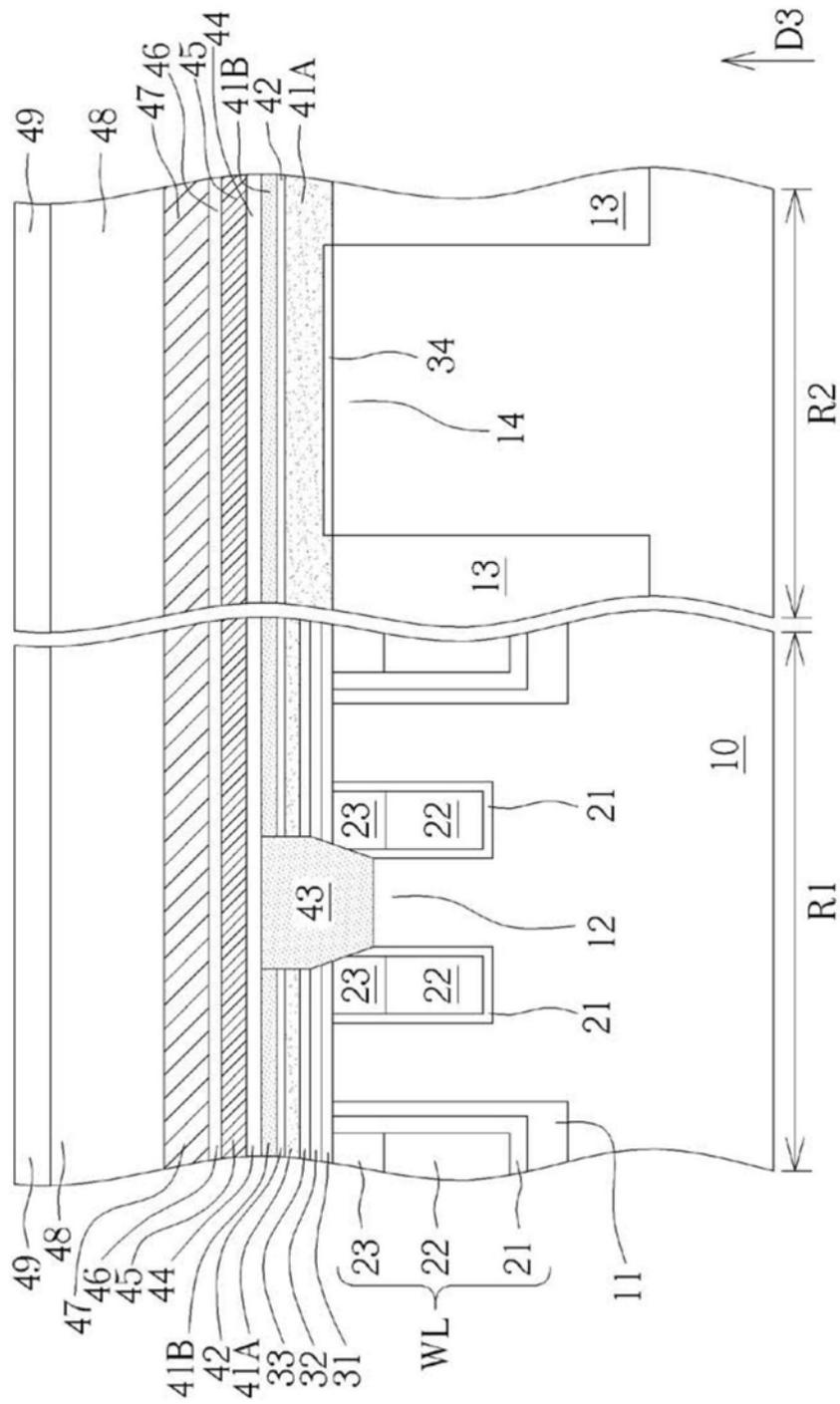


图8

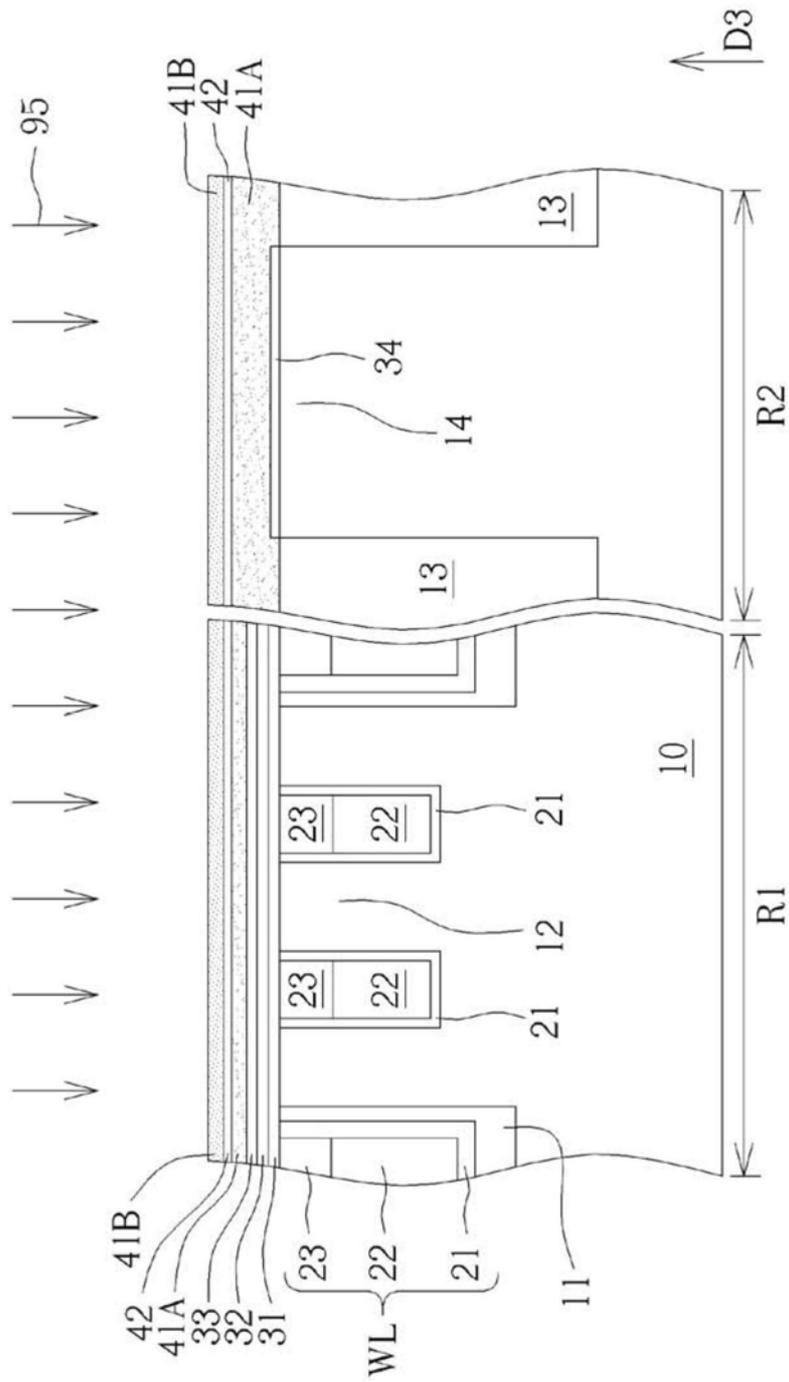


图9