

# 發明專利說明書 200423207

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93104947

※ 申請日期： 93.2.26 ※IPC 分類：H01L 21/00

## 壹、發明名稱：(中文/英文)

半導體元件及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通股份有限公司 / FUJITSU LIMITED

代表人：(中文/英文)

黑川博昭 / KUROKAWA, HIROAKI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI, KANAGAWA

211-8588 JAPAN

國籍：(中文/英文)

日本 / JAPAN

## 參、發明人：(共 1 人)

姓名：(中文/英文)

原明人 / HARA, AKITO

住居所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI, KANAGAWA

211-8588 JAPAN

國籍：(中文/英文)

日本 / JAPAN

**肆、聲明事項：**

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2003.03.20； 特願 2003-077435
2. 日本； 2003.05.23； 特願 2003-146238
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

相關申請案之交互參照

本申請案係基植於並主張2003年3月20日提申之日本  
5 專利申請案第2003-077435號和2003年5月23日提申之日本  
專利申請案第2003-146238號的優先權，其完整的內容在此  
以參照方式納入本說明書。

發明領域

本發明係有關於半導體元件及其製造方法，特別是設  
10 置於非晶矽透明基板上之薄膜電晶體(TFT)。

### 【先前技術】

相關技藝之說明

近年來，高畫質顯示器已透過在一無鹼玻璃基板上形  
成多晶矽半導體TFT(特別是複晶矽TFT(p-Si TFT))的方式  
15 被實現。在製造p-Si薄膜以做為p-Si TFT之操作半導體薄模  
的最普及技術中，一非晶矽(a-Si)薄膜首先被形成，然後該  
薄膜由一紫外線短脈衝準分子雷射光照射。這可使該a-Si  
薄膜熔化並結晶，且不會對玻璃基板產生負面影響，進而  
構成該p-Si薄膜。

20 [專利文獻1]

美國專利申請案公告第2002/0031876A1號

[專利文獻2]

日本專利申請案早期公開第10-173192號

[專利文獻3]

日本專利申請案早期公開第2002-33481號

[非專利文獻1]

2001 AM-LCD 第243頁

一供廣域照射使用之高功率、線性光束準分子雷射光  
5 被使用以根據上述技術形成該p-Si薄膜，且一使用依此方式  
結晶之該p-Si薄膜的頂閘式薄膜電晶體亦被開發。在準分子  
雷射結晶過程中，晶粒等向地從隨機產生之核心生長，以  
獲致小至低於1微米之晶粒尺寸。這會使管道區域內之小尺  
寸晶粒大量分佈，並使該TFT之遷移率小至 $150 \text{ cm}^2 / \text{Vs}$ 左  
10 右。此一數值可能比a-Si MOSFET之遷移率大上大概100  
倍，但約為單晶矽MOSFET (Si-MOSFET)之遷移率的四分  
之一。在具有較大晶粒尺寸及較小之沿該管道長度方向延  
伸的晶粒邊際之管道部份中，遷移率將變大，而在具有較  
小晶粒尺寸及較大之沿該管道長度方向延伸的晶粒邊際之  
15 管道部份中，遷移率將變小。晶粒邊際具有許多缺點，且  
存在於該管道部份中之邊際將壓抑其特性使其無法完全施  
展開來。因此，為了實現高 $g_m$ (大的開啟電流)和複晶矽半  
導體薄膜，有必要增加晶粒尺寸，或採用一些可以達成高  
 $g_m$ 之TFT結構的新設計。

## 20 【發明內容】

### 發明概要

本發明係在考量上述問題之後構思成的，其目的之一  
在於提供一可以展現高 $g_m$ (大的開啟電流)並且在其相對簡  
單之組態限制下具有媲美Si-MOSFET之特性的TFT，以及

製造該TFT之方法。

經過廣泛的調查後，本發明之發明人做成本發明之下列實施例。

5 本發明之半導體元件包括一非晶矽透明基板；一形成於該非晶矽透明基板上之操作半導體薄膜；以及由相同金屬材料做成之上閘電極和下閘電極，該等電極被設置於該非晶矽透明基板上並在設置一絕緣薄膜於其中間之時形成於該操作半導體薄膜之上側和下側；其中該上閘電極和該下閘電極之薄膜厚度不同。

10 本發明之半導體元件的另一態樣包括一非晶矽透明基板；一形成於該非晶矽透明基板上之操作半導體薄膜；以及一上閘電極和一下閘電極，該等電極被設置於該非晶矽透明基板上並在設置一絕緣薄膜於其中間之時形成於該操作半導體薄膜之上側和下側；其中該上閘電極包括一金屬層和一堆疊其上並具有高於該金屬層之光線透射率的高透射率材料層；且該上閘電極和該下閘電極之該金屬層係由  
15 相同金屬材料做成但具有不同的薄膜厚度。

本發明之半導體元件製造方法包括下列步驟：將一金屬材料沉積於一非晶矽透明基板上，以及對該金屬材料進行加工以形成一下閘電極；將一半導體薄膜沉積於該下閘電極上並在其中間設置一絕緣薄膜，以及對該半導體薄膜加工以形成一操作半導體薄膜；以及以小於該下閘電極之厚度將相同金屬材料沉積於該操作半導體薄膜上並在其中間設置一絕緣薄膜，以及藉由從該非晶矽透明基板之後側  
20

使該金屬材料在該下閘電極之光罩下曝光的方式對該金屬材料加工，以形成一與該下閘電極對準之上閘電極。

本發明之半導體元件製造方法的另一態樣包括下列步驟：將一金屬材料沉積於一非晶矽透明基板上，以及對該金屬材料進行加工以形成一下閘電極；將一半導體薄膜沉積於該下閘電極上並在其中間設置一絕緣薄膜，以及對該半導體薄膜加工以形成一操作半導體薄膜；以及以小於該下閘電極之厚度依序地沉積相同材料和一高於該金屬材料之光線透射率的高透射率材料，並在其中間設置一絕緣薄膜，以及藉由從該非晶矽透明基板之後側使該金屬材料和該高透射率材料在該下閘電極之光罩下曝光的方式對該等材料加工，以形成一與該下閘電極對準之上閘電極。

本發明藉由在一透明非晶矽基板上結合可以提供高遷移率之半導體薄膜以及運用金屬閘之雙閘結構，成功地實現一種具有媲美Si-MOSFET之特性的TFT。

#### 圖式簡單說明

第1A至1D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之各個步驟；

第2A至2D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之接續第1D圖的各個步驟；

第3A至3D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之接續第2D圖的各個步驟；

第4圖為一微型圖，顯示在連續波雷射之掃描照射下透過結晶所獲得的流程圖案；

第5圖為一概略平面圖，顯示一操作半導體薄膜被圖案化成一島嶼形狀；

第6A至6D圖為概略斷面圖，依序地顯示根據本發明之第二實施例的TFT製造方法之各個步驟；

5 第7A至7D圖為概略斷面圖，依序地顯示根據本發明之第二實施例的TFT製造方法之接續第6D圖的各個步驟；

第8A至8D圖為概略斷面圖，依序地顯示根據本發明之第二實施例的TFT製造方法之接續第7D圖的各個步驟；

10 第9A至9D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之各個步驟；

第10A至10D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之接續第9D圖的各個步驟；

第11A至11D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之接續第10D圖的各個步驟；

15 第12A至12D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之各個步驟；

第13A至13D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之接續第12D圖的各個步驟；

20 第14A至14D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之接續第13D圖的各個步驟；

第15圖為一微型圖，顯示一以本發明之技術實際製成的TFT；以及

第16圖為以本發明之技術實際製成的該TFT之特性圖。

## 【實施方式】

較佳實施例之詳細說明

-本發明之基本特徵-

為了追求實現媲美Si-MOSFET之高遷移率TFT，本發明之發明人考慮使用一複晶矽半導體薄膜以做為一操作半導體薄膜，以及採用一雙閘結構，其中閘電極被設置於該操作半導體薄膜之上、下側且一絕緣薄膜被設置於其中間。

一般咸認，雙閘結構無法以使用Si基板之Si-MOSFET實現，因為上、下閘電極非常難以對準。為實現依此方式結構之TFT，可採用以使用透明非晶矽基板如玻璃基板為基礎之TFT製程。換言之，可能的製程為從基板側在該下閘電極(背閘電極)之光罩下執行背部曝光，以便以自我對準方式形成該上閘電極(頂閘電極)。

Asano等人以此一技術實際製造一TFT(詳見非專利文獻1：2001 AM-LCD 第243頁)。低阻力複晶矽閘被用於其實驗中。然而，此一製程並不適用於玻璃基板，因為低阻力複晶矽薄膜之形成需要高溫退火。石英玻璃為其選擇。

揭露之另一技術為在該背閘電極之光罩下以自我對準方式形成該頂閘電極，這是透過使用不同的材料來組成該背閘電極和該頂閘電極之方式達成的(詳見專利文獻：美國專利申請案公告第2002/0031876A1號)。

然而，在此一案例中曝光光線必須能夠行經該基板，能夠在該背閘電極之該部分被攔截，而且能夠行經一在沒有該背閘電極之部份中組成該頂閘電極的導電薄膜。為達

成這些需求，可以一金屬材料形成該兩閘電極，其中用以形成該頂閘電極之金屬層被做成薄至足以允許該曝光光線穿過，而用以形成該背閘電極之金屬層則被做成厚至足以攔截該曝光光線。使用同一金屬材料以做為該背閘電極和  
5 該頂閘電極之做法在此案例中成功地加速並確保兩者的內連，加速臨界電壓之控制，並改進其特性。這可使 $g_m$ (遷移率)放大成一般單閘TFT的兩倍。使用金屬材料做為該兩閘電極之材料亦可使兩者可以輕易地連接於一預設位置上。

為了有效且精準地執行背面曝光，宜盡可能地讓用以  
10 形成該頂閘電極之導電薄膜薄化。另一方面，該頂閘電極在該導電薄膜變薄後將具有不受歡迎之較大阻力。為在背面曝光和阻力降低之需求之間取得最佳平衡且不致犧牲任一者，本發明之發明人思及將該頂閘電極組態成具有一堆疊結構，其中一由和組成該背閘電極相同之金屬材料做成的  
15 的金屬層與一具有高於該金屬層之光線透射率的高透射率層被堆疊。換言之，背面曝光之需求係由(盡可能地)薄於該背閘電極之該金屬層滿足，而阻力降低之需求則係由以透明導電材料層為代表之該高透射率材料層滿足。

此外，在用以形成該操作半導體薄膜之該複晶矽半導體  
20 薄膜的結晶形成過程中，具有大晶粒尺寸之複晶矽可以透過照射一具有因時而異之連續性的能量光束形成。最終的結晶晶粒尺寸將達數微米之厚。此一結晶晶粒尺寸為現存準分子雷射結晶法所能取得之結晶晶粒尺寸的10到100倍。此外，遷移率高達 $300 \text{ cm}^2 / \text{Vs}$ 至 $400 \text{ cm}^2 / \text{Vs}$ ，此為準

分子雷射結晶法所能取得之遷移率的2到3倍。

因此，具有媲美Si-MOSFET之特性的TFT可以藉由使  
可以實現高遷移率之操作半導體薄膜和雙閘結構結合之方  
式完成。本發明最適用於形成於非晶矽透明基板上且預期  
5 使用於高速操作之電路。

-本發明之特定實施例-

以下段落將詳述本發明之特定實施例。

下文所述之示範製程採用結晶法並使用一二極體泵浦  
固態(DPSS)雷射以做為CW(連續波)雷射。該雷射具有532  
10 奈米之波長以及10 W之輸出。該能量光束在噪音下的輸出  
不穩定度為0.1 rms %，而該輸出之因時而異的不穩定度為  
± % / hour或更少。該雷射之波長並不受限於上述數值，任  
何其他可以使該非晶矽半導體薄膜結晶之波長皆可使用。

此處所使用之該非晶矽透明基板通常為NA35玻璃，但  
15 基板材料並不受其限制，其他可使用的範例包括無鹼玻  
璃、石英玻璃以及塑膠。

(第一實施例)

第1A至3D圖為概略斷面圖，依序地顯示根據本發明之  
第一實施例的TFT製造方法之各個步驟。

20 首先，如第1A圖所示，在一玻璃基板1上，一在後續階  
段將成為一緩衝層之氧化矽薄膜2被形成具有400奈米左右  
之厚度，然後一比方說負光阻被塗佈其上，再以光蝕刻技  
術加工以形成一光阻圖案3，該光阻圖案3具有一與該背閘  
電極之幾何相符的溝槽圖案3a。

其次，如第1B圖所示，該氧化矽薄膜2之表面部分在該光阻圖案3之光罩下以RIE蝕刻，以形成一深達100奈米左右之與該氧化矽薄膜2中之該溝槽圖案3a相符的溝槽4。

5 接下來，如第1C圖所示，一金屬材料，此處為Mo薄膜5，以典型的濺鍍法被沉積以填充該溝槽4至一足以攔截該曝光光線(此處為g線)之厚度，比方說300奈米左右。

接下來，如第1D圖所示，該Mo薄膜5以典型的化學機械研磨法(CMP)被研磨，並同時使用該氧化矽薄膜2做為一制動器，以將該Mo薄膜5限制於該溝槽4中俾形成一背閘電極6。

接下來，如第2A圖所示，一氧化矽薄膜以典型的PECVD製程在該背閘電極6上形成具有60奈米左右之厚度，以進而形成一背閘絕緣薄膜7，並在其上進一步形成一具有60奈米左右之厚度的非晶矽(a-Si)薄膜8。

15 接下來，如第2B圖所示，該a-Si薄膜8被退火以驅離其中所含的氫，並以一具有因時而異之連續性的能量光束，使用一連續波雷射以掃描方式照射，俾進而形成一具有大晶粒尺寸之複晶矽薄膜9。詳言之，如第4圖所示，該複晶矽薄膜9被形成具有一以大流線型結晶晶粒為特徵之流程  
20 圖案化結晶，其中該結晶晶粒之形成使得其結晶邊際從另一前置結晶晶粒起算並與後側之其他結晶晶粒熔合，以使該結晶邊際與雷射掃描方向M幾近平行，並使該結晶晶粒之長軸與連接下述源極和汲極之方向幾近平行。本範例中之結晶晶粒尺寸為數微米左右，而這是相當大的尺寸。此

一結晶晶粒尺寸為現存準分子雷射結晶法所能取得之結晶晶粒尺寸的10到100倍。

接下來，如第2C圖和第5圖所示，該p-Si薄膜9被圖案化以形成一島嶼形狀之操作半導體薄膜10。其次，形成於該背閘電極6上之該背閘絕緣薄膜7的一部份(圖中未示)以蝕刻方式被移除，以為該背閘電極6和下述之頂閘電極之間提供內連。

接下來，如第2D圖所示，一氧化矽薄膜以PECVD製程被形成，以覆蓋該操作半導體薄膜10至一60奈米左右之厚度，俾進而形成一頂閘絕緣薄膜11。如上所述，該背閘絕緣薄膜和該頂閘絕緣薄膜宜以同一絕緣材料做成。

接下來，為了使該背閘電極6和下述之頂閘電極內連，該頂閘絕緣薄膜11之與該背閘絕緣薄膜7之業已移除部分位於同一位置上的那一部份(圖中未示)以蝕刻方式被移除，而如第3A圖所示，一與組成該背閘電極6之材料相同的金屬材料，此處為Mo薄膜12，以沉積方式被形成於該頂閘絕緣薄膜11，並具有薄至足以允許該曝光光線(此處為g線)穿過之厚度，比方說50奈米左右。在此一製程中，該背閘電極6和該Mo薄膜12透過上述之該背閘絕緣薄膜7和該頂閘絕緣薄膜11被部分移除的部分被連接。

接下來，如第3B圖所示，一比方說正光阻被塗佈於該Mo薄膜12上，並從該玻璃基板1那一側在該背閘電極6之光罩下接受背部曝光。由於該曝光光線被該背閘電極6攔截但仍可穿過該Mo薄膜12，故可形成一具有相同幾何並與該背

閘電極6對準之光阻圖案13。

接下來，如第3C圖所示，該Mo薄膜12在該光阻圖案13之光罩下被蝕刻，以形成一以自我對準方式具有與該光阻圖案13相符之幾何的頂閘電極14。

- 5 之後該光阻圖案13以灑灰等方式被移除，而如第3D圖所示，該頂閘絕緣薄膜11在該頂閘電極14之光罩下被蝕刻。其次，該操作半導體薄膜10在該頂閘電極14之光罩下被攙以雜質，通常為磷離子。然後該操作半導體薄膜10以準分子雷射被照射以活化磷，俾形成源極和汲極15。宜注意的  
10 意的是，雜質之活化並不限於準分子雷射活化，其亦可以熱活化或燈泡退火方式執行。

- 之後一SiN被沉積至一300奈米左右之厚度以覆蓋整個表面，俾進而形成一內層絕緣薄膜(圖中未示)，接下來則進行接觸孔、以及通常被連接至源極和汲極之金屬電極(圖中  
15 未示)等的形成工作。至此，該TFT便告完成。

退火溫度在該TFT的製造過程中最好設定在600°C，因為高於600°C之溫度會導致該玻璃基板1變形。

- 如上所述，此一實施例在其相對簡單之組態限制下成功地提供一種可以展現高gm(大的開啟電流)而且具有媲美  
20 Si-MOSFET之特性的TFT。

(第二實施例)

第6A至8D圖為概略圖，依序地顯示根據本發明之第二實施例的TFT製造方法之各個步驟，其中第6A至6D、第7C以及第8A至8D圖為概略斷面圖，而第7A、7B和7D圖則為

概略平面圖。

首先，如第6A圖所示，在一玻璃基板21上，一在後續階段將成為一緩衝層之氧化矽薄膜22被形成具有400奈米左右之厚度，然後一金屬材料，此處為Mo薄膜，以沉積方式被形成厚至足以攔截該曝光光線(此處為g線)之厚度，比方說200奈米左右，且該Mo薄膜被圖案化以進而形成一背閘電極23。

接下來，如第6B圖所示，一氧化矽薄膜24以典型的PECVD製程被形成，以覆蓋該背閘電極23至一60奈米左右之厚度。

接下來，如第6C圖所示，一非晶矽(a-Si)薄膜25在該氧化矽薄膜24上形成60奈米左右之厚度。

接下來，如第6D和7A圖所示，該a-Si薄膜25被退火以驅離其中所含的氫，並以一具有因時而異之連續性的能量光束，使用一連續波雷射以掃描方式照射。

詳言之，如第7B和7C圖所示，該a-Si薄膜25在該背閘電極23上具有一與其幾何相符之隆起部分25a，且第4圖所示之流程圖案化結晶在該隆起部分25a形成。該流程圖案化結晶之晶粒被形成於該背閘電極23上，而未將熔化之薄膜剝除，即使在該隆起部分25a之階面的邊緣亦是如此。這促成具有大複晶矽結晶晶粒之複晶矽(p-Si)薄膜26的形成。

接下來，如第7D圖所示，該p-Si薄膜26被圖案化以形成一島嶼形狀之操作半導體薄膜27。其次，形成於該背閘電極23上之該氧化矽薄膜24的一部份(圖中未示)以蝕刻方

式被移除，以為該背閘電極23和下述之頂閘電極之間提供內連。

接下來，如第8A圖所示，一氧化矽薄膜被形成具有60奈米左右之厚度，俾進而形成一絕緣薄膜28。接下來，為了使該背閘電極23和下述之頂閘電極內連，該絕緣薄膜28之與該氧化矽薄膜24之業已移除部分位於同一位置上的那一部份(圖中未示)以蝕刻方式被移除，而一與組成該背閘電極23之材料相同的金屬材料，此處為Mo薄膜29，以沉積方式被形成於該絕緣薄膜28，並具有薄至足以允許該曝光光線(此處為g線)穿過之厚度，比方說50奈米左右。在此一製程中，該背閘電極23和該Mo薄膜29透過上述之該氧化矽薄膜24和該絕緣薄膜28被部分移除的部分被連接。

接下來，如第8B圖所示，一比方說正光阻被塗佈於該Mo薄膜29上，並從該玻璃基板21那一側在該背閘電極23之光罩下接受背部曝光。由於該曝光光線被該背閘電極23攔截但仍可穿過該Mo薄膜29，故可形成一具有相同幾何並與該背閘電極23對準之光阻圖案30。

接下來，如第8C圖所示，該Mo薄膜29在該光阻圖案30之光罩下被蝕刻，以形成一以自我對準方式具有與該光阻圖案30相符之幾何的頂閘電極31。

之後該光阻圖案30以灑灰等方式被移除，而如第8D圖所示，該絕緣薄膜28在該頂閘電極31之光罩下被蝕刻。其次，該操作半導體薄膜27在該頂閘電極31之光罩下被摻以雜質，通常為磷離子。然後該操作半導體薄膜27以準分

子雷射被照射以活化磷，俾在該頂閘電極31之兩側形成源極和汲極32。宜注意的是，雜質之活化並不限於準分子雷射活化，其亦可以熱活化或燈泡退火方式執行。

5 之後一SiN被沉積至一300奈米左右之厚度以覆蓋整個表面，俾進而形成一內層絕緣薄膜(圖中未示)，接下來則進行接觸孔、以及通常被連接至源極和汲極之金屬電極(圖中未示)等的形成工作。至此，該TFT便告完成。

如上所述，此一實施例在其相對簡單之組態限制下成功地提供一種可以展現高gm(大的開啟電流)而且具有媲美  
10 Si-MOSFET之特性的TFT。

在第一和第二實施例中，頂閘電極可形成期望厚度，其中複數個Mo薄膜透過執行數次下列步驟(1)至(3)之方式被堆疊。

15 在步驟(1)中，一位於該操作半導體薄膜27上且由同一金屬材料形成小於該背閘電極23之厚度的Mo薄膜，在該氧化矽薄膜24被設置於其中間之時，以沉積方式被形成。

在步驟(2)中，一比方說正光阻被塗佈於該Mo薄膜上，並從該玻璃基板21那一側在該背閘電極23之光罩下接受背部曝光，進而形成一具有相同幾何並與該背閘電極23對準  
20 之光阻圖案。

在步驟(3)中，該Mo薄膜在該光阻圖案之光罩下被蝕刻。

(第三實施例)

第9A至11D圖為概略斷面圖，依序地顯示根據本發明

之第三實施例的TFT製造方法之各個步驟。請注意，為求方便，與出現於第一實施例者互相呼應之構件將具有相同的參照數字。

5 首先，如第9A圖所示，在一玻璃基板1上，一在後續階段將成為一緩衝層之氧化矽薄膜2被形成具有400奈米左右之厚度，然後一比方說負光阻被塗佈其上，再以光蝕刻技術加工以形成一光阻圖案3，該光阻圖案3具有一與該背閘電極之幾何相符的溝槽圖案3a。

10 其次，如第9B圖所示，該氧化矽薄膜2之表面部分在該光阻圖案3之光罩下以RIE蝕刻，以形成一深達100奈米左右之與該氧化矽薄膜2中之該溝槽圖案3a相符的溝槽4。

接下來，如第9C圖所示，一金屬材料，此處為Mo薄膜5，以典型的濺鍍法被沉積以填充該溝槽4至一足以攔截該曝光光線(此處為g線)之厚度，比方說300奈米左右。

15 接下來，如第9D圖所示，該Mo薄膜5以典型的化學機械研磨法(CMP)被研磨，並同時使用該氧化矽薄膜2做為一制動器，以將該Mo薄膜5限制於該溝槽4中俾形成一背閘電極6。

20 接下來，如第10A圖所示，一氧化矽薄膜以典型的PECVD製程在該背閘電極6上形成具有60奈米左右之厚度，以進而形成一背閘絕緣薄膜7，並在其上進一步形成一具有60奈米左右之厚度的非晶矽(a-Si)薄膜8。

接下來，如第10B圖所示，該a-Si薄膜8被退火以驅離其中所含的氫，並以一具有因時而異之連續性的能量光

束，使用一連續波雷射以掃描方式照射，俾進而形成一具有大晶粒尺寸之複晶矽薄膜9。詳言之，如第4圖所示，該複晶矽薄膜9被形成具有一以大流線型結晶晶粒為特徵之流程圖案化結晶，其中該結晶晶粒之形成使得其結晶邊際

5 從另一前置結晶晶粒起算並與後側之其他結晶晶粒熔合，以使該結晶邊際與雷射掃描方向M幾近平行，並使該結晶晶粒之長軸與連接下述源極和汲極之方向幾近平行。本範例中之結晶晶粒尺寸為數微米左右，而這是相當大的尺寸。此一結晶晶粒尺寸為現存準分子雷射結晶法所能取得

10 之結晶晶粒尺寸的10到100倍。

接下來，如第10C圖和第5圖所示，該p-Si薄膜9被圖案化以形成一島嶼形狀之操作半導體薄膜10。其次，形成於該背閘電極6上之該背閘絕緣薄膜7的一部份(圖中未示)以蝕刻方式被移除，以為該背閘電極6和下述之頂閘電極之間

15 提供內連。

接下來，如第10D圖所示，一氧化矽薄膜以典型的PECVD製程被形成於該背閘絕緣薄膜7上，以覆蓋該操作半導體薄膜10至一60奈米左右之厚度，俾進而形成一頂閘絕緣薄膜11。該背閘絕緣薄膜和該頂閘絕緣薄膜宜以同一材

20 料做成。

接下來，為了使該背閘電極6和下述之頂閘電極內連，該頂閘絕緣薄膜11之與該背閘絕緣薄膜7之業已移除部分位於同一位置上的那一部份(圖中未示)以蝕刻方式被移除。

接下來，一多層頂閘電極被形成，其中一金屬層與一

具有高於該金屬層之光線透射率的高透射率層被堆疊。

詳言之，首先，如第11A圖所示，一與組成該背閘電極6之材料相同的金屬材料，此處為Mo薄膜41，以沉積方式被形成於該頂閘絕緣薄膜11，並具有薄至足以允許該曝光光線(此處為g線)穿過之厚度，比方說50奈米左右。在此一製程中，該背閘電極6和該Mo薄膜41透過上述之該背閘絕緣薄膜7和該頂閘絕緣薄膜11被部分移除的部分被連接。此外，在該Mo薄膜41上，一高透射率材料，通常為對該曝光光線來說為透明之ITO薄膜42，以沉積方式被形成具有200奈米左右之厚度。

接下來，如第11B圖所示，一比方說正光阻被塗佈於該ITO薄膜42上，並從該玻璃基板1那一側在該背閘電極6之光罩下接受背部曝光。由於該曝光光線被該背閘電極6攔截但仍可穿過該Mo薄膜41和該ITO薄膜42，故可形成一具有相同幾何並與該背閘電極6對準之光阻圖案13。

接下來，如第11C圖所示，該Mo薄膜41和該ITO薄膜42在該光阻圖案13之光罩下被蝕刻，以形成一以自我對準方式具有與該光阻圖案13相符之幾何的雙層頂閘電極43。

之後該光阻圖案13以灑灰等方式被移除，而如第11D圖所示，該頂閘絕緣薄膜11在該頂閘電極43(該Mo薄膜41和該ITO薄膜42)之光罩下被蝕刻。其次，該操作半導體薄膜10在該頂閘電極43之光罩下被攙以雜質，通常為磷離子。然後該操作半導體薄膜10以準分子雷射被照射以活化磷，俾形成源極和汲極15。宜注意的是，雜質之活化並不

限於準分子雷射活化，其亦可以熱活化或燈泡退火方式執行。

之後一SiN被沉積至一300奈米左右之厚度以覆蓋整個表面，俾進而形成一內層絕緣薄膜(圖中未示)，接下來則進行接觸孔、以及通常被連接至源極和汲極之金屬電極(圖中未示)等的形成工作。至此，該TFT便告完成。

退火溫度在該TFT的製造過程中最好設定在600°C，因為高於600°C之溫度會導致該玻璃基板1變形。

如上所述，此一實施例在其相對簡單之組態限制下成功地提供一種可以展現高gm (大的開啟電流)而且具有媲美Si-MOSFET之特性的TFT。

#### (第四實施例)

第12A至14D圖為概略圖，依序地顯示根據本發明之第四實施例的TFT製造方法之各個步驟，其中第12A至12D、第13C以及第14A至14D圖為概略斷面圖，而第13A、13B和13D圖則為概略平面圖。請注意，為求方便，與出現於第二實施例者互相呼應之構件將具有相同的參照數字。

首先，如第12A圖所示，在一玻璃基板21上，一在後續階段將成為一緩衝層之氧化矽薄膜22被形成具有400奈米左右之厚度，然後一金屬材料，此處為Mo薄膜，以沉積方式被形成厚至足以攔截該曝光光線(此處為g線)之厚度，比方說200奈米左右，且該Mo薄膜被圖案化以進而形成一背閘電極23。

接下來，如第12B圖所示，一氧化矽薄膜24以典型的

PECVD製程被形成，以覆蓋該背閘電極23至一60奈米左右之厚度。

接下來，如第12C圖所示，一非晶矽(a-Si)薄膜25在該氧化矽薄膜24上形成60奈米左右之厚度。

5 接下來，如第12D和13A圖所示，該a-Si薄膜25被退火以驅離其中所含的氫，並以一具有因時而異之連續性的能量光束，使用一連續波雷射以掃描方式照射。

詳言之，如第13B和13C圖所示，該a-Si薄膜25在該背閘電極23上具有一與其幾何相符之隆起部分25a，且第4圖  
10 所示之流程圖案化結晶在該隆起部分25a形成。該流程圖案化結晶之晶粒被形成於該背閘電極23上，而未將熔化之薄膜剝除，即使在該隆起部分25a之階面的邊緣亦是如此。這促成具有大複晶矽結晶晶粒之複晶矽(p-Si)薄膜26的形成。

接下來，如第13D圖所示，該p-Si薄膜26被圖案化以形  
15 成一島嶼形狀之操作半導體薄膜27。其次，形成於該背閘電極23上之該氧化矽薄膜24的一部份(圖中未示)以蝕刻方式被移除，以為該背閘電極23和下述之頂閘電極之間提供內連。

接下來，如第14A圖所示，一氧化矽薄膜被形成具有60  
20 奈米左右之厚度，俾進而形成一絕緣薄膜28。接下來，為了使該背閘電極23和下述之頂閘電極內連，該絕緣薄膜28之與該氧化矽薄膜24之業已移除部分位於同一位置上的那一部份(圖中未示)以蝕刻方式被移除。

接下來，一多層頂閘電極被形成，其中一金屬層與一

具有高於該金屬層之光線透射率的高透射率層被堆疊。

詳言之，一與組成該背閘電極23之材料相同的金屬材料，此處為Mo薄膜44，以沉積方式被形成於該閘絕緣薄膜28，並具有薄至足以允許該曝光光線(此處為g線)穿過之厚度，比方說50奈米左右。在此一製程中，該背閘電極23和該Mo薄膜44透過上述之該氧化矽薄膜24和該閘絕緣薄膜28被部分移除的部分被連接。此外，在該Mo薄膜44上，一高透射率材料，通常為對該曝光光線來說為透明之ITO薄膜45，以沉積方式被形成具有200奈米左右之厚度。

10 接下來，如第14B圖所示，一比方說正光阻被塗佈於該ITO薄膜45上，並從該玻璃基板21那一側在該背閘電極23之光罩下接受背部曝光。由於該曝光光線被該背閘電極23攔截但仍可穿過該Mo薄膜44和該ITO薄膜45，故可形成一具有相同幾何並與該背閘電極23對準之光阻圖案30。

15 接下來，如第14C圖所示，該Mo薄膜44和該ITO薄膜45在該光阻圖案30之光罩下被蝕刻，以形成一以自我對準方式具有與該光阻圖案30相符之幾何的雙層頂閘電極46。

之後該光阻圖案30以灑灰等方式被移除，而如第14D圖所示，該閘絕緣薄膜28在該頂閘電極46(該Mo薄膜44和該ITO薄膜45)之光罩下被蝕刻。其次，該操作半導體薄膜27在該頂閘電極46之光罩下被攙以雜質，通常為磷離子。然後該操作半導體薄膜27以準分子雷射被照射以活化磷，俾在該頂閘電極46之兩側形成源極和汲極32。宜注意的是，雜質之活化並不限於準分子雷射活化，其亦可以熱活化或

燈泡退火方式執行。

之後一SiN被沉積至一300奈米左右之厚度以覆蓋整個表面，俾進而形成一內層絕緣薄膜(圖中未示)，接下來則進行接觸孔、以及通常被連接至源極和汲極之金屬電極(圖中未示)等的形成工作。至此，該TFT便告完成。

第15和16圖分別顯示以上述方法實際製成之TFT的微型圖和特性圖。在第16圖中，橫座標代表閘電壓 $V_G$  (V)、左縱座標代表汲極電流 $I_D$ A、而右縱座標則代表依據 $g_m$ 決定之頂閘式TFT的遷移率( $\text{cm}^2 / \text{Vs}$ )。吾人發現，本發明所做成之TFT十分優良，其遷移率高達 $800 \text{ cm}^2 / \text{Vs}$ 而其S值則小至 $100 \text{ mV} / \text{dec}$ 。

如上所述，此一實施例在其相對簡單之組態限制下成功地提供一種可以展現高 $g_m$  (大的開啟電流)而且具有媲美Si-MOSFET之特性的TFT。

### 15 【圖式簡單說明】

第1A至1D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之各個步驟；

第2A至2D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之接續第1D圖的各個步驟；

20 第3A至3D圖為概略斷面圖，依序地顯示根據本發明之第一實施例的TFT製造方法之接續第2D圖的各個步驟；

第4圖為一微型圖，顯示在連續波雷射之掃描照射下透過結晶所獲得的流程圖案；

第5圖為一概略平面圖，顯示一操作半導體薄膜被圖案

化成一島嶼形狀；

第6A至6D圖為概略斷面圖，依序地顯示根據本發明之第二實施例的TFT製造方法之各個步驟；

第7A至7D圖為概略斷面圖，依序地顯示根據本發明之  
5 第二實施例的TFT製造方法之接續第6D圖的各個步驟；

第8A至8D圖為概略斷面圖，依序地顯示根據本發明之第二實施例的TFT製造方法之接續第7D圖的各個步驟；

第9A至9D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之各個步驟；

10 第10A至10D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之接續第9D圖的各個步驟；

第11A至11D圖為概略斷面圖，依序地顯示根據本發明之第三實施例的TFT製造方法之接續第10D圖的各個步驟；

15 第12A至12D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之各個步驟；

第13A至13D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之接續第12D圖的各個步驟；

第14A至14D圖為概略斷面圖，依序地顯示根據本發明之第四實施例的TFT製造方法之接續第13D圖的各個步驟；

20 第15圖為一微型圖，顯示一以本發明之技術實際製成的TFT；以及

第16圖為以本發明之技術實際製成的該TFT之特性圖。

**【圖式之主要元件代表符號表】**

1, 21…玻璃基板	10, 27…操作半導體薄膜
2, 22, 24…氧化矽薄膜	11…頂閘絕緣薄膜
3, 13, 30…光阻圖案	14, 31…頂閘電極
3a…溝槽圖案	15, 32…源極和汲極
4…溝槽	25a…隆起部分
5, 12, 29, 41, 44…Mo薄膜	28…絕緣薄膜
6, 23…背閘電極	42, 45…ITO薄膜
7…背閘絕緣薄膜	43, 46…雙層頂閘電極
8, 25…非晶矽(a-Si)薄膜	M…雷射掃描方向
9, 26…複晶矽薄膜	

### 伍、中文發明摘要：

一種在其相對簡單之組態限制下可以展現高gm(大的開啟電流)而且具有媲美Si-MOSFET之特性的TFT以下列步驟被製成：在一Mo薄膜上塗佈一比方說正光阻；從玻璃基板那一側在一背閘電極之光罩下使該光阻接受背部曝光，以形成一具有相同幾何並與該背閘電極對準之光阻圖案，因為該曝光光線被該背閘電極攔截但仍可穿過該Mo薄膜；以及在該光阻圖案之光罩下蝕刻該Mo薄膜，以形成一以自我對準方式具有與該光阻圖案相符之幾何的頂閘電極。

### 陸、英文發明摘要：

A TFT capable of showing a large gm (large ON-current) and having characteristics comparable to those of Si-MOSFET despite of its relatively simple configuration was fabricated by the steps of coating, for example, a positive photo-resist on an Mo film; subjecting the photo-resist to back light exposure from the glass-substrate side under masking with a bottom gate electrode, to thereby form a resist pattern having the same geometry and being aligned with the bottom gate electrode because exposure light is intercepted by the bottom gate electrode but can travel through the Mo film; and etching the Mo film under masking by the resist pattern to thereby form a top gate electrode in conformity with the geometry of the resist pattern in a self-aligned manner.

## 拾、申請專利範圍：

1. 一種半導體元件，包括：
  - 一非晶矽透明基板；
  - 一形成於該非晶矽透明基板上之操作半導體薄膜；以及
  - 由相同金屬材料做成之上閘電極和下閘電極，該等電極被設置於該非晶矽透明基板上並在設置一絕緣薄膜於其中間之時形成於該操作半導體薄膜之上側和下側；
  - 其中該上閘電極和該下閘電極之薄膜厚度不同。
- 10 2. 如申請專利範圍第1項之半導體元件，其中該上閘電極之薄膜厚度小於該下閘電極之薄膜厚度。
3. 一種半導體元件，包括：
  - 一非晶矽透明基板；
  - 一形成於該非晶矽透明基板上之操作半導體薄膜；以及
  - 一上閘電極和一下閘電極，該等電極被設置於該非晶矽透明基板上並在設置一絕緣薄膜於其中間之時形成於該操作半導體薄膜之上側和下側；
  - 其中該上閘電極包括一金屬層和一堆疊其上並具有高於該金屬層之光線透射率的高透射率材料層；且
  - 該上閘電極和該下閘電極之該金屬層係由相同金屬材料做成但具有不同的薄膜厚度。
- 20 4. 如申請專利範圍第3項之半導體元件，其中該上閘電極之該高透射率材料層係以透明導電材料做成。

5. 如申請專利範圍第3項之半導體元件，其中該上閘電極之該金屬層被形成具有比該下閘電極為薄的薄膜厚度。
6. 如申請專利範圍第5項之半導體元件，其中該上閘電極和該下閘電極被形成具有相同的閘長度並互相對準。
- 5 7. 如申請專利範圍第1項之半導體元件，其中該下閘電極被掩埋於一絕緣材料中，且該操作半導體薄膜被形成平坦狀。
8. 如申請專利範圍第1項之半導體元件，其中該操作半導體薄膜被做成，其源極/汲極之水平低於其管道部分之  
10 水平。
9. 如申請專利範圍第1項之半導體元件，其中該操作半導體薄膜係以複晶矽做成。
10. 如申請專利範圍第9項之半導體元件，其中：  
該操作半導體薄膜被形成具有一以大流線型結晶  
15 晶粒為特徵之流程圖案化結晶；以及  
該結晶晶粒之形成使得其結晶邊際從另一前置結晶晶粒起算並與後側之其他結晶晶粒熔合，以使該結晶邊際與雷射掃描方向幾近平行。
11. 如申請專利範圍第1項之半導體元件，其中該操作半導體  
20 薄膜具有100奈米或更小的厚度。
12. 一種半導體元件製造方法，包括下列步驟：  
將一金屬材料沉積於一非晶矽透明基板上，以及對該金屬材料進行加工以形成一下閘電極；  
將一半導體薄膜沉積於該下閘電極上並在其中間

設置一絕緣薄膜，以及對該半導體薄膜加工以形成一操作半導體薄膜；以及

- 5 以小於該下閘電極之厚度將相同金屬材料沉積於該操作半導體薄膜上並在其中間設置一絕緣薄膜，以及藉由從該非晶矽透明基板之後側使該金屬材料在該下閘電極之光罩下曝光的方式對該金屬材料加工，以形成一與該下閘電極對準之上閘電極。

13. 一種半導體元件製造方法，包括下列步驟：

- 10 將一金屬材料沉積於一非晶矽透明基板上，以及對該金屬材料進行加工以形成一下閘電極；

將一半導體薄膜沉積於該下閘電極上並在其中間設置一絕緣薄膜，以及對該半導體薄膜加工以形成一操作半導體薄膜；以及

- 15 以小於該下閘電極之厚度依序地沉積相同金屬材料和一高於該金屬材料之光線透射率的高透射率材料，並在其中間設置一絕緣薄膜，以及藉由從該非晶矽透明基板之後側使該金屬材料和該高透射率材料在該下閘電極之光罩下曝光的方式對該等材料加工，以形成一與該下閘電極對準之上閘電極。

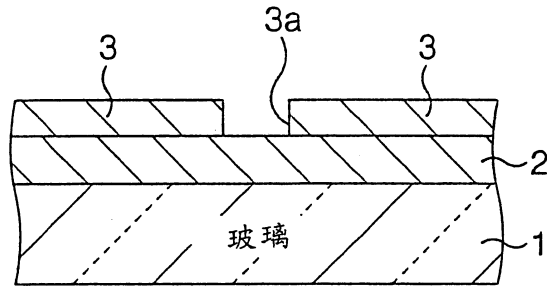
- 20 14. 如申請專利範圍第13項之半導體元件製造方法，其中構成該上閘電極之該高透射率材料層係由一透明導電材料做成。

15. 如申請專利範圍第12項之半導體元件製造方法，其中呈非晶矽狀態之該半導體薄膜透過照射一可以產生一具

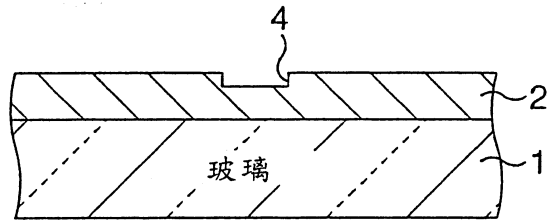
- 有因時而異之連續性的能量輸出之能量光束被結晶化。
16. 如申請專利範圍第15項之半導體元件製造方法，其中該  
能量光束具有  $\pm 1\%$  或更小的輸出不穩定度。
17. 如申請專利範圍第15項之半導體元件製造方法，其中代  
5 表該能量光束之因時而異的不穩定度之噪音為0.1 rms  
%或更小。
18. 如申請專利範圍第15項之半導體元件製造方法，其中該  
能量光束係藉由半導體泵浦法以固態雷射產生。
19. 如申請專利範圍第12項之半導體元件製造方法，其中該  
10 下閘電極被掩埋於一絕緣材料中，且該操作半導體薄膜  
被形成平坦狀。
20. 如申請專利範圍第19項之半導體元件製造方法，其中該  
下閘電極以化學機械研磨法被掩埋。
21. 如申請專利範圍第12項之半導體元件製造方法，其中該  
15 操作半導體薄膜被做成，其源極/汲極之水平低於其與  
該下閘電極之幾何相符的管道部分之水平。
22. 如申請專利範圍第12項之半導體元件製造方法，其中各  
別製程步驟中之製程溫度被設定在 $600^{\circ}\text{C}$ 或更低。
23. 如申請專利範圍第12項之半導體元件製造方法，其中該  
20 上閘電極以重複執行下列步驟被形成期望厚度：以小於  
該下閘電極之厚度將同一金屬材料沉積於操作半導體  
薄膜上並在其中間設置一絕緣薄膜，以及藉由從該非晶  
矽透明基板之後側使該金屬材料在該下閘電極之光罩  
下曝光的方式對該金屬材料加工。

43104947

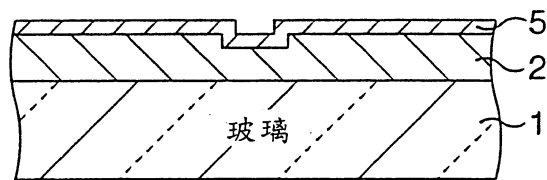
第 1A 圖



第 1B 圖

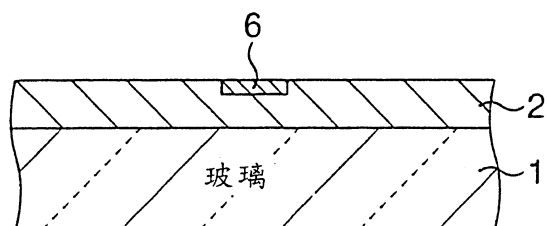


第 1C 圖

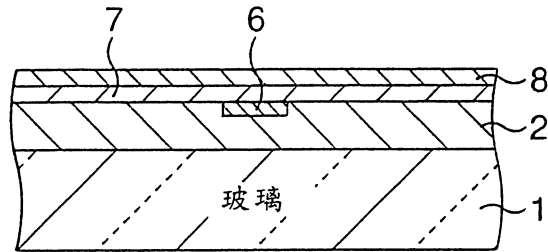


↓  
CMP

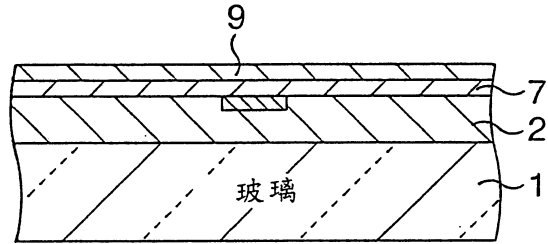
第 1D 圖



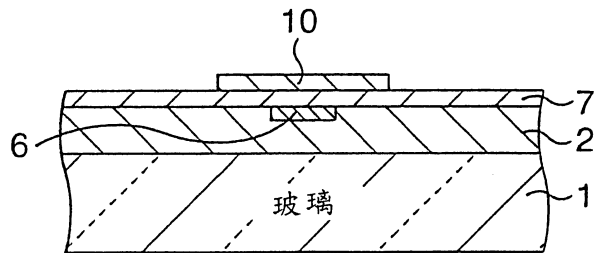
第 2A 圖



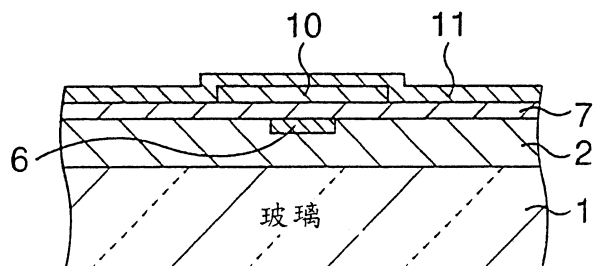
第 2B 圖



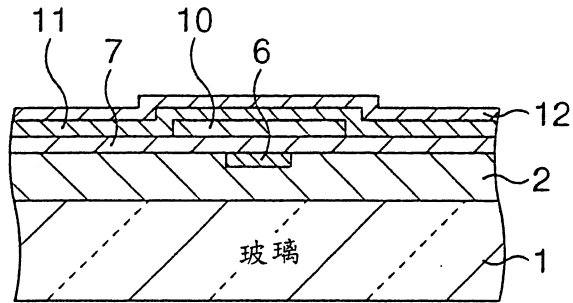
第 2C 圖



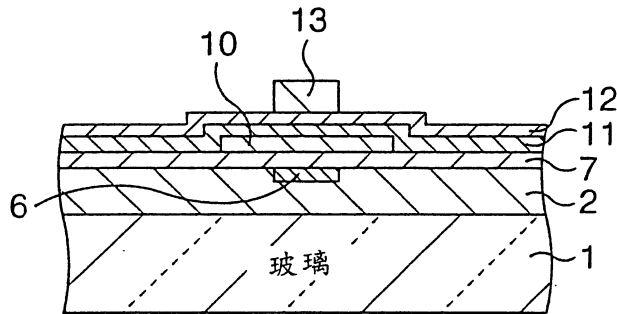
第 2D 圖



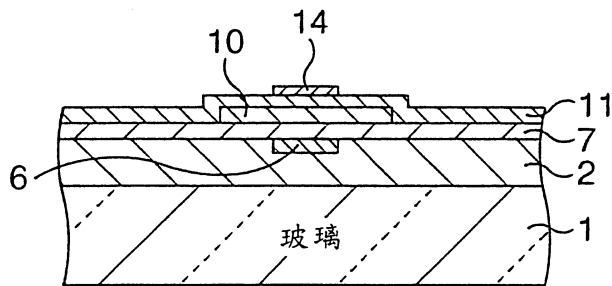
第 3A 圖



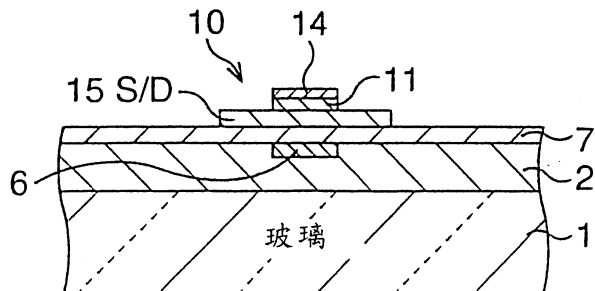
第 3B 圖



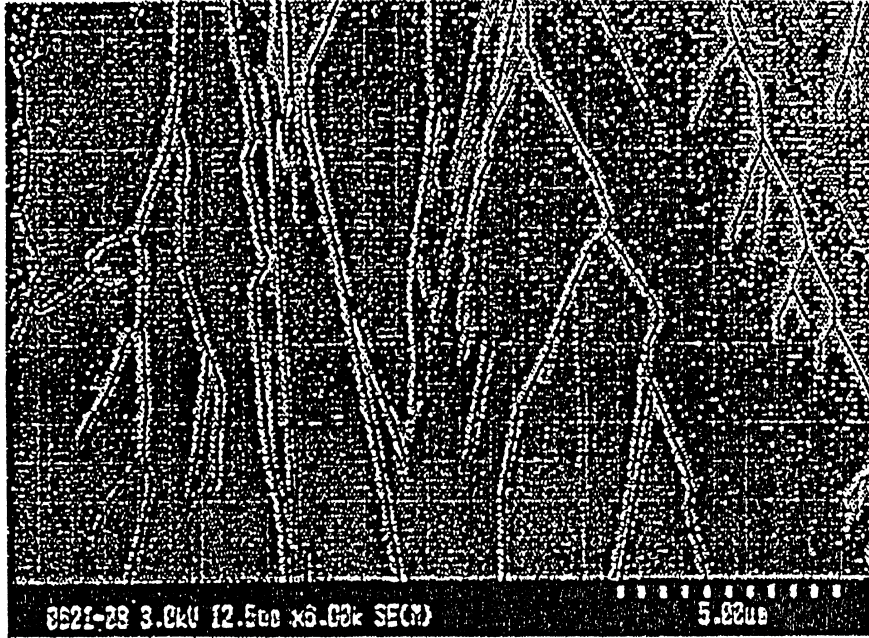
第 3C 圖



第 3D 圖

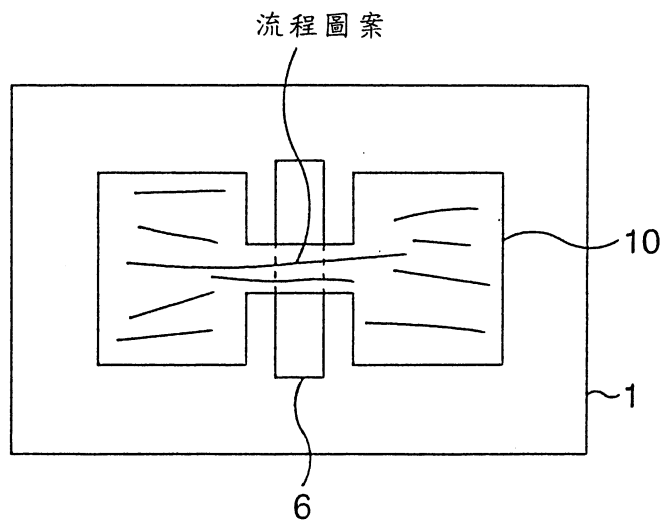


第 4 圖

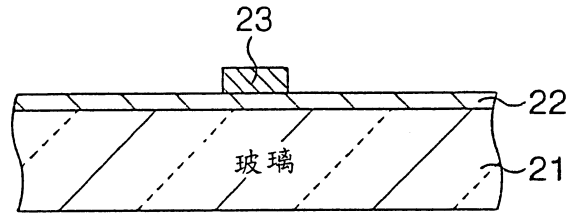


↑  
M  
雷射掃描方向

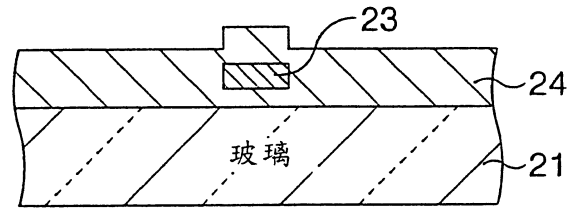
第 5 圖



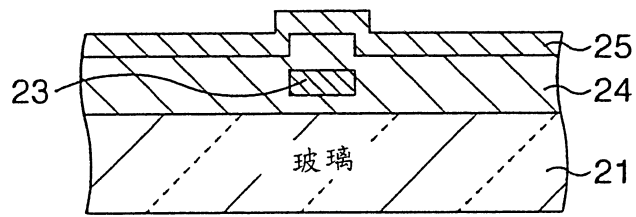
第 6A 圖



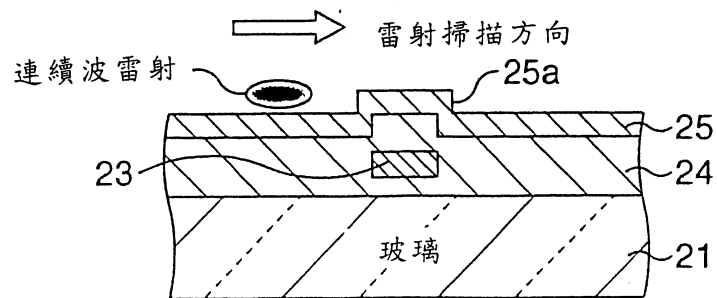
第 6B 圖



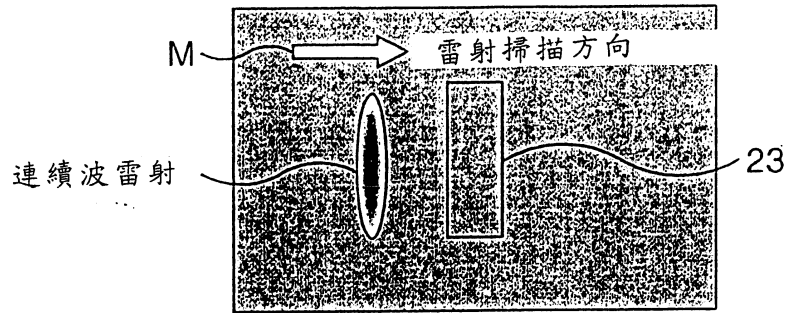
第 6C 圖



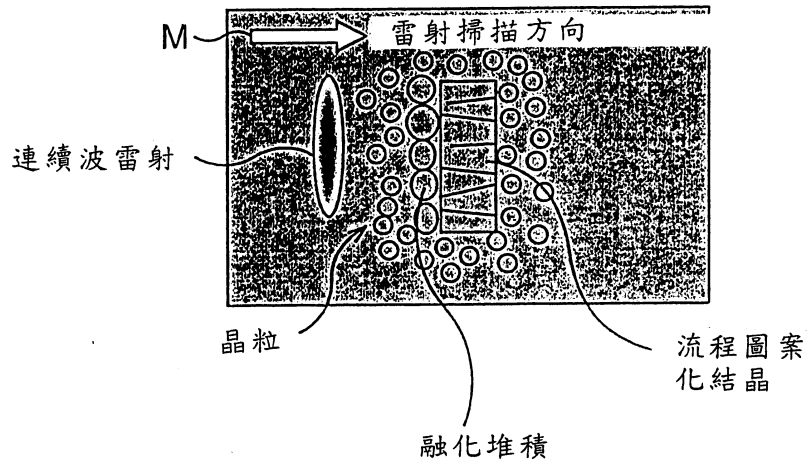
第 6D 圖



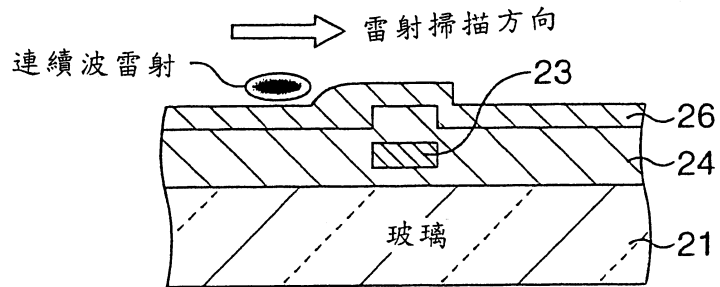
第 7A 圖



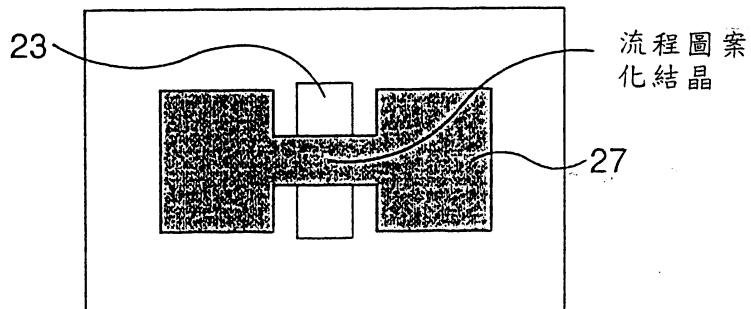
第 7B 圖



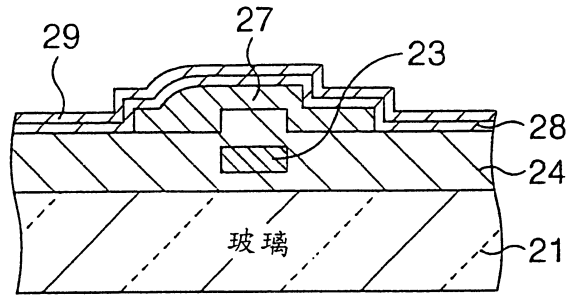
第 7C 圖



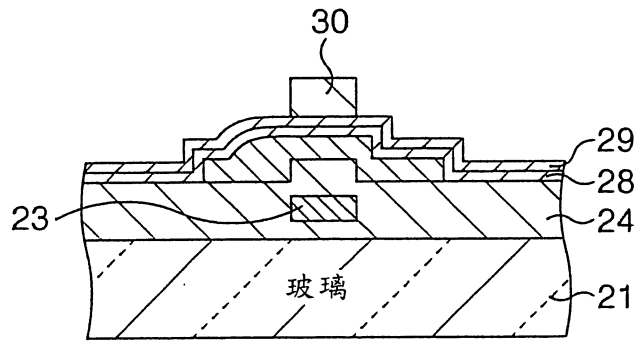
第 7D 圖



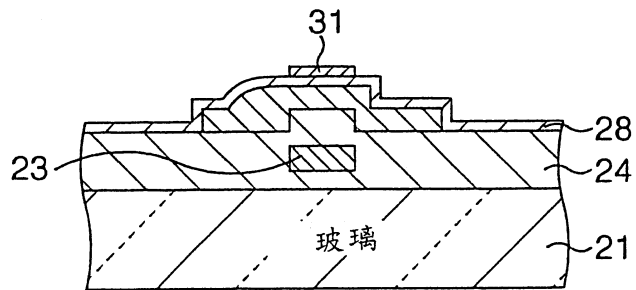
第 8A 圖



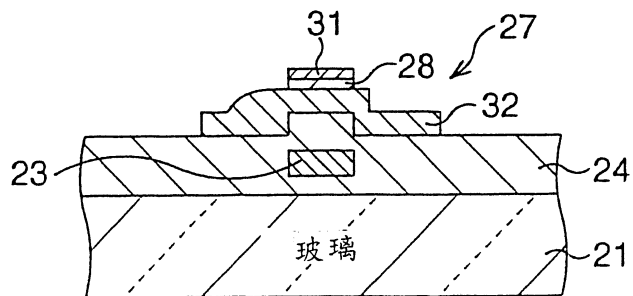
第 8B 圖



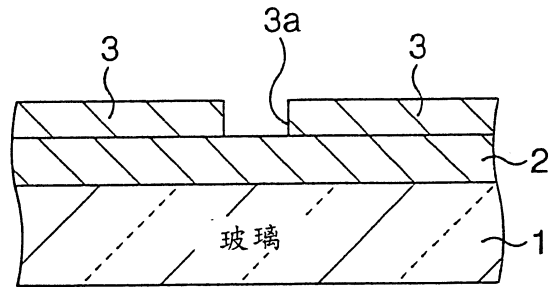
第 8C 圖



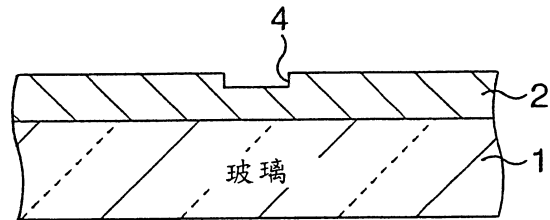
第 8D 圖



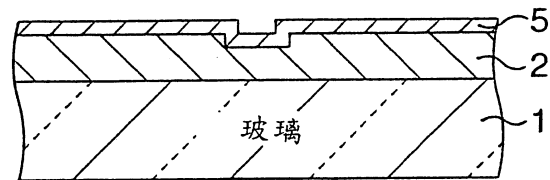
第 9A 圖



第 9B 圖

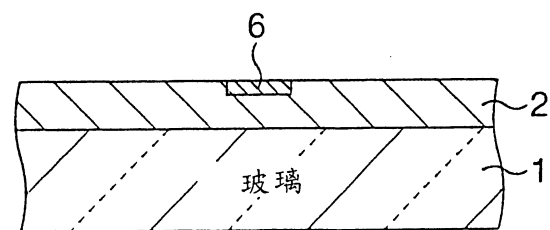


第 9C 圖

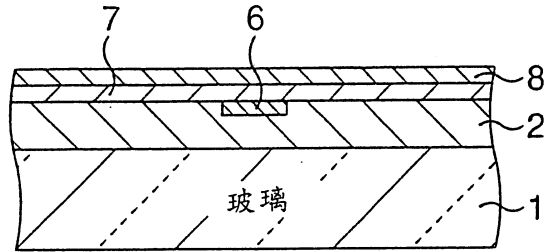


↓  
CMP

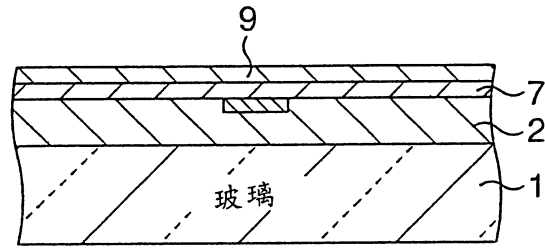
第 9D 圖



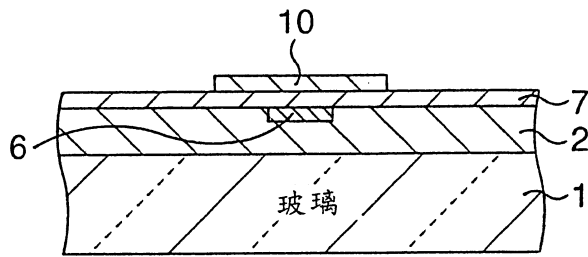
第 10A 圖



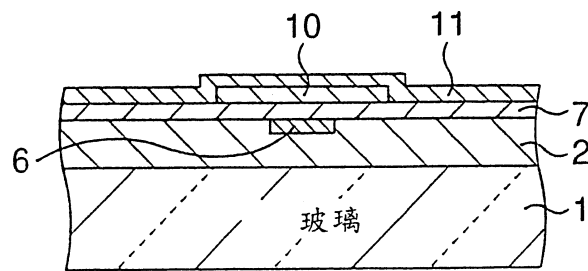
第 10B 圖



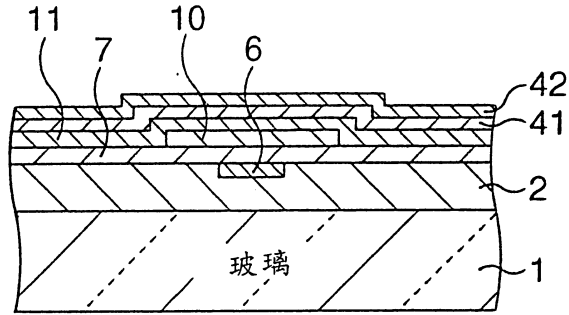
第 10C 圖



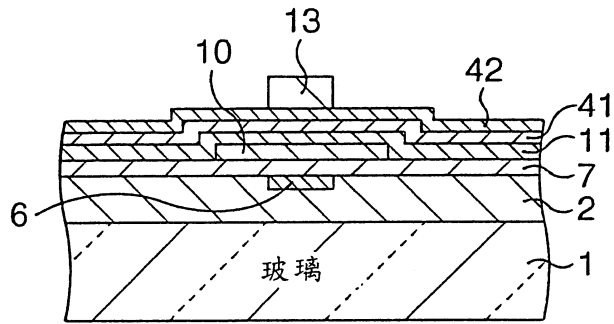
第 10D 圖



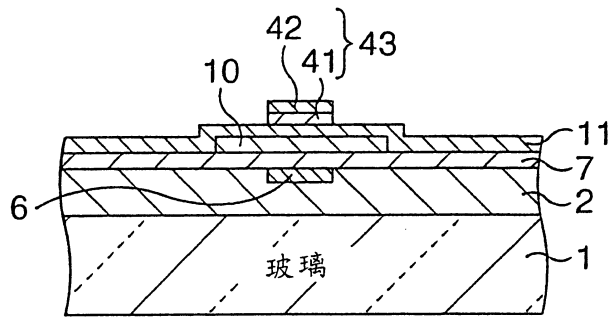
第11A圖



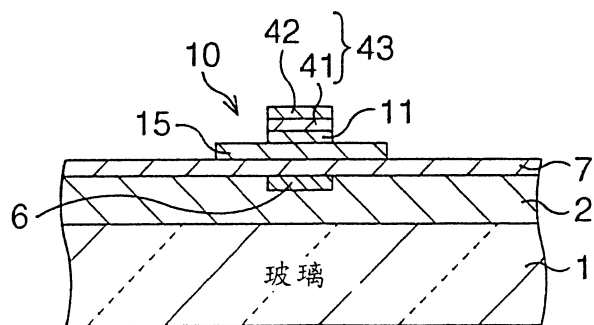
第11B圖



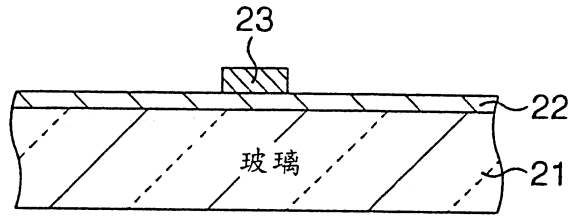
第11C圖



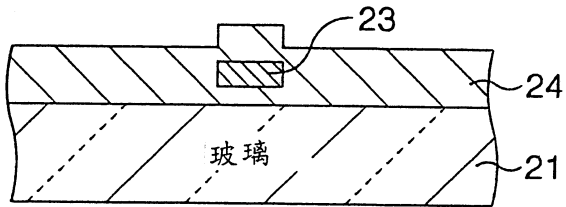
第11D圖



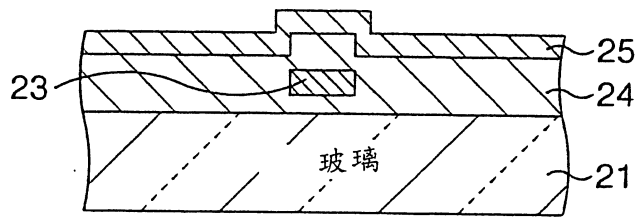
第 12A 圖



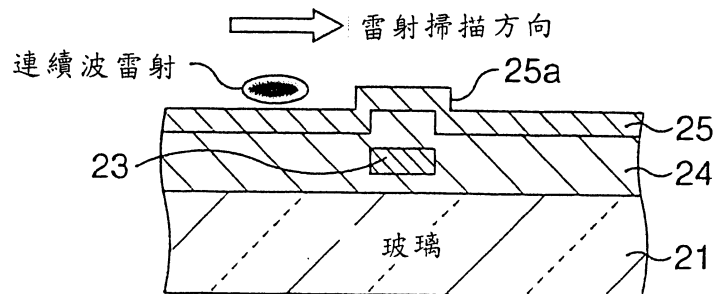
第 12B 圖



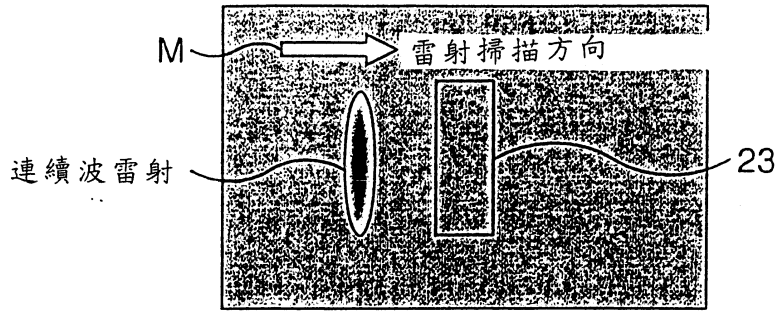
第 12C 圖



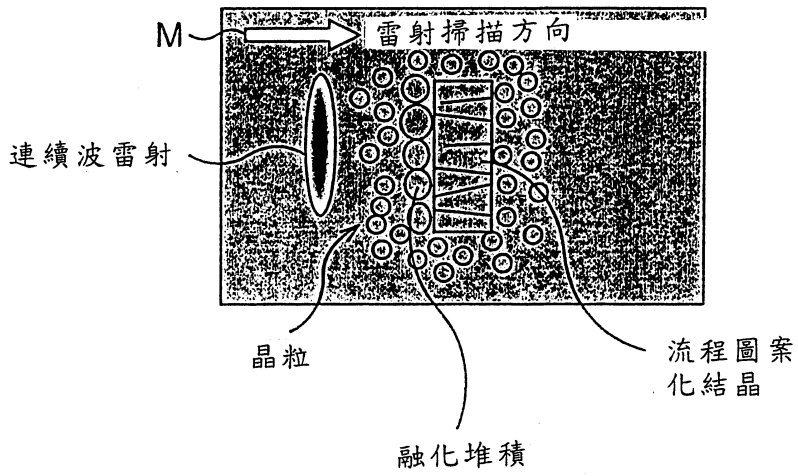
第 12D 圖



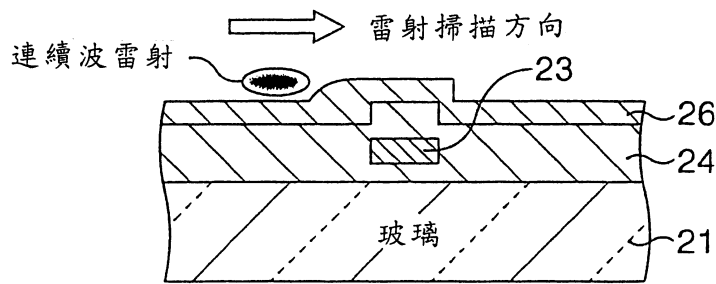
第 13A 圖



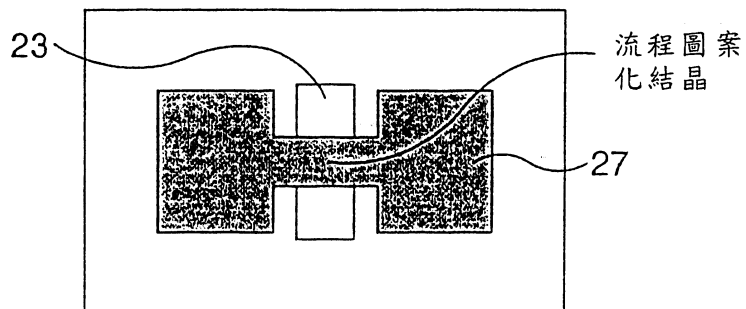
第 13B 圖



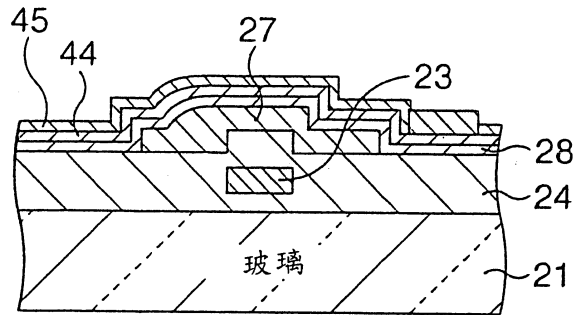
第 13C 圖



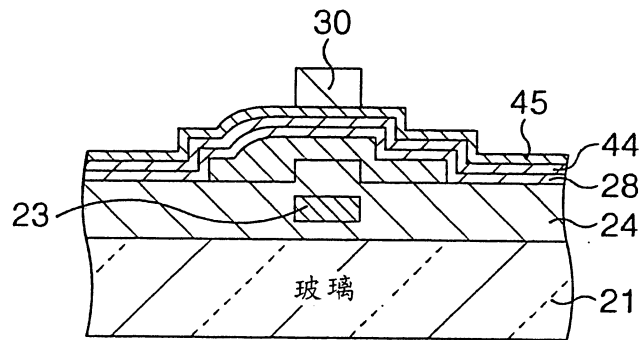
第 13D 圖



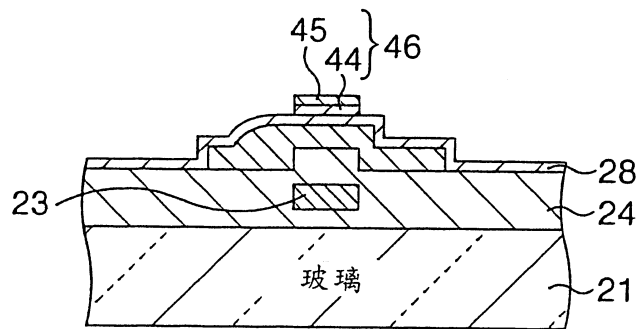
第 14A 圖



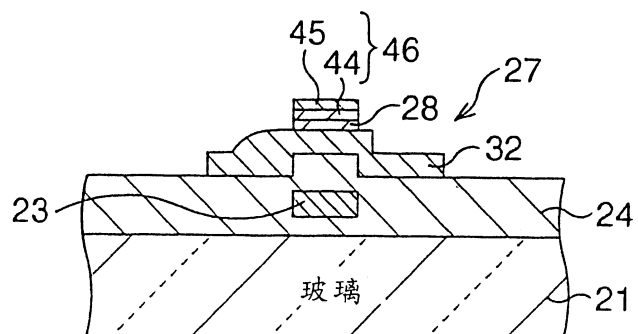
第 14B 圖



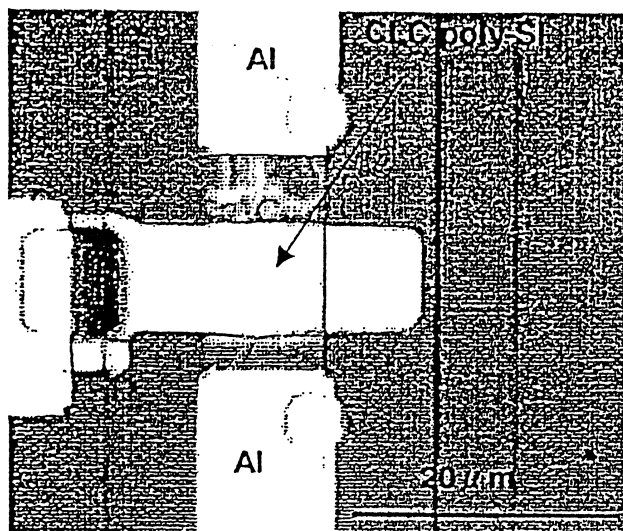
第 14C 圖



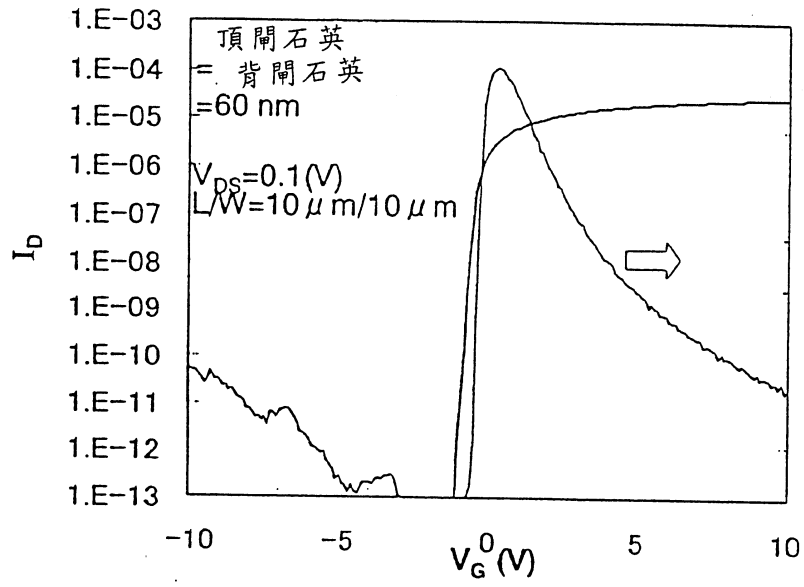
第 14D 圖



第 15 圖



## 第 16 圖



S 值	99mV/dec
$V_{th}$	-0.73 (V)

**柒、指定代表圖：**

(一)本案指定代表圖為：第( 3D )圖。

(二)本代表圖之元件代表符號簡單說明：

- 1…玻璃基板
- 2…氧化矽薄膜
- 6…背閘電極
- 7…背閘絕緣薄膜
- 10…操作半導體薄膜
- 11…頂閘絕緣薄膜
- 14…頂閘電極
- 15…源極和汲極

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**