



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) **PI0708994-5 A2**

(22) Data de Depósito: 07/05/2007
(43) Data da Publicação: 14/06/2011
(RPI 2110)



(51) *Int.Cl.:*
H03M 13/25 2006.01

(54) Título: **CODIFICADOR EM TRELIÇA E DISPOSITIVO DE CODIFICAÇÃO EM TRELIÇA TENDO O MESMO**

(30) Prioridade Unionista: 04/12/2006 KR 10-2006-0121554

(73) Titular(es): Samsung Electronics CO., LTD

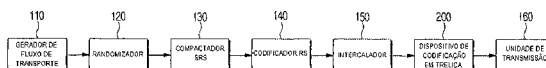
(72) Inventor(es): Eui-jun Park, Jung-jin Kim, Keon-yong Seok, Kyo-shin Choo, Seok-hyun Yoon

(74) Procurador(es): Orlando De Souza

(86) Pedido Internacional: PCT KR2007002233 de 07/05/2007

(87) Publicação Internacional: WO 2008/069375 de 12/06/2008

(57) **Resumo:** CODIFICADOR EM TRELIÇA E DISPOSITIVO DE CODIFICAÇÃO EM TRELIÇA TENDO O MESMO Um dispositivo de codificação em treliça inclui uma pluralidade de codificadores em treliça para realizar codificação em treliça de um fluxo de transporte no qual um sinal de referência suplementar (SRS) foi inserido, e realizar uma reinicialização de memória em uma região que precede um SRS; e uma unidade de compensação de paridade para compensar as paridades do fluxo de transporte de acordo com os valores armazenados nas memórias incluídas nos codificadores em treliça. Os vários codificadores em treliça podem ser implementados em diversos tipos. O dispositivo de codificação em treliça pode realizar uma reinicialização de memória usando seletivamente o valor armazenado da memória e o seu valor invertido, ou usando seletivamente o valor armazenado da memória e um valor fixado. Mediante reinicialização adequada da memória no processamento o fluxo de transporte no qual o SRS foi inserido, deslocamento DC pode ser reduzido.





CODIFICADOR EM TRELIÇA E DISPOSITIVO DE CODIFICAÇÃO EM
TRELIÇA TENDO O MESMO

Campo Técnico

Um aspecto da presente invenção se refere a um
5 codificador em treliça e a um dispositivo de codificação em
treliça tendo o mesmo. Mais especificamente, a presente
invenção se refere a um codificador em treliça e a um
dispositivo de codificação em treliça tendo o mesmo, o qual
realiza inicialização de um sinal de referência suplementar
10 (SRS) antes de codificar o SRS em um transmissor de difusão
digital para transmitir um fluxo de transporte para o qual
o SRS foi inserido.

Fundamentos da Técnica

Com o desenvolvimento de tecnologias eletrônicas e de
15 comunicação, tecnologias digitais foram introduzidas no
campo de sistema de difusão, e padrões diversos para a
difusão digital foram publicados. Um desses padrões é um
sistema de banda vestigial (VSB) do Comitê de Sistemas
Avançados de Televisão (ATSC) que é um sistema de difusão
20 terrestre digital do tipo americano. O sistema VSB de ATSC
é um sistema de difusão do tipo portadora de sinal, e
utiliza um sinal de sincronização de campo na unidade dos
312 segmentos.

A Figura 1 é um diagrama de blocos ilustrando a
25 construção de um transmissor/receptor de um padrão DTV de
ATSC como um sistema de difusão terrestre digital do tipo
americano geral. Com referência à Figura 1, o transmissor
de difusão digital inclui um randomizador 11, um
codificador Reed-Solomon (RS) 12, um intercalador 13, um
30 codificador em treliça 14, um multiplexador (MUX) 15, e um

modulador 16.

O randomizador 11 randomiza um fluxo de transporte. O codificador RS 12 realiza uma codificação RS que adiciona bytes de paridade RS ao fluxo de transporte randomizado para corrigir erros de bit ocorrendo devido às características de canal em um processo de transporte. O intercalador 13 intercala os dados codificados RS de acordo com um padrão especificado. O codificador em treliça 14 realiza uma codificação em treliça dos dados codificados RS intercalados na taxa de $2/3$ e, então, realiza mapeamento dos dados codificados em treliça em símbolos de 8 níveis. O MUX 15 insere uma sincronização de campo e uma sincronização de segmento no fluxo de transporte emitido a partir do codificador em treliça 14. O modulador 16 insere um tom piloto em um sinal de saída do MUX 15 mediante adição de um valor DC no sinal de saída do MUX 15, realiza modulação VSB do sinal de saída e, então, realiza conversão ascendente do sinal modulado em um sinal de canal de RF para transmitir o sinal convertido através de um canal.

O sinal modulado transmitido a partir do transmissor de difusão digital é introduzido em um receptor através do canal. Um receptor de difusão digital conforme ilustrado na Figura 1 inclui um demodulador 21, um equalizador 22, um decodificador Viterbi 23, um desintercalador 24, um decodificador RS 25, um desrandomizador 26. O demodulador 21 realiza uma detecção de sincronização e demodulação do sinal recebido. O equalizador 22 compensa uma distorção de canal do sinal demodulado. O decodificador Viterbi 23 corrige os erros do sinal equalizado e decodifica o sinal equalizado para dados de símbolo. O desintercalador 24

rearranja os dados dispersos pelo intercalador 13 do transmissor de difusão digital. O decodificador RS 25 corrige os erros de acordo com as paridades. O desrandomizador 26 desrandomiza os dados corrigidos através do decodificador RS 25 e emite um fluxo de transporte MPEG-2. A transmissão/recepção de difusão digital é realizada da forma descrita acima.

A Figura 2 ilustra um quadro de dados VSB para uso no sistema de difusão digital do tipo americano (8-VSB). Conforme mostrado na Figura 2, um quadro é composto de dois campos. Um campo é composto de um segmento de sincronização de campo que é o primeiro segmento, e 312 segmentos de dados. Além disso, um segmento no quadro de dados VSB corresponde a um pacote MPEG-2, e é composto de um sinal de sincronização de segmento de quatro símbolos e 828 símbolos de dados.

Na Figura 2, o sinal de sincronização de segmento e o sinal de sincronização de campo são usados para a sincronização e equalização no receptor de difusão digital. Isto é, o sinal de sincronização de campo e o sinal de sincronização de segmento se referem aos dados conhecidos entre o transmissor e receptor de difusão digital, que é usado como um sinal de referência quando a equalização é realizada pelo lado do receptor.

Por outro lado, para melhorar o desempenho de recebimento de turbo fluxos, foi desenvolvida uma técnica de inserir um sinal de referência suplementar (SRS) em um fluxo de transporte dual. Conseqüentemente, é requerido prover uma técnica para codificar adequadamente o fluxo de transporte dual no qual o SRS foi inserido. Nesse caso,

como o valor do SRS pode diferir de acordo com os valores pré-armazenados em memórias providas no codificador em treliça 14, é necessário prover um método de reinicializar adequadamente as memórias no codificador em treliça 14 após
5 processamento do SRS. Além disso, se a memória é compulsoriamente ajustada em "0" em um processo de reinicialização de memória, um valor emitido pelo mapeador do codificador em treliça 14 pode ter um deslocamento de DC. Conseqüentemente, existe a necessidade de um método
10 para resolver os problemas descritos acima.

Revelação da Invenção

Solução Técnica

Um aspecto da presente invenção é o de prover um codificador em treliça e um dispositivo de codificação em
15 treliça tendo o mesmo, o qual pode prevenir erros no reconhecimento de um sinal de referência suplementar (SRS) mediante reinicialização adequadamente de uma memória no processo de codificação em treliça de um fluxo de transporte no qual o SRS foi inserido.

20 Outro aspecto das modalidades da presente invenção é o de prover um codificador em treliça e um dispositivo de codificação em treliça tendo o mesmo, o qual pode impedir a ocorrência de deslocamento DC devido a uma reinicialização de memória mediante ajuste adequado dos valores
25 recentemente armazenados nas memórias em um processo de reinicialização de memória.

Um dispositivo de codificação em treliça, de acordo com as modalidades da presente invenção, inclui uma pluralidade de codificadores em treliça para realizar
30 codificação em treliça de um fluxo de transporte no qual um

5 sinal de referência suplementar (SRS) foi inserido, e
realizar uma reinicialização de memória em uma região que
precede um processo SRS em suas formas individuais,
respectivamente; e uma unidade de compensação de paridade
para compensar as paridades do fluxo de transporte de
acordo com os valores armazenados nas memórias incluídas
nos codificadores em treliça.

10 De acordo com outro aspecto da presente invenção os
codificadores em treliça podem incluir ao menos um tipo de
codificador em treliça entre cinco tipos de codificadores
em treliça.

15 De acordo com outro aspecto da presente invenção o
codificador em treliça de primeiro tipo pode ter primeira a
terceira memória, e ajustar a primeira a terceira memória
em zero em um momento em que um primeiro valor de sinal que
pertence à região que precede o processo SRS é recebido.

20 De acordo com outro aspecto da presente invenção o
codificador em treliça do primeiro tipo pode incluir
primeira a terceira memória; um primeiro MUX para
seletivamente emitir um entre um valor de sinal no fluxo de
transporte e um valor armazenado na primeira memória de
acordo com um sinal de controle externo; um primeiro
somador para acrescentar um valor de saída do primeiro MUX
ao valor armazenado na primeira memória, e armazenar o
25 valor resultante de adição na primeira memória; um segundo
MUX para seletivamente emitir um entre um valor de sinal no
fluxo de transporte e um valor armazenado na segunda
memória de acordo com o sinal de controle externo; e um
segundo somador para adicionar um valor de saída do segundo
30 MUX ao valor armazenado na segunda memória, e armazenar o

valor resultante da adição na terceira memória.

De acordo com outro aspecto da presente invenção o primeiro MUX pode selecionar uma saída do valor armazenado na primeira memória se o sinal de controle externo for um
5 sinal reajustado, e o primeiro somador pode realizar um OR-exclusivo do valor de saída do primeiro MUX e o valor armazenado na primeira memória, e armazenar o valor resultante do OR-exclusivo na primeira memória.

De acordo com outro aspecto da presente invenção o
10 segundo MUX pode selecionar e emitir o valor armazenado na segunda memória se o sinal de controle externo for o sinal de reinicialização, e o segundo somador pode realizar um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na segunda memória, e armazenar o valor
15 resultante do OR-exclusivo na terceira memória.

De acordo com outro aspecto da presente invenção o codificador em treliça do segundo ou do terceiro tipo pode ter primeira a terceira memória, manter o valor armazenado na primeira memória no estado em que se encontra, e ajustar
20 a terceira memória para zero em um momento em que um primeiro valor de sinal entre valores de sinais que pertencem à região precedendo o processo SRS é recebido, enquanto ele ajusta a primeira memória para um valor especificado e ajusta a segunda memória para zero em um
25 momento em que um segundo valor de sinal que acompanha o primeiro valor de sinal é recebido.

De acordo com outro aspecto da presente invenção o codificador em treliça do segundo tipo pode compreender primeira a terceira memória; um primeiro MUX para emitir
30 seletivamente um entre um valor fixo predeterminado e o

valor armazenado na primeira memória de acordo com um primeiro sinal de controle externo; um segundo MUX para seletivamente emitir um entre um valor de sinal no fluxo de transporte e um valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo; um primeiro somador para adicionar um valor de saída do segundo MUX ao valor armazenado na primeira memória, e armazenar o valor resultante da adição na primeira memória; um terceiro MUX para seletivamente emitir um do valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e um segundo somador para adicionar um valor de saída do terceiro MUX ao valor armazenado na segunda memória, e armazenar o valor resultante da adição na terceira memória.

De acordo com outro aspecto da presente invenção o primeiro MUX pode selecionar e emitir o valor fixado se for julgado que a presente região é uma primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e selecionar e emitir o valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem a seguir à primeira região de reinicialização. O segundo MUX pode selecionar e emitir o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e selecionar e emitir o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral. O primeiro somador pode realizar um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazenar o valor resultante do OR-exclusivo na primeira memória.

De acordo com outro aspecto da presente invenção o terceiro MUX pode selecionar e emitir o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização, e o segundo somador pode
5 realizar um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazenar o valor resultante do OR-exclusivo na terceira memória.

De acordo com outro aspecto da presente invenção o codificador em treliça do terceiro tipo pode incluir
10 primeira a terceira memória; um primeiro MUX para emitir seletivamente um entre um valor invertido do valor armazenado na primeira memória e o valor fixado predeterminado de acordo com um primeiro sinal de controle externo; um segundo MUX para emitir seletivamente um entre
15 um valor de sinal no fluxo de transporte e um valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo; um primeiro somador para adicionar um valor de saída do segundo MUX ao valor armazenado na primeira memória, e armazenar o valor resultante da adição
20 na primeira memória; um terceiro MUX para seletivamente emitir um entre o valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e um segundo somador para adicionar um valor de saída do terceiro MUX ao valor
25 armazenado na segunda memória, e armazenar o valor resultante da adição na terceira memória.

De acordo com outro aspecto da presente invenção o primeiro MUX pode selecionar e emitir o valor fixado se for julgado que a presente região é uma primeira região de
30 reinicialização de acordo com o primeiro sinal de controle

externo, e selecionar e emitir o valor invertido do valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem após a primeira região de reinicialização. O segundo

5 MUX pode selecionar e emitir o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e selecionar e emitir o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral. O primeiro somador

10 pode realizar um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazenar o valor resultante do OR-exclusivo na primeira memória.

De acordo com outro aspecto da presente invenção o terceiro MUX pode selecionar e emitir o valor armazenado na

15 segunda memória se o segundo sinal de controle externo for o sinal de reinicialização, e o segundo somador pode realizar um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazenar o valor resultante do OR-exclusivo na terceira memória.

20 De acordo com outro aspecto da presente invenção o codificador em treliça do quarto ou quinto tipo pode ter primeira a terceira memória, e ajustar o valor armazenado na primeira memória em um primeiro valor predeterminado e ajustar a terceira memória em zero em um momento onde um

25 primeiro valor de sinal entre valores de sinal que pertencem à região precedente ao processo SRS é recebido, enquanto ele pode ajustar o valor armazenado na primeira memória em um segundo valor predeterminado e ajustar a segunda memória em zero em um momento em que um segundo

30 valor de sinal que vem após o primeiro valor de sinal é

recebido.

De acordo com outro aspecto da presente invenção o quarto ou quinto codificador em treliça pode incluir primeira a terceira memória; um primeiro MUX para
5 seletivamente emitir um entre um valor invertido do valor armazenado na primeira memória e o valor armazenado na primeira memória de acordo com um primeiro sinal de controle externo; um segundo MUX para seletivamente emitir um entre um valor de sinal no fluxo de transporte e um
10 valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo; um primeiro somador para adicionar um valor de saída do segundo MUX ao valor armazenado na primeira memória, e armazenar o valor resultante da adição na primeira memória; um terceiro MUX
15 para emitir seletivamente um entre o valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e um segundo somador para adicionar um valor de saída do terceiro MUX ao valor armazenado na segunda memória, e
20 armazenar o valor resultante da adição na terceira memória.

De acordo com outro aspecto da presente invenção o primeiro MUX incluído no codificador em treliça do quarto tipo pode selecionar e emitir o valor invertido do valor armazenado na primeira memória e se for julgado que a
25 região presente é uma primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e selecionar e emitir o valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem após a primeira região de
30 reinicialização. O segundo MUX pode selecionar e emitir o

valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e selecionar e emitir o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação
5 geral. O primeiro somador pode realizar um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazenar o valor resultante do OR-exclusivo na primeira memória.

De acordo com outro aspecto da presente invenção o
10 terceiro MUX pode selecionar e emitir o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização, e o segundo somador pode realizar um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazenar o
15 valor resultante do OR-exclusivo na terceira memória.

De acordo com outro aspecto da presente invenção o primeiro MUX incluído no codificador em treliça do quinto tipo pode selecionar e emitir o valor armazenado na primeira memória se for julgado que a presente região é uma
20 primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e selecionar e emitir o valor invertido do valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem após a primeira região de
25 reinicialização. O segundo MUX pode selecionar e emitir o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e selecionar e emitir o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação
30 geral. O primeiro somador pode realizar um OR-exclusivo do

valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazenar o valor resultante do OR-exclusivo na primeira memória.

De acordo com outro aspecto da presente invenção o
5 terceiro MUX pode selecionar e emitir o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização, e o segundo somador pode realizar um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazenar o
10 valor resultante do OR-exclusivo na terceira memória.

De acordo com outro aspecto da presente invenção a unidade de compensação de paridade pode incluir um recodificador RS para gerar paridade correspondendo aos valores armazenados nas memórias na pluralidade de
15 codificadores em treliça; um somador para corrigir as paridades do fluxo de transporte mediante adição das paridades geradas pelo recodificador RS para o fluxo de transporte; e um MUX para prover o fluxo de transporte tendo as paridades corrigidas pelo somador para a
20 pluralidade de codificadores em treliça.

De acordo com outro aspecto da presente invenção o dispositivo de codificação em treliça pode incluir ainda um mapeador para realizar mapeamento de símbolo do fluxo de transporte codificado em treliça pela pluralidade de
25 codificadores em treliça.

De acordo com outro aspecto da presente invenção o dispositivo de codificação em treliça pode incluir ainda um divisor para emitir seqüencialmente o fluxo de transporte provido a partir do MUX para a pluralidade de codificadores
30 em treliça; e uma unidade de saída de codificação para

seqüencialmente detectar os valores codificados pela pluralidade de codificadores em treliça para emitir os valores detectados para o mapeador.

Em outro aspecto da presente invenção, é provido um
5 codificador em treliça, o qual inclui primeira a terceira
memória; um primeiro MUX para operar seletivamente de
acordo com um primeiro sinal de controle externo; um
segundo MUX para seletivamente emitir um entre um primeiro
valor de sinal especificado no fluxo de transporte e um
10 valor de saída do primeiro MUX de acordo com um segundo
sinal de controle externo; um primeiro somador para
acrescentar um valor de saída do segundo MUX ao valor
armazenado na primeira memória, e armazenar o valor
resultante da adição na primeira memória; um terceiro MUX
15 para seletivamente emitir um entre um segundo valor de
sinal especificado no fluxo de transporte e o valor
armazenado na segunda memória de acordo com o segundo sinal
de controle externo; e um segundo somador para adicionar um
valor de saída do terceiro MUX ao valor armazenado na
20 segunda memória, e armazenar o valor resultante da adição
na terceira memória.

De acordo com outro aspecto da presente invenção o
primeiro MUX pode emitir seletivamente um entre um valor
fixado predeterminado e o valor armazenado na primeira
25 memória de acordo com o primeiro sinal de controle externo.

De acordo com outro aspecto da presente invenção o
primeiro MUX pode emitir seletivamente um entre um valor
invertido do valor armazenado na primeira memória e um
valor fixado predeterminado de acordo com o primeiro sinal
30 de controle externo.

5

pela prática da invenção.

10

15

20

Descrição Resumida dos Desenhos

25

30

convencional (VSB de ATSC);

A Figura 2 é uma vista exemplar ilustrando a estrutura de um quadro de dados VSB de ATSC convencional;

5 A Figura 3 é um diagrama de blocos ilustrando a construção de um transmissor de difusão digital adotando o dispositivo de codificação em treliça de acordo com uma modalidade da presente invenção;

As Figuras 4 a 6 são vistas ilustrando a estrutura de um pacote que é processado no sistema da Figura 3;

10 A Figura 7 é um diagrama de blocos ilustrando a construção de um dispositivo de codificação em treliça de acordo com uma modalidade da presente invenção;

A Figura 8 é um diagrama de blocos ilustrando a construção detalhada do dispositivo de codificação em 15 treliça da Figura 7;

As Figuras 9 a 11 são diagramas de bloco ilustrando a construção de um codificador em treliça de acordo com diversas modalidades da presente invenção;

A Figura 12 é uma vista explicando o processo de um 20 mapeador no codificador em treliça da Figura 7; e

A Figura 13 é uma vista ilustrando um exemplo da estrutura de um fluxo de transporte incluindo um sinal de referência suplementar.

Melhor Modo para Realização da Invenção

25 Será feita agora referência em detalhe às presentes modalidades da presente invenção, cujos exemplos são ilustrados nos desenhos anexos, em que numerais de referência semelhantes se referem do princípio ao fim aos elementos semelhantes. As modalidades são descritas abaixo 30 para explicar a presente invenção mediante referência às

figuras.

A Figura 3 é um diagrama de blocos ilustrando a construção de um sistema de transmissão de difusão digital adotando o dispositivo de codificação em treliça de acordo com uma modalidade da presente invenção. Com referência à Figura 3, o transmissor de difusão digital inclui gerador de fluxo de transporte 110, um randomizador 120, um compactador de sinal de referência suplementar (SRS) 130, um codificador Reed Solomon (RS) 140, um intercalador 150, um dispositivo de codificação em treliça 200, e uma unidade de transmissão 160.

O gerador de fluxo de transporte 110 gera um fluxo de transporte para ser transmitido para um receptor. Isto é, o gerador de fluxo de transporte 110 recebe os pacotes de dados a partir de um módulo externo, tal como um dispositivo de filmar para transmissão, um módulo de processamento de compactação tal como o módulo MPEG-2, um codificador de vídeo, um codificador de áudio, e assim por diante, e constrói um fluxo de transporte. Na modalidade mostrada, o gerador de fluxo de transporte 110 gera um campo de adaptação que é incluído em alguns ou em todos os pacotes no fluxo de transporte. O gerador de fluxo de transporte 110 pode gravar não apenas um fluxo de dados geral, mas também um turbo fluxo em alguns ou em todos os pacotes. O turbo fluxo se refere a um fluxo de dados o qual pode incluir dados tais como dados de áudio, ou outros dados, que foram compactados de acordo com um padrão de compactação especificado e processados de forma robusta. Embora descrito em termos de vídeo e/ou áudio, entende-se que o pacote de dados pode incluir dados adicionais além

de, ou em vez dos dados de vídeo e/ou áudio.

As Figuras, 4 e 5, são vistas ilustrando a estrutura de um fluxo de transporte. Com referência à Figura 4, um pacote constituindo um fluxo de transporte é composto de
5 uma parte de cabeçalho de fluxo de transporte (TS) e uma parte de dados de carga útil. A parte de dados de carga útil total também pode ser usada como um campo de adaptação. A parte de cabeçalho TS é composta de 4 bytes. Na Figura 4, o cabeçalho TS mostrado inclui um byte de
10 sincronização, um indicador de erro de transporte, um indicador de início de carga útil, uma prioridade de transporte, um identificador de pacote (ID), um campo de controle de embaralhamento de transporte, um campo de controle de campo de adaptação, um contador de
15 continuidade, e assim por diante. A parte de dados de carga útil é composta de 184 bytes. Como tal, o pacote TS inclui 188 bytes.

Com referência à Figura 5, em um pacote de um fluxo de transporte, um campo de adaptação é provido em uma parte da
20 região de dados, e os dados de carga útil podem ser gravados na parte restante da região de dados. Nesse caso, se o campo de adaptação for composto de n bytes, os dados de carga útil são compostos de $184-n$ bytes. No campo de adaptação, o turbo fluxo ou o SRS pode ser gravado.

25 Por outro lado, o fluxo de transporte gerado pelo gerador de fluxo de transporte 110 é randomizado pela unidade de randomização 120 e, então, transferido para o compactador de SRS 130. O compactador de SRS 130 insere o SRS no campo de adaptação provido no fluxo de transporte. O
30 SRS se refere a um padrão de sinal comumente conhecido

entre o lado de transmissor e o lado de receptor. O lado de receptor pode confirmar o estado do canal mediante comparação do SRS no fluxo recebido com o SRS conhecido, e determinar o grau de compensação.

5 A Figura 6 é uma vista explicando um campo de adaptação no qual um SRS foi inserido. Na Figura 6, o Pacote "a" é um pacote onde um SRS foi inserido na parte de dados total exceto pela parte de cabeçalho no campo de adaptação. O Pacote "b" é um pacote onde um SRS foi
10 inserido em uma parte de dados de um campo de adaptação junto com uma referência de clock de programa (PCR) ou uma referência de clock de programa original (OPCR). O Pacote "c", "d" ou "e" são pacotes onde um SRS foi inserido em uma parte de dados de um campo de adaptação junto com dados
15 privados, um campo de adaptação estendido, uma contagem emendada, e assim por diante. Conforme descrito acima, diversos tipos de dados podem ser registrados no campo de adaptação provido no fluxo de transporte. Tais dados podem ser gravados pelo gerador de fluxo de transporte 110.

20 Além disso, o fluxo de transporte no qual o SRS foi inserido é codificado-RS pelo codificador RS 140, e então intercalado pelo intercalador 150. Então, o fluxo de transporte é codificado em treliça pelo dispositivo de codificação em treliça 200. O dispositivo de codificação em
25 treliça 200 realiza codificação em treliça utilizando uma pluralidade de codificadores em treliça conforme mostrado na Figura 7. Nessa modalidade, o dispositivo de codificação em treliça 200 reinicializa as memórias providas nos codificadores em treliça respectivos pouco antes do
30 dispositivo de codificação em treliça 200 processar a parte

na qual o SRS foi inserido.

Isto é, conforme descrito acima, o SRS se refere a um padrão de sinal comumente conhecido entre o transmissor e o receptor. Conseqüentemente, se o SRS é mudado no processo
5 de transmissão, o receptor pode julgar que o estado do canal é inferior embora o estado de canal de transmissão do fluxo de transporte seja normal. No caso onde o dispositivo de codificação em treliça 200 realiza codificação em treliça de parte do SRS, a parte do SRS pode ser afetada
10 por valores já armazenados em sua própria memória, e desse modo é exigida a reinicialização da memória para um valor especificado antes de se processar o SRS.

A unidade de transmissão 160 serve para transmitir o fluxo de transporte codificado em treliça através de um
15 canal de frequência. Especificamente, a unidade de transmissão 160 pode incluir um MUX (não ilustrado), uma unidade de modulação (não ilustrada), e assim por diante. O MUX multiplexa o fluxo de transporte codificado em treliça mediante adição de um sinal de sincronização de segmento e
20 sinal de sincronização de campo ao fluxo de transporte. A unidade de modulação realiza modulação de canal do fluxo de transporte multiplexado, e realiza conversão ascendente do sinal modulado para um sinal de canal de RF para transmitir o sinal convertido. Embora descrito como transmitido como o
25 sinal de canal RF, entende-se que a transmissão pode ser através de outros tipos de sinal e/ou combinações dos mesmos.

A Figura 7 é um diagrama de blocos ilustrando a construção de um dispositivo de codificação em treliça 200
30 de acordo com uma modalidade da presente invenção. Com

referência à Figura 7, o dispositivo de codificação em treliça 200 inclui um bloco de codificador em treliça 300 e uma unidade de compensação de paridade 400. O bloco de codificador em treliça 300 serve para realizar codificação em treliça do fluxo de transporte utilizando uma pluralidade de codificadores em treliça. Nesse caso, o bloco de codificador em treliça 300 pode realizar codificação em treliça de um pacote de acordo com um sinal de controle externo, e realizar uma reinicialização de memória pouco antes da codificação em treliça dos dados SRS do pacote. O sinal de controle externo pode ser provido a partir de um controlador (não ilustrado) provido separadamente. Conforme mostrado, o bloco de codificador 300 tem doze (12) codificadores em treliça. Contudo, entende-se que outros números de codificadores podem ser usados.

A unidade de compensação de paridade 400 compensa as paridades do fluxo de transporte de acordo com os valores de armazenamento de memória que são emitidos no processo de reinicialização de memória realizado pelo bloco de codificadores em treliça 300.

A Figura 8 é um diagrama de blocos ilustrando a construção detalhada do dispositivo de codificação em treliça da Figura 7. Com referência à Figura 8, a unidade de compensação de paridade 400 inclui um recodificador RS 410, um somador 420, e um MUX 430. O bloco de codificadores em treliça 300 inclui um divisor 310, uma pluralidade de codificadores em treliça 320-1 a 320-12, e uma unidade de saída de codificação 330. O dispositivo de codificação em treliça 200 inclui ainda um mapeador 500.

O recodificador RS 410 gera paridades correspondendo aos valores de armazenamento de memória emitidos a partir dos respectivos codificadores em treliça 320-1 a 320-12. O somador 420 adiciona as paridades geradas pelo
 5 recodificador RS 410 ao pacote externamente introduzido, e provê os dados adicionados ao MUX 430. Aqui, o método de adicionar é conforme a seguir.

A) o anterior omitido ...101001010111001010101011AAAAA... o restante omitido

10 B) o anterior omitido ...000000000000010000000000BBBBB... o restante omitido

C) o anterior omitido ...101001010111011010101011CCCCC... o restante omitido

A) denota um pacote extremamente introduzido, B)
 15 denota um pacote recodificado, e C) denota o resultado do OR-exclusivo de A) e B) realizado através do somador 420. Quando a parte sublinhada do pacote A) é introduzida ao bloco de codificadores em treliça 300, uma reinicialização de memória é realizada. Nesse caso, os valores pré-
 20 armazenados nas memórias do bloco de codificadores em treliça 300 são providos ao recodificador RS 410, e o recodificador RS 410 gera paridades correspondendo aos valores providos e emite o pacote B). A parte sublinhada do pacote B) se refere ao valor alterado que corresponde à
 25 parte sublinhada do pacote A). As paridades correspondendo à parte sublinhada do pacote B) são regeneradas como "BBBBB".

O somador 420 realiza um OR-exclusivo do pacote A) e pacote B) e emite o pacote C). No pacote C), a parte
 30 sublinhada do pacote A) inicialmente introduzida é mudada

para "01", e as paridades também são mudadas de "AAAAA" a "CCCCC".

Além disso, o MUX 430 pode operar quer em um modo de operação para codificação em treliça dos pacotes
5 respectivos do fluxo de transporte de entrada (em seguida referido como "modo típico"), ou em um modo de operação para codificação em treliça dos pacotes adicionados pelo somador 420 (em seguida referido como um "modo de correção de paridade"). O modo de operação do MUX 430 é determinado
10 por um sinal de controle recebido a partir do recodificador RS 410.

No modo típico, o MUX 430 provê o fluxo de transporte de entrada para o bloco de codificadores em treliça 300. No modo de correção de paridade, o MUX 430 provê o fluxo
15 emitido a partir do somador 420 para o bloco de codificadores em treliça 300. O MUX 430 opera em um modo típico, a partir da conclusão da reinicialização de memória e compensação de paridade, de modo que o MUX 430 provê o bloco de codificadores em treliça 300 com o fluxo de
20 transporte.

O divisor 310 no bloco de codificador em treliça 300 emite seqüencialmente o fluxo de transporte provido a partir do MUX 430 para os respectivos codificadores em treliça 320-1 a 320-12. Nessa modalidade, o fluxo de
25 transporte pode ser emitido na unidade de um byte, porém as unidades não são limitadas a isso.

Os respectivos codificadores em treliça 320-1 a 320-12 realizam codificação em treliça dos fluxos de entrada para emitir os fluxos codificados em treliça. Nessa modalidade,
30 os codificadores em treliça 320-1 a 320-12 são selecionados

seqüencialmente para emitir os valores codificados em treliça. Alternativamente, na região que precede a região na qual o SRS está posicionado (tal como o cabeçalho AF, o PCR, etc.), os respectivos codificadores em treliça 320-1 a 320-12 realizam a reinicialização de memória. Conseqüentemente, na região precedendo o processo SRS, as memórias são reinicializadas para um valor especificado, e as paridades compensadas a partir da unidade de compensação de paridade 400 são adicionadas ao fluxo de transporte, desse modo obtendo a coincidência de todas as paridades.

A unidade de saída de codificação 330 detecta seqüencialmente os valores codificados emitidos a partir dos codificadores em treliça respectivos 320-1 a 320-12, e emite os valores codificados seqüencialmente detectados para o mapeador 500.

Os codificadores em treliça respectivos 320-1 a 320-12 no bloco de codificadores em treliça 300 podem ser construídos em formas individuais, e realizar a reinicialização de memória de formas individuais de acordo com os aspectos da invenção. Isto é, se todos os codificadores em treliça 320-1 a 320-12 têm a mesma construção, os mesmos valores são incluídos no fluxo de transporte durante a reinicialização de memória para causar deslocamento DC positivo/negativo ((+)/(-)) no processo de mapeamento. Conseqüentemente, fazendo com que a reinicialização de memória seja realizada em formas diversas, o deslocamento DC pode ser removido ou reduzido.

Todos os codificadores em treliça 320-1 a 320-12 podem ser classificados em primeiro a quinto tipos. Cada codificador em treliça 320-1 a 320-12 é provido com três

memórias, (isto é, primeira a terceira memória). Entre as três memórias, a segunda e a terceira memória operam em conjunto em um modo de troca. Isto é, se um sinal de fluxo de transporte for introduzido, o valor armazenado da terceira memória é trocado para a segunda memória. Conseqüentemente, para reinicializar todas as memórias, dois sinais são exigidos.

Contudo, a primeira memória é reinicializada separadamente da segunda e terceira memória. Conseqüentemente, mediante introdução de um primeiro sinal, a primeira memória pode ser reinicializada. Os tipos descritos acima podem ser classificados de acordo com o tipo de reinicialização da primeira memória. Isto é, o codificador em treliça do primeiro tipo ajusta a primeira e terceira memória para zero em uma primeira região de reinicialização e, então, ajusta a segunda memória em uma segunda região de reinicialização. A primeira região de reinicialização corresponde a um momento onde o primeiro valor de sinal que pertence à região que precede o processo SRS é recebido, e a segunda região de reinicialização corresponde a um momento quando um segundo valor de sinal que vem após o primeiro valor de sinal é recebido.

O codificador em treliça do segundo ou terceiro tipo mantém o valor armazenado na primeira memória no estado em que se encontra e ajusta a terceira memória para zero na primeira região de reinicialização. O codificador em treliça do segundo ou terceiro tipo também ajusta o valor armazenado na primeira memória para um valor especificado e ajusta a segunda memória em zero na segunda região de reinicialização que vem após a primeira região de

reinicialização. Aqui, o valor especificado pode ser "0" ou "1". Isto é, o codificador em treliça do segundo tipo ajusta a primeira memória para "0" na segunda região de reinicialização, e o codificador em treliça do terceiro tipo ajusta a primeira memória para "1" na segunda região de reinicialização. Contudo, o valor especificado pode não ser assim limitado.

O codificador em treliça do quarto ou do quinto tipo ajusta o valor armazenado na primeira memória para um primeiro valor predeterminado e ajusta a terceira memória para zero na primeira região de reinicialização. O quarto ou quinto tipo de codificador em treliça também ajusta o valor armazenado na primeira memória para um segundo valor predeterminado e ajusta a segunda memória para zero na segunda região de reinicialização. Especificamente, o codificador em treliça do quarto tipo ajusta a primeira memória para "1" na primeira região de reinicialização e ajusta a primeira memória para "0" na segunda região de reinicialização, enquanto que o codificador em treliça do quinto tipo ajusta a primeira memória para "0" na primeira região de reinicialização e ajusta a primeira memória para "1" na segunda região de reinicialização. Contudo, o valor especificado não precisa ser assim limitado.

A Figura 9 é um diagrama de blocos ilustrando a construção do codificador em treliça do primeiro tipo, de acordo com uma modalidade da presente invenção. Com referência à Figura 9, o codificador em treliça do primeiro tipo inclui uma primeira memória S2, uma segunda memória S1, uma terceira memória S0, um primeiro somador 610, um segundo somador 620, um primeiro MUX 630, e um segundo MUX

640.

A reinicialização de memória é determinada de acordo com um sinal de controle externo, tal como aquele provido a partir de um controlador (não mostrado). Especificamente, o
5 sinal de controle "0" ou "1" pode ser introduzido no primeiro ou segundo MUX 630 ou 640. O sinal de controle "1" é usado como um sinal de reinicialização, e o sinal de controle "0" é usado como um sinal de operação geral. Contudo, entende-se que outros símbolos podem ser usados
10 para os sinais de reinicialização e de operação geral.

O primeiro MUX 630 emite seletivamente um dos valores armazenados na primeira memória S2 e um valor de sinal X1 no fluxo de transporte de acordo com o sinal de controle externo. Especificamente, o primeiro MUX 630 emite o valor
15 armazenado na primeira memória S2 quando o sinal de reinicialização (isto é, sinal de controle "1") é introduzido, e emite X1 quando o sinal de operação geral (isto é, sinal de controle "0") é introduzido. X1 é um valor de sinal provido em uma região precedendo o processo
20 SRS no fluxo de transporte.

O valor de saída do primeiro MUX 630 é provido ao primeiro somador 610. O primeiro somador 610 adiciona o valor de saída do primeiro MUX 630 ao valor armazenado na primeira memória S2. O valor resultante da adição é emitido
25 como Z2, e é armazenado simultaneamente na primeira memória S2.

Quando o sinal de controle "1" é introduzido, o primeiro MUX 630 seleciona e emite o valor armazenado na primeira memória S2. Desse modo, dois valores de entrada do
30 primeiro somador 610 se tornam iguais um ao outro. Quando o

primeiro somador 610 realiza um OR-exclusivo, o valor resultante do OR-exclusivo se torna "0", e o valor armazenado na primeira memória S2 é ajustado para zero. Nesse caso, o valor D1 previamente armazenado na primeira
5 memória S2 é emitido para o recodificador RS 410. Conseqüentemente, D1 é usado para um trabalho de compensação de paridade de acordo com a reinicialização de memória.

Além disso, o segundo MUX 640 emite seletivamente um
10 dos valores armazenados na segunda memória S1 e um valor de sinal X0 no fluxo de transporte de acordo com o sinal de controle externo. Especificamente, o segundo MUX 640 emite o valor armazenado na segunda memória S1 quando o sinal de reinicialização é introduzido, e emite X0 quando o sinal de
15 operação geral é introduzido. X0 é um valor de sinal provido na região que precede o processo SRS no fluxo de transporte.

O valor de saída do segundo MUX 640 é emitido diretamente como Z1, e é provido simultaneamente ao segundo
20 somador 620. O valor de saída D0 do segundo MUX 640 é provido ao recodificador RS 410 e é usado para o trabalho de compensação de paridade de acordo com a reinicialização de memória. O valor armazenado na segunda memória S1 é provido diretamente ao segundo somador 620. O segundo
25 somador 620 realiza o OR-exclusivo, e quando o sinal de reinicialização é introduzido, ele emite "0" como o valor resultante do OR-exclusivo.

O valor resultante do OR-exclusivo que é emitido a partir do segundo somador 620 é armazenado na terceira
30 memória S0 no estado em que se encontra. Desse modo, a

terceira memória S0 é inicializada para "0". Simultaneamente, o valor tendo sido armazenado na terceira memória S0 é mudado para a segunda memória S1. Além disso, o valor tendo sido armazenado na terceira memória S0 é emitido como Z0. Como resultado, se o sinal de reinicialização inicial é introduzido, a primeira e a terceira memória S2 e S0 são reajustadas para zero, respectivamente.

Se o sinal de reinicialização é introduzido outra vez nesse estado, o valor armazenado na terceira memória S0 (por exemplo, "0") é mudado para a segunda memória S1. Conseqüentemente, a segunda memória S1 é inicializada. Simultaneamente, o segundo MUX 640 emite o valor D0 atualmente armazenado na segunda memória S1 (por exemplo, o valor armazenado na terceira memória S0 antes da inicialização).

Se a região atual não for a região de inicialização, o primeiro MUX 630 e o segundo MUX 640 selecionam X1 e X0, respectivamente, para realizar a codificação em treliça.

Conforme descrito acima, como três memórias S0, S1, e S2 são providas no primeiro tipo de codificador em treliça, e os valores armazenados nas memórias são mudados, o símbolo de sinal de controle "2" é exigido para reinicializar todas as memórias. Além disso, existem oito combinações de D1 e D0, por exemplo, 000, 111, 001, 010, 100, 110, 101 e 011, as quais podem ser feitas utilizando-se as três memórias S0, S1, e S2.

O processo de reinicialização de memória realizado pelo codificador em treliça do primeiro tipo pode ser arranjado conforme a Tabela 1 abaixo.

Tabela 1

Cont	S2, S1, S0	entrada	Z2, Z1, Z0	S2, S1, S0	entrada	Z2, Z1, Z0	S2, S1, S0
	em t=0	em t=1	em t=1	em t=1	em t=2	em t=2	em t=2
1	0,0,0	0,0	000	0,0,0	0,0	000	0,0,0
1	0,0,1	0,0	001	0,1,0	0,1	010	0,0,0
1	0,1,0	0,1	010	0,0,0	0,0	000	0,0,0
1	0,1,1	0,1	011	0,1,0	0,1	010	0,0,0
1	1,0,0	1,0	000	0,0,0	0,0	000	0,0,0
1	1,0,1	1,0	001	0,1,0	0,1	010	0,0,0
1	1,1,0	1,1	010	0,0,0	0,0	000	0,0,0
1	1,1,1	1,1	01 1	0,1,0	0,1	010	0,0,0

Na Tabela 1, o termo "entrada" se refere aos valores introduzidos a partir do primeiro MUX 630 e o segundo MUX 640 para o primeiro somador 610 e o segundo somador 620, respectivamente. Em um estado inicial (isto é, t=0), a reinicialização da memória começa quando o sinal de controle externo Cont=1 é introduzido. Conseqüentemente, no momento onde o primeiro sinal de controle Cont=1 é introduzido (isto é, t=1) a primeira memória S2 e a terceira memória S0 são ajustadas para "0", respectivamente, independente dos valores armazenados na primeira e segunda memória S2 e S0. Além disso, em um momento onde o segundo sinal de controle Cont=1 é introduzido (isto é, t=2), a segunda memória S1 também é ajustada para "0". Conforme descrito acima, com referência à Tabela 1, a reinicialização da memória é realizada por um sinal de controle externo de dois símbolos.

A Figura 10 é um diagrama de blocos ilustrando a construção do codificador em treliça de segundo ou terceiro tipo de acordo com uma modalidade da presente invenção. Com

referência à Figura 10, o codificador em treliça do segundo tipo inclui uma primeira memória S2, uma segunda memória S1, uma terceira memória S0, um primeiro somador 710, um segundo somador 720, um primeiro MUX 730, um segundo MUX 740, e um terceiro MUX 750. Como a operação e função da primeira à terceira memória são idênticas àquelas ilustradas na Figura 9, a sua explicação detalhada será omitida.

O primeiro MUX 730 respectivamente emite um do valor armazenado na primeira memória S2 e um valor a de acordo com o primeiro sinal de controle externo. O valor a pode ser um valor aleatoriamente determinado ou certo valor fixado. Por exemplo, o valor a pode ser fixado em "0".

O primeiro sinal de controle externo é um sinal para informar se a reinicialização de memória atual é realizada na primeira região de reinicialização ou na segunda região de reinicialização. No caso onde três memórias S2, S1, e S0 são providas, ao menos dois sinais de controle são exigidos para reinicializar as memórias S2, S1 e S0. Os sinais de controle podem ser providos a partir de um controlador (não mostrado).

Especificamente, se o primeiro sinal de controle externo é "0", o primeiro MUX 730 julga que a região de reinicialização atual é a primeira região de reinicialização, e emite o valor a. Se o primeiro sinal de controle externo é "1", o primeiro MUX 730 julga que a região de reinicialização atual é a segunda região de reinicialização que vem após a primeira região de reinicialização, seleciona e emite o valor armazenado na primeira memória S2.

Se o segundo sinal de controle externo é "0", (isto é, um sinal de operação geral), o segundo MUX 740 seleciona e emite X1. Se o segundo sinal de controle externo é "1", (isto é o sinal de reinicialização), o segundo MUX 740
 5 seleciona e emite o valor emitido a partir do primeiro MUX 730. O primeiro somador 710 realiza um OR-exclusivo do valor emitido a partir do segundo MUX 740 e o valor armazenado na primeira memória S2, e emite o valor resultante do OR-exclusivo como Z2 assim como armazenando o
 10 valor resultante na primeira memória S2.

Se o sinal de reinicialização é introduzido em um estado em que $a=0$, o valor resultante emitido a partir do primeiro somador 710 se torna igual ao valor armazenado na primeira memória S2. Conseqüentemente, na primeira região
 15 de reinicialização, o valor da primeira memória S2 é mantido como se encontra. Na segunda região de reinicialização, o valor da primeira memória S2 é transferido para o primeiro somador 710 através do segundo MUX 740, e desse modo a primeira memória S2 é ajustada para
 20 "0".

No caso do codificador em treliça do primeiro tipo descrito acima, a primeira memória S2 é ajustada para "0" na primeira região de reinicialização, e o mapeador 500 mapeia esse valor determinado para um dos valores -1, -3, -
 25 5 e -7. A saída do codificador em treliça do primeiro tipo tem um deslocamento DC especificado através do mapeador 500. Conseqüentemente, se a primeira memória S2 é ajustada para "0" a partir da primeira região de reinicialização, o deslocamento DC pode ter um valor negativo. Contudo, no
 30 caso do codificador em treliça do segundo tipo, a primeira

memória S2 é ajustada para "0" na segunda região de reinicialização, e desse modo o deslocamento DC pode ser reduzido em comparação com o codificador em treliça do primeiro tipo.

5 O processo de reinicialização de memória realizado pelo codificador em treliça do segundo tipo pode ser arranjado conforme na Tabela 2 abaixo. Na Tabela 2, no momento onde $t=0$, o valor armazenado na primeira memória S2 é mantido como se encontra, e no momento onde $t=2$, o valor
10 armazenado na primeira memória S2 é ajustado para "0".

Tabela 2

Cont	S2,S1,S0 em $t=0$	entrada em $t=1$	Z2,Z1,Z0 em $t=1$	S2,S1,S0 em $t=1$	entrada em $t=2$	Z2,Z1,Z0 em $t=2$	S2,S1,S0 em $t=2$
1	0,0,0	0,0	000	0,0,0	0,0	000	0,0,0
1	0,0,1	0,0	001	0,1,0	0,1	010	0,0,0
1	0,1,0	0,1	010	0,0,0	0,0	000	0,0,0
1	0,1,1	0,1	011	0,1,0	0,1	010	0,0,0
1	1,0,0	0,0	100	1,0,0	1,0	000	0,0,0
1	1,0,1	0,0	101	1,1,0	1,1	010	0,0,0
1	1,1,0	0,1	110	1,0,0	1,0	000	0,0,0
1	1,1,1	0,1	111	1,1,0	1,1	010	0,0,0

A operação de ajuste da segunda e terceira memória S1 e S0 é igual àquela do codificador em treliça do primeiro tipo mostrado na Figura 9. Isto é, as operações do terceiro
15 MUX 750 e do segundo somador 720 conforme ilustradas na Figura 10 são idênticas àquelas do segundo MUX 640 e do segundo somador 620 do codificador em treliça do primeiro tipo conforme ilustrado na Figura 9, e desse modo a sua explanação repetida será omitida.

20 Além disso, o codificador em treliça do terceiro tipo

pode ser implementado mediante adição de um inversor a uma parte que recebe o valor armazenado na primeira memória S2 no primeiro MUX 730, como mostrado na Figura 10. Nessa modalidade, um valor invertido do valor armazenado da primeira memória S2 é emitido na segunda região de reinicialização. Conseqüentemente, o valor emitido através do segundo MUX 740 no segundo período de reinicialização se torna o valor invertido da primeira memória S2. Como resultado, mediante realização de um OR-exclusivo através do primeiro somador 710, a primeira memória S2 é ajustada para "1". Isso pode ser arranjado conforme na Tabela 3 abaixo.

Tabela 3

Cont	S2,S1, Entrada S0 em em t=0 t=1	Z2,Z1,Z0 em t=1	S2,S1,S 0 em t=1	entrada em t=2	Z2,Z1,Z0 em t=2	S2,S1,S0 em t=2
1	0,0,0 0,0	000	0,0,0	1,0	100	1,0,0
1	0,0,1 0,0	001	0,1,0	1,1	110	1,0,0
1	0,1,0 0,1	010	0,0,0	1,0	100	1,0,0
1	0,1,1 0,1	011	0,1,0	1,1	110	1,0,0
1	1,0,0 0,0	100	1,0,0	0,0	100	1,0,0
1	1,0,1 0,0	101	1,1,0	0,1	110	1,0,0
1	1,1,0 0,1	110	1,0,0	0,0	100	1,0,0
1	1,1,1 0,1	111	1,1,0	0,1	110	1,0,0

Na Tabela 3, no momento onde t=1, o valor armazenado na primeira memória S2 é mantido como se encontra, e no momento onde t=2, o valor armazenado na primeira memória S2 é ajustado para "1". Como a construção do codificador em treliça do terceiro tipo é geralmente idêntica àquela do

codificador em treliça do segundo tipo conforme ilustrado na Figura 10 exceto pela parte terminal de entrada do primeiro MUX 730, a explanação detalhada da mesma será omitida.

5 O codificador em treliça do terceiro tipo tem o valor finalmente ajustado na primeira memória S2 que é diferente do valor ajustado na primeira memória do codificador em treliça do segundo tipo. Conseqüentemente, mediante implementação do bloco de codificador em treliça 300
10 mediante combinação adequada dos codificadores em treliça do segundo e terceiro tipo, o deslocamento DC pode ser removido ou reduzido.

A Figura 11 é um diagrama de blocos ilustrando a construção do codificador em treliça do quarto ou quinto
15 tipo de acordo com uma modalidade da presente invenção. Com referência à Figura 11, o codificador em treliça do quarto ou quinto tipo inclui uma primeira a terceira memória S2, S1 e S0, um primeiro somador 810, um segundo somador 820, um primeiro MUX 830, um segundo MUX 840, e um terceiro MUX
20 850. O primeiro MUX 830 emite seletivamente um do valor armazenado na primeira memória S2 e um valor invertido do valor armazenado de acordo com o primeiro sinal de controle externo.

Especificamente, no caso do codificador em treliça do
25 quarto tipo, o primeiro MUX 830 emite o valor invertido do valor armazenado da primeira memória S2 se o primeiro sinal de controle externo for um sinal para informar a primeira região de reinicialização. Ao contrário, se o primeiro sinal de controle externo for um sinal para informar a
30 segunda região de reinicialização, o primeiro MUX 830

seleciona e emite o valor armazenado da primeira memória S2. O segundo MUX 840 seleciona e emite o valor de saída do primeiro MUX 830 se o segundo sinal de controle externo for um sinal de reinicialização, enquanto que o segundo MUX 840
 5 seleciona e emite X1 se o segundo sinal de controle externo for um sinal de operação geral.

Na primeira região de reinicialização, o valor invertido do valor armazenado da primeira memória S2, e o valor armazenado da primeira memória S2, são transmitidos
 10 por porta OR-exclusivo pelo primeiro somador 810, e o valor resultante do OR-exclusivo sempre se torna "1". Conseqüentemente, os valores de Z2 e S2 sempre se tornam "0" na primeira região de reinicialização. Ao contrário, os valores de Z2 e S2 sempre se tornam "0" na segunda região
 15 de reinicialização. O processo de reinicialização de memória realizado pelo codificador em treliça do quarto tipo pode ser arranjado como na Tabela 4 abaixo.

Tabela 4

Cont	S2,S1,S0 em t=0	entrada em t=1	Z2,Z1,Z0 em t=1	S2,S1,S0 entrada em t=1 em t=2	Z2,Z1,Z0 em t=2	S2,S1,S0 em t=2
1	0,0,0	1,0	100	1,0,0 1 ,0	000	0,0,0
1	0,0,1	1,0	101	1,1,0 1 ,1	010	0,0,0
1	0,1,0	1,1	110	1,0,0 1,0	000	0,0,0
1	0,1,1	1,1	111	1,1,0 1 ,1	010	0,0,0
1	1,0,0	0,0	100	1,0,0 0,0	000	0,0,0
1	1,0,1	0,0	101	1,1,0 0,1	010	0,0,0
1	1,1,0	0,1	110	1,0,0 0,0	000	0,0,0
1	1,1,1	0,1	111	1,1,0 0,1	010	0,0,0

Na Tabela 4, no momento onde t=0, o valor armazenado

na primeira memória S2 é fixado em "1", e no momento onde $t=2$, ele é ajustado para "0".

No caso do codificador em treliça do quinto tipo, o primeiro MUX 830 emite o valor armazenado da primeira memória S2 se o primeiro sinal de controle externo for o sinal para informar a primeira região de reinicialização. Ao contrário, se o primeiro sinal de controle externo for o sinal para reportar a segunda região de reinicialização, o primeiro MUX 830 seleciona e emite o valor invertido do valor armazenado da primeira memória S2. O segundo MUX 840 seleciona e emite o valor de saída do primeiro MUX 830 se o segundo sinal de controle externo for o sinal de reinicialização, enquanto ele seleciona e emite X1 se o segundo sinal de controle externo for o sinal de operação geral.

Na primeira região de reinicialização, o valor armazenado da primeira memória S2, e o valor armazenado da primeira memória S2, são transmitidos por porta OR-exclusivo pelo primeiro somador 810, e o valor resultante do OR-exclusivo sempre se torna "0". Conseqüentemente, os valores de Z2 e S2 na primeira região de reinicialização sempre se tornam "0" independente do valor armazenado inicial da primeira memória S2. Ao contrário, os valores de Z2 e S2 sempre se tornam "1" na segunda região de reinicialização. O processo de reinicialização de memória realizado pelo codificador em treliça do quinto tipo pode ser arranjado como na Tabela 5 abaixo.

Tabela 5

Cont	S2, S1, S0	entrada	Z2, Z1, Z0	S2, S1, S0	entrada	Z2, Z1, Z0	S2, S1, S0
	em $t=0$	em $t=1$	em $t=1$	em $t=1$	em $t=2$	em $t=2$	em $t=2$

1	0,0,0	0,0	000	0,0,0	1,0	000	1,0,0
1	0,0,1	0,0	001	0,1,0	1,1	010	1,0,0
1	0,1,0	0,1	010	0,0,0	1,0	000	1,0,0
1	0,1,1	0,1	011	0,1,0	1,1	010	1,0,0
1	1,0,0	1,0	000	0,0,0	0,0	000	1,0,0
1	1,0,1	1,0	001	0,1,0	0,1	010	1,0,0
1	1,1,0	1,1	010	0,0,0	0,0	000	1,0,0
1	1,1,1	1,1	011	0,1,0	0,1	010	1,0,0

No caso do codificador em treliça do quarto ou quinto tipo, o valor selecionado é mudado de acordo com o primeiro sinal de controle externo, e desse modo o valor estabelecido da primeira memória S2 também é mudado.

5 Conseqüentemente, da mesma maneira que no codificador em treliça do segundo ou terceiro tipo, mediante combinação adequada dos codificadores em treliça do quarto e quinto tipo, o deslocamento DC pode ser deslocado ou reduzido.

10 Como a operação do terceiro MUX 750 ou 850, conforme ilustrado nas Figuras, 10 e 11, é geralmente idêntica àquela do segundo MUX 640 ou do segundo somador 620 do codificador em treliça do primeiro tipo, conforme ilustrado na Figura 9, a explanação duplicada do mesmo será omitida.

15 A Figura 12 é uma vista explicando o processo do mapeador 500 que pode ser usado no codificador em treliça da Figura 8. Com referência à Figura 12, o mapeador 500 emite um valor R correspondendo à combinação de Z2, Z1, e Z0. Por exemplo, se Z2, Z1 e Z0 são "0", "1" e "0", respectivamente, o mapeador 500 emite um valor de -3.

20 O bloco de codificadores em treliça 300 da Figura 8 pode ser projetado para incluir os codificadores em treliça correspondendo a um tipo de codificadores em treliça do

primeiro ao quinto tipo de modo que o valor de saída do mapeador 300 não é desviado para o valor negativo ou positivo. Isto é, o bloco de codificadores em treliça 300 pode incluir todos ou uma parte dos codificadores em treliça do primeiro ao quinto tipo.

Em um estado em que o mapeamento foi realizado pelo mapeador 500, o deslocamento DC do codificador em treliça de tipo respectivo pode ser calculado. Esse deslocamento DC pode ser calculado na suposição de que todas as combinações possíveis de S2, S1, e S0 são feitas uma vez.

Em primeiro lugar, o codificador em treliça do primeiro tipo adiciona todos os valores de mapeamento correspondendo aos valores de Z2, Z1, e Z0 emitidos na primeira região de reinicialização, e emite -32 como o valor resultante da adição. Então, o codificador em treliça do primeiro tipo adiciona todos os valores de mapeamento correspondendo aos valores de Z2, Z1, e Z0 emitidos na segunda região de reinicialização, e emite -40 como o valor resultante da adição. Conseqüentemente, é produzido o deslocamento DC total de -72.

Da mesma maneira, o codificador em treliça do segundo tipo emite zero na primeira região de reinicialização, e emite -40 na segunda região de reinicialização. Conseqüentemente, é produzido o deslocamento DC total de -40. No caso do codificador em treliça do terceiro tipo, é produzido o deslocamento DC de +24, e no caso do codificador em treliça do quarto tipo, é produzido o deslocamento DC de -8. No caso do codificador em treliça do quinto tipo, é produzido o deslocamento DC de -8. Utilizando esses valores resultantes de cálculo, o número

de codificadores em treliça de tipo respectivo pode ser determinado. Por exemplo, no caso de implementar o bloco de codificadores em treliça 300 utilizando três codificadores em treliça do terceiro tipo e nove codificadores em treliça do quarto ou quinto tipo, o valor resultante do cálculo se torna $24 \cdot 3 - 8 \cdot 9 = 0$, e desse modo pode ser considerado que o deslocamento DC foi deslocado.

A Figura 13 é uma vista ilustrando um exemplo da estrutura de um fluxo de transporte incluindo um sinal de referência suplementar. Com referência à Figura 13, pode ser visto que as regiões SRS foram dispersas pela intercalação. Além disso, antes das regiões SRS respectivas, as regiões de inicialização para a reinicialização de memória e as regiões nas quais as paridades compensadas são gravadas no caso onde a compensação de paridade de acordo com a reinicialização de memória é realizada, são preparadas.

Embora algumas modalidades da presente invenção tenham sido mostradas e descritas, seria considerado por aqueles versados na técnica que alterações podem ser feitas nessa modalidade sem se afastar dos princípios e conceitos inventivos da invenção, cujo escopo é definido nas reivindicações e seus equivalentes.

REIVINDICAÇÕES

1. Dispositivo de codificação em treliça para uso com um fluxo de transporte compreendendo um sinal de referência suplementar (SRS) usado por um dispositivo de recepção para
5 confirmar um estado de canal, e uma região precedendo uma região de inserção de sinal SRS, o dispositivo caracterizado pelo fato de compreender:

uma pluralidade de codificadores em treliça para realizar codificação em treliça no fluxo de transporte no
10 qual o sinal SRS foi inserido, e realizar uma reinicialização de memória na região que precede a região de inserção SRS; e

uma unidade de compensação de paridade para compensar as paridades do fluxo de transporte devido ao SRS de acordo
15 com os valores armazenados nas memórias incluídas nos codificadores em treliça.

2. Dispositivo de codificação em treliça, de acordo com a reivindicação 1, caracterizado pelo fato de que os codificadores em treliça compreendem ao menos um tipo de
20 codificador em treliça entre cinco tipos de codificadores em treliça.

3. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que o codificador em treliça do primeiro tipo tem primeira a
25 terceira memória, e ajusta a primeira a terceira memória para zero em um momento onde o primeiro valor de sinal que se torna a região precedendo a região de inserção de SRS é recebido.

4. Dispositivo de codificação em treliça, de acordo
30 com a reivindicação 2, caracterizado pelo fato de que o

codificador em treliça do primeiro tipo compreende:

primeira a terceira memória;

um primeiro MUX para emitir seletivamente um entre um valor de sinal no fluxo de transporte e um valor armazenado na primeira memória de acordo com um sinal de controle externo recebido;

um primeiro somador para adicionar um valor de saída do primeiro MUX ao valor armazenado na primeira memória, e armazenar o valor resultante na primeira memória;

um segundo MUX para emitir seletivamente um entre um valor de sinal no fluxo de transporte e um valor armazenado na segunda memória de acordo com o sinal de controle externo recebido; e

um segundo somador para adicionar um valor de saída do segundo MUX ao valor armazenado na segunda memória, e armazenar o valor resultante na terceira memória.

5. Dispositivo de codificação em treliça, de acordo com a reivindicação 4, caracterizado pelo fato de que

o primeiro MUX seleciona e emite o valor armazenado na primeira memória se o sinal de controle externo for um sinal de reinicialização; e

o primeiro somador realizar um OR-exclusivo do valor de saída do primeiro MUX e o valor armazenado na primeira memória, e armazena o valor resultante do OR-exclusivo na primeira memória.

6. Dispositivo de codificação em treliça, de acordo com a reivindicação 5, caracterizado pelo fato de que o segundo MUX seleciona e emite o valor armazenado na segunda memória se o sinal de controle externo for o sinal de reinicialização; e

o segundo somador realiza um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na segunda memória, e armazena o valor resultante do OR-exclusivo na terceira memória.

5 7. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que cada um dos codificadores em treliça, do segundo e terceiro tipo, têm primeira a terceira memória, mantém o valor armazenado na primeira memória no estado em que se
10 encontra, e ajusta a terceira memória para zero em um momento em que um primeiro valor de sinal entre valores de sinal que pertencem à região precedendo a região de inserção SRS é recebido, e ajusta a primeira memória para um valor especificado e ajusta a segunda memória para zero
15 em um momento em que um segundo valor de sinal que vem após o primeiro valor de sinal é recebido.

8. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que o codificador em treliça do segundo tipo compreende:

20 primeira a terceira memória;

 um primeiro MUX para emitir seletivamente um entre um valor fixo predeterminado e um valor armazenado na primeira memória de acordo com um primeiro sinal de controle externo;

25 um segundo MUX para emitir seletivamente um entre um valor de sinal no fluxo de transporte e um valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo;

 um primeiro somador para acrescentar um valor de saída
30 do segundo MUX ao valor armazenado na primeira memória, e

armazenar o valor resultante na primeira memória;

um terceiro MUX para emitir seletivamente um do valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e

um segundo somador para adicionar um valor de saída do terceiro MUX ao valor armazenado na segunda memória, e armazenar o valor resultante na terceira memória.

9. Dispositivo de codificação em treliça, de acordo com a reivindicação 8, caracterizado pelo fato de que o primeiro MUX seleciona e emite o valor fixo se for julgado que uma região presente é uma primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e seleciona e emite o valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem após a primeira região de reinicialização;

o segundo MUX seleciona e emite o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e seleciona e emite o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral; e

o primeiro somador realiza um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazena o valor resultante do OR-exclusivo na primeira memória.

10. Dispositivo de codificação em treliça, de acordo com a reivindicação 9, caracterizado pelo fato de que o terceiro MUX seleciona e emite o valor armazenado na segunda memória se o segundo sinal de controle externo for

o sinal de reinicialização; e

o segundo somador realiza um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazena o valor resultante do OR-exclusivo na
5 terceira memória.

11. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que o codificador em treliça do terceiro tipo compreende:

primeira a terceira memória;

10 um primeiro MUX para seletivamente emitir um entre um valor invertido do valor armazenado na primeira memória e um valor fixado predeterminado de acordo com um primeiro sinal de controle externo;

um segundo MUX para seletivamente emitir um entre um
15 valor de sinal no fluxo de transporte e um valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo;

um primeiro somador para acrescentar valor de saída do segundo MUX ao valor armazenado na primeira memória, e
20 armazenar o valor resultante na primeira memória;

um terceiro MUX para seletivamente emitir um do valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e

25 um segundo somador para acrescentar um valor de saída do terceiro MUX ao valor armazenado na segunda memória, e armazenar o valor resultante na terceira memória.

12. Dispositivo de codificação em treliça, de acordo com a reivindicação 11, caracterizado pelo fato de que o
30 primeiro MUX seleciona e emite o valor fixado se for

5 julgado que a presente região é uma primeira região de inicialização de acordo com o primeiro sinal de controle externo, e seleciona e emite o valor invertido do valor armazenado na primeira memória se for julgado que a presente região é uma segunda região de reinicialização que vem após a primeira região de reinicialização;

10 o segundo MUX emite o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e seleciona e emite o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral; e

15 o primeiro somador realiza um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazena o valor resultante do OR-exclusivo na primeira memória.

13. Dispositivo de codificação em treliça, de acordo com a reivindicação 12, caracterizado pelo fato de que

20 o terceiro MUX seleciona e emite o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização; e

o segundo somador realiza um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazena o valor resultante do OR-exclusivo na terceira memória.

25 14. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que cada um dos codificadores em treliça do quarto e quinto tipo tem primeira a terceira memória, ajusta o valor armazenado na primeira memória em um primeiro valor predeterminado e
30 ajusta a terceira memória em zero em um momento onde o

primeiro valor de sinal entre os valores de sinal que pertencem à região precedendo o processo SRS é recebido, e ajusta o valor armazenado na primeira memória em um segundo valor predeterminado e ajusta a segunda memória em zero no momento quando o segundo valor de sinal que vem após o primeiro valor de sinal é recebido.

15. Dispositivo de codificação em treliça, de acordo com a reivindicação 2, caracterizado pelo fato de que cada um dos codificadores em treliça de quarto e quinto tipo compreende:

primeira a terceira memória;

um primeiro MUX para emitir seletivamente um entre um valor invertido do valor armazenado na primeira memória e o valor armazenado na primeira memória de acordo com um primeiro sinal de controle externo;

um segundo MUX para seletivamente emitir um entre um valor de sinal no fluxo de transporte e um valor de saída do primeiro MUX de acordo com um segundo sinal de controle externo;

um primeiro somador para acrescentar um valor de saída do segundo MUX ao valor armazenado na primeira memória, e armazenar o valor resultante na primeira memória;

um terceiro MUX para emitir seletivamente um entre o valor de sinal no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e

um segundo somador para acrescentar um valor de saída do terceiro MUX ao valor armazenado na segunda memória, e armazenar o valor resultante na terceira memória.

16. Dispositivo de codificação em treliça, de acordo

com a reivindicação 15, caracterizado pelo fato de que o primeiro MUX incluído no codificador em treliça do quarto tipo seleciona e emite o valor invertido do valor armazenado na primeira memória se a presente região for a primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e seleciona e emite o valor armazenado na primeira memória se a região presente for uma segunda região de reinicialização que vem após a primeira região de reinicialização;

10 o segundo MUX seleciona e emite o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e seleciona e emite o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral; e

15 o primeiro somador realiza um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazena o valor resultante do OR-exclusivo na primeira memória.

17. Dispositivo de codificação em treliça, de acordo com a reivindicação 16, caracterizado pelo fato de que o terceiro MUX seleciona e emite o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização; e

o segundo somador realiza um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazena o valor resultante do OR-exclusivo na terceira memória.

18. Dispositivo de codificação em treliça, de acordo com a reivindicação 15, caracterizado pelo fato de que o primeiro MUX incluído no codificador em treliça do quinto

tipo seleciona e emite o valor armazenado na primeira memória se a presente região for uma primeira região de reinicialização de acordo com o primeiro sinal de controle externo, e seleciona e emite o valor invertido do valor armazenado na primeira memória se a região presente for uma segunda região de reinicialização que vem após a primeira região de reinicialização;

o segundo MUX seleciona e emite o valor de sinal no fluxo de transporte se o segundo sinal de controle externo for o sinal de reinicialização, e seleciona e emite o valor de saída do primeiro MUX se o segundo sinal de controle externo for um sinal de operação geral; e

um primeiro somador realiza um OR-exclusivo do valor de saída do segundo MUX e o valor armazenado na primeira memória, e armazena o valor resultante do OR-exclusivo na primeira memória.

19. Dispositivo de codificação em treliça, de acordo com a reivindicação 18, caracterizado pelo fato de que o terceiro MUX seleciona e emite o valor armazenado na segunda memória se o segundo sinal de controle externo for o sinal de reinicialização; e

o segundo somador realiza um OR-exclusivo do valor de saída do terceiro MUX e o valor armazenado na segunda memória, e armazena o valor resultante do OR-exclusivo na terceira memória.

20. Dispositivo de codificação em treliça, de acordo com a reivindicação 1, caracterizado pelo fato de que a unidade de compensação de paridade compreende:

um recodificador Reed-Solomon (RS) para gerar paridades correspondendo aos valores armazenados nas

memórias na pluralidade de codificadores em treliça;

um somador para corrigir as paridades do fluxo de transporte mediante adição das paridades geradas pelo recodificador RS para o fluxo de transporte; e

5 um MUX para prover o fluxo de transporte tendo as paridades corrigidas pelo somador aos vários codificadores em treliça.

21. Dispositivo de codificação em treliça, de acordo com a reivindicação 20, caracterizado pelo fato de
10 compreender ainda um mapeador para realizar mapeamento de símbolo do fluxo de transporte codificado em treliça pela pluralidade de codificadores em treliça.

22. Dispositivo de codificação em treliça, de acordo com a reivindicação 20, caracterizado pelo fato de
15 compreender ainda:

um divisor para seqüencialmente emitir o fluxo de transporte provido a partir do MUX para a pluralidade de codificadores em treliça; e

uma unidade de saída de codificação para
20 seqüencialmente detectar valores codificados pela pluralidade de codificadores em treliça para emitir os valores detectados para o mapeador.

23. Codificador em treliça caracterizado pelo fato de compreender:

25 primeira a terceira memória;

um primeiro MUX para operar seletivamente de acordo com um primeiro sinal de controle externo;

um segundo MUX para emitir seletivamente um entre um primeiro valor de sinal especificado no fluxo de transporte
30 e um valor de saída do primeiro MUX de acordo com um

segundo sinal de controle externo recebido;

um primeiro somador para adicionar um valor de saída do segundo MUX ao valor armazenado na primeira memória, e armazenar o valor resultante na primeira memória;

5 um terceiro MUX para seletivamente emitir um entre um segundo valor de sinal especificado no fluxo de transporte e o valor armazenado na segunda memória de acordo com o segundo sinal de controle externo; e

um segundo somador para adicionar um valor de saída do
10 terceiro MUX ao valor armazenado na segunda memória, e armazenar o valor resultante na terceira memória.

24. Codificador em treliça, de acordo com a reivindicação 23, caracterizado pelo fato de que o primeiro MUX emite seletivamente um entre um valor fixo
15 predeterminado e o valor armazenado na primeira memória de acordo com o primeiro sinal de controle externo.

25. Codificador em treliça, de acordo com a reivindicação 23, caracterizado pelo fato de que o primeiro MUX emite seletivamente um entre um valor invertido do
20 valor armazenado na primeira memória e um valor fixo predeterminado de acordo com o primeiro sinal de controle externo.

26. Codificador em treliça, de acordo com a reivindicação 23, caracterizado pelo fato de que o primeiro
25 MUX emite seletivamente um entre um valor invertido do valor armazenado na primeira memória e o valor armazenado na primeira memória de acordo com o primeiro sinal de controle externo.

27. Dispositivo de codificação em treliça,
30 caracterizado pelo fato de compreender:

uma pluralidade de codificadores em treliça para realizar codificação em treliça de um fluxo de transporte no qual um sinal de referência suplementar (SRS) foi inserido em uma região de inserção, em que as memórias
5 incluídas nos vários codificadores em treliça são reinicializadas antes de se processar o fluxo de transporte na região de inserção na qual o SRS foi inserido de modo a remover um deslocamento DC causado pelo SRS.

28. Dispositivo de codificação em treliça, de acordo
10 com a reivindicação 27, caracterizado pelo fato de compreender uma unidade de compensação de paridade incluindo um recodificador RS para gerar paridades correspondendo aos valores de armazenamento de memória emitidos a partir dos codificadores em treliça respectivos,
15 um somador para adicionar as paridades geradas pelo recodificador RS a um pacote externamente introduzido e um MUX para armazenar os dados adicionados.

29. Dispositivo de codificação em treliça, de acordo com a reivindicação 28, caracterizado pelo fato de
20 compreender ainda um divisor para emitir seqüencialmente o fluxo de transporte provido a partir do MUX para os codificadores em treliça.

30. Dispositivo de codificação em treliça, de acordo com a reivindicação 29, caracterizado pelo fato de
25 compreender ainda uma unidade de saída de codificação para detectar seqüencialmente os valores codificados emitidos a partir dos codificadores em treliça respectivos, e para seqüencialmente emitir os valores codificados detectados para um mapeador.

30 31. Codificador de difusão digital caracterizado pelo

fato de compreender:

um gerador de fluxo de transporte para gerar um fluxo de transporte a ser transmitido para um receptor;

um randomizador para randomizar o fluxo de transporte;

5 um compactador de sinal de referência suplementar (SRS) para inserir um sinal de referência suplementar (SRS) em uma região de inserção provida no fluxo de transporte;

um codificador Reed Solomon (RS) para codificar o fluxo de transporte no qual o SRS é inserido;

10 um intercalador para intercalar o fluxo de transporte codificado pelo codificador RS; e

um dispositivo de codificação em treliça para codificar em treliça o fluxo de transporte intercalado, em que

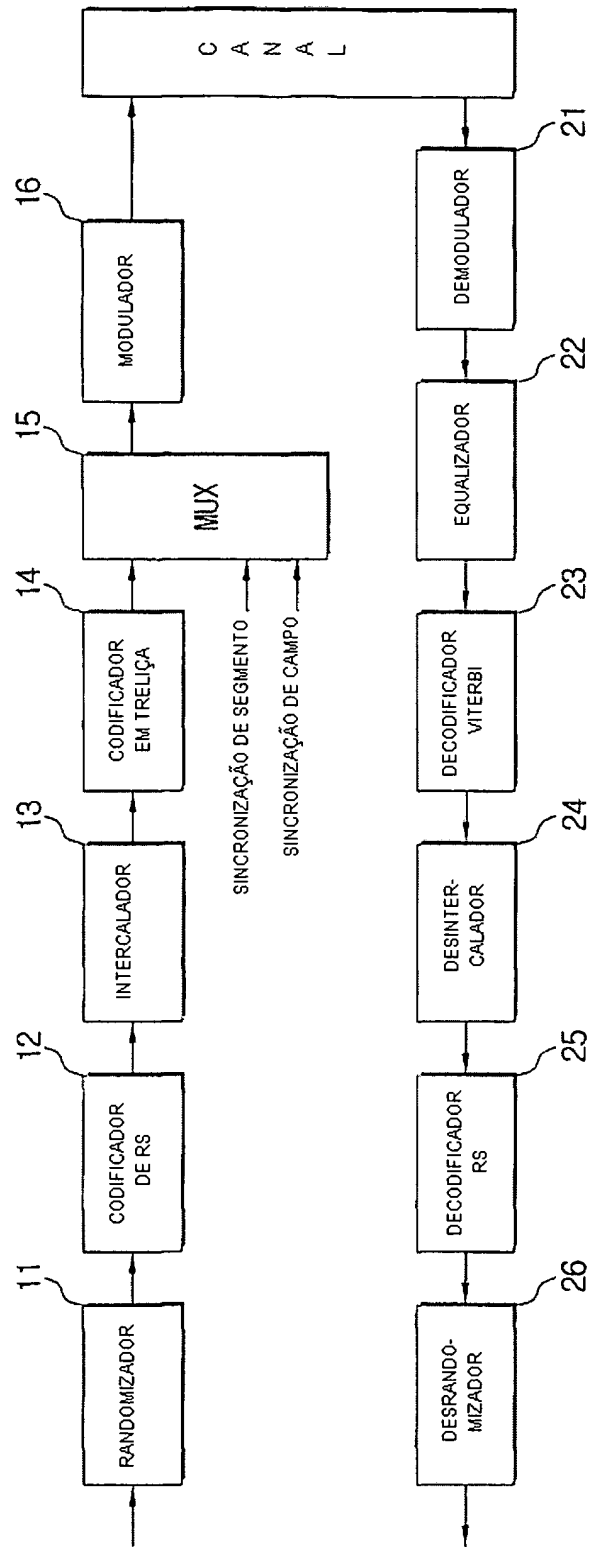
15 o dispositivo de codificação em treliça compreende:

uma pluralidade de codificadores em treliça para realizar a codificação em treliça do fluxo de transporte no qual o sinal de referência suplementar (SRS) foi inserido na região de inserção, e

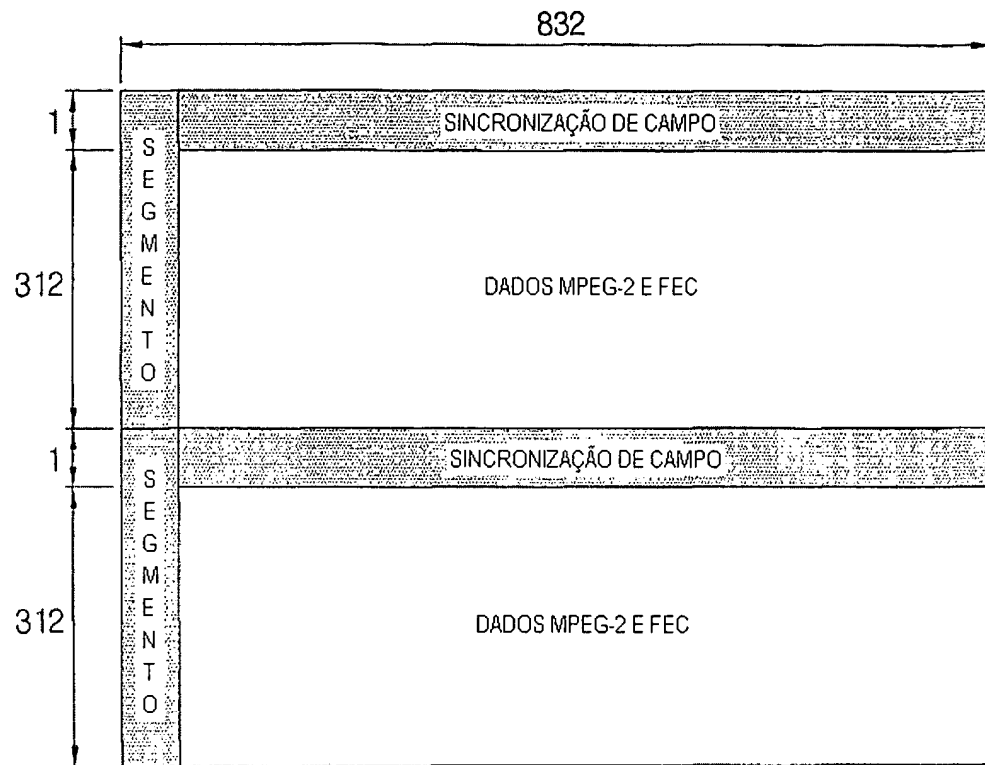
20 memórias incluídas na pluralidade de codificadores em treliça são reinicializadas antes de se processar o fluxo de transporte na região de inserção na qual o SRS foi inserido de modo a remover um deslocamento DC causado pelo SRS.

25 32. Codificador de difusão digital, de acordo com a reivindicação 31, caracterizado pelo fato de compreender ainda uma unidade de transmissão para transmitir o fluxo codificado em treliça através de um canal de frequência.

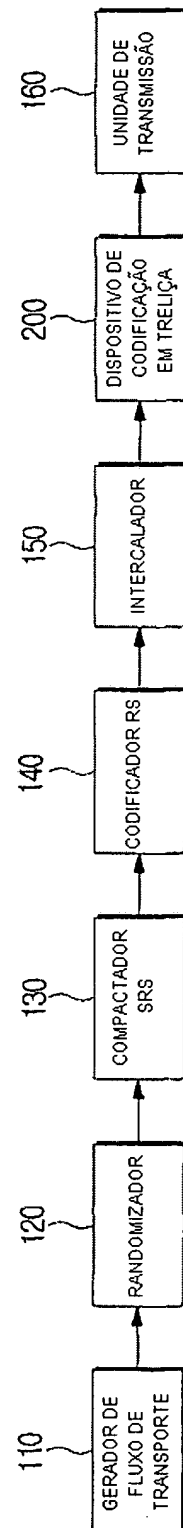
[Fig. 1]



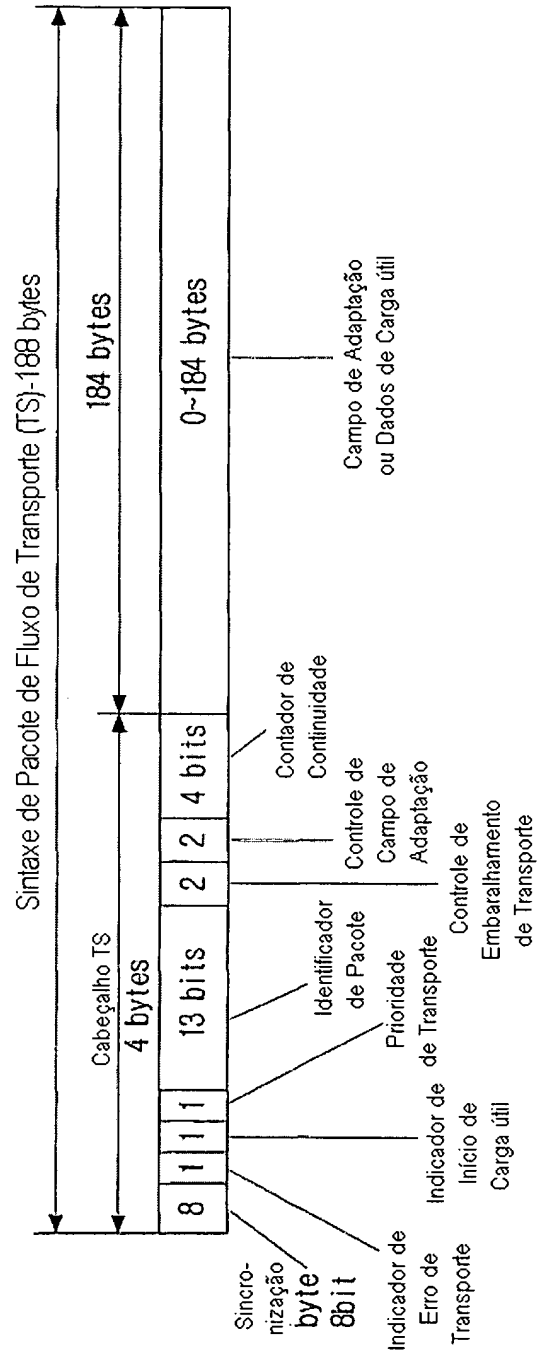
[Fig. 2]



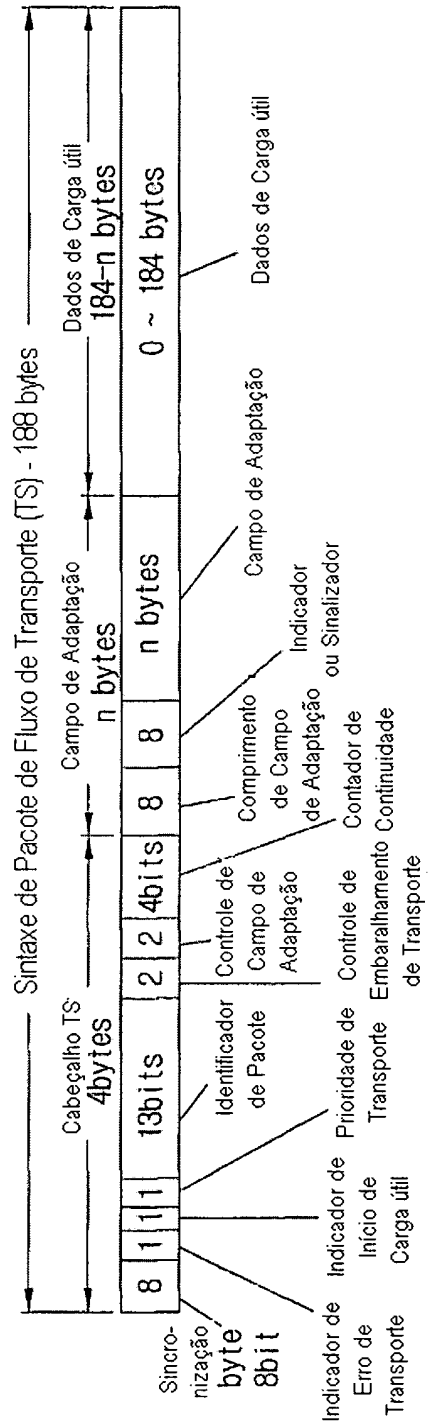
[Fig. 3]



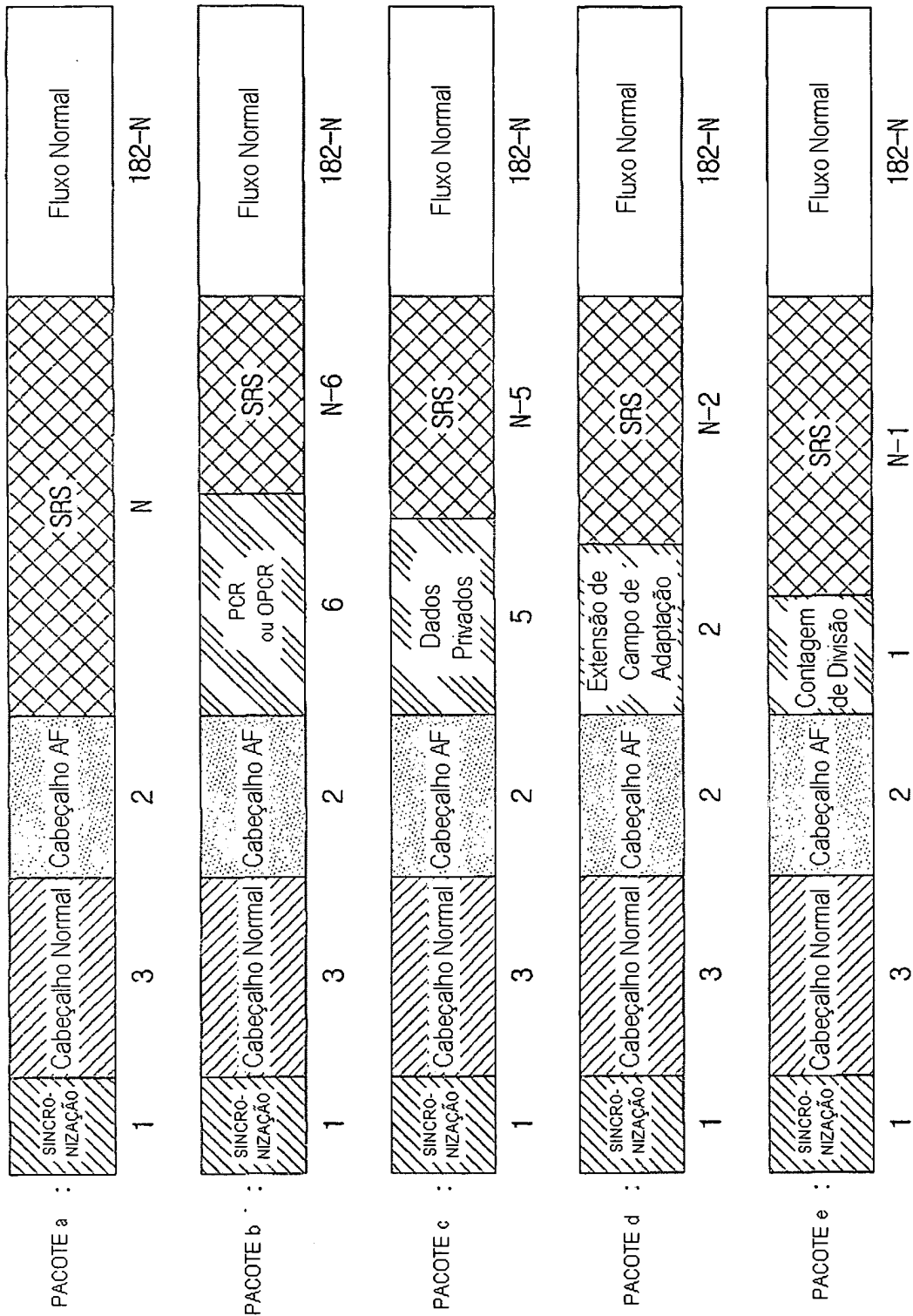
[Fig. 4]



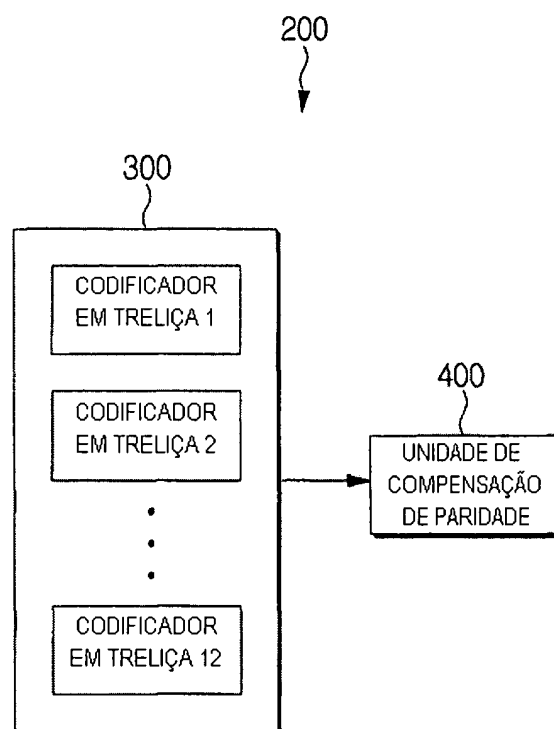
[Fig. 5]



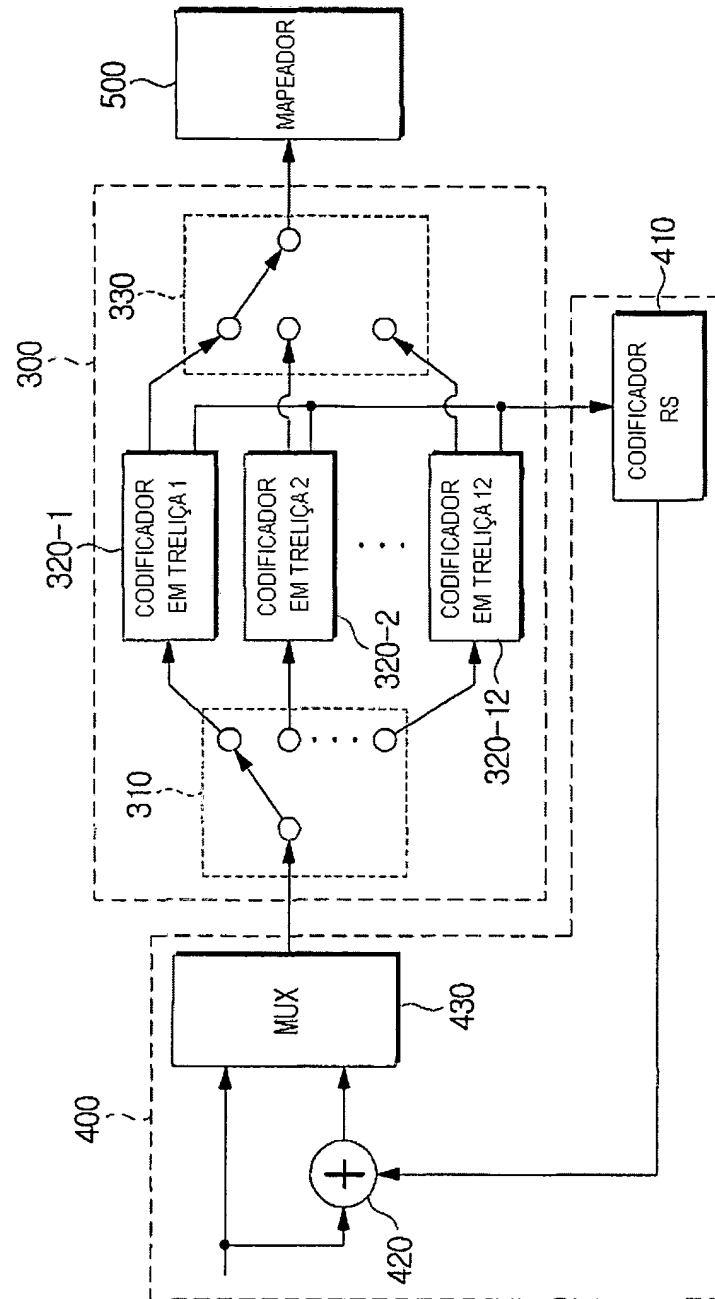
[Fig. 6]



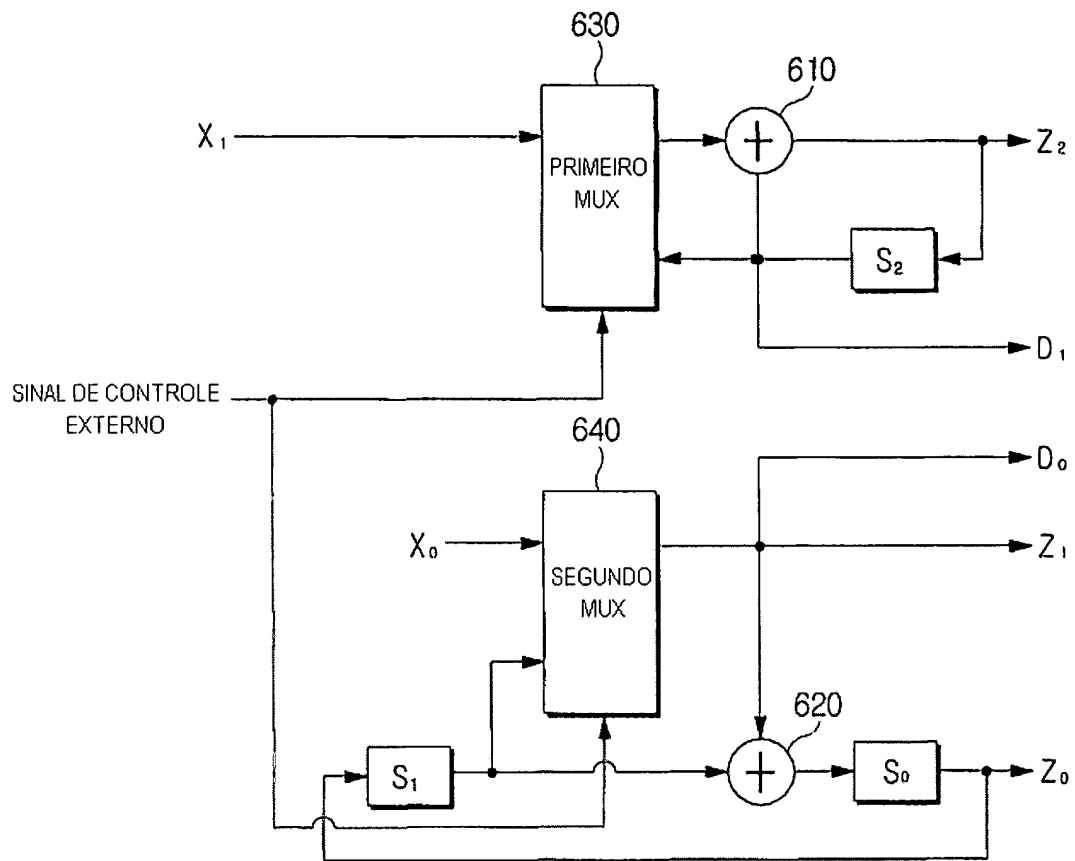
[Fig. 7]



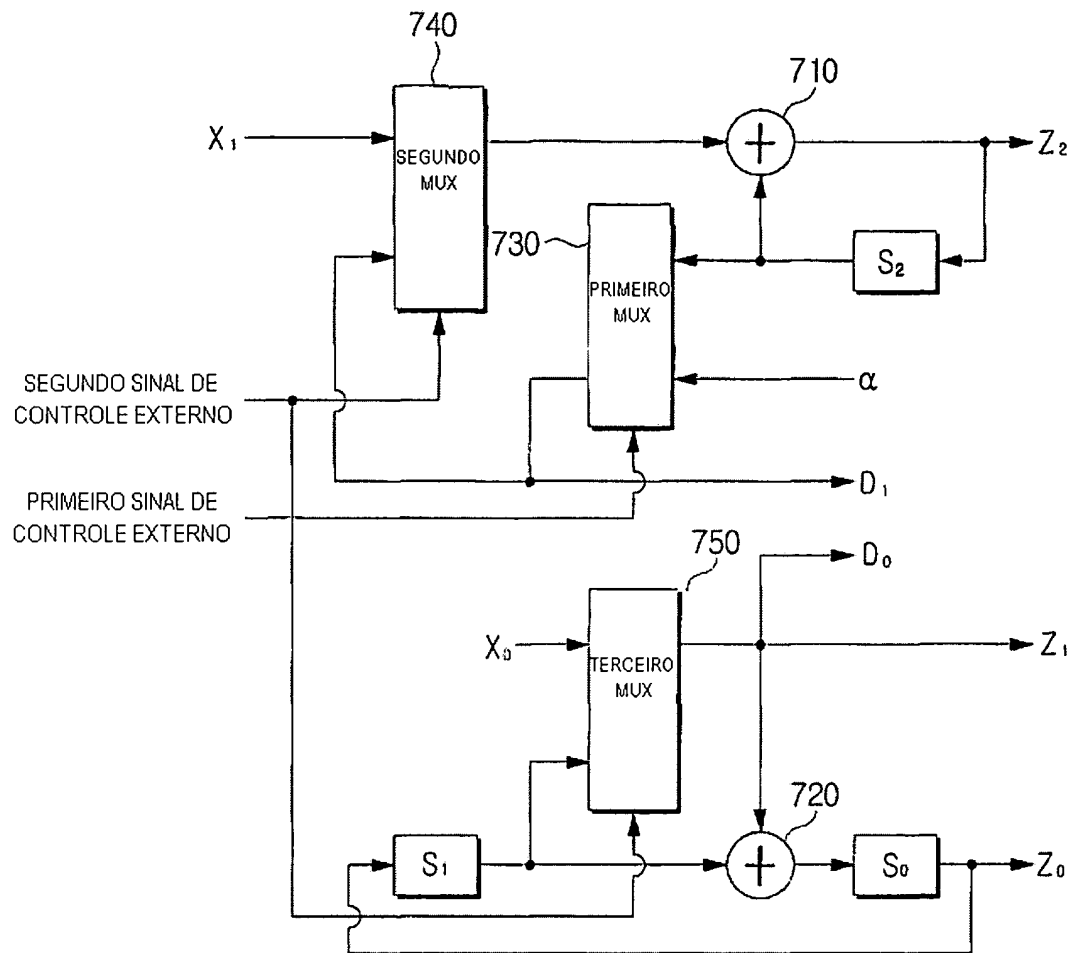
[Fig. 8]



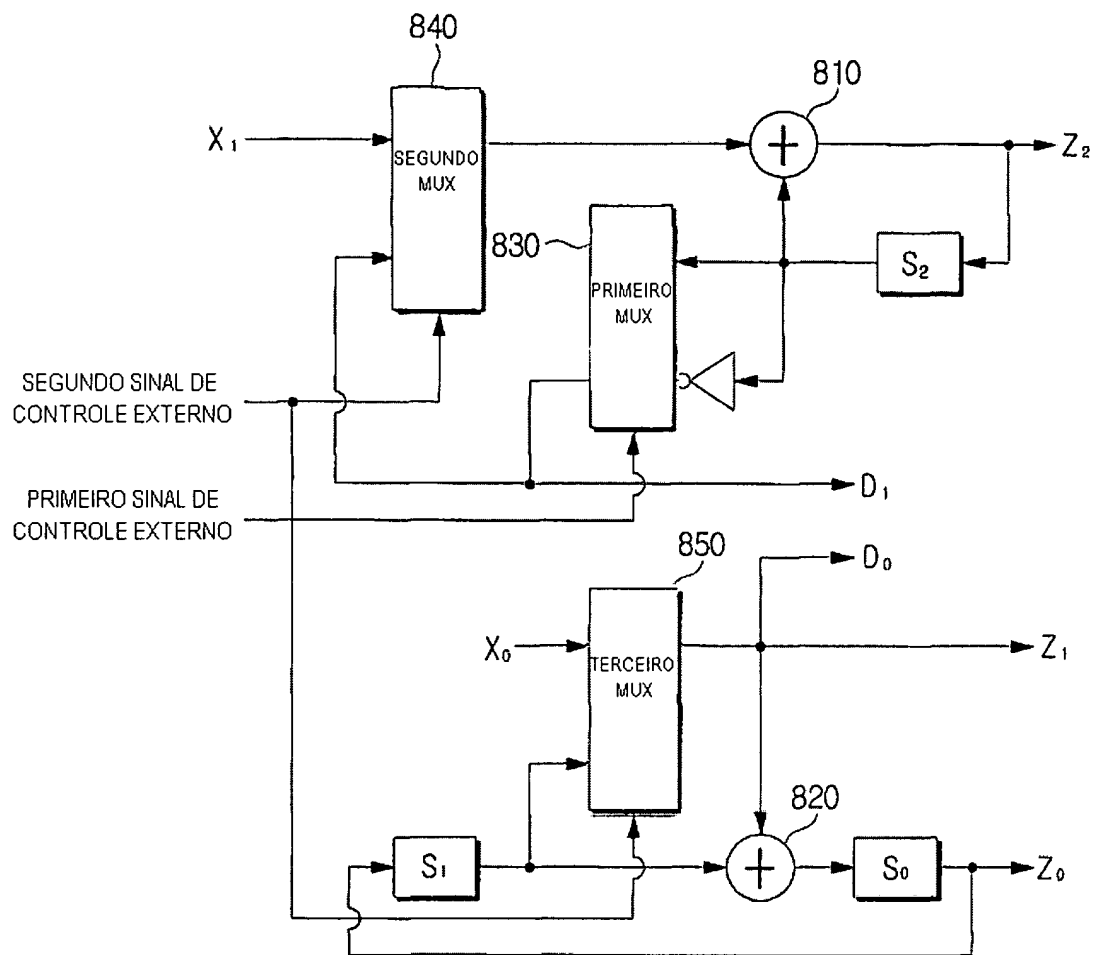
[Fig. 9]



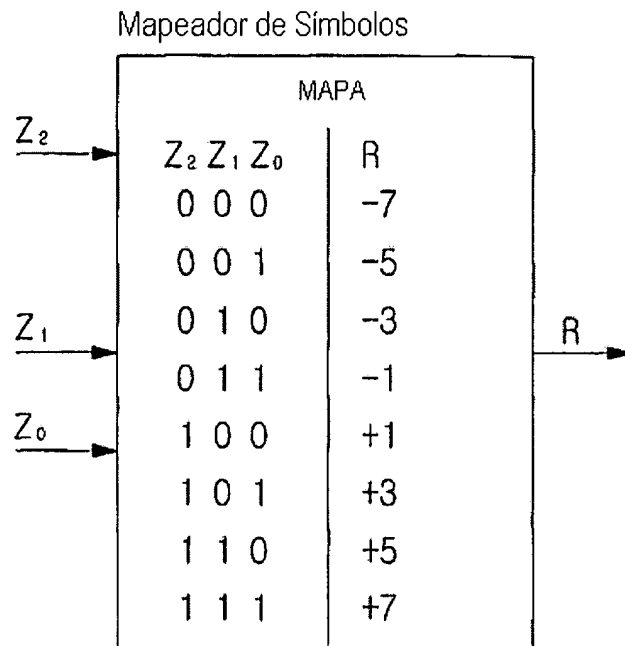
[Fig. 10]



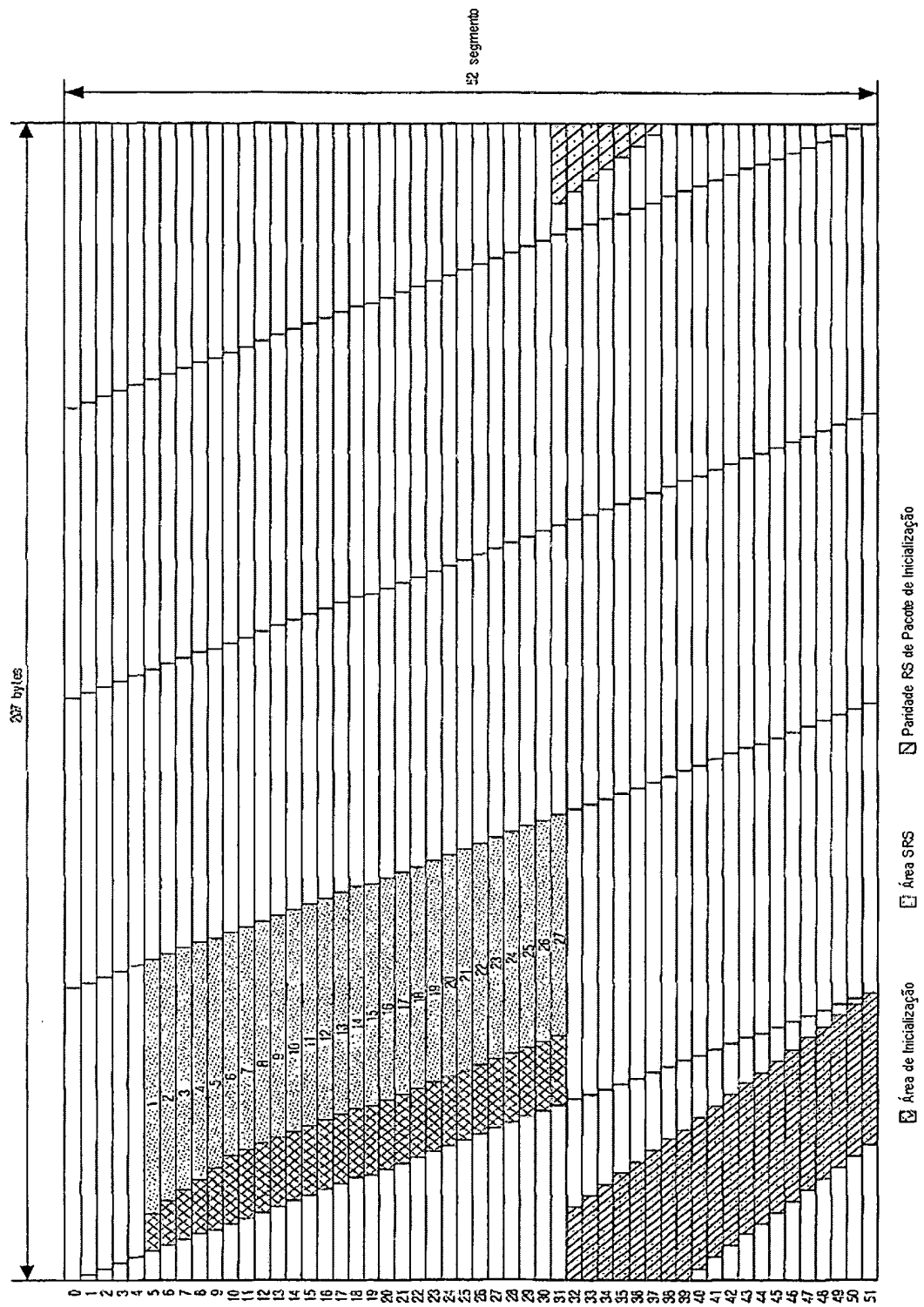
[Fig. 11]



[Fig. 12]



[Fig. 13]



CODIFICADOR EM TRELIÇA E DISPOSITIVO DE CODIFICAÇÃO EM
TRELIÇA TENDO O MESMO

Um dispositivo de codificação em treliça inclui uma pluralidade de codificadores em treliça para realizar
5 codificação em treliça de um fluxo de transporte no qual um sinal de referência suplementar (SRS) foi inserido, e realizar uma reinicialização de memória em uma região que precede um SRS; e uma unidade de compensação de paridade para compensar as paridades do fluxo de transporte de
10 acordo com os valores armazenados nas memórias incluídas nos codificadores em treliça. Os vários codificadores em treliça podem ser implementados em diversos tipos. O dispositivo de codificação em treliça pode realizar uma reinicialização de memória usando seletivamente o valor
15 armazenado da memória e o seu valor invertido, ou usando seletivamente o valor armazenado da memória e um valor fixado. Mediante reinicialização adequada da memória no processamento o fluxo de transporte no qual o SRS foi inserido, deslocamento DC pode ser reduzido.