(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 7 月 14 日 (14.07.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/109994 A1

(51) 国际专利分类号:
H03K 19/168 (2006.01) *G09G 3/36* (2006.01)

(21) 国际申请号: PCT/CN2015/071705

(22) 国际申请日: 2015 年 1 月 28 日 (28.01.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510013180.1 2015 年 1 月 9 日 (09.01.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **戴超 (DAI, Chao)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市威世博知识产权代理事务所（普通合伙） (CHINA WISPRO INTELLECTUAL PROPERTY LLP.)**; 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: SCAN DRIVING CIRCUIT AND NAND GATE LOGIC OPERATION CIRCUIT THEREOF

(54) **发明名称** : 扫描驱动电路及其与非门逻辑运算电路

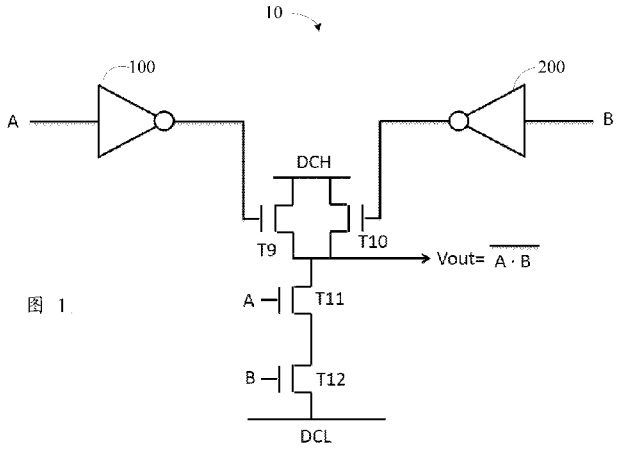


图 1

(57) **Abstract**: A scan driving circuit for use in an oxide semiconductor thin-film transistor and a NAND logic gate operation circuit (10) of the circuit, comprising a first inverter (100) and a second inverter (200) that are applicable in a GOA circuit pull-down holding circuit and multiple transistors, utilizing a combination of an NTFT and the inverters to replace a function of an existing PMOS component, and implementing a characteristic similar to that of an existing CMOS NAND operation circuit, thus solving the design problem of an IGZO TFT single-type component logic operation circuit, and improving applicability in a large-sized digital integrated circuit integrated within a liquid crystal display.

(57) **摘要**: 一种用于氧化物半导体薄膜晶体管的扫描驱动电路及其与非门逻辑运算电路（10），包括应用于GOA 电路下拉维持电路中的第一反相器（100）和第二反相器（200），以及多个晶体管，利用 NTFT 与反相器的结合替代原有的 PMOS 元件的功能，实现类似原来的 CMOS NAND 运算电路的特性，从而解决了 IGZO TFT 单型器件逻辑运算电路的设计问题，更适合大型的数字集成电路集成在液晶显示器。

WO 2016/109994 A1

说明书

发明名称: 扫描驱动电路及其与非门逻辑运算电路

[1] 【技术领域】

[2] 本发明涉及液晶显示技术领域，特别是涉及一种用于氧化物半导体薄膜晶体管的扫描驱动电路及其与非门逻辑运算电路。

[3] 【背景技术】

[4] 对于大规模集成电路而言，逻辑运算电路最基本的三个器件就是反相器（Inverter）、与非门（NAND）、或非门（NOR），而通常这三种器件都是采用CMOS FET做成，也就是电路中有PMOS和NMOS两种器件。

[5] 在氧化物半导体器件中，IGZO已经成为了下一代显示器关注的焦点，而氧化半导体由于特殊的材料结构决定了其具备较好的NTFT特性。但是，在薄膜晶体管TFT中也有NTFT和PTFT两种器件，但是一般只有LTPS制程才能获得性能较好的PTFT器件，因此如何利用单型的器件（PTFT或NTFT）制作出Inverter、NAND或NOR也成为一个亟待解决的问题。

[6] 【发明内容】

[7] 本发明主要解决的技术问题是提供一种用于氧化物半导体薄膜晶体管的扫描驱动电路及其与非门逻辑运算电路，能够利用单型的器件（PTFT或NTFT）制作出NAND。能够利用单型的器件（PTFT或NTFT）制作。

[8] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种与非门逻辑运算电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及第九晶体管，栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十晶体管，栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十一晶体管，栅极电性连接于所述逻辑运算电路的第一输入端，漏极电性连接于所述逻辑运算电路的输出端；第十二晶体管，栅极电性连接于所述逻辑运算电路的第二输入端，漏极电性连接于所述第十一晶体管的源极，源极电性连接于恒压低电位；所述

第一反相器和所述第二反相器通过所述恒压低电位以及所述第一负电位接收电路控制信号。

[9] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种与非门逻辑运算电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及第九晶体管，栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十晶体管，栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十一晶体管，栅极电性连接于所述逻辑运算电路的第一输入端，漏极电性连接于所述逻辑运算电路的输出端；第十二晶体管，栅极电性连接于所述逻辑运算电路的第二输入端，漏极电性连接于所述第一十一晶体管的源极，源极电性连接于恒压低电位。

[10] 其中，所述第一反相器与所述第二反相器相同，均包括：第一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第五晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第三节点；第六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第三节点，源极连接于恒压低电位；第七晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第八晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位。

[11] 其中，所述第一反相器和所述第二反相器通过所述恒压低电位以及所述第一负电位接收电路控制信号。

[12] 其中，所述第一反相器与所述第二反相器相同，均包括：第二十一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二十二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电

性连接于第一负电位；第二十三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第二十四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第二十五晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第二十六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位。

[13] 其中，所述第一反相器和所述第二反相器通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[14] 其中，所述第一反相器包括：第一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第五晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第三节点；第六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第三节点，源极连接于恒压低电位；第七晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第八晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位；所述第二反相器包括：第二十一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二十二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第二十三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第二十四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第二十五晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点K；第二十六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点

，源极连接于恒压低电位。

[15] 其中，所述第一反相器通过所述恒压低电位以及所述第一负电位接收电路控制信号，所述第二反相器通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[16] 其中，所述第一负电位、第二负电位与恒压低电位的关系为：恒压低电位<第二负电位<第一负电位。

[17] 其中，所述与非门逻辑运算电路通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[18] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及第九晶体管，栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十晶体管，栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位，源极电性连接于所述逻辑运算电路的输出端；第十一晶体管，栅极电性连接于所述逻辑运算电路的第一输入端，漏极电性连接于所述逻辑运算电路的输出端；第十二晶体管，栅极电性连接于所述逻辑运算电路的第二输入端，漏极电性连接于所述第一十一晶体管的源极，源极电性连接于恒压低电位。

[19] 其中，所述第一反相器与所述第二反相器相同，均包括：第一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第五晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第三节点；第六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第三节点，源极连接于恒压低电位；第七晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第八晶体管，栅极电

性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位。

[20] 其中，所述第一反相器和所述第二反相器通过所述恒压低电位以及所述第一负电位接收电路控制信号。

[21] 其中，所述第一反相器与所述第二反相器相同，均包括：第二十一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二十二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第二十三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第二十四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第二十五晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第二十六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位。

[22] 其中，所述第一反相器和所述第二反相器通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[23] 其中，所述第一反相器包括：第一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第一节点；第二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第五晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第三节点；第六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第三节点，源极连接于恒压低电位；第七晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第八晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位；所述第二反相器包括：第二十一晶体管，栅极与漏极均电性连接于恒压高电位，源极电性连接于第

一节点；第二十二晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第一节点，源极电性连接于第一负电位；第二十三晶体管，栅极电性连接于第一节点，漏极电性连接于恒压高电位，源极电性连接于所述反相器的输出端；第二十四晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于所述反相器的输出端，源极电性连接第二节点；第二十五晶体管，栅极电性连接于第三节点，漏极电性连接于恒压高电位，源极电性连接于第二节点；第二十六晶体管，栅极电性连接于所述反相器的输入端，漏极电性连接于第二节点，源极连接于恒压低电位。

[24] 其中，所述第一反相器通过所述恒压低电位以及所述第一负电位接收电路控制信号，所述第二反相器通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[25] 其中，所述第一负电位、第二负电位与恒压低电位的关系为：恒压低电位第二负电位<第一负电位。

[26] 其中，所述与非门逻辑运算电路通过所述恒压高电位以及所述恒压低电位接收电路控制信号。

[27] 本发明的有益效果是：本发明提供了一种用于氧化物半导体薄膜晶体管的扫描驱动电路及其与非门逻辑运算电路，包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及多个晶体管，利用NTFT与反相器的结合替代原有的PMOS元件的功能，实现类似原来的CMOS NAND运算电路的特性，从而解决了IGZO TFT单型器件逻辑运算电路的设计问题，更适合大型的数字集成电路集成在液晶显示器。

[28] 【附图说明】

[29] 图1是本发明实施方式中的与非门逻辑运算电路的电路图；

[30] 图2是本发明实施方式中的与非门逻辑运算电路中的第一反相器的电路图；

[31] 图3是本发明实施方式中的与非门逻辑运算电路中的第二反相器的电路图。

[32] 【具体实施方式】

[33] 下面将结合本发明实施方式中的附图，对本发明实施方式中的技术方案进行清楚、完整地描述，显然，所描述的实施方式仅仅是本发明一部分实施方式，而

不是全部的实施方式。基于本发明中的实施方式，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施方式，均属于本发明保护的范围。

[34] 请参阅图1，为本发明实施方式中的与非门逻辑运算电路的电路图。其中，该与非门逻辑运算电路20为应用于用于氧化物半导体薄膜晶体管的扫描驱动电路的逻辑运算电路。

[35] 该电路10包括第一反相器100、第二反相器200，其中，该第一反相器100和第二反相器200均为应用于GOA电路下拉维持电路中反相器。

[36] 进一步地，该第一反相器100和第二反相器200均为应用于GOA电路下拉维持电路中的主反相器部分。

[37] 该电路10还包括：

[38] 第九晶体管T9，栅极电性连接于该第一反相器的输出端，漏极电性连接于恒压高电位DCH，源极电性连接于该逻辑运算电路的输出端Vout。

[39] 第十晶体管T10，栅极电性连接于该第二反相器的输出端，漏极电性连接于该恒压高电位DCH，源极电性连接于该逻辑运算电路的输出端Vout。

[40] 第十一晶体管T11，栅极电性连接于该逻辑运算电路的第一输入端A，漏极电性连接于该逻辑运算电路的输出端Vout。

[41] 第十二晶体管T12，栅极电性连接于该逻辑运算电路的第二输入端B，漏极电性连接于该第一十一晶体管T11的源极，源极电性连接于恒压低电位DCL。

[42] 其中，该与非门逻辑运算电路通过该恒压高电位DCH以及该恒压低电位DCL接收电路控制信号。

[43] 请同时参阅图2，为本发明一实施方式中的与非门逻辑运算电路中的反相器的电路图。该反相器的组成及连接关系如下：

[44] 第一晶体管T1，栅极与漏极均电性连接于恒压高电位DCH，源极电性连接于第一节点S。

[45] 第二晶体管T2，栅极电性连接于该反相器的输入端Vin，漏极电性连接于第一节点S，源极电性连接于第一负电位VSS1。

[46] 第三晶体管T3，栅极电性连接于第一节点S，漏极电性连接于恒压高电位DCH

，源极电性连接于该反相器的输出端Vout。

[47] 第四晶体管T4，栅极电性连接于该反相器的输入端Vin，漏极电性连接于该反相器的输出端Vout，源极电性连接第二节点K。

[48] 第五晶体管T5，栅极与漏极均电性连接于恒压高电位DCH，源极电性连接于第三节点M。

[49] 第六晶体管T6，栅极电性连接于该反相器的输入端Vin，漏极电性连接于第三节点M，源极连接于恒压低电位DCL。

[50] 第七晶体管T7，栅极电性连接于第三节点M，漏极电性连接于恒压高电位DCH，源极电性连接于第二节点K。

[51] 第八晶体管T8，栅极电性连接于该反相器的输入端Vin，漏极电性连接于第二节点K，源极连接于恒压低电位DCL。

[52] 其中，该反相器通过该恒压低电位DCL以及该第一负电位VSS1接收电路控制信号。

[53] 第一负电位VSS1、第二负电位VSS2与恒压低电位DCL的关系为：恒压低电位DCL<第二负电位VSS2<第一负电位VSS1。

[54] 请参阅图3，为本发明另一实施方式中的与非门逻辑运算电路中的反相器的电路图。该反相器的组成及连接关系如下：

[55] 第二十一晶体管T21，栅极与漏极均电性连接于恒压高电位DCH，源极电性连接于第一节点S。

[56] 第二十二晶体管T22，栅极电性连接于该反相器的输入端Vin，漏极电性连接于第一节点S，源极电性连接于第一负电位VSS1。

[57] 第二十三晶体管T23，栅极电性连接于第一节点S，漏极电性连接于恒压高电位DCH，源极电性连接于该反相器的输出端Vout。

[58] 第二十四晶体管T24，栅极电性连接于该反相器的输入端Vin，漏极电性连接于该反相器的输出端Vout，源极电性连接第二节点K。

[59] 第二十五晶体管T25，栅极电性连接于第三节点M，漏极电性连接于恒压高电位DCH，源极电性连接于第二节点K。

[60] 第二十六晶体管T26，栅极电性连接于该反相器的输入端Vin，漏极电性连接于

第二节点K，源极连接于恒压低电位DCL。

[61] 其中，该反相器通过该恒压高电位DCH以及该恒压低电位DCL接收电路控制信号。

[62] 第一负电位VSS1、第二负电位VSS2与恒压低电位DCL的关系为：恒压低电位DCL<第二负电位VSS2<第一负电位VSS1。

[63] 在本实施方式中，该电路10包括的第一反相器和第二反相器均为如图2所示的反相器。

[64] 在另一实施方式中，该电路10包括的第一反相器和第二反相器均为如图3所示的反相器。

[65] 再一实施方式中，该电路10包括的第一反相器为如图2所示的反相器，第二反相器均为如图3所示的反相器。

[66] 本发明提供了一种用于氧化物半导体薄膜晶体管的扫描驱动电路及其与非门逻辑运算电路，包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及多个晶体管，利用NTFT与反相器的结合替代原有的PMOS元件的功能，实现类似原来的CMOS NAND运算电路的特性，从而解决了IGZO TFT单型器件逻辑运算电路的设计问题，更适合大型的数字集成电路集成在液晶显示器。

[67] 在上述实施例中，仅对本发明进行了示范性描述，但是本领域技术人员在阅读本专利申请后可以在不脱离本发明的精神和范围的情况下对本发明进行各种修改。

权利要求书

[权利要求 1] 一种与非门逻辑运算电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及

第九晶体管（T9），栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十晶体管（T10），栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十一晶体管（T11），栅极电性连接于所述逻辑运算电路的第一输入端（A），漏极电性连接于所述逻辑运算电路的输出端（Vout）；

第十二晶体管（T12），栅极电性连接于所述逻辑运算电路的第二输入端（B），漏极电性连接于所述第一十一晶体管（T11）的源极，源极电性连接于恒压低电位（DCL）；

所述第一反相器和所述第二反相器通过所述恒压低电位（DCL）以及第一负电位（VSS1）接收电路控制信号。

[权利要求 2] 一种与非门逻辑运算电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及

第九晶体管（T9），栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十晶体管（T10），栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十一晶体管（T11），栅极电性连接于所述逻辑运算电路的第一输入端（A），漏极电性连接于所述逻辑运算电路的输出端（Vout）；

第十二晶体管（T12），栅极电性连接于所述逻辑运算电路的第二输入端（B），漏极电性连接于所述第一十一晶体管（T11）的源极，源极电性连接于恒压低电位（DCL）。

[权利要求 3] 根据权利要求2所述的与非门逻辑运算电路，其中，所述第一反相器与所述第二反相器相同，均包括：

第一晶体管（T1），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二晶体管（T2），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第三晶体管（T3），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第四晶体管（T4），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第五晶体管（T5），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第三节点（M）；

第六晶体管（T6），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第三节点（M），源极连接于恒压低电位（DCL）；

第七晶体管（T7），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第八晶体管（T8），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）。

[权利要求 4] 根据权利要求3所述的与非门逻辑运算电路，其中，所述第一反相器和所述第二反相器通过所述恒压低电位（DCL）以及所述第一

负电位（VSS1）接收电路控制信号。

[权利要求 5] 根据权利要求2所述的与非门逻辑运算电路，其中，所述第一反相器与所述第二反相器相同，均包括：

第二十一晶体管（T21），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二十二晶体管（T22），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第二十三晶体管（T23），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第二十四晶体管（T24），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第二十五晶体管（T25），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第二十六晶体管（T26），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）。

[权利要求 6] 根据权利要求5所述的与非门逻辑运算电路，其中，所述第一反相器和所述第二反相器通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

[权利要求 7] 根据权利要求2所述的与非门逻辑运算电路，其中，所述第一反相器包括：

第一晶体管（T1），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二晶体管（T2），栅极电性连接于所述反相器的输入端（Vin）

，漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第三晶体管（T3），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第四晶体管（T4），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第五晶体管（T5），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第三节点（M）；

第六晶体管（T6），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第三节点（M），源极连接于恒压低电位（DCL）；

第七晶体管（T7），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第八晶体管（T8），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）；

所述第二反相器包括：

第二十一晶体管（T21），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二十二晶体管（T22），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第二十三晶体管（T23），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第二十四晶体管（T24），栅极电性连接于所述反相器的输入端（

Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第二十五晶体管（T25），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第二十六晶体管（T26），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）。

[权利要求 8] 根据权利要求7所述的与非门逻辑运算电路，其中，所述第一反相器通过所述恒压低电位（DCL）以及所述第一负电位（VSS1）接收电路控制信号，所述第二反相器通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

[权利要求 9] 根据权利要求8所述的与非门逻辑运算电路，其中，所述第一负电位（VSS1）、第二负电位（VSS2）与恒压低电位（DCL）的关系为：恒压低电位（DCL）<第二负电位（VSS2）<第一负电位（VSS1）。

[权利要求 10] 根据权利要求2所述的与非门逻辑运算电路，其中，所述与非门逻辑运算电路通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

[权利要求 11] 一种用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述电路包括应用于GOA电路下拉维持电路中的第一反相器和第二反相器，以及

第九晶体管（T9），栅极电性连接于所述第一反相器的输出端，漏极电性连接于恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十晶体管（T10），栅极电性连接于所述第二反相器的输出端，漏极电性连接于所述恒压高电位（DCH），源极电性连接于所述逻辑运算电路的输出端（Vout）；

第十一晶体管（T11），栅极电性连接于所述逻辑运算电路的第一输入端（A），漏极电性连接于所述逻辑运算电路的输出端（Vout）；

第十二晶体管（T12），栅极电性连接于所述逻辑运算电路的第二输入端（B），漏极电性连接于所述第一十一晶体管（T11）的源极，源极电性连接于恒压低电位（DCL）。

[权利要求 12] 如权利要求11所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器与所述第二反相器相同，均包括：

第一晶体管（T1），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二晶体管（T2），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第三晶体管（T3），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第四晶体管（T4），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第五晶体管（T5），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第三节点（M）；

第六晶体管（T6），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第三节点（M），源极连接于恒压低电位（DCL）；

第七晶体管（T7），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第八晶体管（T8），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL

）。

[权利要求 13] 如权利要求12所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器和所述第二反相器通过所述恒压低电位（DCL）以及所述第一负电位（VSS1）接收电路控制信号。

[权利要求 14] 如权利要求11所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器与所述第二反相器相同，均包括：

第二十一晶体管（T21），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二十二晶体管（T22），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第二十三晶体管（T23），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第二十四晶体管（T24），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第二十五晶体管（T25），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第二十六晶体管（T26），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）。

[权利要求 15] 如权利要求14所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器和所述第二反相器通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

[权利要求 16] 如权利要求11所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器包括：

第一晶体管（T1），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二晶体管（T2），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第三晶体管（T3），栅极电性连接于第一节点（S），漏极电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第四晶体管（T4），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第五晶体管（T5），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第三节点（M）；

第六晶体管（T6），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第三节点（M），源极连接于恒压低电位（DCL）；

第七晶体管（T7），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第八晶体管（T8），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）；

所述第二反相器包括:

第二十一晶体管（T21），栅极与漏极均电性连接于恒压高电位（DCH），源极电性连接于第一节点（S）；

第二十二晶体管（T22），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第一节点（S），源极电性连接于第一负电位（VSS1）；

第二十三晶体管（T23），栅极电性连接于第一节点（S），漏极

电性连接于恒压高电位（DCH），源极电性连接于所述反相器的输出端（Vout）；

第二十四晶体管（T24），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于所述反相器的输出端（Vout），源极电性连接第二节点（K）；

第二十五晶体管（T25），栅极电性连接于第三节点（M），漏极电性连接于恒压高电位（DCH），源极电性连接于第二节点（K）；

第二十六晶体管（T26），栅极电性连接于所述反相器的输入端（Vin），漏极电性连接于第二节点（K），源极连接于恒压低电位（DCL）。

[权利要求 17] 如权利要求16所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一反相器通过所述恒压低电位（DCL）以及所述第一负电位（VSS1）接收电路控制信号，所述第二反相器通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

[权利要求 18] 如权利要求17所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述第一负电位（VSS1）、第二负电位（VSS2）与恒压低电位（DCL）的关系为：恒压低电位（DCL）<第二负电位（VSS2）<第一负电位（VSS1）。

[权利要求 19] 如权利要求11所述的用于氧化物半导体薄膜晶体管的扫描驱动电路，其中，所述与非门逻辑运算电路通过所述恒压高电位（DCH）以及所述恒压低电位（DCL）接收电路控制信号。

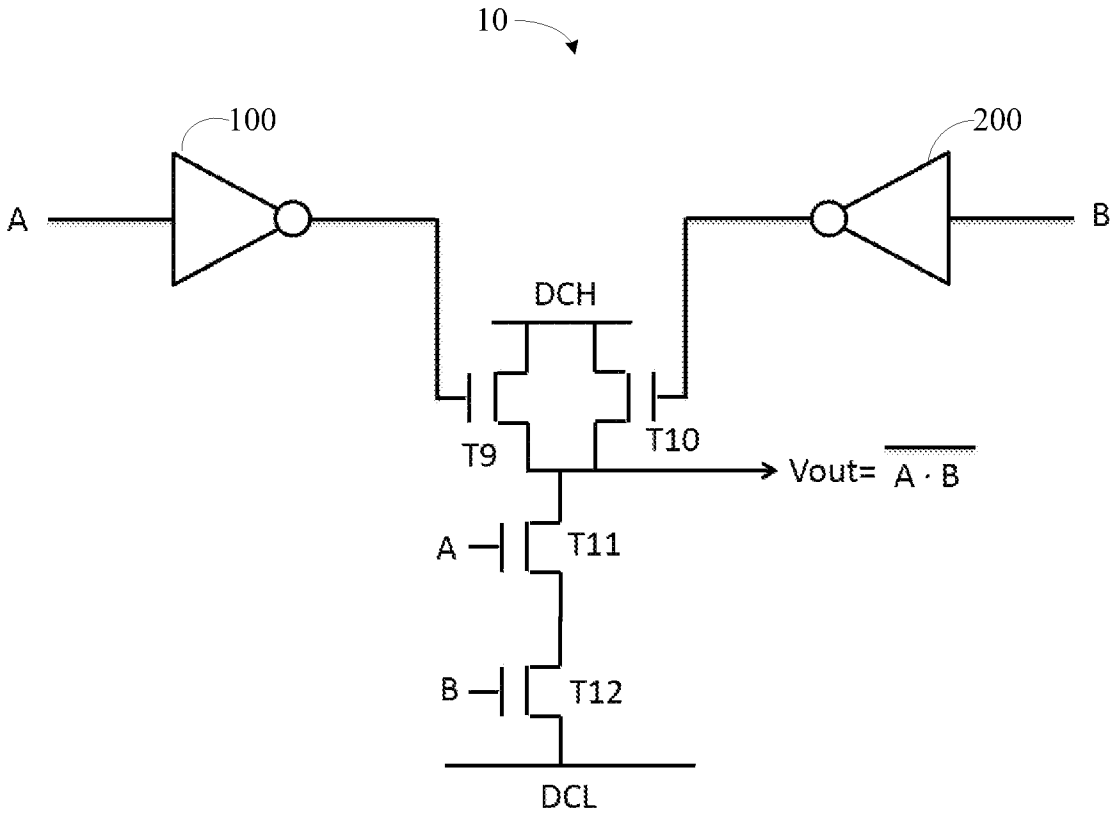


图 1

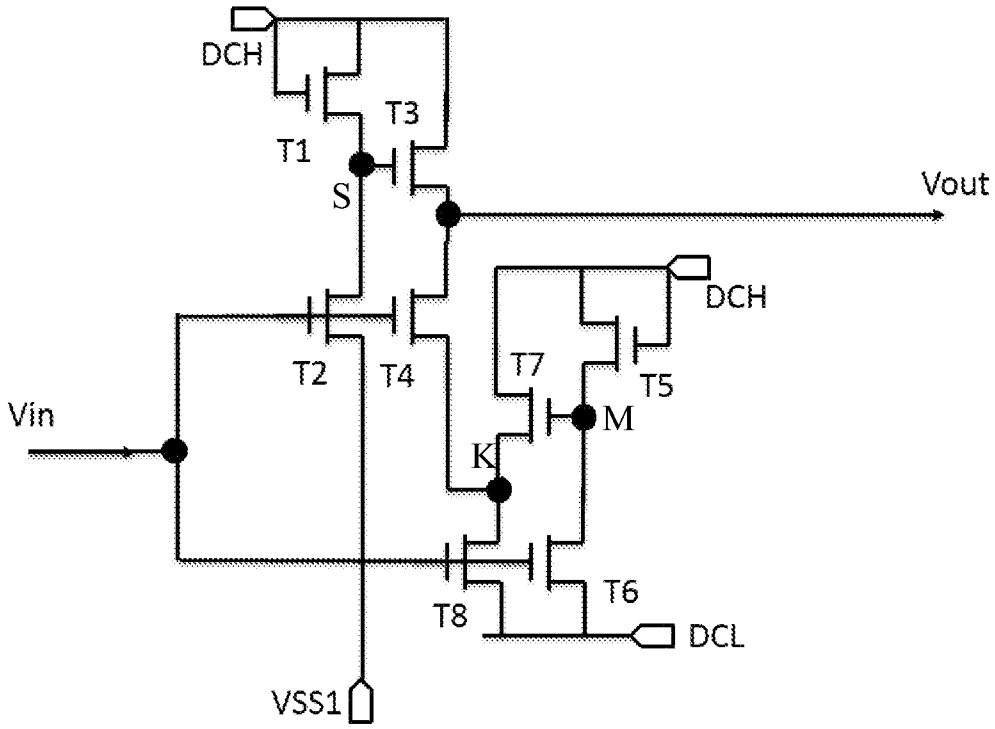


图 2

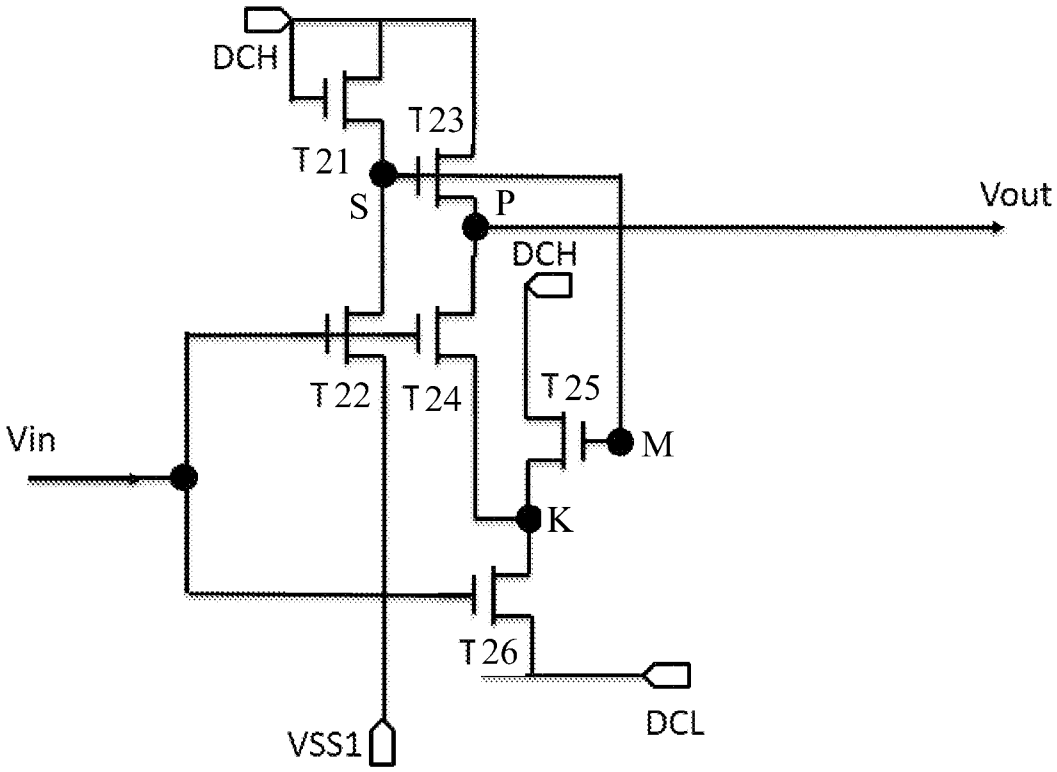


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/071705

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/168 (2006. 01) i; G09G 3/36 (2006. 01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K 19/-; G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, WPI, EPODOC, CNKI: drive, thin film transistor, NAND, gate, logic+, TFT, driv+, scan+, display+, level, shifter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 8013633 B2 (HEWLETT-PACKARD DEVELOPMENT CO.) 06 September 2011 (06.09.2011) description, column 3, line 36 to column 4, line 25, and figures 3 and 6	1, 2, 10, 11, 19
A	CN 202143046 U (SOUTH CHINA UNIVERSITY OF TECHNOLOGY) 08 February 2012 (08.02.2012) the whole document	1-19
A	CN 101069351 A (KONINKL PHILIPS ELECTRONICS NV) 07 November 2007 (07.11.2007) the whole document	1-19
A	US 2005024092 A1 (MICRON TECHNOLOGY INC.) 03 February 2005 (03.02.2005) the whole document	1-19
A	US 6784696 B1 (PICONETICS INC.) 31 August 2004 (31.08.2004) the whole document	1-19
A	US 7068075 B2 (HYNIX SEMICONDUCTOR INC.) 27 June 2006 (27.06.2006) the whole document	1-19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 September 2015	30 September 2015

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
DONG, Pin
Telephone No. (86-10) 62414461

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/071705

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 8013633 B2	06 September 2011	US 2008315918 A1	25 December 2008
CN 202143046 U	08 February 2012	None	
CN 101069351 A	07 November 2007	EP 1820273 A2	22 August 2007
		US 2009230988 A1	17 September 2009
		JP 2008522525 A	26 June 2008
		WO 2006059269 A2	08 June 2006
US 2005024092 A1	03 February 2005	US 6980033 B2	27 December 2005
		US 2005280445 A1	22 December 2005
		US 6972599 B2	06 December 2005
		US 7250789 B2	31 July 2007
		US 2004041591 A1	04 March 2004
US 6784696 B1	31 August 2004	WO 03075460 A2	12 September 2003
		TW 200305310 A	16 October 2003
		US 6552574 B1	22 April 2003
		TW 595100 B	21 June 2004
		CN 1650522 A	03 August2005
		US 2004257116 A1	23 December 2004
		AU 2003225639 A1	16 September 2003
		US 6693462 B1	17 February 2004
		US 2006055429 A1	16 March 2006
US 7068075 B2	27 June 2006	KR 20050097202 A	07 October 2005
		KR 100602350 B1	14 July 2006
		JP 2005295491 A	20 October 2005
		US 2005218932 A1	06 October 2005

国际检索报告

国际申请号
PCT/CN2015/071705

A. 主题的分类

H03K 19/168(2006.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K19/-; G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,WPI,EPODOC,CNKI：逻辑,驱动,扫描,显示,与非,薄膜晶体管,反相,NAND,gate,logic+,TFT,driv+,scan+,display+,level,shifter

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US 8013633 B2 (HEWLETT-PACKARD DEVELOPMENT CO.) 2011年 9月 6日 (2011-09-06) 说明书第3栏第36行至第4栏第25行、附图3，6	1，2，10，11，19
A	CN 202143046 U (华南理工大学) 2012年 2月 8日 (2012-02-08) 全文	1-19
A	CN 101069351 A (皇家飞利浦电子股份有限公司) 2007年 11月 7日 (2007-11-07) 全文	1-19
A	US 2005024092 A1 (MICRON TECHNOLOGY INC.) 2005年 2月 3日 (2005-02-03) 全文	1-19
A	US 6784696 B1 (PICONETICS INC.) 2004年 8月 31日 (2004-08-31) 全文	1-19
A	US 7068075 B2 (HYNIX SEMICONDUCTOR INC.) 2006年 6月 27日 (2006-06-27) 全文	1-19

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 9月 10日	2015年 9月 30日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国	董妍
传真号 (86-10)62019451	电话号码 (86-10)62414461

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/071705

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	8013633	B2	2011年 9月 6日	US	2008315918	A1	2008年 12月 25日
CN	202143046	U	2012年 2月 8日		无		
CN	101069351	A	2007年 11月 7日	EP	1820273	A2	2007年 8月 22日
				US	2009230988	A1	2009年 9月 17日
				JP	2008522525	A	2008年 6月 26日
				WO	2006059269	A2	2006年 6月 8日
US	2005024092	A1	2005年 2月 3日	US	6980033	B2	2005年 12月 27日
				US	2005280445	A1	2005年 12月 22日
				US	6972599	B2	2005年 12月 6日
				US	7250789	B2	2007年 7月 31日
				US	2004041591	A1	2004年 3月 4日
US	6784696	B1	2004年 8月 31日	WO	03075460	A2	2003年 9月 12日
				TW	200305310	A	2003年 10月 16日
				US	6552574	B1	2003年 4月 22日
				TW	595100	B	2004年 6月 21日
				CN	1650522	A	2005年 8月 3日
				US	2004257116	A1	2004年 12月 23日
				AU	2003225639	A1	2003年 9月 16日
				US	6693462	B1	2004年 2月 17日
				US	2006055429	A1	2006年 3月 16日
US	7068075	B2	2006年 6月 27日	KR	20050097202	A	2005年 10月 7日
				KR	100602350	B1	2006年 7月 14日
				JP	2005295491	A	2005年 10月 20日
				US	2005218932	A1	2005年 10月 6日