(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3989027号

(P3989027)

(45)発行日　平成19年10月10日(2007.10.10)　(24)登録日　平成19年7月27日(2007.7.27)

(51)Int.Cl.　F I

H01L 21/8242 (2006.01)　H01L 27/10 651

H01L 27/108 (2006.01)　H01L 27/04 C

H01L 21/822 (2006.01)

H01L 27/04 (2006.01)

請求項の数 6　(全 15 頁)

(21)出願番号　特願平6-159966

(22)出願日　平成6年7月12日(1994.7.12)

(65)公開番号　特開平8-31951

(43)公開日　平成8年2月2日(1996.2.2)

審査請求日　平成13年7月5日(2001.7.5)

(73)特許権者　590000879

テキサス　インスツルメンツ　インコーポレイテツド

アメリカ合衆国テキサス州ダラス，ノース　セントラルエクスプレスウエイ　１３５００

(74)代理人　100066692

弁理士　浅村　皓

(74)代理人　100072040

弁理士　浅村　肇

(74)代理人　100094673

弁理士　林　鉐三

(74)代理人　100091339

弁理士　清水　邦明

最終頁に続く

(54)【発明の名称】キャパシタ及びその製造方法

(57)【特許請求の範囲】

【請求項１】

下部電極と、

前記下部電極上に形成された強誘電体薄膜であって、結晶化され、かつその結晶粒間の空洞が前記強誘電体薄膜の物質とは異なる強誘電体の物質で埋められている前記強誘電体薄膜と、

前記強誘電体薄膜及び前記異なる強誘電体の物質上に形成された上部電極と、

を含むキャパシタ。

【請求項２】

前記異なる強誘電体の物質が結晶化されている請求項１に記載のキャパシタ。

【請求項３】

前記強誘電体薄膜がＢＳＴ膜であり、前記異なる強誘電体の物質がＳＴＯ膜である請求項１又は２に記載のキャパシタ。

【請求項４】

基板上に下部電極を形成し、

前記下部電極上に結晶化された第１強誘電体薄膜を形成し、

前記第１強誘電体薄膜の厚さより薄く、前記第１強誘電体薄膜の物質とは異なる物質からなる非結晶の第２強誘電体薄膜を、前記第１強誘電体薄膜上に形成して前記第１強誘電体薄膜の結晶粒間の空洞を埋め、

前記第１及び第２強誘電体薄膜上に上部電極を形成する工程、

を含むキャパシタの製造方法。
【請求項５】
前記第２強誘電体薄膜を結晶化させる熱工程を更に含む請求項４に記載のキャパシタの製造方法。
【請求項６】
前記第１強誘電体薄膜がＢＳＴ膜であり、前記第２強誘電体薄膜がＳＴＯ膜である請求項４又は５に記載のキャパシタの製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体装置技術に関し、特に半導体メモリに適用した場合、リーク電流が小さく歩留りの高い強誘電体薄膜キャパシタに関するものである。
【０００２】
【従来技術】
従来の半導体装置の高集積化を図る際、その構成要素の微細化が進んでいるが、微細かつ高容量のキャパシタを必要とするダイナミック・メモリ（ＤＲＡＭ）において、比誘電率が極めて大きい強誘電体の薄膜の利用が注目されている。例えば、(P. J. Bhattacharya 等、 Jpn. J. Appl.Phys. Vol.32 (1993)pp.4103-4106)等が先行技術として考えられる。
【０００３】
【発明が解決しようとする課題】
ところが、上述のBhattacharya等の開示によると、Ｐｔ基板上に（Ｂａ，Ｓｒ）TiO_3（以下、「ＢＳＴ」と略称する。）膜を形成したところ、この膜の結晶は柱状に成長して、高い比誘電率約300 を確保できることが分かっている。しかしながら、これらの薄膜を用いてキャパシタを形成したところ、非常に絶縁性の優れたキャパシタを形成できる一方、リーク電流の大きいものまたは初期短絡不良のものが多く、ＤＲＡＭ等の超ＬＳＩの量産に適する程度の歩留りを確保には十分でなかった。この原因を詳細に検討した結果、結晶粒界に空洞が発生している事実を発見した。本発明の目的の一つは超ＬＳＩに応用できる程度の歩留りを十分確保できるキャパシタ及びその製造方法を提供することにある。
【０００４】
また、半導体装置、特にＤＲＡＭでは小面積のキャパシタが必要になっている。これらのキャパシタを実現するため、きわめて比誘電率の大きい（Ｂａ，Ｓｒ）TiO_3やＰｂ（Ｚｒ，Ｔｉ）O_3等の強誘電体薄膜が注目されている。しかしながら、これらの薄膜を用いてキャパシタを形成したところ、非常に絶縁性の優れたキャパシタを形成できる一方、リーク電流の大きいものまたは初期短絡不良のものが多く、ＤＲＡＭ等のＵＬＳＩに応用できるほどの歩留りを確保できなかった。本発明の目的の一つはＵＬＳＩに応用できるほどの歩留りを確保できるキャパシタ及びその製造方法を提供することにある。
【０００５】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の如くである。
すなわち、キャパシタ用誘電体としての第１の強誘電体薄膜の形成後に、これに比して非常に薄い第２の強誘電体薄膜を堆積して、結晶粒の間に発生する空洞部を埋め込むことによって、リーク電流が小さく歩留りが高いキャパシタを形成するのである。又、他の態様においては強誘電体薄膜の形成後に発生する結晶粒の間の空洞部に絶縁層を埋め込むことによって、リーク電流が小さく歩留りが高いキャパシタ用強誘電体薄膜を形成するものである。
【０００６】
【作用】
上述の発明によれば、ＤＲＡＭ等のキャパシタと上部及び下部電極間の絶縁性に優れ且

つリーク電流を抑えつつ初期短絡不良を低減させることが可能となる。

この結果、ＤＲＡＭの強誘電体キャパシタに蓄積された電荷のリークを最小限にできるので、従来に比してリフレッシュ・サイクルを長期にするか、同様のリフレッシュ・サイクルを保持した場合、メモリ・セルの面積を小さくできるため、歩留まりが向上し、量産性に適した半導体メモリ装置を提供することが可能となる。

【０００７】

【実施例】

先ず本発明の一態様を図１乃至図１２を参照して説明する。

本態様の前提を説明する図１において、酸化したシリコン基板１の上に接着層としてＴｉＮ膜２をスパッタ法によって約５０ｎｍ形成し、２００ｎｍの膜厚のＰｔ膜３をスパッタ法によって形成する。その後、ＢＳＴ膜４をＢＳＴセラミックスのターゲット材を用いてO_2／Ａｒ混合ガス中で約２００ｎｍの膜厚に堆積する。その際、基板温度は約６５０℃で膜形成を行ない、結晶化したＢＳＴ膜４を成長させる。これは、５００℃以下で形成される非晶質ＢＳＴの比誘電率が約３０と、結晶化したＢＳＴの比誘電率約３００に比べて小さいためである。最後に、Ｐｔの上部電極を形成することでキャパシタが構成される。このキャパシタの電気的特性を評価した結果、この結晶ＢＳＴ膜は初期絶縁破壊による故障が多く、超ＬＳＩ用のキャパシタとしての十分な歩留りを確保できないことが分かった。このＢＳＴ膜の透過型電子顕微鏡を用いた解析や電気的特性の詳しい解析の結果、図１に示すようにＢＳＴ膜の初期絶縁破壊はＢＳＴ膜５の結晶粒界に発生している空洞による可能性が高いことが理解できる。この空洞部に上部電極Ｐｔ膜をスパッタ法により形成する際、Ｐｔが侵入し上部電極と下部電極が短絡することが原因と推測できる。従って、本発明の一態様においては、この強誘電体薄膜を多層化し該空洞を埋めることにより上記欠陥を修復することを試みた。

【０００８】

次に、本発明の第１の実施例の概念を図１及び図２を参照して説明する。実施例１は、ＢＳＴ膜４の空洞による欠陥を$SrTiO_3$（ＳＴＯ）を積層して欠陥を修復する方法である。図１の構造を形成した後、約４００℃の基板温度で非晶質のＳＴＯ膜５を約１０ｎｍ以下の膜厚でＢＳＴ膜４上に形成した。その後にＰｔ上部電極をスパッタ法により約２００ｎｍ程形成する。これは、従来のリソグラフィ法によりキャパシタ製造を用いることができる。また、ＢＳＴ膜４は結晶化しており、その比誘電率は約３００であったが、ＳＴＯ膜５の比誘電率は約２０と小さく。そのため、この積層構造では静電容量はＢＳＴ膜４の単層構造に比べて約２５％減少する。しかしながら、この多層化によって膜のリーク電流は約２桁程度改善することができ、かつ、ＢＳＴ膜４の空洞によると思われる初期絶縁破壊率は著しく減少するのでキャパシタの歩止りがより改善するのである。本発明の効果は、多層化される強誘電体薄膜を互いに異なる材質によって形成してもよく、異なる材質によって形成した場合、特に効果が高いことも理解できるであろう。

【０００９】

本発明は、この非晶質ＳＴＯ膜を結晶化させることによって、更に効果を向上させることができる。すなわち、この非晶質ＳＴＯ膜を形成した後、６５０℃の酸素中で加熱すれば結晶化が起こり、比誘電率が約１５０に増加させることができるので、キャパシタ全体の静電容量の減少は、約１０％に抑えられる。また、歩留りの向上にも寄与することができる。

【００１０】

次に、本発明の他の実施例を図３および図４に示す。本実施例では、結晶化したＰｂ（Ｚｒ，Ｔｉ）O_3膜（ＰＺＴ）の上に非晶質のＳＴＯを堆積する。図３に示すように、酸化したシリコン基板１の上に接着層としてＴｉＮ膜２をスパッタ法によって約５０ｎｍ形成し、更に、２００ｎｍの膜厚のＰｔ３をスパッタ法によって形成する。その後、結晶化したＰＺＴ膜６をゾルゲル法によって形成する。この工程では、通常Ｐｂ、Ｚｒ、Ｔｉ等の有機金属を有機溶媒に溶かしスピンコート法等で、Ｐｔ膜３の上に約２００ｎｍの膜厚となるように堆積することができる。その後、約１５０℃程度の温度でベークし、有機溶

剤や水分を取り除く、更に、非晶質の膜を結晶化させるために６５０℃の酸素雰囲気中で熱処理する。しかしながら、このＰＺＴ膜６は結晶化の際、収縮するので結晶粒界には、図３に示すような空洞が生じることとなる。その後、図４に示すように約４００℃の基板温度で非晶質のＳＴＯ膜７を約１０ｎｍ以下の膜厚でＰＺＴ膜６上に形成する。その後、Ｐｔ上部電極をスパッタ法により約２００ｎｍ程形成してから、従来のリソグラフィ法によりキャパシタを形成する。ＰＺＴ膜６は既に結晶化しており、その比誘電率は約６００であったが、非晶質ＳＴＯ膜５の比誘電率は約２０と小さく。そのため、この積層構造では静電容量はＰＺＴ膜６の単層構造に比べて約６０％減少することが分かる。しかしながら、この多層化によって膜のリーク電流は約３桁改善し、かつＰＺＴ膜６の空洞によると思われる初期絶縁破壊率は著しく減少する。よってキャパシタ形成に関する歩留まりが改善することが可能となる。

【００１１】

本発明は、非晶質ＳＴＯ膜を結晶化させることによってさらに効果を著しく向上することが理解できる。すなわち、この非晶質ＳＴＯ膜を形成した後に６５０℃の酸素雰囲気中で加熱すれば結晶化が起こり、比誘電率が約１５０に増加しキャパシタ全体としての静電容量の減少は、約２０％に抑えることができる。また、歩留りに対する悪影響もない。

【００１２】

更に、本発明の他の実施例を図５および図６に示す。上記実施例では、結晶化したＢＳＴ膜またはＰＺＴ膜の上に非晶質のＳＴＯを堆積することによって、強誘電体の特性を向上させた。しかしながら、比誘電率が比較的小さいＳＴＯ膜を利用するより、さらに比誘電率の高い非晶質のＢＳＴ膜を利用すれば、キャパシタの静電容量の減少を抑えつつ特性の改善が達成できる。図５に別の強誘電体薄膜を示す。先ず、酸化したシリコン基板１の上に接着層としてＴｉＮ膜２をスパッタ法によって約５０ｎｍ形成し、次に、２００ｎｍの膜厚のＰｔ３をスパッタ法によって形成する。その後、結晶化したＰＺＴ膜６をゾルゲル法によって形成して膜を完成させる。この工程は、通常Ｐｂ、Ｚｒ、Ｔｉ等の有機金属を有機溶媒に溶かしスピンコート法等により、Ｐｔ膜３上に約２００ｎｍの膜厚となるように堆積することができる。その後、約１５０℃程度の温度でベークし、これら有機溶剤や水分を取り除く、更に、非晶質の膜を結晶化させるために６５０℃の酸素雰囲気中で熱処理する。しかしながら、このＰＺＴ膜６は結晶化の際、上述の如く収縮し、結晶粒界に図３に示すような空洞が生じる。図６は、強誘電体薄膜の断面を示す。空洞が生じた表面に約５００℃の基板温度で、非晶質のＢＳＴ膜８を約１０ｎｍ以下の膜厚でＰＺＴ膜６の上に形成する。その後、Ｐｔ上部電極をスパッタ法により約２００ｎｍ程形成してから、従来のリソグラフィ法によりキャパシタを形成する。その際、ＰＺＴ膜６は既に結晶化しており、その比誘電率は約６００に達する。一方、非晶質のＢＳＴ膜８の比誘電率はＳＴＯ膜の約２０と比べて約３０と比較的大きいため、この積層構造では、静電容量がＰＺＴ膜６の単層構造に比べて約３０％減少に留まることが分かる。更に、この多層化によって膜のリーク電流は約３桁改善させることができ、且つ、ＰＺＴ膜６の空洞によると思われる初期絶縁破壊率は著しく減少させることが可能である。よって、キャパシタに関連する歩留りを改善させることができる。

【００１３】

本発明は、この非晶質ＢＳＴ膜を結晶化させることによってさらに効果を著しく向上させることができる。すなわち、この非晶質ＳＴＯ膜を形成した後に６５０℃の酸素中で加熱したところ結晶化が起こり、比誘電率が約３００に増加し全体としてのキャパシタの静電容量の減少は約１０％に抑えることができ、かつ、歩留りの向上も可能となる。

【００１４】

同様の効果は、結晶ＢＳＴ膜の上部に非晶質のＰＺＴ膜を堆積しても見い出される。すなわち、非晶質のＰＺＴ膜の比誘電率は約４０にもなるのでさらに静電容量の減少が少なく歩留りの高いキャパシタ用強誘電体薄膜が形成できる。

【００１５】

上記実施例では、第２の強誘電体が非晶質あるいは結晶であっても、全体としての膜厚

の増加が起こるため、歩留りの改善は図れるものの、静電容量の減少は避けることができない。この技術的課題を解消するべく別の実施例においては、第２の強誘電体をドライエッチング法により除去し、下地の強誘電体の空洞部のみに第２の強誘電体を残すことができる。この実施例を図７乃至図９に示す。酸化したシリコン基板１の上に接着層としてＴｉＮ膜２をスパッタ法によって約５０ｎｍ形成し、更に、２００ｎｍの膜厚のＰｔ３をスパッタ法によって形成する。その後、結晶化したＰＺＴ膜６をゾルゲル法によって形成する。この工程では通常Ｐｂ、Ｚｒ、Ｔｉ等の有機金属を有機溶媒に溶かしたスピンコート法等により、Ｐｔ膜３の上に約２００ｎｍの膜厚となるように堆積することができる。その後、約１５０℃程度の温度でベークし、有機溶剤や水分を取り除く、さらに、非晶質の膜を結晶化させるために６５０℃の酸素雰囲気中で熱処理を施す。しかしながら、このＰＺＴ膜６は、結晶化する際、図７に示す如く収縮した結晶粒界に空洞が生じる。その後、図８に示すように約５００℃の基板温度で非晶質のＳＴＯ膜７を約１０ｎｍ以下の膜厚でＰＺＴ膜６上に形成する。その後、図９に示すように、Ａｒプラズマ中で１０ｎｍ相当エッチバックすることにより、ＰＺＴ膜６の結晶粒界の空洞部分に選択的に非晶質のＳＴＯ膜７を残すことができる。この際、Ａｒプラズマ中でのエッチバックにより下地のＰＺＴ膜中に酸素空孔等の欠陥が生じるためリーク電流が著しく増大するという問題がある。本実施例によれば、ＳＴＯ膜のエッチバック後に、この欠陥を修復できる程度の温度で熱処理することにより、リーク電流の増加を防ぐことができる。この方法によってＰＺＴ膜６の空洞によると思われる初期絶縁破壊率は減少し、キャパシタの歩留りも改善した。

【００１６】

本実施例では、キャパシタの静電容量の減少は起こらなかった。特に、ＰＺＴ膜の結晶粒界部における空洞の大きさは、幅が数ｎｍ程度のものが多く、この空洞に比誘電率の低い絶縁膜を埋め込んでもキャパシタの静電容量の変化は無視できるレベルである。

【００１７】

上記実施例は、ＰＺＴ膜の上に非晶質のＢＳＴ膜を形成する方法について説明したが、同様な効果はＢＳＴ膜の上に非晶質のＰＺＴ膜を形成しても得られる。

【００１８】

本発明の更に別の実施例は、第２の強誘電体のＰＺＴ膜をドライエッチング法により除去し、下地の強誘電体の空洞部にのみ第２の強誘電体を残すことができる。その実施例を図１０乃至図１２に示す。酸化したシリコン基板１の上に接着層としてＴｉＮ膜２をスパッタ法によって約５０ｎｍ形成し、２００ｎｍの膜厚のＰｔ３をスパッタ法によって形成する。その後、結晶化したＢＳＴ膜４をゾルゲル法によって形成する。この工程は、通常Ｂａ、Ｓｒ、Ｔｉ等の有機金属を有機溶媒に溶かしたスピンコート法等により、Ｐｔ膜３の上に約２００ｎｍの膜厚となるように堆積する。その後、約１５０℃程度の温度でベークし有機溶剤や水分を取り除く、更に、非晶質の膜を結晶化させるために６５０℃の酸素雰囲気中で熱処理する。しかしながら、このＢＳＴ膜４は結晶化の過程で収縮し結晶粒界に図１０に示すような空洞が生じる。その後、図１１に示すように約５００℃の基板温度で非晶質のＰＺＴ膜９を約１０ｎｍ以下の膜厚でＢＳＴ膜４上に形成する。図１２に示すように、その後、Ａｒプラズマ中で１０ｎｍ相当エッチバックすると、ちょうどＢＳＴ膜４の結晶粒界の空洞部分に選択的に非晶質のＰＺＴ膜９を残すことができる。その際、Ａｒプラズマ中でのエッチバックにより下地のＢＳＴ膜中に酸素空孔等の欠陥が生じリーク電流が著しく増大するという問題があった。そのため、本実施例においては、ＰＺＴ膜のエッチバック後、この欠陥を修復できる程度の温度で熱処理することにより、リーク電流の増加を防ぐことができる。この方法によってＢＳＴ膜４の空洞によると思われる初期絶縁破壊率は著しく減少しキャパシタの歩留りも改善した。

【００１９】

本実施例においても、キャパシタの静電容量の減少は起こらなかった。

本発明は、ＢＳＴ以外の強誘電体材料に関しても適応させることができる。すなわち、上記実施例の強誘電体薄膜を$SrTiO_3$，$BaTiO_3$，（Ｐｂ，Ｌａ）（Ｚｒ，Ｔｉ）O_3，Ｐｂ（Ｚｒ，Ｔｉ）O_3，$PbTiO_3$等を構成要素として含んでいても実質的な効

果を奏することは言うまでもない。

【００２０】

本発明においては、強誘電体の薄膜の成長方法としてスパッタ法やゾルゲル法を例にとって説明したが、この成長方法として公知のＣＶＤ法、ＭＯＤ法等を用いてもよい。特にゾルゲル法を用いて強誘電体薄膜を形成する場合には、結晶化の際に結晶粒界に空洞が発生する場合が多く本発明の効果が著しい。

【００２１】

なお、以上の説明では主として本発明者によってなされた発明をその背景となるＤＲＡＭ用キャパシタ誘電膜に適用した場合について説明したが、これに限定されず、例えば、疑似ＳＲＡＭ用のキャパシタやワード線昇圧用コンデンサのキャパシタ等の半導体集積回路装置に適用することも可能である。

【００２２】

次に本発明の参考例を図１３乃至図２９を参照して説明する。

本参考例の前提を説明する図１３は、酸化したシリコン基板１０１上に接着層としてＴｉ膜１０３をスパッタ法によって約５０ｎｍ形成し、２００ｎｍの膜厚のＰｔ膜１０４をスパッタ法によって形成した後、ＢＳＴ膜１０５をＢＳＴセラミックスのターゲット材を用いてO_2／Ａｒ混合ガス中で約２００ｎｍの膜厚に堆積した構造を示す。その際、基板温度は約６５０℃で膜形成を行ない、結晶化したＢＳＴ膜１０５を成長させる。５００度℃以下で形成される非晶質ＢＳＴの比誘電率が約１８と、結晶化したＢＳＴの比誘電率約３００に比べて小さい。最後に、Ｐｔの上部電極を形成してキャパシタを形成する。その電気的特性は、結晶ＢＳＴ膜の初期絶縁破壊による落ちこぼれが多いために、ＵＬＳＩ用のキャパシタとして十分な歩留りを確保できないことが分かる。このＢＳＴ膜の透過型電子顕微鏡を用いた解析や電気的特性の詳しい解析の結果、図１３に示すようにＢＳＴ膜の初期絶縁破壊がＢＳＴ膜１０５の結晶粒界に発生している空洞による可能性が高いことが分かった。この空洞部に上部電極Ｐｔ膜をスパッタ法により形成する際、Ｐｔが侵入し上部電極と下部電極が短絡するのである。したがって、本発明のこの態様においては半導体装置のキャパシタ部の空洞を絶縁膜で埋めることによりＢＳＴ膜の歩留りを向上させる。

【００２３】

図１４及び図１５を用いて本発明の第１参考例を説明する。図１４は、酸化したシリコン基板１０１上に接着層としてＴｉ膜１０３をスパッタ法によって約５０ｎｍ形成し、２００ｎｍの膜厚のＰｔ１０４をスパッタ法によって形成した構造を示す。その後、ＢＳＴ膜１０５をＢＳＴセラミックスターゲットを用いてO_2／Ａｒ混合ガス中で約２００ｎｍの膜厚に堆積した。そのさいの基板温度は約６５０℃に保ちＢＳＴ膜１０５を結晶化させる。本参考例においては、ＢＳＴ膜１０５の空洞をスピンオングラス（ＳＯＧ）と呼ばれるシリコンの酸化物で埋める。液体である、ＳＯＧの前駆体をスピナー（回転塗付器）を用いて回転速度１０００～５０００ｒｐｍでウエハ全面にコートする。その後、溶剤を蒸発させるため、１００～２００℃（溶剤の沸点によって異なる。）でベークした後、最後に３５０～４５０℃でファイナルキュアを行う。図１４に、その結果ほとんどSiO_2に近い組成のＳＯＧ膜１０６がＢＳＴ膜１０５の空洞を埋める形で形成される構造を示す。図１５は、その後、約１％に希釈した沸化水素酸（ＨＦ）でＳＯＧ膜１０６の膜厚相当分をエッチング除去して、空洞部がＳＯＧ膜１０６で埋った構造を示す。図１４には、空洞を誇張して大きく描いてあるが、実際は数ｎｍ程度以下の大きさであり、エッチングの際、空洞部にＳＯＧを残すことは容易である。この構造を形成した後にＰｔ上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、公知のリソグラフィ法によりキャパシタを形成する。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを可能とできる。また、実効的な比誘電率も約３００と非常に大きい。

【００２４】

また、本参考例においてＳＯＧのエッチングは、ウエット法によって行なったが、ドライエッチング法によっても同様な効果が得られる。

【００２５】
図１６及び図１７は、本発明の別の参考例を示す。上記第１参考例と同様の方法でＢＳＴ膜１０５を形成する。そして、約４５０℃で有機オキシシラン、例えばＳｉ（OC_2H_5）$_4$を用いて酸化膜１０８をＡｒ／O_2雰囲気中のプラズマＣＶＤで形成する。通常、この酸化膜をＴＥＯＳ膜と呼ぶ。図１６は、その結果ほとんどSiO_2に近い組成のＴＥＯＳ膜１０８がＢＳＴ膜１０５の空洞を埋める形で形成される断面図を示す。その後、図１７に示すように、約１％に希釈した沸化水素酸（ＨＦ）でＴＥＯＳ膜１０８の膜厚相当分エッチング除去する。空洞部がＴＥＯＳ膜１０８で埋った構造が形成される。その際、ＢＳＴ膜等の強誘電体薄膜の多くは、ＨＦによってエッチングされないため、ＢＳＴ膜に損傷を与えることはない。この構造を形成した後にＰｔ上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、公知のリソグラフィ法によりキャパシタを形成する。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを実現できる。また、実効的なＢＳＴ膜の比誘電率も約３００と非常に大きいことも確認できた。本参考例においてＳＯＧのエッチングはウエット法によって行なったが、ドライエッチング法によっても同様な効果を奏する。

【００２６】
図１８及び図１９は、本発明の更に別の参考例を示す。上記参考例と同様な方法でＢＳＴ膜１０５を形成し、常圧ＣＶＤ法を用いて約３００から５００℃の温度範囲でモノシラン（SiH_4）を酸素中で反応させ、図１８に、ＢＳＴ膜１０５の上にＣＶＤ酸化膜１１０を堆積させた構造を示す。その結果ほとんどSiO_2に近い組成のＣＶＤ酸化膜１１０がＢＳＴ膜１０５の空洞を埋める形で形成される。このＣＶＤ酸化膜１１０の膜厚相当分、ドライエッチング法により削り取る。この場合、ＣＶＤ酸化膜１１０のエッチングガスとしては従来の酸化膜用のエッチングガス例えばCF_4／H_2混合ガス、CHF_3、CHF_3／SF_6／Ｈｅ等の混合ガスを用いればよい。これらの、エッチングガスを用いればＣＶＤ酸化膜１１０のエッチングのＢＳＴ膜１０５に対してエッチング速度の選択比を非常に大きくとれるため、図１９に模式的に示すようにＢＳＴ膜１０５に損傷を与えることなしに、空洞部に選択的にＣＶＤ酸化膜１１０を残すことができる。本実施例では、ＣＶＤ酸化膜１１０をドライエッチング法によって除去する方法について述べたが、上記参考例に示したようなウエット法を利用してもよい。その後、Ｐｔ上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、公知のリソグラフィ法によりキャパシタを形成する。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを可能とする。また、実効的な比誘電率も約３００と非常に大きい。

【００２７】
図２０及び図２１は、本発明の更に別の参考例を開示する。第１参考例と同様な方法でＢＳＴ膜１０５を形成し、減圧ＣＶＤ法を用いて約３００から５００℃の温度範囲で、例えば、テトライソプロポキシチタンＴｉ（ｉ－OC_3H_7）$_4$と酸素を反応させ、ＢＳＴ膜１０５の上にＣＶＤ－TiO_2膜１１１を堆積させる構造を図２０に示す。その結果、ほとんどTiO_2に近い組成のTiO_2膜１１１がＢＳＴ膜１０５の空洞を埋める形で形成される。このＣＶＤ－TiO_2膜１１１の膜厚相当分、ドライエッチング法により削り取る。この場合、ＣＶＤ－TiO_2膜１１１のエッチングガスとしては従来の酸化膜用のエッチングガス例えばCF_4／H_2混合ガス、CHF_3、CHF_3／SF_6／Ｈｅ等の混合ガスを用いればよい。これらの、エッチングガスを用いればＣＶＤ－TiO_2膜１１１のエッチングのＢＳＴ膜１０５に対して選択比を非常に大きくとれるため図２１に模式的に示すように空洞部に選択的にＣＶＤ－TiO_2膜１１１を残すことができる。その後、Ｐｔの上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、従来のリソグラフィ法によりキャパシタを形成する。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約３００と非常に大きい。

【００２８】
本参考例は、TiO_2膜１１１を形成する際ＣＶＤ法を用いて本参考例の概念を説明し

たが、その他、ゾルゲル法を用いてもよく、TiO_2膜の形成方法として、テトライソプロポキシチタンTi（i－OC_3H_7）$_4$等の有機金属を有機溶媒、メトキシエタノール（$CH_3OCH_2CH_2OH$）、酢酸（CH_3COOH）、或は、ブタノール（C_4H_9OH）等の有機溶媒を用いて希釈し前駆体を形成し、これをスピンコート法等でＢＳＴ膜の上に形成しても同様な効果が得られる。また、ここではＢＳＴ膜の空洞を埋めるためにTiO_2膜を利用したが、ZrO_2、ＨｆＯ、ＳｃＯ、Y_2O_3、V_2O_5及びNb_2O_5等を利用しても良い。例えば、ZrO_2膜を形成するために、Ｚｒ（OCH_3H_7）$_4$或はＺｒ（OCH_4H_9）$_4$等をＣＶＤ法やゾルゲル法でZrO_2膜を形成してＢＳＴ膜の空洞を埋めてもよい。

【００２９】

本発明の他の参考例を図２２及び図２３に示す。第１参考例と同様の方法でＢＳＴ膜１０５を形成し、その後、減圧ＣＶＤ法を用いて約４００から５００℃の温度範囲で、例えば、タンタルペントエトキシTa_2（i－OC_3H_7）$_5$と酸素を反応させ、ＢＳＴ膜１０５の上にＣＶＤ－Ta_2O_5膜１１２を堆積させる。図２２に、ほとんどTa_2O_5に近い組成のTa_2O_5膜１１２がＢＳＴ膜１０５の空洞を埋める形で形成される構造を示す。このTa_2O_5膜１１２の膜厚相当分、ドライエッチング法により削り取る。この場合、Ta_2O_5膜１１２のエッチングガスとしては従来の酸化膜用のエッチングガス例えばCF_4／H_2混合ガス、CHF_3、CHF_3／SF_6／Ｈｅ等の混合ガスを用いればよい。これらの、エッチングガスを用いればTa_2O_5膜１１２のエッチングのＢＳＴ膜１０５に対して選択比を非常に大きくとれるため図２３に模式的に示すように空洞部に選択的にTa_2O_5膜１１２を残すことができる。その後、Ｐｔ上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、従来のリソグラフィ法によりキャパシタを形成した。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約３００と非常に大きい。

【００３０】

本参考例においては、Ta_2O_5膜１１２を形成する際ＣＶＤ法を用いて本実施例の概念を説明したが、そのほか、スパッタ法を用いてもよい。通常はTa_2O_5膜のスパッタ形成は約１０％の酸素を含んだＡｒ中で行なえば、容易に実現できる。

【００３１】

次に、本発明の別の参考例を図２４及び図２５を参照して説明する。図２４に示すように、第１参考例と同様な方法でＢＳＴ膜１０５を形成し、その後、スパッタ法を用いて約４００から５００℃の温度範囲で、約１０％の酸素を含むアルゴンガス中で酸化ハフニウム酸化膜ＨｆＯ膜１１３を形成する。その結果ハフニウムＨｆＯ膜１１３がＢＳＴ膜１０５の空洞を埋める形で形成される構造を図２４に示す。このハフニウム酸化膜ＨｆＯ膜１１３の膜厚相当分、ドライエッチング法により削り取る。この場合、ハフニウム酸化膜１１３のエッチングガスとしては、公知の酸化膜用のエッチングガス例えばCF_4／H_2混合ガス、CHF_3、CHF_3／SF_6／Ｈｅ等の混合ガスを用いればよい。これらの、エッチングガスを用いればハフニウム酸化膜１１３のエッチング速度のＢＳＴ膜１０５に対して選択比を非常に大きくとれるため図２５に模式的に示すように空洞部に選択的にハフニウム酸化膜１１３を残すことができる。その後、Ｐｔ上部電極１０７をスパッタ法により約２００ｎｍ程形成してから、公知のリソグラフィ法によりキャパシタを形成した。この方法で形成したキャパシタの歩留りは非常に高く将来のＤＲＡＭ用キャパシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約３００と非常に大きい。

【００３２】

本参考例においては、ハフニウム酸化膜ＨｆＯ膜１１３を形成する際スパッタ法を用いて本参考例の概念を説明したが、そのほか、ＣＶＤ法やゾルゲル法を用いてもよい。

【００３３】

図２６及び図２７は、本発明の別の参考例を示す。約６５０℃で３０分程酸素雰囲気中で熱処理を行なうと、Ｐｔ膜１０４の下地の接着層Ｔｉ膜１０３（またはＴｉＮ）等からのＴｉがＰｔ膜粒界を通して拡散し、空洞を覆う形で析出し、酸素中で酸化されTiO_2

膜１１４が形成される。この現象は、透過型電子顕微鏡をよる分析によっても確認できる。更に、空洞のない部分のＢＳＴ膜１０５の結晶粒界をも覆う形で形成されている構造を示す。Ｐｔの上部電極１０７を形成して電気的特性を評価したところ、キャパシタの初期絶縁不良だけでなく、通常問題になる結晶粒界を通してのリーク電流も減少している。この場合、ＢＳＴ膜１０５の比誘電率は約３００であり、本参考例の実施による比誘電率の低下はない。

【００３４】

図２８及び図２９は、更に別の参考例を示す。これまでの参考例においては、強誘電体ＢＳＴ膜１０５の下部電極としてＰｔ膜１０４を利用したキャパシタの製造方法について説明したが、Ｐｔ膜は、ドライエッチングが非常に難しいことや、放射性不純物を含んでいてソフトエラーを引起こし易い等の問題で、ＵＬＳＩ製造工程に強誘電体薄膜を導入する際の一つの障害となっている。本参考例においては、このＰｔ膜１０４を用いないキャパシタの製造方法を説明する。図２８に、第１参考例と同様な方法でＢＳＴ膜１０５を直接接着層のＴｉＮ膜１１６の上に形成し、約６５０度Ｃで３０分程酸素雰囲気中で熱処理を行い、接着層ＴｉＮ膜１１６からのＴｉがＢＳＴ膜の結晶粒界を通して拡散し酸化され、空洞および結晶粒界を覆う形で析出し、TiO_2膜１１４および１１５が形成される構造を示す。図２９は、上記強誘電膜上に電極を形成した構造を示す。上記誘電膜に析出する現象は、透過型電子顕微鏡による分析によって確認できる。これにより、Ｐｔの上部電極１０７を形成して電気的特性を評価したところ、キャパシタの初期絶縁不良だけでなく、通常問題になる結晶粒界を通してのリーク電流も減少していることも分かった。この場合もＢＳＴ膜１０５の比誘電率は約１００に減少し、実施例６から１２までのＢＳＴ膜の比誘電率３００の約３分の１に減少した。これは、ＢＳＴ膜形成時の酸素プラズマによってＴｉＮ１１６の表面に極めて薄いTiO_2膜１１７が形成されたことによると考えられる。しかしながら、このＢＳＴ膜１０５の絶縁破壊耐圧は約３倍に増加する。従来、ＤＲＡＭ用キャパシタに用いられてきた酸化膜／窒化膜の比誘電率が４から７程度なので、本実施例による比誘電率１００は有効な範囲である。

【００３５】

上記参考例は、ＢＳＴ以外の強誘電体材料に関しても適用できることは言うまでもない。すなわち、本発明における強誘電体薄膜は、$SrTiO_3$、$BaTiO_3$、（Ｐｂ、Ｌａ）（Ｚｒ、Ｔｉ）O_3、Ｐｂ（Ｚｒ、Ｔｉ）O_3、$PbTiO_3$等を構成要素として含んでいても構わない。また、これらの膜の柱状結晶の成長を抑制するための挿入膜はこれら強誘電体を構成する元素またはその酸化物を含んでいても構わない。なお、本発明において強誘電体の薄膜の成長方法としてスパッタ法を例にとって説明したが、この成長方法としてＣＶＤ法、スピンコート塗付法を用いたゾルゲル法等を用いてもよい。特にゾルゲル法を用いて強誘電体薄膜を形成する場合は、通常非晶質の強誘電体を熱処理によって結晶化させる場合が多く本発明としての効果が著しい。

【００３６】

なお、以上の説明では主として本発明者によってなされた発明をその背景となるＤＲＡＭ用キャパシタ誘電膜に適用した場合について説明したが、これに限定されず、例えば、疑似ＳＲＡＭ用のキャパシタやワード線昇圧用コンデンサのキャパシタ等の半導体集積回路装置に適用することも可能である。

【００３７】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【００３８】

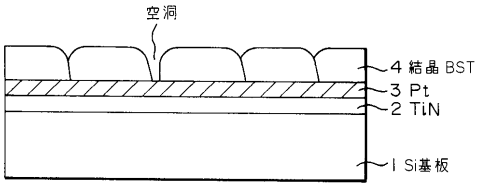
即ち、本発明においては、強誘電体薄膜を積層したり、強誘電体薄膜の形成後に結晶粒の間に発生する空洞部に絶縁層を埋め込むことによって、リーク電流が小さく歩留りが高い強誘電体薄膜を形成することが可能となる。

【図面の簡単な説明】

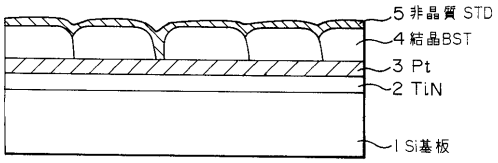
【図１】　本発明の第１の実施例である強誘電体キャパシタの製造工程の要部中間工程の断面図である。
【図２】　本発明の第１の実施例である強誘電体キャパシタの製造工程の要部断面図である。
【図３】　本発明の第２の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図４】　本発明の第２の実施例である強誘電体キャパシタの製造工程の中間工程の要部断面図である。
【図５】　本発明の第３の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図６】　本発明の第３の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図７】　本発明の第３の実施例である強誘電体キャパシタの製造工程の要部断面図である。
【図８】　本発明の第４の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図９】　本発明の第４の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図１０】　本発明の第５の実施例である強誘電体キャパシタの製造工程の要部断面図である。
【図１１】　本発明の第５の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。
【図１２】　本発明の第５の実施例である強誘電体キャパシタの製造工程の要部断面図である。
【図１３】　本発明の前提を説明するための強誘電体（ＢＳＴ）キャパシタ膜の断面である。
【図１４】　本発明の第１参考例である強誘電体（ＢＳＴ）キャパシタ膜の中間工程の断面である。
【図１５】　本発明の第１参考例である強強誘電体（ＢＳＴ）キャパシタの製造工程の要部断面図である。
【図１６】　本発明の第２参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図１７】　本発明の第２参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【図１８】　本発明の第３参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図１９】　本発明の第３参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【図２０】　本発明の第４参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図２１】　本発明の第４参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【図２２】　本発明の第５参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図２３】　本発明の第５参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【図２４】　本発明の第６参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図２５】　本発明の第６参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。

【図２６】　本発明の第７参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図２７】　本発明の第７参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【図２８】　本発明の第８参考例である強誘電体（ＢＳＴ）キャパシタの中間製造工程の断面図である。
【図２９】　本発明の第８参考例である強誘電体（ＢＳＴ）キャパシタの要部断面図である。
【符号の説明】
１　酸化したＳｉ基板
２　ＴｉＮ膜
３　Ｐｔ膜（下部電極）
４　結晶ＢＳＴ膜
５　非晶質ＳＴＯ膜
６　結晶ＰＺＴ膜
７　非晶質ＳＴＯ膜
８　非晶質ＢＳＴ膜
９　非晶質ＰＺＴ膜

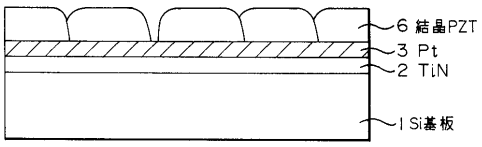
【図１】



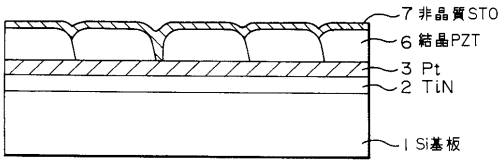
【図２】



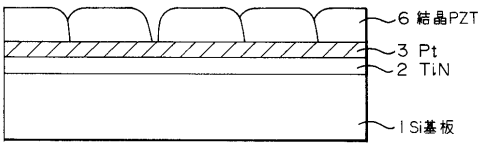
【図３】



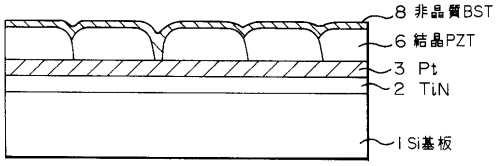
【図４】



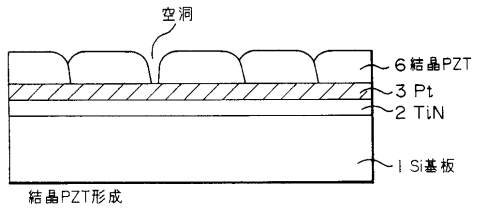
【図５】



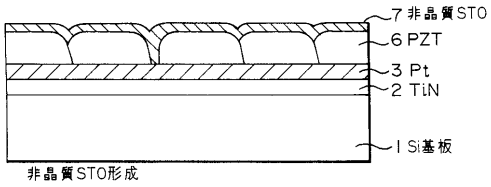
【図６】



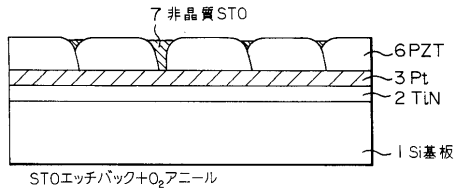
【図７】



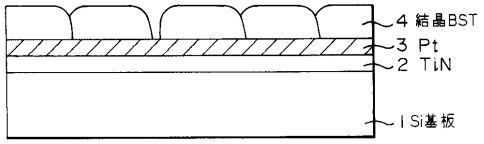
【図８】



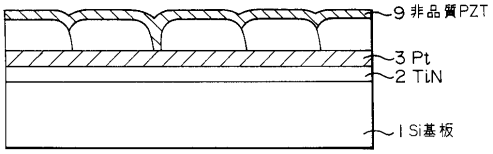
【図９】



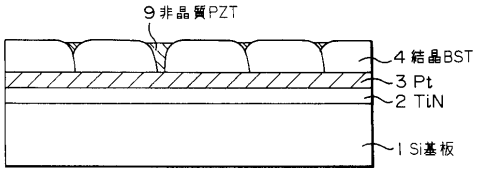
【図１０】



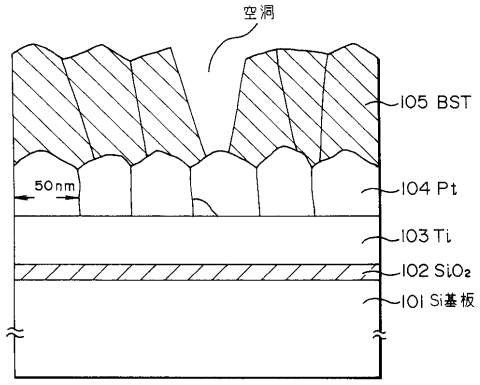
【図１１】



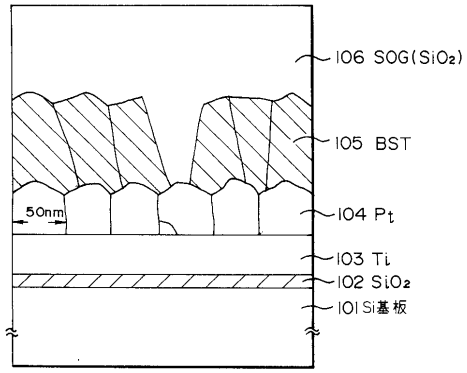
【図１２】



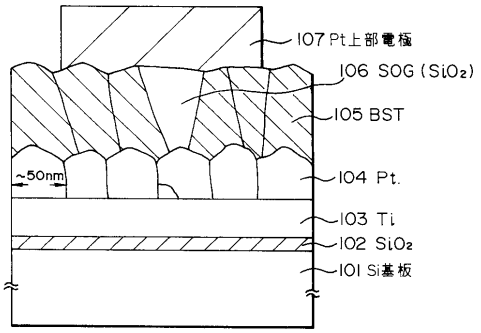
【図１３】



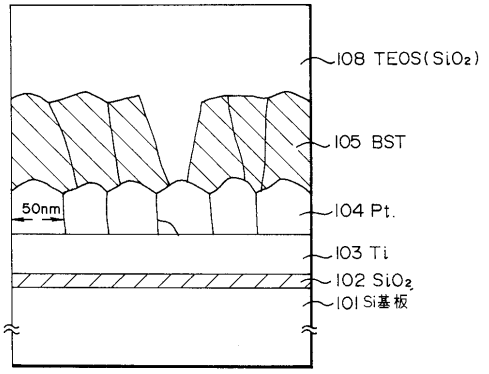
【図１４】



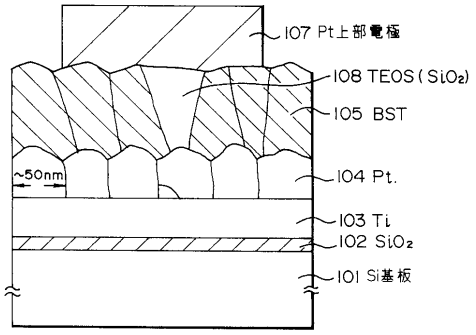
【図１５】



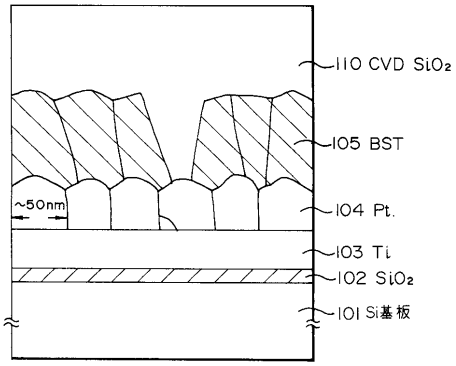
【図１６】



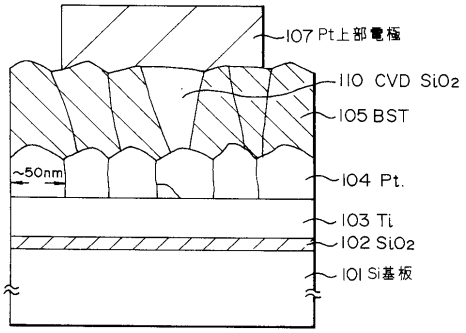
【図１７】



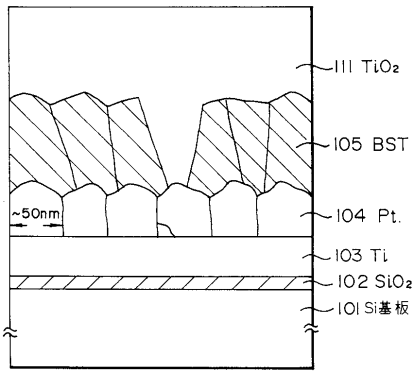
【図１８】



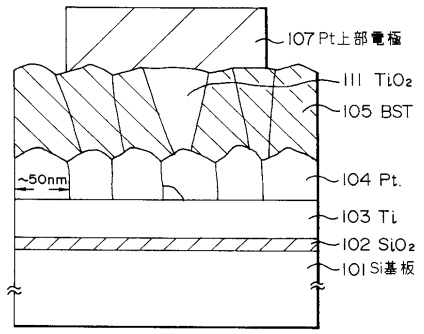
【図１９】



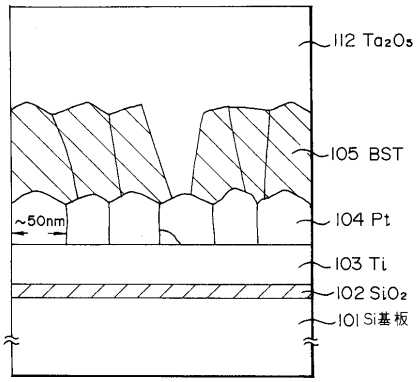
【図２０】



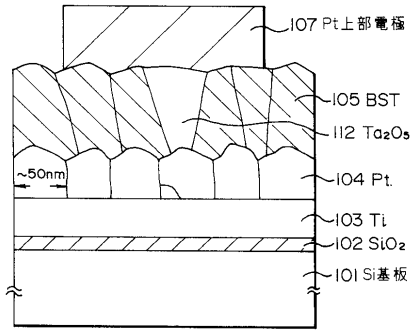
【図２１】



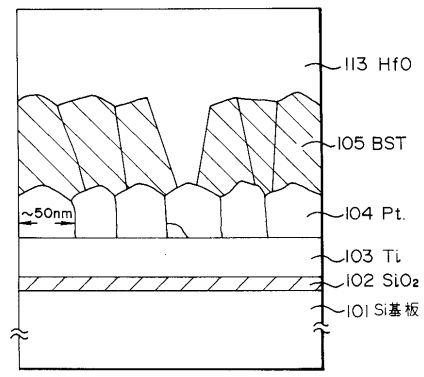
【図２２】



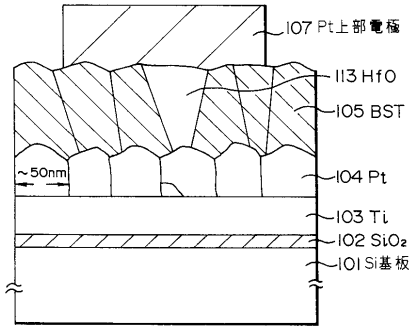
【図２３】



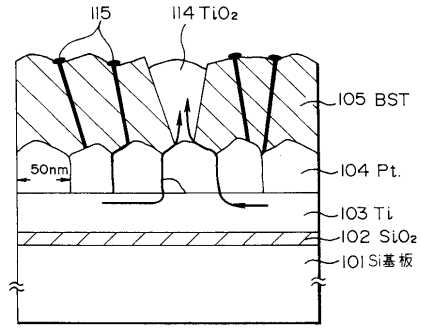
【図２４】



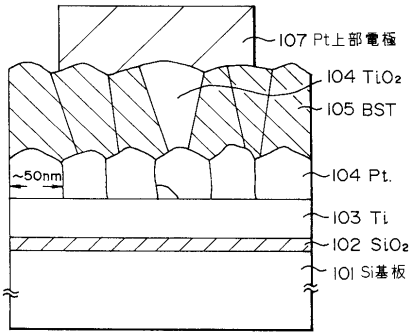
【図２５】



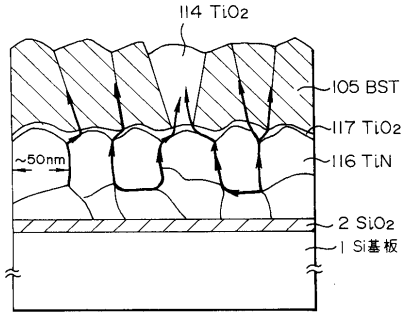
【図２６】



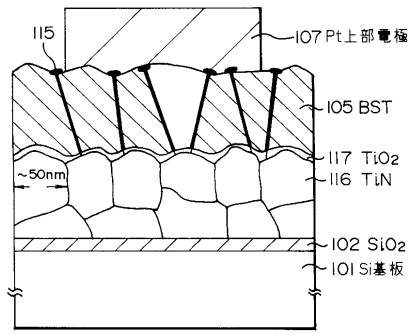
【図２７】



【図２８】



【図２９】



フロントページの続き

(72)発明者　西岡　泰城
茨城県つくば市御幸が丘１７番地　テキサス・インスツルメンツ筑波研究開発センター内

審査官　瀧内　健夫

(56)参考文献　特開昭４９－０８０５９８（ＪＰ，Ａ）
特開昭５７－１６７６６９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/822
H01L 21/8242
H01L 21/8246
H01L 27/04
H01L 27/105
H01L 27/108