(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월24일
(11) 등록번호 10-2559059
(24) 등록일자 2023년07월19일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H04L 7/00* (2006.01)
H04L 7/033 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/4902 (2013.01)
(21) 출원번호 10-2022-0085224
(22) 출원일자 2022년07월11일
심사청구일자 2022년07월11일
(56) 선행기술조사문헌
논문(Bongsub Song 외 3인, "A 0.18- m CMOS 10-Gb/s Dual-Mode 10-PAM Serial Link Transceiver" IEEETr. on Circuits and Sys., (2013.02.28.)) 1부.*
논문(Ching-Yuan Yang 외 1인, "A PWM and PAM Signaling Hybrid Technology for Serial-Link Transceivers" IEEE Tr. on Instr. and Meas., (2008.05.31.)) 1부.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초호반써밋)
김환웅
인천광역시 미추홀구 경인남길 134, 402호(용현동, 대우주택)
(74) 대리인
양성보

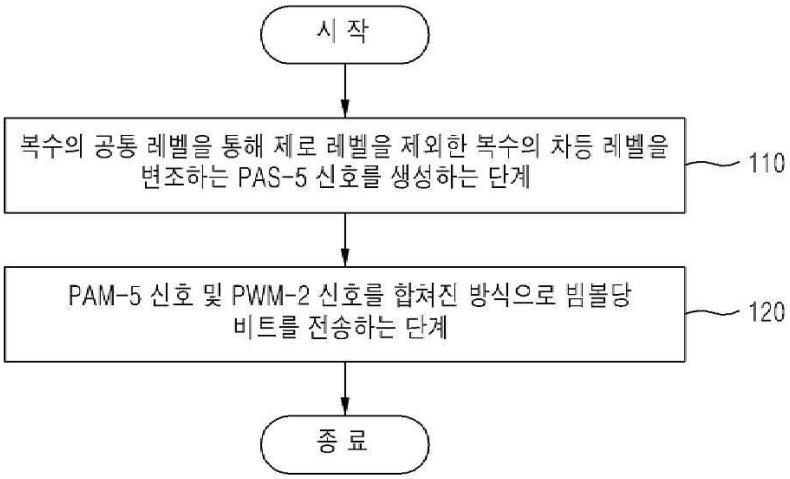
전체 청구항 수 : 총 6 항 심사관 : 황철규

(54) 발명의 명칭 **고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법**

(57) 요 약

고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법이 제시된다. 본 발명에서 제안하는 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법은 복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계 및 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식으로 심볼당 비트를 전송하는 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 7/0087 (2013.01)
H04L 7/033 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711133738
과제번호 2020M3H2A1076786
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 시스템반도체융합전문인력육성(R&D)
연구과제명 산학 밀착형 IoT 반도체 시스템 융합 인력육성 센터
기 여 율 1/2
과제수행기관명 성균관대학교
연구기간 2021.01.01 ~ 2021.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711152938
과제번호 2021-0-02052-002
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 대학ITRC센터육성지원사업(교육운영수익)
연구과제명 [Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및 인력 양성(2차년도)
기 여 율 1/2
과제수행기관명 인하대학교 산학협력단
연구기간 2022.01.01 ~ 2022.12.31

명 세 서

청구범위

청구항 1

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계; 및

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식으로 심볼당 비트를 전송하는 단계

를 포함하고,

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하는 단계는,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}와 상기 V_{cm0}의 차등 레벨은 상기 V_{cm1}의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

PWAM 시그널링 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 PWAM 시그널링의 차등 레벨이 5로 결정되고, 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써 전력 효율 및 SNR을 개선하는

PWAM 시그널링 방법.

청구항 4

제1항에 있어서,

상기 PWM-2 신호로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 생성되고, 수신기에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원하며, 송신기에서 CDR을 위한 인코더를 필요로 하지 않는

PWAM 시그널링 방법.

청구항 5

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하고, 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하고,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}와 상기 V_{cm0}의 차등 레벨은 상기 V_{cm1}의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

송신기.

청구항 6

제5항에 있어서,

직렬-병렬 컨버터(serial to parallel converter)에서 PLL(phase-locked loop)에 의해 생성된 다중-위상(multi-phase)을 입력 받아 직렬 데이터를 복수의 병렬 데이터로 변환하여 변조하는

송신기.

청구항 7

제5항에 있어서,

상기 PWM-2 신호로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 생성되고, 수신기에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원함으로써 상기 송신기는 CDR(clock and data recovery)을 위한 인코더를 필요로 하지 않는

송신기.

발명의 설명

기 술 분 야

[0001] 본 발명은 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 카메라 센서를 기반한 AI 딥러닝 자율주행 자동차 개발 및 데이터 센터 처리량 증가에 따라 고속 시리얼 링크(high-speed serial link)에 대한 수요가 급증하고 있다. 고속 시리얼 링크에서 가장 흔한 펄스 변조 기법(pulse modulation scheme)은 PAM-X이다. PAM-X는 차등 레벨(differential level) # (X)를 증가시키는 방식으로 심볼 레이트(symbol rate)를 감소시킨다. 하지만, 주어진 SNR 만족을 위해서는 신호(signal)의 풀 아웃풋 스윙(full output swing)이 증가하게 되며, 이는 송신기(transmitter)의 출력 드라이버 전력 소모가 증가하는 문제로 이어진다[1]. 전력 효율의 개선과 고속 데이터 전송을 위해 듀얼-모드(dual-mode) PAM-10 기법이 소개되었다. 이러한 기법은 공통 모드 변조(common mode modulation)를 통해 차등 레벨 # (X)를 감소시켜 송신기의 출력 드라이버 전력 소모를 줄인 것이 특징이며, PAM-16과 동일한 심볼 레이트를 보장한다[1]. 하지만, 여전히 많은 차등 레벨 # (X=10)로 인해 높은 공급 전원을 강요하며, 정적 드라이버(static driver)를 기반함에 따라 CMOS 로직을 기반한 PWM-X 대비 기술 스케일링(technology scaling)에 따른 전력 효율 개선이 낮다. 또 다른 펄스 변조 기법으로는 PWM-X가 있다. PWM-X 기법은 하강 에지(falling edge) # (X) 증가로 심볼 당 비트 수를 증가시킨다[2]. 또한, PWM 드라이버는 CMOS 로직 기반이므로 전력 소모가 낮고, 정적 드라이버를 기반하는 PAM-X 대비 기술 스케일링에 따른 전력 효율 개선이 효과적이다. 그러나, 하강 에지 # (X)의 증가는 최소 펄스 폭(minimal pulse width) 감소로 이어지며, 채널(channel)에 의한 ISI가 증가되는 문제를 유발한다. 한편, 핀-카운트(pin-count) 감소 및 간소화된 기법을 위해 PWAM 기법이 소개되었다[3]. 해당 기법은 4bit/s 펄스 변조 기법(pulse modulation scheme)(즉, PAM-16, dual-mode PAM-10) 대비, 적은 차등 레벨 # (X=5)로 인해 송신기 출력 드라이버의 전력 소모를 감소시킬 수 있다. 그러나, PAM-2에 의한 최소 펄스 폭을 T_b로 가정할 경우, PWM-4로 인해 최소 펄스 폭이 $\frac{8}{7}T_b$로 제한되기 때문에 고속 데이터 전송이 제약된다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 종래의 PWAM 대비 고속 데이터 전송 능력 및 전력 효율을 개선한 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법을 제안하고, 이를 적용한 송신기를 제공하는데 있다.

과제의 해결 수단

[0004] 일 측면에 있어서, 본 발명에서 제안하는 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법은 복수의

공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계 및 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식으로 심볼당 비트를 전송하는 단계를 포함한다.

[0005] 본 발명의 실시예에 따른 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체하여 부족한 최소 펄스 폭을 증가시키고, 상기 V_{cm2}와 상기 V_{cm0}의 차등 레벨은 상기 V_{cm1}의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정된다.

[0006] 본 발명의 실시예에 따른 PWAM 시그널링의 차등 레벨이 5로 결정되고, 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써 전력 효율 및 SNR을 개선할 수 있다.

[0007] 본 발명의 실시예에 따른 PWM-2 신호로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 생성되고, 수신기에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원하며, 송신기에서 CDR을 위한 인코더를 필요로 하지 않는다.

[0008] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법을 이용한 송신기는 복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하고, 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식으로 심볼당 비트를 전송한다.

[0009] 본 발명의 실시예에 따르면, 직렬-병렬 컨버터(serial to parallel converter)에서 PLL(phase-locked loop)에 의해 생성된 다중-위상(multi-phase)을 입력 받아 직렬 데이터를 복수의 병렬 데이터로 변환하여 변조한다.

[0010] 본 발명의 실시예에 따르면, PWM-2 신호로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 생성되고, 수신기에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원함으로써 상기 송신기는 CDR(clock and data recovery)을 위한 인코더를 필요로 하지 않는다.

발명의 효과

[0011] 본 발명의 실시예들에 따른 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법 및 이를 적용한 송신기를 제안하여 종래의 PWAM 대비 고속 데이터 전송 능력 및 전력 효율을 개선할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법을 설명하기 위한 흐름도이다.

도 2는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 포맷을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 새로운 PWAM의 파형을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 사용된 송신기의 블록도이다.

도 5는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 사용된 송신기의 정규화된 전력 소모를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 채널을 통과한 아이다이어그램을 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 복원된 클럭 및 복원된 데이터에 대한 아이다이어그램을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법을 설명하기 위한 흐름도이다.

[0016] 제안하는 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법은 복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계(110) 및 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식으로 심볼당 비트를 전송하는 단계(120)를 포함한다.

[0017] 본 발명의 실시예에 따르면, 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체하여 부족한 최소 펄스 폭을 증가시키고, 상기 V_{cm2}와 상기 V_{cm0}의 차등 레벨은 상기 V_{cm1}의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정된다.

[0018] 본 발명의 실시예에 따르면, 상기 PWAM 시그널링의 차등 레벨이 5로 결정되고, 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써 전력 효율 및 SNR을 개선할 수 있다.

[0019] 본 발명의 실시예에 따르면, 상기 PWM-2 신호로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 생성되고, 수신기에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원하며, 송신기에서 CDR을 위한 인코더를 필요로 하지 않는다. 도 2 및 도 3을 참조하여 본 발명의 실시예에 따른 고속 시리얼 인터페이스를 위한 새로운 PWAM 시그널링 방법을 더욱 상세히 설명한다.

[0021] 도 2는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 포맷을 설명하기 위한 도면이다.

[0022] 도 2(a)는 차등 모드(differential mode) 포맷을 나타내는 도면이고, 도 2(b)는 공통 모드(common mode) 포맷을 나타내는 도면이다.

[0023] PAM-X, PWM-X, 듀얼-모드(dual-mode) PAM-10, 기존의 PWAM은 고속 전송 또는 전력 효율 개선에 대한 제약이 발생한다. 그러므로, 본 발명에서는 고속 전송과 전력 효율 개선을 동시에 달성하기 위해 도 2와 같은 새로운 PWAM 시그널을 제안한다. 제안하는 새로운 PWAM 시그널은 듀얼-모드 PAM-5와 PWM-2가 합쳐진 방식으로 심볼(symbol) 당 4 비트를 전송한다.

[0025] 도 3은 본 발명의 일 실시예에 따른 새로운 PWAM의 파형을 나타내는 도면이다.

[0026] 도 3은 본 발명의 실시예에 따른 듀얼-모드 PAM-5 및 PWM-2의 파형을 나타내는 것으로, 도 3(a)는 V_{cm2} 에서의 차등 레벨을 나타내고, 도 3(b)는 V_{cm1} 에서의 차등 레벨을 나타내고, 도 3(c)는 V_{cm0} 에서의 차등 레벨을 나타낸다.

[0027] 도 3과 같이 듀얼-모드 PAM-5는 3개의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨(zero level)을 제외한 8개의 차등 레벨을 변조할 수 있으므로, 하나의 심볼 당 3 비트를 전송할 수 있다. 즉, 기존의 PWAM 시그널링(다시 말해, PAM-4 및 PWM-4)의 구성에서 듀얼-모드 PAM이 1 비트의 PWM을 대체할 수 있고, 이에 따라 부족한 최소 펄스 폭을 개선하게 된다. 그리고, 도 2(a)와 같이 V_{cm2}와 V_{cm0}의 차등 레벨은 V_{cm1}의 차등 레벨에 겹쳐지므로, 새로운 PWAM 시그널링의 차등 레벨 # (X)은 PWM-2를 위한 제로 레벨을 포함한 5로 결정된다.

[0028] 본 발명에서 제안하는 새로운 PWAM 시그널링에 대한 중요한 특징 및 앞서 언급한 다양한 펄스 변조 기법과의 비교는 다음과 같다.

[0029] 제안하는 새로운 PWAM 시그널링은 기존의 PWM-X 혹은 PWAM이 지닌 부족한 최소 펄스 폭을 1.5 T_b로 개선하며, 이에 따라 채널에 의한 ISI가 감소한다. 이는 듀얼-모드 PAM-5에 의한 심볼 레이트 감소 때문이며, 최소 펄스 폭(T_p)는 다음과 같은 요인에 의해 계산된다: PAM-2 대비, 클럭 주파수(clock frequency)는 2배 감소하고, 심볼 당 전송 비트 수 2배 증가하며, CLK-135에 의한 최소 펄스 폭 결정은 다음과 같다:

[0030] $$T_p = 2T_b \times 2 \times \frac{3}{8} = 1.5T_b$$

[0031] 제안하는 새로운 PWAM 시그널링은 PAM-16 및 듀얼-모드 PAM-10 대비 SNR이 증가한다. 이는 앞서 언급한 4bit/s 펄스 변조보다 적은 차등 레벨 # (X=5)를 필요로 하기 때문이다.

[0032] PAM-16 및 듀얼-모드 PAM-10 대비, 송신기 전력 소모가 감소하며 기술 스케일링에 의한 전력 효율을 더욱 개선할 수 있다. 이는 앞서 언급한 4bit/s 펄스 변조 기법 대비 적은 차등 레벨 # (X)와 CMOS 로직을 기반한 1bit PWM 드라이버로 PAM 드라이버가 전송하는 1 비트를 대체하였기에 가능하다.

[0033] 제안하는 PWM-2로 인해 심볼 마다 주기적인 링잉 에지(rising edge)가 나타나므로, 수신기(receiver)에서 CDR(clock and data recovery) 대신 PLL(phase-locked loop)로 클럭을 복원할 수 있다. 또한, 송신기에서 CDR을 위한 8B10B 인코더가 불필요하다.

[0034] 공통 모드보다 차등 모드가 BER에 더욱 주요하다. 공통 모드 최소 펄스 폭(common mode minimal pulse width)

은 4 T_b로 PAM-16과 동일하며, 이는 차등 모드 최소 펄스 폭(differential mode minimal pulse width) (=1.5T_b)보다 크다. 즉, 차등 모드와 공통 모드의 인접한 레벨 간 전압 차이가 같을 경우, 공통 모드의 ISI보다 차등 모드의 ISI가 더욱 크다. 그러므로, 로지 채널(lossy channel) 환경에서는 차등 모드에 의해 BER이 결정된다.

[0036] 도 4는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 사용된 송신기의 블록도이다.

[0037] 제안하는 새로운 PWAM 시그널링 기법이 사용된 송신기는 직렬-병렬 컨버터(serial to parallel converter)에서 Tx-PLL에 의해 생성된 다중-위상(multi-phase)을 입력 받아 직렬 데이터를 4개 병렬 데이터(Tx-bit0, Tx-bit1, Tx-bit2, Tx-bit3)로 변환하고 이를 변조한다.

[0038] 도 2(a)와 같이, 4개의 데이터 중 Tx-bit3만 PWM 신호 (Tx-PWM) 로 변조된다. 또한, 나머지 3개의 데이터는 Tx-PWM와 함께 PAM 인코더 및 CML 기반인 PAM 드라이버에 의해 제안하는 새로운 PWAM 신호로 변조된다. 수신기는 CLK 샘플러로 새로운 PWAM 신호에서 Rx-REF CLK을 추출한 뒤, 이를 Rx-PLL로 복원한다. 그 다음, 플래쉬 ADC에서 차등 모드 PAM, 공통 모드 PAM, PWM을 감지하며, 플래쉬 ADC의 출력은 디코더를 거쳐 Rx-bit0, Rx-bit1, Rx-bit2, Rx-bit3로 변환 및 복조된다.

[0040] 도 5는 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 사용된 송신기의 정규화된 전력 소모를 나타내는 도면이다.

[0041] 제안하는 새로운 PWAM 시그널링 기법의 전력 효율을 검증하기 위해, 10-Gb/s를 타겟으로 하는 송신기가 0.18-μm CMOS 공정에서 설계되었다. 또한, 검증을 위해 FR4 type인 315mm 채널이 사용되었고, PRBS31의 10-Gb/s 직렬 데이터와 250 MHz의 외부 기준 클럭(external reference clock)(REF CLK)이 인가되었다.

[0042] 도 5는 제안하는 새로운 PWAM 시그널링 기법이 사용된 송신기의 정규화된 전력 소모이며, 180nm CMOS 공정과 65nm CMOS 공정에서 시뮬레이션된 값이다. 정적 회로(Static circuit)인 PAM 드라이버는 고정된 출력 스윙에 따라 정적 전류(static current) 감소 없이 공급 전압(supply voltage)에 의해서만 전력 소모가 1.5배 감소하는 반면, PWM 드라이버를 포함한 다른 회로는 CMOS 로직으로 구성되기 때문에 전력 소모가 4배 이상 감소한다. 이는 정적 전류보다 CMOS 로직이 기술 스케일링에 따른 전력 소모 감소가 더 크다는 것을 의미하며, 기존의 4bit 펄스 변조 기법(예를 들어, PAM-16, dual-mode PAM-10)보다 제안하는 새로운 PWAM 시그널링 기법이 기술 스케일링에 따라 전력 효율을 더욱 향상시킬 수 있음을 암시한다.

[0044] 도 6은 본 발명의 일 실시예에 따른 새로운 PWAM 시그널링 기법이 채널을 통과한 아이다이어그램을 나타내는 도면이다.

[0045] 도 6은 제안하는 새로운 PWAM 시그널링 기법이 채널을 통과한 아이다이어그램으로, 도 6(a)는 차등 모드 아이다이어그램을 나타내고, 도 6(b)는 공통 모드 아이다이어그램을 나타낸다.

[0047] 도 7은 본 발명의 일 실시예에 따른 복원된 클럭 및 복원된 데이터에 대한 아이다이어그램을 나타내는 도면이다.

[0048] 3.34 GHz에서 6.08 dB의 채널 손실(channel loss)로 인해 PAM 윈도우에서 ΔV는 약 100 mV로 송신기에서의 ΔV= 200 mV 대비 2배 감소한다. 또한, 공통 모드의 경우, 1.25 GHz에서 2.72 dB의 채널 손실로 인해 ΔV는 약 124 mv이며, 이는 차등 모드의 ΔV보다 크므로 공통 모드보다 차등 모드가 BER에 주요함을 보여준다. Rx-PLL에 의해 복원된 클럭(Rx-CLK0)은 도 7(a)에 나타나며, 이에 대한 피크-투-피크 지터(peak to peak jitter)는 12.53 ps이다. 복원된 데이터에 대한 아이다이어그램은 도 7(b)에 나타난다. 4개의 수신기 데이터(Rx-bit0, Rx-bit1, Rx-bit2, Rx-bit3)중에 Rx-bit0의 아이다이어그램이며, 이에 대한 피크-투-피크 지터는 11.52 ps로 측정되었다. 제안하는 새로운 PWAM 시그널링 기법이 적용된 10-Gb/s 송신기의 전력 소모는 229 mW이다. 이는 듀얼 모드 PAM-10 대비 동일한 데이터 레이트 및 공정임에도 불구하고, 차등 레벨 # (X) 감소로 인해 전력 소모가 1.86배 감소되었고, 전력 효율이 1.86배 개선됨을 보여준다. 그리고, 28nm FDSOI 공정에서 PAM-16이 사용된 32Gb/s 송신기[4]와 전력 효율을 비교할 경우 다음과 같은 요인이 고려된다: 공급 전압의 1.8배 감소, 데이터 레이트의 3.2배 증가, 송신기에서 CML 드라이버가 아닌 SST(source-series-terminated) 드라이버 사용으로 인해 드라이버에서 필요한 전류의 4배 감소. 즉, 위에서 언급한 요인을 고려하고 180nm CMOS 공정에서 새로운 PWAM 시그널링 기법이 사용된 송신기의 전력 효율을 기반하여 상대적인 전력 효율을 추정할 경우 다음과 같다.

$$\text{power ef}_{\cdot\text{Tx.relative}} = \frac{1}{1.8}\cdot\frac{1}{3.2}\cdot\frac{1}{4}\cdot(13.4\ \text{pJ/bit}) \approx 0.58\ \text{pJbit}$$

$$\text{power ef}_{\cdot\text{Rx.relative}} = \frac{1}{1.8}\cdot\frac{1}{3.2}\cdot(9.5\ \text{pJ/bit}) \approx 1.65\ \text{pJbit}$$

[0049]

[0050] 또한, 위의 합으로 송신기의 상대적인 전력 효율을 구할 경우, 2.23 pJ/bit이다. 이는 28nm FDSOI 공정에서 PAM-16이 사용된 32Gb/s 송신기의 전력 효율인 2.38 pJ/bit와 크게 차이가 없어 보이나, 기술 스케일링에 따른 PWM-2의 전력 효율 개선을 고려할 경우, 송신기의 상대적인 전력 효율은 2.23 pJ/bit보다 작을 것이다. 그러므로, 동일한 조건에서 4bit/s 펄스 변조 기법(즉, PAM-16 및 듀얼-모드 PAM-10) 대비 새로운 PWAM 시그널링 기법의 전력 효율이 가장 낮음을 추론할 수 있다.

[0051] 본 발명의 실시예에 따르면, 기존의 PWAM이 지닌 고속 데이터 전송 능력과 전력 효율을 개선한 새로운 PWAM 시그널링 기법을 제시한다. 새로운 PWAM 시그널링 기법은 듀얼-모드 PAM-5와 PWM-2가 합쳐진 펄스 변조 기법으로, 기존의 PWAM이 지닌 부족한 최소 펄스 폭을 개선하여 고속 데이터 전송을 가능하게 한다. 또한, 기존의 4bit 펄스 변조(예를 들어, PAM-16, 듀얼-모드 PAM-10) 대비 차등 레벨 # (X)의 감소로 송신기의 전력 소모를 감소시킨다. 더불어, 기존의 PAM-X 대비, CMOS 로직을 기반한 1bit PWM 드라이버가 1bit PAM 드라이버를 대체함으로써 기술 스케일링에 따른 전력 효율 개선이 뛰어난 것을 보여준다.

[0053] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0054] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

[0056] <참고문헌>

[0057] [1] B. Song, K. Kim, J. Lee and J. Burm, "A 0.18 μm CMOS 10- Gb/s Dual-Mode 10-PAM Serial Link Transceiver," Circuits and Systems I, IEEE Transactions on, Vol.60, No.2, pp.457-468, Feb., 2013.

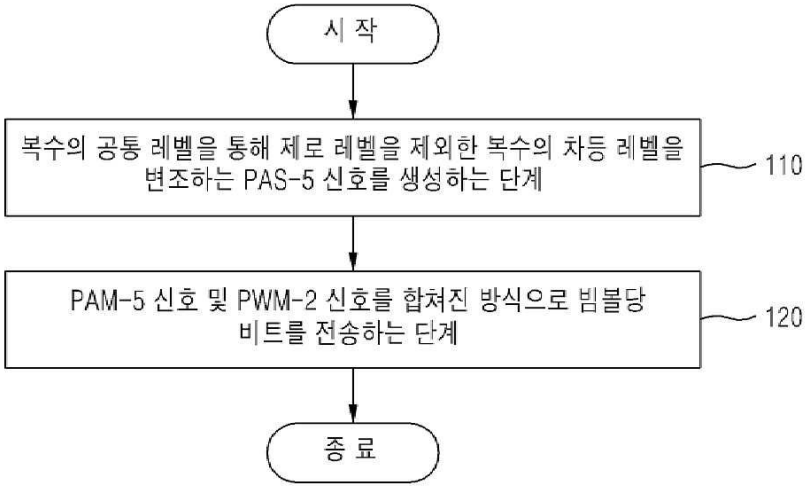
[0058] [2] W.-H. Chen, G.-K. Dehng, J.-W. Chen, and S.-I. Liu, "A CMOS 400-Mb/s serial link for AS-memory systems using a PWM scheme," Solid-State Circuits, IEEE Journal of, Vol.36, No.10, pp.1498-1505, Oct., 2001.

[0059] [3] C.-Y. Yang and Y. Lee, "A PWM and PAM Signaling Hybrid Technology for Serial-Link Transceivers," Instrumentation and Measurement, IEEE Transcations on, Vol.57, No.5, pp.1058-1070, May., 2008.

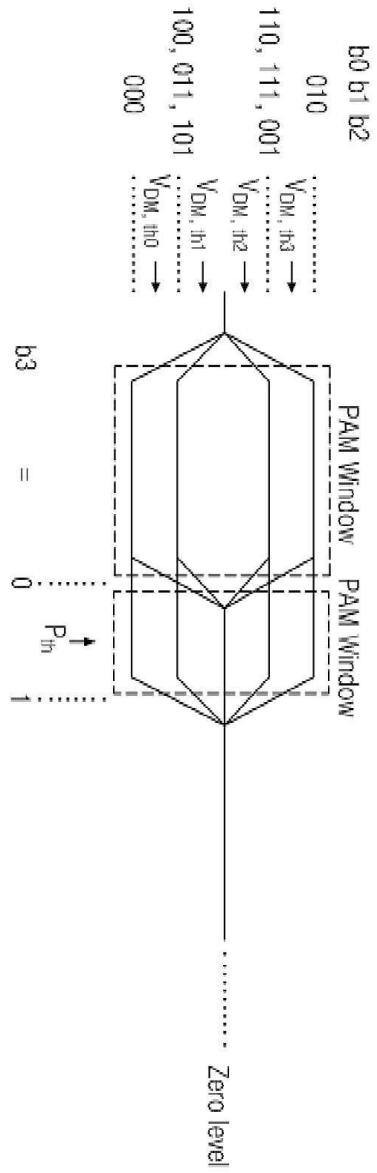
[0060] [4] F. Celik, A. Akkaya and Y. Leblebici, "A 32 Gb/s PAM-16 Tx and ADC-Based Rx AFE with 2-tap embedded analog FFE in 28 nm FDSOI," Microelectronics Journal, Vol.108, Aritcle 104967, Feb., 2021.

도면

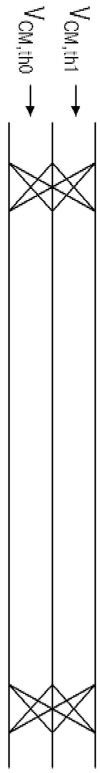
도면1


시 작
복수의 공통 레벨을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAS-5 신호를 생성하는 단계
110
PAM-5 신호 및 PWM-2 신호를 합쳐진 방식으로 빔볼당 비트를 전송하는 단계
120
종 료

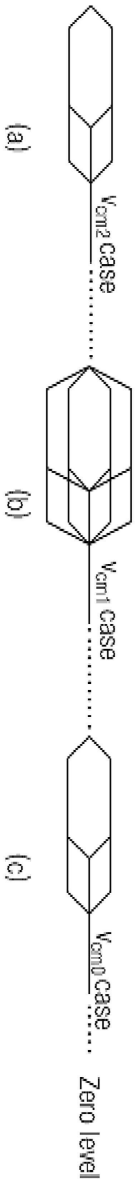
도면2a


b0 b1 b2
010
110, 111, 001
100, 011, 101
000
$V_{DM,th3}$
$V_{DM,th2}$
$V_{DM,th1}$
$V_{DM,th0}$
PAM Window
PAM Window
b3
=
0
1
P_{th}
Zero level

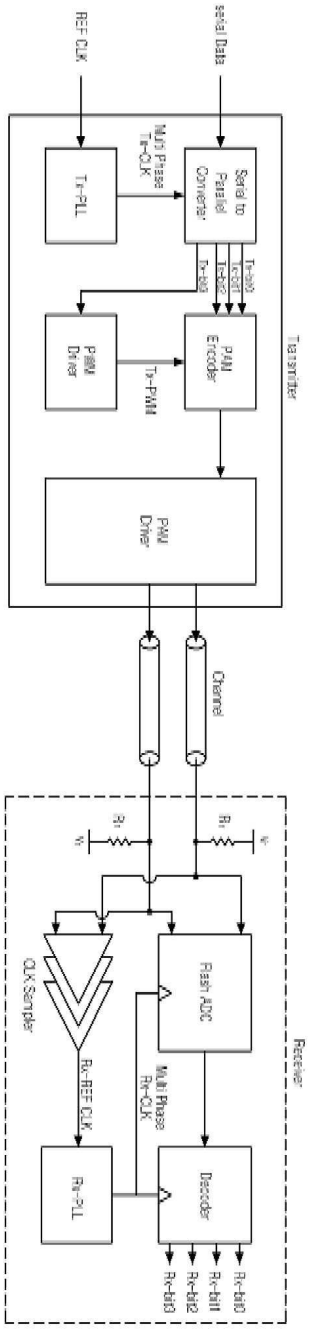
도면2b



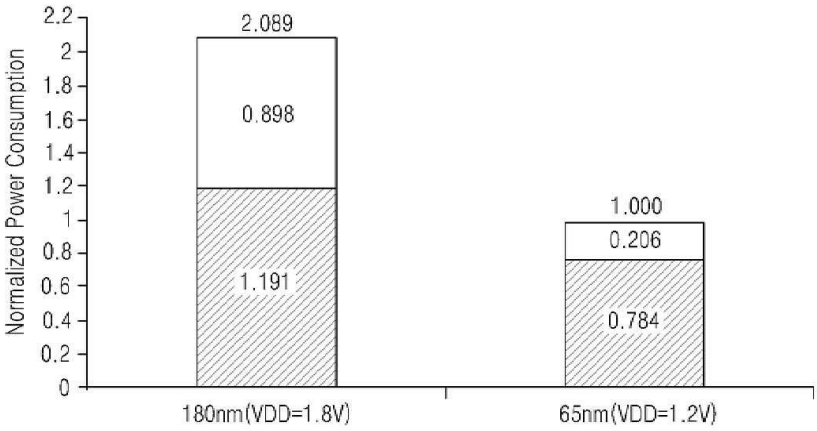
도면3



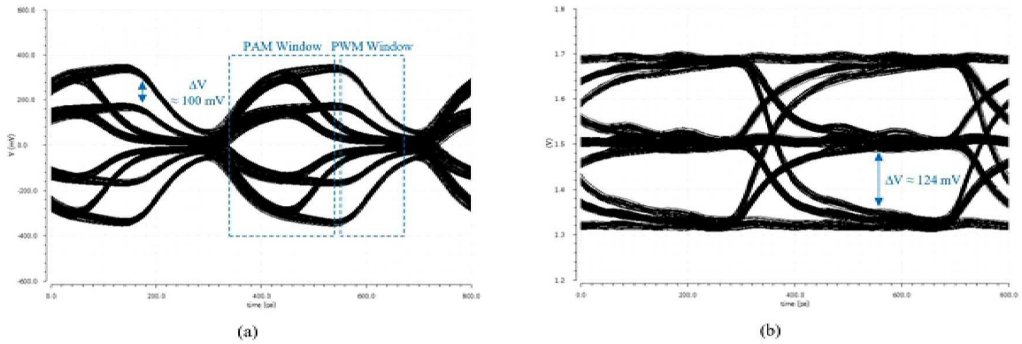
도면4


REF CLK
serial Data
Tx-PLL
Multi Phase Tx-CLK
Serial to Parallel Converter
Tx-bit0
Tx-bit1
Tx-bit2
Tx-bit3
PWM Driver
PWM Encoder
Tx-PWM
PWM Driver
Transmitter
Channel
R
R
CLK Sampler
Flash ADC
Rx-REF CLK
Multi Phase Rx-CLK
Rx-PLL
Decoder
Rx-bit3
Rx-bit2
Rx-bit1
Rx-bit0
Receiver

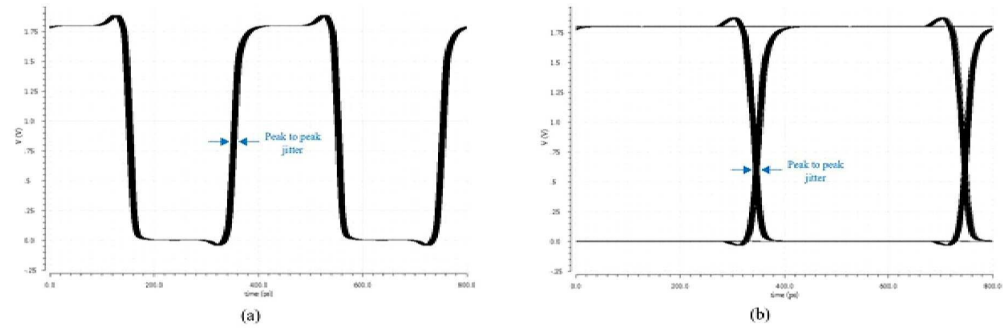
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0})을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계; 및

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식으로 심볼당 비트를 전송하는 단계

를 포함하고,

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하는 단계는,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 상기 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}

와 상기 V_{cm0}

의 차등 레벨은 상기 V_{cm1}

의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

PWAM 시그널링 방법.

【변경후】

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0}

)을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하는 단계; 및

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식으로 심볼당 비트를 전송하는 단계

를 포함하고,

상기 PAM-5 신호 및 PWM-2 신호가 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하는 단계는,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}

와 상기 V_{cm0}

의 차등 레벨은 상기 V_{cm1}

의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

PWAM 시그널링 방법.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0}

)을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하고, 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하고,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 상기 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}

와 상기 V_{cm0}

의 차등 레벨은 상기 V_{cm1}

의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

송신기.

【변경후】

복수의 공통 레벨(V_{cm2}, V_{cm1}, V_{cm0}

)을 통해 제로 레벨을 제외한 복수의 차등 레벨을 변조하는 PAM-5 신호를 생성하고, 상기 PAM-5 신호 및 PWM-2 신호를 합쳐진 방식의 PWAM 시그널링을 통해 심볼당 비트를 전송하고,

상기 PAM-5 신호는 듀얼-모드 PAM 드라이버를 통해 듀얼모드로 생성되고, PWAM 시그널링에서 상기 듀얼-모드 PAM 드라이버가 1 비트의 PWM 드라이버를 대체함으로써, 듀얼모드 PAM-5 신호 및 상기 PWM-2 신호에 의

한 심볼 레이트 감소로 인해 부족한 최소 펄스 폭을 증가시켜 채널에 의한 ISI가 감소되며, 상기 V_{cm2}

와 상기 V_{cm0}

의 차등 레벨은 상기 V_{cm1}

의 차등 레벨에 겹쳐짐으로써 PWAM 시그널링의 차등 레벨은 상기 PWM-2 신호를 위한 제로 레벨을 포함한 5로 결정되고, 클럭 주파수가 감소되고, 심볼 당 전송 비트 수가 증가하는

송신기.