

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-117905

(P2017-117905A)

(43) 公開日 平成29年6月29日 (2017.6.29)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/60 (2006.01)	HO 1 L 21/92 6 O 3 G	5 F O 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 T	5 F O 5 7
HO 1 L 21/768 (2006.01)	HO 1 L 21/304 6 2 2 J	5 F 1 3 1
HO 1 L 21/3205 (2006.01)	HO 1 L 21/92 6 O 2 K	
HO 1 L 21/304 (2006.01)	HO 1 L 21/68 N	

審査請求 未請求 請求項の数 20 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2015-250866 (P2015-250866)
 (22) 出願日 平成27年12月24日 (2015.12.24)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 太田 祐一
 群馬県高崎市西横手町111 ルネサスセミコンダクタパッケージ&テストソリューションズ株式会社内
 (72) 発明者 喜多 賢太郎
 茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社内

最終頁に続く

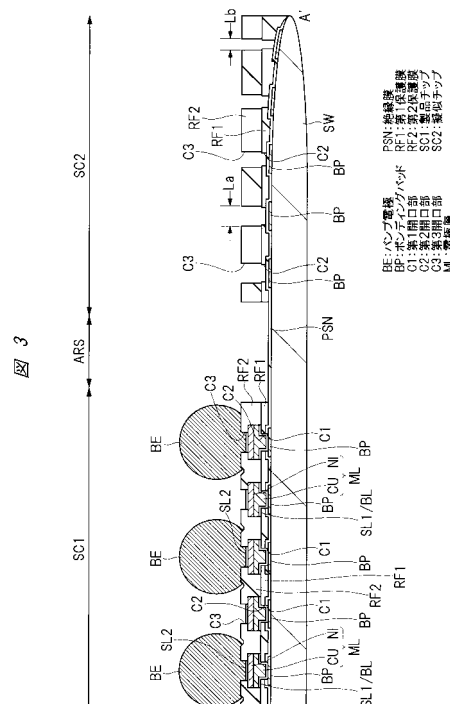
(54) 【発明の名称】 半導体装置の製造方法および半導体ウェハ

(57) 【要約】

【課題】半導体装置の製造歩留りを向上する。

【解決手段】複数のボンディングパッドBPを覆う絶縁膜PSNと、絶縁膜PSN上に形成された第1保護膜RF1と、第1保護膜RF1上に形成された第2保護膜RF2と、を備える。製品チップSC1では、絶縁膜PSNに形成された第1開口部C1および第1保護膜RF1に形成された第2開口部C2を介して、複数の電極層MLが複数のボンディングパッドBPとそれぞれ電氣的に接続し、第2保護膜RF2に形成された第3開口部C3を介して、複数のバンプ電極BEが複数の電極層MLとそれぞれ電氣的に接続する。擬似チップSC2では、第1保護膜RF1に形成された第2開口部C2と、第2保護膜RF2に形成された第3開口部C3と、を有し、第3開口部C3が重なる第2開口部C2の底面に絶縁膜PSNが露出する。そして、複数のバンプ電極BEを覆うように主面上に保護テープが貼り付けられる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

以下の工程を含む半導体装置の製造方法：

(a) 主面と、前記主面を取り囲む周縁と、前記主面に形成された半導体素子を備える複数の第 1 チップと、複数の前記第 1 チップを取り囲み、前記周縁に接する複数の第 2 チップと、を有し、複数の前記第 1 チップのそれぞれに複数のボンディングパッドが形成された半導体ウェハを準備する工程；

(b) 前記主面上に絶縁膜を形成する工程；

(c) 前記第 1 チップの前記絶縁膜に、複数の第 1 開口部を形成して、前記第 1 開口部の底面に前記ボンディングパッドを露出させる工程；

10

(d) 前記主面上に第 1 保護膜を形成する工程；

(e) 前記第 1 チップおよび前記第 2 チップの前記第 1 保護膜に、複数の第 2 開口部をそれぞれ形成して、前記第 1 チップでは、平面視において前記第 2 開口部と重なる前記第 1 開口部の底面に前記ボンディングパッドを露出させ、前記第 2 チップでは、前記第 2 開口部の底面に前記絶縁膜を露出させる工程；

(f) 前記第 1 開口部および前記第 2 開口部を介して、複数の前記ボンディングパッドとそれぞれ電氣的に接続する複数の電極層を形成する工程；

(g) 前記主面上に第 2 保護膜を形成する工程；

(h) 前記第 1 チップおよび前記第 2 チップの前記第 2 保護膜に、複数の第 3 開口部をそれぞれ形成して、前記第 1 チップでは、前記第 3 開口部の底面に前記電極層を露出させ、前記第 2 チップでは、平面視において前記第 3 開口部と重なる前記第 2 開口部の底面に前記絶縁膜を露出させる工程；

20

(i) 複数の前記電極層とそれぞれ電氣的に接続する複数の外部電極を形成する工程；

(j) 前記主面上に、複数の前記外部電極を覆う保護テープを貼り付ける工程。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記第 2 チップの前記周縁に最も近い位置にある前記第 3 開口部の開口面積は、前記第 1 チップの前記第 3 開口部の開口面積よりも小さい、半導体装置の製造方法。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、

前記第 2 チップの前記第 3 開口部のピッチは、前記第 1 チップの前記第 3 開口部のピッチと同じである、半導体装置の製造方法。

30

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、

前記第 2 チップには、前記外部電極を形成しない、半導体装置の製造方法。

【請求項 5】

請求項 1 記載の半導体装置の製造方法において、

互いに隣り合う前記第 1 チップ間、互いに隣り合う前記第 2 チップ間および互いに隣り合う前記第 1 チップと前記第 2 チップとの間は、スクライプ領域により隔てられており、前記スクライプ領域には、前記第 1 保護膜および前記第 2 保護膜は形成されていない、半導体装置の製造方法。

40

【請求項 6】

以下の工程を含む半導体装置の製造方法：

(a) 主面と、前記主面を取り囲む周縁と、前記主面に形成された半導体素子を備える複数の第 1 チップと、複数の前記第 1 チップを取り囲み、前記周縁に接する複数の第 2 チップと、を有し、複数の前記第 1 チップのそれぞれに複数のボンディングパッドが形成された半導体ウェハを準備する工程；

(b) 前記主面上に絶縁膜を形成する工程；

(c) 前記第 1 チップの前記絶縁膜に、複数の第 1 開口部を形成して、前記第 1 開口部の底面に前記ボンディングパッドを露出させる工程；

50

(d) 前記主面上に第 1 保護膜を形成する工程；

(e) 前記第 1 チップの前記第 1 保護膜に、複数の第 2 開口部を形成して、平面視において前記第 2 開口部と重なる前記第 1 開口部の底面に前記ボンディングパッドを露出させる工程；

(f) 前記第 1 開口部および前記第 2 開口部を介して、複数の前記ボンディングパッドとそれぞれ電氣的に接続する複数の電極層を形成する工程；

(g) 前記主面上に第 2 保護膜を形成する工程；

(h) 前記第 1 チップの前記第 2 保護膜に、複数の第 3 開口部を形成して、前記第 3 開口部の底面に前記電極層を露出させ、前記第 2 チップの前記第 1 保護膜および前記第 2 保護膜に、複数の第 4 開口部を形成して、前記第 4 開口部の底面に前記絶縁膜を露出させる工程；

10

(i) 複数の前記電極層とそれぞれ電氣的に接続する複数の外部電極を形成する工程；

(j) 前記主面上に、複数の前記外部電極を覆う保護テープを貼り付ける工程。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記第 4 開口部の平面視における形状は、円形状、楕円形状、四角形状またはストライプ形状である、半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、

前記第 2 チップには、前記外部電極を形成しない、半導体装置の製造方法。

20

【請求項 9】

請求項 6 記載の半導体装置の製造方法において、

互いに隣り合う前記第 1 チップ間、互いに隣り合う前記第 2 チップ間および互いに隣り合う前記第 1 チップと前記第 2 チップとの間は、スクライプ領域により隔てられており、前記スクライプ領域には、前記第 1 保護膜および前記第 2 保護膜は形成されていない、半導体装置の製造方法。

【請求項 10】

主面と、

前記主面を取り囲む周縁と、

前記主面に形成された半導体素子を備える複数の第 1 チップと、

30

複数の前記第 1 チップを取り囲み、前記周縁に接する複数の第 2 チップと、

複数の前記第 1 チップにそれぞれ形成された複数のボンディングパッドと、

前記複数のボンディングパッドを覆い、前記主面上に形成された絶縁膜と、

前記第 1 チップの前記絶縁膜に形成され、前記複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第 1 開口部と、

前記絶縁膜上に形成された第 1 保護膜と、

前記第 1 チップの前記第 1 保護膜に形成され、平面視において複数の前記第 1 開口部とそれぞれ重なり、前記複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第 2 開口部と、

前記第 2 チップの前記第 1 保護膜に形成され、前記絶縁膜を露出する複数の第 3 開口部と、

40

前記第 1 開口部および前記第 2 開口部を介して、前記複数のボンディングパッドとそれぞれ電氣的に接続する複数の電極層と、

前記複数の電極層を覆い、前記主面上に形成された第 2 保護膜と、

前記第 1 チップの前記第 2 保護膜に形成され、前記複数の電極層の上面の一部をそれぞれ露出する複数の第 4 開口部と、

前記第 2 チップの前記第 2 保護膜に形成され、平面視において複数の前記第 3 開口部とそれぞれ重なり、前記絶縁膜を露出する複数の第 5 開口部と、

前記第 4 開口部を介して、前記複数の電極層とそれぞれ電氣的に接続する複数の外部電極と、

50

複数の前記外部電極を覆い、前記主面上に貼り付けられた保護テープと、
を有する、半導体ウェハ。

【請求項 1 1】

請求項 1 0 記載の半導体ウェハにおいて、

前記第 2 チップの前記周辺に最も近い位置にある前記第 5 開口部の開口面積は、前記第 1 チップの前記第 4 開口部の開口面積よりも小さい、半導体ウェハ。

【請求項 1 2】

請求項 1 0 記載の半導体ウェハにおいて、

前記第 2 チップの前記第 5 開口部のピッチと、前記第 1 チップの前記第 4 開口部のピッチとは同じである、半導体ウェハ。

10

【請求項 1 3】

請求項 1 0 記載の半導体ウェハにおいて、

前記第 5 開口部の平面視における形状は、円形状、楕円形状、四角形状またはストライプ形状である、半導体ウェハ。

【請求項 1 4】

請求項 1 0 記載の半導体ウェハにおいて、

前記第 2 チップには、前記外部電極を有しない、半導体ウェハ。

【請求項 1 5】

請求項 1 0 記載の半導体ウェハにおいて、

前記第 2 チップでは、前記保護テープは、前記第 1 保護膜、前記第 2 保護膜および複数の前記第 3 開口部の底面にそれぞれ露出する前記絶縁膜と接する、半導体ウェハ。

20

【請求項 1 6】

請求項 1 0 記載の半導体ウェハにおいて、

互いに隣り合う前記第 1 チップ間、互いに隣り合う前記第 2 チップ間および互いに隣り合う前記第 1 チップと前記第 2 チップとの間は、スクライプ領域により隔てられており、前記スクライプ領域では、前記第 1 保護膜および前記第 2 保護膜が形成されておらず、前記保護テープとは、前記絶縁膜と接する、半導体ウェハ。

【請求項 1 7】

請求項 1 0 記載の半導体ウェハにおいて、

前記保護テープと前記絶縁膜との接着力が、前記保護テープと前記第 1 保護膜および前記第 2 保護膜との接着力よりも弱い、半導体ウェハ。

30

【請求項 1 8】

請求項 1 0 記載の半導体ウェハにおいて、

前記保護テープは、糊層と、ベース層と、前記糊層と前記ベース層との間に設けられた中間層とから構成され、

前記糊層および前記中間層は、前記ベース層よりも柔らかく、

前記糊層と前記中間層の合計の厚さが、前記外部電極の高さよりも厚い、半導体ウェハ

。

【請求項 1 9】

請求項 1 0 記載の半導体ウェハにおいて、

前記絶縁膜は、窒化シリコン膜、酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜との積層膜であり、前記第 1 保護膜および前記第 2 保護膜はポリイミド膜である、半導体ウェハ。

40

【請求項 2 0】

請求項 1 0 記載の半導体ウェハにおいて、

平面視における前記第 3 開口部の開口面積と、前記第 5 開口部の開口面積とが同じである、半導体ウェハ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本発明は半導体装置の製造方法および半導体ウェハに関し、例えば半導体ウェハの主面に複数のパンプ電極を備える半導体装置の製造に好適に利用できるものである。

【背景技術】

【0002】

ウェハの外周部から数mmの領域にパッシベーション膜を残しつつ、スクライブライン上のパッシベーション膜を除去することにより、スクライブラインと保護テープの隙間をウェハの外周部に達するまでに閉じる技術が特開2007-36129号公報(特許文献1)に記載されている。

【0003】

また、製品にはならない不完全な擬似チップが形成される擬似チップ領域に、製品チップ領域に形成される部材のパターンと同一のパターンの部材を形成することにより、CMP(Chemical Mechanical Polishing)工程における研磨膜の残膜厚の均一性を向上する技術が特開平11-45868号公報(特許文献2)に記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-36129号公報

【特許文献2】特開平11-45868号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

現在、半導体ウェハに形成された複数の半導体チップのそれぞれに、半導体集積回路の最上層配線と電氣的に接続する複数のパンプ電極を形成した後、半導体ウェハの裏面を研削する方法が採用されている。しかし、この研削工程では、複数のパンプ電極を覆うように半導体ウェハの主面上に保護テープを貼り付ける必要がある。このため、研削工程において水の侵入を防止するために半導体ウェハの主面の外周部に形成された感光性ポリイミドからなる壁(例えば前記特許文献1参照)に、保護テープが強く貼り付いて剥がし難くなる、または保護テープを剥離した後に、保護テープの糊がパンプ電極の表面に残り、導通不良の原因になる、などの問題がある。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態による半導体装置の製造方法は、以下の工程を含む。主面と、主面を取り囲む周縁と、主面に形成された半導体素子を備える複数の製品チップと、複数の製品チップを取り囲み、周縁に接する複数の擬似チップと、を有し、複数の製品チップのそれぞれに複数のボンディングパッドが形成された半導体ウェハを準備する工程。主面上に絶縁膜を形成した後、製品チップの絶縁膜に複数の第1開口部を形成して、第1開口部の底面に複数のボンディングパッドを露出させる工程。主面上に第1保護膜を形成した後、製品チップおよび擬似チップの第1保護膜に、複数の第2開口部をそれぞれ形成して、製品チップでは、平面視において第2開口部と重なる第1開口部の底面にボンディングパッドを露出させ、擬似チップでは、第2開口部の底面に絶縁膜を露出させる工程。第1開口部および第2開口部を介して、複数のボンディングパッドとそれぞれ電氣的に接続する複数の電極層を形成する工程。主面上に第2保護膜を形成した後、製品チップおよび擬似チップの第2保護膜に、複数の第3開口部をそれぞれ形成して、製品チップでは、第3開口部の底面に電極層を露出させ、擬似チップでは、平面視において第3開口部と重なる第2開口部の底面に絶縁膜を露出させる工程。複数の電極層とそれぞれ電氣的に接続する複数のパンプ電極を形成する工程。主面上に、複数のパンプ電極を覆う保護テープを貼り付ける工程。

【 0 0 0 8 】

また、一実施の形態による半導体ウェハは、主面と、主面を取り囲む周縁と、主面に形成された半導体素子を備える複数の製品チップと、複数の製品チップを取り囲み、周縁に接する複数の擬似チップと、複数の製品チップにそれぞれ形成された複数のボンディングパッドと、を有する。さらに、複数のボンディングパッドを覆い、主面上に形成された絶縁膜と、製品チップの絶縁膜に形成され、複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第1開口部と、絶縁膜上に形成された第1保護膜と、を有する。さらに、製品チップの第1保護膜に形成され、平面視において複数の第1開口部とそれぞれ重なり、複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第2開口部と、擬似チップの第1保護膜に形成され、絶縁膜を露出する複数の第3開口部と、を有する。さらに、第1開口部および第2開口部を介して、複数のボンディングパッドとそれぞれ電氣的に接続する複数の電極層と、複数の電極層を覆い、主面上に形成された第2保護膜と、を有する。さらに、製品チップの第2保護膜に形成され、複数の電極層の上面の一部をそれぞれ露出する複数の第4開口部と、擬似チップの第2保護膜に形成され、平面視において複数の第3開口部とそれぞれ重なり、絶縁膜を露出する複数の第5開口部と、を有する。さらに、第4開口部を介して、複数の電極層とそれぞれ電氣的に接続する複数の外部電極と、複数の外部電極を覆い、主面上に貼り付けられた保護テープと、を有する。

10

【 発明の効果 】

【 0 0 0 9 】

一実施の形態によれば、半導体装置の製造歩留りを向上することができる。

20

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 一実施の形態による複数の半導体チップが形成された半導体ウェハの主面上の状態を示す上面図である。

【 図 2 】 図 1 の A 領域を拡大して示す上面図である。

【 図 3 】 図 2 の A - A ' 線に沿った断面図である。

【 図 4 】 本発明者らが比較検討した複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 図 5 】 一実施の形態による半導体装置の製造工程を示す断面図である。

【 図 6 】 図 5 に続く、半導体装置の製造工程を示す断面図である。

30

【 図 7 】 図 6 に続く、半導体装置の製造工程を示す断面図である。

【 図 8 】 図 7 に続く、半導体装置の製造工程を示す断面図である。

【 図 9 】 図 8 に続く、半導体装置の製造工程を示す断面図である。

【 図 1 0 】 図 9 に続く、半導体装置の製造工程を示す断面図である。

【 図 1 1 】 図 1 0 に続く、半導体装置の製造工程を示す断面図である。

【 図 1 2 】 図 1 1 に続く、半導体装置の製造工程を示す断面図である。

【 図 1 3 】 一実施の形態の第 1 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 図 1 4 】 一実施の形態の第 2 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

40

【 図 1 5 】 一実施の形態の第 3 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 図 1 6 】 一実施の形態の第 4 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 図 1 7 】 一実施の形態の第 5 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なも

50

のではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0012】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0013】

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0014】

また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また、以下の実施の形態を説明するための図面において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。

【0016】

以下、本実施の形態を図面に基づいて詳細に説明する。

【0017】

（実施の形態）

複数の半導体チップが形成された半導体ウェハ

本実施の形態による複数の半導体チップが形成された半導体ウェハについて、図1～図4を用いて説明する。図1は、本実施の形態による複数の半導体チップが形成された半導体ウェハの主面上の状態を示す上面図である。図2は、図1のA領域を拡大して示す上面図である。図3は、図2のA-A'線に沿った断面図である。図4は、本発明者らが比較検討した複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【0018】

図1および図2に示すように、半導体ウェハSWの主面（第1主面、表面）には、格子状のスクライプ領域（スクライプライン、スペーシング）ARSによって区画された複数の半導体チップSCが形成されている。スクライプ領域ARSの幅は、例えば90～110μm程度である。そして、半導体チップSCには、半導体集積回路装置が形成された製品チップSC1と、半導体ウェハSWの外周領域に半導体ウェハSWの周縁と接して位置し、製品チップSC1にはならない不完全な擬似チップ（図1では、網掛けのハッチングで示す半導体チップSC）SC2とが形成されている。

【0019】

図3に示すように、製品チップSC1および擬似チップSC2には、半導体集積回路装置の最上層配線からなるボンディングパッドBPが形成されている。ボンディングパッドBPは絶縁膜PSNにより覆われているが、製品チップSC1には、ボンディングパッドBPの上面が露出する第1開口部C1が、第1のピッチで絶縁膜PSNに形成されている。絶縁膜PSNは、例えば窒化シリコン膜、酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜との積層膜からなる。

【0020】

一方、擬似チップSC2では、ボンディングパッドBPが絶縁膜PSNによって覆われている。

10

20

30

40

50

【0021】

さらに、絶縁膜 P S N の上層に感光性ポリイミドからなる第 1 保護膜 R F 1 が形成されている。製品チップ S C 1 には、平面視において第 1 開口部 C 1 と重なる第 2 開口部 C 2 が、第 1 のピッチで第 1 保護膜 R F 1 に形成されている。従って、この第 2 開口部 C 2 が重なる第 1 開口部 C 1 の底面において、ボンディングパッド B P の上面が露出する。同様に、擬似チップ S C 2 にも、第 2 開口部 C 2 が、第 1 のピッチで第 1 保護膜 R F 1 に形成されている。

【0022】

但し、擬似チップ S C 2 に形成された第 2 開口部 C 2 の開口面積は、製品チップ S C 1 に形成された第 2 開口部 C 2 の開口面積よりも小さくなる場合がある。特に、半導体ウェハ S W の周縁に近づくに従って、擬似チップ S C 2 に形成された第 2 開口部 C 2 の開口面積は小さくなる傾向があり、周縁に最も近い位置にある第 2 開口部 C 2 の開口面積が最も小さくなる。

10

【0023】

さらに、製品チップ S C 1 には、第 1 開口部 C 1 および第 2 開口部 C 2 を通じて、電極層 (U B M (Under Bump Metal)) M L がボンディングパッド B P と電氣的に接続されている。電極層 M L は、例えば下層を C u (銅) めっき膜からなる第 1 金属膜 C U とし、上層を N i (ニッケル) めっき膜からなる第 2 金属膜 N I とする積層膜からなる。ボンディングパッド B P と電極層 M L との間には、例えば下層を T i N (窒化チタン) からなるバリア層 B L とし、上層を C u (銅) からなるシード層 S L 1 とする積層膜が形成されている。

20

【0024】

一方、擬似チップ S C 2 には、第 2 開口部 C 2 は形成されてはいるが、バリア層 B L 、シード層 S L 1 および電極層 M L は形成されていない。

【0025】

さらに、電極層 M L の上層に感光性ポリイミドからなる第 2 保護膜 R F 2 が形成されている。製品チップ S C 1 には、平面視において第 2 開口部 C 2 と重なる第 3 開口部 C 3 が、第 1 のピッチで第 2 保護膜 R F 2 に形成されている。従って、この第 3 開口部 C 3 によって、電極層 M L の上面が露出する。同様に、擬似チップ S C 2 にも、平面視において第 2 開口部 C 2 と重なる第 3 開口部 C 3 が、第 1 のピッチで第 2 保護膜 R F 2 に形成されている。従って、この第 3 開口部 C 3 が重なる第 2 開口部 C 2 の底面において、絶縁膜 P S N が露出する。

30

【0026】

但し、擬似チップ S C 2 に形成された第 3 開口部 C 3 の開口面積は、製品チップ S C 1 に形成された第 3 開口部 C 3 の開口面積よりも小さくなる場合がある。特に、半導体ウェハ S W の周縁に近づくに従って、擬似チップ S C 2 に形成された第 3 開口部 C 3 の開口面積は小さくなる傾向があり、周縁に最も近い位置にある第 3 開口部 C 3 の開口面積が最も小さくなる。例えば第 3 開口部 C 3 が円柱形状であれば、周縁に最も近い位置にある第 3 開口部 C 3 の径 (L b) は、他の第 3 開口部 C 3 の径 (L a) よりも小さくなる。

【0027】

また、スクライプ領域 A R S では、第 1 保護膜 R F 1 および第 2 保護膜 R F 2 が除去されて、絶縁膜 P S N が露出している。

40

【0028】

さらに、製品チップ S C 1 には、第 3 開口部 C 3 を通じて、パンプ電極 B E が電極層 M L と電氣的に接続されている。パンプ電極 B E は外部接続用電極であり、例えば P b (鉛) フリー半田などが用いられる。パンプ電極 B E の直径は、例えば 60 ~ 100 μ m 程度である。電極層 M L とパンプ電極 B E との間には、例えば A u (金) から成るシード層 S L 2 が形成されている。

【0029】

一方、擬似チップ S C 2 には、第 3 開口部 C 3 は形成されているが、シード層 S L 2 お

50

よびパンプ電極 B E は形成されていない。従って、擬似チップ S C 2 では、第 1 保護膜 R F 1 と第 2 保護膜 R F 2 とが積層された領域と、第 1 保護膜 R F 1 および第 2 保護膜 R F 2 が形成されずに、絶縁膜 P S N が露出した領域とが存在することになる。

【 0 0 3 0 】

後述する半導体装置の製造方法において詳細に説明するが、半導体ウェハ S W の裏面（第 2 主面）を研削する際には、半導体ウェハ S W の主面上に保護テープを貼り付ける。保護テープを構成する糊層は感光性ポリイミドからなる第 2 保護膜 R F 2 との密着力は強いが、絶縁膜 P S N との密着力は弱いという性質を有している。

【 0 0 3 1 】

このため、図 4 に示すように、半導体ウェハ S W の外周の全領域に感光性ポリイミドからなる壁 W A を形成した場合は、保護テープと感光性ポリイミドとの密着力が強いため、保護テープが半導体ウェハ S W の主面上から剥がし難いという問題がある。

【 0 0 3 2 】

しかし、本実施の形態では、半導体ウェハ S W の外周領域に位置する擬似チップ S C 2 に、感光性ポリイミドからなる第 1 保護膜 R F 1 と第 2 保護膜 R F 2 とが積層された領域と、この積層膜を形成せずに絶縁膜 P S N が露出した領域とを設けている。これにより、半導体ウェハ S W の外周の全領域に感光性ポリイミドからなる壁 W A を形成した場合と比べると、半導体ウェハ S W の主面上に貼り付けた保護テープは剥がし易くなる。

【 0 0 3 3 】

さらに、前述したように、半導体ウェハ S W の周縁に近づくに従って、擬似チップ S C 2 に形成された第 3 開口部 C 3 の開口面積は小さくなる傾向があり、周縁に最も近い位置にある第 3 開口部 C 3 の開口面積が最も小さくなる。開口面積の小さい第 3 開口部 C 3 が配置された領域は、開口面積の大きい第 3 開口部 C 3 が配置された領域より、保護テープと半導体ウェハ S W との密着性が高くなることから、保護テープを貼り付けた半導体ウェハ S W を搬送するときに、半導体ウェハ S W の外周部の保護テープの剥がれを防止することができる。一方、保護テープを剥離するときには、密着性が高いのは半導体ウェハ S W の外周部のみであるため、保護テープを容易に剥離することができる。

【 0 0 3 4 】

なお、半導体ウェハ S W の外周領域まで、スクライプ領域 A R S を形成するため、半導体ウェハ S W の裏面を研削する際に供給される研削水が、半導体ウェハ S W の主面上に侵入することが懸念される。しかし、後述する半導体装置の製造方法において詳細に説明するが、例えば 200 μ m 程度の厚さの柔らかい層を有する保護テープを用いることにより、スクライプ領域 A R S の段差にも保護テープを埋め込むことができるので、半導体ウェハ S W の主面上への研削水の侵入を防止することができる。

【 0 0 3 5 】

半導体装置の製造方法

本実施の形態による半導体装置の製造方法について、図 5 ~ 図 1 2 を用いて工程順に説明する。図 5 ~ 図 1 2 は、本実施の形態による半導体装置の製造工程を示す断面図である。

【 0 0 3 6 】

図 5 は、半導体ウェハの製品チップ領域の半導体チップに形成される半導体デバイスおよび多層配線を示す断面図であり、半導体デバイスとして C M O S F E T (Complementary Metal Oxide Semiconductor Field Effect Transistor) を例示する。C M O S F E T を構成する p チャネル型 M O S F E T を p M O S と略し、n チャネル型 M O S F E T を n M O S と略す。

【 0 0 3 7 】

図 6 ~ 図 1 0 は、半導体デバイスおよび多層配線を省略し、多層配線の最上配線より上層の構造を示す断面図である。図 1 1 および図 1 2 は、半導体ウェハの主面上への保護テープの貼り付けを説明する断面図である。また、図 6 ~ 図 1 0 に示す符号 A R 1 は、製品チップが形成される製品チップ領域、符号 A R 2 は、擬似チップが形成される擬似チップ

10

20

30

40

50

領域、符号 A R S は、スクライプ領域である。

【 0 0 3 8 】

まず、図 5 に示すように、シリコン単結晶からなる半導体ウェハ（円形の薄い板状）S W を準備する。続いて、半導体ウェハ S W の素子分離領域に絶縁膜からなる分離部 S P を形成した後、半導体ウェハ S W に p 型の導電性を示す不純物をイオン注入して p 型ウェル P W を形成し、同様に、n 型の導電性を示す不純物をイオン注入して n 型ウェル N W を形成する。

【 0 0 3 9 】

次に、半導体ウェハ S W の主面にゲート絶縁膜 G I を形成した後、n M O S のゲート電極 G E n および p M O S のゲート電極 G E p を形成し、さらにゲート電極 G E n , G E p の側壁にサイドウォール W S を形成する。

10

【 0 0 4 0 】

続いて、ゲート電極 G E n の両側の p 型ウェル P W に n 型の導電性を示す不純物をイオン注入し、n M O S のソース・ドレインとして機能する n 型半導体領域 S R n をゲート電極 G E n およびサイドウォール W S に対して自己整合的に形成する。同様に、ゲート電極 G E p の両側の n 型ウェル N W に p 型の導電性を示す不純物をイオン注入し、p M O S のソース・ドレインとして機能する p 型半導体領域 S R p をゲート電極 G E p およびサイドウォール W S に対して自己整合的に形成する。

【 0 0 4 1 】

次に、半導体ウェハ S W の第 1 主面上に絶縁膜 I L を形成した後、レジストパターンをマスクとしたエッチングにより絶縁膜 I L を加工して接続孔 C N を形成する。この接続孔 C N は n 型半導体領域 S R n 上または p 型半導体領域 S R p 上などの必要部分に形成する。続いて、接続孔 C N の内部に、例えば W（タングステン）を主導体とするプラグ P L を形成した後、プラグ P L に接続する第 1 層目の配線 M 1 を形成する。第 1 層目の配線 M 1 は、例えば C u（銅）を主導体とし、例えばシングルダマシン法により形成される。

20

【 0 0 4 2 】

さらに、上層の第 2 層目の配線 M 2 から第 6 層目の配線 M 6 を形成する。第 6 層目の配線 M 6 は、製品チップ領域 A R 1 および擬似チップ領域 A R 2 に形成され、ボンディングパッド B P として機能する配線層である。

【 0 0 4 3 】

第 2 層目の配線 M 2 から第 5 層目の配線 M 5 は、例えば C u（銅）を主導体とし、例えばデュエルダマシン法により形成される。第 6 層目の配線 M 6 は、例えば A l（アルミニウム）を主導体とし、半導体ウェハ S W 上に堆積された A l（アルミニウム）膜を、レジストパターンをマスクとしたエッチングにより加工することにより形成される。第 6 層目の配線 M 6 の厚さは、例えば 1 μ m 程度である。なお、本実施の形態では、第 6 層目の配線 M 6 は A l（アルミニウム）を主導体とするとしたが、C u（銅）を主導体とすることもできる。また、配線の層数を 6 層としたが、層数はこれに限定されるものではない。

30

【 0 0 4 4 】

次に、図 6 に示すように、第 6 層目の配線 M 6 を覆うように、T E O S（Tetra Ethyl Ortho Silicate； $S i（O C_2 H_5）_4$ ）とオゾン（ O_3 ）とをソースガスに用いたプラズマ C V D（Chemical Vapor Deposition）法により T E O S 膜 P T を形成する。続いて、T E O S 膜 P T 上にプラズマ C V D 法により窒化シリコン膜 P N を形成する。これら T E O S 膜 P T および窒化シリコン膜 P N は、外部からの水分や不純物の侵入防止および線の透過の抑制を行う絶縁膜 P S N として機能する。

40

【 0 0 4 5 】

次に、レジストパターンをマスクとしたエッチングにより、窒化シリコン膜 P N および T E O S 膜 P T を順次加工して、製品チップ領域 A R 1 に形成された第 6 層目の配線 M 6 からなるボンディングパッド B P の上面を露出させる第 1 開口部 C 1 を形成する。

【 0 0 4 6 】

次に、図 7 に示すように、半導体ウェハ S W の主面上に第 1 保護膜 R F 1、例えばボジ

50

型の感光性ポリイミドを塗布する。続いて、製品チップ領域 A R 1 および擬似チップ領域 A R 2 の第 1 保護膜 R F 1 を露光し、現像することによって、製品チップ領域 A R 1 の半導体チップ毎に、同一のピッチで複数の第 2 開口部 C 2 を第 1 保護膜 R F 1 に形成する。第 2 開口部 C 2 が第 1 開口部 C 1 と重なることにより、第 1 開口部 C 1 の底面にボンディングパッド B P の上面が露出する。

【 0 0 4 7 】

さらに、同工程で、擬似チップ領域 A R 2 の半導体チップ毎に、同一のピッチで複数の第 2 開口部 C 2 を第 1 保護膜 R F 1 に形成する。

【 0 0 4 8 】

ここで、製品チップ領域 A R 1 に形成される第 2 開口部 C 2 と、擬似チップ領域 A R 2 に形成される第 2 開口部 C 2 とは、同じ露光マスクを用いて形成されることから、製品チップ領域 A R 1 の第 2 開口部 C 2 のピッチと、擬似チップ領域 A R 2 の第 2 開口部 C 2 のピッチとは同じになる。

10

【 0 0 4 9 】

但し、半導体ウェハ S W の外周領域では、半導体ウェハ S W の厚さが半導体ウェハ S W の周縁に向かうに従って漸減するので（前述の図 3 参照）、露光マスクと半導体ウェハ S W の外周領域に塗布された第 1 絶縁膜 R F 1 の上面との距離が、露光マスクと製品チップ領域 A R 1 に塗布された第 1 絶縁膜 R F 1 の上面との距離よりも遠くなる。

【 0 0 5 0 】

このため、擬似チップ領域 A R 2 に形成された第 2 開口部 C 2 の開口面積は、製品チップ領域 A R 1 に形成された第 2 開口部 C 2 の開口面積よりも小さくなる。特に、半導体ウェハ S W の周縁に近づくに従って、擬似チップ領域 A R 2 に形成された第 2 開口部 C 2 の開口面積は小さくなる傾向があり、周縁に最も近い位置にある第 2 開口部 C 2 の開口面積が最も小さくなる。

20

【 0 0 5 1 】

次に、図 8 に示すように、第 1 開口部 C 1 および第 2 開口部 C 2 の内壁を含む第 1 保護膜 R F 1 上に、例えば T i N（窒化チタン）からなるバリア層 B L を形成した後、C V D 法またはスパッタリング法によりバリア層 B L 上に C u（銅）のシード層 S L 1 を形成する。

【 0 0 5 2 】

次に、製品チップ領域 A R 1 において第 2 開口部 C 2 に重なり、第 2 開口部 C 2 より大きめの開口を有するレジストパターン（図示は省略）を形成した後、シード層 S L 1 上に第 1 金属膜 C U を形成する。第 1 金属膜 C U は、例えば電解めっき法により形成される C u（銅）めっき膜であり、半田の拡散を抑制するバリアメタルとして機能する他に、接触電気抵抗が低い、シート抵抗が低いなどの性質を有し、その厚さは、例えば 5 μ m 程度である。さらに、第 1 金属膜 C U 上に第 2 金属膜 N I を形成する。第 2 金属膜 N I は、例えば電解めっき法により形成される N i（ニッケル）めっき膜であり、半田の拡散を抑制するバリアメタルとして機能する他に、半田の濡れ性が良いなどの性質を有し、その厚さは、例えば 3 μ m 程度である。

30

【 0 0 5 3 】

続いて、上記レジストパターンを除去した後、露出しているシード層 S L 1 およびバリア層 B L を除去する。これにより、製品チップ領域 A R 1 に、第 1 開口部 C 1 および第 2 開口部 C 2 を通じて、ボンディングパッド B P と電氣的に接続する、第 1 金属膜 C U と第 2 金属膜 N I との積層膜からなる電極層 M L を形成する。

40

【 0 0 5 4 】

次に、図 9 に示すように、電極層 M L を覆うように、半導体ウェハ S W の主面上に第 2 保護膜 R F 2、例えばポジ型の感光性ポリイミドを塗布する。第 1 保護膜 R F 1 および第 2 保護膜 R F 2 の合計の厚さは、例えば 8 ~ 1 0 μ m 程度である。続いて、製品チップ領域 A R 1 および擬似チップ領域 A R 2 の第 2 保護膜 R F 2 を露光し、現像することによって、製品チップ領域 A R 1 の半導体チップ毎に、同一のピッチで複数の第 3 開口部 C 3 を

50

第2保護膜RF2に形成する。これにより、第3開口部C3の底面に電極層MLの上面が露出する。

【0055】

さらに、同工程で、擬似チップ領域AR2の半導体チップ毎に、同一のピッチで複数の第3開口部C3を第2保護膜RF2に形成する。擬似チップ領域AR2では、第3開口部C3が第2開口部C2と重なることにより、第2開口部C2の底面に絶縁膜PSN（窒化シリコン膜PN）が露出する。

【0056】

さらに、同工程で、スクライブ領域ARSの第1保護膜RF1および第2保護膜RF2を除去することにより、スクライブ領域ARSの絶縁膜PSN（窒化シリコン膜PN）が露出する。

10

【0057】

ここで、製品チップ領域AR1に形成される第3開口部C3と、擬似チップ領域AR2に形成される第3開口部C3とは、同じ露光マスクを用いて形成されることから、製品チップ領域AR1の第3開口部C3のピッチと、擬似チップ領域AR2の第3開口部C3のピッチとは同じになる。

【0058】

但し、前述の第2開口部C2と同様に、半導体ウェハSWの外周領域では、半導体ウェハSWの厚さが半導体ウェハSWの周縁に向かうに従って漸減するので（前述の図3参照）、露光マスクと半導体ウェハSWの外周領域に塗布された第2絶縁膜RF2の上面との距離が、露光マスクと製品チップ領域AR1に塗布された第2絶縁膜RF2の上面との距離よりも遠くなる。

20

【0059】

このため、擬似チップ領域AR2に形成された第3開口部C3の開口面積は、製品チップ領域AR1に形成された第3開口部C3の開口面積よりも小さくなる。特に、半導体ウェハSWの周縁に近づくに従って、擬似チップ領域AR2に形成された第3開口部C3の開口面積は小さくなる傾向があり、周縁に最も近い位置にある第3開口部C3の開口面積が最も小さくなる。

【0060】

次に、図10に示すように、露出した電極層ML上にAu（金）のシード層SL2を形成した後、電極層ML上にシード層SL2を介してバンプ電極BEを形成する。バンプ電極BEは外部接続用電極であり、例えばPb（鉛）フリー半田などが用いられる。バンプ電極BEの直径は、例えば60～100μm程度である。

30

【0061】

バンプ電極BEは、例えば印刷法、めっき法またはボール法などにより形成することができる。印刷法では、電極層ML上にシード層SL2を介して半田ペーストをマスク印刷した後、リフロー処理により半田ペーストを球形に成形して、電極層MLと電氣的に接続させる。めっき法では、電極層ML上にシード層SL2を介してめっきにより半田層を形成した後、フラックスを塗布し、続いてリフロー処理およびフラックス残渣の除去洗浄により半田層を球形に成形して、電極層MLと電氣的に接続させる。ボール法では、電極層ML上にフラックスをマスク印刷した後、フラックス上に半田ボールを搭載し、続いてリフロー処理およびフラックス残渣の除去洗浄により半田ボールを電極層MLと電氣的に接続させる。

40

【0062】

次に、図11に示すように、半導体ウェハSWの裏面を研削する際に、複数のバンプ電極BEを覆うように半導体ウェハSWの主面上に貼り付ける保護テープPRを準備する。保護テープPRは、ベース層PR1と、糊層PR3と、ベース層PR1と糊層PR3との間に設けられた中間層PR2とから構成される。中間層PR2および糊層PR3は、ベース層PR1よりも柔らかく、バンプ電極BEを包み込み、半導体ウェハSWの主面上の段差への埋め込み性がよい。ベース層PR1の厚さは、例えば120μm程度であり、中間

50

層 P R 2 の厚さは、例えば 2 0 0 μ m 程度であり、糊層 P R 3 の厚さは、例えば 5 μ m 程度である。

【 0 0 6 3 】

また、糊層 P R 3 の粘着力は、例えば 9 . 8 N / 2 5 m m 程度であり、糊層 P R 3 は、感光性ポリイミドからなる第 2 保護膜 R F 2 との密着力は強いが、酸化シリコンまたは窒化シリコンからなる絶縁膜 P S N との密着力は弱いという性質を有している。

【 0 0 6 4 】

次に、図 1 2 に示すように、半導体ウェハ S W の主面上に保護テープ P R を貼り付ける。中間層 P R 2 および糊層 P R 3 は、半導体ウェハ S W の主面上の段差への埋め込み性が良いことから、パンプ電極 B E を中間層 P R 2 および糊層 P R 3 によって包み込むことができる。さらに、擬似チップ領域 A R 2 の第 1 保護膜 R F 1 に形成された第 2 開口部 C 2 および第 2 保護膜 R F 2 に形成された第 3 開口部 C 3 の内部、並びにスクライブ領域 A R S を中間層 P R 2 および糊層 P R 3 によって埋め込むことができる。

10

【 0 0 6 5 】

次に、半導体ウェハ S W に研削水を供給しながら、半導体ウェハ S W の裏面を研削する。前述したように、擬似チップ領域 A R 2 の第 1 保護膜 R F 1 に形成された第 2 開口部 C 2 および第 2 保護膜 R F 2 に形成された第 3 開口部 C 3 の内部、並びにスクライブ領域 A R S を保護テープ P R によって埋め込むことができるので、製品チップ領域 A R 1 への研削水の侵入を防止することができる。

【 0 0 6 6 】

次に、半導体ウェハ S W の主面上から保護テープ P R を剥がす。前述したように、糊層 P R 3 は、感光性ポリイミドからなる第 2 保護膜 R F 2 との密着力は強いが、酸化シリコンまたは窒化シリコンからなる絶縁膜 P S N との密着力は弱いという性質を有している。従って、本実施の形態では、擬似チップ領域 A R 2 の全領域に第 2 保護膜 R F 2 を形成せず、一部領域に絶縁膜 P S N の露出面を形成したことにより、半導体ウェハ S W の外周領域に感光性ポリイミドからなる壁を形成した場合（前述の図 4 参照）に比べて、半導体ウェハ S W の主面上に貼り付けた保護テープ P R は剥がし易くなる。

20

【 0 0 6 7 】

その後、スクライブ領域 A R S を切断して、半導体ウェハ S W から半導体チップに個々に切り分けられ、半導体装置が完成するが、その説明は省略する。

30

【 0 0 6 8 】

変形例

本実施の形態の変形例による複数の半導体チップが形成された半導体ウェハについて図 1 3 ~ 図 1 6 を用いて説明する。図 1 3、図 1 4、図 1 5 および図 1 6 はそれぞれ、本実施の形態の第 1、第 2、第 3 および第 4 変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【 0 0 6 9 】

前述の図 2 に示した擬似チップ S C 2 では、第 1 保護膜 R F 1 および第 2 保護膜 R F 2 にそれぞれ形成された第 2 開口部 C 2 および第 3 開口部 C 3 の平面視における形状を円形状としたが、これに限定されるものではない。

40

【 0 0 7 0 】

例えば図 1 3 に示す第 1 変形例のように、擬似チップ S C 2 の第 1 保護膜および第 2 保護膜に形成される複数の第 4 開口部 C 4 の平面視における形状は四角形状であってもよい。

【 0 0 7 1 】

また、例えば図 1 4 に示す第 2 変形例のように、擬似チップ S C 2 の第 1 保護膜および第 2 保護膜に形成される複数の第 4 開口部 C 4 の平面視における形状は楕円形状であってもよい。

【 0 0 7 2 】

また、例えば図 1 5 に示す第 3 変形例のように、擬似チップ S C 2 の第 1 保護膜および

50

第2保護膜に形成される複数の第4開口部C4の平面視における形状はストライプ形状であってもよい。

【0073】

また、例えば図16に示す第4変形例のように、擬似チップSC2の第1保護膜および第2保護膜に形成される複数の第4開口部C4の平面視における形状は互いに直径の異なる円形状であってもよい。なお、図16に示す第4変形例では、擬似チップSC2の中央領域に位置する第4開口部C4の径を他の領域に位置する第4開口部C4の径よりも大きくしたが、これに限定されるものではない。例えば中央部に第1径の第4開口部を配置し、その外側に第1径よりも大きい第2径の第4開口部を配置し、さらに、その外側に第1径の第4開口部を配置し、さらに、その外側に第2径の第4開口部を配置するなど、第4開口部を任意に形成することができる。

10

【0074】

第4開口部C4の底面には、窒化シリコン、酸化シリコン、または窒化シリコンと酸化シリコンとの積層膜からなる絶縁膜が露出している。

【0075】

前述したように、感光性ポリイミドと保護テープとの接着力は強いが、窒化シリコンまたは酸化シリコンからなる絶縁膜と保護テープとの接着力は弱い。従って、所望する絶縁膜の露出面積が得られることができれば、第4開口部C4の平面視における形状は、いかなる形状であってもよい。

【0076】

また、前述の図2に示した擬似チップSC2では、第1保護膜RF1に第2開口部C2を形成する露光、現像と、第2保護膜RF2に第3開口部C3を形成する露光、現像とを互いに異なる工程において行ったが、第1、第2、第3および第4変形例では、一度の露光、現像により、擬似チップSC2の第1保護膜と第2保護膜との積層膜に第4開口部C4を形成することができる。

20

【0077】

なお、第1、第2、第3および第4変形例では、製品チップ領域SC1の第2保護膜に第3開口部C3を形成する際に用いる露光マスクと、擬似チップ領域SC2の第1保護膜および第2保護膜に第4開口部C4を形成する際に用いる露光マスクの2枚の露光マスクが必要となる。しかし、露光マスクを別々とすることによって、擬似チップ領域SC2に形成される第4開口部C4の数および形状などを、製品チップ領域SC1に形成される第3開口部C3の数および形状などに係わらず、任意に決めることができるので、保護テープの接着力および剥がし易さの調整がより容易となる。

30

【0078】

本実施の形態の他の変形例による複数の半導体チップが形成された半導体ウェハについて図17を用いて説明する。図17は、本実施の形態の第5変形例による複数の半導体チップが形成された半導体ウェハの一部の主面上の状態を拡大して示す上面図である。

【0079】

前述の図1に示した半導体ウェハSWでは、半導体ウェハSWの外周領域に、製品チップSC1にはならない不完全な擬似チップSC2を形成した。

40

【0080】

第5変形例では、図17に示すように、擬似チップSC2が形成されておらず、半導体ウェハSWの外周領域に第1保護膜と第2保護膜との積層膜からなる壁WAが形成されている。壁WAはの幅(W)は、例えば半導体ウェハSWの周縁から2mm程度である。そして、この外周領域に形成された壁WAを構成する第1保護膜および第2保護膜にそれぞれ、第5開口部C5が形成されている。

【0081】

第5開口部C5の底面に、窒化シリコン、酸化シリコン、または窒化シリコンと酸化シリコンとの積層膜からなる絶縁膜が露出している。

【0082】

50

前述したように、感光性ポリイミドと保護テープとの密着力は強いが、窒化シリコンまたは酸化シリコンからなる絶縁膜と保護テープとの密着力は弱い。従って、半導体ウェハSWの外周領域に、複数の第5開口部を有する感光性ポリイミドからなる壁WAを形成することにより、感光性ポリイミドと保護テープとの貼り付けの強さを弱くすることができるので、半導体ウェハSWの主面上から保護テープを剥がし易くなる。

【0083】

また、前述の図2に示した擬似チップSC2では、第1保護膜RF1に第2開口部C2を形成する露光、現像と、第2保護膜RF2に第3開口部C3を形成する露光、現像とを互いに異なる工程において行ったが、第5変形例では、一度の露光、現像により、壁WAを構成する第1保護膜と第2保護膜との積層膜に第5開口部C5を形成することができる。

10

【0084】

なお、第5変形例では、製品チップ領域SC1の第2保護膜に第3開口部C3を形成する際に用いる露光マスクと、外周領域の第1保護膜および第2保護膜に第5開口部C5を形成する際に用いる露光マスクの2枚の露光マスクが必要となる。しかし、露光マスクを別々とすることによって、外周領域に形成される第5開口部C5の数および形状などを、製品チップ領域SC1に形成される第3開口部C3の数および形状などに係わらず、任意に決めることができるので、保護テープの接着力および剥がし易さの調整がより容易となる。

【0085】

このように、本実施の形態によれば、半導体ウェハSWの裏面を研削する際に、半導体ウェハSWの主面上に貼り付けられる保護テープPRの剥離が容易となるので、半導体装置の製造歩留りを向上することができる。

20

【0086】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0087】

AR1 製品チップ領域
 AR2 擬似チップ領域
 ARS スクライブ領域（スクライブライン、スペーシング）
 BE バンプ電極
 BL バリア層
 BP ボンディングパッド
 C1 第1開口部
 C2 第2開口部
 C3 第3開口部
 C4 第4開口部
 C5 第5開口部
 CN 接続孔
 CU 第1金属膜
 GEN, GEP ゲート電極
 GI ゲート絶縁膜
 IL 絶縁膜
 M1, M2, M3, M4, M5, M6 配線
 ML 電極層
 NI 第2金属膜
 NW n型ウェル
 PL プラグ

30

40

50

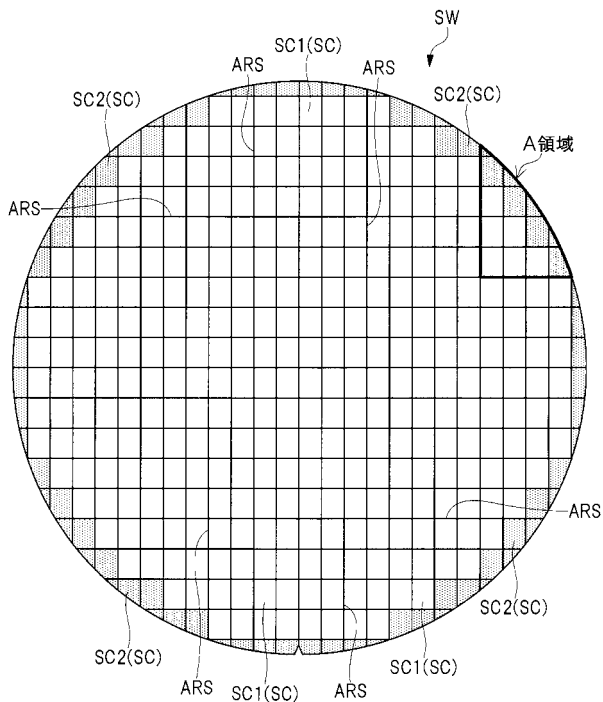
- P N 窒化シリコン膜
- P R 保護テープ
- P R 1 ベース層
- P R 2 中間層
- P R 3 糊層
- P S N 絶縁膜
- P T T E O S 膜
- P W p 型ウェル
- R F 1 第 1 保護膜
- R F 2 第 2 保護膜
- S C 半導体チップ
- S C 1 製品チップ
- S C 2 擬似チップ
- S L 1 , S L 2 シード層
- S P 分離部
- S R n n 型半導体領域
- S R p p 型半導体領域
- S W 半導体ウェハ
- W A 壁
- W S サイドウォール

10

20

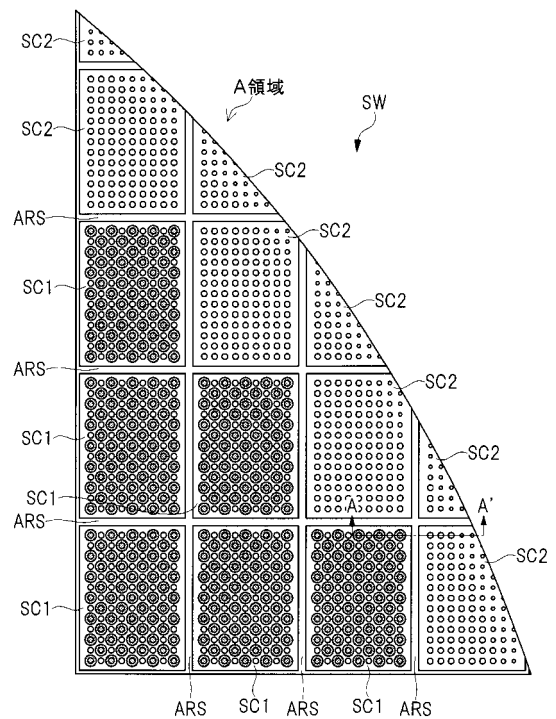
【 図 1 】

図 1

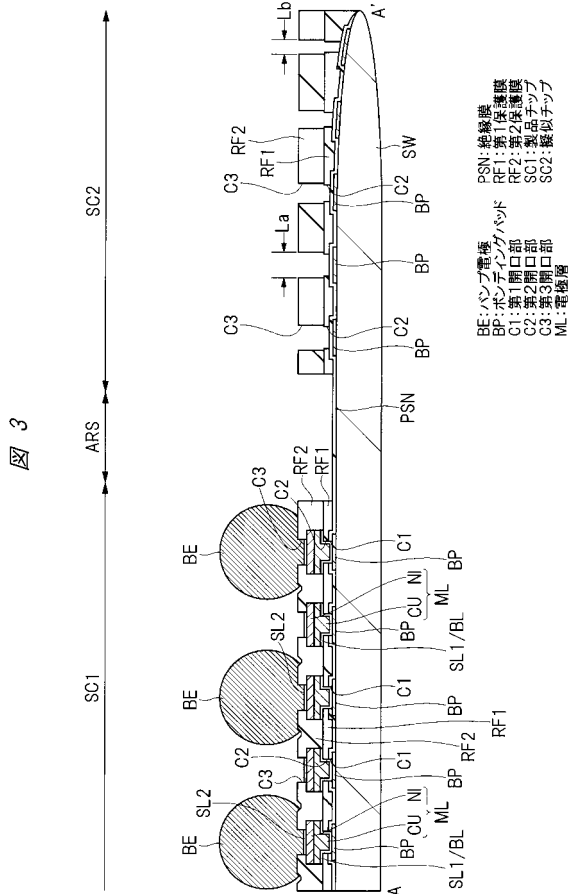


【 図 2 】

図 2



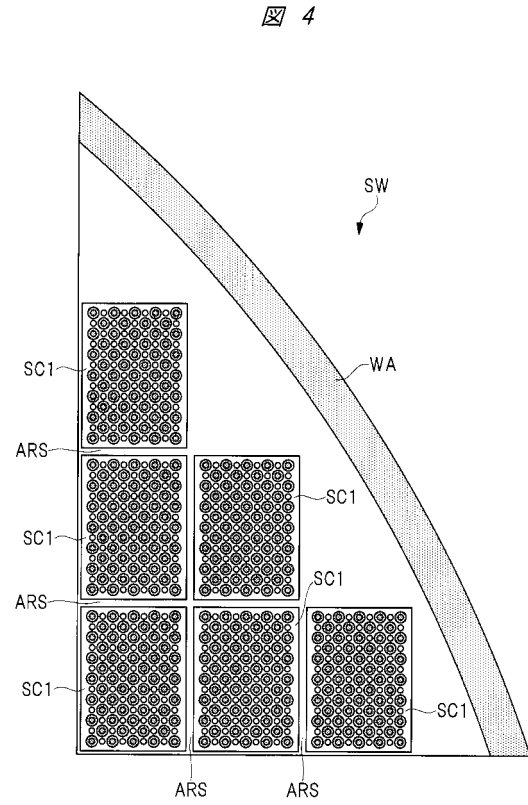
【 図 3 】



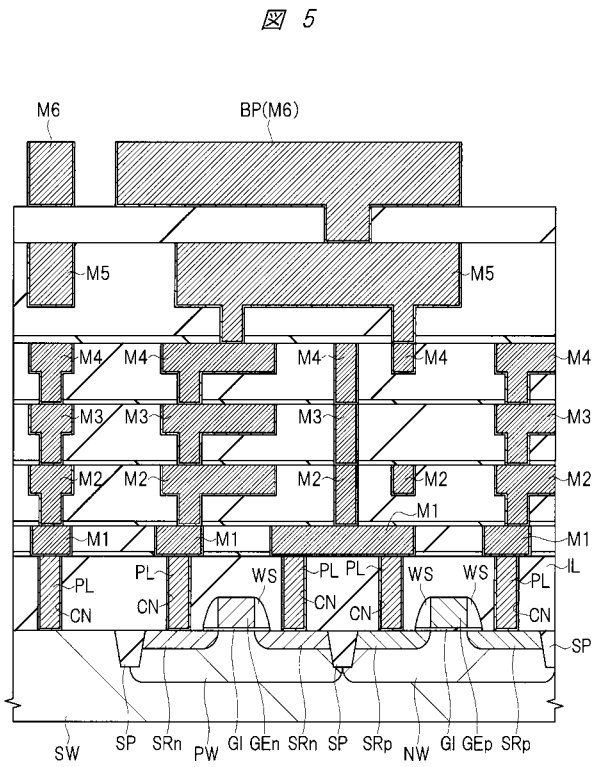
PSN: 絶縁膜
 BP: ボンディングパッド
 C1: 第1開口部
 C2: 第2開口部
 C3: 第3開口部
 ML: 電極層

PSN: 絶縁膜
 RF1: 第1保護層
 RF2: 第2保護層
 SC1: 製品チップ
 SC2: 類似チップ

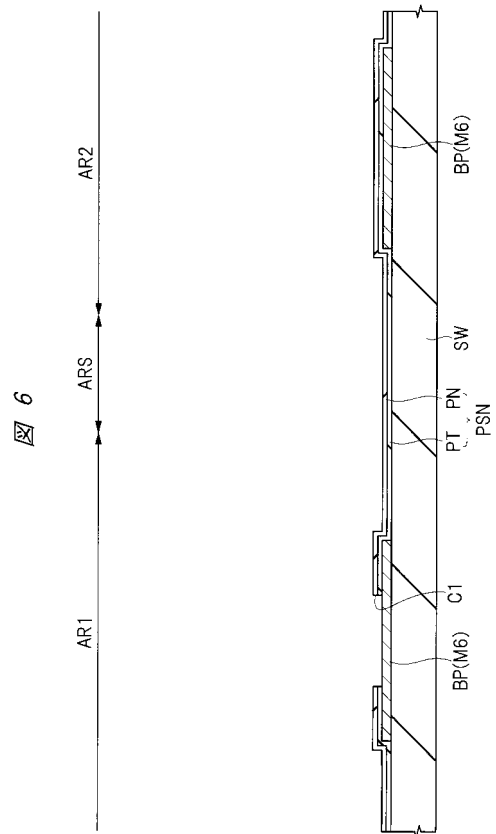
【 図 4 】



【 図 5 】

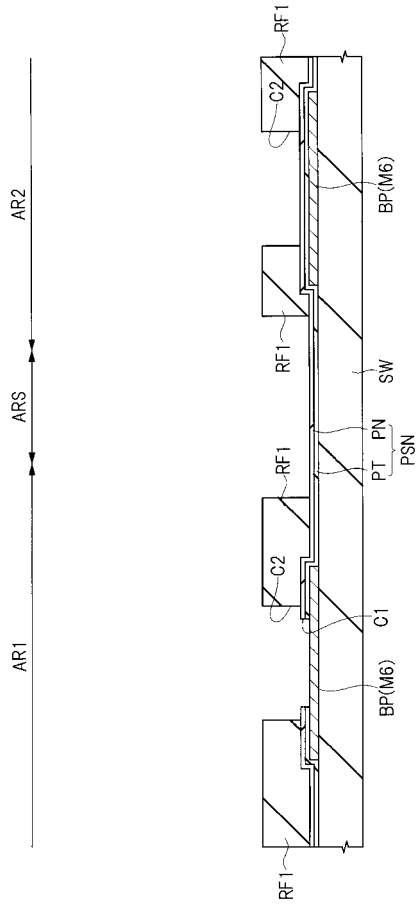


【 図 6 】



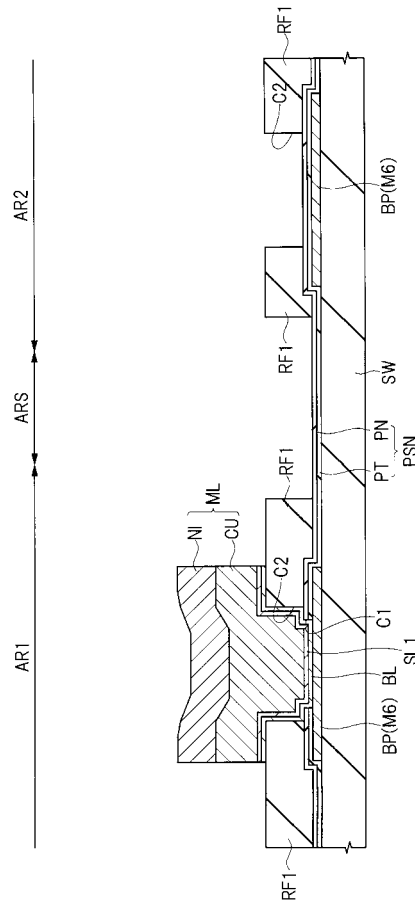
【 図 7 】

図 7



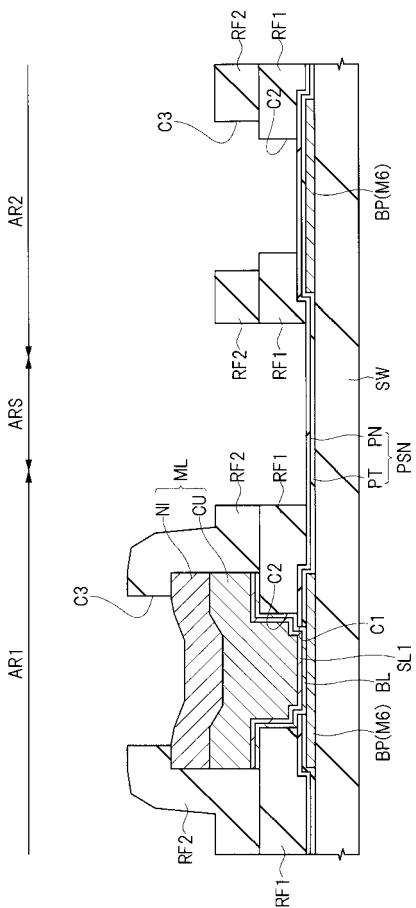
【 図 8 】

図 8



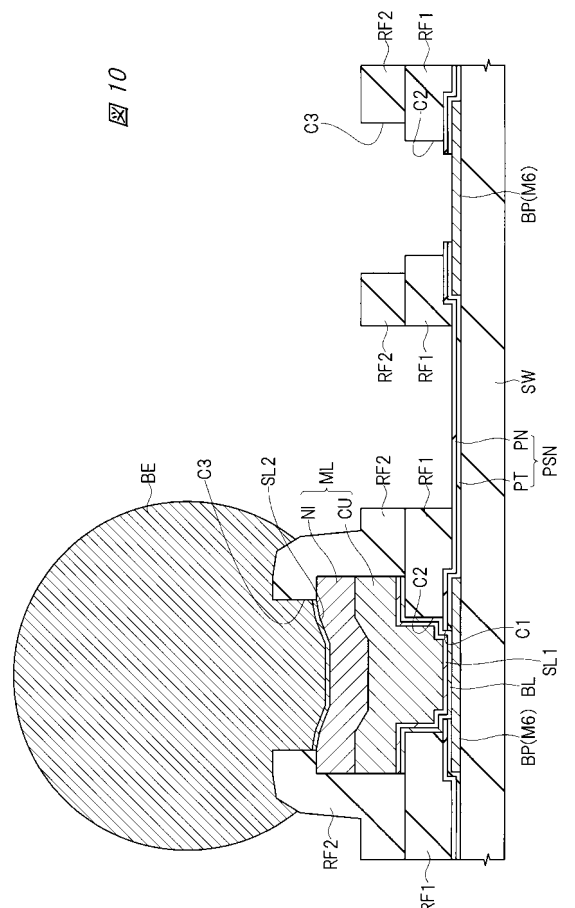
【 図 9 】

図 9



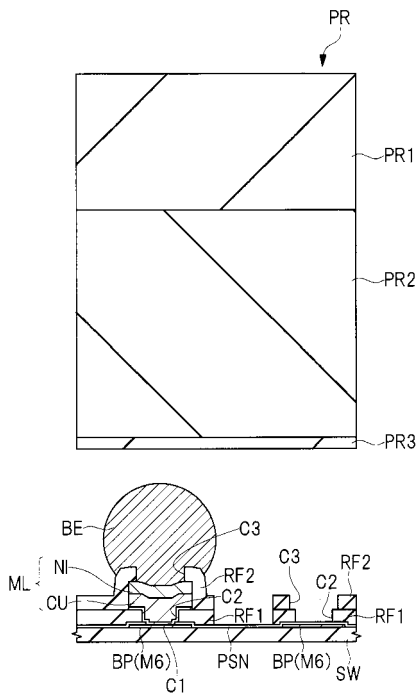
【 図 10 】

図 10



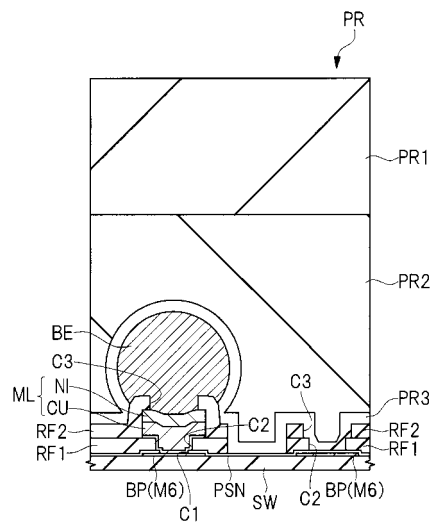
【 図 1 1 】

図 11



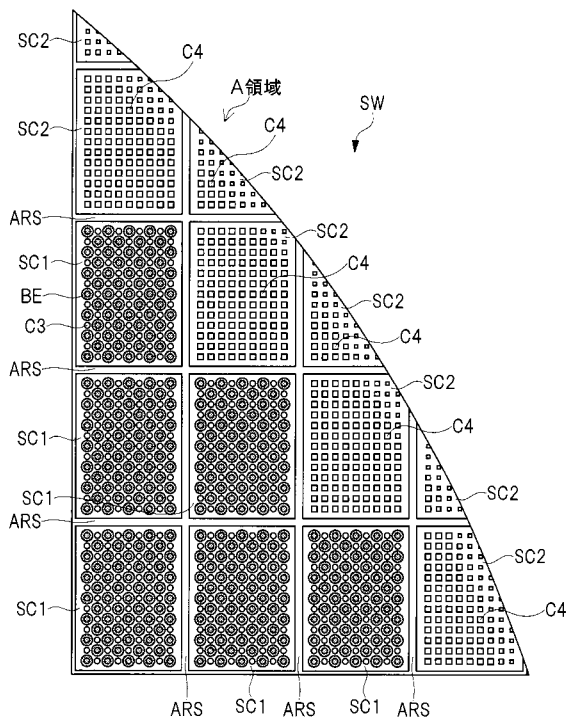
【 図 1 2 】

図 12



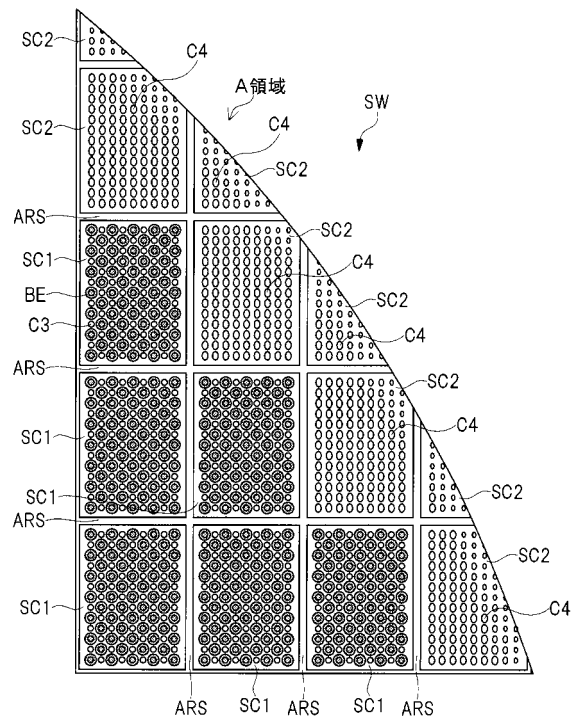
【 図 1 3 】

図 13



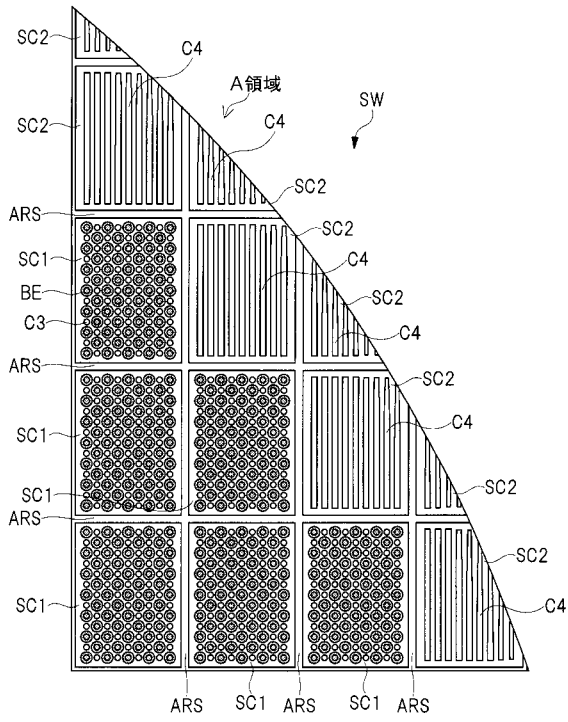
【 図 1 4 】

図 14



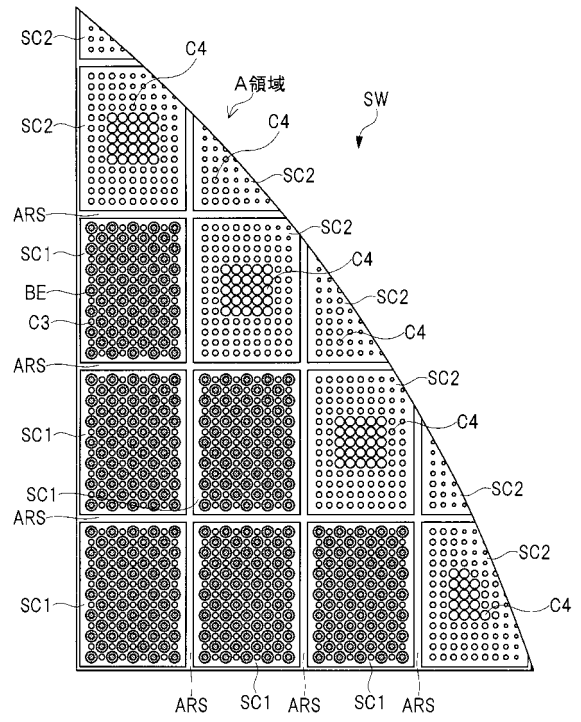
【 図 1 5 】

図 15



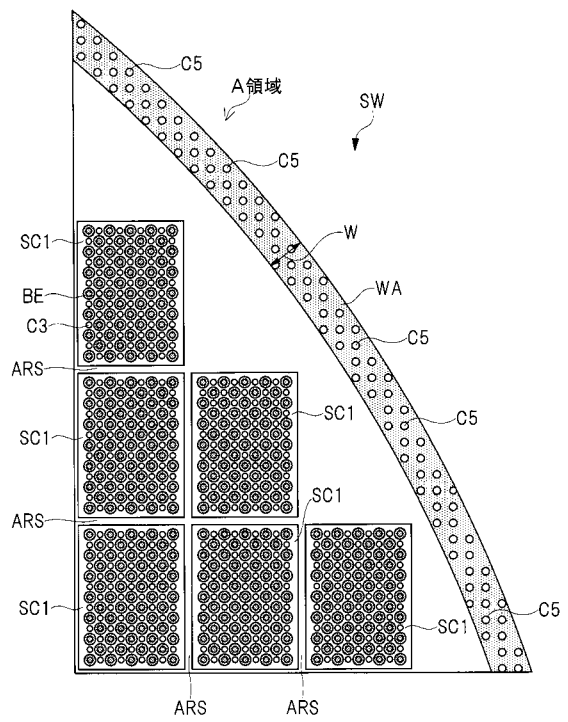
【 図 1 6 】

図 16



【 図 1 7 】

図 17



【手続補正書】

【提出日】平成29年2月10日(2017.2.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

以下の工程を含む半導体装置の製造方法：

(a) 主面と、前記主面を取り囲む周縁と、前記主面に形成された半導体素子を備える複数の第1チップと、複数の前記第1チップを取り囲み、前記周縁に接する複数の第2チップと、を有し、複数の前記第1チップのそれぞれに複数のボンディングパッドが形成された半導体ウェハを準備する工程；

(b) 前記主面上に絶縁膜を形成する工程；

(c) 前記第1チップの前記絶縁膜に、複数の第1開口部を形成して、前記第1開口部の底面に前記ボンディングパッドを露出させる工程；

(d) 前記主面上に第1保護膜を形成する工程；

(e) 前記第1チップおよび前記第2チップの前記第1保護膜に、複数の第2開口部をそれぞれ形成して、前記第1チップでは、平面視において前記第2開口部と重なる前記第1開口部の底面に前記ボンディングパッドを露出させ、前記第2チップでは、前記第2開口部の底面に前記絶縁膜を露出させる工程；

(f) 前記第1開口部および前記第2開口部を介して、複数の前記ボンディングパッドとそれぞれ電氣的に接続する複数の電極層を形成する工程；

(g) 前記主面上に第2保護膜を形成する工程；

(h) 前記第1チップおよび前記第2チップの前記第2保護膜に、複数の第3開口部をそれぞれ形成して、前記第1チップでは、前記第3開口部の底面に前記電極層を露出させ、前記第2チップでは、平面視において前記第3開口部と重なる前記第2開口部の底面に前記絶縁膜を露出させる工程；

(i) 複数の前記電極層とそれぞれ電氣的に接続する複数の外部電極を形成する工程；

(j) 前記主面上に、複数の前記外部電極を覆う保護テープを貼り付ける工程。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記第2チップの前記周縁に最も近い位置にある前記第3開口部の開口面積は、前記第1チップの前記第3開口部の開口面積よりも小さい、半導体装置の製造方法。

【請求項3】

請求項1記載の半導体装置の製造方法において、

前記第2チップの前記第3開口部のピッチは、前記第1チップの前記第3開口部のピッチと同じである、半導体装置の製造方法。

【請求項4】

請求項1記載の半導体装置の製造方法において、

前記第2チップには、前記外部電極を形成しない、半導体装置の製造方法。

【請求項5】

請求項1記載の半導体装置の製造方法において、

互いに隣り合う前記第1チップ間、互いに隣り合う前記第2チップ間および互いに隣り合う前記第1チップと前記第2チップとの間は、スクライプ領域により隔てられており、前記スクライプ領域には、前記第1保護膜および前記第2保護膜は形成されていない、半導体装置の製造方法。

【請求項6】

以下の工程を含む半導体装置の製造方法：

(a) 主面と、前記主面を取り囲む周縁と、前記主面に形成された半導体素子を備える複数の第 1 チップと、複数の前記第 1 チップを取り囲み、前記周縁に接する複数の第 2 チップと、を有し、複数の前記第 1 チップのそれぞれに複数のボンディングパッドが形成された半導体ウェハを準備する工程；

(b) 前記主面上に絶縁膜を形成する工程；

(c) 前記第 1 チップの前記絶縁膜に、複数の第 1 開口部を形成して、前記第 1 開口部の底面に前記ボンディングパッドを露出させる工程；

(d) 前記主面上に第 1 保護膜を形成する工程；

(e) 前記第 1 チップの前記第 1 保護膜に、複数の第 2 開口部を形成して、平面視において前記第 2 開口部と重なる前記第 1 開口部の底面に前記ボンディングパッドを露出させる工程；

(f) 前記第 1 開口部および前記第 2 開口部を介して、複数の前記ボンディングパッドとそれぞれ電氣的に接続する複数の電極層を形成する工程；

(g) 前記主面上に第 2 保護膜を形成する工程；

(h) 前記第 1 チップの前記第 2 保護膜に、複数の第 3 開口部を形成して、前記第 3 開口部の底面に前記電極層を露出させ、前記第 2 チップの前記第 1 保護膜および前記第 2 保護膜に、複数の第 4 開口部を形成して、前記第 4 開口部の底面に前記絶縁膜を露出させる工程；

(i) 複数の前記電極層とそれぞれ電氣的に接続する複数の外部電極を形成する工程；

(j) 前記主面上に、複数の前記外部電極を覆う保護テープを貼り付ける工程。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記第 4 開口部の平面視における形状は、円形状、楕円形状、四角形状またはストライプ形状である、半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、

前記第 2 チップには、前記外部電極を形成しない、半導体装置の製造方法。

【請求項 9】

請求項 6 記載の半導体装置の製造方法において、

互いに隣り合う前記第 1 チップ間、互いに隣り合う前記第 2 チップ間および互いに隣り合う前記第 1 チップと前記第 2 チップとの間は、スクライプ領域により隔てられており、前記スクライプ領域には、前記第 1 保護膜および前記第 2 保護膜は形成されていない、半導体装置の製造方法。

【請求項 10】

主面と、

前記主面を取り囲む周縁と、

前記主面に形成された半導体素子を備える複数の第 1 チップと、

複数の前記第 1 チップを取り囲み、前記周縁に接する複数の第 2 チップと、

複数の前記第 1 チップにそれぞれ形成された複数のボンディングパッドと、

前記複数のボンディングパッドを覆い、前記主面上に形成された絶縁膜と、

前記第 1 チップの前記絶縁膜に形成され、前記複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第 1 開口部と、

前記絶縁膜上に形成された第 1 保護膜と、

前記第 1 チップの前記第 1 保護膜に形成され、平面視において複数の前記第 1 開口部とそれぞれ重なり、前記複数のボンディングパッドの上面の一部をそれぞれ露出する複数の第 2 開口部と、

前記第 2 チップの前記第 1 保護膜に形成され、前記絶縁膜を露出する複数の第 3 開口部と、

前記第 1 開口部および前記第 2 開口部を介して、前記複数のボンディングパッドとそれぞれ電氣的に接続する複数の電極層と、

前記複数の電極層を覆い、前記主面上に形成された第2保護膜と、
前記第1チップの前記第2保護膜に形成され、前記複数の電極層の上面の一部をそれぞれ露出する複数の第4開口部と、
前記第2チップの前記第2保護膜に形成され、平面視において複数の前記第3開口部とそれぞれ重なり、前記絶縁膜を露出する複数の第5開口部と、
前記第4開口部を介して、前記複数の電極層とそれぞれ電氣的に接続する複数の外部電極と、
複数の前記外部電極を覆い、前記主面上に貼り付けられた保護テープと、
を有する、半導体ウェハ。

【請求項11】

請求項10記載の半導体ウェハにおいて、
前記第2チップの前記周縁に最も近い位置にある前記第5開口部の開口面積は、前記第1チップの前記第4開口部の開口面積よりも小さい、半導体ウェハ。

【請求項12】

請求項10記載の半導体ウェハにおいて、
前記第2チップの前記第5開口部のピッチと、前記第1チップの前記第4開口部のピッチとは同じである、半導体ウェハ。

【請求項13】

請求項10記載の半導体ウェハにおいて、
前記第5開口部の平面視における形状は、円形状、楕円形状、四角形状またはストライプ形状である、半導体ウェハ。

【請求項14】

請求項10記載の半導体ウェハにおいて、
前記第2チップには、前記外部電極を有しない、半導体ウェハ。

【請求項15】

請求項10記載の半導体ウェハにおいて、
前記第2チップでは、前記保護テープは、前記第1保護膜、前記第2保護膜および複数の前記第3開口部の底面にそれぞれ露出する前記絶縁膜と接する、半導体ウェハ。

【請求項16】

請求項10記載の半導体ウェハにおいて、
互いに隣り合う前記第1チップ間、互いに隣り合う前記第2チップ間および互いに隣り合う前記第1チップと前記第2チップとの間は、スクライプ領域により隔てられており、
前記スクライプ領域では、前記第1保護膜および前記第2保護膜が形成されておらず、
前記保護テープとは、前記絶縁膜と接する、半導体ウェハ。

【請求項17】

請求項10記載の半導体ウェハにおいて、
前記保護テープと前記絶縁膜との接着力が、前記保護テープと前記第1保護膜および前記第2保護膜との接着力よりも弱い、半導体ウェハ。

【請求項18】

請求項10記載の半導体ウェハにおいて、
前記保護テープは、糊層と、ベース層と、前記糊層と前記ベース層との間に設けられた中間層とから構成され、
前記糊層および前記中間層は、前記ベース層よりも柔らかく、
前記糊層と前記中間層の合計の厚さが、前記外部電極の高さよりも厚い、半導体ウェハ。

【請求項19】

請求項10記載の半導体ウェハにおいて、
前記絶縁膜は、窒化シリコン膜、酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜との積層膜であり、前記第1保護膜および前記第2保護膜はポリイミド膜である、半導体ウェハ。

【請求項 20】

請求項 10 記載の半導体ウェハにおいて、

平面視における前記第 3 開口部の開口面積と、前記第 5 開口部の開口面積とが同じである、半導体ウェハ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

第 2 層目の配線 M 2 から第 5 層目の配線 M 5 は、例えば Cu (銅) を主導体とし、例えばデュアルダマシン法により形成される。第 6 層目の配線 M 6 は、例えば Al (アルミニウム) を主導体とし、半導体ウェハ SW 上に堆積された Al (アルミニウム) 膜を、レジストパターンをマスクとしたエッチングにより加工することにより形成される。第 6 層目の配線 M 6 の厚さは、例えば 1 μm 程度である。なお、本実施の形態では、第 6 層目の配線 M 6 は Al (アルミニウム) を主導体とするとしたが、Cu (銅) を主導体とすることもできる。また、配線の層数を 6 層としたが、層数はこれに限定されるものではない。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

但し、半導体ウェハ SW の外周領域では、半導体ウェハ SW の厚さが半導体ウェハ SW の周縁に向かうに従って漸減するので (前述の図 3 参照)、露光マスクと半導体ウェハ SW の外周領域に塗布された第 1 保護膜 RF 1 の上面との距離が、露光マスクと製品チップ領域 AR 1 に塗布された第 1 保護膜 RF 1 の上面との距離よりも遠くなる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

但し、前述の第 2 開口部 C 2 と同様に、半導体ウェハ SW の外周領域では、半導体ウェハ SW の厚さが半導体ウェハ SW の周縁に向かうに従って漸減するので (前述の図 3 参照)、露光マスクと半導体ウェハ SW の外周領域に塗布された第 2 保護膜 RF 2 の上面との距離が、露光マスクと製品チップ領域 AR 1 に塗布された第 2 保護膜 RF 2 の上面との距離よりも遠くなる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正の内容】

【0077】

なお、第 1、第 2、第 3 および第 4 変形例では、製品チップ領域 AR 1 の第 2 保護膜に第 3 開口部 C 3 を形成する際に用いる露光マスクと、擬似チップ領域 AR 2 の第 1 保護膜および第 2 保護膜に第 4 開口部 C 4 を形成する際に用いる露光マスクの 2 枚の露光マスクが必要となる。しかし、露光マスクを別々とすることによって、擬似チップ領域 AR 2 に形成される第 4 開口部 C 4 の数および形状などを、製品チップ領域 AR 1 に形成される第 3 開口部 C 3 の数および形状などに係わらず、任意に決めることができるので、保護テ-

ブの接着力および剥がし易さの調整がより容易となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0084

【補正方法】変更

【補正の内容】

【0084】

なお、第5変形例では、製品チップ領域 A R 1 の第2保護膜に第3開口部 C 3 を形成する際に用いる露光マスクと、外周領域の第1保護膜および第2保護膜に第5開口部 C 5 を形成する際に用いる露光マスクの2枚の露光マスクが必要となる。しかし、露光マスクを別々とすることによって、外周領域に形成される第5開口部 C 5 の数および形状などを、製品チップ領域 A R 1 に形成される第3開口部 C 3 の数および形状などに係わらず、任意に決めることができるので、保護テープの接着力および剥がし易さの調整がより容易となる。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/683 (2006.01)

(72)発明者 大浦 雄大
群馬県高崎市西横手町 1 1 1 ルネサスセミコンダクタパッケージ&テストソリューションズ株式
会社内

(72)発明者 吉田 宏平
群馬県高崎市西横手町 1 1 1 ルネサスセミコンダクタパッケージ&テストソリューションズ株式
会社内

Fターム(参考) 5F033 HH07 HH08 HH11 HH13 HH33 JJ01 JJ11 JJ19 JJ33 KK01
KK11 MM01 MM02 MM13 NN06 NN07 PP06 PP15 PP27 PP28
QQ01 QQ47 RR04 RR06 RR22 RR27 SS04 SS15 SS21 TT04
VV07 XX00
5F057 AA11 AA21 BA21 BB03 CA14 DA11 EC05 FA28
5F131 AA02 AA04 BA33 BA53 CA15 CA49 DA14 EA06 EA07 EC34
EC62 EC73