

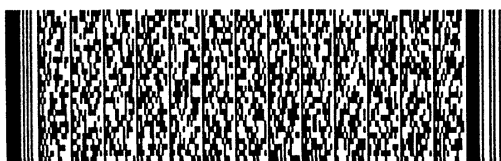
請日期: 本 - 04 - 03	案號: 90107957
類別: G11C 29/00	

(以上各欄由本局填註)

發明專利說明書

504698

一、發明名稱	中文	半導體記憶裝置、其測試系統以及其測試方法
	英文	SEMICONDUCTOR MEMORY DEVICE AND TESTING SYSTEM AND TESTING METHOD
二、發明人	姓名 (中文)	1. 小池洋紀
	姓名 (英文)	1. Hiroki KOIKE
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號
三、申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. 日本電氣株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人姓名 (中文)	1. 西垣浩司
	代表人姓名 (英文)	1.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/04/05	2000-103568	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

發明背景

發明領域

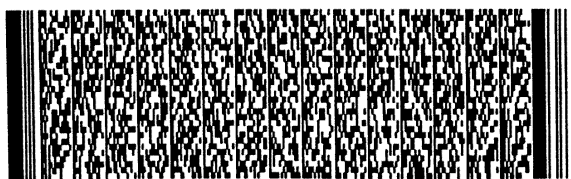
本發明係有關於一種半導體記憶裝置，特別有關於一種量測由一記憶單元讀出資料信號到一位元線之電位的函數，其測試系統以及其測試方法。

習知技術說明

我們已經知道如動態隨機存取記憶體 (DRAM)，靜態隨機存取記憶體 (SRAM)，快閃記憶體 (Flash Memory)，以及鐵電記憶體 (鐵電隨機存取記憶體或 FeRAM) 的半導體記憶裝置 (半導體記憶體)。該等半導體記憶裝置的規格，例如電路設計，製造程序，或依記憶單元完成儲存一位元資料的可靠度都為該記憶體的組件之一。因此，當要發展半導體記憶裝置時，該商用產品需要經過重覆的測試製造以達到既定的成效 (performance)，並且反饋該成效估算結果至裝置結構，製造程序以及電路設計。

在上述記憶單元之操作成效估算中，由讀出資料擷取的讀出電位會預寫至一記憶單元，並且寫入記憶單元之資料輸入/輸出線的一位元線 (bit-line)，此電位在此之後記為"位元線讀出電位"。舉例來說，在一確定時間 (把資料寫入記憶單元) 後，讀出電位表示該記憶單元維持資料的能力。在重複的寫入和讀出記憶單元後，讀出電位表示重複操作的抵抗力 (resistance)。

因此，可以藉由位元線讀出電位伴隨如電源電位或周



五、發明說明 (2)

遭溫度的變化情況詳細地估算整套裝置之基本操作成效以及個別記憶單元的可靠度。

位元線讀出電位為半導體記憶裝置的一內部 (internal) 信號，因此視為該半導體記憶裝置的重要資訊。所以準確的量測該半導體記憶裝置內部信號的技術是必須的。

鐵電記憶體將會當作傳統的半導體記憶裝置並在下面做描述，以及量測該半導體記憶裝置內部信號的傳統技術也隨後做說明。

鐵電記憶體的電路和操作將做詳細的描述，如日本專利公開公報 No. 6-324558 及 10-233100。第1圖係顯示安排一傳統鐵電記憶體的記憶單元陣列 (memory cell array) 和該電路圖，以及第2圖係顯示該操作的時序圖。在第1圖中，細線為單一線，而粗線為複合線。

首先，在第1圖中，記憶單元 MC_{jk} 包括一電晶體和一鐵電電容 (稱為 1T/1C 型式)，並安排為 m 列 (row) n 行 (column) 的記憶單元陣列 110，其中 j 表示 1 到 m 列數目的下標，以及 k 表示 1 到 n 行數目的下標。在下面的說明中，將用適當的方法使用該等下標。舉例來說，字元線 (word-line) WL_j 表示任何一個 ML_1-WL_m 的字元線，而位元線 BLN_k ， BLT_k 則是表示任何一對的 BLN_1 ， BLT_1 ，-， BLN_n ， BLT_n ，其中每對有相同的數字 (如 BLN_1 ， BLT_1)。

複數字元線 WL_1-WL_m 和平面線 (plate-line) PL_1-PL_m 為延展該記憶單元 110 列方向的接線，以及複數位元線



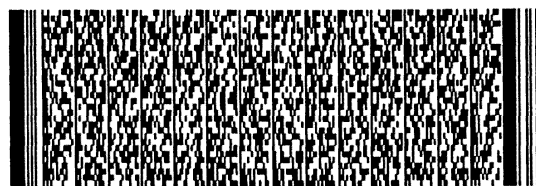
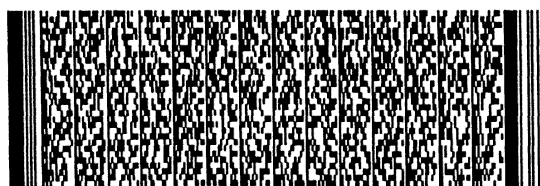
五、發明說明 (3)

BLN1, BLT1, -, BLNn, BLTn 延展垂直字元線和平面線的行方向接線。字元線WLj和平面線PLj選擇屬於列數目為j的記憶單元並且由下面描述的列解碼器120做選擇性的驅動。在記憶單元MCjk的電晶體閘極 (gate) 連接到字元線WLj而電晶體汲極 (drain) 則是連接到下面描述位元線對BLNk或BLTk的其中之一。記憶單元中鐵電電容的一極為記憶單元電晶體的源極 (source), 而另一極為連接到平面線PLj。

屬於列數目k的位元線BLNk, BLTk形成一對, 以及連接到相互鄰接記憶單元的字元線分別連接至位元線BLNk, BLTk, 而且記憶單元分別連接的一對位元線不能同時被選擇。用以放大從記憶單元讀出資料信號的感測放大器SA1-SAn連接到位元線BLN1, BLT1, -, BLNn, BLTn。該感測放大器SA1-SAn由下面描述之感測放大控制電路181所建立的感測放大主動信號SAE控制。

在讀出資料時用以初始化位元線電位的位元線預充電 (precharge) 電路PBL1-PBLn分別連接至位元線BLN1, BLT1, -, BLNn, BLTn。這些位元線預充電電路PBL1-PBLn由下面描述之位元線預充電控制電路182所建立的位元線預充電信號PLB做控制以便將每一位元線電位初始化為接地電位。

虛擬 (dummy) 記憶單元DCN1, DCT1, -, DCNn, DCTn分別連接至位元線BLN1, BLT1, -, BLNn, BLTn。該等虛擬記憶單元是產生讀出步驟所需的參考電位, 而且具有上



五、發明說明 (4)

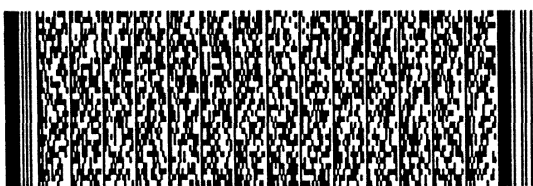
述1T/1C記憶單元MCjk的等效安排。與記憶單元相符合的虛擬記憶單元DCN1-DCNn連接至位元線BLN1-BLNn，以及連接到虛擬字元線DWLN。與記憶單元相符合的虛擬記憶單元DCT1-DCTn連接至位元線BLT1-BLTn，以及連接到虛擬字元線DWLT。

行選擇轉換閘YST1-YSTn分別連接至位元線BLN1，BLT1，-，BLNn，BLTn，而位元線BLN1，BLT1，-，BLNn，BLTn則是經由行選擇轉換閘YST1-YSTn選擇性的連接至一DB線（補償信號線）。下面將描述行解碼器130之行選擇線YSW1-YSWn連接至行選擇轉換閘YST1-YSTn。

一位置預解碼器160預先解碼由外部輸入到該裝置的位置信號Ai，建立列位置預解碼信號XPa和行位置預解碼信號YPa。列解碼器120基於位置預解碼器160建立的列位置預解碼信號XPa選擇性的驅動字元線WL1-Wlm，以便選擇一系列的記憶單元。在第一實施例中，該列解碼器120包括選擇平面線PL1-PLm的函數。行解碼器130基於位置預解碼器160建立的行位置預解碼信號YPa選擇性的驅動行選擇線YSW1-YSWn，以便選擇一行的記憶單元（一群連接至位元線BLN1，BLT1，-，BLNn，BLTn其中一對的記憶單元）。除了上面描述的部外，用以處理資料輸入/輸出緩衝電路（並未特別顯示）也連接到資料線DB。

然後，參考第2圖，在第1圖之鐵電記憶體的操作將在選擇記憶單元MC22處理資料讀取與寫入的情況下做描述。

首先，該鐵電記憶體為等待狀態。在等待狀態時，所



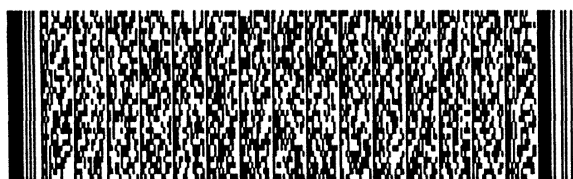
五、發明說明 (5)

有的字元線WL1-W1m，平面線PL1-PLm，虛擬字元線DWLN，DWLT以及行選擇線YSW1-YSWn被驅動為低電位 (low-level)，而感測放大主動信號SAE設定為低電位。所有的記憶單元MC11-MCmn，虛擬記憶單元DCN1，DCT1，-，DCNn，DCTn，感測放大器SA1-SAn，以及行選擇轉換閘YST1-YSTn為非主動 (inactive) 狀態。位元線預充電信號PLB設定為高電位 (high-level)，以及位元線預充電電路PBL1-PBLn為主動狀態。因此，位元線BLN1，BLT1，-，BLNn，BLTn的電位藉由位元線預充電電路PBL1-PBLn驅動為接地電位，以及所有的位元線預先充電至接地電位。

當有上述等待狀態執行寫入操作或讀出操作時，首先，位元線預充電信號PLB設定為低電位。位元線預充電電路PBL1-PBLn因此為非主動狀態，而且所有的位元線變成浮動狀態 (floating state)。在此時，因為位元線BLN1，BLT1，-，BLNn，BLTn在之前已預先充電為接地電位，當忽略漏電或相似的影響時，每一位元線維持為低電位 (接地電位)。

而後選擇記憶單元MC22。更明確的說，基於外部指定的位置信號Ai，字元線W2驅動為高電位，平面線PL2也驅動為高電位。字元線W2的高電位典型值為高於電源電位約Vtn的一提高電位，這是因為補償形成記憶單元電晶體所需要的門檻電位總數。平面線PL2為典型值為電源電位的高電位。

字元線W2和平面線PL2驅動為高電位使得所有的記憶



五、發明說明 (6)

單元MC21, MC22, ..., MC2n在選擇狀態。換句話說, 平面線PL2驅動為高電位以在平面線PL2和位元線BLT1-BLTn之間建立一差(difference)電位。因此在屬於列數目j為2的記憶單元之鐵電電容兩極之間會發生一差電位, 而該差電位的電荷會由鐵電電容輸出到位元線BLT1-BLTn。因此, 表示資料信號的位元線讀出電位會發生在位元線BLT1-BLTn。典型的位元線讀出電位為介於電源電位與接地電位間的一類比數值。

另一方面, 根據資料"0"或資料"1"決定位元線讀出電位是否發生在位元線BLT1-BLTn的參考電位是搭配位元線BLT1-BLTn建立於位元線BLN1-BLNn。在此情況下, 藉由驅動虛擬字元線DWLT為高電位以選擇虛擬記憶單元DCN1-DCNn而使得參考電位發生在位元線BLN1-BLNn上。

相對的, 當決定根據位元線BLN1-BLNn之位元線讀出電位資料時, 虛擬字元線DWLT會被驅動為高電位以選擇虛擬記憶單元DCT1-DCTn而使得參考電位發生在位元線BLT1-BLTn上。建立此種參考電位的方法將做詳細的說明, 如日本專利公開公報 No.10-233100 以及日本專利公開公報 No.9-97496。

讀出電位因此從屬於列數目j為2的記憶單元MC21-MC2n輸出至位元線BLT1-BLTn, 以及參考電位從虛擬記憶單元DCN1-DCNn輸出至位元線BLN1-BLNn。在此之後, 藉由設定感測放大主動信號SAE設定為高電位而使得感測放大器SA1-SAn為主動, 並且使得在位元線BLNk和位元線



五、發明說明 (7)

BLTk 之間的電位差被差動地放大。

在資料讀出的操作中，行選擇線YSW2被驅動為高電位使行選擇轉換開YST2主動化。在位元線對BLN2，BLT2和資料線DB之間的電氣連接因而轉換在位元線對BLN2，BLT2的差動放大資料信號至一資料輸出緩衝電路（並未顯示）。該資料輸出緩衝電路輸出資料至外部。在資料寫入的操作中，藉由一資料輸入緩衝電路（並未顯示）輸入資料。根據資料的電位輸出至資料線DB以寫入資料到位元線對BLN2，BLT2，然後記憶單元MC22。

上述的資料讀出操作被稱為破壞性的讀出操作，因為儲存在記憶單元的資料在資料讀出的步驟中會被破壞。要在讀出後維持儲存的資料，該資料需再寫入至記憶單元。在鐵電記憶體中，資料寫入至記憶單元的步驟如下：

(1) 若再寫入資料為"0"，開始的情況為位元線驅動為低電位而平面線驅動為高電位，該平面線驅動為低電位以及供應至鐵電電容的電壓為零。

(2) 若再寫入資料為"1"，開始的情況為位元線驅動為高電位而平面線驅動為低電位，該位元線驅動為低電位以及供應至鐵電電容的電壓為零。

參考第2圖之時序圖，資料寫入的操作將在後面做詳細的描述。舉例來說，在記憶單元結合由感測放大器SA2做資料放大後的低電位位元線BLT2情況下，開始的狀態為平面線PL2驅動為高電位以及位元線事先驅動為低電位，當平面線PL2驅動為低電位時，供應至鐵電電容的電壓會



五、發明說明 (8)

變為零。因此，在驅動行選擇線YSW2為低電位後，資料的寫入會在平面線PL2驅動為低電位時完成。

在記憶單元結合由感測放大器SA2做資料放大後的高電位位元線BLN2情況下，當平面線PL2驅動為低電位時，位元線BLN2會驅動為高電位，然後當位元線BLN2驅動為低電位時，供應至鐵電電容的電壓會變為零。因此，資料的再寫入動作會在感測放大主動信號SAE為低電位，位元線預充電信號PBL為高電位以及位元線電位為接地電位（低電位）時完成。

在完成資料的再寫入後，字元線WL2會被驅動為低電位以使記憶單元回到無選擇狀態（no-selection status）。鐵電記憶體一週期的讀出操作或寫入操作因此完成。

到目前為止所描述鐵電記憶體的操作是為了在1T/1C形式的記憶單元中儲存一位元的資料於記憶單元，因此稱為"1T/1C形式操作方法"。在此操作方法中，讀出的操作需要參考電位。相反的，有一種方法利用兩個1T/1C形式記憶單元儲存一位元資料，稱為"2T/2C形式操作方法"

在2T/2C形式操作方法中，一個1T/1C形式的記憶單元連接到位元線BLN_k以及一個1T/1C形式的記憶單元連接到位元線BLT_k，而形成一對記憶單元，每一對記憶單元為1-bit記憶單元。這將會利用第1圖做解釋。建立如1-bit記憶單元的記憶單元對，例如記憶單元MC11和記憶單元MC21連接到位元線對BLN1，BLT1，記憶單元MC12和記憶單元MC22連接到位元線對BLN2，BLT2等等。具有相反極性的



五、發明說明 (9)

資料 (互補資料) 會被維持在記憶單元對內。

舉例來說，在位元線BLN1的高電位資料信號以及位元線BLT1的低電位資料信號的情況下，會調整為資料"0"，而相反的情況則會調整為資料"1"。一位元的資料因此能利用兩個1T/1C形式記憶單元做儲存。在此操作方法中，因為依資料內容的互補資料信號會由記憶單元輸出到位元線BLNk，BLTk，所以可以不用前述1T/1C形式操作方法所需的參考電位而利用感測放大器執行差動放大操作。

如到目前為止所做的解釋，不論是在1T/1C形式的操作方法中或是在2T/2C形式的操作方法中，鐵電記憶體的位元線讀出電位為類比值。因此，在量測位元線讀出電位的情況下，需要使用量測類比電位值的方法。這種需求與其他的半導體記憶裝置相同，並不限制在鐵電記憶體。

再來將要描述量測半導體記憶裝置內部信號 (包括位元線讀出電位) 的傳統技術。在傳統技術中我們已知：

(1) 日本專利公開公報 No. 8-241589 揭露將一觸針接觸至一信號點以直接量測信號電位的方法。

(2) 日本專利公開公報 No. 5-129553 揭露使用一電子光束 (electron beam, EB) 測試器做量測的方法。

(3) 日本專利公開公報 No. 10-233100 揭露包括一偵測位元線電位方法的一半導體記憶裝置。在此應用所揭露的技術為藉由是否量測的位元線讀出電位超過感測放大器的敏感度以測量位元線讀出電位，該敏感度為感測放大器使失去正常放大能力的電位。



五、發明說明 (10)

然而，根據上述的量測半導體記憶裝置內部信號的傳統技術，它們具有下面的缺點。

(1) 在日本專利公開公報 No. 8-241589 所揭露使用觸針的方法中，因為觸針必須移動至記憶單元內形成半導體晶片表面的位元線，所以該操作需要更多的時間控制操縱器或相似的機器。此外，當要量測複數位元線讀出電位時，因為觸針必須移動至每一個位元線，所以該操作需要更多的時間。為了消除這些缺點，需要將觸針同時移動至所有的位元線，因為要將複數觸針移動至複數位元線是非常困難的，所以要事先準備專用的測試器。

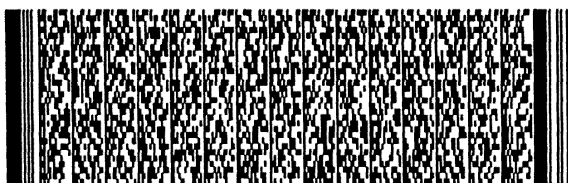
(2) 在日本專利公開公報 No. 5-129553 揭露使用 EB 測試器的方法中，因為高價位的 EB 測試器所以會增加成本。此外有另一個問題，因為 EB 測試器的特性僅能得到相對值，它是很難量測到測量電位的絕對值。

(3) 在日本專利公開公報 No. 10-233100 揭露的技術中，因為僅決定測量的位元線讀出電位是否超過感測放大器的敏感度，它不能適當的量測類比位元線讀出電位。

根據上述的傳統技術，量測類比位元線讀出電位是有困難的。

在量測位元線讀出電位上亦有一特殊的問題。

該問題為一但大電容負載或電流負載連接到位元線時，因為負載的影響，量測物件的電位會變化，造成真正的位元線讀出電位具有不同的電位。因此，必須限制位元線的電容負載，該電容負載是來自量測位元線電位的測量



五、發明說明 (11)

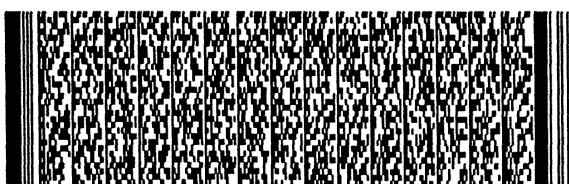
部，其中電容量約為10%的位元線寄生電容。

另一個問題是在如動態隨機存取記憶體或鐵電記憶體的半導體記憶裝置中，其中從記憶單元讀出到位元線的資料信號為浮接狀態，在量測位元線讀出電位時必須限制漏電流的影響。

第3圖係顯示描述鐵電記憶體的結構，以及影響位元線讀出電位之漏電流的例子。第3(a)圖係顯示一記憶單元的一電路圖，以及第3(b)圖係顯示該記憶單元的剖面圖。在第3(a)和(b)圖中，電晶體Tr是用來連接儲存點M和根據字元線WL電位的位元線BL，源極DS連接儲存點M，汲極DD連接位元線BL，以及閘極連接字元線WL。鐵電電容Cf是用來維持資料，並且包括上電極TU及下電極TL，上電極TU連接儲存點M（電晶體Tr的源極DS），以及下電極TL連接平面線PL。

如第3(b)圖所示，漏電流影響位元線讀出電位包括各式各樣如穿過內層絕緣體薄膜ML到鄰近線的內層漏電流i1，閘氧化物薄膜到記憶單元閘極GT的漏電流i2，通道漏電流i3，擴散層（汲極DD）和基質SUB之間的接面漏電流i4，以及鄰近記憶單元的擴散層漏電流i5之漏電流。

因為存在如此各式各樣的漏電流，在浮接狀態的位元線讀出電位隨時間的增加而變化，以及當需要時間量測時，上述漏電流的影響是不能忽略的，而且無法達到準確的量測位元線讀出電位。在有漏電流振幅（依記憶單元結構和半導體記憶裝置的製造程序情況）的考量下，量測位



五、發明說明 (12)

元線讀出電位的一個步驟所需的時間要少於1m秒，則是可接受的。

如上面所述，為了能準確的量測位元線讀出電位，必須利用一測量部將位元線的電容負載最小化，以及限制漏電流的影響。

發明概述

本發明將要解決上述的問題，並且提出一種半導體記憶裝置，一種測試系統及一種測試方法，使得能準確的量測由一記憶單元讀到一位元線的類比資料信號之電位（位元線讀出電位）。

本發明將藉由下面的安排以解決上述的問題。

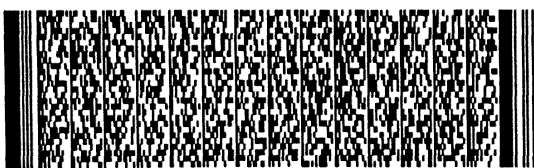
根據申請專利範圍第1項所述之一種半導體記憶裝置，包括：

一記憶單元陣列，該記憶單元陣列是將記憶單元安排在一矩陣內而形成的（如後述相當於記憶單元110的部）；

複數字元線，該等字元線是用以選擇該記憶單元陣列的每一列（如後述相當於字元線WL1-WLm的部）；

複數位元線，該等位元線是用以運送記憶單元輸出的資料信號，該資料信號是屬於該記憶單元陣列的每一行（如後述相當於位元線BLN1，BLT1，-，BLNn，BLTn的部）；

一參考信號產生部，當在位元線上發生放大資料信號



五、發明說明 (13)

時，該參考信號產生器產生一參考的信號（如後述相當於虛擬記憶單元DCN1，DCT1，-，DCNn，DCTn，以及虛擬記憶單元控制電路183的部）；以及

一放大部，該放大部放大位元線上的資料信號以與參考信號做比較（如後述相當於感測放大器SA1-SAn，以及感測放大控制電路181的部），

其特徵在於：

該半導體記憶裝置具有從裝置外部建立如同參考信號電位之指定電位的一參考電位建立電路部（如後述相當於參考電位建立電路方塊150的部）。

如申請專利範圍第2項所述之半導體記憶裝置，其特徵在於：在該半導體記憶裝置內的參考電位建立電路部，包括：

一電晶體，該電晶體的汲極連接到具有參考信號之記憶單元陣列的一位元線，從裝置外部指定的電位則是供應到源極，以及在測量位元線電位的控制信號供應到閘極（如後述相當於電晶體T1，T2的部）。

根據申請專利範圍第3項所述之一種測試系統，該測試系統是用以測試半導體記憶裝置，包括：一記憶單元陣列，該記憶單元陣列是將記憶單元安排在一矩陣內而形成的（如後述相當於記憶單元110的部），複數字元線，該等字元線是用以選擇該記憶單元陣列的每一列（如後述相當於字元線WL1-WLm的部），複數位元線，該等位元線是用以運送從一記憶單元輸出的資料信號，該資料信號是屬



五、發明說明 (14)

於該記憶單元陣列的每一行（如後述相當於位元線BLN1，BLT1，-，BLNn，BLTn的部），一參考信號產生部，當在位元線上發生放大資料信號時，該參考信號產生器產生一參考的信號（如後述相當於虛擬記憶單元DCN1，DCT1，-，DCNn，DCTn，以及虛擬記憶單元控制電路的部），一放大部，該放大部放大位元線上的資料信號以與參考信號做比較（如後述相當於感測放大器SA1-SAn，以及感測放大控制電路181的部），以及一參考電位建立電路部，它是從裝置外部建立如同參考信號電位之指定電位（如後述相當於參考電位建立電路方塊150的部），該測試系統的特徵包括：

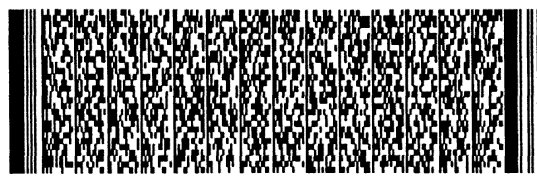
一參考信號控制部，該參考信號控制部是在源極電位與接地電位之間產生隨電位方向改變的電位，以供應該電位到參考電位建立電路，以及控制參考信號的電位（如後述之參考電位建立部250）；

一控制部，該控制部控制產生供應到半導體記憶裝置的位置，以及從記憶單元讀取資料信號的一系列步驟（如後述之控制信號建立部220，資料建立部230，以及位置建立部240）；

一測定部，該測定部決定由該放大部所放大資料信號的邏輯值（如後述之測定部260）；

一儲存部，該儲存部儲存了當測定部決定的邏輯值反向時之參考信號電位值（如後述之儲存部270）；以及

一統計處理部，該統計處理部以統計的方式處理儲存

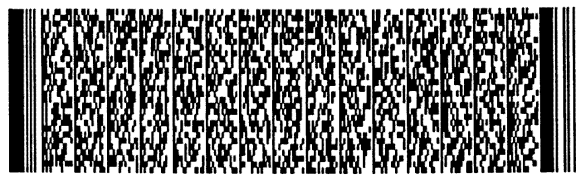
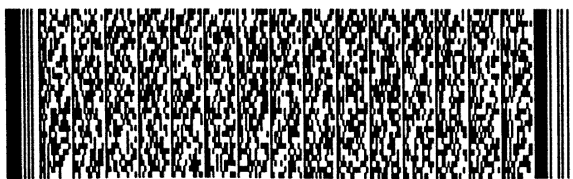


五、發明說明 (15)

在儲存部內的電位值（如後述之統計處理部280）。

如申請專利範圍第4項所述之半導體記憶裝置，其特徵在於：包括全部或一些相關於測試系統之控制部（如後述之控制信號建立部220，資料建立部230，以及位置建立部240），一測定部（如後述之測定部260），一儲存部（如後述之儲存部270）以及一統計處理部所執行的函數。

根據申請專利範圍第5項所述之一種測試方法，該測試方法是用以測試半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列（如後述相當於記憶單元110的部），複數字元線，該等字元線是用以選擇該記憶單元陣列的每一列（如後述相當於字元線WL1-WLm的部），複數位元線，該等位元線是用以運送從記憶單元輸出的資料信號，該資料信號是屬於該記憶單元陣列的每一行（如後述相當於位元線BLN1，BLT1，-，BLNn，BLTn的部），一參考信號產生部，當在位元線上發生放大資料信號時，該參考信號產生器產生一參考的信號（如後述相當於虛擬記憶單元DCN1，DCT1，-，DCNn，DCTn，以及虛擬記憶單元控制電路183的部），一放大部，該放大部放大位元線上的資料信號以與參考信號做比較（如後述相當於感測放大器SA1-SAn，以及感測放大控制電路181的部），以及一參考電位建立電路部，它是從裝置外部建立如同參考信號電位之指定電位（如後述相當於參考電位建立電路方塊150的部），該測試方法的特徵包括：



五、發明說明 (16)

(a) 由參考電位建立電路部建立參考信號的電位 (如後述步驟S15之步驟元件) ;

(b) 由記憶單元讀出資料信號到位元線 (如後述步驟S13之步驟元件) ; 以及

(c) 當放大部比較參考信號和資料信號振幅關係反向時, 可以得到參考信號的電位 (如後述步驟S14, S16之步驟元件) 。

根據申請專利範圍第6項所述之一種半導體記憶裝置, 包括: 一記憶單元陣列, 該記憶單元陣列是將記憶單元安排在一矩陣內而形成的 (如後述相當於記憶單元110的部), 複數字元線, 該等字元線是用以選擇該記憶單元陣列的每一列 (如後述相當於字元線WL1-WLm的部), 複數位元線, 該等位元線是用以運送從一記憶單元輸出的資料信號, 該資料信號是屬於該記憶單元陣列的每一行 (如後述相當於位元線BLN1, BLT1, -, BLNn, BLTn的部), 一放大部, 該放大部放大位元線上的資料信號 (如後述相當於感測放大器SA1-SAn, 以及感測放大控制電路181的部), 該裝置的特徵包括:

一信號維持電路, 該信號維持電路是用以獲得和維持從位元線讀出的資料信號 (如後述相當於資料信號維持電路方塊310的部) 。

根據申請專利範圍第7項所述之一種半導體記憶裝置, 在該半導體記憶裝置內之信號維持電路的特徵包括一取樣維持電路 (如後述之取樣維持電路SH1-SHn) 。



五、發明說明 (17)

根據申請專利範圍第8項所述之測試系統，該測試系統是用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列（如後述相當於記憶單元110的部），用以選擇該記憶單元陣列每一列的複數字元線（如後述相當於字元線WL1-WLm的部），用以運送從記憶單元輸出資料信號的複數位元線，而該資料信號是屬於記憶單元陣列的每一行（如後述相當於位元線BLN1，BLT1，-，BLNn，BLTn的部），放大位元線上的資料信號的一放大部（如後述相當於感測放大器SA1-SAn，以及感測放大控制電路181的部），以及獲得和維持從位元線讀出資料信號的信號維持電路（如後述相當於資料信號維持電路方塊310的部），該系統的特徵包括：

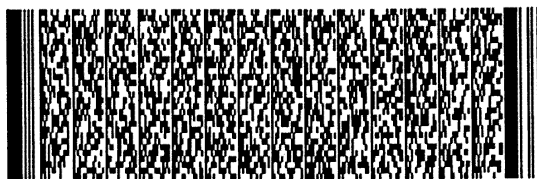
一第一控制部，該第一控制部控制產生供應到半導體記憶裝置的位置並且從記憶單元讀取資料信號的一系列步驟（如後述之控制信號建立部220）；

一第二控制部，該第二控制部控制信號維持電路從位元線讀出以獲得的資料信號（如後述之信號維持電路控制部410）；

一轉換部，該轉換部將信號維持電路獲得的資料信號做類比數位（A/D）轉換（如後述之A/D轉換部420）；

一儲存部，該儲存部儲存了由資料轉換部做A/D轉換的資料信號（如後述之儲存部430）；以及

一統計處理部，該統計處理部以統計的方式處理儲存在儲存部內的資料（如後述之統計處理部440）。



五、發明說明 (18)

根據申請專利範圍第9項所述之一種半導體記憶裝置，其特徵在於：包括全部或一些由相關於該測試系統所提出之第一及第二控制部（如後述之控制信號建立部220以及信號維持電路控制部410），一轉換部（如後述之A/D轉換部420），一儲存部（如後述之儲存部430），以及一統計處理部（如後述之統計處理部440）。

根據申請專利範圍第10項所述之測試系統，該測試系統是用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列（如後述相當於記憶單元110的部），用以選擇該記憶單元陣列每一列的複數字元線（如後述相當於字元線WL1-WLm的部），用以運送從記憶單元之輸出資料信號的複數位元線，而該資料信號是屬於該記憶單元陣列的每一行（如後述相當於位元線BLN1，BLT1，-，BLNn，BLTn的部），放大位元線上的資料信號的一放大部（如後述相當於感測放大器SA1-SAn，以及感測放大控制電路181的部），以及獲得和維持從位元線讀出資料信號的信號維持電路（如後述相當於資料信號維持電路方塊310的部），該系統的特徵包括下列步驟：

(a) 由記憶單元讀出資料信號到位元線（如後述步驟S22之步驟元件）；

(b) 從位元線讀出資料信號到信號維持電路（如後述步驟S23之步驟元件）；以及

(c) 從信號維持電路讀出資料信號的電位到外部電



五、發明說明 (19)

路（如後述步驟S24之步驟元件）。

圖式簡單說明

第1圖係顯示安排一傳統鐵電記憶體之電路圖。

第2圖係顯示描述一傳統鐵電記憶體操作的時序圖。

第3圖係顯示描述傳統鐵電記憶體問題的電路圖。

第4圖係顯示本發明第一實施例之一鐵電記憶體的方塊圖。

第5圖係詳細地顯示本發明第一實施例之一鐵電記憶體的電路圖。

第6圖係顯示根據本發明第一實施例之一參考電位建立電路的電路圖。

第7圖係顯示描述根據本發明第一實施例之鐵電記憶體操作的時序圖。

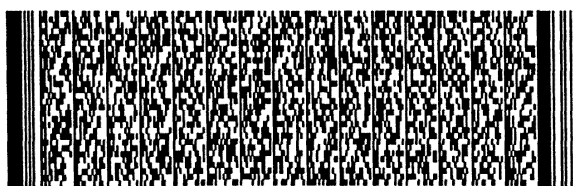
第8圖係顯示本發明第一實施例中鐵電記憶體操作流程的流程圖（位元線讀出電位測量操作）。

第9圖係顯示本發明第一實施例之一測試系統的方塊圖。

第10圖係顯示安排本發明第二實施例之一鐵電記憶體的方塊圖。

第11圖係顯示根據本發明第二實施例之一取樣維持電路的電路圖（其中該電路是為一位元線作準備的）。

第12圖係顯示根據本發明第二實施例之一取樣維持電路的電路圖（其中該電路是為每對位元線作準備的）。



五、發明說明 (20)

第13圖係顯示本發明第二實施例中之一鐵電記憶體操作流程的流程圖(位元線讀出電位測量操作)。

第14圖係顯示本發明第二實施例之一測試系統的方塊圖。

該等上面以及本發明其他的物體，特徵及優點將會由下面參考圖形的實施例描述而變明顯。

[符號說明]

鐵電記憶單元~100，300；
記憶單元~110；
列解碼器~120；
行解碼器~130；
感測部電路方塊~140；
參考電位建立電路方塊~150；
位置預解碼器~160；
控制電路~170；
感測部電路~180；
感測放大控制電路~181；
位元線預充電控制電路~182；
虛擬記憶單元控制電路~183；
輸入/輸出緩衝電路~190；
測試系統~200，400；
系統控制部~210；
控制信號建立部~220；
資料建立部~230；



五、發明說明 (21)

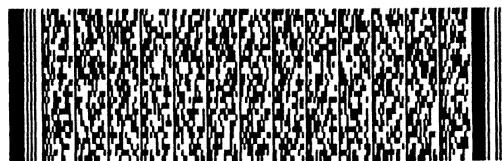
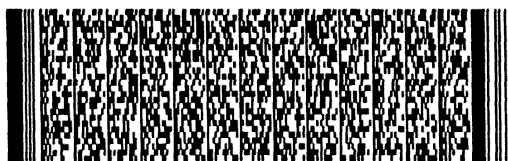
位置建立部~240 ;
參考電位建立部~250 ;
測定部~260 ;
儲存部~270 ;
統計處理部~280 ;
資料信號維持電路方塊~310 ;
信號維持電路控制部~410 ;
A/D轉換部~420 ;
儲存部~430 ;
統計處理部~440 ;
步驟元件~S13-S16 , S22-S24 ;
取樣維持電路~SH1-SHn ;
感測放大器~SA1-SAn ;
類比開關~SW10 , SW21 , SW22 ;
取樣電容~C10 , C21 , C22 ;
電壓隨耦器~OP10 , OP21 , OP22 , OP3 。

較佳實施例的詳細說明

本發明之較佳實施例將在此利用圖示做描述。

(實施例一)

請參閱第4圖，其顯示本發明第一實施例之一鐵電記憶單元100（一種半導體裝置）。它是由一參考電位建立電路方塊150及有關於第1圖之鐵電記憶單元100所構成。在此將以鐵電記憶單元為例子做描述，然而本發明能應用於任



五、發明說明 (22)

何將資料由記憶體單元讀到位元線的半導體記憶裝置。

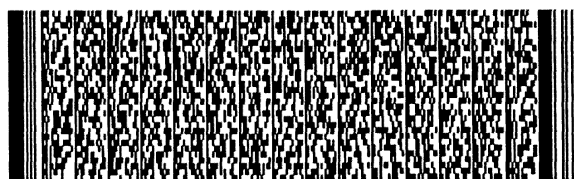
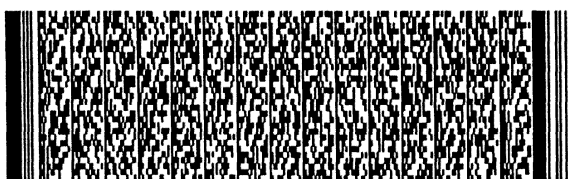
在此的圖形中，相同的參考數字之表示與第1圖中相同的元件，因此對於該等元件的描述將會忽略。

如第4圖所顯示，該參考電位建立電路方塊150是安排在具有 m 列 n 行之一記憶單元陣列110的旁邊。該參考電位建立電路方塊150從裝置的外部建立電位，該電位是當在位元線上的資料信號被放大時，當作如標準的參考信號電位，以及形成從記憶單元讀到記憶單元陣列110內位元線的資料信號電位之測量電位。

相關於記憶單元110陣列是一列解碼器120，一行解碼器130，以及一感測部電路方塊140。該感測部電路方塊140包括上述第1圖中的感測放大器 SA_1-SA_n ，位元線預充電電路 PBL_1-PBL_n ，以及虛擬記憶單元 $DCN_1, DCT_1, \dots, DCN_n, DCT_n$ 。一感測部電路180包括第1圖中的一感測放大控制電路181，一位元線預充電控制電路182，以及虛擬記憶單控制電路183。

一輸入/輸出緩衝電路190包含用以從裝置的外部輸入資料 DIN （寫入資料）的一資料輸入緩衝電路（在此並未顯示）以及用以輸出資料 $DOUT$ （讀出資料）到裝置外部的一資料輸出緩衝電路（在此並未顯示），該輸入/輸出緩衝電路是用以轉換半導體記憶裝置100和外部之間的資料。

一控制電路170接收控制信號 $CNTMEM$ ，該控制信號是由裝置的外部輸入以控制裝置內部的操作，例如位置預解



五、發明說明 (23)

碼器160，感測部電路180以及輸入/輸出緩衝電路190。

在第一實施例中之參考電位建立電路方塊150特徵將在此作更詳細的描述。

參考電位建立電路方塊150基於量測位元線讀出電位的控制信號群CNTVBL以建立位元線BLNk或位元線BLTk的參考信號電位（參考電位），該控制信號群將量測由裝置外部輸入的位元線讀出電位。

第5圖係顯示記憶單元陣列的每一位元線與參考電位建立電路方塊150的連接關係。在第5圖中，參考電位建立電路方塊150包括參考電位建立電路VSET1-VSETn，而該等參考電位建立電路則是提供給每對位元線。選擇控制信號SEL選擇位元線以建立參考電位，而由裝置外部指定的電位VREF則是提供至參考電位建立電路VSET1-VSETn當作由裝置外部輸入的控制信號群CNTVBL。舉例來說，選擇控制信號SEL以及指定參考電位VREF都是由裝置的外部經形成在鐵電記憶單元上的焊點電極而作用在參考電位建立電路中。包裝內無用的引線（NC-pin）也可能被使用。

在下面的描述中，由裝置外部指定的電位將以指定參考電位VREF表示，而發生在位元線的參考信號電位將以VBLREF表示。

第6圖係顯示安排參考電位建立電路VSETk的一個例子。

如該圖所示，該參考電位建立電路VSETk包含電晶體T1和T2，其中當發生參考信號時，它們的汲級分別連接到



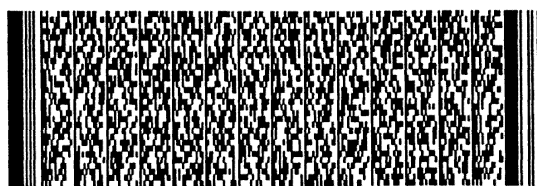
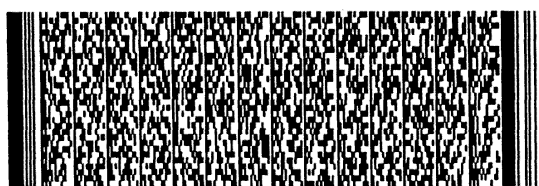
五、發明說明 (24)

位元線BLNk和BLTk，而裝置外部指定的指定參考電位VREF則是提供至電晶體T1和T2的源極，以及在量測位元線電位（位元線讀出電位）的選擇控制信號SELNk及SELTk（選擇控制信號SEL）則是分別提供至電晶體T1和T2的閘極。換句話說，電晶體T1的電流路徑的一端連接至位元線BLNk，而量測位元線電位BLNk的選擇控制信號SELNk則是提供到它的閘極。電晶體T2的電流路徑之一端連接至位元線BLTk，而量測位元線電位BLTk的選擇控制信號SELTk則是提供到它的閘極。指定參考電位VREF提供至電晶體T1和T2電流路徑的另一端。電晶體T1和T2具有稱作轉換閘的函數，而源極和汲極並不需要作定義。

下面將藉由第8圖的流程圖及參考第7圖的時序圖描述第一實施例中鐵電記憶單元100的操作，其中第8圖為量測位元線讀出電位的例子。第7圖係顯示在第5圖電路中量測位元線讀出電位的每一信號時序圖。第8圖係顯示量測位元線讀出電位的操作流程。在第一實施例中，量測位元線讀出電位是為了將第5圖中整個記憶單元形成記憶單元陣列110。

第S10步驟：首先，測試鐵電記憶單元100的一外部測試系統（在此並未顯示）建立位置信號Ai以選擇一第一記憶單元MC11。

第S11步驟：下一步，藉由一外部測試系統建立當作指定參考電位VREF的初始電位VREF0。該參考電位VREF0藉由第6圖之參考電位建立電路VSET1-VSETn供應至位元線



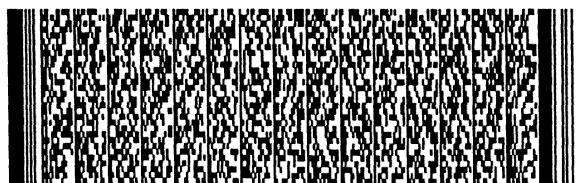
五、發明說明 (25)

BLT1-BLTn。明確地說，當連接位元線BLT1-BLTn記憶單元被選擇時，選擇控制信號SEL會為高電位而且電晶體T2將會啟動以提供指定參考電位VREF到位元線BLT1-BLTn。因此，在與位元線BLN1分開而連接到記憶單元MC11的位元線BLT1上之參考電位VBLREF會被建立為指定參考電位VREF0。外部的測試系統產生在接地電位與源極電位間的電位（如同指定參考電位VREF在一方向作改變），並提供該電位到參考電位建立電路VSET1-VSETn。如下面之描述，指定參考電位VREF會增加 ΔV ，但並不限制它的數值，它可以為任何電壓。

第S12步驟：下一步，資料DIN（寫入資料）由外部測試系統傳輸至輸入/輸出緩衝電路190，而且該資料寫入記憶單元MC11。若鐵電記憶體為二元記憶，則寫入資料為"0"或"1"，以及若鐵電記憶體為三元記憶，則寫入資料為"0"，"1"，以及"2"。寫入到記憶單元的方法可與傳統的鐵電記憶體一樣。

第S13步驟：下一步，由記憶單元MC11讀出之資料則是寫入到位元線BLN1。讀出資料的方法與傳統的鐵電記憶體一樣。如第7圖所顯示，在提高字元線WL1和連接到記憶單元MC11的平面線PL1而使位元線預充電信號PBL變低電位後，就會導通以選擇電位。讀出到位元線BLN1的資料信號電位造成位元線讀出電位VBLX。

第S14步驟：下一步，藉由感測放大器SA1以不同的放大倍率比較位元線BLT1的參考電位VREF與在元線BLN1的參



五、發明說明 (26)

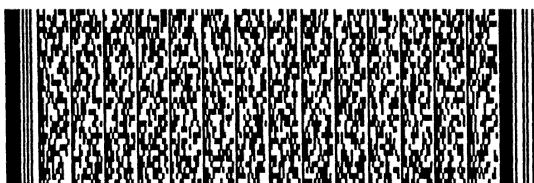
考電位VBLX之振幅。

第S15步驟：在此步驟中，若在第S14步驟中比較振幅的結果為位元線讀出電位VBLX > 參考電位VREF（第S14步驟："真（YES）"），則電位 ΔV (>0) 會加到最後的參考電位VBLREF以增加VBLREF，並且重複S12-S15步驟。電位 ΔV 是指定參考電位VREF的一個改變量，它提供到在位元線上的參考電位VBLREF，以及它是藉由考量感測放大器的敏感度，測量位置，及其他因素而決定的。

第S16步驟：若位元線讀出電位VBLX是界於接地電位和源極電位之間，藉由重複上述之S12-S15步驟，則最後會達到"位元線讀出電位VBLX < 參考電位VBLREF"的關係，這是因為參考電位VBLREF會從接地電位漸漸地增加到源極電位。在增加參考電位VBLREF的程序中，當第一次達到"位元線讀出電位VBLX < 參考電位VBLREF"的關係時，在此點的參考電位VBLREF將會被取出。在此情況下，因為參考電位VREF建立指定參考電位VREF，指定參考電位VREF會被直接取用。在此時的指定參考電位VREF電位值會如同在此時的位元線BLN1參考電位VBLX一樣被取用。

第S17步驟：下一步，將決定在此時被選用的記憶單元是否為最後一個單元。因為現在已選用第一記憶單元MC11，記憶單元不是最後一個記憶單元，所以決定的結果為偽（NO）。

第S18步驟：在第S17步驟的偽-決定（第S17步驟：偽）中，下一個記憶單元MC21會被選用，以及上述之



五、發明說明 (27)

S11-S16 步驟的程序會同樣地由記憶單元MC21執行。

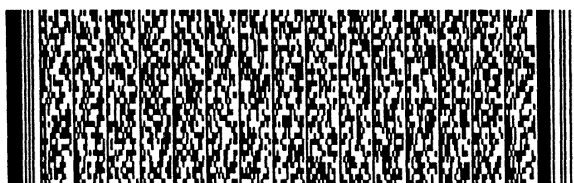
在此之後，一連續的程序重複上述之S11-S18的步驟直到第S17步驟的決定為真-決定，因而可以量測所有記憶單元的位元線讀出電位VBLX。

到目前為止描述的測量操作中，因為讀出的操作包括破壞記憶單元內的儲存資料，若是需要維持儲存資料，則再寫入的操作可以如上述傳統的鐵電記憶體一樣。若是不需要維持儲存資料，則再寫入的操作可以省略。

之後，位元線讀出電位VBLX的測量機器將藉由參考第7圖時序圖的記憶單元MC11之例子作詳細的說明。

在位元線BLN1上連接到記憶單元MC11的位元線讀出電位VBLX與在位元線BLT1上的參考電位VREF作比較，以及放大的操作是根據它們的電位振幅由感測放大器SA1執行。理想上，該電位的關係與參考電位VREF等於位元線讀出電位的狀態是相反的。在第一實施例中，位元線讀出電位VBLX利用位元線讀出電位VBLX間接地由外部獲得，有意地控制參考電位VREF並且在電位振幅關係反向時觀察參考電位VREF。

此現象將在此做明確地描述。在位元線上的參考電位VREF是由第6圖中外部參考電位建立電路VSETk建立的。明確地說，在第6圖中，若是選用連接到位元線BLNk的記憶單元，則電晶體T2會開啟(ON)而使得選擇控制信號SELT為高電位，而且指定參考電位VREF會作用於位元線BLTk。因此，在位元線BLTk上的參考電位VREF會設定為指定參考



五、發明說明 (28)

電位VREF，以及位元線BLTk會設定為預定的電位。另外一方面，若是選用連接到位元線BLTk的記憶單元，則電晶體T1會開啟(ON)而使得選擇控制信號SELN為高電位，以及位元線BLTk會設定為預定的電位。

在位元線讀出電位VBLX與參考電位VREF之間的振幅關係是由感測放大器差動放大的結果獲得。在"位元線讀出電位VBLX > 參考電位VREF"的情形下，在完成感測放大動作信號SAE為高電位與放大操作後，如第7圖中由上往下數第六個圖所顯示位元線BLN1會為高電位(位元線電位VBL)。在此之後，一但驅動行選擇線YSW1以執行正規的讀出動作，依此例中的位元線電位振幅關係(BLT1/BLN1=低電位/高電位)如資料DOUT的一邏輯值會被輸出。

然後，在"位元線讀出電位VBLX < 參考電位VREF"的情形下，在完成上升感測放大動作信號SAE與放大操作後，如第7圖中由上往下數第七個圖所顯示位元線BLT1會為高電位而位元線BLN1會為低電位。在此之後，一但驅動行選擇線YSW1以執行正規的讀出動作，依此例中的位元線電位振幅關係(BLT1/BLN1=高電位/低電位)如資料DOUT的一邏輯值會被輸出。

如上面所說明，"感測放大器的差動放大"是指比較位元線電位BLNk與BLTk而使得更高的高電位以及更地的低電位。位元線讀出電位VBLX與參考電位VREF之間的振幅關係以此方式如同差動放大操作般的由外部讀出資料DOUT邏輯值得到。

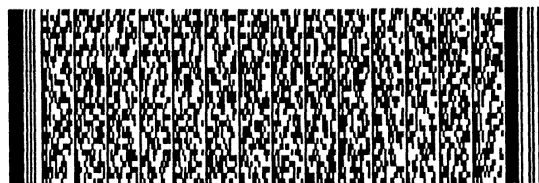


五、發明說明 (29)

位元線讀出電位VBLX與參考電位VREF之間的振幅關係在電位相等的關鍵點是反向的。換句話說，當電位的振幅關係在參考電位VBLREF被故意地由外部控制而反向時，在此時的參考電位可由位元線讀出電位獲得。因此，位元線讀出電位VBLX是間接地由監視由一外部測試系統指定參考電位VBLREF的指定參考電位VREF獲得，由鐵電記憶體讀出的資料DOUT邏輯值會被測試，以及當資料DOUT的數值反向時，可以得到指定參考電位VREF。

在上述的例子中，因為參考電位VBLREF的初始值為接地電位，而參考電位VBLREF是漸漸地以增加單位 ΔV (>0) 增加，第一狀態的振幅關係"位元線讀出電位VBLX $>$ 參考電位VBLREF"會改變成另一狀態的振幅關係"位元線讀出電位VBLX $<$ 參考電位VBLREF"。當參考電位VBLREF的初始值為電源電位，而參考電位VBLREF是漸漸地減少時，相對的方法也可使用。在此例子中，第一狀態的振幅關係"位元線讀出電位VBLX $<$ 參考電位VBLREF"會改變成另一狀態的振幅關係"位元線讀出電位VBLX $>$ 參考電位VBLREF"。

到目前為止所作的描述中，"位元線讀出電位VBLX = 參考電位VBLREF"的關係並未討論。原因是此關係並不能由感測的放大操作觀察得到。特別地，即使在真正的鐵電記憶體操作中能達到"位元線讀出電位VBLX = 參考電位VBLREF"的關係，因為感測放大器具有偏移量，該感測放大器決定"位元線讀出電位BLN2/參考電位BLT2"變成"低電位/高電位"和"高電位/低電位"其中之一的狀態，以及執



五、發明說明 (30)

行放大操作而輸出"0"和"1"其中之一的資料。因此，不可能由差動放大的結果資料DOUT觀察到"位元線讀出電位 V_{BLX} = 參考電位 V_{BLREF} "的關係。

此外，因為感測放大器的放大操作是基於在位元線讀出電位與參考電位間有電位差的假設，"位元線讀出電位 V_{BLX} = 參考電位 V_{BLREF} "的關係是不能直接偵測的。然而，若是電位 ΔV 能設定成參考電位的改變量，則實際可做到"位元線讀出電位 V_{BLX} = 參考電位 V_{BLREF} "。因此，電位 ΔV 能由考慮感測放大器的偏移量和所需的測量準確度而適當的設定。

到目前為止所作的描述為根據第一實施例的鐵電記憶體量測位元線讀出電位 V_{BLX} 的方法。在第6圖中的參考電位設定電路 $VSET_k$ ，若有另一個電路供應指定參考電位 V_{BLREF} 到位元線， BLN_k 和 BLT_k 則可分享該電路。

再來將要描述具有一函數以測量鐵電記憶體內位元線讀出電位的一測試系統。

第9圖係顯示一測試系統200的例子。位元線讀出電位可以不用如測試系統200的記憶體測試器之一般用途測試系統測量。在第9圖中，一系統控制部210管理和控制整個系統的操作。上述之控制信號建立部220產生控制信號CNTMEM控制測試之鐵電記憶體100讀出和寫入的操作。

資料建立部230產生如同上述之寫入資料DIN的資料DIN。一位置建立部240產生位置。控制信號建立部220，資料建立部230以及位置建立部形成一控制部以控制一系



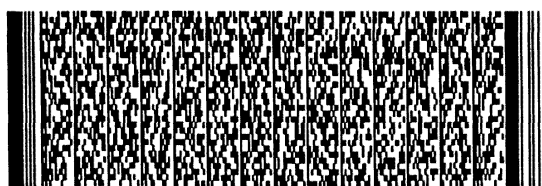
五、發明說明 (31)

列產生位置的步驟而供應至鐵電記憶體100以及從記憶單元讀出資料。

一參考電位建立部250在電源電位和接地電位間產生指定參考電位VREF以供應參考電位建立電路方塊150，以及該指定參考電位VREF和上述的選擇控制信號SEL一樣。一測定部260決定由感測放大器SA1-SAn放大的資料信號之邏輯值，尤其是決定鐵電記憶體100讀出的資料DOUT之邏輯值，以及輸出決定結果的旗標信號COMP。一儲存部270參照旗標信號COMP儲存當資料DOUT之邏輯值反向時（指定參考電位VREF）的參考電位VBLREF。一統計處理部280處理儲存在儲存部270內的參考電位以及輸出統計處理結果VBLMR。

測試系統200的操作將在此簡單的描述。該控制信號建立部220，資料建立部230，位置建立部240以及參考電位建立部250建立在控制系統210下方的控制，如控制信號CNTMEM，寫入資料DIN，指定參考電位VREF，以及選擇控制信號SEL都供應到鐵電記憶體100。另一方面，測定部260決定鐵電記憶體100輸出之資料輸出DOUT之邏輯值以及輸出表示儲存部270決定結果的旗標信號COMP。該旗標信號COMP係顯示資料輸出DOUT邏輯值之反向。

參照旗標信號COMP，可執行上述第8圖之第S14步驟的決定程序。舉例來說，若旗標信號COMP的邏輯值為"0"，則" $BVLX > VBLREF$ "的振幅關係被決定，而若旗標信號COMP的邏輯值為"1"，則" $BVLX < VBLREF$ "的振幅關係被決定。當



五、發明說明 (32)

" $BVLX < VBLREF$ " 的振幅關係第一達成時，會得到指定參考電位 $VREF$ ，以及當作表示在此點位元線讀出電位 $VBLX$ 的資訊並儲存該指定參考電位 $VREF$ 在儲存部 270 內。在位元線讀出電位被測量時，記憶體單元的位置 A_i 和寫入資料 DIN 也當作根據指定參考電位 $VREF$ 附加的資訊而儲存在儲存部 270 內。

若儲存部 270 僅能儲存數位值，在適當的 A/D 轉換後，得到的指定參考電位 $VREF$ 會儲存在儲存部 270 內。儲存在儲存部 270 內的資訊（那就是由位置 A_i 和其他指定的記憶單元之位元線讀出電位 $VBLX$ ）統計地由統計處理部 280 做處理，並且如資料庫般地保持位元線讀出電位量測的結果。

在上述第 5 圖的鐵電記憶體 100 中，只有建立指定參考電位 $VREF$ 的參考電位建立電路方塊 150 製作成晶片。除了參考電位建立電路方塊 150 外，函數是由系統控制部 210，控制信號建立部 220，資料建立部 230，位置建立部 240，參考電位建立部 250，測定部 260，儲存部 270 以及統計處理部 280 執行，而且全部或部分不同的線路可以合併於鐵電記憶體 100 內。

根據上述之第一實施例，在短時間內不需要在位元線上建立大能量負載或電流負載而位元線讀出電位能被量測，而且不需要花費大量的時間執行位元線上讀出資料的程序。

第一實施例的描述已完畢。



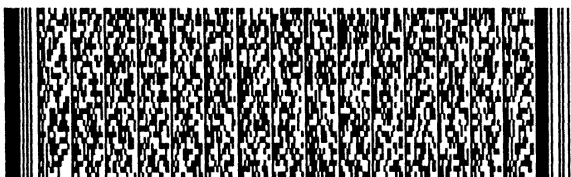
五、發明說明 (33)

第二實施例將在此做描述。

第10圖係顯示本發明第二實施例中之一鐵電記憶體300。該鐵電記憶體300包括用以擷取和維持根據控制信號CNTSH由位元線BLNk，BLTk讀出資料信號之信號維持電路方塊310，該安排的方法與第一實施例第4圖中一樣，但信號維持電路方塊310取代了參考電位建立電路方塊150。該信號維持電路方塊310包括複數為每一2位元線(two-bit-line)對作準備的取樣維持電路。

第11圖係顯示該取樣維持電路。在第11(a)圖所顯示的例子中包括連接到位元線(BLNk或BLTk)的一類比開關SW10(其中該類比開關的開啟或關閉由控制信號CNTSW決定)，儲存位元線讀出電位的一取樣電容C10，以及由運算放大器OP10構成的一電壓隨耦器。開關SW10的一端連接至位元線(BLNk，BLTk)，而另一端則是連接到包括運算放大器OP10的電壓隨耦器之輸入埠。取樣電容C10是連接在電壓隨耦器輸入埠與接地電位之間。運算放大器OP10的動態(操作/等待)是由控制信號CNTOPA控制。控制信號CNTSW和控制信號CNTOPA是如圖上述之控制信號CNTSH一樣的控制。

在第11(a)圖中之取樣維持電路動作的情況下，首先控制信號CNTSW開啟開關SW10以將儲存在C10的位元線讀出電位。然後，開關SW10會關閉以及控制信號CNTOPA會啟動運算放大器OP10使得運算放大器OP10(電壓隨耦器)輸出類比位元線讀出電位VBLX到外部。開關SW10的開啟/關



五、發明說明 (34)

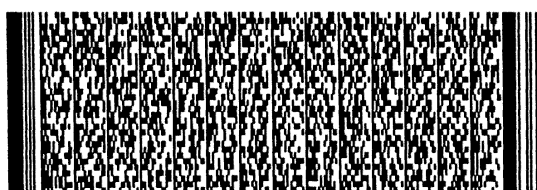
閉的時序與運算放大器OP10的時序可相互移動。運算放大器OP10的輸出信號是經由晶片的電極墊或包裝未使用的接頭取得。

在此取樣維持電路中，取樣電容C10的電容值降低至位元線BL的寄生電容值是重要的（舉例來說，低於位元線寄生電容的10%）。如此可降低取樣維持電路的輸入電容對位元線讀出電位的影響，因此改進了量測的準確度。

限制小的取樣電容C10會產生問題，取樣維持電路的漏電容會使它無法在基本的時間期間內維持住位元線讀出電位，而使得電壓隨耦器（運算放大器OP10）的電流驅動電容變成不適用的。第11（b）圖顯示了解決此問題的取樣維持電路。

第11（b）圖的取樣維持電路基本上是變換第11（a）的取樣維持電路為一二級的電路。第一級包括一類比開關SW21，取樣電容C21，以及包括運算放大器OP21的電壓隨耦器。第二級包括一類比開關SW22，取樣電容C22，以及包括運算放大器OP22的電壓隨耦器。第一級和第二級取樣維持電路的安排與第11（a）圖一樣。

然而，第一級的取樣維持電路與上述之第11（a）圖的電路一致，而取樣電容C21具有低電容值。在第一級取樣維持電路的取樣電容C22則是具有高電容值，以及運算放大器OP22亦具有大電流驅動的能力。藉由這樣的設計，它可以包括維持位元線讀出電位所需的大取樣電容以及在限制信號維持電路方塊310的電容負載時具有大電流驅動



五、發明說明 (35)

能力的運算放大器。

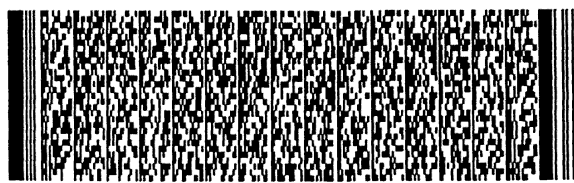
如第5圖的1T/1C形式的操作下，從選擇的記憶單元讀出資料的位元線僅為位元線對BLNk，BLTk其中之一。因此，當取樣維持電路中類比開關也用來開關位元線時，取樣維持電路中運算放大器的數目可以減少。第12圖顯示了這樣安排的取樣維持電路。

在第12圖中，位元線BLNk連接至電流路徑電晶體TR1的一端以當作一類比開關，以及位元線BLTk連接至電流路徑電晶體TR2的一端以當作一類比開關。電晶體TR1，電晶體TR2之電流路徑的另一端則是一起連接至包括運算放大器OP3的電壓隨耦器之輸入端。取樣電容C30連接在輸入和接地端之間。控制信號CNTN和CNTT分別連接至電晶體TR1和電晶體TR2，以控制它們為互補的開啟。而運算放大器OP3的動態（操作/等待）是由控制信號CNTOPA控制。

第二實施例的操作將藉由第13圖的流程圖在此做描述。該第13圖流程圖為測量第10圖中鐵電記憶單元300位元線讀出電位的例子。第11(a)圖係顯示形成信號維持電路方塊310之取樣維持電路的安排。

第S20步驟：首先，外部測試系統（在此並未顯示）會供應位置至測試的鐵電記憶單元300以選擇第一記憶單元。

第S21步驟：下一步，寫入資料由外部測試系統提供，並且寫入記憶單元。若鐵電記憶體為二元記憶，則寫入資料為"0"或"1"，以及若鐵電記憶體為三元記憶，則寫



五、發明說明 (36)

入資料為"0"，"1"，或"2"。寫入到記憶單元的方法可與傳統的鐵電記憶體一樣。

第S22步驟：下一步，由記憶單元讀出之資料則是寫入到位元線（BLNk或BLTk）。讀出資料的方法與傳統的鐵電記憶體一樣。如第7圖所顯示，在提高字元線WL1和連接到記憶單元MC11的平面線（plate-line）PL1而使位元線預充電信號PBL變低電位後，就會導通以選擇電位。讀出至位元線BLN1的資料信號電位變成位元線讀出電位VBLX。

第S23步驟：下一步，維持位元線讀出電位VBLX。明確地說，控制信號CNTSW開啟開關SW10，以及取樣維持電路的取樣電容C10維持住位元線讀出電位VBLX。運算放大器OP10根據取樣電容C10的位元線讀出電位VBLX並藉由控制信號CNTOPA控制並輸出類比電位。取樣維持電路的輸出記為"位元線讀出電位VBLX（SH）"。

第S24步驟：下一步，位元線讀出電位VBLX（SH）傳輸至一A/D轉換器或是像在外部測試系統的A/D轉換，使得可以得到數位位元線讀出電位。轉換成數位的位元線讀出電位VBLX（SH）記為"位元線讀出電位VBLX（D）"。

第S25步驟：下一步，將決定在此時被選用的記憶單元是否為最後一個單元。因為現在已選用第一記憶單元，記憶單元不是最後一個記憶單元，所以決定的結果為偽。

第S26步驟：若上述第S25步驟為偽-決定（第S25步驟：偽），另一個記憶單元會被選用，以及上述之S21-S24步驟的程序會同樣地由該記憶單元執行。



五、發明說明 (37)

在此之後，一系列S21-S26步驟的迴路程序會重覆的執行直到真-決定，此時的記憶單元為最後一個記憶單元，以便得到全部記憶單元的位元線讀出電位VBLX (D)。

測量第10圖中鐵電記憶體300之位元線讀出電位的測試方法已描述完畢。

再來將要描述具有一函數以測量鐵電記憶體300內位元線讀出電位的一測試系統。

第14圖係顯示一測試系統400的例子。位元線讀出電位可以藉由測試系統400而不須使用一般用途測試系統測量。因為該系統與第9圖中第一實施例的測試系統200有許多相似之處，在此僅將描述測試系統400與第9圖不同之處。

在第14圖中，測試系統400將要測試鐵電記憶體300。鐵電記憶體300由上述之信號維持電路方塊310提供並且輸出類比位元線讀出電位VBLX (SH)。測試系統400包括一信號維持電路控制部410，取代參考電位建立部250的一A/D轉換部420，以及第9圖中之測定部260。

信號維持電路控制部410是用來擷取位元線的讀出資料信號至鐵電記憶體300內的信號維持電路方塊310，以及產生上述的控制信號CNTSW，CNTOPA。A/D轉換部420從信號維持電路方塊310 A/D轉換位元線讀出電位VBLX (SH)至外部，以便輸出位元線讀出電位VBLX (D)。

測試系統400的操作將在此做簡單的描述。



五、發明說明 (38)

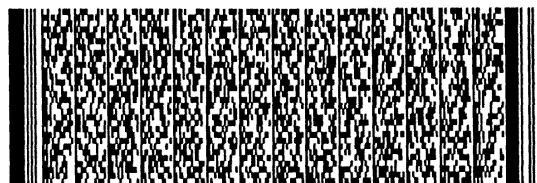
控制信號建立部220，資料建立部230，位置建立部240以及信號維持電路控制部410在系統控制部210控制下建立控制信號CNTMEM，寫入資料DIN，位置Ai和控制信號CNTSW，CNTOPA以及上述其他的信號，以便提供它們至鐵電記憶體300。A/D轉換部420 A/D轉換鐵電記憶體300讀出的位元線讀出電位VBLX (SH)，而輸出位元線讀出電位VBLX (D) 到儲存部270。

再此時，量測位元線讀出電位的記憶單元位置Ai和寫入資料DIN是儲存在儲存部270以當作對應於位元線讀出電位VBLX (D) 的附加資訊。統計處理部280統計地處理儲存在儲存部270的資訊（或是如記憶單元位置Ai指定的資料信號位元線讀出電位VBLX (D) ），如資料庫般地保持位元線讀出電位量測的結果。

在第10圖中的記憶單元300，僅有維持位元線讀出電位VBLX的信號維持電路方塊310製作於晶片內。然而，製作上並不限制此事例，除了信號維持電路方塊310外，由上述之形成測試系統400的系統控制部210，控制信號建立部220，資料建立部230，位置建立部240，信號維持電路控制部410，A/D轉換部420，儲存部270以及統計處理部280所製作的函數也可以全部或一部份的線路製作於記憶單元300。

第二實施例已描述完畢。

當在第一實施例中不考慮記憶單元的資料記憶能力時，額外的取樣測量步驟提供了資料記憶能力的測量。舉



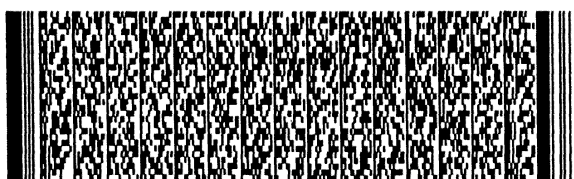
五、發明說明 (39)

例來說，根據第一實施例中第8圖的流程圖，若在第步驟11與第步驟12之間提供等待一可靠時間 T_{ret} 的等待步驟，則可以測量在資料記憶時間 T_{ret} 之後的位元線讀出電位。因此，記憶單元的資料記憶能力可由在資料記憶時間 T_{ret} 之後的位元線讀出電位得到。同樣地，根據第二實施例中第13圖的流程圖，若在第步驟21與第步驟22之間提供等待一可靠時間 T_{ret} 的等待步驟，則可測量在資料記憶時間 T_{ret} 之後的位元線讀出電位。

若在循環的寫入或讀出操作（如 $10n$ 次）後再測量位元線讀出電位，則可測量循環操作的電阻值。本發明因此可以適用於半導體裝置的可靠度測量，因為資料記憶能力或循環操作的電阻值能幫助半導體記憶裝置可靠度的改進。

此外，在上述第一實施例和第二實施例中，讀出電位可藉由與一般記憶體操作相似的程序而量測得到。明確地說，如我們從第8圖和第13圖的流程圖中知道，它僅需要提供電氣輸入信號至測試的鐵電記憶單元並監視其輸出信號，以及僅需使用如記憶測試器的外部系統即可執行量測位元線讀出電位。因此並不需要時間消耗操作以製造內部接點的探針，而且不須使用如EB測試器的昂貴系統。所以，可以用低價位執行位元線讀出電位的量測。

同時，根據上述第一實施例和第二實施例，首先，量測位元線讀出電位的測試部之負載是與一個電晶體負載或是具有遠低於位元線電容的一個取樣電容負載之階數



五、發明說明 (40)

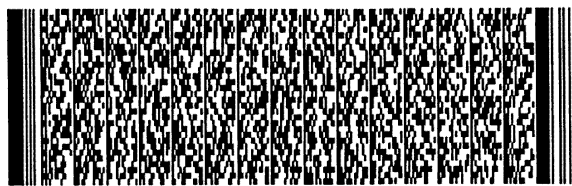
(order) 有關。因此，因為測試部而增加的電容負載是微不足道的。第二，可以使用任何的電流負載。第三，從位元線讀出的資料實質上可以與操作傳統半導體記憶裝置的時間一樣。舉例來說，根據上述之第一實施例，比較根據傳統裝置的第2圖之時序圖與根據本發明的第7圖之操作時序圖，我們可以了解兩圖之間讀出資料信號至位元線的時間幾乎是一致的。根據上述之第二實施例，讀出資料至位元線的時間與位元線讀出電位傳送至取樣維持電路的時間階數有關。因此它與操作傳統半導體記憶裝置的時間幾乎一樣。所以準確地測量位元線讀出電位而不受因為位元線漏電或相似的情況導致讀出電位變化的影響是有可能的。

雖然根據本發明之實施例已揭露如上，本發明並不限定在該等實施例以及任何在不違反發明精神的領域內之修改設計。舉例來說，第一實施例為在一鐵電記憶體內安排在一位元線對上互相發生參考電位，本發明並不限定在此例子而且可以應用到在一半導體記憶體裝置內的記憶單元單元的外部產生參考電位。

第二實施例中，位元線讀出電位由取樣維持電路維持住，本發明並不限定於此，而且每一位元線讀出電位能在每一電晶體（舉例來說，將源極拔出而形成的源極隨耦器）的閘極被接收。

如上面的描述，本發明具有下列的作用：

因為半導體記憶體裝置包括從外部裝置建立參考信號



五、發明說明 (41)

電位的指定電位之參考電位建立部，藉由比較位元線上資料信號和參考信號的振幅可以間接的得到位元線上的資料信號值但不影響資料信號。因此，準確的測量從記憶單元讀到位元線的類比資料信號（位元線讀出電位）是可能的。

此外，因為半導體記憶體裝置包括取樣維持電路以擷取和維持讀到位元線的資料信號，資料信號的電位能以影響資料信號最小的情況直接的得到。因此，準確的測量從記憶單元讀到位元線的類比資料信號（位元線讀出電位）是可能的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

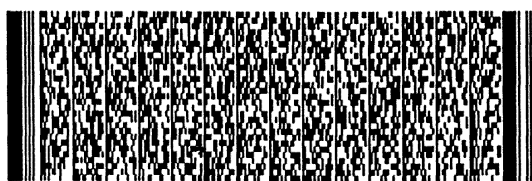


四、中文發明摘要 (發明之名稱：半導體記憶裝置、其測試系統以及其測試方法)

一種半導體記憶裝置，可以準確地量測從記憶單元讀至位元線（位元線讀出電位）的類比資料信號。在本發明中，感測部電路方塊140差動放大單元陣列110內位元線對（如位元線BLNk，BLTk）之資料信號，以及發生在另一對的參考信號，並讀出資料。位元線BLN1，BLT1，-，BLNn，BLTn連接到一參考電位建立電路方塊150。參考電位建立電路方塊150建立由裝置外部指定的電位以當作位元線上的參考信號。位元線讀出電位間接的由控制參考電位建立電路方塊150所建立之參考信號差動放大的結果獲得。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE AND TESTING SYSTEM AND TESTING METHOD)

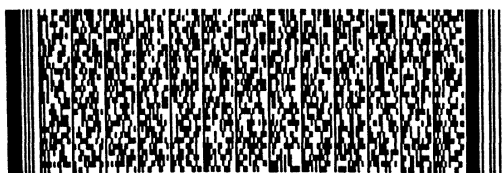
The object of the present invention is to provide a semiconductor memory device wherein analog data signal potential read out from a memory cell to bit-line(bit-line read-out potential)can be measured precisely. In this invention, a sense part circuit block 140 differentially amplifies data signal occurring on one of a pair of bit-lines (for example, bit-line BLNK, BLTK) in a memory cell array 110, and reference signal occurring on another of the pair,



四、中文發明摘要 (發明之名稱：半導體記憶裝置、其測試系統以及其測試方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE AND TESTING SYSTEM AND TESTING METHOD)

and data is read out. Bit-lines BLN1, BLT1, -, BLNn, BLTn are connected to a reference potential setup circuit block 150. Reference potential setup circuit 150 sets up potential assigned from outside of the device as potential of reference signal on bit-line. Bit-line read-out potential is indirectly obtained from the differential amplification result by controlling the reference potential with the reference potential setup circuit block 150.



六、申請專利範圍

1. 一種半導體記憶裝置，包括：

一記憶單元陣列，該記憶單元陣列是將記憶單元安排在一矩陣內而形成的；

複數字元線，該等字元線是用以選擇該記憶單元陣列的每一列；

複數位元線，該等位元線是用以運送記憶單元輸出的資料信號，該資料信號屬於該記憶單元陣列的每一行；

一參考信號產生部，當在位元線上發生放大資料信號時，該參考信號產生器產生一參考的信號；以及

一放大部，該放大部放大位元線上的資料信號以與參考信號做比較，

其特徵在於：

該半導體記憶裝置具有從裝置外部建立如參考信號電位之指定電位的一參考電位建立電路部。

2. 如申請專利範圍第1項所述之半導體記憶裝置，其中參考電位建立電路部，包括：

一電晶體，該電晶體的汲極連接到具有參考信號之記憶單元陣列的一位元線，以及從裝置外部指定的電位供應到源極，以及測量位元線電位的控制信號則是供應到閘極。

3. 一種測試系統，用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列，用以選擇該記憶單元陣列每一列的複數字元線，用以運送從記憶單元輸出資料信號的複數位元線，其中該資料



六、申請專利範圍

信號是屬於該記憶單元陣列的每一行，當在位元線上發生放大資料信號時，該參考信號產生器產生一參考信號的一參考信號產生部，放大位元線上的資料信號以與參考信號做比較的一放大部，以及從裝置外部建立如參考信號電位之指定電位的一參考電位建立電路部，

其特徵在於包括：

一參考信號控制部，該參考信號控制部在源極電位與接地電位之間產生隨電位方向改變的電位以供應該電位到參考電位建立電路，以及控制參考信號的電位；

一控制部，該控制部控制產生供應到半導體記憶裝置的位置，以及從記憶單元讀取資料信號的一系列步驟；

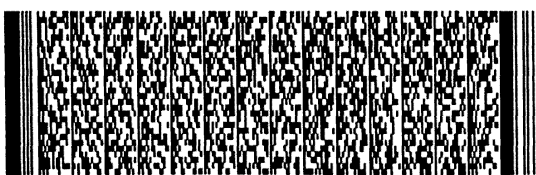
一測定部，該測定部決定由放大部所放大資料信號的邏輯值；

一儲存部，該儲存部儲存了當測定部決定的邏輯值反向時之參考信號電位值；以及

一統計處理部，該統計處理部以統計的方式處理儲存在儲存部內的電位值。

4. 如申請專利範圍第1或2項所述之半導體記憶裝置，其中包括全部或一些由申請專利範圍第3項所提之控制部，一測定部，一儲存部以及一統計處理部所執行的函數。

5. 一種測試方法，用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的記憶單元陣列，用以選擇該記憶單元陣列每一列的複數字元線，用以運送



六、申請專利範圍

從記憶單元輸出資料信號的複數位元線，該資料信號是屬於該記憶單元陣列的每一行，當在位元線上發生放大資料信號時，該參考信號產生器產生一參考信號的一參考信號產生部，放大位元線上的資料信號以與參考信號做比較的一放大部，以及從裝置外部建立如參考信號電位之指定電位的一參考電位建立電路部，

其特徵在於包括下列步驟：

(a) 由參考電位建立電路部建立參考信號的電位；

(b) 由記憶單元讀出資料信號到位元線；以及

(c) 以電位比較振幅的關係，當振幅關係反向時由放大部比較參考信號和資料信號以得到參考信號的電位。

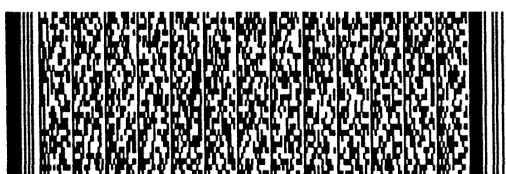
6. 一種半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列，用以選擇該記憶單元陣列每一列的複數字元線，用以運送從記憶單元輸出資料信號的複數位元線，而該資料信號是屬於該記憶單元陣列的每一行，

其特徵在於包括：

一信號維持電路，用以獲得和維持從位元線讀出的資料信號。

7. 如申請專利範圍第6項所述之半導體記憶裝置，其中該信號維持電路包括一取樣維持電路。

8. 一種測試系統，用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列，用以選擇該記憶單元陣列每一列的複數字元線，用以



六、申請專利範圍

運送從記憶單元輸出之資料信號的複數位元線，而該資料信號是屬於該記憶單元陣列的每一行，放大位元線上資料信號的一放大部，以及獲得和維持從位元線讀出資料信號的信號維持電路，

其特徵在於包括：

一第一控制部，該第一控制部控制供應到半導體記憶裝置的位置，以及從記憶單元讀取資料信號的一系列步驟；

一第二控制部，該第二控制部控制信號維持電路從位元線讀出以獲得的資料信號；

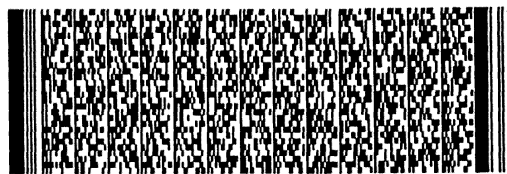
一轉換部，該轉換部將信號維持電路獲得的資料信號做類比數位轉換；

一儲存部，該儲存部儲存了由資料轉換部做A/D轉換的資料信號；以及

一統計處理部，該統計處理部以統計的方式處理儲存在儲存部內的資料。

9. 如申請專利範圍第6或7項所述之半導體記憶裝置，其中包括全部或一些由申請專利範圍第8項所提出之第一及第二控制部，轉換部，儲存部，以及統計處理部執行之函數。

10. 一種測試系統，用以測試一半導體記憶裝置，包括：將記憶單元安排在一矩陣內而形成的一記憶單元陣列，用以選擇該記憶單元陣列每一列的複數字元線，用以運送從記憶單元輸出資料信號的複數位元線，而該資料信



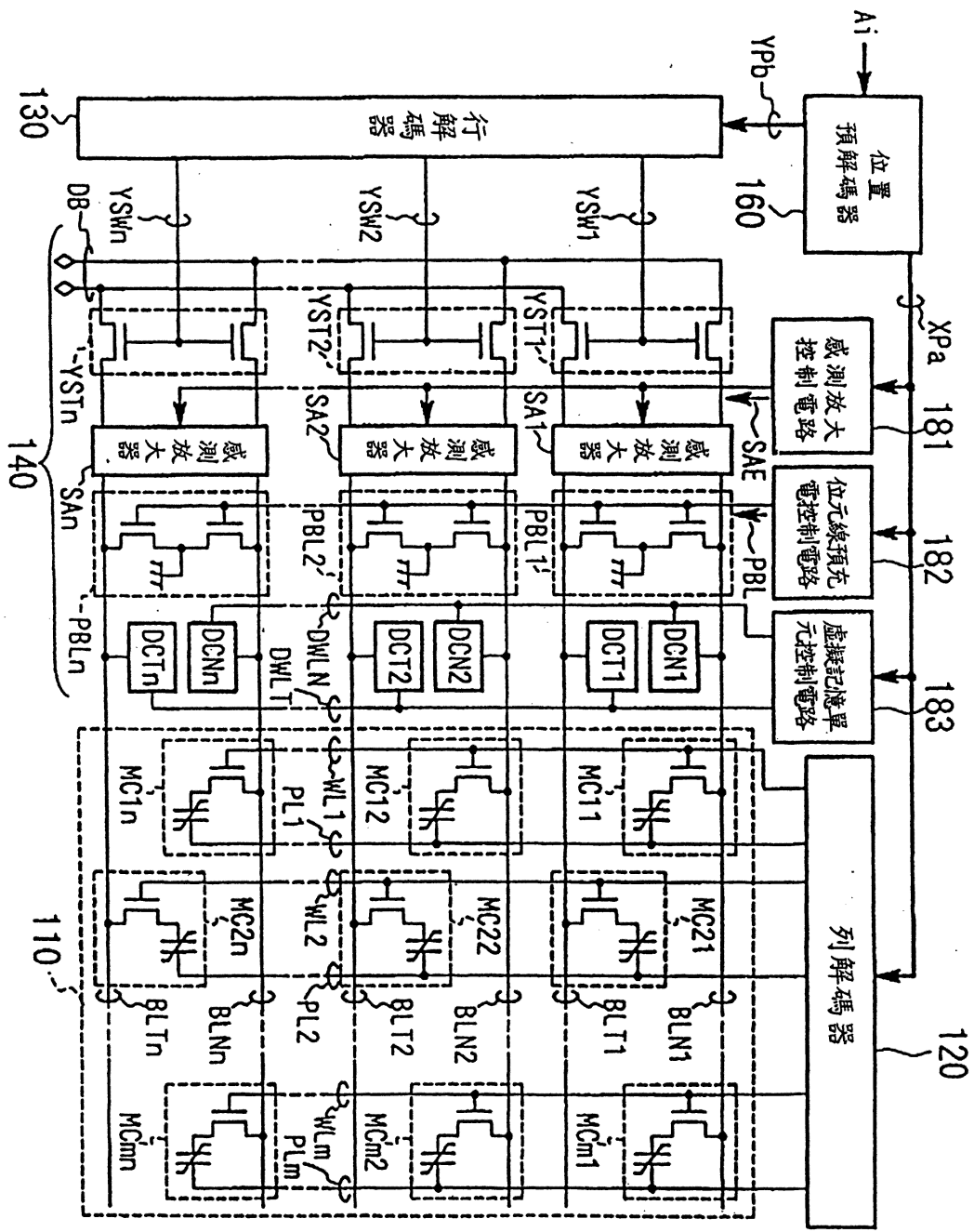
六、申請專利範圍

號是屬於該記憶單元陣列的每一行，放大位元線上的資料信號以與參考信號做比較的一放大部，以及獲得和維持從位元線讀出資料信號的信號維持電路，

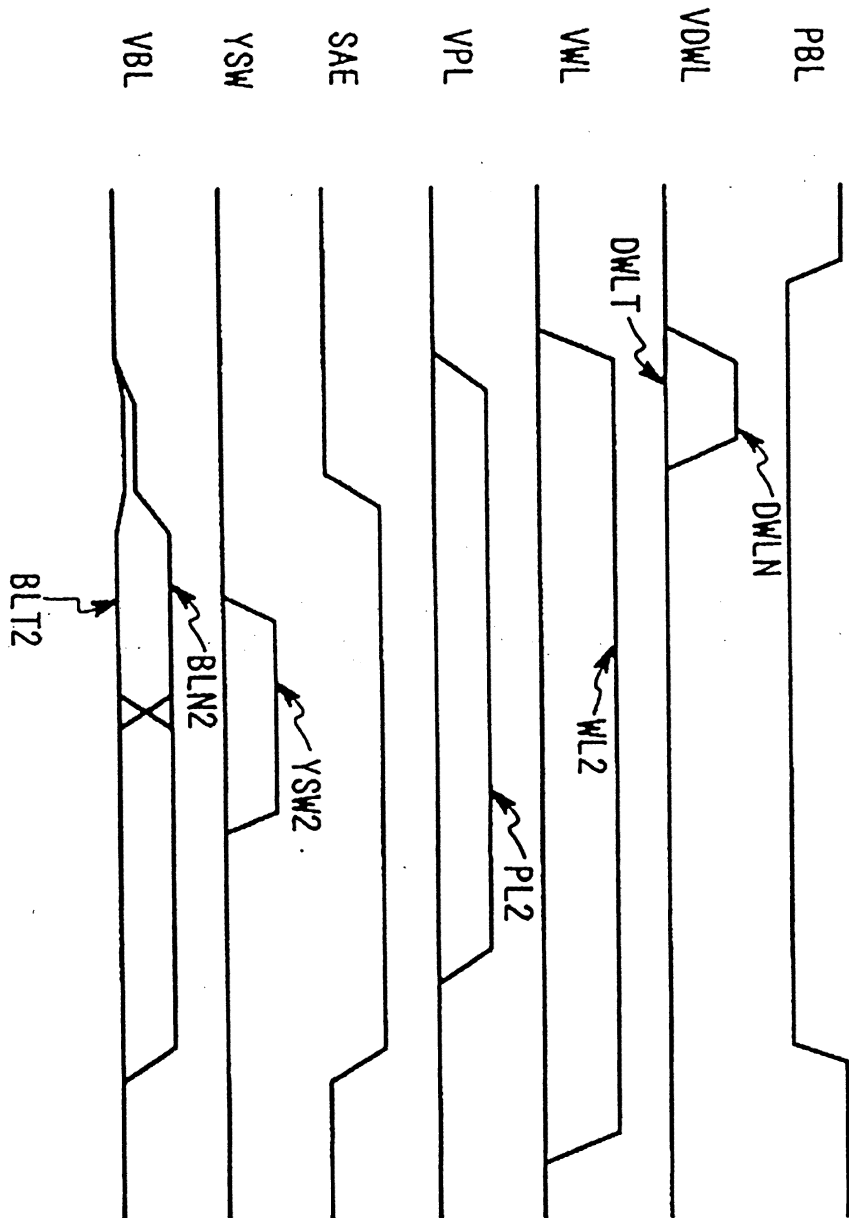
其特徵在於包括下列步驟：

- (a) 由記憶單元讀出資料信號到位元線；
- (b) 從位元線讀出資料信號到信號維持電路；以及
- (c) 從信號維持電路讀出資料信號的電位到外部電路。



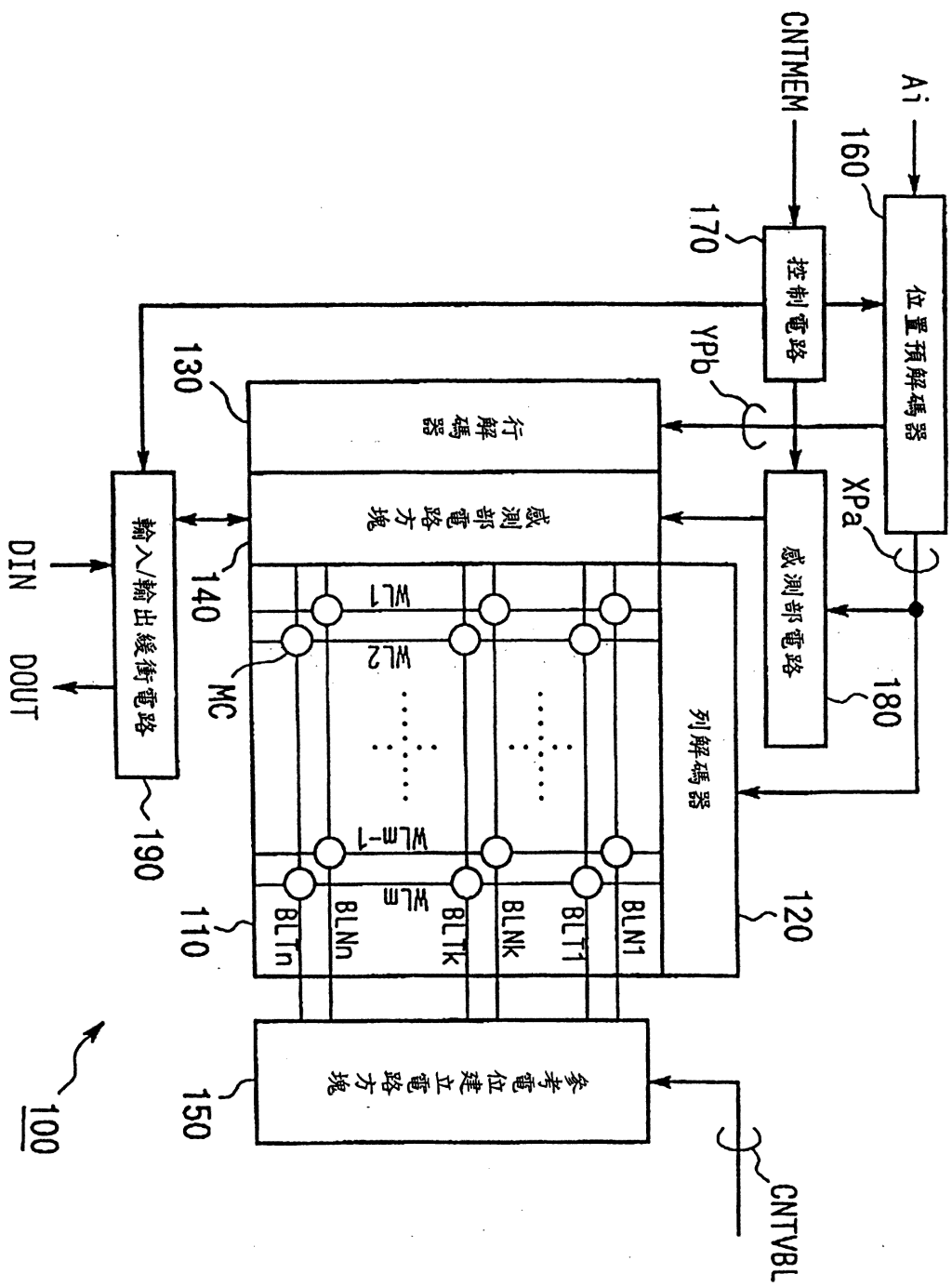


第1圖

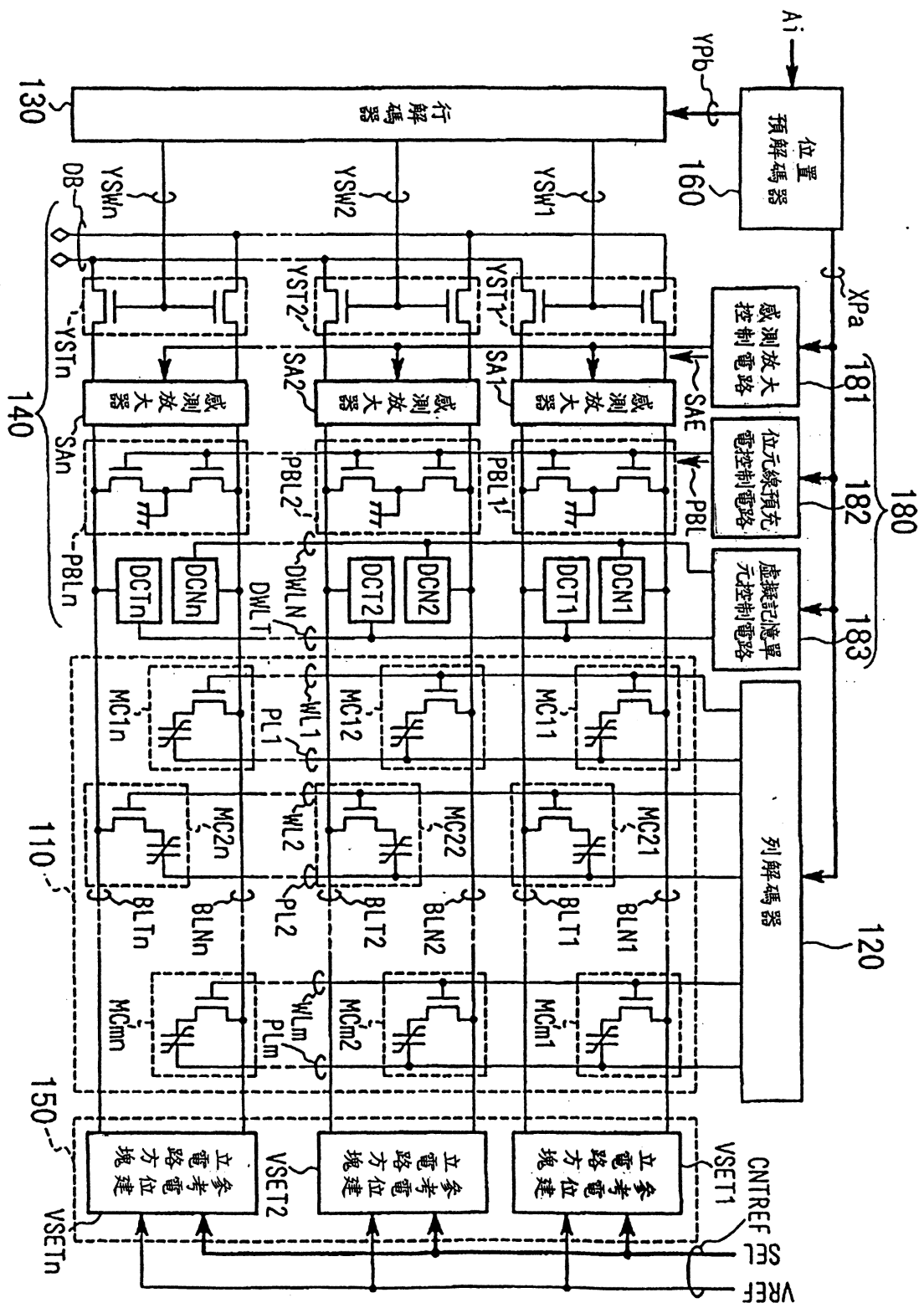


第 2 圖

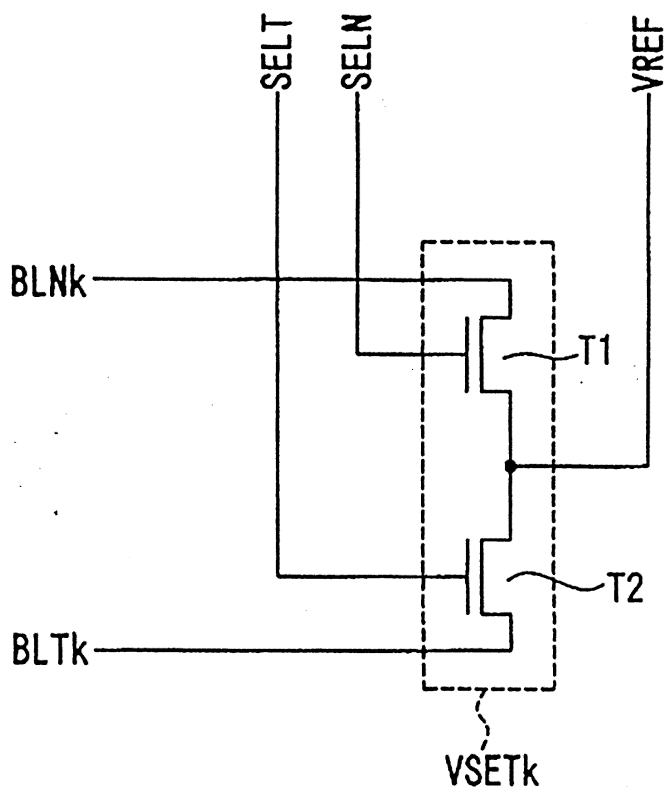
第 3(b)圖



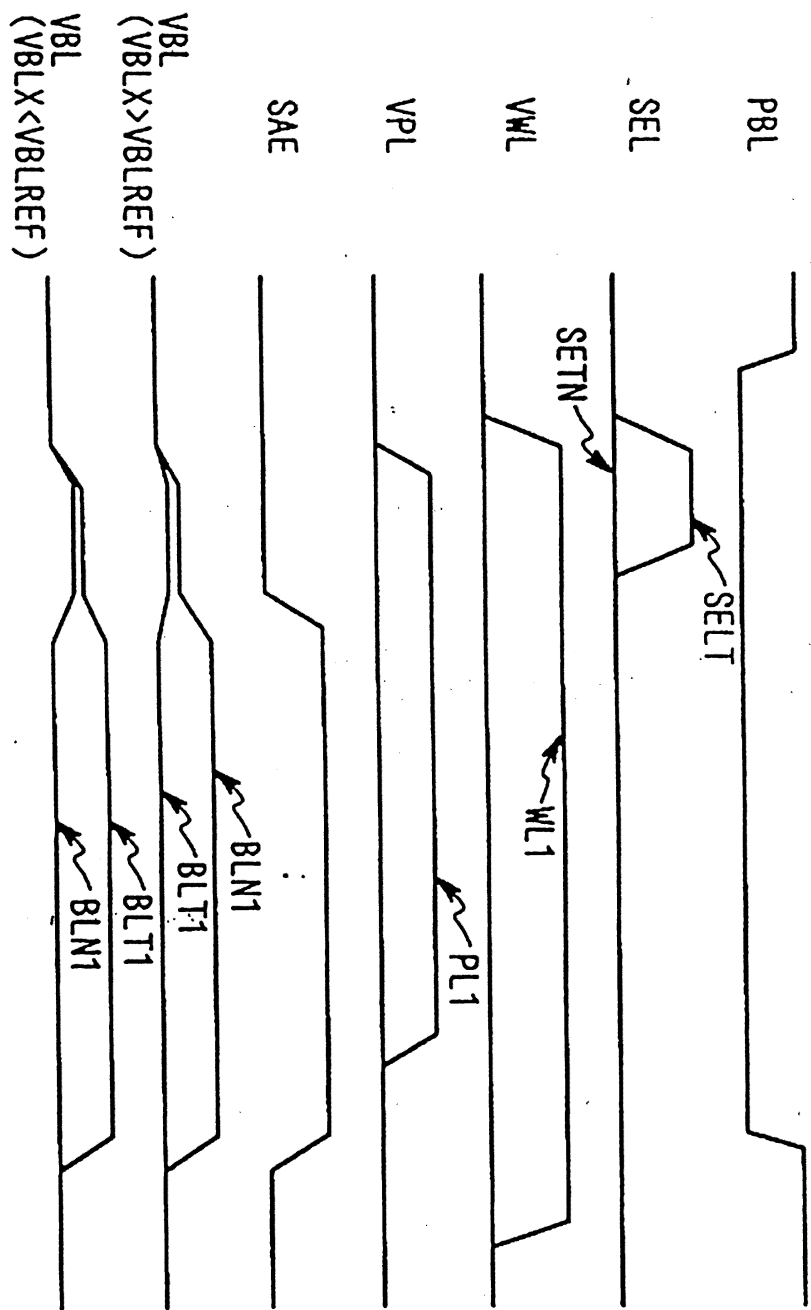
第 4 圖



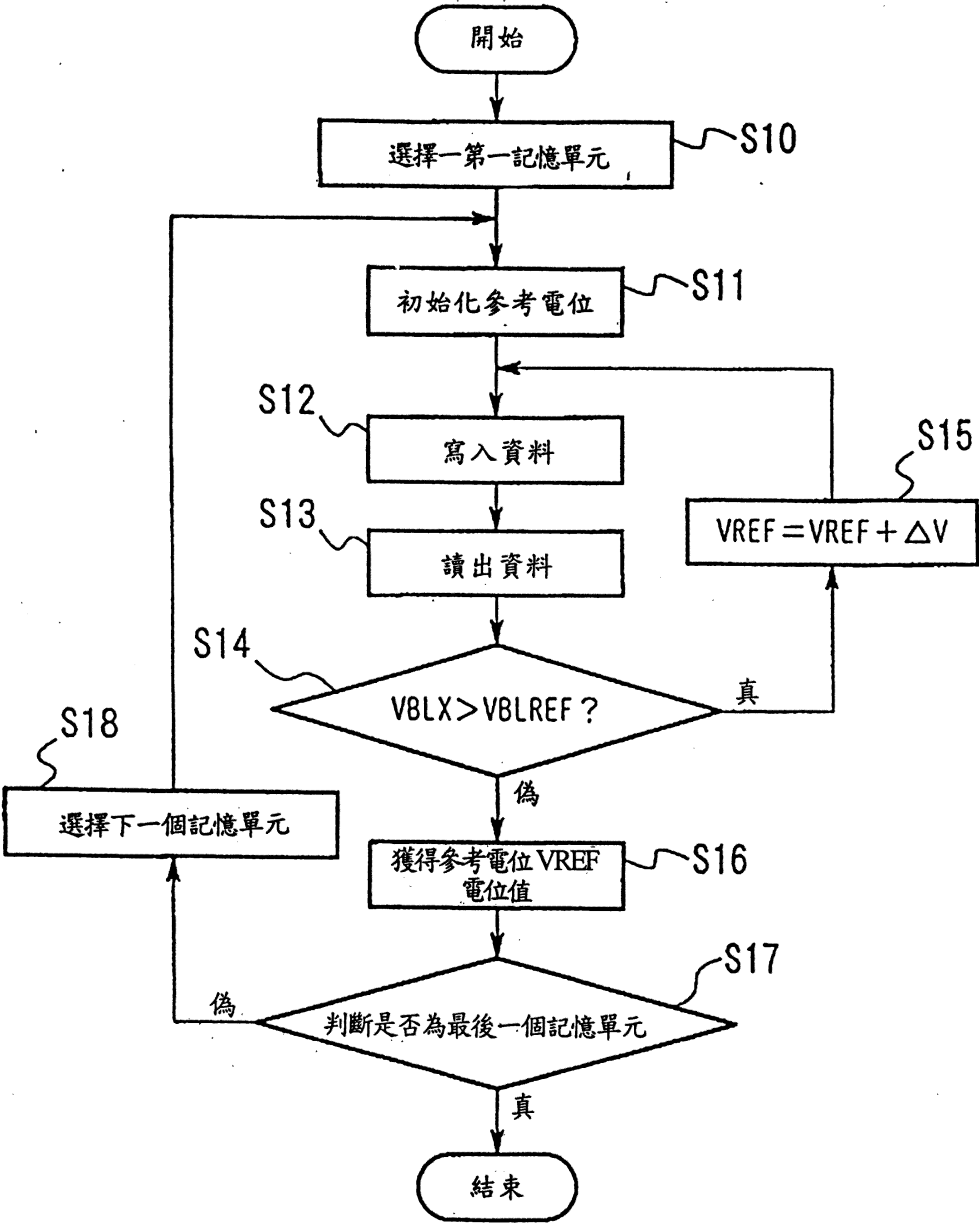
第 5 圖



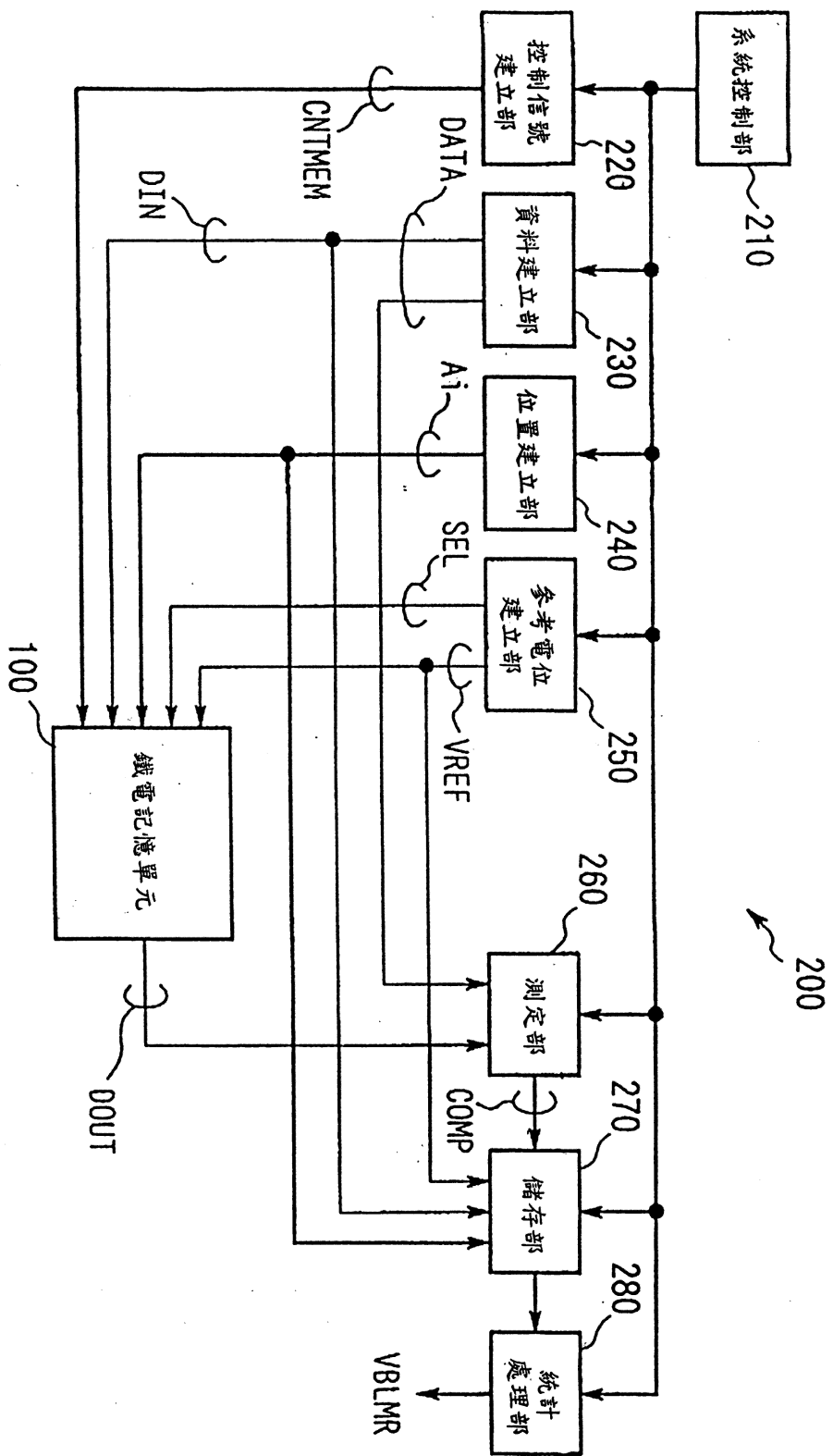
第 6 圖



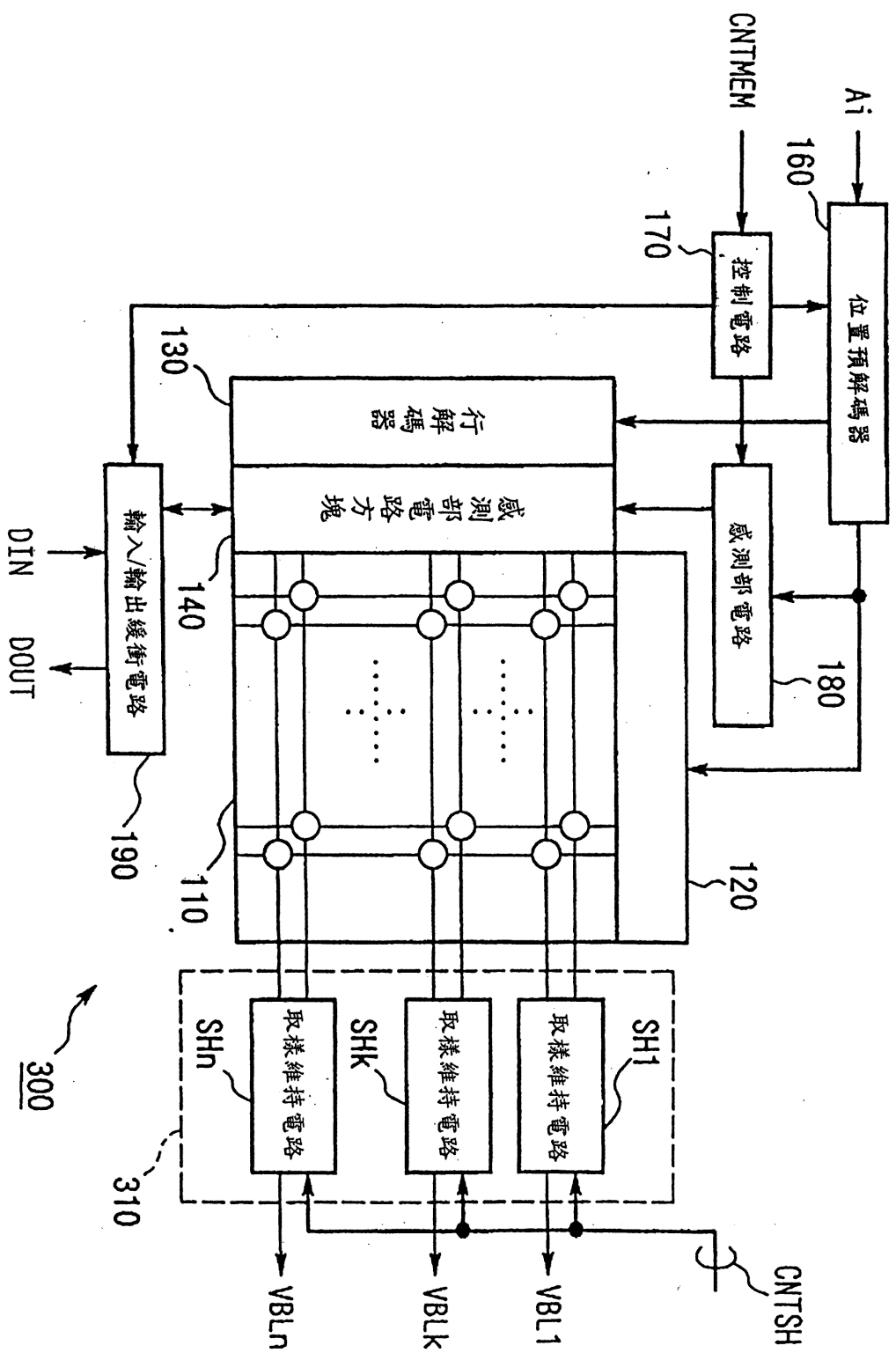
第 7 圖



第 8 圖

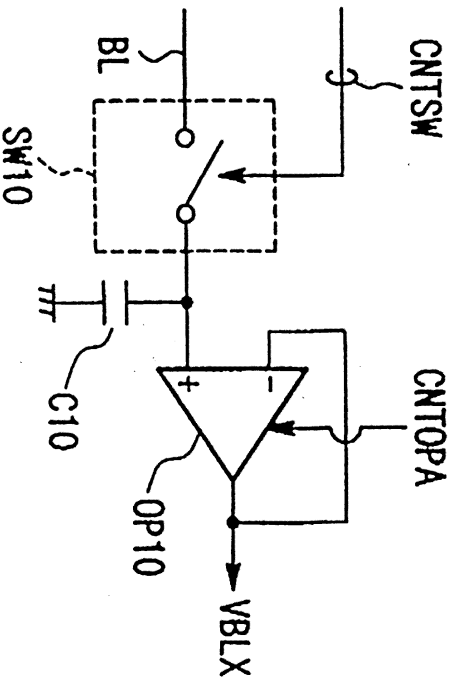


第 9 圖

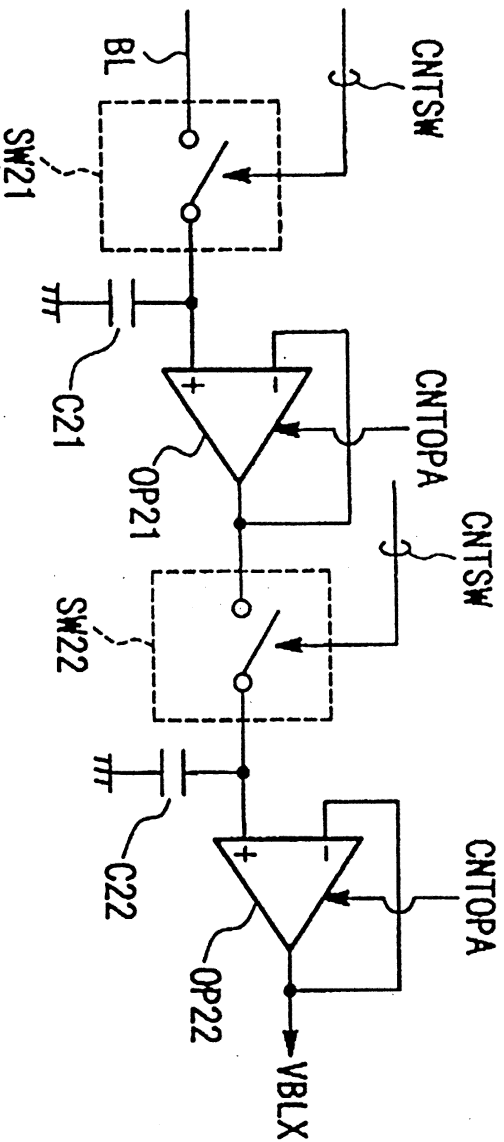


第 10 圖

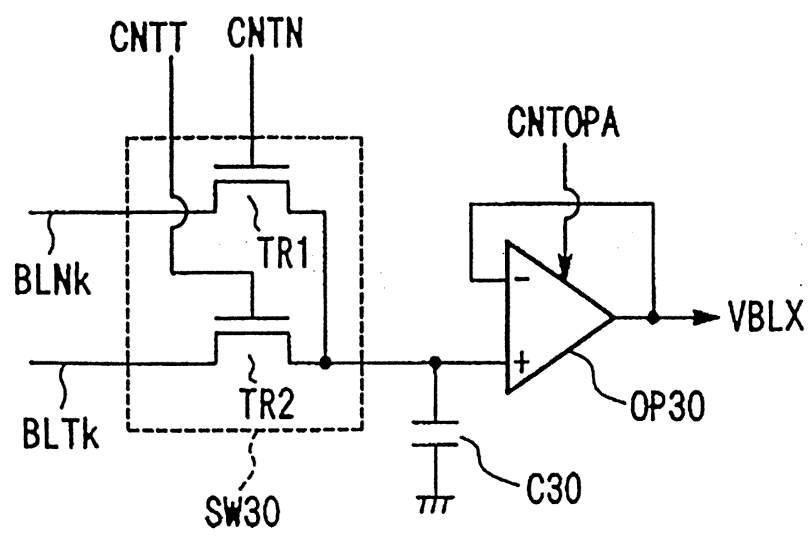
(a)



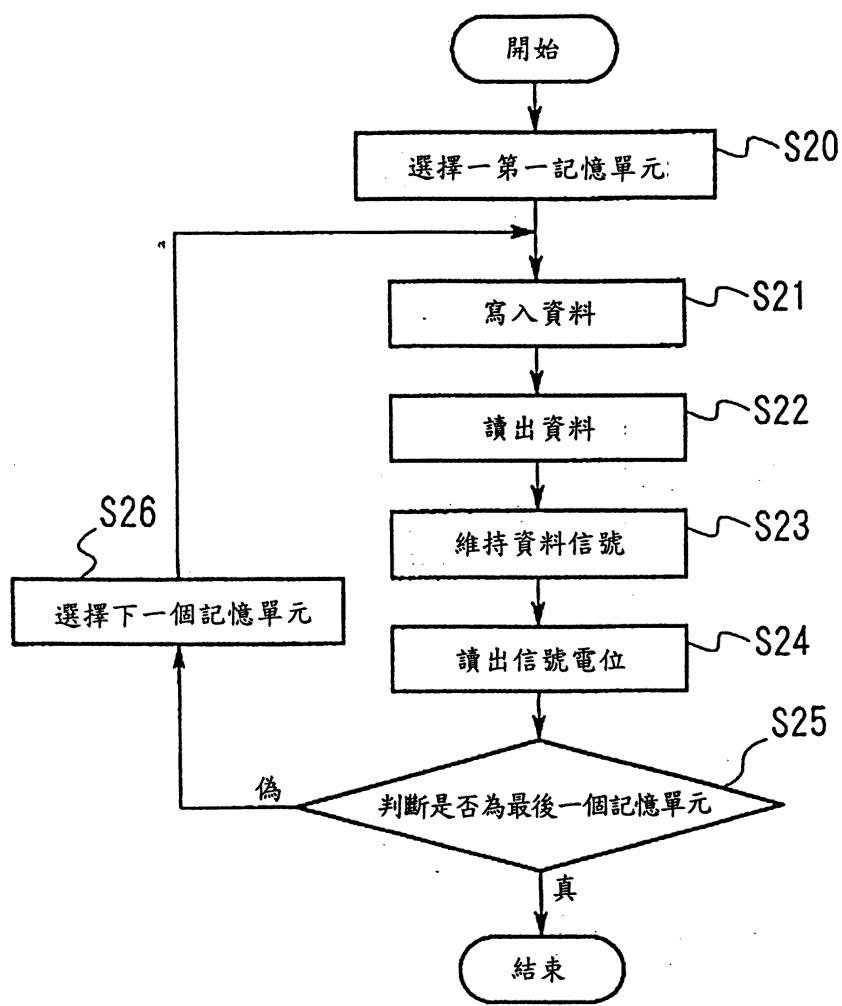
(b)



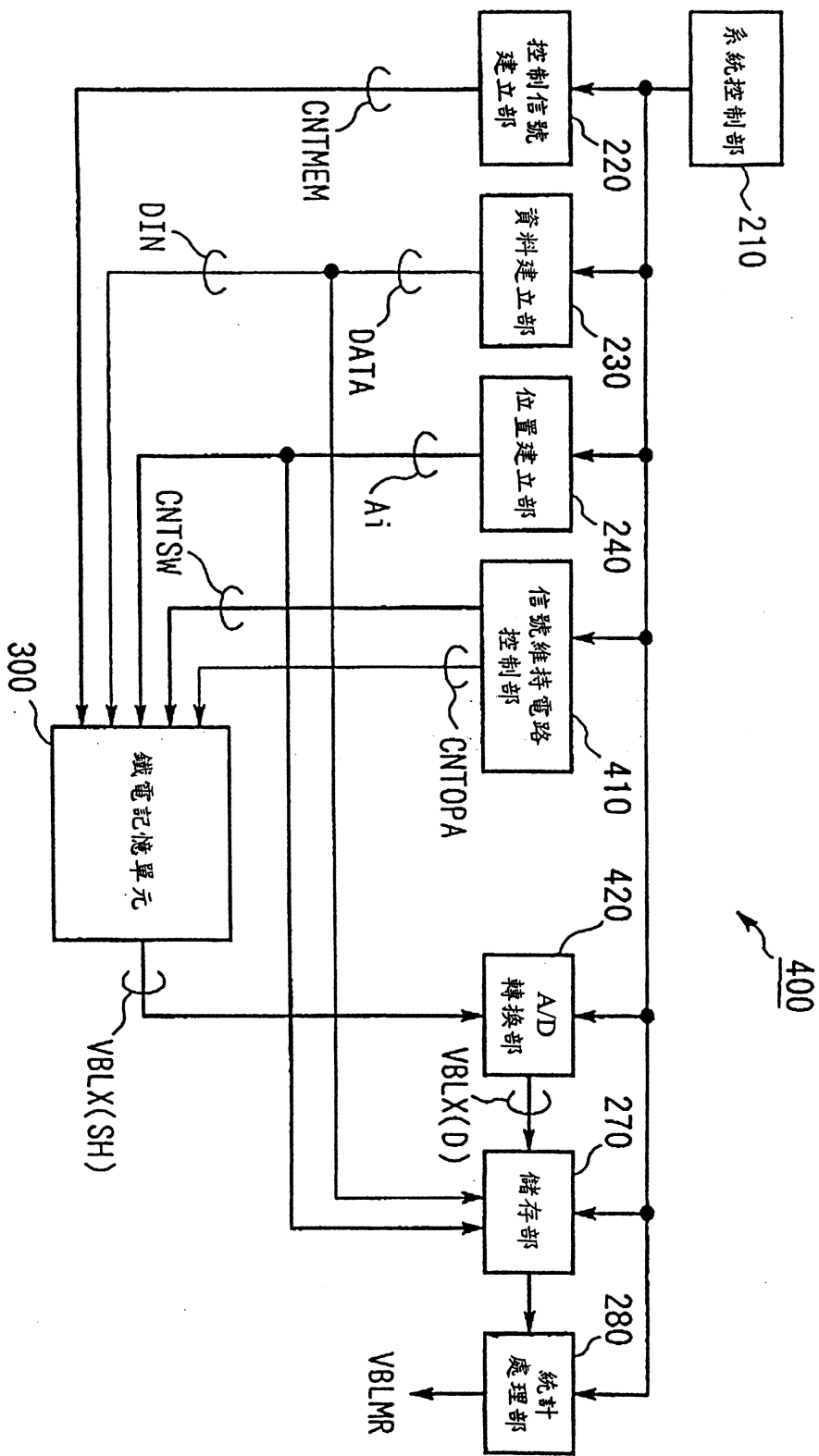
第 11 圖



第 12 圖



第 13 圖



第 14 圖