

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和6年4月1日(2024.4.1)

【公開番号】特開2023-181544(P2023-181544A)
 【公開日】令和5年12月21日(2023.12.21)
 【年通号数】公開公報(特許)2023-240
 【出願番号】特願2023-189566(P2023-189566)
 【国際特許分類】

H 0 1 L 2 5 / 0 7 (2 0 0 6 . 0 1)

H 0 1 L 2 3 / 4 8 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 5 / 0 4 C

H 0 1 L 2 3 / 4 8 G

【手続補正書】

【提出日】令和6年3月22日(2024.3.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

厚さ方向に互いに離間した主面および裏面を有する導電基板と、
 前記主面に電氣的に接合され且つスイッチング機能を有する少なくとも1つの半導体素子と、

前記少なくとも1つの半導体素子によってスイッチングされる主回路電流の経路を構成する導通部材と、

前記導電基板に対して前記厚さ方向に直交する第1方向の一方側に配置された第1入力端子、第2入力端子および第3入力端子と、

30

前記導電基板に対して前記第1方向の他方側に配置された少なくとも1つの出力端子と、

前記少なくとも1つの半導体素子に接続された少なくとも1つの制御端子と、

絶縁層を有し、前記主面と前記少なくとも1つの制御端子との間に介在する制御端子支持体と、

前記導電基板の少なくとも一部と、前記少なくとも1つの半導体素子と、前記第1入力端子、前記第2入力端子、前記第3入力端子および前記少なくとも1つの出力端子の一部ずつと、前記少なくとも1つの制御端子の一部と、前記制御端子支持体の一部とを覆う封止樹脂と、

40

を備え、

前記導電基板は、前記第1方向に互いに離間配置された第1導電部および第2導電部を含み、

前記少なくとも1つの半導体素子は、前記第1導電部に電氣的に接合された複数の第1半導体素子と、前記第2導電部に電氣的に接合された複数の第2半導体素子と、を含み、

前記第1入力端子は、前記複数の第1半導体素子および前記複数の第2半導体素子のいずれか一方と電氣的に接続されており、

前記第2入力端子および前記第3入力端子は、前記第1入力端子を挟んで、前記厚さ方向および前記第1方向に直交する第2方向の一方側および他方側にそれぞれ配置されつつ、前記第1入力端子とは極性が逆であり、かつ前記複数の第1半導体素子および前記複数

50

の第 2 半導体素子のいずれか他方と電氣的に接続されており、

前記少なくとも 1 つの出力端子は、前記第 2 導電部に電氣的に接続されており、

前記複数の第 1 半導体素子は、前記第 2 方向に沿って互いに離間配置されており、

前記複数の第 2 半導体素子は、前記第 2 方向に沿って互いに離間配置されており、

前記導通部材は、前記複数の第 1 半導体素子と前記第 2 導電部とに接続された第 1 導通部材と、前記複数の第 2 半導体素子と前記第 2 入力端子および前記第 3 入力端子とに接続された第 2 導通部材と、を含む、半導体モジュール。

【請求項 2】

前記主回路電流の経路は、前記第 1 入力端子と前記少なくとも 1 つの出力端子との間の第 1 主回路電流の経路と、前記少なくとも 1 つの出力端子と前記第 2 入力端子との間の第 2 主回路電流の経路と、を含み、

前記第 1 主回路電流の方向と前記第 2 主回路電流の方向とは逆である、請求項 1 に記載の半導体モジュール。

【請求項 3】

前記複数の第 1 半導体素子および前記複数の第 2 半導体素子によってスイッチングされる前記主回路電流の経路が前記厚さ方向に見て前記第 1 方向に沿うように構成されている、請求項 1 に記載の半導体モジュール。

【請求項 4】

前記第 1 導通部材は、前記複数の第 1 半導体素子にそれぞれ対応する複数の導通部分を含む、請求項 1 に記載の半導体モジュール。

【請求項 5】

前記複数の第 1 半導体素子および前記複数の第 2 半導体素子は、各々、前記厚さ方向に互いに離間配置されたソース電極およびドレイン電極を有しており、

前記第 1 導通部材は、各第 1 半導体素子の前記ソース電極に接続されており、

前記第 1 導電部は、各第 1 半導体素子の前記ドレイン電極に接続されており、

前記第 2 導通部材は、各第 2 半導体素子の前記ソース電極に接続されており、

前記第 2 導電部は、各第 2 半導体素子の前記ドレイン電極に接続されている、請求項 4 に記載の半導体モジュール。

【請求項 6】

前記複数の第 1 半導体素子と前記複数の第 2 半導体素子とは、前記第 1 方向に見て互いに重なる、請求項 5 に記載の半導体モジュール。

【請求項 7】

前記第 1 入力端子、前記第 2 入力端子および前記第 3 入力端子は、前記第 2 方向に見て互いに重なる、請求項 5 に記載の半導体モジュール。

【請求項 8】

前記第 1 導通部材および前記第 2 導通部材は、金属製の板材により構成される、請求項 5 に記載の半導体モジュール。

【請求項 9】

前記少なくとも 1 つの制御端子は、前記厚さ方向に見て、前記封止樹脂から露出する、請求項 5 に記載の半導体モジュール。

【請求項 10】

前記第 1 入力端子、前記第 2 入力端子および前記第 3 入力端子は、それぞれ、前記厚さ方向の一方側に向く入力側接合面を含み、

前記少なくとも 1 つの出力端子は、前記厚さ方向の一方側に向く出力側接合面を含む、請求項 1 に記載の半導体モジュール。

【請求項 11】

前記第 1 入力端子、前記第 2 入力端子および前記第 3 入力端子は、それぞれ、前記厚さ方向に見て前記入力側接合面の周縁に位置し、かつ当該入力側接合面の法線と交差する方向を向く入力側側面と、当該入力側側面に形成された入力側加工痕と、を有し、

前記少なくとも 1 つの出力端子は、前記厚さ方向に見て前記出力側接合面の周縁に位置

10

20

30

40

50

し、かつ当該出力側接合面の法線と交差する方向を向く出力側側面と、当該出力側側面に形成された出力側加工痕と、を有する、請求項 1 0 に記載の半導体モジュール。

【請求項 1 2】

前記封止樹脂は、前記第 1 導電部の少なくとも一部と、前記第 2 導電部の少なくとも一部と、前記複数の第 1 半導体素子と、前記複数の第 2 半導体素子と、前記第 1 導通部材と、前記第 2 導通部材とを覆う、請求項 1 ないし請求項 1 1 のいずれかに記載の半導体モジュール。

【請求項 1 3】

前記第 1 方向に互いに離間した第 1 樹脂側面および第 2 樹脂側面を有し、前記第 2 樹脂側面は、前記第 1 樹脂側面よりも前記第 2 導電部に近い位置にあり、前記第 2 樹脂側面は、前記第 2 方向に互いに離間した 2 つの端部を有し、少なくともそのうちの 1 つの端部に樹脂分離痕が形成されている、請求項 1 2 に記載の半導体モジュール。

10

【請求項 1 4】

前記少なくとも 1 つの出力端子は、第 1 出力端子と第 2 出力端子とを含み、
前記封止樹脂は、前記第 1 出力端子と前記第 2 出力端子との間において樹脂分離痕が形成された樹脂側面を有する、請求項 1 2 に記載の半導体モジュール。

【請求項 1 5】

前記少なくとも 1 つの出力端子は、第 1 出力端子と第 2 出力端子とを含み、
前記第 1 出力端子と前記第 2 出力端子とは、前記第 2 方向に沿って互いに離間配置されている、請求項 1 ないし請求項 1 1 のいずれかに記載の半導体モジュール。

20

【請求項 1 6】

前記制御端子支持体は、前記厚さ方向において、前記絶縁層を基準に前記主面と反対側に配置された金属層を有し、

前記少なくとも 1 つの半導体素子と前記少なくとも 1 つの制御端子とは、前記金属層を介して、導通する、請求項 1 ないし請求項 1 1 のいずれかに記載の半導体モジュール。

30

40

50