

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-116753

(P2005-116753A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int. Cl.<sup>7</sup>  
H01L 21/3065F I  
H01L 21/302 105Aテーマコード (参考)  
5FO04

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号	特願2003-348567 (P2003-348567)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成15年10月7日(2003.10.7)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100092196 弁理士 橋本 良郎

最終頁に続く

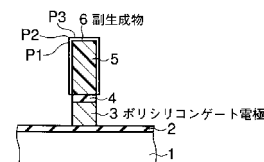
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 レジスト寸法の微細化が進んでも、所定の形状および寸法を有するポリシリコンパターンが得られる半導体装置の製造方法を実現すること。

【解決手段】 半導体装置の製造方法は、シリコン基板1上にポリシリコン層3を形成する工程と、ポリシリコン層3上にフォトレジストマスク5を形成する工程と、フォトレジストマスク5をマスクにしてポリシリコン層3をドライエッチングするとともに、ポリシリコン層を3ドライエッチングしている最中に生成される副生成物6を、フォトレジストマスク5の上面および側面の上に堆積する工程とを有する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上にシリコン層を形成する工程と、  
前記シリコン層上にレジストマスクを形成する工程と、  
前記レジストマスクをマスクにして前記シリコン層をドライエッチングするとともに、  
前記シリコン層をドライエッチングしている最中に生成される副生成物を、前記レジストマスクの上面および側面の上に堆積する工程と  
を有することを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記副生成物はシリコンおよびシリコン酸化物を含み、前記副生成物中の前記シリコン酸化物の量に対する、前記副生成物中の前記シリコンの量の比は、1 以上であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

## 【請求項 3】

前記レジストマスクをマスクにして前記シリコン層をドライエッチングするときに、HBr ガス、Cl<sub>2</sub> ガスおよび O<sub>2</sub> ガスを含む混合ガスを用いることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

## 【請求項 4】

前記 O<sub>2</sub> ガスの流量を 4 s c c m 以上に設定することを特徴とする請求項 3 に記載の半導体装置の製造方法。

## 【請求項 5】

前記レジストマスクをマスクにして前記シリコン層をドライエッチングするときのエッチング圧力を 10 m T o r r 以上に設定することを特徴とする請求項 3 または 4 に記載の半導体装置の製造方法。

20

## 【請求項 6】

前記レジストマスクはゲートパターンを含み、かつ、前記ゲートパターンの幅が 110 nm 以下であることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置の製造方法。

## 【請求項 7】

前記シリコン層上に反射防止膜を形成する工程をさらに有し、該反射防止膜上に前記レジストマスクを形成し、かつ、前記反射防止膜および前記レジストマスクを細らした後に、  
該細らしたレジストマスクを用いて前記シリコン層をドライエッチングすることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、シリコン層をドライエッチングする工程を含む半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

エッチングプロセスの一つとして、ポリシリコン層のドライエッチングプロセスがある。上記ドライエッチングプロセスは、ポリシリコン層上にレジストマスクを形成する工程と、上記レジストマスクをマスクにして上記ポリシリコン層を R I E (Reactive Ion Etching) プロセスによりエッチングする工程とを含む。

40

## 【0003】

レジストマスクの強度は、レジスト寸法の微細化に伴い低下する。レジスト寸法が 110 nm 以下の微細寸法になると、R I E プロセス中に、レジストマスクのパターン（レジストパターン）が変形することが知られている（非特許文献 1）。

## 【0004】

レジストパターンの変形の原因の一つとして、レジストパターンにイオンが衝突することが考えられる。他の原因としては、レジストパターン上に堆積物が不均一に付着し、レ

50

ジストパターンの側壁に応力が発生することが考えられる。レジスト寸法が110nm以下になると、レジストパターンの強度が弱くなる。そのため、上記の如きのイオン衝突および応力によって、レジストパターンは容易に変形してしまう。

【0005】

レジストパターンが変形された状態で、ポリシリコン層のドライエッチングが進められると、所定の形状および寸法を有するポリシリコンパターンが得られなくなる。

【非特許文献1】2001 DRY PROCESS INTERNATIONAL SYMPOSIUM P.17 Study of sub-30nm gate Etching Technology M. Nagase, et. al.

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

上述の如く、従来のポリシリコン層のドライエッチングプロセスでは、レジスト寸法の微細化が進むと、レジストパターンが変形してしまう。その結果、レジスト寸法の微細化が進むと、所定の形状および寸法を有するポリシリコンパターンが得られなくなる。

【0007】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、レジスト寸法の微細化が進んでも、所定の形状および寸法を有するシリコンパターンが得られる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

20

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】

上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上にシリコン層を形成する工程と、前記シリコン層上にレジストマスクを形成する工程と、前記レジストマスクをマスクにして前記シリコン層をドライエッチングするとともに、前記シリコン層をドライエッチングしている最中に生成される副生成物を、前記レジストマスクの上面および側面の上に堆積する工程とを有することを特徴とする。

【0010】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

30

【発明の効果】

【0011】

本発明によれば、レジスト寸法の微細化が進んでも、所定の形状および寸法を有するシリコンパターンが得られる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照しながら本発明の実施形態を説明する。

【0013】

図1～図5は、本発明の一実施形態に係るMOSトランジスタの製造プロセスを示す断面図である。

40

【0014】

まず、図1に示すように、シリコン基板1上にゲート酸化膜2が形成され、その後、ゲート酸化膜2上に厚さ175nmのポリシリコン層3が堆積される。

【0015】

次に、図2に示すように、ポリシリコン層3上に厚さ80nmの反射防止膜4が形成され、その後、フォトリソグラフィプロセスにより、反射防止膜4上にフォトレジストマスク5が形成される。フォトレジストマスク5は、幅110nmのゲートパターンを含む。

【0016】

次に、図3に示すように、フォトレジストマスク5をマスクにして反射防止膜4がエッ

50

チングされ、その後、フォトレジストマスク 5 および反射防止膜 4 の幅が 70 nm まで細らせる。

【0017】

次に、図 4 に示すように、フォトレジストマスク 5 をマスクにして、ポリシリコン層 3 が R I E プロセスによりエッチングされ、ポリシリコンゲート電極（ゲートパターン）3 が得られる。図 4 において、6 はポリシリコン層 3 を R I E プロセスによりエッチングしている最中に生成された副生成物を示している。副生成物 6 は、フォトレジストマスク 5 の上面および側面の全体の上に堆積されている。

【0018】

その後、周知の M O S トランジスタの製造プロセスが続き、図 5 に示すような M O S トランジスタが得られる。図 5 において、7 はソース/ドレイン領域を示している。

10

【0019】

図 4 に示した R I E プロセスは、例えば、I C P 型のプラズマエッチング装置を用いて行われる。エッチングガスには、H B r ガス、C l<sub>2</sub> ガスおよび O<sub>2</sub> ガスを含む混合ガスが用いられる。上記 O<sub>2</sub> のガス流量は 4 s c c m である。エッチング圧力は 12 m T o r r に設定される。上記 O<sub>2</sub> のガス流量が 4 s c c m 以上、上記エッチング圧力が 10 m T o r r 以上であれば、後述する効果が容易に得られることが確認された。

【0020】

上記の如きの R I E プロセスによれば、図 4 に示すように、ポリシリコン層 3 のエッチングの最中にレジストマスクのパターンの変形は生じず、所定の形状および寸法を有するポリシリコンゲート電極 3 が得られる。

20

【0021】

図 6 に、本実施形態のポリシリコン層の R I E プロセス後のポリシリコンパターンの顕微鏡写真（断面 S E M 写真）を示す。また、図 7 に従来のポリシリコン層の R I E プロセス後のポリシリコンパターンの顕微鏡写真（断面 S E M 写真）を示す。

【0022】

図 6 および図 7 から、従来のポリシリコン層の R I E プロセスで生じていたポリシリコンパターンの変形は、本実施形態のポリシリコン層の R I E プロセスでは生じていないことが分かる。

【0023】

図 8 に、本実施形態のポリシリコン層の R I E プロセス後のフォトレジストマスクの表面のオージェ分析結果、図 9 に、従来のポリシリコン層の R I E プロセス後のフォトレジストマスクの表面のオージェ分析結果を示す。図 8 および図 9 中の P 1 ~ P 3 は、図 4 のポリシリコン層 5 の表面の P 1 ~ P 3 の位置に相当する。

30

【0024】

図 8 および図 9 から、本実施形態のフォトレジストマスクの表面上のシリコンの量（カウント数）は、従来のフォトレジストマスクのそれに比べて、多いことが分かる。具体的には、本実施形態によれば、S i / S i O<sub>2</sub> 1 となる量のシリコンを含む副生成物 6 がフォトレジストマスク 5 の表面上に付着する。また、フォトレジストマスク 5 の側面および上面の上にシリコンを含む副生成物 6 が一様に付着されていることが分かった。

40

【0025】

以上のことから、本実施形態の方法で、フォトレジストマスク 5 およびポリシリコンゲート電極 3 に変形が生じない理由として、以下のことが考えられる。

【0026】

フォトレジストマスク 5 の表面は、R I E プロセスの最中に、大量のシリコンを含む副生成物 6 により均一に覆われる。大量のシリコンを含む副生成物 6 は堅い薄膜として機能する。この堅い薄膜によって、レジストパターンの変形原因である、レジストパターンに衝突するイオンの影響、および、レジストパターンに不均一に付着した堆積物の影響は十分に軽減される。

【0027】

50

したがって、ポリシリコン層の R I E プロセス中におけるフォトレジストマスク 5 の変形は防止される。そして、ポリシリコン層 3 は、変形が無いフォトレジストマスク 5 をマスクに用いてエッチングされるので、変形が無いポリシリコンゲート電極 3、つまり所定の形状および寸法を有するポリシリコンゲート電極 3 が得られる。すなわち、本実施形態によれば、副生成物 6 中のシリコン酸化物の量に対する副生成物 6 中のシリコンの量の比を 1 以上にすることにより、フォトレジストマスク 5 の変形を効果的に防止でき、これにより、所定の形状および寸法を有するポリシリコンゲート電極 3 が得られるようになる。

【 0 0 2 8 】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、ポリシリコンゲート電極を用いたが、ポリメタルゲート電極等のポリシリコン層を含むゲート電極にも適用できる。また、本発明は、ゲートパターン以外のパターンにも適用できる。

10

【 0 0 2 9 】

さらに、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【 0 0 3 0 】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

20

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 本発明の一実施形態に係る M O S トランジスタの製造プロセスを示す断面図。

【 図 2 】 図 1 に続く同 M O S トランジスタの製造プロセスを示す断面図。

【 図 3 】 図 2 に続く同 M O S トランジスタの製造プロセスを示す断面図。

【 図 4 】 図 3 に続く同 M O S トランジスタの製造プロセスを示す断面図。

【 図 5 】 図 4 に続く同 M O S トランジスタの製造プロセスを示す断面図。

【 図 6 】 実施形態のポリシリコン層の R I E プロセス後のポリシリコンパターンの顕微鏡写真（断面 S E M 写真）。

【 図 7 】 従来 of ポリシリコン層の R I E プロセス後のポリシリコンパターンの顕微鏡写真（断面 S E M 写真）。

30

【 図 8 】 本実施形態のポリシリコン層の R I E プロセス後のフォトレジストマスクの表面のオージェ分析結果を示す図。

【 図 9 】 従来 of ポリシリコン層の R I E プロセス後のフォトレジストマスクの表面のオージェ分析結果を示す図。

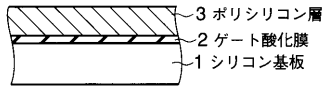
【 符号の説明 】

【 0 0 3 2 】

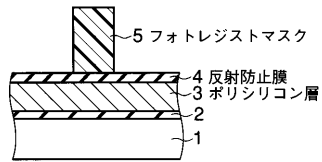
1 ... シリコン基板、 2 ... ゲート酸化膜、 3 ... ポリシリコン層（ポリシリコンゲート電極）、 4 ... 反射防止膜、 5 ... フォトレジストマスク、 6 ... 副生成物、 7 ... ソース/ドレイン領域。

40

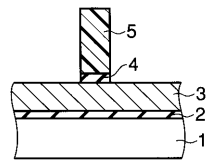
【 図 1 】



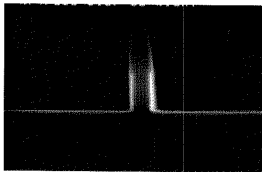
【 図 2 】



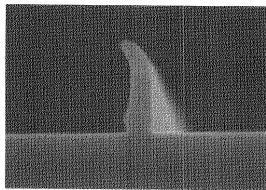
【 図 3 】



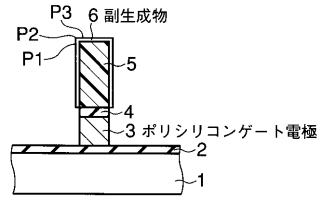
【 図 6 】



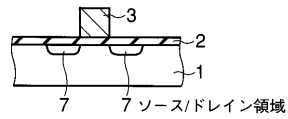
【 図 7 】



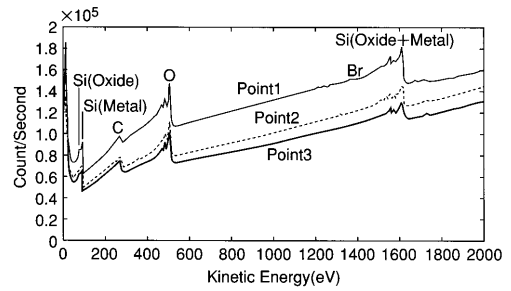
【 図 4 】



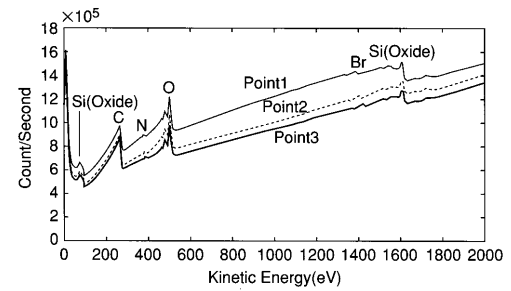
【 図 5 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(72)発明者 小熊 英樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F004 CA02 DA00 DA04 DA26 DB02 DB15 EA13 EA22 EB02 FA07