

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-228758

(P2017-228758A)

(43) 公開日 平成29年12月28日(2017.12.28)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	Q 4E351
H01L 23/12 (2006.01)	H01L 23/12	B 5E316
H05K 1/16 (2006.01)	H05K 3/46	N
	H05K 3/46	B
	H05K 1/16	D

審査請求 有 請求項の数 13 O L (全 9 頁)

(21) 出願番号 特願2017-1733 (P2017-1733)
 (22) 出願日 平成29年1月10日 (2017.1.10)
 (31) 優先権主張番号 105119464
 (32) 優先日 平成28年6月21日 (2016.6.21)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 517009143
 中華精測科技股▲ふん▼有限公司
 CHUNGHWA PRECISION
 TEST TECH. CO., LTD
 台湾桃園市平鎮區工業三路15號
 NO. 15, GONGYE 3RD RO
 AD, PINGJHEN DIST, TA
 OYUAN CITY 324, TAIW
 AN
 (74) 代理人 110002262
 TRY 国際特許業務法人
 (72) 発明者 李 文聰
 台湾桃園市平鎮區工業三路15號
 (72) 発明者 謝 開傑
 台湾桃園市平鎮區工業三路15號
 最終頁に続く

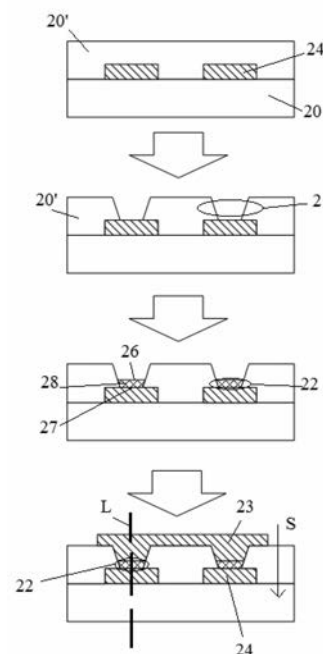
(54) 【発明の名称】 ビアホールキャパシター構造を有する回路基板及びその製造方法

(57) 【要約】 (修正有)

【課題】 キャパシターの面積と体積を減少するキャパシター構造によって、伝送ルートの長さを減少し、伝送の品質を改善する。

【解決手段】 回路基板は、ベース20と、該ベース20上に設けられ、少なくとも1つのビアホール21を有する堆積層20'と、当該少なくとも1つのビアホール21のそれぞれに設けられ、それぞれが本体部28、第2の端部26及び第1の端部27を有し、当該第2の端部26と当該第1の端部27が当該本体部28の対向する両端面に位置する少なくとも1つの薄膜キャパシター22と、当該少なくとも1つの薄膜キャパシター22それぞれの当該第2の端部26に電氣的に接続される少なくとも1つの第2の電極23と、当該少なくとも1つの薄膜キャパシター22それぞれの第1の端部27に電氣的に接続される少なくとも1つの第1の電極24とを含む。

【選択図】 図2



第2図

【特許請求の範囲】

【請求項 1】

ベースと、

前記ベース上に設けられ、少なくとも 1 つのビアホールを有する堆積層と、

前記少なくとも 1 つのビアホールのそれぞれに設けられ、それぞれが本体部、第 2 の端部及び第 1 の端部を有し、前記第 2 の端部と前記第 1 の端部が前記本体部の対向する両端面に位置する少なくとも 1 つの薄膜キャパシターと、

前記少なくとも 1 つの薄膜キャパシターそれぞれの前記第 2 の端部に電氣的に接続される少なくとも 1 つの第 2 の電極と、

前記少なくとも 1 つの薄膜キャパシターそれぞれの前記第 1 の端部に電氣的に接続される少なくとも 1 つの第 1 の電極と、を含み、

信号は、前記第 1 の電極と前記少なくとも 1 つの薄膜キャパシターの前記本体部を順に介して前記第 2 の電極に達して、前記第 1 の電極、前記本体部及び前記第 2 の電極のコリニヤルートが前記信号を伝送するようにするビアホールキャパシター構造を有する回路基板。

【請求項 2】

前記回路基板は、コア(c o r e)基板の製造工程により製造される請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 3】

前記回路基板は、ビルドアップ製造工程により製造される請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 4】

前記第 2 の電極は電源電極であり、前記第 1 の電極は接地電極である請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 5】

前記第 1 の端部の表面は、前記少なくとも 1 つの第 1 の電極それぞれの表面に完全に電氣的に接続され、前記第 2 の端部の表面は、前記少なくとも 1 つの第 2 の電極それぞれの表面に完全に電氣的に接続される請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 6】

前記第 1 の電極、前記本体部及び前記第 2 の電極は、前記コリニヤルートに沿ってアライメント状態に形成される請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 7】

前記少なくとも 1 つのビアホールの形成方法は、ドリリングマシン、レーザー、プラズマ及びリソグラフィー製造工程からなる群から選ばれる請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 8】

前記少なくとも 1 つの薄膜キャパシターの形成方法は、スパッタリング法、蒸着法や原子層堆積法、プリント及びディスペンシング方法からなる群から選ばれる請求項 1 に記載のビアホールキャパシター構造を有する回路基板。

【請求項 9】

ビアホールキャパシター構造を有する回路基板の製造方法において、

前記回路基板における基板上に少なくとも 1 つの第 1 の電極を設けるステップと、

堆積層を前記第 1 の電極上にカバーさせるステップと、

前記堆積層に少なくとも 1 つのビアホールを作るステップと、

少なくとも 1 つの薄膜キャパシターを少なくとも 1 つのビアホールに設けるステップであって、前記少なくとも 1 つの薄膜キャパシターのそれぞれが前記少なくとも 1 つのビアホールのそれぞれに設けられ、前記少なくとも 1 つの薄膜キャパシターのそれぞれには本体部、第 2 の端部及び第 1 の端部が設けられ、その中、前記第 2 の端部と前記第 1 の端部

が前記本体部の対向する両端面に位置し、前記少なくとも1つの第1の電極のそれぞれは、前記少なくとも1つの薄膜キャパシターそれぞれの前記第1の端部に電氣的に接続されるステップと、

前記少なくとも1つの薄膜キャパシターそれぞれの前記第2の端部に電氣的に接続される少なくとも1つの第2の電極を、前記少なくとも1つの薄膜キャパシター上にメッキするステップと、を含むビアホールキャパシター構造を有する回路基板の製造方法。

【請求項10】

前記回路基板は、コア(c o r e)基板の製造工程により製造される請求項9に記載の製造方法。

【請求項11】

前記回路基板は、ビルドアップ製造工程により製造される請求項9に記載の製造方法。

【請求項12】

前記少なくとも1つのビアホールの形成方法は、ドリリングマシン、レーザー、プラズマ及びリソグラフィ製造工程からなる群から選ばれる請求項9に記載の製造方法。

【請求項13】

前記少なくとも1つの薄膜キャパシターの形成方法は、スパッタリング法、蒸着法や原子層堆積法、プリント及びディスペンシング方法からなる群から選ばれる請求項9に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャパシター構造を有する回路基板に関し、特に、ビアホールキャパシター構造を有する回路基板及びその製造方法に関する。

【背景技術】

【0002】

普通のプリント回路基板(P C B)上に適用されるキャパシターの形態は、いずれも一定の大きさの面積又は体積を提供しなければならない、図1に示すように、従来のプリント回路基板におけるキャパシター構造の模式図であり、第2の電極10と、第1の電極11と、錫ペースト13と、実体キャパシター14とを含み、実体キャパシターの体積の影響により、P C B表面部品の配置及び溶接の空間を考慮しなければならない、その伝送ルートの長さを伸ばす必要が多くなり、当該信号の帰りのルートが長くなりすぎるため、一定の抵抗やインダクタンスが生じ、間接的に伝送の品質に影響することになる。

【0003】

よって、キャパシターの面積と体積を減少するキャパシター構造を提案して、伝送ルートの長さを減少し、伝送の品質を改善する必要がある。

【発明の概要】

【0004】

本発明は、小さい面積と体積のキャパシター構造を提供して、信号伝送ルートの長さを短くし、伝送の品質を改善することを目的とする。

【0005】

本発明の一実施例は、ベースと、当該ベース上に設けられ、少なくとも1つのビアホールを有する堆積層と、当該少なくとも1つのビアホールのそれぞれに設けられ、それぞれが本体部、第2の端部及び第1の端部を有し、当該第2の端部と当該第1の端部が当該本体部の対向する両端面に位置する少なくとも1つの薄膜キャパシターと、当該少なくとも1つの薄膜キャパシターそれぞれの第1の端部に電氣的に接続される少なくとも1つの第1の電極と、当該少なくとも1つの薄膜キャパシターそれぞれの当該第2の端部に電氣的に接続される少なくとも1つの第2の電極とを含み、信号は、当該第1の電極と当該少なくとも1つの薄膜キャパシターの当該本体部を順に介して当該第2の電極に達して、当該第1の電極、当該本体部及び当該第2の電極のコリニヤルートが当該信号を伝送するようにするビアホールキャパシター構造を有する回路基板を開示している。

10

20

30

40

50

【0006】

本発明の当該実施例によれば、当該回路基板は、コア(c o r e)基板の製造工程により製造される。

【0007】

本発明の当該実施例によれば、当該回路基板は、ビルドアップ製造工程により製造される。

【0008】

本発明の当該実施例によれば、当該第2の電極は電源電極であり、当該第1の電極は接地電極である。

【0009】

本発明の当該実施例によれば、当該第1の端部の表面は、当該少なくとも1つの第1の電極それぞれの表面に完全に電氣的に接続され、当該第2の端部の表面は、当該少なくとも1つの第2の電極それぞれの表面に完全に電氣的に接続される。

【0010】

本発明の当該実施例によれば、当該第1の電極、当該本体部及び当該第2の電極は、当該コリニヤルートに沿ってアライメント状態に形成される。

【0011】

本発明の当該実施例によれば、当該少なくとも1つのビアホール形成方法は、ドリリングマシン、レーザー、プラズマ及びリソグラフィ製造工程からなる群から選ばれる。

【0012】

本発明の当該実施例によれば、当該少なくとも1つの薄膜キャパシターの形成方法は、スパッタリング法、蒸着法や原子層堆積法、プリント及びディスペンシング方法からなる群から選ばれる。

【0013】

本発明の一実施例は、ビアホールキャパシター構造を有する回路基板の製造方法において、当該回路基板における基板上に少なくとも1つの第1の電極を設けるステップと、堆積層を当該第1の電極上にカバーさせるステップと、当該堆積層に少なくとも1つのビアホールを作るステップと、少なくとも1つの薄膜キャパシターを少なくとも1つのビアホールに設けるステップであって、当該少なくとも1つの薄膜キャパシターのそれぞれが当該少なくとも1つのビアホールのそれぞれに設けられ、当該少なくとも1つの薄膜キャパシターのそれぞれには、本体部、第2の端部及び第1の端部が設けられ、その中、当該第2の端部と当該第1の端部が当該本体部の対向する両端面に位置し、当該少なくとも1つの第1の電極のそれぞれは、当該少なくとも1つの薄膜キャパシターそれぞれの当該第1の端部に電氣的に接続されるステップと、当該少なくとも1つの薄膜キャパシターそれぞれの当該第2の端部に電氣的に接続される少なくとも1つの第2の電極を、当該少なくとも1つの薄膜キャパシター上にメッキするステップと、を含むビアホールキャパシター構造を有する回路基板の製造方法を開示している。

【0014】

本発明に使用されるキャパシター構造は、実体キャパシターの採用したディスポジション及び溶接の方法と異なり、本発明は、キャパシタンスのニーズに応じて誘電率を変化できる堆積薄膜キャパシターの製造工程を採用して、より容易に製造工程の品質を制御し、口径を調整しキャパシター材料の誘電率を選択することによって、スルーホールの厚みを調整し、ビアホールで並列した第2と第1の電極を利用して、並列する薄膜キャパシターを形成し、薄膜キャパシター/ビアホールの数を制御することによって所定のキャパシタンスに達し、且つ、回路レイアウトにおいて直接にキャパシターの配線を行うことができ、素子の体積も増加しない。また、信号伝送ルートが短くなったため、電源の割り当てを助けることができ、伝送ルートにおける電流変動の影響を低減し、電源の統合性(P o w e r I n t e g r a t i o n)の改善に寄与する。

【図面の簡単な説明】

【0015】

【図 1】従来のプリント回路基板におけるキャパシター構造の断面図である。

【図 2】本発明の一実施例によるプリント回路基板におけるキャパシター構造の分解模式図である。

【図 3】図 2 のプリント回路基板におけるキャパシター構造の完成品の断面図である。

【図 4】本発明の別の実施例によるプリント回路基板におけるキャパシター構造の断面図である。

【図 5】本発明の一実施例によるプリント回路基板におけるキャパシター構造の製造流れ図である。

【発明を実施するための最良の形態】

【0016】

10

以下、本発明の目的、技術案及び長所をより明瞭にするために、本発明の実施の形態について、図面を参照しながらさらに詳しく記述する。

【0017】

本発明の目的は、小さい面積と体積のキャパシター構造を提案することであり、当該構造の並列によりキャパシタンスを制御し、異なる周波数点のキャパシタンスのニーズに応じることができると共に、当該構造は信号伝送ルートの長さを短くすることができ、伝送の品質を改善する。

【0018】

本発明の一実施例は、ビアホールキャパシター構造を有する回路基板を開示し、図 2 を参照すると、図 2 は本発明の一実施例によるプリント回路基板におけるキャパシター構造の分解模式図であり、ビアホールキャパシター構造を有する当該回路基板は、例えば絶縁構造から構成されるベース 20 と、例えば絶縁構造から構成され、当該ベース 20 上に設けられる、少なくとも 1 つのビアホール 21 を有する堆積層 20' と、当該少なくとも 1 つのビアホール 21 のそれぞれの中に設けられ、本体部 28、第 2 の端部 26 及び第 1 の端部 27 を設け、当該第 2 の端部 26 と当該第 1 の端部 27 は当該本体部 28 の対向する両端面に位置する少なくとも 1 つの薄膜キャパシター 22 と、少なくとも 1 つの第 1 の電極 24 であって、当該少なくとも 1 つの薄膜キャパシター 22 の第 1 の端部 27 がそれぞれ電氣的に接続され、前記薄膜キャパシター 22 に用いられる材料は、中、高誘電率の材料に属することができ、且つ、化学成分は金属や非金属元素を含み、二元又は多元素の組成(例えば、チタン酸バリウム(BaTiO_3)、酸化チタン(TiO_2)...等)であってもよく、選んだ誘電材料が漏電しやすいものであると、電極と誘電材料との間にチタン(Ti)、窒化チタン(TiN)...等のような隔離層を増加することができる少なくとも 1 つの第 1 の電極 24 と、当該少なくとも 1 つの薄膜キャパシター 22 それぞれの当該第 2 の端部 26 が電氣的に接続される少なくとも 1 つの第 2 の電極 23 とを含む。信号 S は、当該第 1 の電極 24 と当該少なくとも 1 つの薄膜キャパシター 22 の当該本体部 28 を順に介して当該第 2 の電極 23 に達して、当該第 1 の電極 24、当該本体部 28 及び当該第 2 の電極 23 のコリニャルート L (図において点線で示すように)が当該信号 S を伝送するようにする。その中、前記第 2 の電極 23 と第 1 の電極 24 は金属材料であるが、例えば、銅(Cu)、アルミニウム(Al)、コバルト・ニッケル合金(NiCo)...等のような合金であってもよい。その中、当該第 2 の電極 23 は電源電極であり、当該第 1 の電極 24 は接地電極である。当該第 1 の端部 27 の表面は、当該少なくとも 1 つの第 1 の電極 24 それぞれの表面に完全に電氣的に接続され、当該第 2 の端部 26 の表面は、当該少なくとも 1 つの第 2 の電極 23 それぞれの表面に完全に電氣的に接続される。また、当該第 1 の電極 24、当該本体部 28 及び当該第 2 の電極 23 は、当該コリニャルート L に沿ってアライメント状態(図において点線で示すように)に形成される。

20

30

40

【0019】

ここで、回路基板構造は、ビルドアップ(Build up)製造工程により製造されるビルドアップ構造である。本実施例において、ビアホール数は 2 つであるが、これは例に過ぎず、本発明を限定するためのものではない。キャパシター構造は、一般に、図 1 におけるキャパシター 14 のように、堆積層 20' 上に放置されるが、本案では、回路基板

50

において、堆積層 20' でビアホール 21 を掘り、ビアホールそれぞれの中に第 2 の電極 23 と第 1 の電極 24 を直接に入れてキャパシターを形成し、ビアホール 21 それぞれにおける第 2 の電極 23 と第 1 の電極 24 の並列配列により、前記少なくとも 1 つのビアホール 21 に形成された少なくとも 1 つの薄膜キャパシター 22 は互いに並列したキャパシターであり、そうすると、薄膜キャパシター 22 がビアホール 21 に形成されるため、一定の誘電率の下で、ビアホール 21 の厚み、ビアホール 21 の面積、及び異なるビアホール 21 の数を調整することによって、形成されたトータルキャパシタンスを決定でき、薄膜キャパシター 22 は、直接にビアホール 21 中に形成され、回路基板上に一般的なキャパシターを用いることに比べて、占有する体積を低減し、また形成された薄膜キャパシター 22 はビアホール 21 中に位置し、直接に信号のコリニヤルート L 上にあり、一般の実体キャパシターに比べて、図 1 におけるキャパシター 14 のように、ルート L' (図において点線の部分で示すように) を減少し、さらに信号伝送ルートの長さを減少し、ウエハー端又は IC 端にもっと近接している。

10

【0020】

好ましくは、当該少なくとも 1 つのビアホール 21 の形成方法は、ドリリングマシン、レーザー、プラズマ及びリソグラフィ製造工程からなる群から選ばれる。当該ドリリングマシンは、例えば機械的ドリリングにより当該少なくとも 1 つのビアホール 21 を形成する。

【0021】

好ましくは、当該少なくとも 1 つの薄膜キャパシター 22 の形成方法は、スパッタリング法、蒸着法や原子層堆積法、プリント及びディスペンシング方法からなる群から選ばれる。

20

【0022】

図 3、図 4 を参照すると、図 3 は、図 2 のプリント回路基板におけるキャパシター構造の完成品の断面図であり、図 4 は、本発明の別の実施例によるプリント回路基板におけるキャパシター構造の断面図であり、図 4 において当該堆積層 20' はコア (core) 基板の製造工程により製造される。

【0023】

本発明の一実施例は、ビアホールキャパシター構造を有する回路基板の製造方法を開示し、図 5 を参照すると、図 5 は、本発明の一実施例によるプリント回路基板におけるキャパシター構造の製造流れ図であり、以下のステップを含んでいる。

30

S500: 当該回路基板における基板上に少なくとも 1 つの第 1 の電極を設け、

S501: 堆積層を当該第 1 の電極上にカバーさせ、

S502: 当該堆積層に少なくとも 1 つのビアホールを作り、

S503: 少なくとも 1 つの薄膜キャパシターを少なくとも 1 つのビアホールに設け、

S504: 少なくとも 1 つの第 2 の電極を当該少なくとも 1 つの薄膜キャパシター上にメッキする。

ステップ S503 において、当該少なくとも 1 つの薄膜キャパシターのそれぞれは当該少なくとも 1 つのビアホールに設けられ、当該少なくとも 1 つの薄膜キャパシターそれぞれには、本体部、第 2 の端部及び第 1 の端部が設けられ、その中、当該第 2 の端部と当該第 1 の端部が当該本体部の対向する両端面に位置し、当該少なくとも 1 つの第 1 の電極は、当該少なくとも 1 つの薄膜キャパシターそれぞれの当該第 1 の端部に電氣的に接続される。ステップ S504 において、当該少なくとも 1 つの第 2 の電極のそれぞれは、当該少なくとも 1 つの薄膜キャパシターそれぞれの当該第 2 の端部に電氣的に接続される。前記少なくとも 1 つのビアホールに形成された少なくとも 1 つの薄膜キャパシターは互いに並列したキャパシターであり、そうすると、異なるビアホールの数により形成されたトータルキャパシタンスを決定できる。その中、前記薄膜キャパシターに用いられる材料は、中、高誘電率の材料に属することができ、且つ、化学成分は金属や非金属元素を含み、二元又は多元素の組成 (例えば、チタン酸バリウム (BaTiO₃)、酸化チタン (TiO₂)... 等) であってもよく、選んだ誘電材料で漏電が発生すると、電極と誘電材件との間にチタ

40

50

ン(Ti)、窒化チタン(TiN)...等のような隔離層を増加することができる。前記第1の電極は金属材料であり、例えば、銅(Cu)、アルミニウム(Al)、コバルト・ニッケル合金(NiCo)...等の合金であってもよい。

【0024】

本発明に使用されるキャパシター構造は、実体キャパシターの採用した構造及び溶接の方法と異なり、本発明は、キャパシタンスのニーズに応じて誘電率を変化できる堆積薄膜キャパシターの製造工程を採用して、より容易に製造工程の品質を制御し、口径を調整しキャパシター材料の誘電率を選択することによって、スルーホールの厚みを調整し、ビアホールで並列した第2と第1の電極を利用して、並列する薄膜キャパシターを形成し、薄膜キャパシター/ビアホールの数を制御することによって所定のキャパシタンスに達し、且つ、回路レイアウトにおいて直接にキャパシターの配線を行うことができ、素子の体積も増加しない。また、信号伝送ルートが短くなったため、電源の割り当てを助けることができ、伝送ルートにおける電流変動の影響を低減し、電源の統合性(Power Integrity)の改善に寄与する。

10

【0025】

以上は、本発明の好ましい実施例に過ぎず、本発明を限定するためのものではない。なお、本発明の要旨及び原則の範囲におけるいかなる修正、均等な取り替え、改進等は、いずれも本発明の保護範囲内に含まれることは言うまでもない。

【符号の説明】

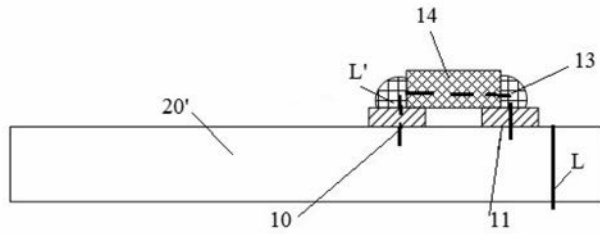
【0026】

- 10、23 第2の電極
- 11、24 第1の電極
- 13 錫ペースト
- 14 実体キャパシター
- 20 ベース
- 20' 堆積層
- 21 ビアホール
- 22 薄膜キャパシター
- 26 第2の端部
- 27 第1の端部
- 28 本体部
- 500～504 ステップ
- L コリニヤルート
- L' ルート
- S 信号

20

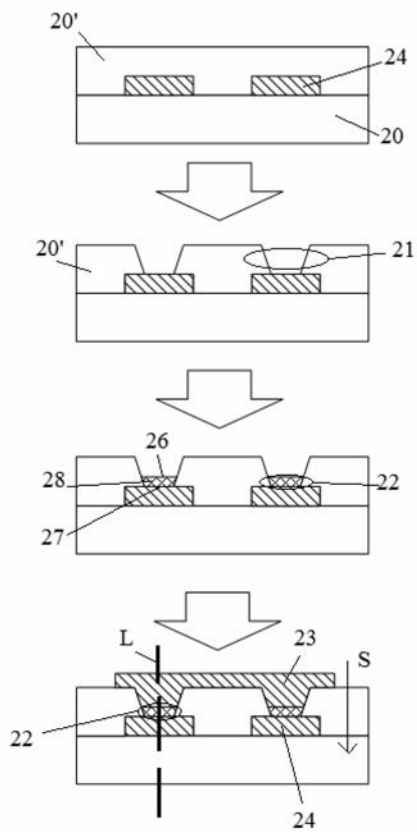
30

【図 1】



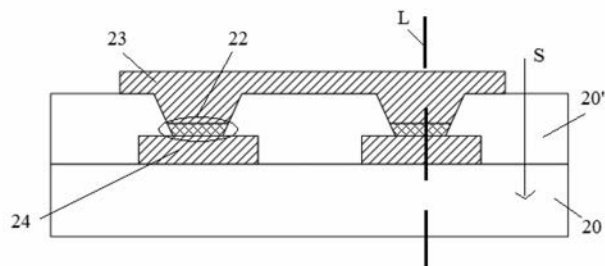
第 1 圖

【図 2】



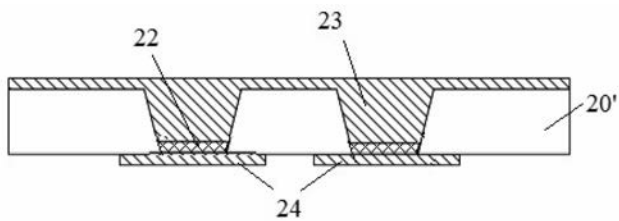
第 2 圖

【図 3】



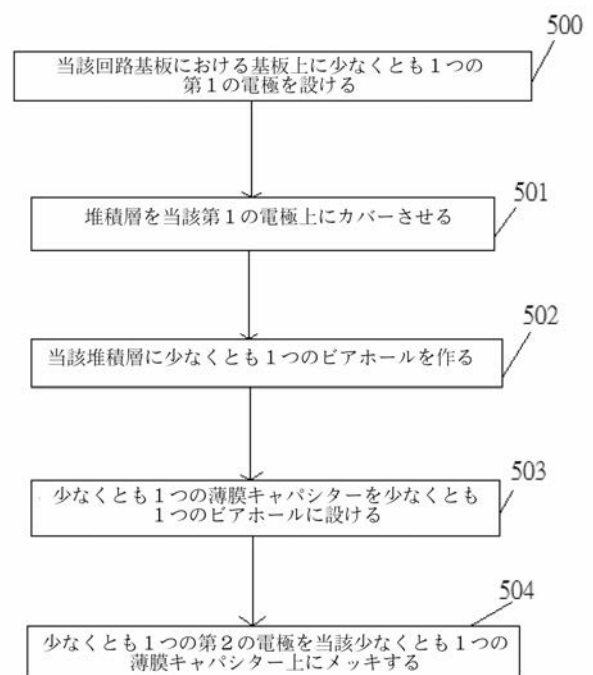
第 3 圖

【図 4】



第 4 圖

【図 5】



第 5 圖

フロントページの続き

(72)発明者 翁 亦興

台湾桃園市平鎮區工業三路 1 5 號

Fターム(参考) 4E351 AA01 BB03 BB04 CC03 CC06 DD04 DD10 DD21 DD43 GG06
5E316 AA02 AA12 AA13 AA15 AA27 AA29 AA33 AA43 CC08 CC31
DD02 DD22 EE31 FF04 FF12 FF45 GG15 GG17 HH01 HH02
JJ14