

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710129103.8

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 23/522 (2006.01)

H01L 23/528 (2006.01)

H01L 21/8247 (2006.01)

H01L 21/768 (2006.01)

[43] 公开日 2008 年 1 月 16 日

[11] 公开号 CN 101106140A

[22] 申请日 2007.7.11

[21] 申请号 200710129103.8

[30] 优先权

[32] 2006.7.11 [33] KR [31] 10-2006-0065040

[32] 2007.3.28 [33] US [31] 11/729,169

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416 番地

[72] 发明人 薛钟善 崔正达 朴泳雨 朴镇泽

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 黄启行 穆德骏

权利要求书 9 页 说明书 33 页 附图 18 页

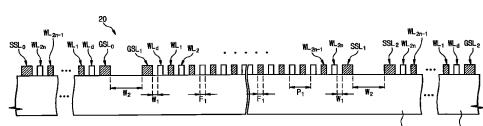
[54] 发明名称

包括虚拟字线的非易失性存储器件及相关结构和方法

的部分有源区可以没有字线，以及在该第一和第二接地选择线之间的第二间隔可以大于第一间隔至少约 3 倍。还论述了相关方法。

[57] 摘要

一种非易失性存储器件可以包括：半导体衬底，该半导体衬底包括在其表面的有源区；在该有源区上的第一存储单元串；以及在该有源区上的第二存储单元串。该第一存储单元串可以包括与在该第一接地选择线和第一串选择线之间的有源区相交叉的第一多个字线，以及在该第一多个字线的相邻字线之间可以提供几乎相同的第一间隔。该第二存储单元串可以包括与在该第二接地选择线和第二串选择线之间的有源区相交叉的第二多个字线，以及在该第二多个字线的相邻字线之间可以提供几乎相同的第一间隔。而且，该第一接地选择线可以在该第二接地选择线和该第一多个字线之间，以及该第二接地选择线可以在第一接地选择线和该第二多个字线之间。而且，在该第一和第二接地选择线之间



1. 一种非易失性存储器件，包括：

半导体衬底，该半导体衬底包括在其表面的有源区；

在该有源区上的第一存储单元串，其中该第一存储单元串包括与在第一接地选择线和第一串选择线之间的有源区相交叉的第一多个字线，其中在该第一多个字线的相邻字线之间提供几乎相同的第一间隔；以及

在该有源区上的第二存储单元串，其中该第二存储单元串包括与在第二接地选择线和第二串选择线之间的有源区相交叉的第二多个字线，其中在该第二多个字线的相邻字线之间提供几乎相同的第一间隔；

其中该第一接地选择线在第二接地选择线和该第一多个字线之间，其中该第二接地选择线在第一接地选择线和该第二多个字线之间，其中该第一和第二接地选择线之间的部分有源区没有字线，以及，其中该第一和第二接地选择线之间的第二间隔大于第一间隔至少约3倍。

2. 根据权利要求1的非易失性存储器件，其中该第二间隔在大于第一间隔约3至4倍的范围内。

3. 根据权利要求1的非易失性存储器件，其中该第二间隔大于第一间隔的3倍以上。

4. 根据权利要求1的非易失性存储器件，其中该第二间隔大于第一间隔至少约4倍。

5. 根据权利要求1的非易失性存储器件，其中该第一多个字线包括偶数的存储单元字线以及在偶数的存储单元字线的第一字线和第一接地选择线之间的虚拟字线，其中在该接地选择线和虚拟字线之间提供几乎相同的第一间隔，其中在该虚拟字线和偶数存储单元字线的第一字线之间提供几乎相同的第一间隔，以及其中在偶数存储单元字线

的最后字线和串选择线之间提供几乎相同的第一间隔。

6. 根据权利要求1的非易失性存储器件，其中该第一多个字线包括偶数的存储单元字线以及在偶数存储单元字线的第一字线和该第一接地选择线之间的虚拟字线，其中在该虚拟字线和偶数存储单元字线的第一字线之间提供几乎相同的第一间隔，其中在该接地选择线和虚拟字线之间提供第三间隔，以及其中该第三间隔大于该第一间隔且不大于该第一间隔的两倍。

7. 根据权利要求6的非易失性存储器件，其中该第三间隔在第一间隔的约1.5倍至第一间隔的约2倍的范围内。

8. 根据权利要求1的非易失性存储器件，其中该第一多个字线包括偶数的存储单元字线，其中在该接地选择线和偶数存储单元字线的第一字线之间提供第一间隔的至少3倍，其中在该偶数存储单元字线的最后字线和串选择线之间提供大约第一间隔，以及其中在该接地选择线和偶数存储单元字线的第一字线之间的部分有源区没有字线。

9. 根据权利要求1的非易失性存储器件，其中该第一和第二存储单元串的每个存储单元包括在相应的字线和有源区之间的电荷存储层、以及在该电荷存储层和字线之间的阻挡绝缘层。

10. 根据权利要求1的非易失性存储器件，其中第一存储器单元串的布置相对于第二存储器单元串的布置具有镜像对称性。

11. 一种非易失性存储器件，包括：

半导体衬底，该半导体衬底包括在其表面的有源区；

与该有源区相交叉的接地选择线；

与该有源区相交叉的、并与该接地选择线相隔开的串选择线；

与在该接地选择线和串选择线之间的有源区相交叉的多个存储单

元字线，其中在该多个字线的相邻字线之间提供几乎相同的第一间隔，其中在该多个存储单元字线的最后字线和该串选择线之间提供第二间隔，以及其中该第二间隔大于该第一间隔且不大于该第一间隔的两倍，以及

在该多个存储单元字线的第一字线和该第一接地选择线之间的虚拟字线，其中在该虚拟字线和该多个存储单元字线的第一字线之间提供约第一间隔，其中在该接地选择线和该虚拟字线之间提供第三间隔，以及其中该第三间隔大于该第一间隔且不大于该第一间隔的两倍。

12. 根据权利要求11的非易失性存储器件，其中该第三间隔在该第一间隔的约1.5至第一间隔的约2倍的范围内

13. 根据权利要求11的非易失性存储器件，其中该多个存储单元字线包括第一多个存储单元字线，该非易失性存储器件还包括：

与该有源区相交叉的第二接地选择线，其中该第一接地选择线在该第二接地选择线和该第一多个存储单元字线之间；

与该有源区相交叉的、并与该第二接地选择线隔开的第二串选择线，其中该第二接地选择线在该第二串选择线和该第一接地选择线之间；以及

与在该第二接地选择线和第二串选择线之间的有源区相交叉的第二多个存储单元字线；

其中在该第一和第二接地选择线之间的部分有源区没有字线，以及其中在该第一和第二接地选择线之间的第二间隔大于第一间隔至少约3倍。

14. 根据权利要求13的非易失性存储器件，其中该第二间隔大于第一间隔的约3至约4倍的范围内。

15. 根据权利要求13的非易失性存储器件，其中该第二间隔大于第一间隔的3倍以上。

16. 根据权利要求13的非易失性存储器件，其中该第二间隔大于第一间隔至少约4倍。

17. 根据权利要求11的非易失性存储器件，还包括：

多个电荷存储层，该电荷存储层的各个层在该多个字线的每一个和有源区之间；以及

多个阻挡绝缘层，该阻挡绝缘层的各个层在该多个字线的每一个和电荷存储层之间。

18. 根据权利要求11的非易失性存储器件，其中该多个存储单元字线包括偶数的存储单元字线。

19. 一种非易失性存储器件，包括：

半导体衬底，该半导体衬底包括在其表面的有源区；

与该有源区相交叉的接地选择线；

与该有源区相交叉的、并与接地选择线隔开的串选择线；

与在该接地选择线和该串选择线之间的有源区相交叉的多个存储单元字线，其中在该多个字线的相邻字线之间以及在该多个存储单元字线的最后字线和该串选择线之间提供几乎相同的第一间隔，其中在该接地选择线和该多个存储单元字线的第一字线之间提供第二间隔，其中该第二间隔大于该第一间隔至少三倍，以及其中在该接地选择线和该多个存储单元字线的第一字线之间的部分有源区没有字线。

20. 根据权利要求19的非易失性存储器件，其中该第二间隔大于该第一间隔约3倍。

21. 根据权利要求19的非易失性存储器件，其中第二间隔不大于第一间隔4倍。

22. 根据权利要求19的非易失性存储器件，其中该多个存储单元字线包括第一多个存储单元字线，该非易失性存储器件还包括：

与该有源区相交叉的第二接地选择线，其中该第一接地选择线在该第二接地选择线和该第一多个存储单元字线之间；

与该有源区相交叉的、并与该第二接地选择线隔开的第二串选择线，其中该第二接地选择线在该第二串选择线和第一接地选择线之间；

与在该第二接地选择线和第二串选择线之间的有源区相交叉的第二多个存储单元字线；

其中在该第一和第二接地选择线之间的部分有源区没有字线，以及其中在该第一和第二接地选择线之间的第二间隔大于该第一间隔至少约3倍。

23. 根据权利要求22的非易失性存储器件，其中该第二间隔在大于该第一间隔约3至约4倍的范围内。

24. 根据权利要求22的非易失性存储器件，其中该第二间隔大于该第一间隔约3倍。

25. 根据权利要求22的非易失性存储器件，其中该第二间隔大于该第一间隔至少约4倍。

26. 根据权利要求19的非易失性存储器件，还包括：

多个电荷存储层，该电荷存储层的各个层在该多个字线的每一个和该有源区之间；以及

多个阻挡绝缘层，该阻挡绝缘层的各个层在该多个字线的每一个和电荷存储层之间。

27. 根据权利要求19的非易失性存储器件，其中该多个存储单元字线包括偶数的存储单元字线。

28. 一种形成非易失性存储器件的方法，该方法包括：

在衬底上形成刻蚀目标层；

形成第一硬掩模图形，该第一硬掩模图形包括在第一和第二选择线图形之间的多个奇数字线图形，其中在该第一选择线图形和第一奇数字线图形之间、在相邻奇数字线图形之间以及在最后奇数字线图形和第二选择线图形之间提供几乎相同的间隔，其中该第一硬掩模图形包括第一材料；

在该第一硬掩模图形上形成牺牲掩模层，其中在该奇数字线图形的相邻字线图形的侧壁上的部分牺牲掩模之间保留间隙，其中该牺牲掩模层包括第二材料，并且，其中该第一和第二材料具有不同的成分；

在该牺牲掩模层上形成第二硬掩模图形，其中该第二硬掩模图形包括在该第一选择线图形和该第一奇数字线图形之间的虚拟字线图形、以及包括在相邻奇数字线图形之间的和在最后奇数字线图形和第二选择线图形之间的偶数字线图形，其中该第二硬掩模图形包括第三材料，并且其中该第二和第三材料具有不同的成分；

除去在该第一和第二硬掩模图形之间的部分牺牲掩模层，以使得在该第一和第二硬掩模图形之间露出部分刻蚀目标层；以及

刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

29. 根据权利要求28的方法，其中在该第一选择线图形和第一奇数字线图形之间提供的间隔约为第一奇数字线图形宽度的三倍。

30. 根据权利要求28的方法，其中该第一硬掩模图形包含氮化硅，其中该牺牲掩模层包含多晶硅，以及其中该第二硬掩模图形包含氧化硅。

31. 根据权利要求28的方法，其中该奇数字线图形具有几乎相同的宽度，以及其中在该多个奇数字线图形的相邻字线图形之间的间隔可以大于奇数字线图形的宽度。

32. 根据权利要求28的方法，其中形成该刻蚀目标层包括，在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

33. 一种形成非易失性存储器件的方法，该方法包括：
在衬底上形成刻蚀目标层；
在衬底上形成第一硬掩模图形，其中该第一硬掩模图形包括在第一和第二选择线图形之间的多个偶数字线图形、以及在该第一选择线图形和第一偶数字线图形之间的虚拟字线图形，其中在该虚拟字线图形和第一偶数字线图形之间、以及在相邻偶数字线图形之间提供几乎相同的第一间隔，以及其中在该第一选择线图形和该虚拟字线图形之间、以及在最后偶数字线图形和第二选择线图形之间提供第二间隔，其中该第二间隔小于该第一间隔，以及其中该第一硬掩模图形包含第一材料；
在该第一硬掩模图形上形成牺牲掩模层，其中在该偶数字线图形的相邻字线图形的侧壁上的部分牺牲掩模层之间、以及在该虚拟字线图形和第一偶数字线图形之间保留间隙，其中该牺牲掩模层包含第二材料，以及其中该第一和第二材料具有不同的成分；
在该牺牲层上的间隙中形成第二硬掩模图形，其中该第二硬掩模图形包括在相邻偶数字线图形之间的、以及在该虚拟字线图形和该第一偶数字线图形之间的奇数字线图形，其中该第二硬掩模图形包含第三材料，其中该第二和第三材料具有不同的成分；
除去在该第一和第二硬掩模图形之间的部分牺牲掩模层，以使得在该第一和第二硬掩模图形之间露出部分刻蚀目标层，其中在该虚拟字线图形和第一选择线图形之间的间隔没有任何的第二硬掩模图形；
以及
刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

34. 根据权利要求33的方法，其中在该虚拟字线图形和第一偶数

字线图形之间、以及在相邻偶数字线图形之间提供的该第一间隔约为第一偶数字线图形宽度的三倍。

35. 根据权利要求34的方法，其中该第二间隔大于该第一偶数字线图形的宽度且不大于该第一偶数字线图形的宽度的两倍。

36. 根据权利要求33的方法，其中该第二间隔在该第一偶数字线图形的宽度的约1.5倍至第一偶数字线图形的宽度的约2倍的范围内。

37. 根据权利要求33的方法，其中该偶数字线图形具有几乎相同的宽度，以及其中该多个偶数字线图形的相邻字线图形之间的间隔大于该偶数字线图形的宽度。

38. 根据权利要求33的方法，其中形成刻蚀目标层包括，在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

39. 一种形成非易失性存储器件的方法，该方法包括：在衬底上形成刻蚀目标层；在该衬底上形成第一硬掩模图形，其中该第一硬掩模图形包括在第一和第二选择线图形之间的多个奇数字线图形，其中在相邻奇数字线图形之间、以及在最后奇数字线图形和第二选择线图形之间提供几乎相同的第一间隔，以及在该第一选择线图形和第一奇数字线图形之间提供第二间隔，其中该第二间隔大于该第一间隔，以及其中第一硬掩模图形包含第一材料；

在该第一硬掩模图形上形成牺牲掩模层，其中在该相邻第一硬掩模图形的侧壁上的部分牺牲掩模层之间保留间隙，其中该牺牲掩模层包含第二材料，以及其中该第一和第二材料具有不同的成分；

在牺牲层上形成第二硬掩模图形，其中该第二硬掩模图形包括在

相邻奇数字线图形之间的、以及在最后奇数字线图形和第二选择线图形之间的偶数字线图形，其中该第一选择线图形和第一奇数字线图形之间的间隔没有任何第二硬掩模图形，其中该第二硬掩模图形包含第三材料，以及其中该第二和第三材料具有不同的成分；

除去在该第一和第二硬掩模图形之间的部分牺牲掩模层，以使得在该第一和第二硬掩模图形之间露出部分刻蚀目标层；以及
刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

40. 根据权利要求39的方法，其中相同的第一间隔约为第一奇数字线图形的宽度的三倍。

41. 根据权利要求39的方法，其中形成刻蚀目标层包括，在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

包括虚拟字线的非易失性存储器件及相关结构和方法

相关申请

根据35 U.S.C. §119，本美国非临时专利申请要求2006年7月11日申请的韩国专利申请号10-2006-0065040的优先权，因此这里将其公开内容全部引入供参考。

技术领域

本发明总体上涉及电子设备，更具体地讲涉及电存储器件及相关方法。

背景技术

在NOR-型结构或NAND-型结构中可以提供非易失性存储器件，如快闪存储器件。例如，NOR-型快闪存储器件可以提供较快速的随机存取，而NAND-型快闪存储器件可以提供较低成本和/或较高的集成度。因此NOR-型快闪存储器件可以用于代码储存器存储，而NAND-型快闪存储器件可以用于海量存储器存储。

例如，在Hasama等人的，名称为"Nonvolatile Semiconductor Memory Device Having Configuration Of NAND Strings With Dummy Memory Cells Adjacent To Select Transistors"的第7,079,437号美国专利中，论述了NAND-型非易失性半导体存储器件。更具体地讲地说，Hasama等人论述了具有串联连接在一起的多个电可重写非易失性存储单元的非易失性半导体存储器件。选择栅晶体管与存储单元的串联组合串联连接，并且位于该选择栅晶体管附近的存储单元是虚拟单元，该虚拟单元不用于数据存储。在数据擦除操作过程中，与被施加到其他存储单元相同的偏压也被施加到该虚拟单元。

尽管已知非易失性存储器件，但是对于提供更高度集成的存储器件的结构和方法的技术仍然存在需要。

发明内容

根据本发明的某些实施例，一种非易失性存储器件可以包括：半导体衬底，该半导体衬底包括在其表面的有源区；以及有源区上的第一和第二存储单元串。该第一存储单元串可以包括与在第一接地选择线和第一串选择线之间的有源区相交叉的第一多个字线，以及在该第一多个字线的相邻字线之间可以提供几乎相同的第一间隔。第二存储单元串可以包括与在第二接地选择线和串选择线之间的有源区相交叉的第二多个字线，以及在该第二多个字线的相邻字线之间可以提供几乎相同的第一间隔。第一接地选择线可以在第二接地选择线和该第一多个字线之间，以及第二接地选择线可以在第一接地选择线和该第二多个字线之间。第一和第二接地选择线之间的部分有源区可以没有字线，第一和第二接地选择线之间的第二间隔可以大于第一间隔约3倍。

第二间隔可以在大于第一间隔约3至4倍的范围内。第二间隔可以大于第一间隔的3倍以上，更具体地讲，第二间隔可以大于第一间隔至少约4倍。

该第一多个字线可以包括偶数的存储单元字线、以及在该偶数的存储单元字线的第一字线和该第一接地选择线之间的虚拟字线。以及在该接地选择线和虚拟字线之间可以提供几乎相同的第一间隔，以及在该虚拟字线和偶数存储单元字线的第一字线之间可以提供几乎相同的第一间隔。而且，在该偶数存储单元字线的最后字线和该串选择线之间可以提供几乎相同的第一间隔。

该第一多个字线可以包括偶数的存储单元字线、以及在该偶数存储单元字线的第一字线和第一接地选择线之间的虚拟字线。在该虚拟字线和该偶数存储单元字线的第一字线之间可以提供几乎相同的第一

间隔，以及在接地选择线和虚拟字线之间可以提供第三间隔。而且，第三间隔可以大于第一间隔且不大于第一间隔的两倍，更具体地讲，第三间隔可以在第一间隔的约1.5倍至约2倍的范围内。

该第一多个字线可以包括偶数的存储单元字线，以及在该接地选择线和该偶数存储单元字线的第一字线之间可以提供至少3倍的第一间隔。在该偶数存储单元字线的最后字线和串选择线之间可以提供约第一间隔，以及该接地选择线和该偶数存储单元字线的第一字线之间的部分有源区可以没有字线。

第一和第二存储单元串的每个存储单元可以包括在各个字线和有源区之间的电荷存储层、以及在该电荷存储层和字线之间的阻挡绝缘层。而且，第一存储单元串的布置相对于第二存储单元串的布置可以具有镜像对称性。

根据本发明的另一实施例，一种非易失性存储器件可以包括：半导体衬底，该半导体衬底包括在其表面的有源区；与该有源区相交叉的接地选择线；以及与有源区相交叉的、并与该接地选择线隔开的串选择线。该多个存储单元字线可以与在该接地选择线和串选择线之间的有源区相交叉，以及在该多个字线的相邻字线之间可以提供几乎相同的间隔。在多个存储单元字线的最后字线和串选择线之间可以提供第二间隔，该第二间隔可以大于第一间隔且不大于第一间隔的两倍。该虚拟字线可以在该多个存储单元字线的第一字线和第一接地选择线之间，以及在虚拟字线和多个存储单元字线的第一字线之间可以提供约第一间隔。在该接地选择线和虚拟字线之间可以提供第三间隔，第三间隔可以大于第一间隔且不大于第一间隔的两倍。更具体地讲，第三间隔可以在第一间隔的约1.5倍至约2倍的范围内。

该多个存储单元字线可以是第一多个存储单元字线，以及该非易失性存储器件还可以包括与该有源区相交叉的第二接地选择线、与有

源区相交叉的第二串选择线、以及第二多个存储单元字线。该第一接地选择线可以在第二接地选择线和该第一多个存储单元字线之间，以及该第二串选择线可以与第二接地选择线隔开，该第二接地选择线在第二串选择线和第一接地选择线之间。该第二多个存储单元字线可以在第二接地选择线和第二串选择线之间。而且，在该第一和第二接地选择线之间的部分有源区可以没有字线，以及该第一和第二接地选择线之间的第二间隔可以大于第一间隔至少约3倍。

该第二间隔可以在大于第一间隔约3至4倍的范围内。更具体地讲，第二间隔可以大于第一间隔超过3倍，更具体地讲，第二间隔可以大于第一间隔至少约4倍。

此外，该多个电荷存储层可以设有在多个字线的每个字线和有源区之间的相应电荷存储层，以及多个阻挡绝缘层可以设有在该多个字线的每个字线和电荷存储层之间的相应阻挡绝缘层。而且，该多个存储单元字线可以包括偶数的存储单元字线。

根据本发明的另一些实施例，一种非易失性存储器件可以包括：半导体衬底，该半导体衬底包括在其表面的有源区；与该有源区相交叉的接地选择线；以及与该有源区相交叉的串选择线；以及与该有源区相交叉的多个存储单元字线。该串选择线可以与接地选择线隔开，以及该多个存储单元字线可以与在接地选择线和串选择线之间的有源区相交叉。在该多个字线的相邻字线之间、以及在该多个存储单元字线的最后字线和该串选择线之间可以提供几乎相同的第一间隔。在该接地选择线和该多个存储单元字线的第一字线之间可以提供第二间隔，以及该第二间隔可以大于第一间隔至少三倍。而且，该在接地选择线和该多个存储单元字线的第一字线之间的部分有源区可以没有字线。更具体地讲，该第二间隔可以大于第一间隔约三倍，和/或该第二间隔可以不大于第一间隔4倍。

多个存储单元字线可以是第一多个存储单元字线，以及该非易失性存储器件还可以包括与该有源区相交叉的第二接地选择线、与有源区相交叉的第二串选择线、以及与有源区相交叉的第二多个存储单元字线。该第一接地选择线可以在该第二接地选择线和该第一多个存储单元字线之间，以及该第二串选择线可以与第二接地选择线隔开，该第二接地选择线在第二串选择线和第一接地选择线之间。该第二多个存储单元字线可以在第二接地选择线和第二串选择线之间。而且，该第一和第二接地选择线之间的部分有源区可以没有字线，以及第一和第二接地选择线之间的第二间隔可以大于第一间隔至少约3倍。

第二间隔可以在大于第一间隔约3至4倍的范围内，更具体地讲，第二间隔可以大于第一间隔约3倍或大于第一间隔至少约4倍。

此外，该多个电荷存储层可以设有在该多个字线的每个字线和有源区之间的相应的电荷存储层，以及该多个阻挡绝缘层可以设有在该多个字线的每个字线和电荷存储层之间的相应的阻挡绝缘层。而且，该多个存储单元字线可以包括偶数的存储单元字线。

根据本发明的再一实施例，一种形成非易失性存储器件的方法，可以包括，在衬底上形成刻蚀目标层。可以形成第一硬掩模图形，包括在第一和第二选择线图形之间的多个奇数字线图形，以及，在该第一选择线图形和第一奇数字线图形之间、在相邻的奇数字线图形之间、以及在最后奇数字线图形和第二选择线图形之间可以提供几乎相同的间隔。而且，该第一硬掩模图形可以包括第一材料。在该第一硬掩模图形上可以形成牺牲掩模层，在该奇数字线图形的相邻字线图形的侧壁上的部分牺牲掩模层之间保留间隙。该牺牲掩模层可以包括第二材料，以及该第一和第二材料可以具有不同的成分。在该牺牲掩模层上可以形成第二掩模图形，以及该第二硬掩模图形可以包括第一选择线图形和第一奇数字线图形之间的虚拟字线图形。该第二硬掩模图形也可以包括在相邻奇数字线图形之间的、以及在最后奇数字线图形和第

二选择线图形之间的偶数字线图形。而且，该第二硬掩模图形可以包括第三材料，以及该第二和第三材料可以具有不同的成分。在该第一和第二硬掩模图形之间的部分牺牲掩模层可以被除去，以使得在第一和第二硬掩模图形之间露出部分刻蚀目标层，以及刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

在第一选择线图形和第一奇数字线图形之间提供的间隔可以约为第一奇数字线图形宽度的三倍。而且，该第一硬掩模图形可以包括氮化硅，该牺牲掩模层可以包括多晶硅，以及该第二硬掩模图形可以包括氧化硅。

该奇数字线图形可以具有几乎相同的宽度，以及在该多个奇数字线图形的相邻字线图形之间的间隔可以大于该奇数字线图形的宽度。此外，形成刻蚀目标层可以包括在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

根据本发明的又一实施例，一种形成非易失性存储器件的方法可以包括，在衬底上形成刻蚀目标层。在该衬底上可以形成第一硬掩模图形，该第一硬掩模图形可以包括在第一和第二选择线图形之间的多个偶数字线图形、以及在该第一选择线图形和第一偶数字线图形之间的虚拟字线图形。在该虚拟字线图形和第一偶数字线图形之间、以及在相邻偶数字线图形之间可以提供几乎相同的第一间隔，以及，在该第一选择线图形和虚拟字线图形之间、以及在最后偶数字线图形和第二选择线图形之间可以提供第二间隔。而且，第二间隔可以小于第一间隔，以及该第一硬掩模图形可以包括第一材料。在该第一硬掩模图形上可以形成牺牲掩模层，在该偶数字线图形的相邻字线图形的侧壁上的部分牺牲掩模层之间、以及在虚拟字线图形和第一偶数字线图形之间保留间隙。该牺牲掩模层可以包括第二材料，以及该第一和第二材料可以具有不同的成分。在该牺牲层上的间隙中可以形成第二硬掩模图形，以及该第二硬掩模图形可以包括在相邻偶数字线图形之间的、

以及在该虚拟字线图形和第一偶数字线图形之间的奇数字线图形。而且，该第二硬掩模图形可以包括第三材料，以及第二和第三材料可以具有不同的成分。在第一和第二硬掩模图形之间可以除去部分牺牲掩模层，以使得在第一和第二硬掩模图形之间露出部分刻蚀目标层，以及在该虚拟字线图形和第一选择线图形之间的间隔可以没有任何第二硬掩模图形。然后可以刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

在该虚拟字线图形和第一偶数字线图形之间、以及在相邻偶数字线图形之间提供的第一间隔可以约为第一偶数字线图形宽度的三倍。第二间隔可以大于第一偶数字线图形的宽度且不大于第一偶数字线图形宽度的两倍。第二间隔可以在第一偶数字线图形宽度的约1.5倍至2倍的范围内。

该偶数字线图形可以具有几乎相同的宽度，以及该多个偶数字线图形的相邻字线图形之间的间隔可以大于该偶数字线图形的宽度。此外，形成刻蚀目标层可以包括，在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

一种形成非易失性存储器件的方法可以包括，在衬底上形成刻蚀目标层和在该衬底上形成第一硬掩模图形。该第一硬掩模图形可以包括在第一和第二选择线图形之间的多个奇数字线图形，以及，在相邻奇数字线图形之间、以及在最后奇数字线图形和第二选择线图形之间可以提供几乎相同的第一间隔。在该第一选择线图形和第一奇数字线图形之间可以提供第二间隔，该第二间隔可以大于第一间隔，以及该第一硬掩模图形可以包括第一材料。在该第一硬掩模图形上可以形成牺牲掩模层，在相邻第一硬掩模图形的侧壁上的部分牺牲掩模层之间保留间隙，以及该牺牲掩模层可以包括第二材料，该第一和第二材料具有不同的成分。在该牺牲掩模层上可以形成第二掩模图形，该第二硬掩模图形可以包括在相邻奇数字线图形之间的、以及在最后奇数字

线图形和第二选择线图形之间的偶数字线图形。该第一选择线图形和第一奇数字线图形之间的间隔可以没有任何第二硬掩模图形，该第二硬掩模图形可以包括第三材料，该第二和第三材料具有不同的成分。在该第一和第二硬掩模图形之间可以除去部分牺牲掩模层，以使得在第一和第二硬掩模图形之间露出部分刻蚀目标层。然后刻蚀在该第一和第二硬掩模图形之间露出的部分刻蚀目标层。

相同的第一间隔可以约为第一奇数字线图形宽度的三倍。此外，形成刻蚀目标层可以包括在衬底上形成电荷存储层，在该电荷存储层上形成阻挡绝缘层，以及在该阻挡绝缘层上形成控制栅层。

附图说明

图1A是根据本发明的某些实施例的非易失性存储器件的平面图。

图1B是沿图1A的线I-I'的剖面图。

图1C是说明编程操作过程中接地感应漏电流的放大剖面图。

图1D是说明擦除操作过程中的耦合电容的放大剖面图。

图2A是根据本发明的某些实施例的非易失性存储器件的平面图。

图2B是沿图2A的剖面线II-II'的剖面图。

图3A是根据本发明的另一些实施例的非易失性存储器件的平面图。

图3B是沿图3A的剖面线III-III'的剖面图。

图4A是根据本发明的另一些实施例的非易失性存储器件的平面图。

图4B是沿图4A的剖面线IV-IV'的剖面图。

图5A-D是说明根据本发明的实施例来形成图2A-B的非易失性存储器结构的操作的剖面图。

图6A-D是说明根据本发明的实施例来形成图3A-B的非易失性存储器结构的操作的剖面图。

图7A-D是说明根据本发明的实施例来形成图4A-B的非易失性存储器结构的操作的剖面图。

具体实施方式

下面参考附图更完全地描述本发明，在附图中示出了本发明的实施例。但是，本发明可以以多种不同的方式体现，不应该被认为局限于在此阐述的实施例。相反，提供这些实施例是为了本公开透彻和完整，并将本发明的范围充分地传递给所属领域的技术人员。在图中，为了清楚可以放大层和区域的尺寸和相对尺寸。相同的数字始终指相同的元件。

应当理解，当一元件或层被称为在另一元件或层“上”、“连接到”和/或“耦合到”另一元件或层时，它可以是直接在另一元件或层上、直接连接或耦合到另一元件或层，或可以存在插入元件或层。相反，当一元件被称为“直接在另一元件或层上”、“直接连接到”和/或“直接耦合到”另一元件或层时，不存在插入元件或层。在此使用的术语“和/或”包括一个或多个相关列项的任意和所有组合。

应当理解，尽管在此可以使用术语第一、第二、第三等来描述各个元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分不应该受这些术语限制。这些术语仅仅是用来将一个元件、组件、区域、层或部分与其它区域、层或部分相区分。因此，在不脱离本发明的教导的条件下，下面论述的第一元件、组件、区域、层或部分可以被称为第二元件、组件、区域、层或部分。

为了便于描述，在此可以使用空间相对术语，如“在...底下”、“在...下”、“低于”、“在...上面”、“高于”等来描述一个元件或特征与图中所示的其它元件或特征的关系。应当理解，该空间相对术语意在包括除图中描绘的取向之外的使用或工作中器件的不同取向。例如，如果图中的器件被翻转，那么描述为在其他元件或特征“下面”或“底下”的元件于是将定向在其他元件或特征“上面”。因此，示例性术语“在...下面”可以包括上面的和下面的取向。该器件可以以其

它方式定向（旋转90度或以其他取向），并且使用的空间相对描述符被由此解释。此外，在这里使用的“横向的”指基本上垂直于垂直方向的方向。

在此使用的专业词汇是仅仅用于描述具体实施例，并不意在限制本发明。如在此使用的单数形式“一”和“所述”同样意在包括复数形式，除非上下文另外清楚地表明。还应当理解，在说明书中使用术语“包含”时，说明陈述特征、整体、步骤、操作、元件、和/或组件的存在，但是不排除存在或增加一个或多个其他特征、整体、步骤、操作、元件、组件和/或其组。

在此参考剖面图描述了本发明的示例实施例，该剖面图是本发明的理想化实施例（和中间结构）的示意图。因而，应预想到会有由于例如制造工艺和/或容差的变化而引起的图例形状的偏差。因此，本发明的实施例不应该认为限于在此所示的区域的特定形状，而是在所得的形状内包括由例如制造所引起的偏差。例如，图示为矩形的注入区一般地将具有圆滑的或弯曲的特征，和/或在其边缘具有注入浓度的梯度，而不是从注入区至非注入区的二元变化。同样，通过注入形成的掩埋区可以使得在掩埋区和通过其进行注入的表面之间的区域中导致发生某些注入。因此，图中所示的区域本质上是示意性的，且它们的形状不意在图示器件区域的实际形状，并且不意在限制本发明的范围。

除非另外限定，在此使用的所有术语（包括技术和科学术语）具有与本发明所属技术领域的普通技术人员通常理解相同的意思。由此，这些术语可以包括此后创建的等效术语。还应当理解，术语如通常使用的词典中定义的那些术语，应该解释为具有符合本说明书中和相关技术的环境中的意思，且不被理想化地或过度地形式认识来解释，除非在此清楚地定义。在此提及的所有出版物、专利申请、专利及其他参考文献全部被引入供参考。

如图1A和1B所示，快闪存储器件可以包括被器件隔离层分开的半导体衬底中的多个平行有源区ACT。此外，接地选择线GSL、串选择线SSL和字线WL可以交叉该有源区ACT。更具体地讲，在每个字线WL和每个有源区ACT之间可以提供相应的电荷存储栅，以在字线WL和有源区ACT的每个交叉点提供相应的存储单元。而且，沿接地选择线GSL和串选择线SSL之间的有源区ACT的多个存储单元可以定义存储单元串。如图1A和1B进一步所示，相邻存储单元串可以被两个接地选择线GSL分开或被两个串选择线SSL分开。

如图1C和1D的放大剖面图所示，在接地选择线GSL和半导体衬底SUB的有源区ACT之间可以提供栅绝缘层GIL。此外，在字线WL1和衬底SUB的有源区ACT之间可以提供电荷存储栅CSG，在电荷存储栅CSG和有源区ACT之间可以提供隧穿绝缘层TIL，以及在电荷存储栅CSG和字线WL1之间可以提供阻挡绝缘层BIL。

在编程操作(对于除了图1C所示的那些存储单元之外的存储单元)过程中，可以施加0伏到接地选择线GSL并且可以施加导通电压Vpass到非选择字线WL1，如图1C所示。此外，可以施加编程电压Vpgm到对应于将被编程的存储单元(多个)的选择字线(未示出)。因此接地选择晶体管(由接地选择线GSL和栅绝缘层GIL定义)的栅压可以是0伏，而接地选择晶体管的漏电压可以约为10伏，导致栅感漏电流GIDL。

在擦除操作过程中，接地选择线GSL可以允许被浮置，以及可以施加约20伏的擦除电压Vers到衬底SUB的p-阱，以及可以施加0伏到字线WL1，如图1D所示。由此，施加到p-阱的20伏擦除电压Vers可以提升接地选择线GSL的电位，并且由于接地选择线GSL和电荷存储栅CSG之间的电容耦合Cp，电荷存储栅CSG(邻近于接地选择线GSL)的电位可以增加。因此在电荷存储栅CSG和/或字线WL1处可能导致不合需要的擦除干扰。

图2A是根据本发明的某些实施例的非易失性存储器件20（如快闪存储器件）的平面图，图2B是沿图2A的剖面线II-II'的剖面图。该快闪存储器件20可以包括被器件隔离层分开的半导体衬底SUB中的多个平行有源区ACT。此外，接地选择线GSL₀₋₂、串选择线SSL₀₋₂、虚拟字线WL_d以及存储单元字线WL_{1-2n}（n是整数）可以交叉有源区ACT。更具体地讲，在每个存储单元字线WL_{1-2n}和每个有源区ACT之间可以提供相应的电荷存储栅，以在存储单元字线WL_{1-2n}和有源区ACT的每个交叉点提供相应的存储单元。类似地，在每个虚拟字线WL_d和有源区ACT之间可以提供电荷存储栅，使得虚拟字线WL_d和存储单元字线WL_{1-2n}的结构是相同的。

沿接地选择线GSL和串选择线SSL之间（例如，在GSL₁和SSL₁之间）的有源区ACT的偶数存储单元字线WL_{1-2n}可以定义包括偶数的存储单元的存储单元串。如图2A-B进一步所示，相邻存储单元串可以被两个接地选择线GSL（例如，GSL₀和GSL₁）或被两个串选择线SSL（例如，SSL₁和SSL₂）分开。更具体地讲，2^k（其中k是正整数）个存储单元字线WL_{1-2n}可以定义包括用来储存数据的2^k个存储单元的存储单元串。但是，该虚拟字线WL_d不用来储存数据。

而且，存储单元字线WL_{1-2n}和相邻存储单元串的虚拟字线WL_d的顺序可以具有镜像对称性。例如，接地选择线GSL₀和串选择线SSL₀之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序相对于接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序可以具有镜像对称性。类似地，接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序相对于接地选择线GSL₂和串选择线SSL₂之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序可以具有镜像对称性。

通过在接地选择线GSL和存储单元串的第一存储单元字线WL₁之间提供虚拟字线WL_d，第一存储单元字线WL₁处的接地感应漏电流和/

或擦除干扰可以被减小。而且，该非易失性存储器件的控制器可以被耦合到接地选择线、串选择线、存储单元字线和虚拟字线。例如，在擦除操作过程中，该控制器可以被配置允许接地选择线GSL₁浮置，施加约20伏的擦除电压Vers到衬底SUB的p-阱，以及施加0伏到存储单元字线WL_{1-2n}。此外，控制器可以被配置为施加偏压Vb到虚拟字线WL_d，其中偏压Vb在电源电压Vcc和导通电压Vpass之间（即Vcc<Vb<Vpass），由此减小第一存储单元字线WL₁和/或各个电荷存储层处的擦除干扰。

在写（或编程）操作过程中，控制器可以被配置为施加电源电压Vcc到接地选择线GSL₁，以施加0伏到衬底SUB的p-阱，施加导通电压Vpass到非选择字线，以及施加编程电压Vpgm到选择字线。此外，控制器可以被配置为施加偏压Vb到虚拟字线WL_d，偏压Vb在电源电压Vcc和导通电压Vpass（即，Vcc<Vb<Vpass）之间，由此减小邻近于虚拟字线的接地选择线处的接地感应漏电流。

如图2A-B所示，虚拟字线WL_d和每个存储单元字线WL₁至WL_{2n}可以具有几乎相同的宽度F₁。此外，可以以几乎相同的宽度/间隔W₁分开栅选择线GSL和相邻虚拟字线WL_d，可以以几乎相同的宽度/间隔W₁分开虚拟字线WL_d和相邻第一存储单元字线WL₁，可以以几乎相同的宽度/间隔W₁分开相邻存储单元字线WL_x和WL_{x+1}，可以以几乎相同的宽度/间隔W₁分开最后存储单元字线WL_{2n}和相邻串选择线SSL。而且，宽度F₁和W₁可以几乎相同，更具体地讲，宽度F₁和W₁的每一个可以约为由相邻偶数存储单元字线WL_{even}和WL_{even+2}（即，仅仅被一个奇数存储单元字线分开的偶数存储单元字线）或被相邻奇数存储单元字线WL_{odd}和WL_{odd+2}（即，仅仅被一个偶数存储单元字线分开的奇数存储单元字线）所定义的周期P₁的四分之一（1/4）。如图2A-B进一步所示，相邻接地选择线GSL₀和GSL₁可以被宽度/间隔W₂分开，并且相邻串选择线SSL₀和SSL₁可以被以相同的宽度/间隔W₂分开。宽度/间隔W₂可以大于宽度/间隔W₁至少约3倍。

因此每个存储单元字线WL₁至WL_{2n}可以为接地选择线（例如，GSL₁）和串选择线（例如，SSL₁）之间的相同有源区ACT上的存储单元串的非易失性存储器单元（如，快闪存储器单元）提供各个控制电极。每个非易失性存储器单元还可以包括：各个存储单元字线和有源区之间的电荷存储层、有源区和电荷存储层之间的隧穿绝缘层以及存储单元字线和电荷存储层之间的阻挡绝缘层。

每个虚拟字线WL_d可以具有与上面相对于存储单元字线（在每个虚拟字线和各个有源区之间具有隧穿绝缘层、电荷存储层以及阻挡绝缘层）描述的那些结构相同的结构。但是，虚拟单元字线（和关联的隧穿绝缘层、电荷存储层以及阻挡绝缘层）不用来储存数据，而是减小在编程操作过程中在相邻接地选择线处的接地感应漏电流和/或减小擦除操作过程中相邻存储单元处的擦除偏压。

接地选择线GSL、虚拟字线WL_d、存储单元字线WL₁至WL_{2n}以及串选择线SSL的图形可以使用如下面更详细地论述的自对准双构图来形成。例如，接地选择线GSL、串选择线SSL以及奇数存储单元字线（WL₁, WL₃, WL₅, ... WL_{2n-1}）可以对应于光刻掩模的图形而形成，以及虚拟字线WL_d和偶数存储单元字线（WL₂, WL₄, WL₆...WL_{2n}）可以使用自对准双构图来形成。

根据图2A-B所示的本发明的某些实施例，有源区ACT上的第一存储单元串可以包括：与第一接地选择线GSL₁和第一串选择线SSL₁之间的有源区ACT相交叉的第一多个存储单元字线WL₁至WL_{2n}，在该第一多个字线的相邻字线之间可以提供几乎相同的第一间隔W₁。此外，有源区ACT上的第二存储单元串可以包括与第二接地选择线GSL₀和第二串选择线SSL₁之间的有源区ACT相交叉的第二多个字线WL₁至WL_{2n}，并且在该第二多个字线的相邻字线之间可以提供几乎相同的第一间隔W₁。更具体地讲，第一接地选择线GSL₁可以在第二接地选择线GSL₀和该第一多个字线之间，以及第二接地选择线GSL₀可以在第一接地选

择线GSL₁和该第二多个字线之间。而且，第一和第二接地选择线GSL₁和GSL₀之间的部分有源区ACT可以没有字线，第一和第二接地选择线GSL_i和GSL₀之间的第二间隔W₂可以大于第一间隔W₁至少约3倍。例如，第二间隔W₁可以在大于第一间隔W₁约3和4倍之间，更具体地讲，第二间隔W₂可以大于第一间隔W₁的3倍以上，再具体地，大于第一间隔W₁的4倍以上。

此外，在第一存储单元字线WL₁和第一接地选择线GSL₁之间可以提供虚拟字线WL_d，以及在第一接地选择线GSL₁和虚拟字线WL_d之间可以提供几乎相同的第一间隔W₁。在虚拟字线WL_d和第一存储单元字线WL₁之间，以及在最后存储单元字线WL_{2n-1}和串选择线SSL₁之间也可以提供几乎相同的第一间隔W₁。

图5A-D是说明根据本发明的某些实施例，使用自对准双构图形成图2A-B的非易失性存储器结构的操作的剖面图。如图5A所示，衬底50可以包括其上的刻蚀目标层52，刻蚀目标层52可以包括用来形成图2A-B的存储单元、字线、选择晶体管以及选择线的材料层。

更具体地讲，该目标层可以包括隧穿绝缘层（如氧化硅层）、电荷存储栅层（如多晶硅或氮化硅层）、阻挡绝缘层（如氧化硅或不同于电荷存储栅层的其他介质材料层）以及导电层（如多晶硅和/或金属层）。电荷存储层可以在导电层和衬底之间，隧穿绝缘层分开电荷存储层和衬底，以及阻挡绝缘层分开电荷存储层和导电层。此外，在刻蚀目标层52上可以形成第一硬掩模层55，第一硬掩模层55可以包括衬垫氧化物层54上的氮化硅层56。

可以使用光掩模100来构图第一硬掩模层55上的光致抗蚀剂层，以提供包括奇数字线光致抗蚀剂图形58w、接地选择线光致抗蚀剂图形58g以及串选择线光致抗蚀剂图形58s的光致抗蚀剂图形58。更具体地讲，光掩模100可以包括透明衬底102上的光掩模图形104。光掩模图形

104可以包括对应于奇数字线光致抗蚀剂图形58w的奇数字线光掩模图形104w、对应于接地选择线光致抗蚀剂图形58g的接地选择线光掩模图形104g以及对应于串选择线光致抗蚀剂图形58s的串选择线光掩模图形104s。

如图5A进一步所示，相邻奇数字线光掩模图形104w可以被隔开约宽度/间隔 W_{11} ，以及相邻奇数字线光致抗蚀剂图形58w可以被隔开约宽度/间隔 W_{11} 。奇数字线光掩模图形104w的第一图形可以与相邻接地选择线光掩模图形104g隔开约宽度/间隔 W_{11} ，以及奇数字线光掩模图形104w的最后图形可以与相邻串选择线光掩模图形104s隔开约宽度/间隔 W_{11} 。类似地，奇数字线光致抗蚀剂图形58w的第一图形可以与相邻接地选择线光致抗蚀剂图形58g隔开约宽度/间隔 W_{11} ，以及奇数字线光致抗蚀剂图形58w的最后图形可以与相邻串选择线光致抗蚀剂图形58s隔开约宽度/间隔 W_{11} 。

而且，每个奇数字线光掩模图形104w和每个奇数字线光致抗蚀剂图形58w具有约为 F_1 的宽度，以及宽度/间隔 W_{11} 可以约为宽度 F_1 的三倍。此外，奇数字线光掩模图形104w的相邻图形和奇数字线光致抗蚀剂图形58w的相图形定义周期 P_1 ，该周期 P_1 可以约为宽度 F_1 的4倍。宽度 F_1 可以是由所使用的光刻技术可得到的最小特征尺寸。相邻接地选择线光掩模图形104g、相邻的串选择线光掩模图形104s、相邻的接地选择线光致抗蚀剂图形58g以及相邻的串选择线光致抗蚀剂图形58s可以被宽度/间隔 W_2 分开，该宽度/间隔 W_2 可以大于宽度 F_1 的四倍。进一步地讲，该第二间隔 W_2 可以大于第一间隔 W_1 至少约3倍。例如，第二间隔 W_2 可以在大于第一间隔 W_1 约3和4倍之间，更具体地讲，第二间隔 W_2 可以大于第一间隔 W_1 的3倍以上，再具体，大于第一间隔 W_1 的4倍以上。

更具体地讲，连续的光致抗蚀剂层可以通过光掩模100被有选择地曝光，然后被显影，以提供图5A的光致抗蚀剂图形58。由此，光掩模图形104的布置定义了光致抗蚀剂图形58的布置。此外，光致抗蚀剂图

形58对应于上面相对于图2A-B描述的栅选择线、串选择线以及奇数字线的图形。

被光致抗蚀剂图形58露出的部分第一硬掩模层55（包括氮化硅层56和衬垫氧化物层54）可以被有选择地除去（例如，使用干法刻蚀），以提供如图5B所示的第一硬掩模图形60（包括接地选择线硬掩模图形60g、串选择线硬掩模图形60s以及奇数字线硬掩模图形60w）。如果第一硬掩模层55包括分开的54和56，那么第一硬掩模图形60的每个元件也可以包括分开的层54和56。在接地选择线硬掩模图形60g和第一奇数字线硬掩模图形60w之间，在相邻的奇数字线硬掩模图形60w之间，以及在最后奇数字线硬掩模图形60w和串选择线硬掩模图形60s之间可以提供几乎相同的间隔/宽度W₁₁。第一硬掩模图形60的每个元件可以包括氮化硅和/或氧化硅层。在有选择地除去部分第一硬掩模层之后，可以除去光致抗蚀剂图形58。

如图5B进一步所示，在第一硬掩模图形60上和在被第一硬掩模图形60露出的部分刻蚀目标层52上可以形成牺牲掩模层62，该牺牲掩模层62和第一硬掩模图形60可以包括不同的材料。例如，第一硬掩模图形60的上层56可以是氮化硅层，该牺牲掩模层62可以是多晶硅层。而且，牺牲掩模层62的厚度可以被设为：在奇数字线硬掩模图形60w的相邻图形的侧壁上的部分牺牲掩模层62之间保留间隙；在相邻接地选择线硬掩模图形60g的侧壁上的部分牺牲掩模层62之间保留间隙；在相邻串选择线硬掩模图形60s的侧壁上的部分牺牲掩模层62之间保留间隙；在相邻接地选择线硬掩模图形60g的侧壁上的部分牺牲掩模层62和第一奇数字线硬掩模图形60w之间保留间隙；以及在相邻选择线硬掩模图形60s的侧壁上的部分牺牲掩模层62和最后奇数字线硬掩模图形60w之间保留间隙。

第一硬掩模图形60w、60g和60s的侧壁上的牺牲掩模层62的厚度可以与图2A-B所示的相邻字线WL_x和WL_{x+1}之间的宽度/间隔W₁几乎相

同。相邻奇数字线掩模图形60W上的部分牺牲掩模层62之间保留的间隙的宽度/间隔可以与图2A-B所示的偶数字线WL₂, WL₄, ... WL_{2n}的宽度F₁几乎相同。

在形成牺牲掩模层62之后，可以在牺牲掩模层62上形成第二硬掩模层64，如图5B进一步所示。而且，第二硬掩模层64可以是氧化硅层，第二硬掩模层64可以具有至少为宽度F₁一半的厚度，由此填充奇数字线硬掩模图形60w之间的牺牲掩模层62中的间隙。但是，因为在相邻接地选择线硬掩模图形60g之间和在相邻串选择线硬掩模图形60s之间提供较宽的间隙，所以在第二硬掩模层64中可以保留间隙68。如果第二硬掩模层64的厚度约为字线的宽度F₁，那么相邻接地选择线图形60g和相邻串选择线图形60s可以被大于四倍的F₁的宽度/间隔分开。

然后第二硬掩模层64可以经受反回蚀（etch back）操作，以从相邻接地选择线硬掩模图形60g之间、从相邻串选择线硬掩模图形60s之间、以及从牺牲掩模层62的上表面除去部分硬掩模层64，如图5C所示。因此该反回蚀操作之后保留的部分第二硬掩模64可以具有约厚度F₁。更具体地讲，该反回蚀操作之后保留的部分第二硬掩模层64可以定义牺牲掩模层62上的第二硬掩模图形70。第二硬掩模图形70可以包括接地选择线图形60g和第一奇数字线图形60w之间的虚拟字线图形70d，以及相邻奇数字线图形60w之间的、和最后奇数字线图形60w和串选择线图形60s之间的偶数字线图形70w。

然后牺牲掩模层62的露出部分可以被除去（例如，使用干法刻蚀），如图5D所示，以露出未被第一和/或第二硬掩模图形60和/或70覆盖的部分刻蚀目标层52。然后可以使用第一和第二硬掩模图形60和70作为蚀刻掩模，除去刻蚀目标层52的露出部分（例如，使用干法刻蚀），然后可以除去第一和第二硬掩模图形60和70，以提供图2A-B的结构。

图3A是根据本发明的某些实施例的非易失性存储器件30（如快闪

存储器件)的平面图, 图3B是沿图3A的剖面线II-II'的剖面图。快闪存储器件30可以包括被器件隔离层分开的半导体衬底SUB中的多个平行有源区ACT。此外, 接地选择线GSL₀₋₂、串选择线SSL₀₋₂、虚拟字线WL_d以及存储单元字线WL_{1-2n}(n是整体)可以交叉有源区ACT。更具体地讲, 在每个存储单元字线WL_{1-2n}和每个有源区ACT之间可以提供相应的电荷存储栅, 以在存储单元字线WL_{1-2n}和有源区ACT的每个交叉点提供相应的存储单元。类似地, 在每个虚拟字线WL_d和有源区ACT之间可以提供电荷存储栅, 以使得虚拟字线WL_d和存储单元字线WL_{1-2n}的结构是相同的。

沿接地选择线GSL和串选择线SSL之间(例如, 在GSL₁和SSL₁之间)的有源区ACT的偶数的存储单元字线WL_{1-2n}可以定义包括偶数存储单元的存储单元串。如图3A-B进一步所示, 相邻存储单元串可以被两个接地选择线GSL(例如, GSL₀和GSL₁)或被两个串选择线SSL(例如, SSL₁和SSL₂)分开。更具体地讲, 2^k(其中k是正整数)个存储单元字线WL_{1-2n}可以定义包括2^k个用来储存数据的存储单元的存储单元串。但是, 虚拟字线WL_d不用来储存数据。

而且, 相邻存储单元串的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序可以具有镜像对称性。例如, 接地选择线GSL₀和串选择线SSL₀之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序相对于接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序可以具有镜像对称性。类似到, 接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序相对于接地选择线GSL₂和串选择线SSL₂之间的存储单元字线WL_{1-2n}和虚拟字线WL_d的顺序可以具有镜像对称性。

通过在接地选择线GSL和存储单元串的第一存储单元字线WL₁之间提供虚拟字线WL_d, 可以减小第一存储单元字线WL₁处的接地感应漏电流和/或擦除干扰。而且, 该非易失性存储器件的控制器可以被耦合

到接地选择线、串选择线、存储单元字线和虚拟字线。例如，在擦除操作过程中，该控制器可以被配置为允许接地选择线GSL₁浮置，施加约20伏的擦除电压Vers到衬底SUB的p-阱，以及施加0伏到存储单元字线WL_{1-2n}。此外，该控制器可以被配置为施加偏压Vb到虚拟字线WL_d，偏压Vb在电源电压Vcc和导通电压Vpass之间（即Vcc<Vb<Vpass），由此减小第一存储单元字线WL₁和/或各个电荷存储层处的擦除干扰。

在写（或编程）操作过程中，该控制器可以被配置为施加电源电压Vcc到接地选择线GSL₁，以施加0伏到衬底SUB的p-阱，施加导通电压Vpass到非选择字线，以及施加编程电压Vpgm到选择字线。此外，该控制器可以被配置为施加偏压Vb到虚拟字线WL_d，偏压Vb在电源电压Vcc和导通电压Vpass（即，Vcc<Vb<Vpass）之间，由此减小邻近于该虚拟字线的接地选择线处的接地感应漏电流。

如图3A-B所示，虚拟字线WL_d和每个存储单元字线WL₁至WL_{2n}可以具有几乎相同的宽度F₁。此外，可以以几乎相同的宽度/间隔W₁分开虚拟字线WL_d和相邻第一存储单元字线WL₁，可以以以及几乎相同的宽度/间隔W₁分开相邻存储单元字线WL_x和WL_{x+1}。而且，宽度F₁和W₁可以几乎相同，更具体地讲，每个宽度F₁和W₁可以约为被相邻偶数存储单元字线WL_{even}和WL_{even+2}（即，仅仅被一个奇数存储单元字线分开的偶数存储单元字线）定义的、或被相邻奇数存储单元字线WL_{odd}和WL_{odd+2}（即，仅仅被一个偶数存储单元字线分开的奇数存储单元字线）定义的周期P₁的四分之一（1/4）。

如图3A-B进一步所示，相邻接地选择线GSL₀和GSL₁可以被分开约宽度/间隔W₁，相邻串选择线SSL₀和SSL₁可以被几乎相同的宽度/间隔W₂分开。而且，第二宽度/间隔W₂可以大于第一间隔W₁至少约3倍。例如，第二间隔W₂可以在大于第一间隔W₁约3和4倍之间，更具体地讲，第二间隔W₂可以大于第一间隔W₁的3倍以上，再具体地讲，大于第一间隔W₁的4倍以上。此外，宽度/间隔W₃可以分开栅选择线GSL和相邻

虚拟字线 WL_d ，以及几乎相同宽度/间隔 W_3 可以分开最后存储单元字线 WL_{2n} 和相邻串选择线 SSL 。宽度/间隔 W_3 可以大于宽度/间隔 W_1 ，更具体地讲，宽度/间隔 W_3 可以大于宽度/间隔 W_1 且小于 W_1 的两倍（即， $W_1 < W_3 < 2 \times W_1$ ），更具体地讲，宽度/间隔 W_3 可以大于宽度/间隔 W_1 的 1.5 倍并小于 W_1 的两倍（即， $1.5 \times W_1 < W_3 < 2 \times W_1$ ）。

因此每个存储单元字线 WL_i 至 WL_{2n} 可以为接地选择线（例如， GSL_1 ）和串选择线（例如， SSL_1 ）之间的相同有源区 ACT 上的存储单元串的非易失性存储器单元（如，快闪存储器单元）提供各个控制电极。每个非易失性存储器单元还可以包括：各个存储单元字线和有源区之间的电荷存储层、有源区和电荷存储层之间的隧穿绝缘层、以及存储单元字线和电荷存储层之间的阻挡绝缘层。

每个虚拟字线 WL_d 可以具有与上面相对于存储单元字线（每个虚拟字线和各个有源区之间的隧穿绝缘层、电荷存储层以及阻挡绝缘层）描述的那些结构相同的结构。但是，虚拟单元字线（和关联的隧穿绝缘层、电荷存储层以及阻挡绝缘层）不用来储存数据，而是减小在编程操作过程中的相邻接地选择线处的接地感应漏电流，和/或减小擦除操作过程中的相邻存储单元处的擦除偏压。

接地选择线 GSL 、虚拟字线 WL_d 、存储单元字线 WL_1 至 WL_{2n} 以及串选择线 SSL 的图形可以使用如下面更详细地论述的自对准双构图来形成。例如，接地选择线 GSL 、串选择线 SSL 以及偶数存储单元字线 (WL_2 、 WL_4 、 WL_6 、... WL_{2n}) 可以对应于光刻掩模的图形而形成，以及奇数存储单元字线 (WL_1 、 WL_3 、 WL_5 ... WL_{2n-1}) 可以使用自对准双构图来形成。

根据图3A-B所示的本发明的某些实施例，有源区 ACT 上的第一存储单元串可以包括与第一接地选择线 GSL_1 和第一串选择线 SSL_1 之间的有源区 ACT 相交叉的第一多个字线 WL_1 至 WL_{2n} ，在该第一多个字线 WL_1

至WL_{2n}的相邻字线之间可以提供几乎相同的第一间隔W₁。有源区ACT上的第二存储单元串可以包括与第二接地选择线GSL₀和第二串选择线SSL₀之间的有源区ACT相交叉的第二多个字线WL₁至WL_{2n}，以及在该第二多个字线WL₁至WL_{2n}的相邻字线之间可以提供几乎相同的第一间隔W₁。第一接地选择线GSL₁可以在第二接地选择线GSL₀和该第一多个字线之间，以及第二接地选择线GSL₀可以在第一接地选择线GSL₁和该第二多个字线之间。而且，第一和第二接地选择线GSL₁和GSL₀之间的部分有源区ACT可以没有字线，第一和第二接地选择线GSL₁和GSL₀之间的第二间隔W₂可以大于第一间隔W₁至少约3倍。例如，第二间隔W₂可以在大于第一间隔W₁约3和4倍之间，更具体地讲，第二间隔W₂可以大于第一间隔W₁的3倍以上，再具体，大于第一间隔W₁的4倍以上。

此外，第一多个字线WL₁至WL_{2n}可以包括偶数的存储单元字线，以及在存储单元字线WL₁至WL_{2n}的第一字线和接地选择线GSL₁之间可以提供虚拟字线WL_d。在虚拟字线WL_d和存储单元字线WL₁至WL_{2n}的第一字线之间可以提供几乎相同的第一间隔W₁。而且，在接地选择线GSL₁和虚拟字线WL_d之间可以提供第三间隔W₃，该第三间隔W₃可以大于第一间隔W₁且不大于第一间隔W₁两倍（即，W₁<W₃<2×W₁）。

图6A-D是说明根据本发明的某些实施例，使用自对准双构图形成图3A-B的非易失性存储器结构的操作的剖面图。如图6A所示，衬底150可以包括其上的刻蚀目标层152，并且刻蚀目标层152可以包括用来形成图3A-B的存储单元、字线、选择晶体管以及选择线的材料层。

更具体地讲，刻蚀目标层152可以包括隧穿绝缘层（如氧化硅层）、电荷存储栅层（如多晶硅或氮化硅层）、阻挡绝缘层（如氧化硅或不同于电荷存储栅层的其他介质材料层）以及导电层（如多晶硅和/或金属层）。电荷存储层可以在导电层和衬底之间，隧穿绝缘层分开电荷存储层和衬底，以及阻挡绝缘层分开电荷存储层和导电层。此外，在刻蚀目标层152上可以形成第一硬掩模层155，并且第一硬掩模层155可

以包括衬垫氧化物层154上的氮化硅层156。

可以使用光掩模200来构图第一硬掩模层155上的光致抗蚀剂层，以提供包括虚拟字线光致抗蚀剂图形158d、偶数字线光致抗蚀剂图形158w、接地选择线光致抗蚀剂构图158g、以及串选择线光致抗蚀剂图形158s的光致抗蚀剂图形158。更具体地讲，光掩模200可以包括透明衬底202上的光掩模图形204。光掩模图形204可以包括对应于虚拟字线光致抗蚀剂图形158d的虚拟字线光掩模图形204d、对应于偶数字线光致抗蚀剂图形158w的偶数字线光掩模图形204w、对应于接地选择线光致抗蚀剂图形158g的接地选择线光掩模图形204g以及对应于串选择线光致抗蚀剂图形158s的串选择线光掩模图形204s。

如图6A进一步所示，相邻偶数字线光掩模图形204w可以被分开约宽度/间隔W₁₁，并且相邻偶数字线光致抗蚀剂图形158w可以被分开约宽度/间隔W₁₁。偶数字线光掩模图形204w的第一光掩模图形可以与相邻虚拟字线光掩模图形204d分开约宽度/间隔W₁₁，以及偶数字线光致抗蚀剂图形158w的第一光致抗蚀剂图形可以与相邻虚拟字线光致抗蚀剂图形158d分开约宽度/间隔W₁₁。虚拟字线光掩模图形204d可以与相邻接地选择线光掩模图形204g分开约宽度/间隔W₃，以及偶数字线光掩模图形204w的最后光掩模图形可以与相邻串选择线光掩模图形204s隔开约宽度/间隔W₃。类似地，虚拟字线光致抗蚀剂图形158d可以与相邻接地选择线光致抗蚀剂图形158g分开约宽度/间隔W₃，以及偶数字线光致抗蚀剂图形158w的最后光致抗蚀剂图形可以与相邻串选择线光致抗蚀剂图形158s分开约宽度/间隔W₃。

而且，偶数字线光掩模图形204w的每一个和偶数字线光致抗蚀剂图形158w的每一个可以具有约为F₁的宽度，并且宽度/间隔W₃可以在至少约为宽度F₁至不大于宽度F₁的两倍的范围内 ($F_1 \leq W_3 \leq 2 \times F_1$)。此外，偶数字线光掩模图形204w的相邻光掩模图形和偶数字线光致抗蚀剂图形158w的相邻光致抗蚀剂图形定义周期P₁，该周期P₁可以约为宽度F₁

的4倍。宽度 F_1 可以是由使用的光刻技术可得到的最小特征尺寸。相邻的接地选择线光掩模图形204g、相邻的串选择线光掩模图形204s、相邻的接地选择线光致抗蚀剂图形158g、以及相邻的串选择线光致抗蚀剂图形158s可以被宽度/间隔 W_2 分开，并且宽度/间隔 W_2 可以大于宽度 F_1 的三倍。例如，第二间隔 W_2 可以在大于第一间隔 W_1 约3和4倍之间，或第二间隔 W_2 可以大于第一间隔 W_1 的3倍以上，再具体，大于第一间隔 W_1 的4倍以上。

更具体地讲，连续的光致抗蚀剂层可以通过光掩模200被有选择地曝光以辐照，然后被显影，以提供图6A的光致抗蚀剂图形158。由此光掩模图形204的布置定义了光致抗蚀剂图形158的布置。此外，光致抗蚀剂图形158对应于上面相对于图2A-B论述的栅选择线、串选择线以及偶数字线的图形。

被光致抗蚀剂图形158露出的部分第一硬掩模层155（包括氮化硅层156和衬垫氧化物层154）可以被有选择地除去（例如，使用干法刻蚀），以提供如图6B所示的第一硬掩模图形160（包括接地选择线硬掩模图形160g、串选择线硬掩模图形160s、虚拟字线硬掩模图形160d以及偶数字线硬掩模图形160w）。如果第一硬掩模层155包括分开的层154和156，那么第一硬掩模图形160的每个元件也可以包括分开的层154和156。在虚拟字线硬掩模图形160d和第一偶数字线硬掩模图形160w之间，以及在相邻偶数字线硬掩模图形160w之间可以提供几乎相同的间隔/宽度 W_{11} 。在接地选择线硬掩模图形160g和虚拟字线硬掩模图形160d之间，以及在最后偶数硬掩模图形160w和串选择线硬掩模图形160s之间可以提供几乎相同的间隔/宽度 W_3 。第一硬掩模图形160的每个元件可以包括氮化硅和/或氧化硅层。在有选择地除去部分第一硬掩模层之后，可以除去光致抗蚀剂图形158。

如图6B进一步所示，在第一硬掩模图形160上和在被第一硬掩模图形160露出的部分刻蚀目标层152上可以形成牺牲掩模层162，该牺牲掩

模层162和第一硬掩模图形160可以包括不同的材料。例如，第一硬掩模图形160的上层156可以是氮化硅层，该牺牲掩模层162可以是多晶硅层。而且，牺牲掩模层162的厚度可以被设为：在偶数字线硬掩模图形160w的相邻掩模图形的侧壁上的部分牺牲掩模层162之间保留间隙；在相邻接地选择线硬掩模图形160g的侧壁上的部分牺牲掩模层162之间保留间隙；在相邻的串选择线硬掩模图形160s的侧壁上的部分牺牲掩模层162之间保留间隙；以及在相邻的虚拟字线硬掩模图形160d侧壁上的部分牺牲掩模层162和第一偶数字线硬掩模图形160w之间保留间隙。但是牺牲掩模层162可以在接地选择线硬掩模图形160g和虚拟字线硬掩模图形160d之间填充间隙，并且牺牲层162可以在偶数字线硬掩模图形160w的最后图形和相邻串选择线硬160s之间填充间隙。

第一硬掩模图形160d、60g和160s的侧壁上的牺牲掩模层162的厚度可以与图3A-B所示的相邻字线WL_x和WL_{x+1}之间的宽度/间隔W₁几乎相同。相邻偶数字线掩模图形160w上的部分牺牲掩模层162之间保留的间隙的宽度/间隔可以与图3A-B所示的奇数工作线WL₁，WL₃，...WL_{2n-1}的宽度F₁几乎相同。

在形成牺牲掩模层162之后，可以在牺牲掩模层162上形成第二硬掩模层164，如图6B进一步所示。而且，第二硬掩模层164可以是氧化硅层，第二硬掩模层164可以具有宽度F₁至少一半的厚度，由此填充奇数字线硬掩模图形160w之间的牺牲掩模层162中的间隙。但是，因为在相邻接地选择线硬掩模图形160g之间和在相邻串选择线硬掩模图形160s之间提供较宽的间隙，在第二硬掩模层164中可以保留间隙168。如果第二硬掩模层164的厚度约为字线的宽度F₁，那么相邻接地选择线图形160g和相邻串选择线图形160s可以被大于四倍的F₁的宽度/间隔分开。

然后第二硬掩模层164可以经受反回蚀操作，以从相邻接地选择线硬掩模图形160g之间、从相邻串选择线硬掩模图形160s之间、以及从牺牲掩模层162的上表面除去部分硬掩模层164，如图6C所示。因此在反

回蚀操作之后保留的部分第二硬掩模164可以具有约厚度F₁。更具体地讲，反回蚀操作之后保留的部分第二硬掩模层164可以定义牺牲掩模层162上的第二硬掩模图形170。第二硬掩模图形170也可以包括相邻偶数字线图形160w之间的、以及最后奇数字线图形160w和串选择线图形160s之间的奇数字线图形170w。

然后牺牲掩模层162的露出部分可以被除去（例如，使用干法刻蚀），如图6D所示，以露出未被第一和/或第二硬掩模图形160和/或170覆盖的刻蚀目标层152的露出部分。然后可以使用第一和第二硬掩模图形160和170作为蚀刻掩模，除去刻蚀目标层152的露出部分（例如，使用干法刻蚀），然后第一和第二硬掩模图形160和170可以被除去，以提供图3A-B的结构。

图4A是根据本发明的某些实施例的非易失性存储器件40（如快闪存储器件）的平面图，图3B是沿图4A的剖面线IV-IV'的剖面图。快闪存储器件40可以包括被器件隔离层分开的半导体衬底SUB中的多个平行有源区ACT。此外，接地选择线GSL₀₋₂、串选择线SSL₀₋₂、以及存储单元字线WL_{1-2n}（n是整数）可以与有源区ACT相交叉。更具体地讲，在每个存储单元字线WL_{1-2n}和每个有源区ACT之间可以提供相应的电荷存储栅，以在存储单元字线WL_{1-2n}和有源区ACT的每个交叉点提供相应的存储单元。图4A-B的结构类似于图2A-B的结构，省略了虚拟字线。

沿接地选择线GSL和串选择线SSL之间（例如，在GSL₁和SSL₁之间）的有源区ACT的偶数的存储单元字线WL_{1-2n}可以定义包括偶数的存储单元的存储单元串。如图4A-B进一步所示，相邻存储单元串可以被两个接地选择线GSL（例如，GSL₀和GSL₁）或被两个串选择线SSL（例如，SSL₁和SSL₂）分开。更具体地讲，2^k（其中k是正整数）个存储单元字线WL_{1-2n}可以定义包括2^k个用来储存数据的存储单元的存储单元串。

而且，相邻存储单元串的存储单元字线WL_{1-2n}的顺序可以具有镜像对称性。例如，接地选择线GSL₀和串选择线SSL₀之间的存储单元字线WL_{1-2n}的顺序相对于接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}的顺序可以具有镜像对称性。类似地，接地选择线GSL₁和串选择线SSL₁之间的存储单元字线WL_{1-2n}的顺序相对于接地选择线GSL₂和串选择线SSL₂之间的存储单元字线WL_{1-2n}的顺序可以具有镜像对称性。通过在接地选择线GSL和存储单元串的第一存储单元字线WL₁之间提供足够的间隔/宽度WL₁，可以减小第一存储单元字线WL₁处的接地感应漏电流和/或擦除干扰。

而且，该非易失性存储器件的控制器可以被耦合到接地选择线、串选择线、存储单元字线。例如，在擦除操作过程中，控制器可以被配置为允许接地选择线GSL₁浮置，施加约20伏的擦除电压Vers到衬底SUB的p-阱，以及施加0伏到存储单元字线WL_{1-2n}。在写（或编程）操作过程中，控制器可以被配置为施加电源电压Vcc到接地选择线GSL₁，以施加0伏到衬底SUB的p-阱，施加导通电压Vpass到非选择字线，以及施加编程电压Vpgm到选择字线。

如图4A-B所示，每个存储单元字线WL₁至WL_{2n}可以具有几乎相同的宽度F₁，以及宽度/间隔W₅可以分开栅选择线GSL和关联的存储单元串的相邻第一存储单元字线WL₁。此外，宽度/间隔W₁可以分开相邻存储单元字线WL_x和WL_{x+1}，以及几乎相同的宽度/间隔W₁可以分开最后存储单元字线WL_{2n}和相邻串选择线SSL。而且，宽度F₁和W₁可以几乎相同，更具体地讲，每个宽度F₁和W₁可以约为被相邻偶数存储单元字线WL_{even}和WL_{even+2}（即，仅仅被一个奇数存储单元字线分开的偶数存储单元字线）定义的、或被相邻奇数存储单元字线WL_{odd}和WL_{odd+2}（即，仅仅被一个偶数存储单元字线分开的奇数存储单元字线）定义的周期P₁的四分之一（1/4）。如图4A-B进一步所示，相邻接地选择线GSL₀和GSL₁可以被宽度/间隔W₂分开，相邻串选择线SSL₀和SSL₁可以被几乎相同的宽度/间隔W₂分开。宽度/间隔W₂可以至少为大于第一间隔/宽度W₁

约3倍。并且，间隔/宽度 W_5 可以比间隔/宽度 W_1 的三倍更大（即， $W_5 > 3 \times W_1$ ）。例如，第二和/或第五间隔 W_2 和/或 W_5 可以在大于第一间隔 W_1 约3到4倍之间，或第二和/或第五间隔 W_2 和/或 W_5 可以大于第一间隔 W_1 的3倍以上，更具体地讲，大于第一间隔 W_1 的4倍以上。

因此每个存储单元字线 WL_1 至 WL_{2n} 可以为接地选择线（例如， GSL_1 ）和串选择线（例如， SSL_1 ）之间的相同有源区ACT上的存储单元串的非易失性存储器单元（如，快闪存储器单元）提供各个控制电极。每个非易失性存储器单元还可以包括：各个存储单元字线和有源区之间的电荷存储层、有源区和电荷存储层之间的隧穿绝缘层、以及存储单元字线和电荷存储层之间的阻挡绝缘层。

接地选择线 GSL 、存储单元字线 WL_1 至 WL_{2n} 以及串选择线 SSL 的图形可以使用如下面更详细地论述的自对准双构图来形成。例如，接地选择线 GSL 、串选择线 SSL 以及奇数存储单元字线（ WL_1 、 WL_3 、 WL_5 ，... WL_{2n-1} ）可以对应于光刻掩模的图形而形成，并且偶数存储单元字线（ WL_2 、 WL_4 、 WL_6 ，... WL_{2n} ）可以使用自对准双构图来形成。

根据图4A-B所示的本发明的某些实施例，有源区ACT上的第一存储单元串可以包括与第一接地选择线 GSL_1 和第一串选择线 SSL_1 之间的有源区ACT相交叉的第一多个存储单元字线 WL_1 至 WL_{2n} ，并且在第一多个字线的相邻字线之间可以提供几乎相同的第一间隔 W_1 。此外，有源区ACT上的第二存储单元串可以包括与第二接地选择线 GSL_0 和第二串选择线 SSL_0 之间的有源区ACT相交叉的第二多个字线 WL_1 至 WL_{2n} ，并且在第二多个字线的相邻字线之间可以提供几乎相同的第一间隔 W_1 。更具体地讲，第一接地选择线 GSL_1 可以在第二接地选择线 GSL_0 和该第一多个字线之间，以及第二接地选择线 GSL_0 可以在第一接地选择线 GSL_1 和该第二多个字线之间。而且，第一和第二接地选择线 GSL_1 和 GSL_0 之间的部分有源区ACT可以没有字线，第一和第二接地选择线 GSL_1 和 GSL_0 之间的第二间隔 W_2 可以大于第一间隔 W_1 至少约3倍。例如，

第二间隔 W_2 可以在大于第一间隔 W_1 约3到4倍之间，更具体地讲，第二间隔 W_2 可以大于第一间隔 W_1 约3倍。

如图4A-B进一步所示，第一多个字线 WL_1 至 WL_{2n} 可以包括偶数的存储单元字线，并且在接地选择线 GSL_1 和各个存储单元串的第一存储单元字线 WL_1 之间可以提供大于3倍的第一间隔 W_1 的间隔/宽度 W_5 。而且，在各个存储单元串的最后存储单元字线 WL_{2n} 和串选择线 SSL_1 之间可以提供第一间隔/宽度 W_1 ，并且接地选择线 GSL_1 和第一存储单元字线 WL_1 之间的部分有源区ACT可以没有字线。

图7A-D是说明根据本发明的某些实施例，使用自对准的双构图形成图4A-B的非易失性存储器结构的操作的剖面图。如图7A所示，衬底350可以包括其上的刻蚀目标层352，以及刻蚀目标层352可以包括用来形成图4A-B的存储单元、字线、选择晶体管以及选择线的材料层。

更具体地讲，该目标层可以包括隧穿绝缘层（如氧化硅层）、电荷存储栅层（如多晶硅或氮化硅层）、阻挡绝缘层（如氧化硅或不同于电荷存储栅层的其他介质材料层）以及导电层（如多晶硅和/或金属层）。电荷存储层可以在导电层和衬底之间，隧穿绝缘层分开电荷存储层和衬底，并且阻挡绝缘层分开电荷存储层和导电层。此外，在刻蚀目标层352上可以形成第一硬掩模层355，第一硬掩模层355可以包括衬垫氧化物层354上的氮化硅层356。

可以使用光掩模300来构图第一硬掩模层355上的光致抗蚀剂层，以提供包括奇数字线光致抗蚀剂图形358w、接地选择线光致抗蚀剂图形358g、以及串选择线光致抗蚀剂图形358s的光致抗蚀剂图形358。更具体地讲，光掩模300可以包括透明衬底302上的光掩模图形304。光掩模图形304可以包括：对于奇数字线光致抗蚀剂图形358w的奇数字线光掩模图形304w、对于接地选择线光致抗蚀剂图形358g的接地选择线光掩模图形304g、以及对于串选择线光致抗蚀剂图形358s的串选择

线光掩模图形304s。

如图7A进一步所示，相邻奇数字线光掩模图形304w可以被宽度/间隔 W_{11} 分开，以及相邻奇数字线光致抗蚀剂图形358w可以被宽度/间隔 W_{11} 分开。奇数字线光掩模图形304w的第一光掩模图形可以与相邻接地选择线光掩模图形304g分开约宽度/间隔 W_5 ，以及奇数字线光掩模图形304w的最后光掩模图形可以与相邻串选择线光掩模图形304s分开约宽度/间隔 W_{11} 。类似地，奇数字线光致抗蚀剂图形358w的第一光致抗蚀剂图形可以与相邻接地选择线光致抗蚀剂图形358g分开约宽度/间隔 W_5 ，以及奇数字线光致抗蚀剂图形358w的最后光致抗蚀剂图形可以与相邻串选择线光致抗蚀剂图形358s分开约宽度/间隔 W_{11} 。

而且，每个奇数字线光掩模图形304w和每个奇数字线光致抗蚀剂图形358w具有约 F_1 的宽度，并且宽度/间隔 W_{11} 可以约为宽度 F_1 的三倍。此外，奇数字线光掩模图形304w的相邻光掩模图形和奇数字线光致抗蚀剂图形358w的相邻光致抗蚀剂图形定义周期 P_1 ，并且该周期 P_1 可以约为宽度 F_1 的4倍。宽度 F_1 可以是由使用的光刻技术可得到的最小特征尺寸。相邻的接地选择线光掩模图形304g、相邻的串选择线光掩模图形304s、相邻的接地选择线光致抗蚀剂图形358g、以及相邻的串选择线光致抗蚀剂图形358s可以被宽度/间隔 W_2 分开，并且宽度/间隔 W_2 可以大于宽度 F_1 的三倍、例如，第二间隔 W_1 可以在大于第一间隔 W_1 约3到4倍之间，或第二间隔 W_2 可以大于第一间隔 W_1 的3倍以上，再具体，大于第一间隔4倍的 W_1 以上。

此外，第一奇数字线光掩模图形304w和相邻接地选择线光掩模图形304g之间的、以及第一奇数字线光致抗蚀剂图形358w和相邻接地选择线光致抗蚀剂图形358g之间的间隔/宽度 W_5 可以大于 W_{11} （例如，大于宽度 F_1 的三倍）。例如，间隔/宽度 W_5 可以大于四倍的 F_1 。

更具体地讲，可以通过光掩模300，有选择地曝光以辐照连续的光

致抗蚀剂层，然后显影，以提供图7A的光致抗蚀剂图形358。由此，光掩模图形304的布置定义了光致抗蚀剂图形358的布置。此外，光致抗蚀剂图形358对应于上面相对于图4A-B论述的栅选择线、串选择线以及奇数字线的图形。

被光致抗蚀剂图形358露出的部分第一硬掩模层355（包括氮化硅层356和衬垫氧化物层354）可以被有选择地除去（例如，使用干法刻蚀），以提供如图7B所示的第一硬掩模图形360（包括接地选择线硬掩模图形360g、串选择线硬掩模图形360s以及奇数字线硬掩模图形360w）。如果第一硬掩模层355包括分开的层354和356，那么第一硬掩模图形360的每个元件也可以包括分开的层354和356。在接地选择线硬掩模图形360g和第一奇数字线硬掩模图形360w之间可以提供几乎相同的间隔/宽度W₅（大于W₁₁）。在相邻奇数字线硬掩模图形360w之间、以及在最后奇数字线硬掩模图形360w和串选择线硬掩模图形360s之间可以提供几乎相同的间隔/宽度W₁₁。第一硬掩模图形360的每个元件可以包括氮化硅和/或氧化硅层。在有选择地除去部分第一硬掩模层之后，可以除去光致抗蚀剂图形358。

如图7B进一步所示，在第一硬掩模图形360上和在被第一硬掩模图形360露出的部分刻蚀目标层352上可以形成牺牲掩模层362，该牺牲掩模层362和第一硬掩模图形360可以包括不同的材料。例如，第一硬掩模图形360的上层356可以是氮化硅层，该牺牲掩模层362可以是多晶硅层。而且，牺牲掩模层362的厚度可以被设为：在奇数字线硬掩模图形360w的相邻掩模图形的侧壁上的部分牺牲掩模层362之间保留间隙；在相邻接地选择线硬掩模图形360g的侧壁上的部分牺牲掩模层362之间保留间隙；在相邻接地选择线硬掩模图形360s的侧壁上的部分牺牲掩模层362之间保留间隙；在相邻接地选择线硬掩模图形360g的侧壁上的部分牺牲掩模层362和第一奇数字线硬掩模图形360w之间保留间隙；以及在相邻选择线硬掩模图形360s的侧壁上的部分牺牲掩模层362和最后奇数字线硬掩模图形360w之间保留间隙。

第一硬掩模图形360w、360g和360s的侧壁上的牺牲掩模层362的厚度可以与图4A-B所示的相邻字线WL_x和WL_{x+1}之间的宽度/间隔W₁几乎相同。相邻奇数字线掩模图形360w上的部分牺牲掩模层362之间保留的间隙的宽度/间隔可以与图4A-B所示的偶数字线WL₂，WL₄，...WL_{2n}的宽度F₁几乎相同。

在形成牺牲掩模层362之后，可以在牺牲掩模层362上形成第二硬掩模层364，如图7B进一步所示。而且，第二硬掩模层364可以是氧化硅层，第二硬掩模层364可以具有宽度F₁的至少一半的厚度，由此填充奇数字线硬掩模图形360w之间的牺牲掩模层362中的间隙。但是，因为在相邻接地选择线硬掩模图形360g之间、在相邻串选择线硬掩模图形360s之间、以及在接地选择线硬掩模图形360g和相邻第一奇数字线硬掩模图形360w之间提供较宽的间隙，在第二硬掩模层364中可以保留间隙368。如果第二硬掩模层364的厚度约为字线的宽度F₁，那么相邻接地选择线图形360g、相邻串选择线图形360s、以及接地选择线硬掩模图形360g和相邻第一奇数字线硬掩模图形360w可以被大于四倍的F₁的宽度/间隔分开。

然后第二硬掩模层364可以经受反回蚀操作，以从相邻接地选择线硬掩模图形360g之间、从相邻串选择线硬掩模图形360s之间、从接地选择线硬掩模图形360g和相邻第一奇数字线硬掩模图形360w之间、以及从牺牲掩模层362的上表面除去部分硬掩模层364，如图7C所示。因此反回蚀操作之后保留的部分第二硬掩模364可以具有约厚度F₁。更具体地讲，反回蚀操作之后保留的部分第二硬掩模层364可以定义牺牲掩模层362上的第二硬掩模图形370。第二硬掩模图形370可以包括相邻奇数字线图形360w之间的、以及最后奇数字线图形360w和相邻串选择线图形360s之间的偶数字线图形370w。

然后牺牲掩模层362的露出部分可以被除去（例如，使用干法刻

蚀），如图7D所示，以露出未被第一和/或第二硬掩模图形360和/或370覆盖的部分刻蚀目标层352。然后可以使用第一和第二硬掩模图形360和370作为蚀刻掩模，除去刻蚀目标层352的露出部分（例如，使用干法刻蚀），然后可以除去第一和第二硬掩模图形360和370，以提供图4A-B的结构。

根据本发明的实施例，可以提供NAND-型非易失性存储器件，其具有的结构的尺寸小于通过一次刻蚀之后使用一次光刻曝光所得到的尺寸。由此，可以提供，具有较精细的线条和空间图形（如字线的图形）的NAND-型非易失性存储器件，并且可以导致增加集成度和/或增加性能。

尽管已参考其示例性实施例具体展示和描述了本发明，但是本领域的普通技术人员应当明白，在不脱离以下权利要求所限定的本发明的精神和范围的条件下，可以在形式上和细节上进行各种改变。

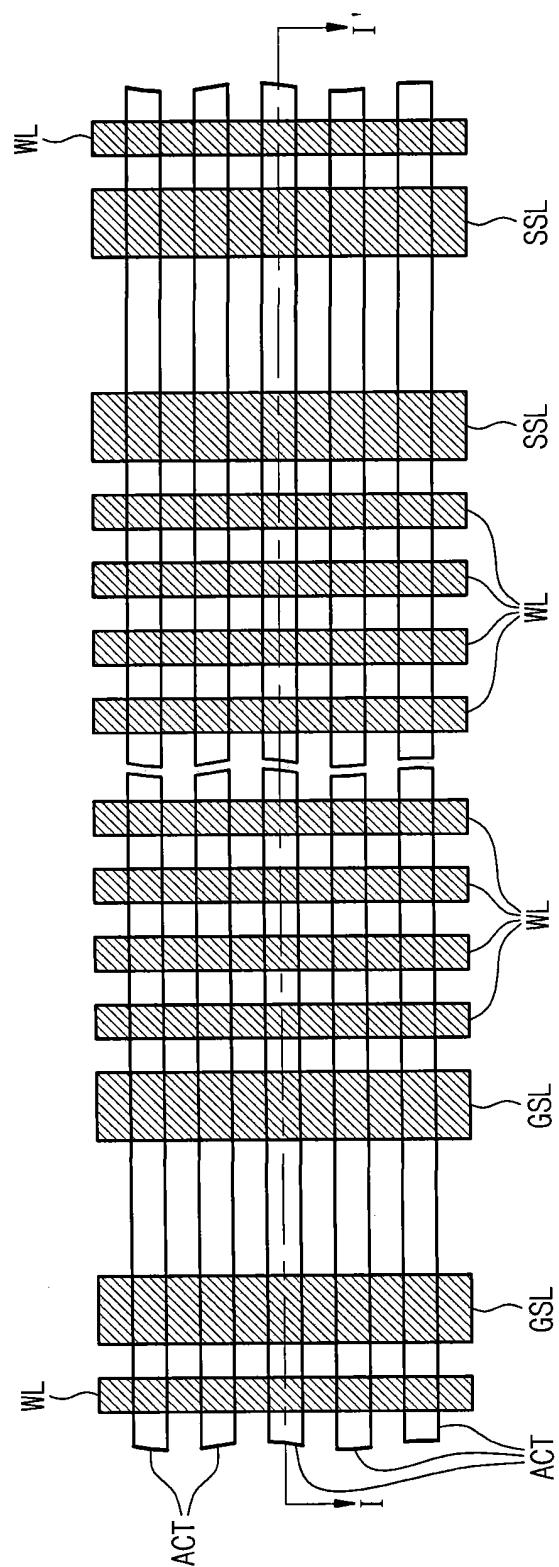


图1A

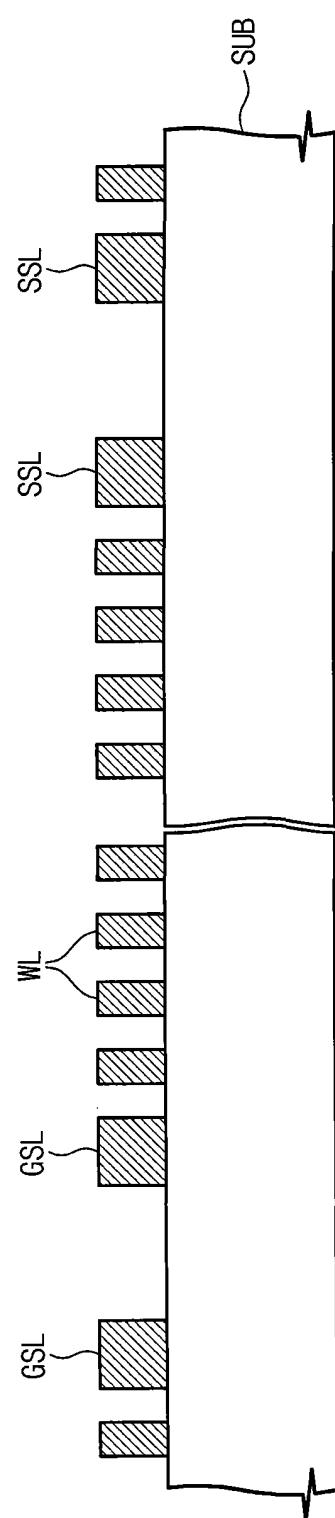


图1B

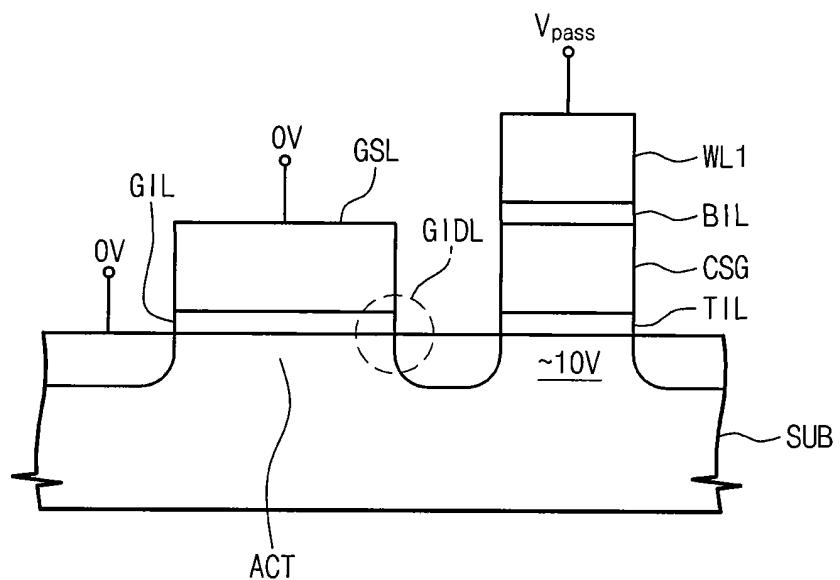


图1C

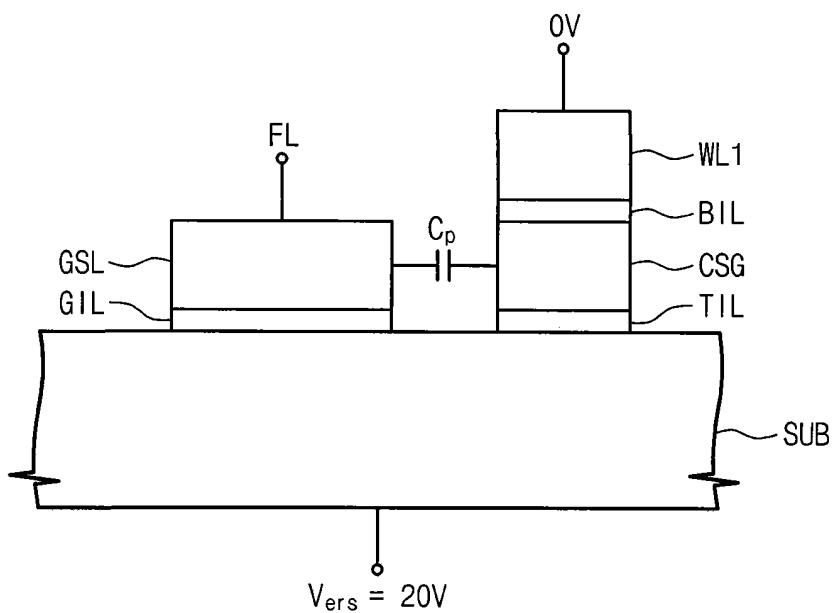


图1D

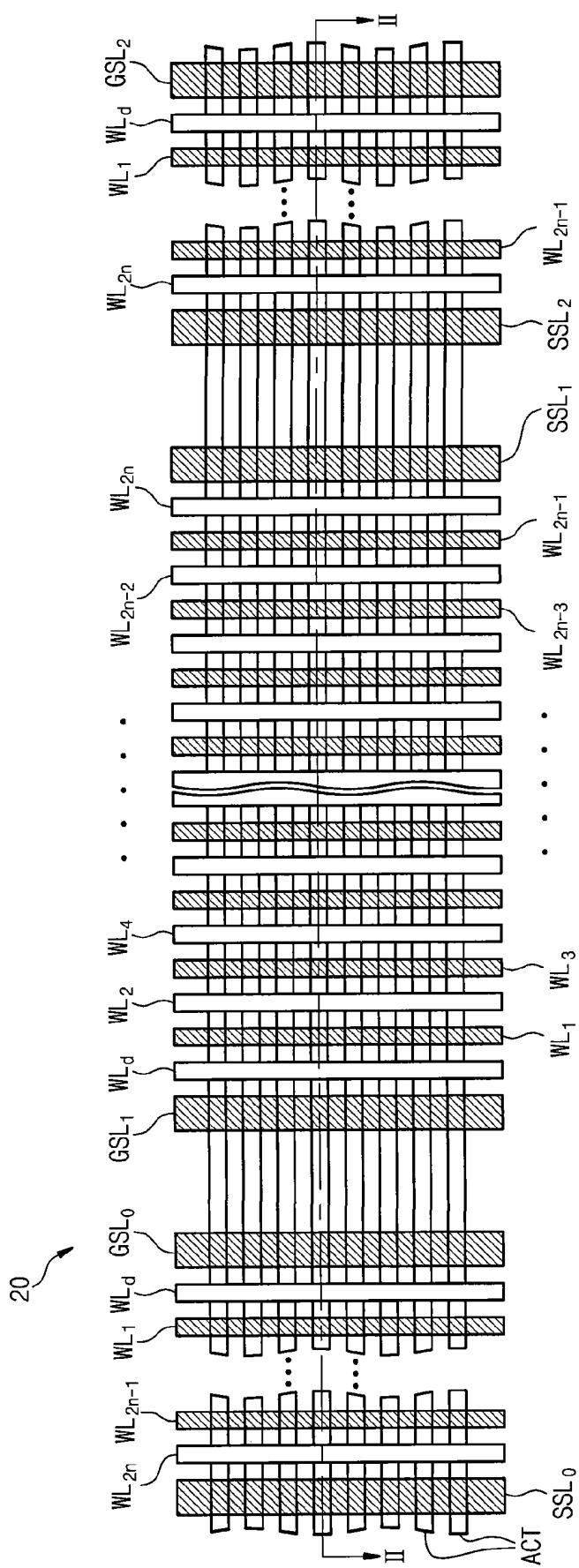


图2A

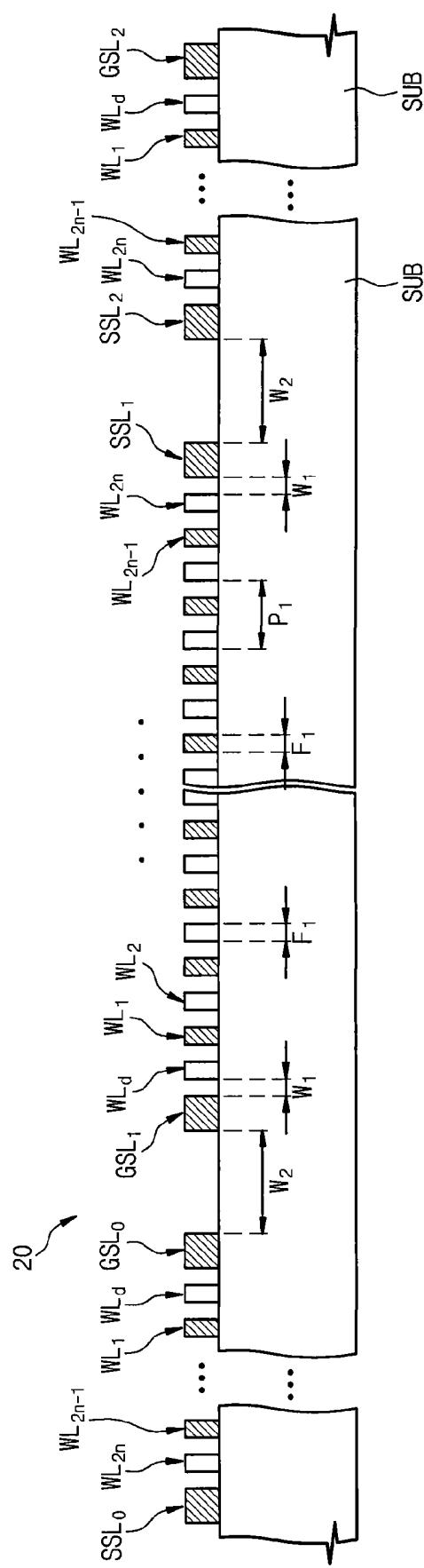


图2B

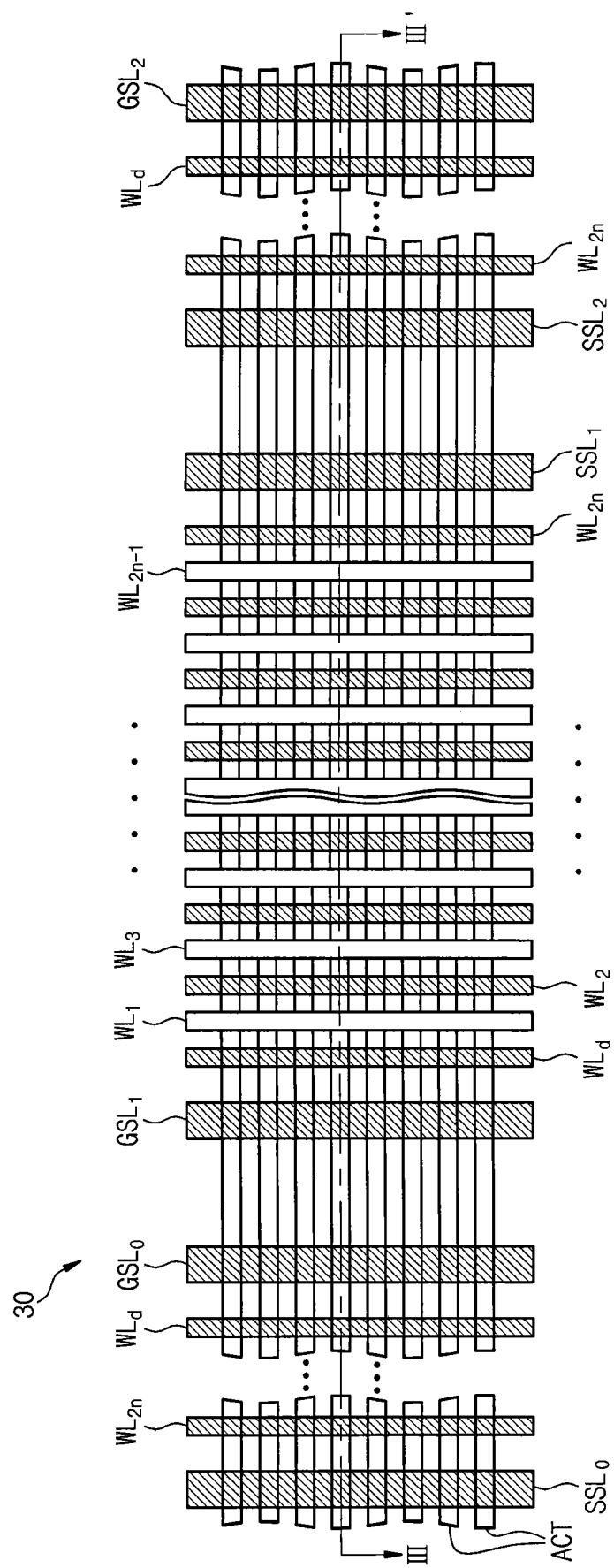


图3A

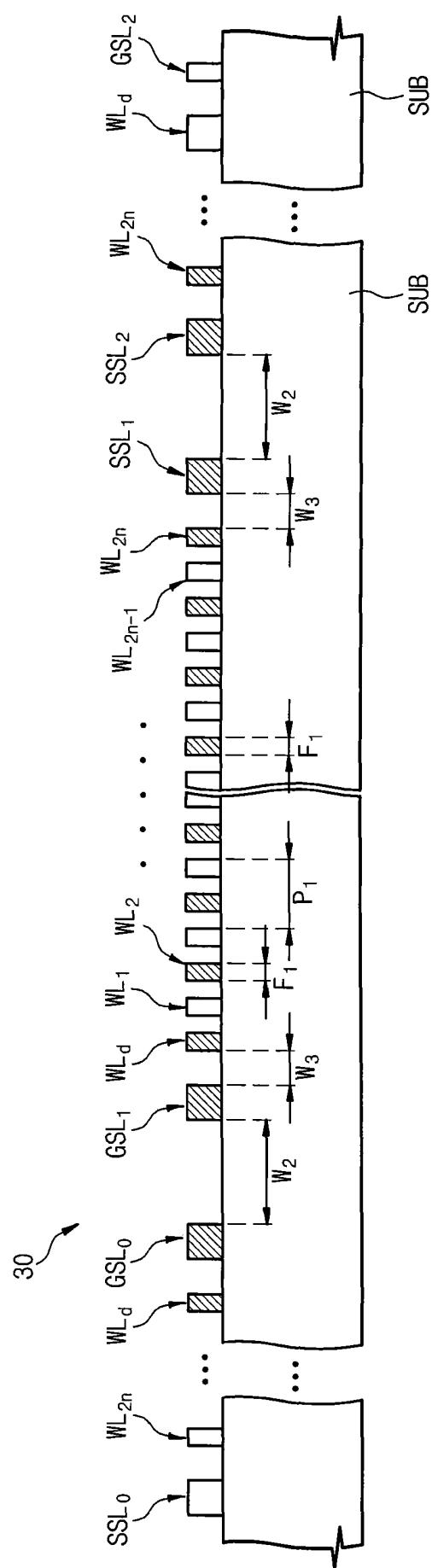
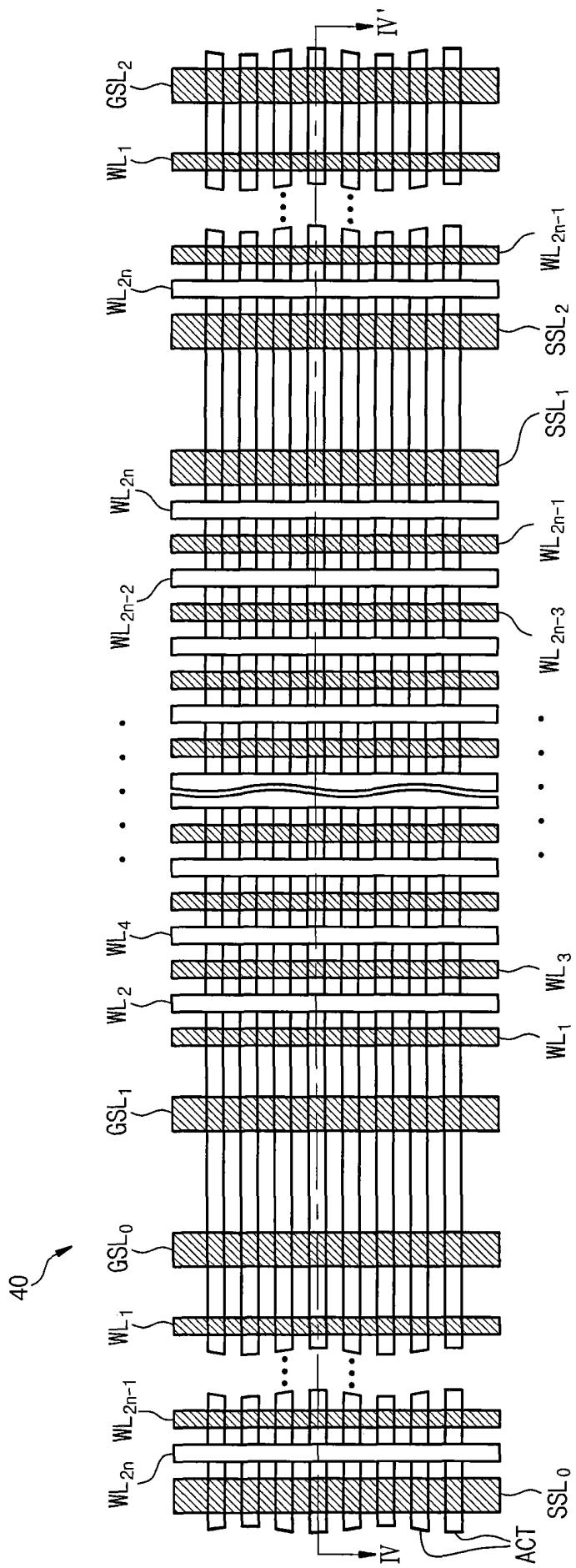


图3B



四

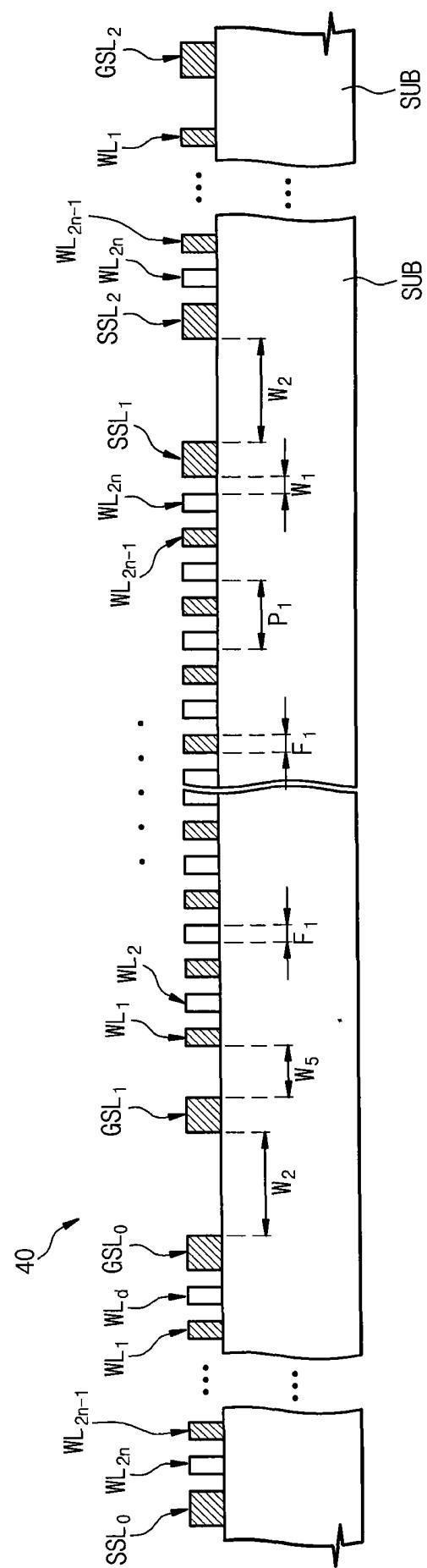


图4B

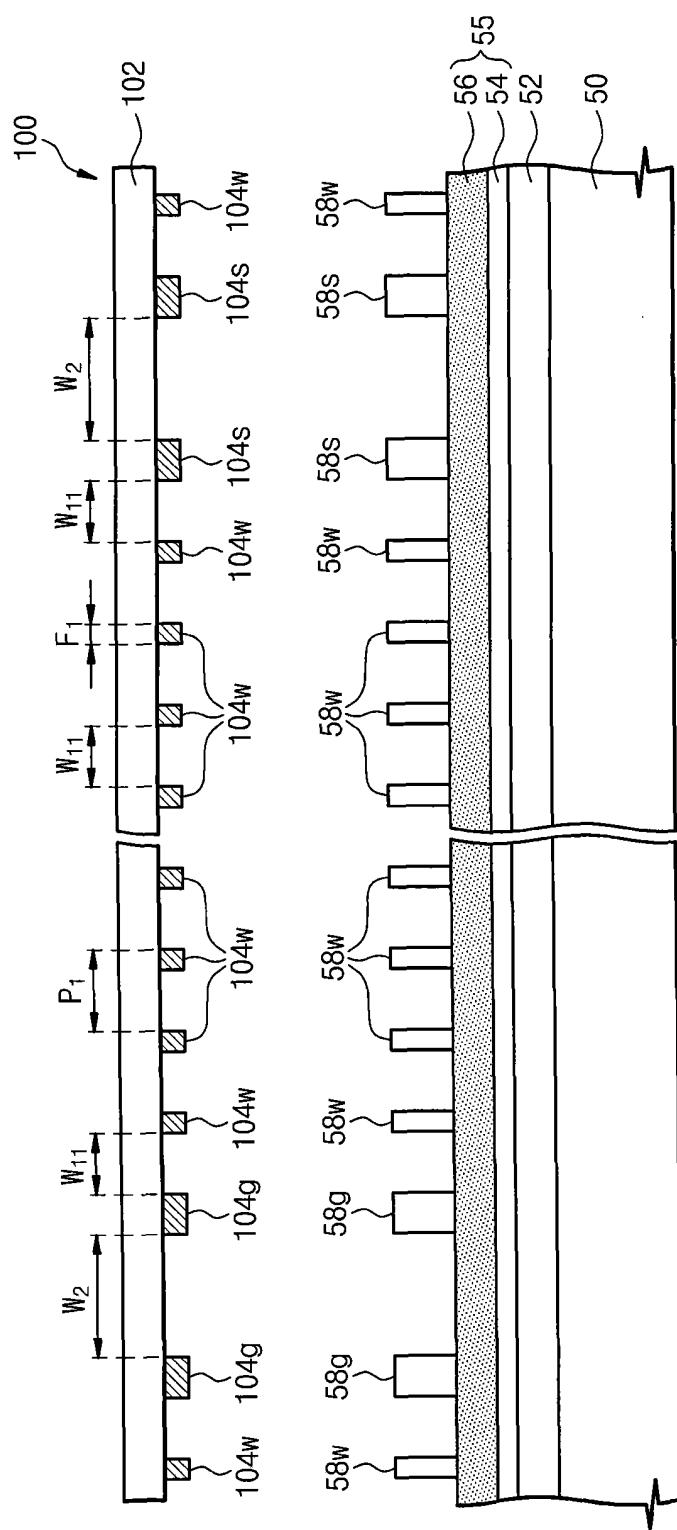


图5A

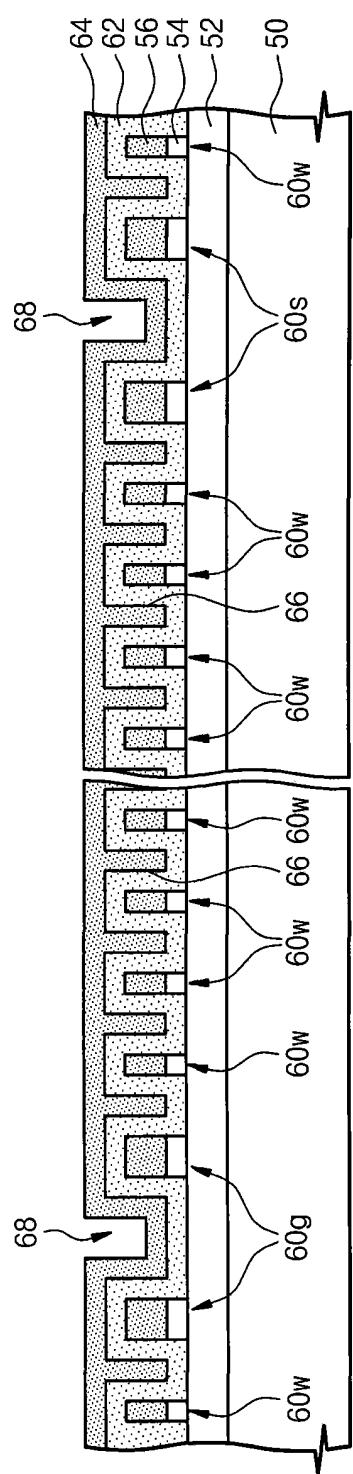


图5B

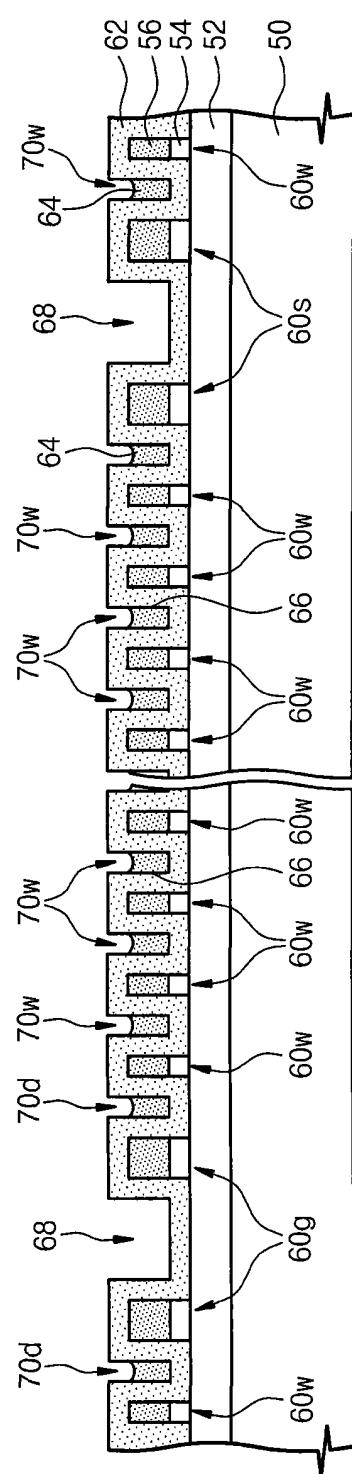


图5C

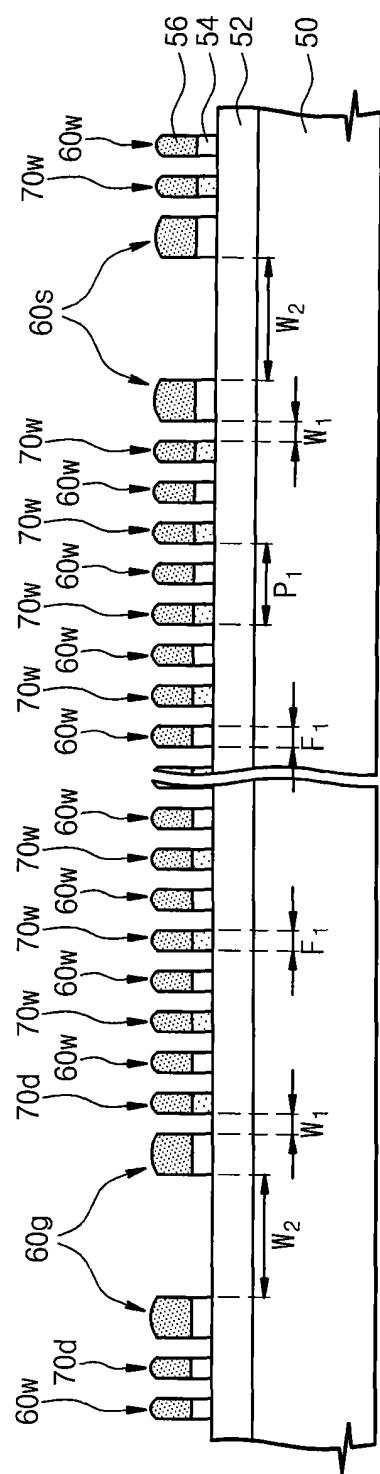


图55D

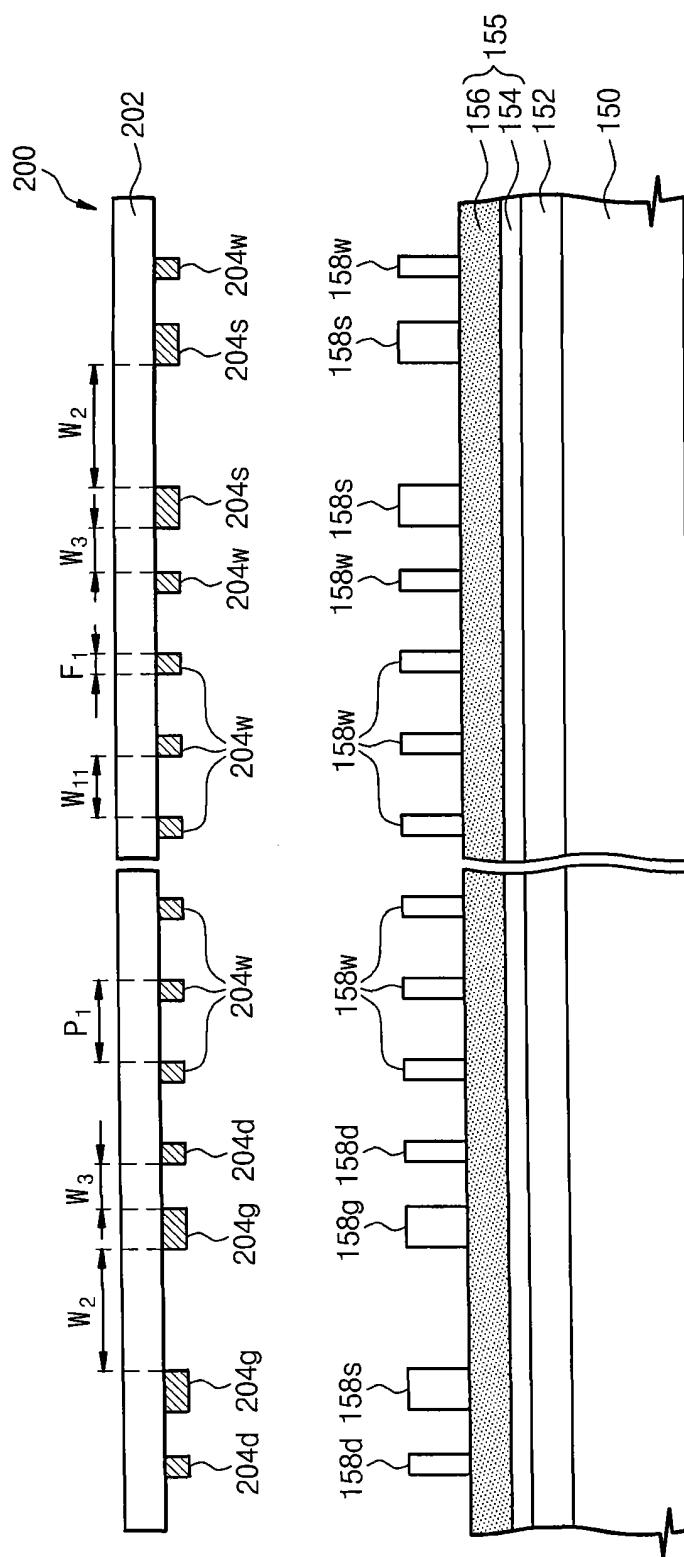


图6A

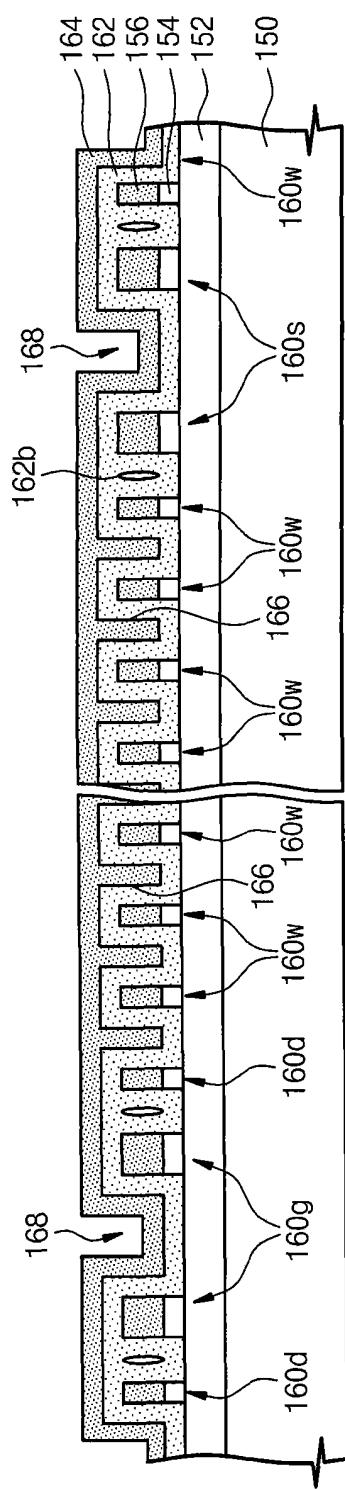


图6B

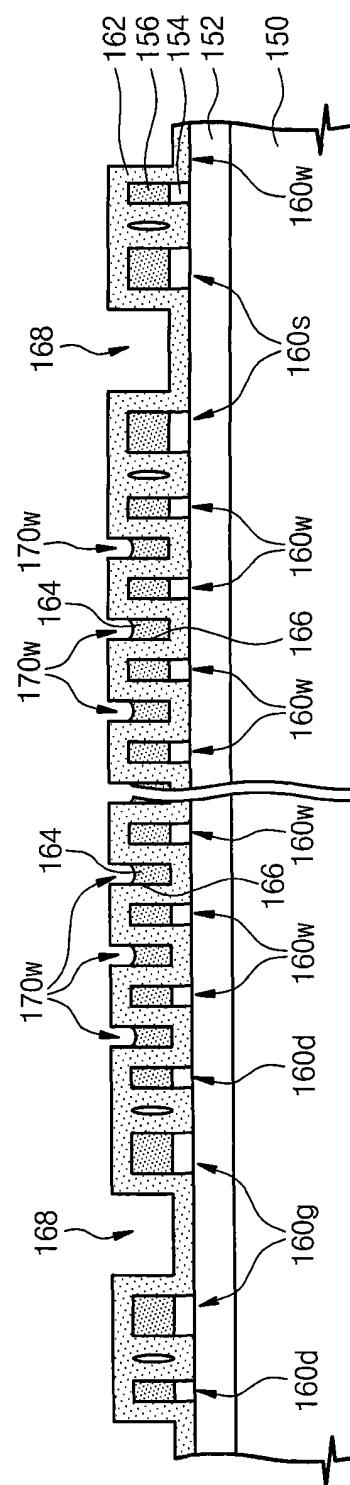


图6C

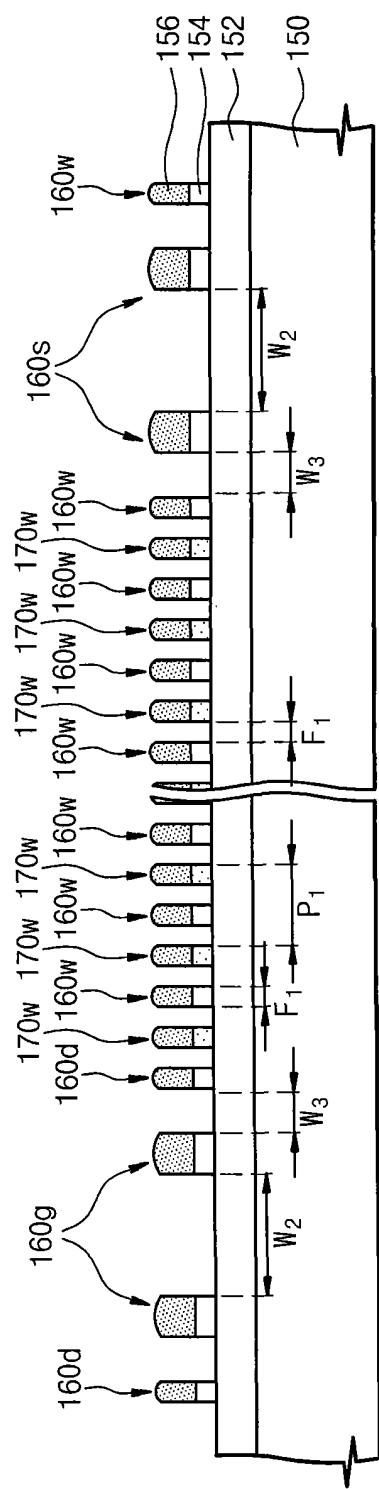
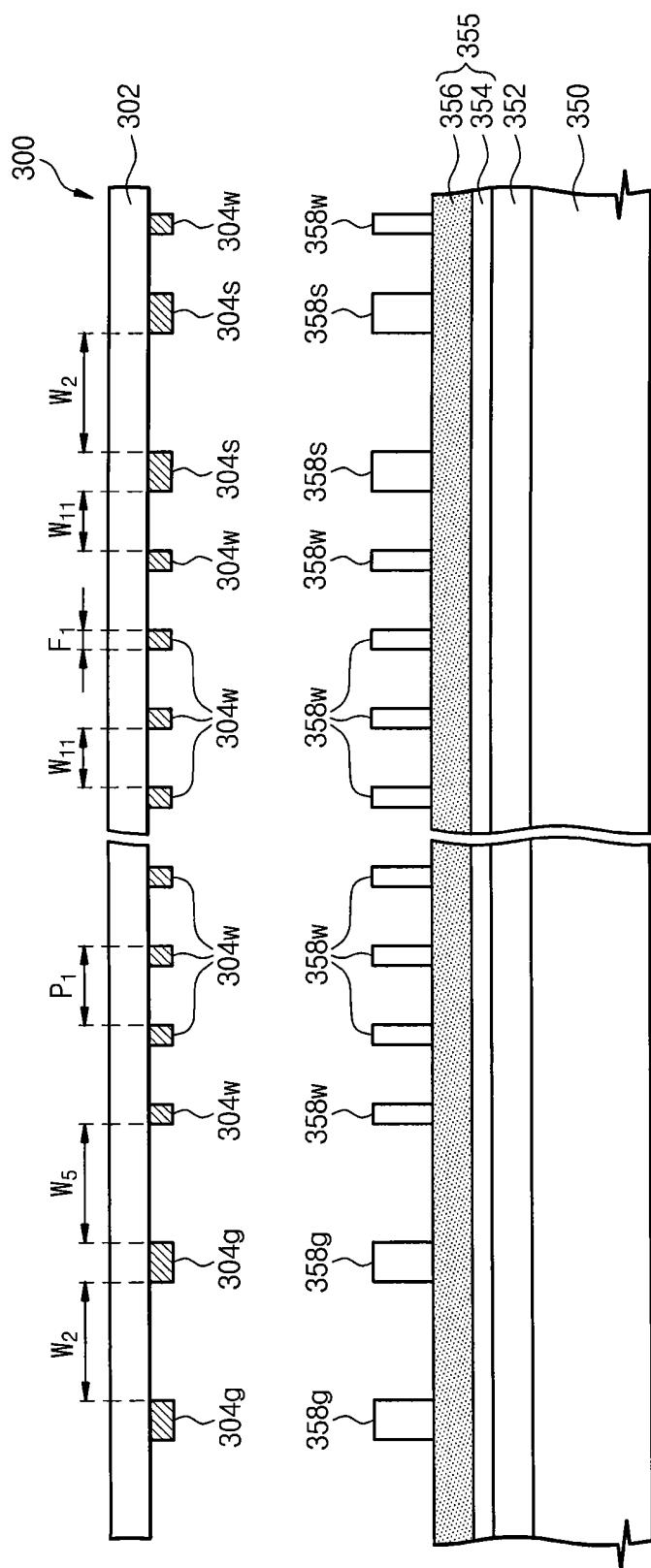


图6D



[图] 7A

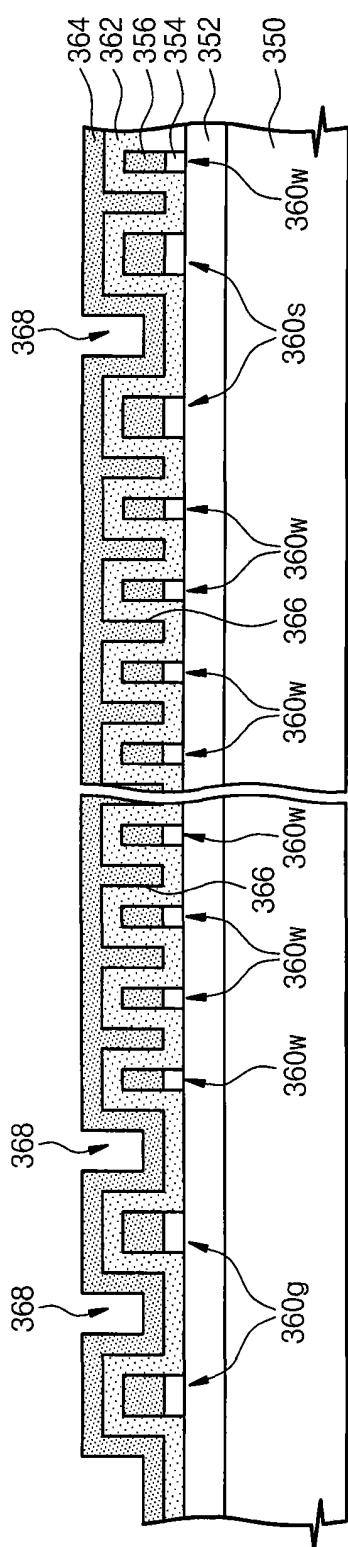


图7B

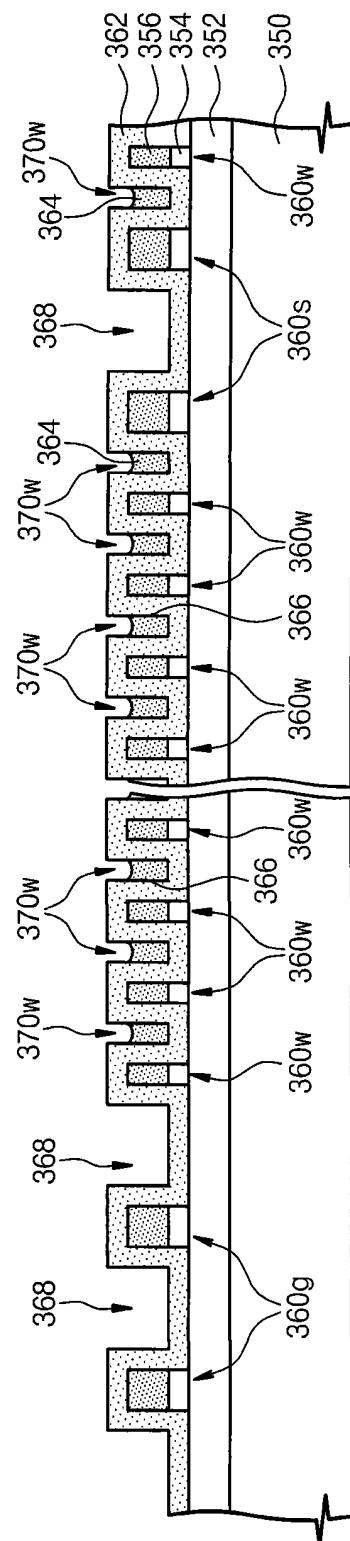


图7C

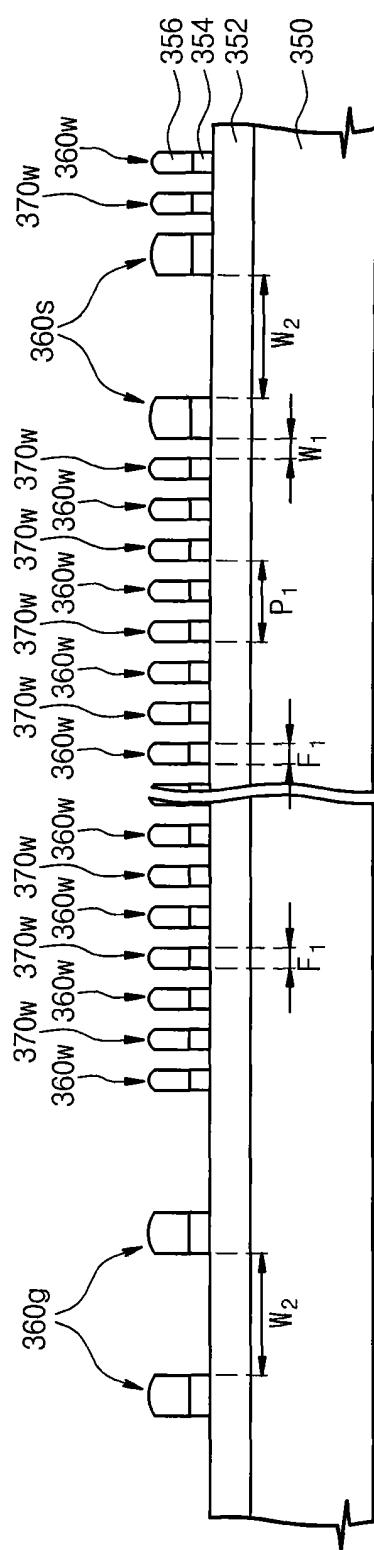


图7D