

(12) 发明专利

(10) 授权公告号 CN 101914752 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 201010244028. 1

H01L 21/768 (2006. 01)

(22) 申请日 2006. 06. 28

(56) 对比文件

(30) 优先权数据

2005-188107 2005. 06. 28 JP

2005-277044 2005. 09. 26 JP

US 5968327 A, 1999. 10. 19, 全文.

CN 1412845 A, 2003. 04. 23, 全文.

审查员 李银锁

(62) 分案原申请数据

200680023575. 9 2006. 06. 28

(73) 专利权人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 池田太郎 水泽宁 波多野达夫

横山敦 佐久间隆

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

G23C 14/14 (2006. 01)

G23C 14/34 (2006. 01)

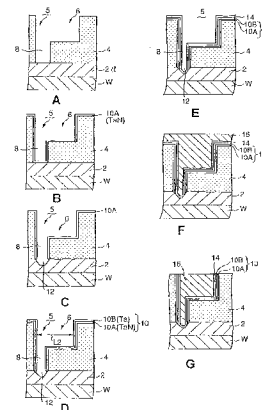
权利要求书 4 页 说明书 13 页 附图 13 页

(54) 发明名称

金属膜的薄膜沉积方法和薄膜沉积装置

(57) 摘要

本发明提供金属膜的薄膜沉积方法和薄膜沉积装置。本发明的金属膜的薄膜沉积方法,包括以下步骤:将表面上形成有凹部的被处理的物体放置和处理容器中的载置台上;抽空处理容器以在其中产生真空;借助于从惰性气体生成等离子体而形成的等离子体,在抽空的处理容器中将金属靶离子化,以产生包括金属离子的金属粒子;通过对放置在载置台上的被处理的物体施加偏压电功率,将等离子体和金属粒子吸向被处理的物体,刮削凹部的底部以形成刮削凹部,并在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上沉积金属膜。



1. 一种金属膜的薄膜沉积方法,包括以下步骤:

制备被处理的物体,在所述被处理的物体的表面上形成有凹部,并且在所述凹部的底部上具有布线层;

在包括所述凹部内的表面在内的所述被处理的物体的表面上形成基底层;

借助通过从惰性气体生成等离子体而形成的等离子体,在抽空的处理容器中将金属靶离子化,以产生包括金属离子的金属粒子;以及

通过对放置在所述处理容器中的载置台上的所述被处理的物体施加偏压电功率,以将等离子体和金属粒子吸向所述被处理的物体,刮削所述凹部的底部上的基底层和布线层以形成刮削凹部,并在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的整个表面上沉积金属膜,

其中所述刮削基底层和布线层并沉积金属膜的步骤包括:

第一薄膜沉积步骤,在该步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体表面上的薄膜沉积量等于惰性气体等离子体的蚀刻量;以及

辅助薄膜沉积步骤,在该步骤中,设定条件以在除所述凹部以外的所述被处理的物体的表面不被惰性气体等离子体蚀刻的范围内吸引金属粒子。

2. 一种金属膜的薄膜沉积方法,包括以下步骤:

制备被处理的物体,在所述被处理的物体的表面上形成有凹部,并且在所述凹部的底部上具有布线层;

在包括所述凹部内的表面在内的所述被处理的物体的表面上形成基底层;

借助通过从惰性气体生成等离子体而形成的等离子体,在抽空的处理容器中将金属靶离子化,以产生包括金属离子的金属粒子;以及

通过对放置在所述处理容器中的载置台上的所述被处理的物体施加偏压电功率,以将等离子体和金属粒子吸向所述被处理的物体,刮削所述凹部的底部上的基底层和布线层以形成刮削凹部,并在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的整个表面上沉积金属膜,

其中所述刮削基底层和布线层并沉积金属膜的步骤包括:

第一薄膜沉积步骤,在该步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体表面上的薄膜沉积量等于惰性气体等离子体的蚀刻量;以及

第二薄膜沉积步骤,在该步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体表面上的薄膜沉积量大于惰性气体等离子体的蚀刻量。

3. 一种金属膜的薄膜沉积方法,包括以下步骤:

制备被处理的物体,在所述被处理的物体的表面上形成有凹部,并且在所述凹部的底部上具有布线层;

在包括所述凹部内的表面在内的所述被处理的物体的表面上形成基底层;

借助通过从惰性气体生成等离子体而形成的等离子体,在抽空的处理容器中将金属靶离子化,以产生包括金属离子的金属粒子;以及

通过对放置在所述处理容器中的载置台上的所述被处理的物体施加偏压电功率,以将等离子体和金属粒子吸向所述被处理的物体,刮削所述凹部的底部上的基底层和布线层以形成刮削凹部,并在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的

整个表面上沉积金属膜，

其中所述刮削基层和布线层并沉积金属膜的步骤包括：

第二薄膜沉积步骤，在该步骤中，设定条件以使金属膜在除所述凹部以外的所述被处理的物体的表面上的薄膜沉积量大于惰性气体等离子体的蚀刻量。

4. 如权利要求 1 至 3 中的任一项所述的金属膜的薄膜沉积方法，其中通过控制用于制造等离子体的电功率、施加到金属靶上的直流电功率和偏压电功率中的至少一项或多项，来设定所述刮削基层和布线层并沉积金属膜的步骤的条件。

5. 如权利要求 4 所述的薄膜沉积方法，其中：

将用于制造等离子体的电功率控制在 500 ~ 6000 瓦特的范围内；

将直流电功率控制在 100 ~ 12000 瓦特的范围内；并且

将偏压电功率控制在 100 ~ 2000 瓦特的范围内。

6. 如权利要求 1 至 3 中的任一项所述的薄膜沉积方法，其中所述基底膜和所述金属膜形成两层结构的阻挡层。

7. 如权利要求 6 所述的薄膜沉积方法，其中

基底膜是 TaN 薄膜，金属膜是 Ta 薄膜。

8. 如权利要求 6 所述的薄膜沉积方法，其中

基底膜是 Ta 薄膜，金属膜是在与基底膜不同的薄膜沉积条件下沉积的另一 Ta 薄膜。

9. 如权利要求 1 至 3、5 和 7 至 8 中的任一项所述的薄膜沉积方法，其中所述凹部具有起到透孔或通孔作用的连通孔，由此所述凹部具有两层阶梯的形状。

10. 如权利要求 4 所述的薄膜沉积方法，其中所述凹部具有起到透孔或通孔作用的连通孔，由此所述凹部具有两层阶梯的形状。

11. 如权利要求 6 所述的薄膜沉积方法，其中所述凹部具有起到透孔或通孔作用的连通孔，由此所述凹部具有两层阶梯的形状。

12. 如权利要求 1 至 3、5 和 7 至 8 中的任一项所述的薄膜沉积方法，其中所述凹部是起到透孔或通孔作用的连通孔。

13. 如权利要求 4 所述的薄膜沉积方法，其中所述凹部是起到透孔或通孔作用的连通孔。

14. 如权利要求 6 所述的薄膜沉积方法，其中所述凹部是起到透孔或通孔作用的连通孔。

15. 一种薄膜沉积装置，包括：

能够被抽空以在其中产生真空的处理容器；

被布置于所述处理容器中的载置台，用于在其上放置被处理的物体，所述被处理的物体的表面形成有凹部；

用于将至少包括惰性气体的预定气体引入所述处理容器的气体引入单元；

借助用于生成等离子体的电功率，在所述处理容器中产生惰性气体等离子体的等离子体发生源；

金属靶，对其施加直流电功率，所述金属靶被布置于所述处理容器中，并被等离子体离子化；

用于向所述载置台供应预定偏压电功率的偏压电源；以及

用于至少控制偏压电源,以通过刮削所述被处理的物体中的所述凹部的底部来至少形成刮削凹部,和在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的整个表面上形成金属膜的装置控制单元,

其中所述装置控制单元至少控制偏压电源以进行第一薄膜沉积步骤和辅助薄膜沉积步骤,在所述第一薄膜沉积步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体的表面上的薄膜沉积量等于惰性气体等离子体的蚀刻量,在所述辅助薄膜沉积步骤中,设定条件以在除所述凹部以外的所述被处理的物体的表面不被惰性气体等离子体蚀刻的范围内吸引金属粒子。

16. 一种薄膜沉积装置,包括:

能够被抽空以在其中产生真空的处理容器;

被布置于所述处理容器中的载置台,用于在其上放置被处理的物体,所述被处理的物体的表面形成有凹部;

用于将至少包括惰性气体的预定气体引入所述处理容器的气体引入单元;

借助用于生成等离子体的电功率,在所述处理容器中产生惰性气体等离子体的等离子体发生源;

金属靶,对其施加直流电功率,所述金属靶被布置于所述处理容器中,并被等离子体离子化;

用于向所述载置台供应预定偏压电功率的偏压电源;以及

用于至少控制偏压电源,以通过刮削所述被处理的物体中的所述凹部的底部来至少形成刮削凹部,和在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的整个表面上形成金属膜的装置控制单元,

其中所述装置控制单元至少控制偏压电源以进行第一薄膜沉积步骤和第二薄膜沉积步骤,在所述第一薄膜沉积步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体的表面上的薄膜沉积量等于惰性气体等离子体的蚀刻量,在所述第二薄膜沉积步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体的表面上的薄膜沉积量大于惰性气体等离子体的蚀刻量。

17. 一种薄膜沉积装置,包括:

能够被抽空以在其中产生真空的处理容器;

被布置于所述处理容器中的载置台,用于在其上放置被处理的物体,所述被处理的物体的表面形成有凹部;

用于将至少包括惰性气体的预定气体引入所述处理容器的气体引入单元;

借助用于生成等离子体的电功率,在所述处理容器中产生惰性气体等离子体的等离子体发生源;

金属靶,对其施加直流电功率,所述金属靶被布置于所述处理容器中,并被等离子体离子化;

用于向所述载置台供应预定偏压电功率的偏压电源;以及

用于至少控制偏压电源,以通过刮削所述被处理的物体中的所述凹部的底部来至少形成刮削凹部,和在包括所述凹部内和所述刮削凹部内的表面在内的所述被处理的物体的整个表面上形成金属膜的装置控制单元,

其中所述装置控制单元至少控制偏压电源以进行第二薄膜沉积步骤,在所述第二薄膜沉积步骤中,设定条件以使金属膜在除所述凹部以外的所述被处理的物体的表面上的薄膜沉积量大于惰性气体等离子体的蚀刻量。

18. 如权利要求 15 至 17 中的任一项所述的金属膜的薄膜沉积装置,其中

所述装置控制单元至少控制用于制造等离子体的电功率、施加到金属靶上的直流电功率和偏压电功率中的一项或多项。

金属膜的薄膜沉积方法和薄膜沉积装置

[0001] 本案是申请日为 2006 年 6 月 28 日、申请号为 200680023575.9、发明名称为金属膜的薄膜沉积方法和薄膜沉积装置的专利申请的分案申请。

技术领域

[0002] 本发明涉及在诸如半导体晶片等的被处理物体的表面中形成的凹部的表面上有效沉积金属膜的薄膜沉积方法和薄膜沉积装置。

背景技术

[0003] 当制造半导体器件时,通常,对半导体晶片反复施以各种处理,例如薄膜沉积处理和图案蚀刻处理等,从而制造所需器件。考虑到最近对半导体器件的更高集成程度和进一步小型化的要求,其线宽和 / 或其孔径已经越来越小。顺应这种更小的尺寸,电阻必须更小。因此,倾向于使用铜作为布线材料和 / 或嵌入材料,因为铜具有较小的电阻率并且廉价(参见 JP-A-2000-77365)。当使用铜作为布线材料和 / 或嵌入材料时,考虑到铜材料与其下层之间的粘合性,使用钽金属 (Ta) 膜或氮化钽 (TaN) 薄膜作为阻挡层。

[0004] 为了形成这种阻挡层,首先在等离子溅射装置中在晶片表面上形成氮化钽薄膜(下文也称作“TaN 薄膜”)或钽薄膜(下文也称作“Ta 薄膜”)作为基底层。然后,在相同的等离子溅射装置中,形成另一钽薄膜(当基底层是 Ta 薄膜时,改变薄膜沉积条件)。由此,形成阻挡层。此后,在阻挡层表面上形成由铜膜构成的薄晶种膜,并将整个晶片表面镀铜以填充凹部。

[0005] 在下层布线层和上层布线层之间夹有绝缘膜的方式堆叠的情况下,下层布线层和上层布线层以下列方式电连接。首先,在下层布线层上形成绝缘层。然后,在绝缘层中形成连通孔,例如透孔 (via hole) 和通孔 (through hole),以在连通孔底部上露出下层布线层。此后,用上层布线层的材料填充连通孔,并同时沉积上层布线层。如上所述,由于根据对小型化的需求要使线宽变窄并减小孔径,所以必须采取措施降低上层布线层和下层布线层之间的连接结构中的电阻。作为该措施的一个实例,可以形成通孔以使其底部“嵌入”到下层布线层的预定厚度,从而降低要“嵌入”通孔底部的嵌入材料与下层布线层之间的接触电阻。这种结构被称作所谓的“贯通结构”。形成这种结构的方法被称作所谓的“贯通处理”。

[0006] 参照图 12A 至 12C 和图 13A 至 13E 描述了贯通处理的一个实例。图 12A 至 12C 显示了半导体晶片形成的尚未填充的连通孔。图 12A 是连通孔尚未填充的半导体晶片的平面图。图 12B 是沿图 12A 中所示的线段 A-A 截取的半导体晶片的截面图。图 12C 是图 12A 中所示的半导体晶片的透视图。图 13A 至 13E 是解释连通孔的填充步骤的图。

[0007] 如图 12A 至 12C 中所示,半导体晶片 W 例如由硅基板构成。由铜制成的下层布线层 102 和由二氧化硅膜构成的绝缘层 104 以此顺序堆叠在硅基板表面上。在绝缘层 104 表面中形成凹部 105。凹部 105 具有用以形成上层布线层的预定宽度的布线槽,即沟槽 106。在沟槽 106 的底部,部分形成穿透绝缘层 104 到达下层布线层 102 的连通孔 108。连通孔 108 将起到透孔或通孔的作用。连通孔 108 的直径 L1 相当小,例如,在大约 60 纳米至大约

200 纳米之间。沟槽 106 的宽度 L2 为,例如,在大约 60 纳米至大约 1000 纳米之间。

[0008] 为了填充连通孔 108 和沟槽 106,如图 13A 中所示,首先通过等离子溅射,例如在包括沟槽 106 内的表面和连通孔 108 内的表面在内的晶片 W 整个表面上形成金属膜阻挡层 110,用以改进晶片表面与基底层之间的粘合性,和用以防止铜扩散和迁移到绝缘层 104 中。作为阻挡层 110,主要使用包括氮化钽薄膜 (Ta_N 薄膜) 和钽薄膜 (Ta 薄膜) 的两层结构,或包括在不同的(变化的)沉积条件下沉积的两层钽薄膜的两层结构。

[0009] 然后,如图 13B 中所示,通过使用 Ar 气体作为惰性气体的等离子蚀刻,刮削在连通孔 108 的底部上形成的一部分阻挡层 110。进一步蚀刻作为阻挡层 110 基底的下层布线层 102,以便形成具有预定深度的刮削(scraped)凹部 112。

[0010] 由此,如图 13C 中所示,在包括刮削凹部 112 内表面、连通孔 108 内表面和沟槽 106 内表面在内的整个表面上,通过例如溅射形成非常薄的电镀晶种膜 114。使用铜 (Cu) 膜作为晶种膜 114,因为例如在随后步骤中进行镀铜。

[0011] 然后,如图 13D 中所示,由晶种膜 114 作为起点进行电镀,从而使刮削凹部 112、连通孔 108 和沟槽 106 分别被上层布线层 116 的材料填满。如上所述,例如使用铜作为上层布线层 116 的材料。

[0012] 下面,如图 13E 中所示,通过研磨或类似方法去除上面的多余金属材料,由此形成电连接到下层布线层 102 上的上层布线层 116。

[0013] 由于在沟槽 106 底部中设置有诸如通孔或透孔等的连通孔 108,所以凹部 105 具有两层阶梯的形状的横截面。凹部 105 的这种形状被称作所谓的“双嵌入式 (Dual Damascen) 结构”。

[0014] 在图 13B 中所示的等离子蚀刻步骤中,通过在位置 P1 所示的角上蚀刻而散开的阻挡层的粒子以特定方向性在某一方向上在预定角度范围内散开。当线宽和槽宽比较宽时,这种特征不产生严重问题。但是,由于槽宽小至大约 100 纳米的程度,如上所述,由于该特征而在某一方向上散开的粒子有可能附着到相对的壁表面上以在相对的壁表面上形成沉积突起物 118。当形成沉积突起物 118 时,在图 13C 中所示的后继等离子溅射步骤中,沉积突起物 118 产生阴影,沉积突起物 118 的阴影引起所谓的遮蔽 (shadowing) 现象,因为溅射的粒子具有高方向性。也就是说,晶种膜 114 由于沉积突起物 118 而不附着到阴影 (shadow) 部分 120 上。当留有其上没有附着晶种膜 114 的部分时,如图 13D 中所示,在该部分上不合需要地产生了空隙 122。

[0015] 图 14A 和 14B 是用于对宽度 L2 彼此不同的凹部 105 (沟槽 106) 进行比较的图。实际上,可以如图 14A 和 14B 中所示地在半导体晶片 W 的表面中形成具有不同宽度 L2 的各种凹部 5。在这种情况下,如图 14A 和 14B 中所示,当沟槽 106 的纵横比不同时,从连通孔 108 的底部向上看的角度 $\theta 1$ 和 $\theta 2$ 可以彼此不同 ($\theta 1 < \theta 2$),即使连通孔 108 的纵横比相同 (其直径 L1 相同)。因此,作为凹部 105 中的最底层而沉积在连通孔 108 底部上的阻挡层 110 的厚度 H1 和 H2 可能彼此不同。由于阻挡层 110 的厚度 H1 和 H2 的不同,通过刮削阻挡层 110 而形成的刮削凹部 112 的深度可能彼此不同。

发明内容

[0016] 考虑到前述情况,作出本发明以有效解决这些问题。本发明的目的是提供用于在

被处理的物体表面中形成的凹部表面上形成金属膜的薄膜沉积方法和薄膜沉积装置,其无论凹部的宽度如何都能够将凹部的底部刮削到相同深度,从而始终形成具有相同深度的刮削凹部,并且能够在凹部和刮削凹部的内部沉积具有合适状态的金属膜。

[0017] 本发明的发明人已经发现,当通过等离子溅射处理来沉积金属膜时,通过适当调节处理条件,例如偏压、施加到金属靶上的直流电功率和用于产生等离子体的电功率,以控制来自该金属靶所产生金属粒子中的中性原子与金属粒子离子之间的比率,可以在半导体晶片的整个表面上有效沉积优选金属膜。基于该发现,作出了本发明。

[0018] 本发明是金属膜的薄膜沉积方法,包括以下步骤:将表面上形成有凹部的被处理的物体放在处理容器中的载置台上;抽空处理容器以在其中产生真空;借助来自惰性气体的等离子体而形成的等离子体,在抽空的处理容器中将金属靶离子化,以产生包括金属离子的金属粒子;通过对放在载置台上的被处理的物体施加偏压电功率,将等离子体和金属粒子引到(吸引到)被处理的物体,刮削凹部的底部以形成刮削凹部,并在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上沉积金属膜。

[0019] 根据本发明,当通过仅在凹部底部的选择性刮削以形成刮削凹部并通过在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上形成金属膜来沉积诸如阻挡层等的金属层时,无论凹部的宽度如何,始终可以形成具有相同深度的刮削凹部。由此,可以在被处理的物体的整个表面上沉积电阻显著优异的优选金属膜。

[0020] 例如,沉积金属膜的步骤优选地包括:第一薄膜沉积步骤,其中设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量基本等于惰性气体(基于惰性气体)的等离子体的蚀刻量;以及第二薄膜沉积步骤,其中设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量略大于惰性气体(基于惰性气体)的等离子体的蚀刻量。

[0021] 可替代地,沉积金属膜的步骤优选地包括:第一薄膜沉积步骤,其中设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量基本等于惰性气体的等离子体的蚀刻量;以及辅助薄膜沉积步骤,其中设定条件以便在除凹部以外的被处理的物体表面不被惰性气体的等离子体蚀刻的范围内,吸引尽可能多的金属粒子。

[0022] 可替代地,沉积金属膜的步骤优选地包括第二薄膜沉积步骤,其中设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量略大于惰性气体的等离子体的蚀刻量。

[0023] 此外,例如,通过至少控制用于产生等离子体的电功率、施加到金属靶上的直流电功率和偏压电功率中的一项或多项,设定沉积金属膜的步骤的条件。

[0024] 在这种情况下,优选的是,将用于产生等离子体的电功率控制在 500 ~ 6000 瓦特的范围内,将直流电功率控制在 100 ~ 12000 瓦特范围内;并将偏压电功率控制在 100 ~ 2000 瓦特范围内。

[0025] 此外,优选地,在沉积金属膜的步骤之前进行形成基底膜的基底膜形成步骤。

[0026] 在这种情况下,优选地,形成包括基底膜和金属膜的具有两层结构的阻挡层。

[0027] 在这种情况下,例如,基底膜是 TaN 薄膜,金属膜是 Ta 薄膜。可替代地,基底膜是 Ta 薄膜,金属膜是在与基底膜不同的薄膜沉积条件下沉积的另一 Ta 薄膜。

[0028] 另外,例如,凹部具有起到透孔或通孔作用的连通孔,由此凹部具有两层阶梯的形

状。可替代地,凹部是充当透孔或通孔的连通孔。

[0029] 此外,本发明是薄膜沉积装置,包括:能够抽空以在其中产生真空的处理容器;位于该处理容器中的载置台,用于在其上放置被处理的物体,在该被处理的物体表面上形成有凹部;用于将至少包括惰性气体的预定气体引入处理容器的气体引入单元;借助用于产生等离子体的电功率,在处理容器中产生惰性气体等离子体的等离子体发生源;金属靶,对其施加直流电功率,该金属靶被置于处理容器中,并被等离子体离子化;用于向载置台供应预定偏压电功率的偏压电源;和用于至少控制偏压电源,从而通过刮削被处理的物体中的凹部的底部来至少形成刮削凹部,和在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上形成金属膜的装置控制单元。

[0030] 根据本发明,当通过选择性地仅刮削凹部底部来形成刮削凹部和通过在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上形成金属膜来沉积诸如阻挡层等的金属层时,无论凹部的宽度如何,始终可以形成具有相同深度的刮削凹部。由此,例如可以在被处理的物体的整个表面上沉积电阻显著优异的优选的金属膜。

[0031] 例如,装置控制单元以至少控制偏压电源以进行如下第一薄膜沉积步骤和第二薄膜沉积步骤,在第一薄膜沉积步骤中,设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量基本等于惰性气体的等离子体的蚀刻量,在第二薄膜沉积步骤中,设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量略大于惰性气体的等离子体的蚀刻量。

[0032] 可替代地,装置控制单元至少控制偏压电源以进行如下第一薄膜沉积步骤和辅助薄膜沉积步骤,在第一薄膜沉积步骤中,设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量基本等于惰性气体的等离子体的蚀刻量,在辅助薄膜沉积步骤中,设定条件以在除凹部以外的被处理的物体表面不被惰性气体的等离子体蚀刻的范围内吸引尽可能多的金属粒子。

[0033] 可替代地,装置控制单元至少控制偏压电源以进行第二薄膜沉积步骤,在第二薄膜沉积步骤中,设定条件以使金属膜在除凹部以外的被处理的物体表面上的薄膜沉积量略大于惰性气体的等离子体的蚀刻量。

[0034] 另外,优选的是,装置控制单元至少控制用于生成等离子体的电功率、施加到金属靶上的直流电功率和偏压电功率中的一项或多项。

[0035] 此外,本发明是存储计算机程序以使计算机执行控制薄膜沉积装置的控制方法的存储介质,薄膜沉积装置包括:能够抽空以在其中产生真空的处理容器;位于该处理容器中的载置台,用于在其上放置被处理的物体,在该物体表面上形成有凹部;用于将至少包括惰性气体的预定气体引入处理容器的气体引入单元;借助用于生成等离子体的电功率,在处理容器中产生惰性气体等离子体的等离子体发生源;金属靶,对其施加直流电功率,该金属靶被置于处理容器中,并被等离子体离子化;用于向载置台供应预定偏压电功率的偏压电源;其中该控制方法至少控制偏压电源以通过刮削被处理的物体中的凹部的底部来至少形成刮削凹部,和在包括凹部内和刮削凹部内的表面在内的被处理的物体的整个表面上形成金属膜。

附图说明

- [0036] 图 1 是根据本发明的一个实施例的薄膜沉积装置的示意性截面图；
- [0037] 图 2 是显示溅射蚀刻的角度依赖性的图；
- [0038] 图 3 是显示偏压电功率与晶片上表面上的薄膜沉积量之间的关系图；
- [0039] 图 4A 至 4G 显示了用于解释根据本发明的第一实施例的方法的流程图；
- [0040] 图 5A 至 5F 显示了用于解释根据本发明的第二实施例的方法的流程图；
- [0041] 图 6A 是显示通过传统方法形成的刮削凹部的电子显微图，图 6B 是显示通过本发明的方法形成的刮削凹部的电子显微图；
- [0042] 图 7 是显示凹部（包括连通孔）的纵横比和在凹部底部上的铜蚀刻速率之间的关系图；
- [0043] 图 8 是刮削凹部的放大截面图；
- [0044] 图 9 是显示 Ta 薄膜和 Cu 材料的蚀刻速率对于偏压电功率的依赖性的实例图；
- [0045] 图 10A 至 10F 显示了用于解释根据本发明的第三实施例的方法的流程图；
- [0046] 图 11A 至 11G 显示了用于解释根据本发明的第四实施例的方法的流程图；
- [0047] 图 12A 至 12C 是显示在半导体晶片中形成的连通孔的图，连通孔尚未被填充；
- [0048] 图 13A 至 13E 是用于解释连通孔的填充步骤的图；以及
- [0049] 图 14A 和 14B 是用于比较宽度彼此不同的凹部（沟槽）的图。

具体实施方式

[0050] 下面参照附图详细描述本发明的实施例。

[0051] 图 1 是根据本发明的一个实施例的薄膜沉积装置的示意性截面图。本发明的薄膜沉积装置是 ICP（电感耦合等离子体）型等离子溅射装置。如图 1 中所示，薄膜沉积装置 32 包括由例如铝制成的圆柱形处理容器 34。该处理容器 34 接地。在处理容器 34 的底部 36 中设置出口 38。出口 38 经由节流阀 40 连接到真空泵 42 上，由此可以抽空处理容器 34 的内部以在其中产生真空。

[0052] 在处理容器 34 内放置由例如铝制成的圆盘状载置台 44。在载置台 44 的上表面上放置静电卡盘 46。可以根据需要对静电卡盘 46 施加用于吸引的直流电压。由此，可以将作为被处理的物体的半导体晶片 W 吸引和保持在静电卡盘 46 上。载置台 44 用从载置台 44 下表面的中部向下伸出的支柱 48 支撑。穿过处理容器 34 的底部 36 的支柱 48 的下部可以通过升降装置（未显示）上下运动。由此，载置台 44 本身可以垂直运动。

[0053] 围绕支柱 48 设置可伸长的金属波纹管 50。金属波纹管 50 的上端密封连接到载置台 44 的下表面上，金属波纹管 50 的下端密封地接合到底部 36 的上表面。由此，载置台 44 可以垂直运动，而处理容器 34 的内部可以保持密封。载置台 44 配备有冷却晶片 W 的冷媒所流经的冷媒循环通路 52。经由支柱 48 中的通道（未显示）供应和排出冷媒。

[0054] 多个，例如三个支承销 54（显示了两个支承销 54）从处理容器 34 的下表面 36 向上突起。在载置台 44 中形成与支承销 54 分别对应的销插孔 56。由此，当载置台 44 下降时，晶片 W 可以落在穿过销插孔 56 的支承销 54 的上端上。因此，晶片 W 可以在支承销 54 和未显示的从外部进入的传送臂（transfer arm）之间传送。在处理容器 34 的下方侧壁中设置能够打开和封闭以使传送臂进入处理容器 34 的门阀 58。

[0055] 经由布线 60 连接到载置台 44 上的静电卡盘 46 上的是由能够产生例如 13.56MHz

射频的射频电源构成的偏压电源 62。由此,可以向载置台 44 施加预定偏压电功率。偏压电源 62 可以根据需要控制其输出的偏压电功率。

[0056] 在处理容器 34 的顶部,通过密封部件 66,例如 O-环,密封安装由诸如氧化铝等的介电材料构成的并且可透过射频的透过板 64。通过从作为等离子气体的 Ar 气体生成等离子体来产生等离子体的等离子体发生源 70 被布置在透过板 64 的与处理容器 34 中的处理空间 68 相反的一侧上。具体而言,等离子体发生源 70 包括位于透过板 64 附近的感应线圈部分 72,和连接到感应线圈 72 上的用于产生例如 13.56MHz 的射频以产生(生成)等离子体的射频电源 74。由此,射频可以通过透过板 64 被引入处理空间 68。可以根据需要控制从射频电源 74 输出的等离子电功率。可以使用另一惰性气体来代替 Ar,例如使用 He 和 Ne 作为等离子气体。

[0057] 将由例如铝制成的挡板 76 直接布置于透过板 64 下方,以使引入处理空间 68 的射频扩散。在挡板 76 下方放置例如围绕处理空间 68 的上侧部的具有向内倾斜的截面的环形(截顶圆锥壳形)金属靶 78。将可变直流电源 80 连接到金属靶 78 上。可以根据需要控制从可变直流电源 80 输出的直流电功率。金属靶 78 由例如钽金属和/或铜制成。这些金属作为金属原子或金属原子团被等离子体中的 Ar 离子溅射,同时在金属通过等离子体时将大量的这些金属离子化。

[0058] 在金属靶 78 下方设置由例如铝制成的圆柱形保护盖 82 以围绕处理空间 68。保护盖 82 接地。保护盖 82 的底部向内弯曲以接近载置台 44 的侧部。在处理容器 34 的底部 36 中设置气体入口 84 作为将所需气体引入处理容器 34 的气体引入单元。从气体入口 84 通过包括气体流速控制器、阀等的气体控制单元 86 来供应诸如 Ar 气体等的等离子气体,和诸如 N₂ 气体等的另一所需气体。

[0059] 薄膜沉积装置 32 的各个元件连接到由例如计算机构成的装置控制单元 88 上以受到装置控制单元 88 的控制。更具体地,装置控制单元 88 控制偏压电源 62、用于产生等离子体的射频电源 74、可变直流电源 80、气体控制单元 86、节流阀 40、真空泵 42 等等的操作。特别地,当沉积金属膜时,进行下列控制。

[0060] 首先,真空泵 42 在装置控制单元 88 的控制下运行以抽空处理容器 34。然后,将 Ar 气体供入抽空的处理容器 34,同时运行气体控制单元 86。此外,控制节流阀 40 以使处理容器 34 的内部保持预定真空程度。此后,经由可变直流电源 80 对金属靶 78 施加直流电功率,并经由射频电源 74 向感应线圈部分 72 施加射频电功率(等离子电功率)。

[0061] 另一方面,装置控制单元 88 向偏压电源 62 发出向载置台 44 施加预定偏压电功率的命令。在已经如上所述控制的处理容器 34 中,通过已经施加到感应线圈部分 72 上以产生氩离子的等离子电功率,来产生氩等离子体。氩离子碰撞金属靶 78,由此溅射金属靶 78 以释放出金属粒子。

[0062] 作为金属粒子从金属靶 78 释放出来的多数金属原子和/或金属原子团在穿过等离子体时被离子化。金属粒子(金属原子和/或金属原子团)向下散开,其中离子化的金属离子和电中性金属原子混在一起。随后,金属离子特别地受到施加到载置台 44 上的偏压电功率吸引并作为对晶片 W 具有高方向性的金属离子沉积在晶片 W 上。

[0063] 如下所述,装置控制单元 88 能够通过对偏压电源 62 发送例如输出大电功率的命令,来使等离子体中的 Ar 离子被吸向载置台 44。因此,可以同时进行的薄膜沉积和溅射蚀刻。

[0064] 通过装置控制单元 88 根据预先制定的程序来控制该装置的各个元件,以便在预定条件下进行沉积金属膜的步骤。将包括各种控制操作命令的程序存储在存储介质 90,例如软盘(注册商标)(FD)、光盘(注册商标)(CD)、和闪存中。根据该程序,控制各个元件以便在预定条件下进行沉积金属膜的步骤。

[0065] 接着,下面描述通过如上构造的薄膜沉积装置 32 进行的本发明的薄膜沉积方法。

[0066] 图 2 是显示溅射蚀刻的角度依赖性的图。图 3 是显示偏压电功率与在晶片上表面上的薄膜沉积量之间的关系关系的图。图 4A 至 4G 显示了用于解释根据本发明的第一实施例的方法的流程图。

[0067] 本发明的特征在于,当在一系列薄膜沉积处理的某个步骤中借助等离子体通过溅射薄膜沉积处理形成金属膜时,适当地控制偏压电功率、直流电功率、等离子电功率等的值,从而同时通过金属离子的吸引进行薄膜沉积和通过等离子气体(Ar 离子)进行溅射蚀刻,并从而设定可以刮削半导体晶片形成的凹部中的最底层的底部的状态,从而刮削凹部中的最底层的底部以形成刮削凹部,并在凹部和刮削凹部的表面上沉积金属膜。具体而言,设定此步骤中偏压电功率的值,以使得在晶片的朝向金属靶 78 的表面上,即图 1 中所示的晶片的上表面上,通过金属离子的吸引进行的薄膜沉积的速率和通过等离子气体(Ar+)进行的溅射蚀刻的蚀刻速率基本彼此相等。

[0068] 下面更详细描述这一点。

[0069] 首先,在不考虑薄膜沉积量的情况下,研究通过等离子气体进行溅射蚀刻的蚀刻速率的特性。被溅射的表面的角度与其蚀刻速率之间的关系显示在图 2 中。被溅射的表面的角度是通过被溅射表面的法线和溅射气体(Ar 离子:Ar+)的入射方向(图 1 中的向下方向)确定的角度。例如,在晶片上表面处和在凹部 5 的底部处,角度为“0 度”(参见图 12),并且在凹部的侧壁处,角度为“90 度”。

[0070] 从图 2 中可以清楚地看到,晶片上表面(被溅射表面的角度=0 度)被溅射至一定程度,而凹部的侧壁(被溅射表面的角度=90 度)很少被溅射蚀刻。同时,凹部的开孔的拐角部分(被溅射表面的角度=大约 40 度至大约 80 度)被溅射蚀刻至显著程度。

[0071] 在如图 1 中所示由 ICP 型溅射装置构成的薄膜沉积装置中,对晶片 W 施加的偏压电功率与晶片上表面(而非凹部的侧壁)上沉积的薄膜沉积量之间的关系显示在图 3 中。也就是说,使用某一等离子电功率和某一直流电功率(被施加到金属靶 78 上的),当偏压电功率不是很大时,可以通过在此后吸引金属离子和中性金属原子来获得大的薄膜沉积量,但当偏压电功率增加时,晶片表面趋于被作为等离子气体的氩离子溅射得越来越多,偏压电功率使该等离子气体加速(参见图 2),由此先前沉积的金属膜被蚀刻。自然地,随着偏压电功率的增加,这种蚀刻作用变强。由此,当通过在其后吸引金属离子和中性金属原子而产生的薄膜沉积的速率和通过等离子气体的离子进行溅射蚀刻的蚀刻速率彼此相等时,薄膜沉积和蚀刻相抵,由此在晶片上表面上的薄膜沉积量为“零”。在图 3 中,这种状况的条件对应于位置 X1(偏压电功率:350W)。图 3 中用实线表示的偏压电功率和薄膜沉积量应该仅被视为实例。通过控制等离子电功率和直流电功率,可以如图 3 中的两个点划虚线所示地改变特性曲线。

[0072] 在这种类型的溅射装置中,一般操作条件的值通常包括在区域 A1 中。也就是说,在该区域中,可以在偏压电功率不是很大的情况下提高薄膜沉积量(薄膜沉积速率)。换言之

之,在该区域中,当薄膜沉积量与在偏压电功率为零(没有被惰性气体的等离子体蚀刻)的情况下基本相同时,吸引的金属离子量最大,即吸引最大量的金属粒子。由此,在此区域中,甚至可以在一定程度上在凹部的底部上沉积薄膜。

[0073] 另一方面,在根据本发明形成金属膜的步骤中,所选值在通过被吸引的金属离子以及中性金属原子进行的薄膜沉积和通过等离子气体进行的溅射蚀刻同时发生的区域中。更特别地,所选值在区域 A2 中,在该区域中,在晶片上表面上,通过被吸引的金属离子以及中性金属原子产生的薄膜沉积速率和通过等离子气体产生的溅射蚀刻速率基本彼此相等。在此,“基本相等”不仅包括晶片上表面上的薄膜沉积量为“零”的情况,还包括沉积的薄膜厚度与在区域 A1 的条件下沉积的薄膜厚度相比小至 3/10 的情况。

[0074] 在理解上述现象的基础上,下面更详细地描述本方法。

[0075] 首先,将晶片 W 经由处理容器 34 的门阀 58 装入能够被抽空的处理容器 34 中,同时载置台 44 静止于被降下的位置。使晶片 W 支撑在支承销 54 上。然后,使载置台 44 从这种状态开始上升,从而将晶片 W 搬运到载置台 44 的上表面。通过静电卡盘 46 将晶片 W 吸在载置台 44 的上表面上。

[0076] 在晶片 W 被置于载置台 44 上并被固定地吸在其上时,开始薄膜沉积处理。在装入载晶片 W 之前,已经在先前的步骤中在晶片 W 上表面上形成了凹部 5(参见图 4A),这与参照图 12B 描述的处理类似。也就是说,在由 Cu 制成的下层布线层 2 上形成绝缘层 4,并在绝缘层 4 中形成凹部 5。凹部 5 具有用于形成上层布线层的具有预定宽度的布线槽,即沟槽 6。在沟槽 6 的底部的一部分中,形成连通孔 8,连通孔 8 穿透绝缘层 4 到达下层布线层 2。由此,凹部 5 整体上具有两层阶梯的形状。连通孔 8 起到透孔和通孔的作用。

[0077] 在处理容器 34 内部被抽空至预定气压后,对等离子体发生源 70 的感应线圈部分 72 施加等离子电功率,并从偏压电源 62 对载置台 44 的静电卡盘 46 施加预定偏压电功率。此外,从可变直流电源 80 对金属靶 78 施加预定直流电功率。然后,薄膜沉积处理开始。在此实施例中,使用钽作为金属靶 78。

[0078] 具体而言,如图 4B 中所示,首先进行形成基底膜 10A 的基底膜形成步骤。为了形成 TaN 薄膜,从气体入口 84 向处理容器 34 供应等离子气体,例如 Ar 气体、N₂ 气体,作为氮化气体。由此,如图 4B 中所示,不仅在晶片 W 的上表面上,还在凹部 5 的侧壁和底表面上基本均匀地形成 TaN 薄膜作为基底膜 10A。在此步骤中偏压电功率的值在图 3 中所示的区域 A1 内,这与传统的普通薄膜沉积条件相同。具体而言,偏压电功率为大约 100W(瓦特)。

[0079] 在如上所述完成基底膜 10A 的形成后,进行金属膜形成步骤以形成 Ta 薄膜作为金属膜,该步骤是本发明的特征。也就是说,在金属膜形成步骤中,提高偏压电功率以使用图 3 中所示的区域 A2 中的条件。此实施例中的金属膜形成步骤包括:第一薄膜沉积步骤,在该步骤中设定条件以使在除凹部 5 以外的晶片 W 表面上通过金属粒子沉积的薄膜量与通过惰性气体的等离子体蚀刻的量基本彼此相等;和第二薄膜沉积步骤,在该步骤中设定条件以使在除凹部 5 以外的晶片 W 表面上,通过金属粒子沉积的薄膜量略大于被惰性气体的等离子体蚀刻的量。

[0080] 首先,在第一薄膜沉积步骤中,在图 3 中所示的位置 X1 处设定偏压电功率以使晶片上表面上的薄膜沉积量为“零”。具体而言,此步骤中的偏压电功率为 350W。此时,停止从气体入口 84 供应 N₂ 气体,并仅供应 Ar 气体。由此,如图 4C 中所示,刮削凹部 5 中的最

底层的底部（相当于连通孔 8），即，刮削由 Cu 制成的布线层 2 的上表面，从而在其中形成刮削凹部 12。同时，在其它表面，即晶片 W 的上表面和晶片 W 的中心的阶段状的表面上几乎不形成薄膜。

[0081] 其原因如下。也就是说，如上所述通过将偏压电功率值设定在区域 A2 内，更特别地设置在图 3 中所示的位置 X1 处，在晶片 W 的上表面上，通过被吸引的金属离子以及中性金属原子进行的薄膜沉积的速率和通过等离子气体 (Ar⁺) 进行的溅射蚀刻的蚀刻速率变得彼此基本相等。由此，金属膜的薄膜沉积量几乎变为零。相反，由于在凹部 5 的连通孔 8 的底部上，蚀刻速率大于薄膜沉积速率，所以连通孔 8 的底部被刮削。如下参照晶片单位面积在原子水平上描述这些情况。

[0082] < 晶片上表面 >

[0083] $\Sigma Ta + \Sigma Ta^+ = \Sigma Ar^+$

[0084] < 连通孔 8 的底部 >

[0085] $\Sigma Ta^+ < \Sigma Ar^+$

[0086] 在此，Ta 是指中性金属原子，Ta⁺ 是指金属离子。Ta 原子和 Ta⁺ 离子对金属膜的沉积都有贡献。另一方面，Ar⁺ 是指对蚀刻有贡献的 Ar 离子。Ta 原子和 Ta⁺ 离子均充分到达晶片上表面，并且 Ar⁺ 离子也充分到达此处。结果，薄膜沉积量变成“零”（抵消）。

[0087] 另一方面，由于连通孔 8 的直径相当小，分别具有高方向性的 Ta⁺ 离子和 Ar⁺ 离子可以到达连通孔 8 的底部，但是方向性差的作为中性金属原子的 Ta 原子难以到达此处。结果，连通孔 8 的底部被刮削的量与不能到达此处的 Ta 原子的量相等，另外，不能到达此处的 Ta 原子对薄膜沉积会有贡献。可以通过改变第一薄膜沉积步骤的处理持续时间，来控制连通孔 8 的底部的刮削量。为了简化描述，假设一个 Ta 或一个 Ta⁺ 通过一个 Ar⁺ 的碰撞而从沉积膜上飞出（被蚀刻）。

[0088] 在第一薄膜沉积步骤完成后，继续进行第二薄膜沉积步骤。在第二薄膜沉积步骤中，在区域 A2 中与位置 X1 不同的位置，例如在位置 A3，设定偏压电功率，从而以远远小于偏压电功率值被设定在区域 A1 中时的薄膜沉积速率的薄膜沉积速率来形成微小厚度的金属膜。由此，如图 4D 中所示，Ta 膜 10B 作为金属膜被沉积在除连通孔 8 以外的底部的整个晶片表面上，即，凹部 5 内的表面（包括连通孔 8 的侧表面）。在这种情况下，在连通孔 8 的底部上，蚀刻速率也大于薄膜沉积速率，其原因如上所述，没有 Ta 膜附着到其上，且连通孔 8 的底部进一步被刮削。由此，刮削凹部 12 的凹陷形状被进一步扩大。也就是说，在晶片上表面上，“ $\Sigma Ta + \Sigma Ta^+ = \Sigma Ar^+$ ”，而在连通孔 8 的底部，“ $\Sigma Ta^+ < \Sigma Ar^+$ ”。底部上的蚀刻速率小于第一薄膜沉积步骤的蚀刻速率，因为对薄膜沉积有贡献的金属粒子的量被设定为大于溅射离子的量，从而在晶片上表面上略微沉积薄膜。

[0089] 如上所述，关于形成刮削凹部的步骤，在晶片表面上的薄膜沉积量和溅射蚀刻量在第一薄膜沉积步骤中彼此相等。由此，即使在图 4C 中所示的处理完成之后，图 4B 中所示的基底膜 10A 的厚度保持不变。因此，无论刮削凹部的孔的深度如何，图 4B 中所示的基底膜 10A 的厚度为，在晶片表面上例如 3.5 纳米，和在连通孔 8 的底部上例如 1.0 纳米。这些值是优选值以提供极薄的薄膜，即，优选的是不超过 10 纳米，更优选的是不超过 5 纳米。

[0090] 相反，在形成刮削凹部的传统步骤中，图 13A 中所示的阻挡层 110 的厚度取决于刮削凹部的孔的深度。当刮削凹部的深度为大约 50 纳米时，阻挡层 110 必须在晶片表面上具

有大约 60 纳米的厚度。这是因为,在图 13B 中所示的 Ar 蚀刻处理中,晶片表面是同时被蚀刻的。当在晶片表面上形成厚度 60 纳米的阻挡层时,不可避免地在连通孔底部上形成厚度大约 10 纳米至 20 纳米的阻挡层。在这种情况下,在蚀刻步骤中(参见图 13B),最初不形成刮削凹部,而是仅蚀刻阻挡层。如下所述,当形成刮削凹部时,这引起由铜制成的下层布线层 2 的蚀刻速率的降低。

[0091] 在此实施例中,设定处理条件以使整个第一薄膜沉积步骤和第二薄膜沉积步骤中晶片表面上的薄膜沉积量基本为零。由此,不可能在凹部的侧表面上产生沉积突起物 18,已经参照图 13B 描述了这种状况。此外,由于可以在连通孔底部上获得非常薄的基底膜,所以此实施例中的刮削凹部 12 的深度可以在晶片平面内达到基本均一,无论每一凹部的宽度 L2 如何。

[0092] 如上所述,通过形成由 Ta 薄膜制成的金属膜 10B,形成阻挡层 10,在阻挡层 10 中堆叠有 TaN 薄膜和 Ta 薄膜。然后,将晶片 W 装入薄膜沉积装置中,该薄膜沉积装置除了其金属靶不是由钽制成而是由铜制成的以外,具有与图 1 所示的薄膜沉积装置相同的结构。在此装置中,等离子电功率的值被设定在图 3 中所示的区域 A1 中。然后,在与传统条件相同的条件下,如图 4E 中所示,不仅在晶片上表面上还在凹部 5 的侧壁和底部上形成由铜制成的薄晶种膜 14。

[0093] 带有铜金属靶的薄膜沉积装置优选地经由能够被抽空的转移室连接到设置有钽金属靶的薄膜沉积装置。在这种情况下,半导体晶片 W 可以在真空环境中在薄膜沉积装置之间转移,而不会暴露于大气中。

[0094] 在已经形成晶种膜 14 后,将晶片 W 从薄膜沉积装置中取出,然后施以通常的电镀处理。由此,如图 4F 中所示,凹部 5 完全被布线层 16 的铜材料填满,

[0095] 随后,如图 4G 中所示,通过研磨去除晶片上表面上的不必要部分。由此,上层布线层 16 的形成完成。

[0096] 如上所述,在此实施例中,通过适当选择诸如阻挡膜等的金属膜被沉积时的处理条件,可以在被处理的物体(晶片 W)的整个表面上(包括凹部 5 内的表面)形成金属膜,同时仅选择性地刮削凹部 5 的最底层的底部。特别地,无论凹部 5 的宽度如何,底部都可以被刮削至相同深度,由此可以始终形成具有相同深度的刮削凹部。

[0097] 对金属膜形成步骤(第一和第二薄膜沉积步骤)设定的条件,即,能够实现图 3 中所示的区域 A2 中的状况的设定条件,如下。

[0098] 等离子电功率:500 ~ 6000W

[0099] 直流电功率:100 ~ 12000W

[0100] 偏压电功率:100 ~ 2000W

[0101] 实际上,如上所述,通过适当设定这三个条件,实现区域 A2 中的设定条件(操作点)。当条件被设定在 A2 以外的区域中时,不可能充分形成刮削凹部 12,因此不能形成所谓的贯通结构。

[0102] 其它处理条件如下。也就是说,Ar 气体的流速为大约 50sccm 至大约 1000sccm,处理压力为大约 0.001Torr(0.1Pa) 至大约 0.1Torr(13.3Pa)。

[0103] 至于形成基底膜的步骤,已经描述了形成 TaN 薄膜作为基底膜 10A。但是,代替它的是,可以形成 Ta 薄膜作为基底膜 10A。在这种情况下,由于在充当基底膜 10A 的 Ta 薄膜

上形成 Ta 薄膜 10B, 阻挡层 10 具有两层结构, 其中在不同薄膜沉积条件下沉积的两层 Ta 薄膜堆叠在一起。

[0104] 在上述实施例中, 在图 4C 中所示的步骤中, 尽管操作点被设定在图 3 所示的位置 X1, 以形成刮削凹部 12 而不沉积 Ta 薄膜, 但本发明不限于此。例如, 第二实施例也是可行的, 在第二实施例中, 省略图 4A 至 4G 的流程图中图 4C 中所示的步骤, 由此图 4B 中所示的步骤直接前进到图 4D 中所示的步骤, 以形成刮削凹部 12 并同时沉积 Ta 薄膜 10B。也就是说, 在第二实施例中, 图 4D 中所示的第二薄膜沉积步骤在图 4B 中所示的步骤完成后立即进行, 而不进行图 4C 中所示的第一薄膜沉积步骤。

[0105] 图 5A 至 5F 显示了用于解释根据本发明的第二实施例的方法的流程图。在图 5A 至 5F 中, 与图 4A 至 4G 中所示相同的元件用相同的附图标记表示。图 5A 和 5B 分别对应于图 4A 和 4B。图 5C 至 5F 分别对应于图 4D 至 4G。在此实施例中, 图 5B 中所示的 TaN 薄膜沉积步骤直接前进到图 5C 中所示的第二薄膜沉积步骤, 而不进行第一薄膜沉积步骤。在此情况下, 由于不执行第一薄膜沉积步骤, 刮削凹部 12 的深度降低。但是, 由于省略了第一薄膜沉积步骤, 处理持续时间可以被缩短。

[0106] 对根据本发明的方法和传统方法形成的刮削凹部进行评价。下面描述评价结果。

[0107] 图 6A 是显示通过传统方法形成的刮削凹部的电子显微图, 图 6B 是显示通过本发明方法形成的刮削凹部的电子显微图。为了便于理解, 分别在电子显微图上添加了示意图。在此, 不评价两层阶梯的凹部而是评价单层阶梯的凹部。

[0108] 在如图 6A 中所示的传统方法的情况下, 在凹部 5 的上方开孔中形成了不合需要的沉积突起物 18。另一方面, 在如图 6B 中所示的本发明的方法的情况下, 经证实, 在凹部 5 的上方开孔中没有形成沉积突起物 18, 并且可以形成处于良好状态的刮削凹部 12。

[0109] 接下来, 对在凹部 5 的底部形成的刮削凹部 12 的纵横比的依赖性进行评价。下面描述评价结果。

[0110] 图 7 是显示凹部 (包括连通孔) 的纵横比和凹部底部上的铜蚀刻速率之间的关系图。在该试验中, 不评价两层阶梯状的凹部而是评价单层阶梯状的凹部。在图 7 中, 符号 A 显示了根据传统方法的关系图, 符号 B 显示了根据本发明方法的关系图。

[0111] 具体而言, 在根据传统方法的试验中, 在具有各种纵横比的多个凹部的晶片表面上, 阻挡层被等离子溅射大约 60 纳米, 然后进行 Ar 蚀刻预定的持续时间。测量由此形成的刮削凹部的深度, 以获得铜蚀刻速率。同时, 在根据本发明的方法的试验中, 在具有各种纵横比的多个凹部的晶片表面上, 基底膜被等离子溅射大约 4 纳米, 且第一薄膜沉积步骤 (参见图 4C)——该步骤是本发明的特征——进行的持续时间与传统方法相同。测量由此形成的刮削凹部的深度, 以获得铜蚀刻速率。

[0112] 如图 7 中清楚地显示的, 在特性 A 和 B 中, 当纵横比小时, 与较大的纵横比相比, 在凹部底部上沉积较大量的薄膜。这样, 铜蚀刻速率降低。在符号 A 所示的传统方法的情况下, 可以理解的是, 铜蚀刻速率随着纵横比的升高而改变。换言之, 刮削凹部 12 的深度随着纵横比的变化而改变, 这并不是优选的。另一方面, 在特性 B 所示的本发明的情况下, 可以理解, 尽管在纵横比不大于 2 时铜蚀刻速率的变化很大, 但当纵横比不小于 2 时, 铜蚀刻速率基本恒定。

[0113] 普通凹部 5 具有不小于 2 的纵横比。因此, 根据本发明, 经证实, 可以获得优选结

果,因为无论纵横比如何,都可以使刮削凹部 12 的深度基本均一。由于刮削凹部 12 的深度不受凹部 5 的阴影的影响,所以无论每个凹部的宽度如何,都可以可靠地形成具有相同深度的刮削凹部。

[0114] 在上述实施例中,尽管在图 4D 中所示的步骤中形成 Ta 薄膜 10B,随后在图 4E 中所示的步骤中形成晶种膜 14,但本发明不限于此。例如,可以在上述步骤之间插入通过诸如 Ar 气体的惰性气体进行的蚀刻步骤,由此改进刮削凹部 12 的截面形状。图 8 显示了改进的横截面积的一个实例。图 8 是刮削凹部 12 的放大截面图。在图 8 所示的该实例中,在图 4D 中所示的形成 Ta 薄膜 10B 的步骤后,进行使用 Ar 气体的等离子蚀刻步骤,以进一步扩大刮削凹部 12 的底部,以使刮削凹部 12 具有倒置梯形的截面形状。由此,凹部 12 和其中填充的材料之间的接触面积和粘合程度得到了改进,由此降低了它们之间的接触电阻。在这种情况下,必须仅刮削作为布线层 2 的 Cu 材料,而不刮削 Ta 薄膜 10B。这种操作可以通过调节偏压电功率来实现。

[0115] 图 9 是显示 Ta 薄膜和 Cu 材料的蚀刻速率对偏压电功率的依赖性的一个实例的图。从图 9 中可以看到,当偏压电功率变得不小于 40 瓦特时,Cu 材料的蚀刻开始,并且当偏压电功率变得不小于 100 瓦特时,Ta 薄膜的蚀刻开始。由此,在如图 9 中所示的情况下,可以证实,通过将偏压电功率值设定在区域 Y 内,仅选择性地蚀刻 Cu 材料,而不刮削 Ta 薄膜,其中在区域 Y 中,偏压电功率的范围是从 40 瓦特至 100 瓦特。图 9 中所示的特性直线可以根据等离子电功率的值等在左右方向移动,区域 Y 可以据此在左右方向移动。

[0116] 可以采用以下方式作为第三实施例。也就是说,尽管在第一实施例中,图 4C 中所示的第一薄膜沉积步骤和图 4D 中所示的第二薄膜沉积步骤依序进行,在第三实施例中,在图 4C 中所示的第一薄膜沉积步骤后立即进行图 4E 中所示的步骤,而不进行图 4D 中所示的第二薄膜沉积步骤。

[0117] 图 10A 至 10F 显示了用于解释本发明的第三实施例中的方法的流程图。在图 10A 至 10F 中,与图 4A 至 4G 中所示相同的元件用相同的附图标记表示。图 10A 至 10C 分别对应于图 4A 至 4C。图 10D 至 10F 分别对应于图 4E 至 4G。

[0118] 在此实施例中,由于图 10C 中所示的第一薄膜沉积步骤后直接前进到图 10D 中所示的形成晶种膜 14 的步骤,所以阻挡层 10 看上去是由单层结构构成的,其包括由 TaN 薄膜构成的基底膜 10A。但是,在图 10C 中所示的步骤中,实际上在沟槽 6 的侧壁上和 / 或在连通孔 8 的侧壁上沉积的是非常薄的 Ta 膜(未显示)。这是因为,如图 2 中所示,尽管侧壁几乎不被溅射蚀刻,但 $Ta \cdot Ta^+$ 沉积在侧壁上,尽管其量非常微小。因此,在此实施例中,阻挡层 10 具有两层结构,包括由 TaN 薄膜构成的基底膜 10 和在基底膜 10 上部分地微量地形成的 Ta 薄膜(未显示)。因此,当在随后步骤中在阻挡层 10 上形成由 Cu 制成的晶种膜 14 时,可以保持阻挡层 10 与晶种膜 14 之间的紧密接触(高粘合性)。

[0119] 在此实施例中,由于省略了图 4D 中所示的第二薄膜沉积步骤,可以缩短处理持续时间。

[0120] 在第三实施例中,尽管使用 TaN 薄膜作为基底膜 10A,但本发明不限于此。可替代地,可以使用 Ta 薄膜作为基底膜 10A,其也充当阻挡层 10。在这种情况下,阻挡层 10 具有 Ta 薄膜的单层结构。当在随后步骤中在由 Ta 薄膜构成的阻挡层 10 上形成由 Cu 制成的晶种膜 14 时,可以保持阻挡层 10 与晶种膜 14 之间的紧密接触。

[0121] 另外,可以使用下列方式作为第四实施例。也就是说,在第一实施例中,在图 4D 中所示的第二薄膜沉积步骤中,设定条件以通过将偏压电功率值设定在图 3 中所示的区域 A3 内,使通过金属粒子产生的薄膜沉积量略大于被惰性气体的等离子体蚀刻的量。但是,在第四实施例中,进行辅助薄膜沉积步骤,在该步骤中设定条件,以通过将偏压电功率值设定在区域 A1 内,在基本不被惰性气体的等离子体蚀刻的范围内吸引尽可能多的金属离子。

[0122] 图 11A 至 11G 显示了用于解释本发明的第四实施例中的方法的流程图。

[0123] 应注意,由于区域 A1 中的薄膜沉积速率明显大于另一区域,所以辅助薄膜沉积步骤优选地进行非常短的时间,以尽可能降低要沉积的 Ta 薄膜的膜厚。由于在区域 A1 内的条件下的 Ta 薄膜沉积,不仅在晶片的上表面和凹部的侧表面上,还在刮削凹部 12 的底部上沉积了少量 Ta 薄膜 10B。在这种情况下,设定该步骤的处理持续时间,以使沉积在刮削凹部 12 底部上的薄膜的膜厚 H2 通常为大约 1 纳米,或最大不大于 3 纳米。其原因在于,为了在降低其电阻的同时保持 Ta 薄膜与下层之间的紧密接触,降低电阻大于铜的 Ta 薄膜的厚度。

[0124] 在图 11D 中所示的辅助薄膜沉积步骤中,由于使用图 3 中所示的区域 A1 作为操作点,所以使用的偏压较低,从而抑制离子的吸引。由此,不溅射晶片表面,由此防止晶片被溅射损坏。

[0125] 如上所述,由于刮削凹部 12 的底部上的 Ta 薄膜的膜厚 H2 为大约 1 纳米(最大大约 3 纳米),所以可以限制对该部分上的电阻的反面作用,并几乎不会降低 Ta 薄膜与下方 Cu 层之间的粘合性,以保持它们之间的紧密接触。换言之,由于 Ta 薄膜的厚度 H2 非常薄,可以改进与基底铜布线层 2 的粘合性,同时可以限制该部分的电阻。

[0126] 在各个实施例中,在凹部 5 的一部分中形成连通孔 8。也就是说,已经描述了两层阶梯形状的凹部 5。但是,本发明不限于此。例如,本发明可用于单层阶梯状的凹部,其中凹部 5 本身充当连通孔 8,诸如通孔和透孔。

[0127] 此外,无需特别说明,各个实施例中的上述数值仅作为例子,本发明不限于此。此外,在上述各个实施例中,尽管作为阻挡层/晶种层的分层结构,已经描述了 TaN/Ta/Cu 和 Ta/Ta/Cu 的分层结构,本发明不限于这种类型的分层结构。例如,本发明自然可应用于 TiN/Ti/Cu 分层结构、TaN/Ru/Cu 分层结构、Ti/Cu 分层结构,和 TiN/Ti/Ru、Ti/Ru、TaN/Ru 和 TaN/Ta/Ru 的其它分层结构。

[0128] 射频电源的频率不限于 13.56MHz,诸如 27.0MHz 的其它频率也是可行的。用于等离子体的惰性气体不限于 Ar 气体,也可以是其它惰性气体,诸如,He 和 Ne。

[0129] 此外,已经作为被处理的物体的实例描述了半导体晶片。但是,本发明不限于此,本发明还适用于 LCD 基板、玻璃基板、陶瓷基板等等。

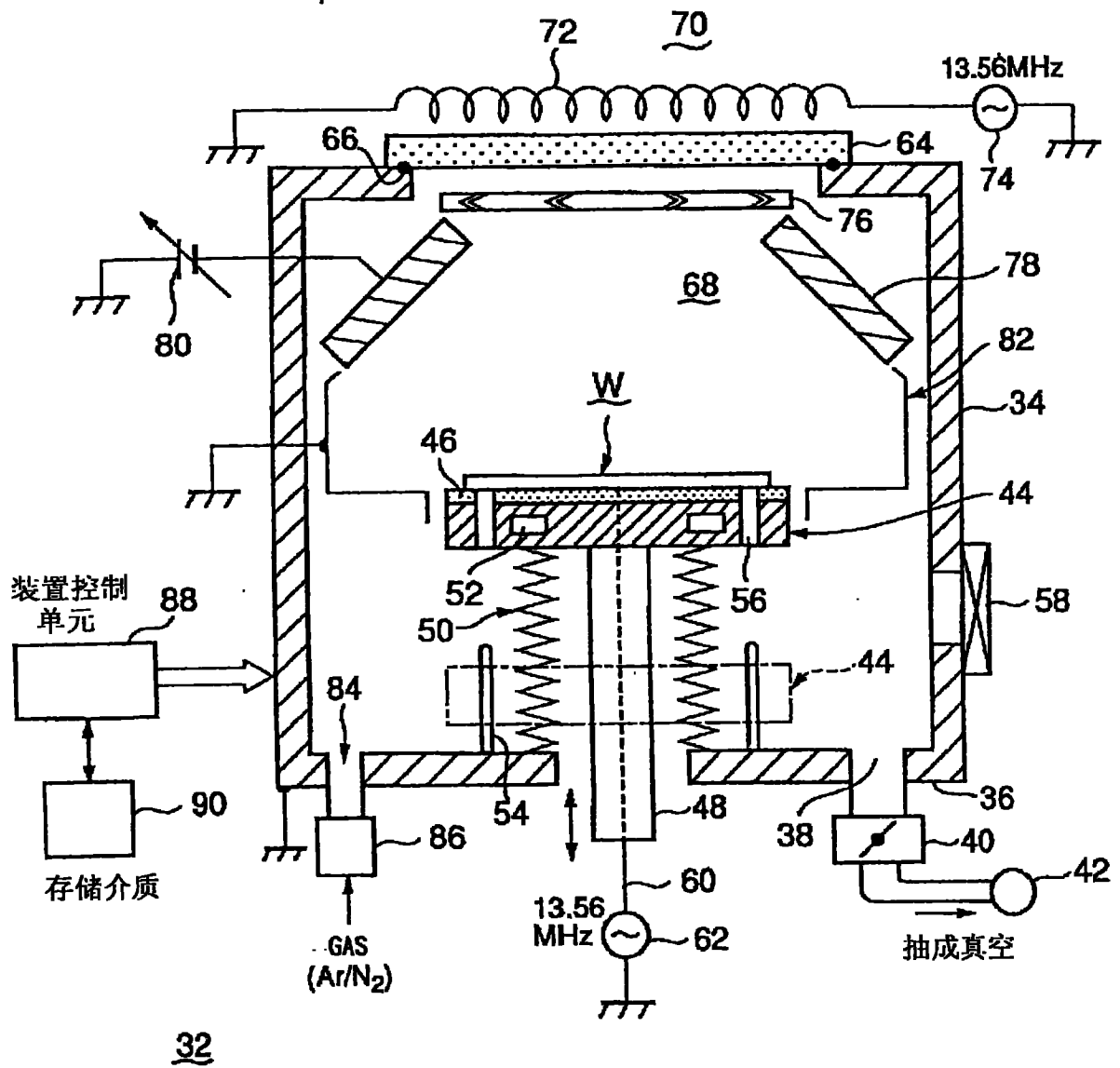


图 1

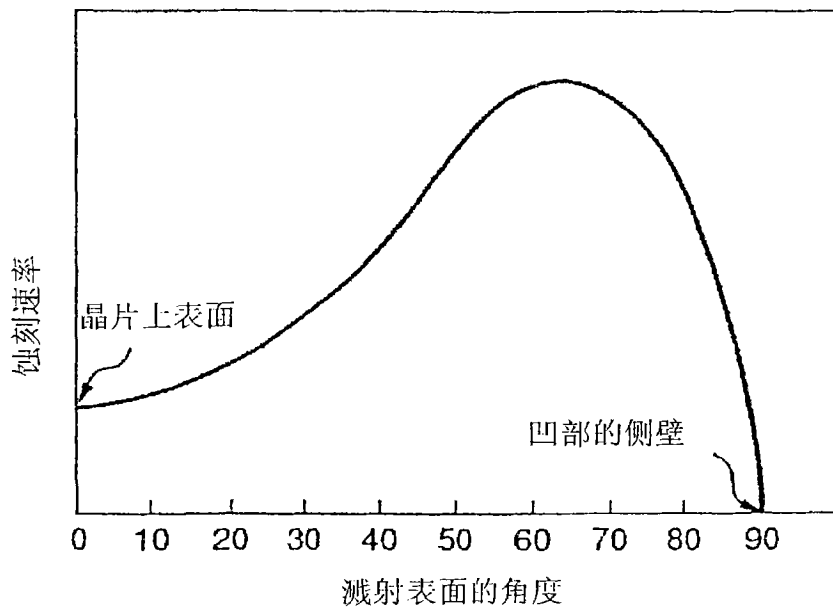


图 2

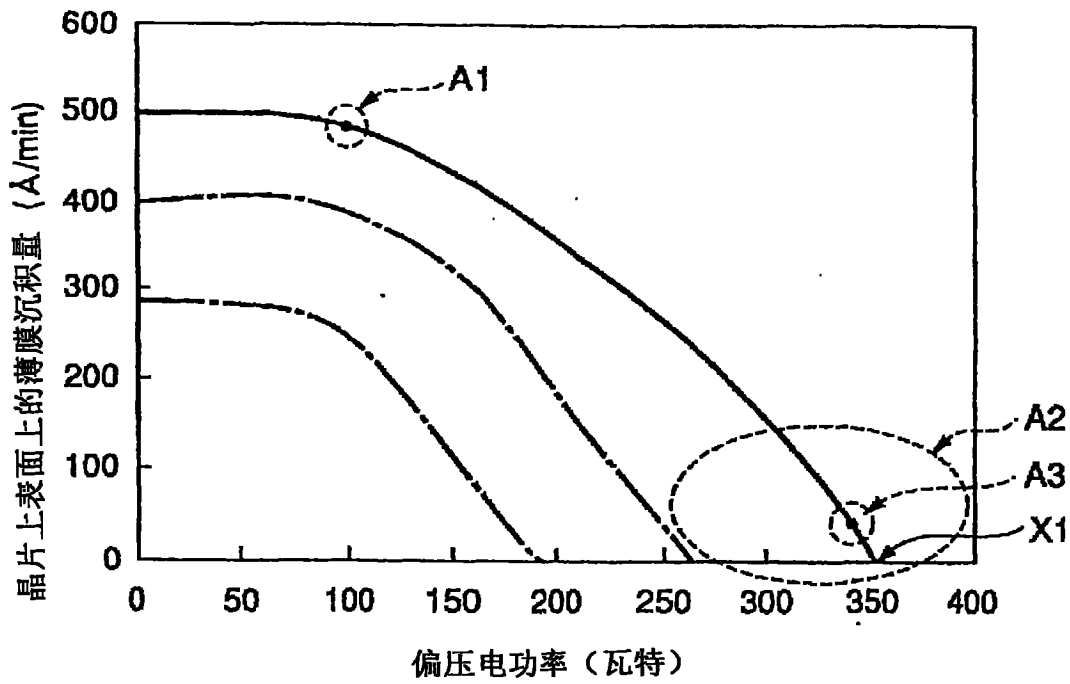


图 3

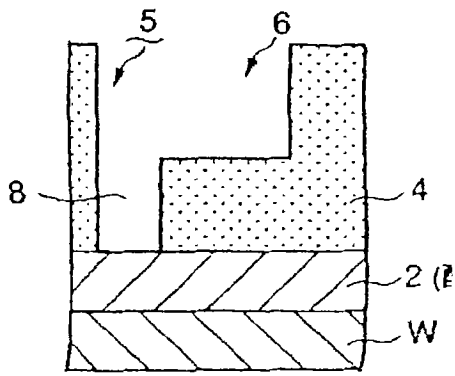


图 4A

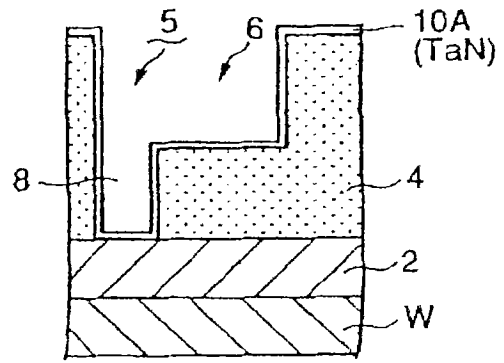


图 4B

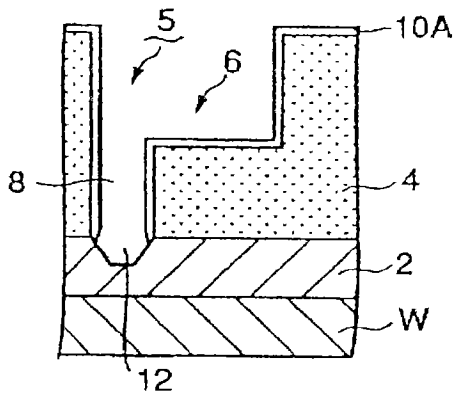


图 4C

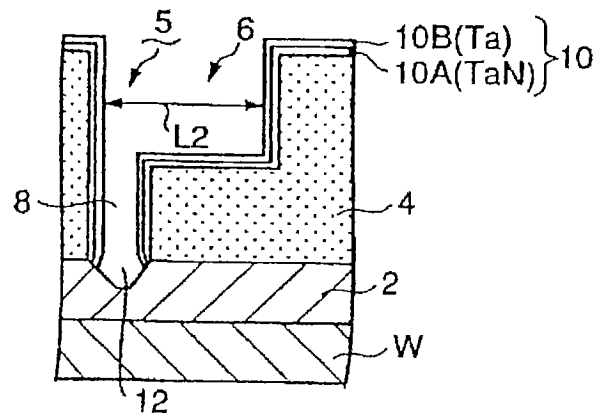


图 4D

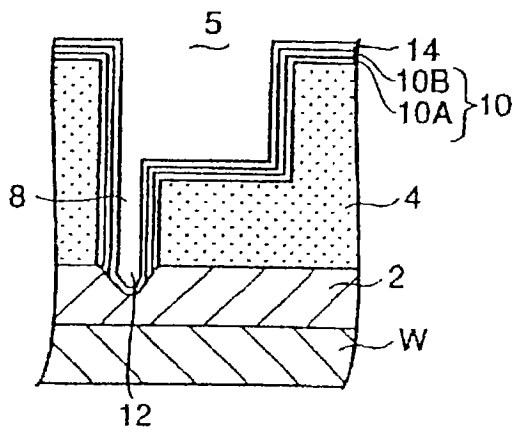


图 4E

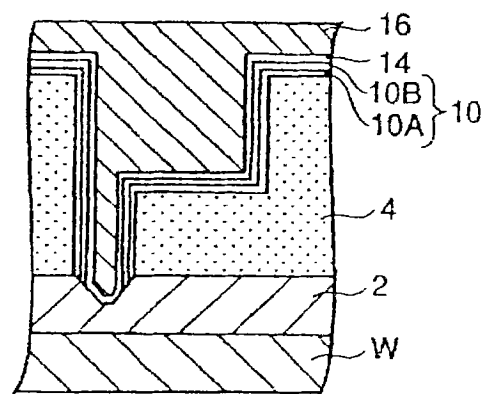


图 4F

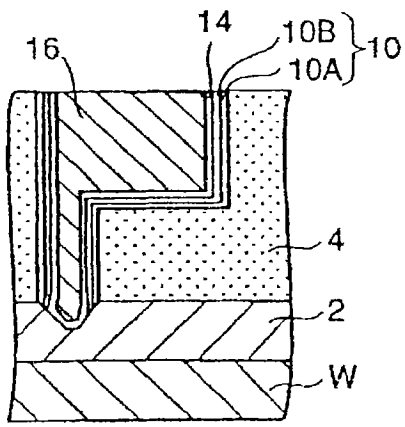


图 4G

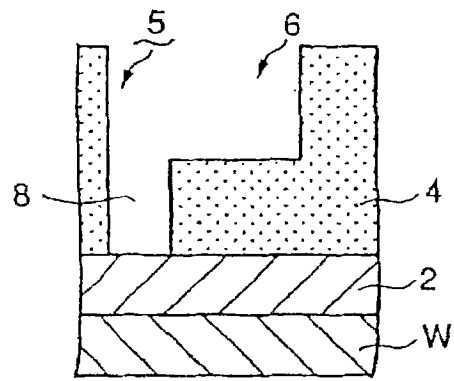


图 5A

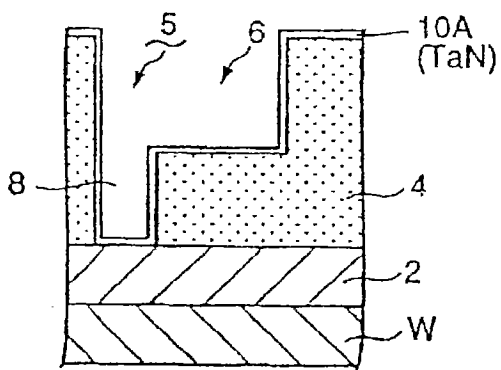


图 5B

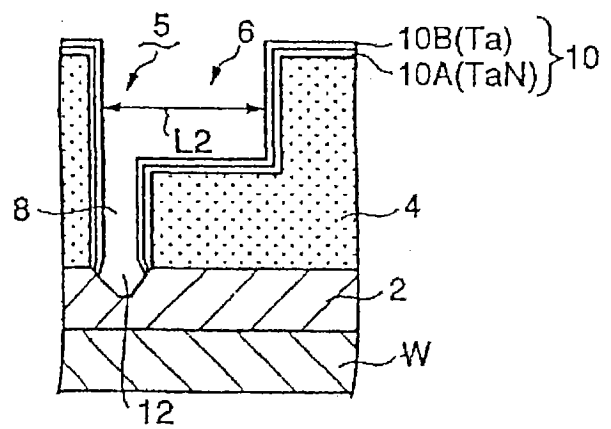


图 5C

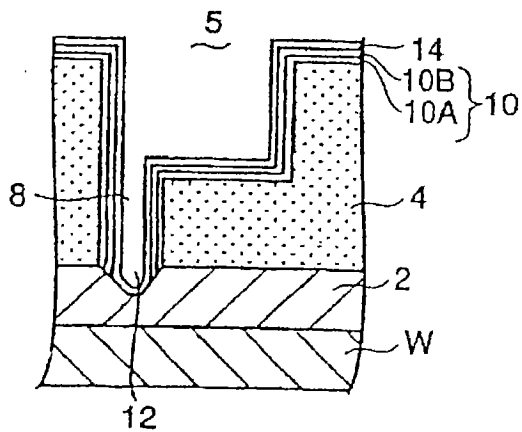


图 5D

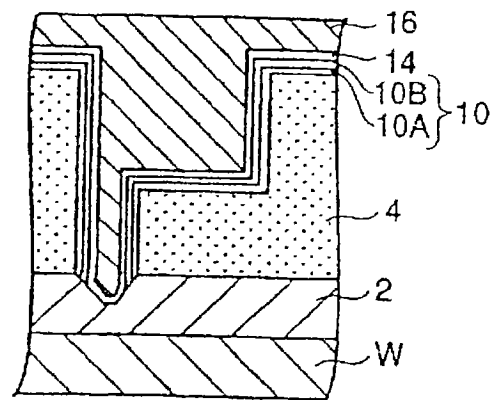


图 5E

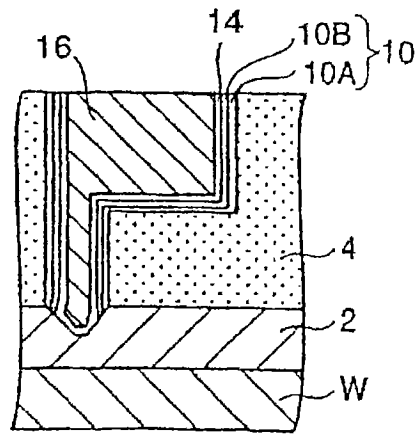


图 5F

< 传统方法 > < 本发明方法 >

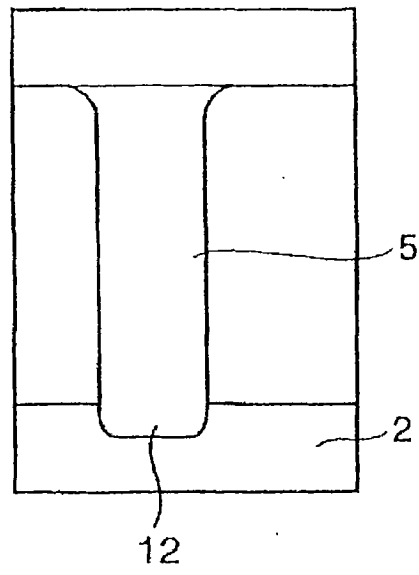
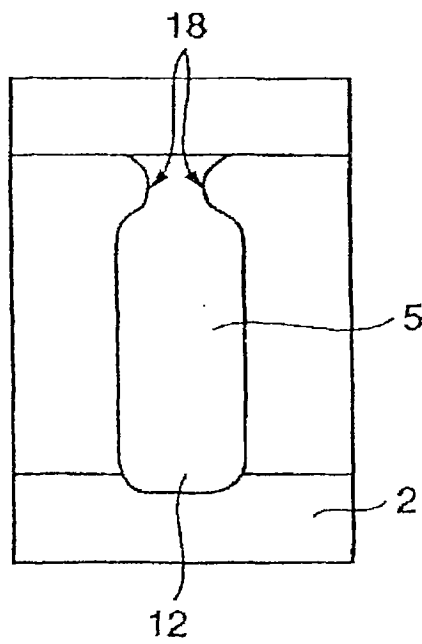
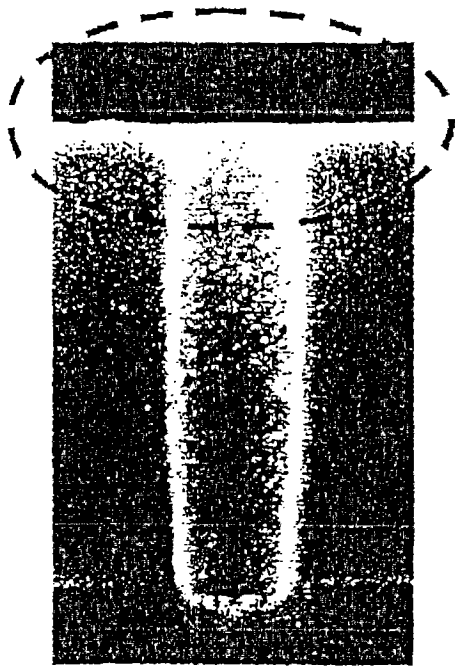


图6A

图6B

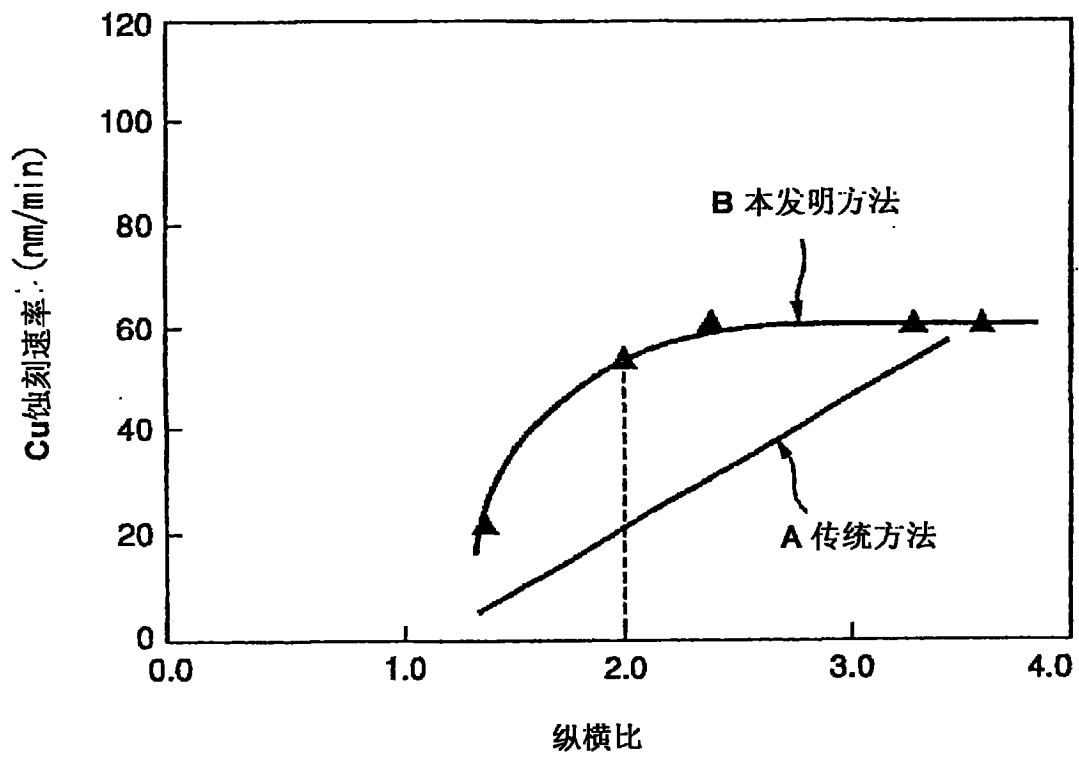


图 7

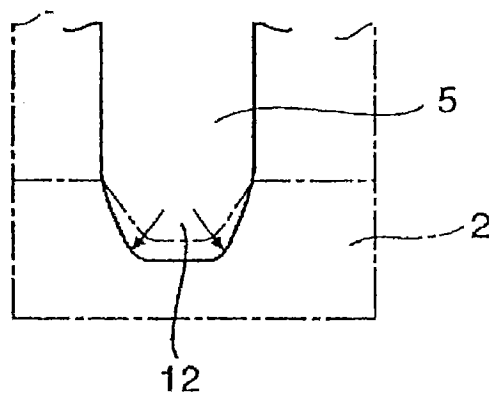


图 8

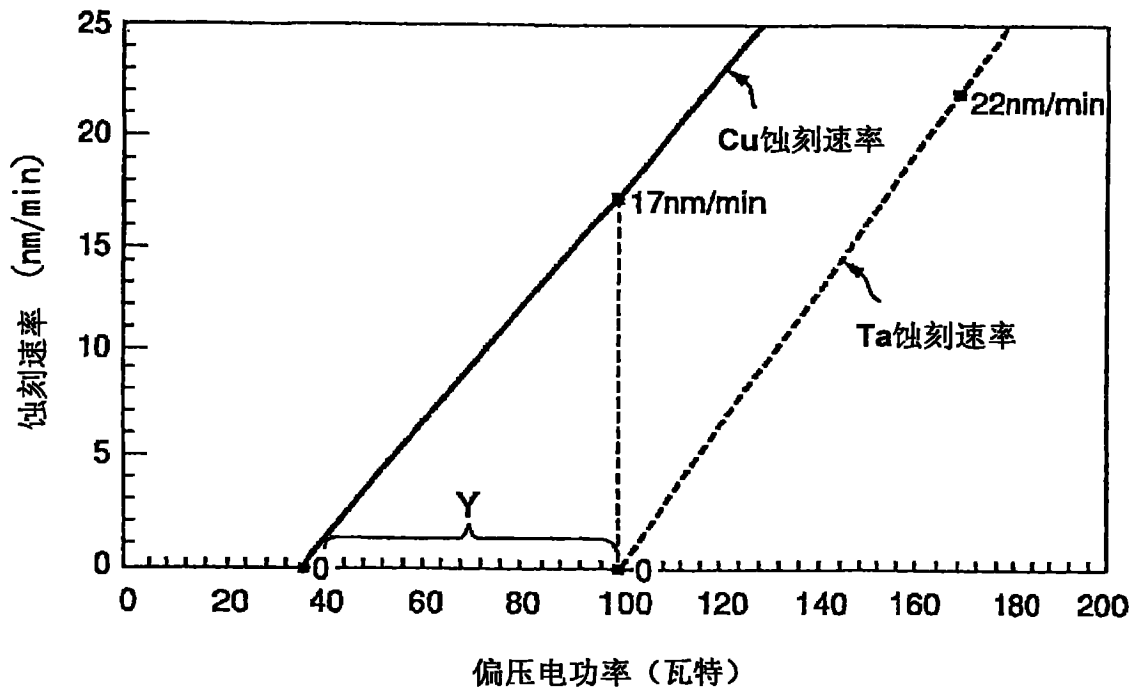


图 9

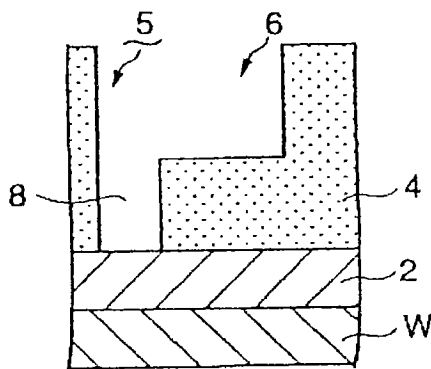


图 10A

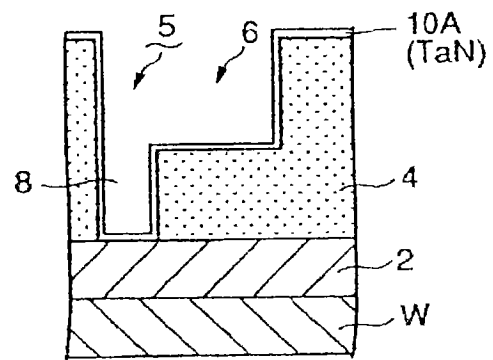


图 10B

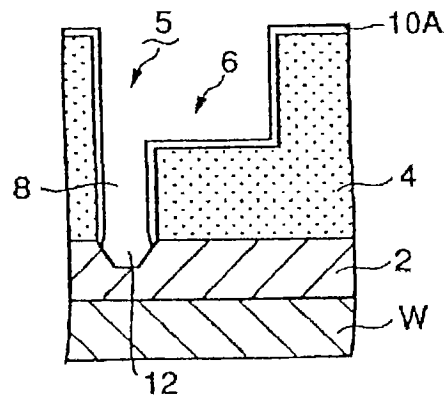


图 10C

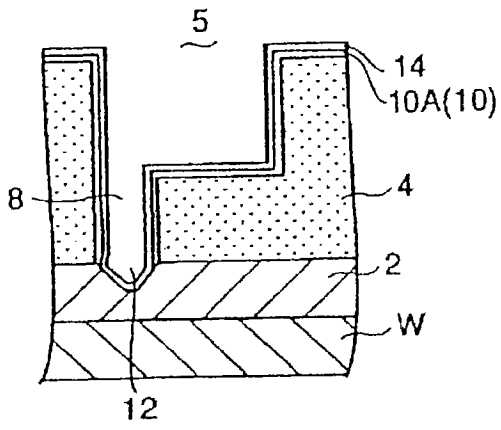


图 10D

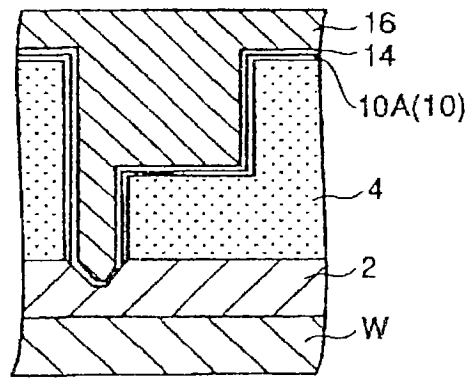


图 10E

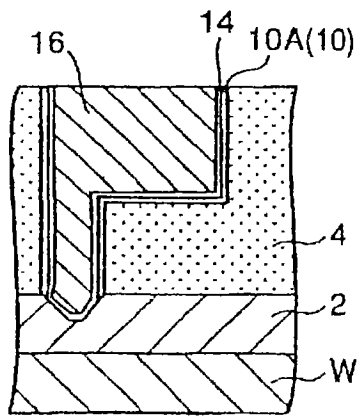


图 10F

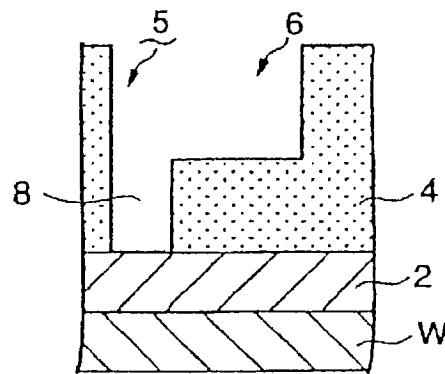


图 11A

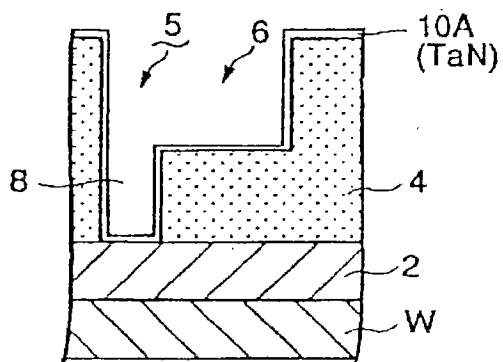


图 11B

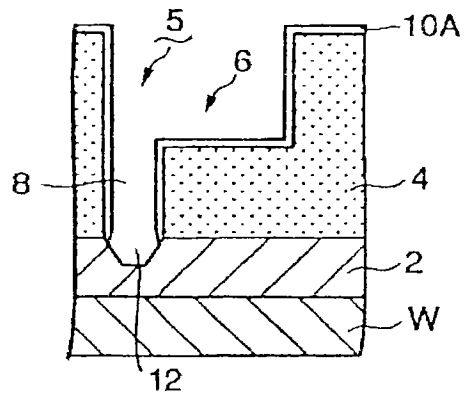


图 11C

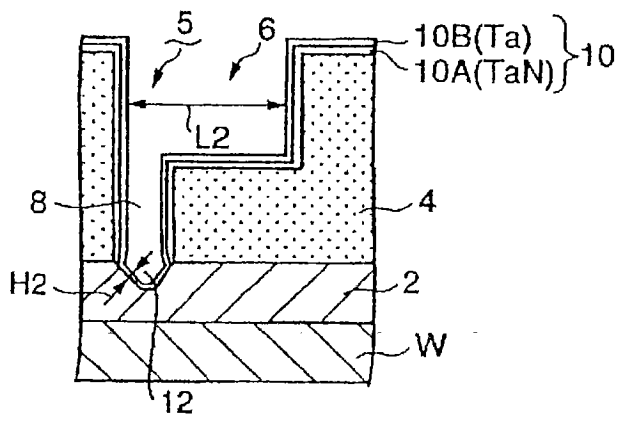


图 11D

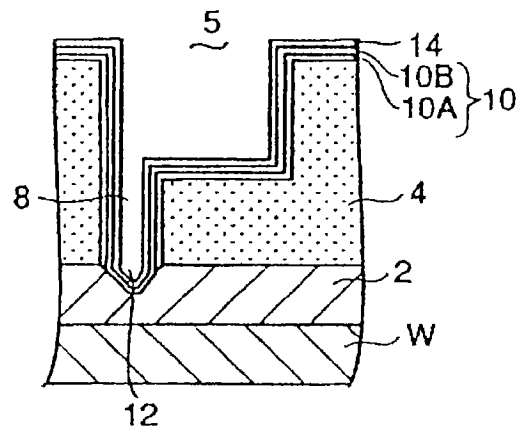


图 11E

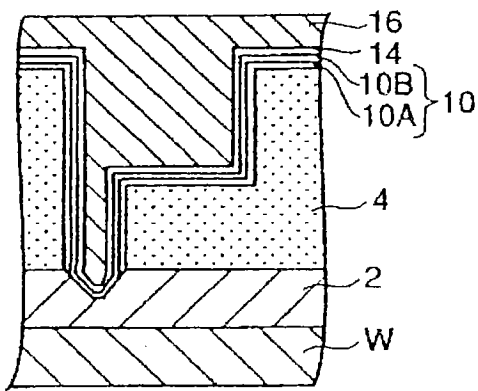


图 11F

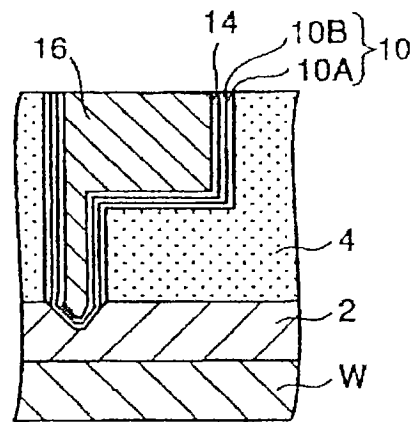


图 11G

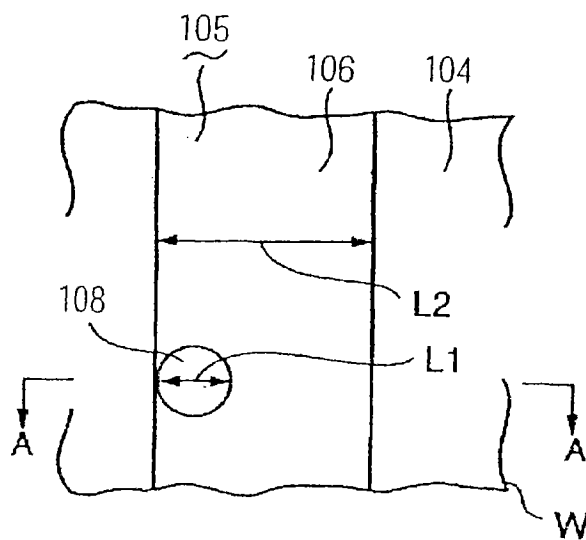


图 12A

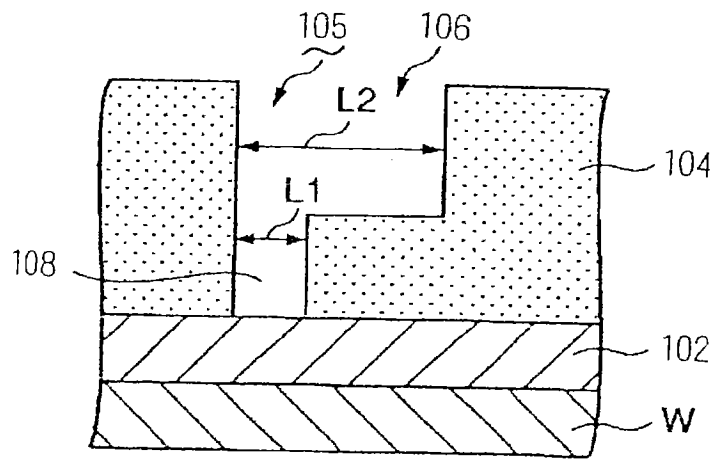


图 12B

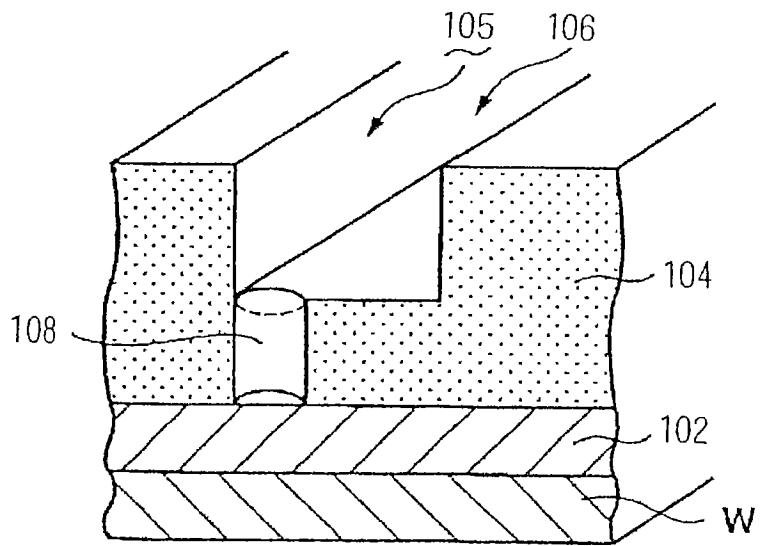


图 12C

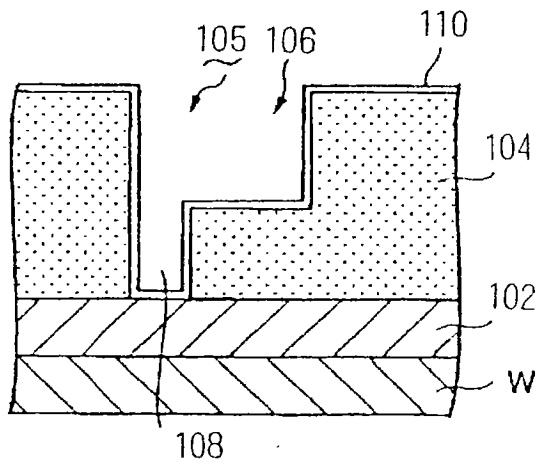


图 13A

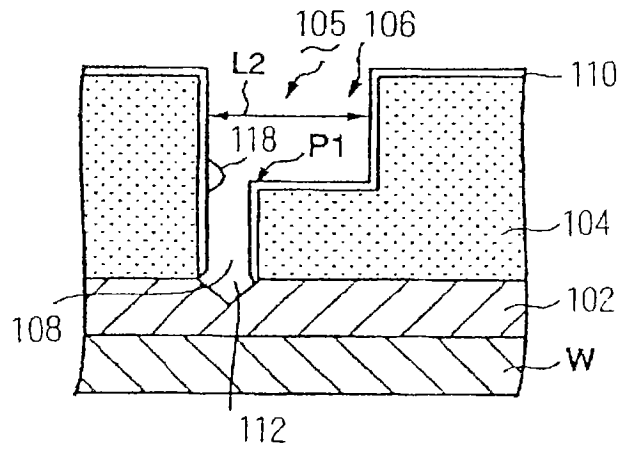


图 13B

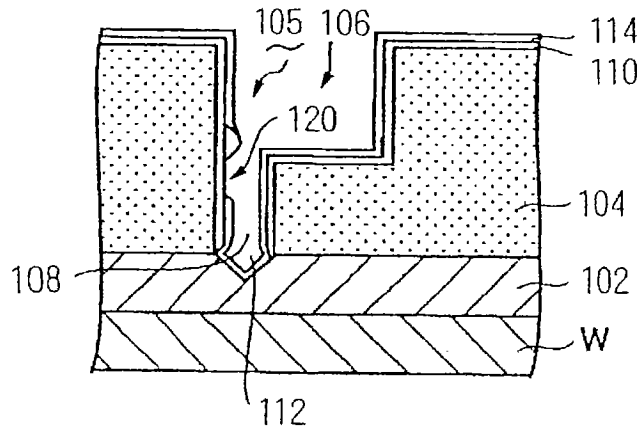


图 13C

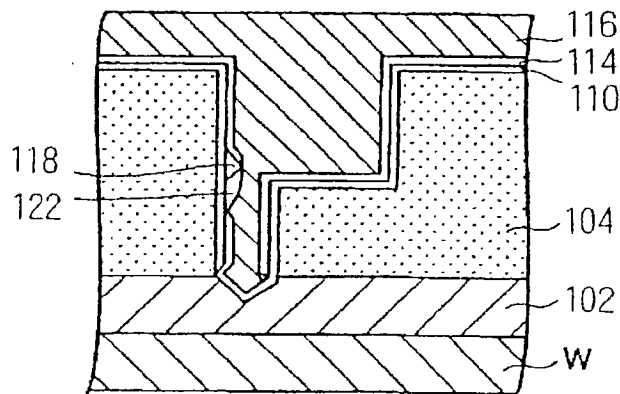


图 13D

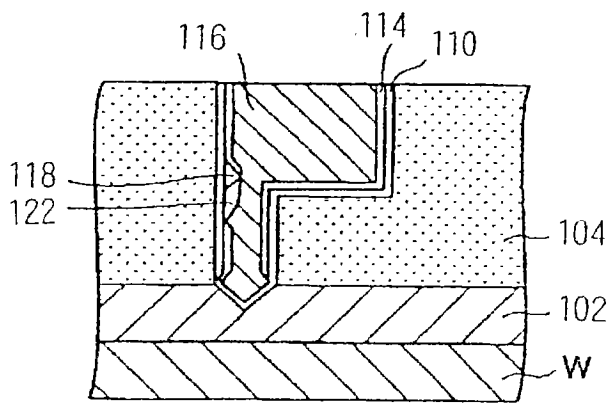


图 13E

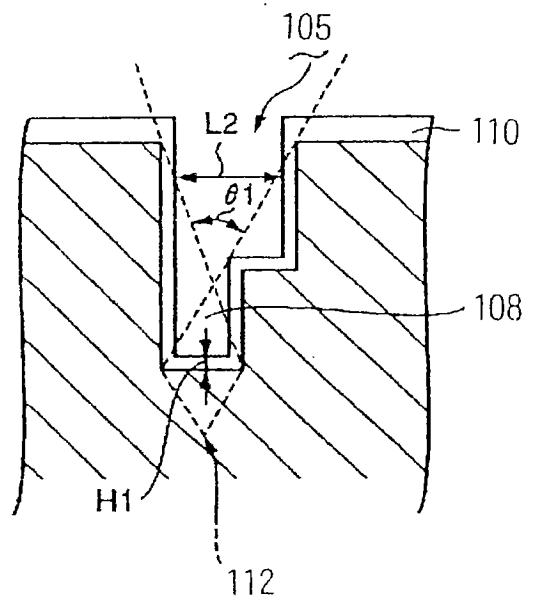


图 14A

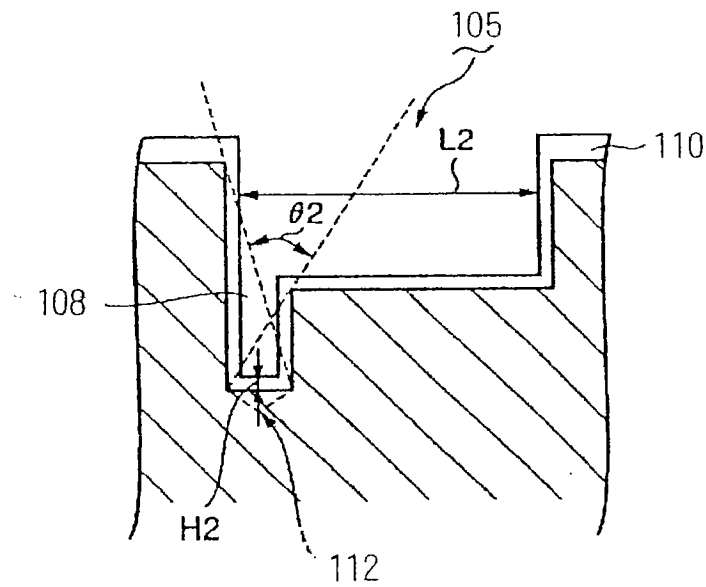


图 14B