(11) Número de Publicação: **PT 1812868 E**

(51) Classificação Internacional:
G06F 13/16 (2011.01)

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: **2005.10.24**

(30) Prioridade(s): **2004.10.22 US 971740**

(43) Data de publicação do pedido: **2007.08.01**

(45) Data e BPI da concessão: **2011.10.05**
242/2011

(73) Titular(es):
QUALCOMM INCORPORATED
5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121 **US**

(72) Inventor(es):
THOMAS PHILIP SPEIER **US**

(74) Mandatário:
ELSA MARIA MARTINS BARREIROS AMARAL CANHÃO
RUA DO PATROCÍNIO 94 1399-019 LISBOA **PT**

(54) Epígrafe: **MÉTODO E EQUIPAMENTO PARA EXECUTAR UMA OPERAÇÃO ATÓMICA DE SEMÁFORO**

(57) Resumo:
DIVULGA-SE UM SISTEMA DE PROCESSAMENTO E MÉTODO DE COMUNICAÇÃO NO INTERIOR DO SISTEMA DE PROCESSAMENTO. O SISTEMA DE PROCESSAMENTO PODE INCLUIR UM BARRAMENTO; UMA REGIÃO DE MEMÓRIA ACOPLADA AO BARRAMENTO; E UMA PLURALIDADE DE COMPONENTES DE PROCESSAMENTO TENDO ACESSO À REGIÃO DE MEMÓRIA ATRAVÉS DO BARRAMENTO, ESTANDO CADA UM DOS COMPONENTES DE PROCESSAMENTO CONFIGURADO PARA EXECUTAR UMA OPERAÇÃO DE SEMÁFORO PARA ACEDER À REGIÃO DE MEMÓRIA, SOLICITANDO, SIMULTANEAMENTE, UMA OPERAÇÃO DE LEITURA E UMA OPERAÇÃO DE ESCRITA PARA UMA LOCALIZAÇÃO DE SEMÁFORO ATRAVÉS DO BARRAMENTO.

RESUMO

"MÉTODO E EQUIPAMENTO PARA EXECUTAR UMA OPERAÇÃO ATÓMICA DE SEMÁFORO"

Divulga-se um sistema de processamento e método de comunicação no interior do sistema de processamento. O sistema de processamento pode incluir um barramento; uma região de memória acoplada ao barramento; e uma pluralidade de componentes de processamento tendo acesso à região de memória através do barramento, estando cada um dos componentes de processamento configurado para executar uma operação de semáforo para aceder à região de memória, solicitando, simultaneamente, uma operação de leitura e uma operação de escrita para uma localização de semáforo através do barramento.

DESCRIÇÃO

"MÉTODO E EQUIPAMENTO PARA EXECUTAR UMA OPERAÇÃO ATÓMICA DE SEMÁFORO"

Campo

A presente divulgação refere-se, de um modo geral, a sistemas de processamento que empregam uma arquitectura de barramento e, mais especificamente, a métodos e aparelhos para executar uma operação atómica de semáforo.

Antecedentes

Os computadores revolucionaram a indústria electrónica ao permitir a execução de tarefas de processamento sofisticadas com apenas alguns toques num teclado. Estas tarefas sofisticadas envolvem um número incrivelmente elevado de componentes complexos que comunicam entre si, rápida e eficientemente, utilizando um barramento. Um barramento é um canal ou caminho entre componentes num computador.

Muitos barramentos residentes num computador foram implementados, tradicionalmente, como barramentos partilhados. Um barramento partilhado proporciona um meio de comunicação para um qualquer número de componentes através de um caminho ou canal comum. Nos últimos anos, a tecnologia de barramentos partilhados foi substituída, em grande medida, por conexões de comutação

ponto-a-ponto. As conexões de comutação ponto-a-ponto proporcionam uma conexão directa entre dois componentes no barramento quando estes comunicam entre si. As múltiplas ligações directas podem ser utilizadas para permitir a comunicação entre vários componentes ao mesmo tempo. Pode utilizar-se um árbitro de barramento para controlar as comunicações através do barramento.

Uma concepção convencional de barramento inclui canais independentes e distintos de leitura, escrita e endereços. Um componente ao qual se concedeu acesso ao barramento pelo árbitro de barramento pode executar uma operação de leitura ou escrita colocando um endereço no canal de endereços e enviando o sinal de controlo de leitura/escrita apropriado utilizando sinalização de banda lateral. Quando o componente escreve dados para outro componente no barramento, envia os dados através do canal de escrita. Quando o componente lê dados de outro componente no barramento, recebe os dados através do canal de leitura.

Um computador que implementa uma arquitectura de barramento pode incluir vários componentes de processamento conectados à memória. A memória pode ser dividida em regiões pelo sistema designado ou, dinamicamente, durante a operação. Cada componente de processamento pode ter a sua própria região de memória dedicada. "Regiões de memória partilhada", por outro lado, são regiões de memória às quais se pode aceder por múltiplo processamento. Um semáforo pode ser utilizado para controlar o acesso às regiões de memória partilhada. Um "semáforo" é um sinalizador de hardware ou software, residindo num local de memória partilhada, que indica a acessibilidade de um recurso partilhado. Um componente de processamento que necessite aceder à região de memória partilhada pode ler o semáforo para

determinar a acessibilidade da região de memória partilhada. Se o semáforo indicar que a região de memória partilhada está disponível, então, o componente de processamento pode fazer com que o semáforo indique que a região de memória partilhada está bloqueada e continuar o acesso à memória. O processo de leitura e atribuição do semáforo necessita de ser executado atomicamente. Isto é, nenhum outro componente de processamento deve poder aceder ao semáforo durante este processo. A técnica anterior relevante é divulgada no documento JP 60118961.

O acesso atómico ao semáforo não é inerente aos protocolos de barramento convencionais. Pelo contrário, é um caso especial que é adicionado ao protocolo de barramento e necessita, frequentemente, de hardware especial. O hardware adicional aumenta a complexidade do árbitro de barramento e dos componentes de processamento, e pode conduzir ao aumento do atraso de processamento dentro do sistema. Consequentemente, há a necessidade na técnica de implementar acesso atómico ao semáforo no âmbito do protocolo de barramento com o mínimo de hardware adicional sem degradar o desempenho.

SUMÁRIO

A invenção é definida pelas reivindicações 1 e 12 independentes. Num aspecto da presente invenção, um sistema de processamento inclui um barramento; uma região de memória acoplada ao barramento; e uma pluralidade de componentes de processamento tendo acesso à região de memória através do barramento, estando cada um dos componentes de processamento configurado para executar uma operação de semáforo para aceder à região de memória ao, simultaneamente, solicitar uma operação de

leitura e escrita a uma localização de semáforo através do barramento.

Noutro aspecto da presente invenção, um sistema de processamento inclui um barramento; uma região de memória acoplada ao barramento; e uma pluralidade de componentes de processamento tendo acesso à região de memória através do barramento, tendo cada um dos componentes de processamento meios para executar uma operação de semáforo para aceder à região de memória ao, simultaneamente, solicitar uma operação de leitura e escrita a uma localização de semáforo através do barramento.

Ainda noutro aspecto da presente invenção, um método para controlar o acesso a uma região de memória através de um barramento por uma pluralidade de componentes de processamento pode ser executado. O método inclui a realização de uma operação de semáforo por um dos componentes de processamento para aceder à região de memória, sendo a operação de semáforo executada ao solicitar, simultaneamente, uma operação de leitura e escrita a uma localização de semáforo através do barramento.

Deve compreender-se que outras formas de realização da presente invenção se tornarão facilmente perceptíveis para os especialistas na técnica a partir da descrição pormenorizada que se segue, em que várias formas de realização da invenção são mostradas e descritas a título ilustrativo. Como se perceberá, a invenção pode ser realizada por outras e diferentes formas de realização e os seus diversos pormenores podem ser modificados em diversos outros aspectos, e tudo sem divergir do âmbito das reivindicações apensas. Consequentemente, a natureza dos desenhos e da descrição pormenorizada deve ser considerada como ilustrativa e não como restritiva.

DESCRIÇÃO RESUMIDA DOS DESENHOS

Os aspectos da presente invenção são ilustrados a título de exemplo e não a título limitativo nos desenhos em anexo, em que:

A FIG. 1 é um diagrama de blocos conceptual que ilustra um exemplo de um sistema de processamento;

A FIG. 2 é um diagrama de blocos conceptual que ilustra um exemplo de uma conexão ponto-a-ponto num sistema de processamento entre um componente de processamento e uma região de memória partilhada através de um barramento;

A FIG. 3 é um diagrama de blocos conceptual que ilustra um exemplo de um protocolo de barramento utilizado num sistema de processamento que suporta a transmissão simultânea de duas localizações de endereço diferentes para uma região de memória partilhada através de um barramento; e

A FIG. 4 é um diagrama de blocos conceptual que ilustra um exemplo de um sistema de processamento tendo uma arquitectura de barramento de dois canais.

DESCRIÇÃO PORMENORIZADA

A descrição pormenorizada exposta abaixo em associação com os desenhos anexos pretende ser uma descrição de várias formas de realização da presente invenção e não se destina a representar as únicas formas de realização em que a presente invenção pode ser implementada. A descrição pormenorizada inclui pormenores específicos com a finalidade de proporcionar uma

compreensão completa da presente invenção. No entanto, os especialistas na técnica perceberão que a presente invenção pode ser implementada sem esses pormenores específicos. Em alguns casos, estruturas e componentes bem conhecidos são mostrados em forma de diagrama de blocos de modo a evitar obscurecer os conceitos da presente invenção.

A FIG. 1 é um diagrama de blocos conceptual que ilustra um exemplo de um sistema de processamento. O sistema 100 de processamento pode ser um computador ou residente num computador, e está apto a processar, recuperar e armazenar informações. O sistema 100 de processamento pode ser um sistema autónomo ou incorporado num dispositivo, tal como um telefone celular. Como mostrado na FIG. 1, dois componentes 102a e 102b de processamento dentro do sistema 100 de processamento podem partilhar um recurso 104 comum utilizando um barramento 106. Cada componente 102a e 102b de processamento pode ser um qualquer tipo de componente de controlo de barramento, incluindo, a título de exemplo, um microprocessador, um processador de sinal digital (DSP), uma ponte, lógica programável, porta discreta ou lógica de transístor, ou qualquer outro componente de processamento de informações. O recurso 104 comum pode ser qualquer tipo de componente escravo de barramento, incluindo, a título de exemplo, um registo, memória, uma ponte ou qualquer outro componente apto a recuperar e armazenar informações. Na forma de realização mostrada na FIG. 1, o recurso 104 comum é uma região de memória. O termo "região da memória" refere-se a qualquer dispositivo de memória, qualquer parte de um dispositivo de memória, uma região de mapa de memória ou semelhante.

Um árbitro 108 de barramento pode ser utilizado para controlar o acesso à região 104 de memória partilhada. Numa forma de realização do árbitro 108 de barramento, um componente 102a ou 102b de processamento que pretende aceder à região 104 de memória partilhada pode transmitir um pedido de leitura ou escrita ao árbitro 108 de barramento. O árbitro 108 de barramento pode ser utilizado para configurar uma interconexão 110 de barramento para conceder ao componente 102a ou 102b de processamento solicitante acesso à região 104 de memória partilhada para realizar a operação de leitura ou escrita. No caso de múltiplas solicitações de leitura e/ou escrita de um ou mais componentes de processamento competirem no árbitro 108 de barramento, o árbitro 108 de barramento pode, então, determinar a sequência na qual as operações de leitura e/ou escrita serão realizadas e, consequentemente, configurar dinamicamente a interconexão 110. A sequência das operações de leitura e/ou escrita pode ser baseada em qualquer esquema de arbitragem de barramento. O esquema de arbitragem de barramento pode variar dependendo da aplicação específica e das restrições de concepção globais, mas, geralmente, irá tentar equilibrar algum tipo de sistema de concessão de base prioritária com um esquema de justiça.

Na forma de uma sobreposição ao esquema de arbitragem de barramento, um componente 102a ou 102b de processamento pode realizar uma operação de semáforo com a região 104 de memória partilhada numa tentativa de obter acesso exclusivo à região de memória partilhada. A operação de semáforo permite que o componente 102a ou 102b de processamento determine o estado do semáforo e atribua o semáforo se a região 104 de memória partilhada estiver disponível. Neste exemplo particular, o semáforo é armazenado na região 104 de memória partilhada, mas

como os especialistas na técnica compreenderão, o semáforo pode ser armazenado em qualquer lugar no sistema 100 de processamento. O componente 102a ou 102b de processamento pode executar a operação de semáforo de várias formas diferentes. A título de exemplo, um componente 102a ou 102b de processamento configurado como um microprocessador pode incluir software para executar a operação de semáforo através de uma instrução de troca. A instrução de troca pode ser utilizada para ler o semáforo da região 104 de memória partilhada para um primeiro registo interno e, em seguida, armazenar um semáforo actualizado de um segundo registo interno para a localização de semáforo na região 104 de memória partilhada. O semáforo actualizado pode ser um sinalizador que indica um bloqueio para a região 104 de memória partilhada, o que será sempre verdadeiro após uma operação de leitura de semáforo porque ou o componente 102a ou 102b de processamento solicitante adquire o bloqueio ou a região 104 de memória partilhada já está bloqueada. Isto segue o algoritmo de teste e atribuição que é bem conhecido na técnica.

A operação de semáforo precisa de ser realizada com uma operação de leitura/escrita atómica no barramento 106. Uma abordagem é fazer com que o árbitro 108 de barramento bloqueie a arbitragem de barramento num único componente de processamento durante a operação de semáforo. A título de exemplo, um componente 102a ou 102b de processamento à espera de aceder à região 104 de memória partilhada pode executar a operação de semáforo solicitando uma operação de leitura bloqueada para determinar o estado do semáforo seguido por uma solicitação de uma operação de escrita bloqueada para actualizar o estado do semáforo. Quando o árbitro 106 de barramento detecta uma solicitação de operação de leitura bloqueada para a localização de semáforo, concede ao componente 102a ou 102b de processamento

acesso à região 104 de memória partilhada através da interconexão 110 de barramento e bloqueia a arbitragem de barramento, atrasando todos as outras solicitações de leitura e/ou escrita à região 104 de memória partilhada a partir de todos os outros componentes de controlo de barramento até o componente 102a ou 102b de processamento actualizar o estado do semáforo.

A desvantagem desta abordagem é que permite que um componente 102a ou 102b de processamento se sobreponha ao esquema de arbitragem de barramento decidido pelo projectista do sistema. Isso pode ter efeitos negativos sobre o desempenho do sistema 100 de processamento. Além disso, depois de o árbitro 106 de barramento bloquear a arbitragem de barramento num componente de processamento em resposta a um pedido para executar uma operação de semáforo, o árbitro 106 de barramento não pode restringir o componente 102a ou 102b de processamento a esta operação. Um componente 102a ou 102b de processamento poderia bloquear outros componentes de processamento de forma arbitrária, por não achar que está a obter a largura de banda de que necessita.

Outra desvantagem desta abordagem é que é um caso especial do protocolo de barramento, exigindo hardware adicional. Este hardware adicional pode ser eliminado se a operação de semáforo puder ser executada atomicamente no âmbito do protocolo de barramento. Um protocolo de barramento que possa suportar uma operação de semáforo atómica permitiria a solicitação simultânea de uma operação de leitura e escrita. Um exemplo de uma implementação deste protocolo pela arquitectura de barramento será, agora, descrito.

A FIG. 2 é um diagrama de blocos conceptual que ilustra um exemplo de uma conexão ponto-a-ponto num sistema de processamento entre um componente de processamento e uma região de memória partilhada através de um barramento. Ao componente 102 de processamento é concedido acesso à região 104 de memória partilhada através da interconexão 110 de barramento sob o controle do árbitro 108 de barramento. Neste exemplo, a complexidade do barramento 106 pode ser reduzida, eliminando o canal de endereços que é utilizado em estruturas de barramento convencionais. A eliminação do canal de endereços pode ser conseguida através da redefinição do canal de escrita como um "canal de transmissão" 106a. O canal 106a de transmissão pode ser utilizado como um meio genérico para a difusão de informação de endereço e escrita de dados do componente 102 de processamento para a região 104 de memória partilhada utilizando uma multiplexagem por divisão no tempo. Um exemplo deste protocolo de barramento é descrito no Pedido de Patente U.S., intitulado *A Multiple Address Two Channel Bus Structure* com o N° de série 10/833716, apresentado em 27 de Abril de 2004, Registo Legal N° 040237, cujo conteúdo é aqui incorporado por referência.

O componente 102 de processamento pode escrever para a região 104 de memória partilhada transmitindo um endereço no canal 106a de transmissão e, ao mesmo tempo, sinalizando uma operação de escrita para a região 104 de memória partilhada utilizando sinalização de banda lateral. Após a transmissão do endereço, o componente 102 de processamento pode transmitir dados de escrita no canal 106a de transmissão. A região 104 de memória partilhada pode armazenar os dados de escrita num bloco de memória iniciando-se com o endereço previamente transmitido no canal 106a de transmissão.

O componente 102 de processamento pode ler a partir da região 104 de memória partilhada transmitindo um endereço no canal 106a de transmissão e, ao mesmo tempo, sinalizando uma operação de leitura para a região 104 de memória partilhada utilizando sinalização de banda lateral. A região 104 de memória partilhada pode ler dados de um bloco de início de memória com a transmissão de endereço no canal 106a de transmissão e transmitir os dados de leitura para o componente 102 de processamento através de um canal 106b de recepção.

O protocolo de barramento pode ser configurado para suportar a transmissão, ao mesmo tempo, de duas localizações de endereço diferentes através do canal 106a de transmissão para a região 104 de memória partilhada. Este conceito é ilustrado no diagrama de blocos conceptual da FIG. 3. Mostra-se a conexão ponto-a-ponto entre o componente 102 de processamento e a região 104 de memória partilhada através da interconexão 110 de barramento sob o controlo do árbitro 108 de barramento. Neste exemplo, a parte superior do canal de transmissão (Endereço A) pode ser utilizada para aceder a uma primeira localização 104a de endereço da região 104 de memória partilhada e a parte inferior do canal de transmissão (Endereço B) pode ser utilizada para aceder a uma segunda localização 104b de endereço da região 104 de memória partilhada. Com esta configuração, o componente 102 de processamento pode solicitar (1) duas operações de leitura ao mesmo tempo, (2) duas operações de escrita ao mesmo tempo ou (3) operações simultâneas de leitura e escrita em endereços iguais ou diferentes. Um ou mais sinais de banda lateral podem ser associados a cada uma das localizações de endereço.

O protocolo de barramento pode utilizar um esquema de endereçamento implícito para lidar com solicitações de operações simultâneas de leitura e escrita para o mesmo endereço. A título de exemplo, o componente 102 de processamento pode transmitir o endereço para a primeira operação a ser realizada como Endereço A e o endereço para a segunda operação a ser realizada como Endereço B. A sequência de leitura/escrita realizada pela região 104 de memória partilhada pode ser baseada neste esquema de endereçamento para manter uma consistência sequencial. Assim, se o mesmo endereço for utilizado para o Endereço A e Endereço B e o componente 102 de processamento sinalizar uma operação de escrita para o Endereço A e uma operação de leitura para o Endereço B, então, a região 104 de memória partilhada vai esperar até que os dados de escrita transmitidos no canal 106a de transmissão sejam escritos para a região 104 de memória partilhada antes de fornecer os novos dados escritos neste endereço para o canal de recepção para transmissão para o componente 102 de processamento. Por outro lado, se o componente 102 de processamento sinalizar uma operação de leitura para o Endereço A e uma operação de escrita para o Endereço B, então, a região 104 de memória partilhada irá fornecer os dados neste endereço para o canal de recepção antes de escrever os novos dados do canal 106a de transmissão para este endereço na região 104 de memória partilhada.

A FIG. 4 é um diagrama de blocos conceptual que ilustra um exemplo de um sistema de processamento tendo uma arquitectura de barramento de dois canais. A estrutura de barramento de dois canais pode ser suportada por um protocolo de barramento semelhante ao discutido em associação com as FIGS. 2 e 3. Neste exemplo, uma operação atómica de semáforo pode ser realizada no âmbito do protocolo de barramento. Mais especificamente, o

componente 102a de processamento pode, simultaneamente, solicitar uma operação de leitura e escrita à localização de semáforos. Isto pode ser conseguido transmitindo o endereço do semáforo como Endereço A e Endereço B no canal de transmissão para a interconexão 110. Se o protocolo de barramento utilizar o esquema de endereçamento implícito descrito acima, então, o componente 102a de processamento sinaliza uma operação de leitura para o Endereço A e uma operação de escrita para o Endereço B. Dependendo dos pedidos pendentes de outros componentes de processamento, o árbitro 108 de barramento vai tomar uma decisão, decidindo se a interconexão 110 de barramento deve ser imediatamente configurada para conceder o acesso do componente 102a de processamento à região 104 de memória partilhada ou atrasar a conexão. Em qualquer caso, depois de ser concedido ao componente 102a de processamento acesso à região 104 de memória partilhada, a operação de leitura e escrita pode ser realizada atomicamente. O árbitro 108 de barramento não precisa de reconhecer o pedido como uma operação de semáforo e bloquear a região 104 de memória partilhada. Em vez disso, o árbitro 108 de barramento apenas concede ao componente 102a de processamento acesso à região 104 de memória partilhada de acordo com o esquema de arbitragem de barramento. Se outro componente 102b de processamento executar uma operação de semáforo, o esquema de arbitragem de barramento pode ser utilizado para controlar o acesso à região 104 de memória partilhada, mas a operação de semáforo propriamente dita é invisível ao árbitro 108 de barramento.

A operação atómica de leitura e escrita para a operação de semáforo pode ser executada depois de o árbitro 108 de barramento conceder ao componente 102a de processamento acesso à região 104 de memória partilhada. O endereço de semáforo

ocupando o Endereço A e Endereço B no canal 106a de transmissão, em conjunto com a sinalização associada, pode ser encaminhado através da interconexão 110 de barramento para a região 104 de memória partilhada. Após a transmissão do endereço de semáforo, o componente 102a de processamento pode transmitir um semáforo actualizado durante o próximo ciclo de relógio, que também é encaminhado para a região de memória partilhada através da interconexão 110 de barramento. O semáforo actualizado pode ser transmitido a partir de um registo interno no componente 102a de processamento utilizando uma instrução de troca ou por qualquer outro meio. Um controlador de memória (não mostrado), que faz parte ou está separado da região 104 de memória partilhada, determina a sequência na qual a operação de leitura e escrita será realizada com base no esquema de endereçamento implícito discutido acima ou em qualquer outro método. Neste caso, o controlador de memória detecta um pedido de operação de leitura para o endereço A e um pedido de operação de escrita para o Endereço B e, consequentemente, determina que a operação de leitura a partir do endereço de semáforo será realizada em primeiro lugar. A operação de leitura é realizada recuperando o semáforo da região 104 de memória partilhada e transmitindo-o através do canal 106b de recepção para o componente 102a de processamento através da interconexão 110 de barramento. Depois de concluída a operação de leitura, a operação de escrita é realizada escrevendo o semáforo actualizado recebido através do canal 106 de transmissão para o endereço de semáforo. O semáforo actualizado é um sinalizador que indica que a região de memória partilhada está bloqueada, quer pelo componente 102a de processamento, em resultado da operação de semáforo, quer, anteriormente, por outro componente de controlo de barramento.

O componente 102a de processamento carrega a transmissão de semáforo desde a região 104 de memória partilhada, através do canal 106b de recepção, num registo interno, utilizando outra vez uma instrução de troca ou qualquer outro meio. Depois desta ocorrência, o árbitro 108 de barramento está livre para reconfigurar a interconexão 110 de barramento para controlar os pedidos provenientes de outros componentes de controlo de barramento. O componente 102a de processamento determina, do semáforo, se a região 104 de memória partilhada está disponível. Se o componente 102a de processamento determinar que a região 104 de memória partilhada não está disponível (*i. e.*, bloqueada), então não tentará ler ou escrever na região 104 de memória partilhada. O componente 102a de processamento pode continuar a tentar executar operações de semáforo até que a região 104 de memória partilhada fique, mais tarde, disponível. Se, por um lado, o componente 102a de processamento determinar que a região 104 de memória partilhada está disponível (*i. e.*, desbloqueada), então, pode ler e escrever na região 104 de memória partilhada do acordo com o esquema de arbitragem de barramento implementado pelo árbitro 108 da barramento. Outros componentes de controlo de barramento não tentarão ler ou escrever da região 104 de memória partilhada porque detectarão um bloqueio devido ao semáforo actualizado escrito, anteriormente, pelo componente 102a de processamento. Uma vez que o componente 102a de processamento já não precisa de aceder à região 104 de memória partilhada, executará uma operação de escrita na localização de semáforo para mudar o sinalizador para indicar que a região 104 de memória partilhada está desbloqueada. Depois desta operação de escrita, outros componentes de controlo de barramento podem aceder à região 104 de memória partilhada através de uma operação de semáforo bem sucedida.

Os vários blocos, módulos, circuitos, elementos e/ou componentes lógicos ilustrativos descritos em associação com as formas de realização aqui divulgadas podem ser implementados ou executados com um processador de utilização geral, um processador de sinal digital (DSP), um circuito integrado de aplicação específica (ASIC), uma rede de portas lógicas programáveis (FPGA) ou outro componente lógico programável, porta discreta ou lógica de transístor, componentes de hardware discretos ou qualquer sua combinação concebida para executar as funções aqui descritas. Um processador de utilização geral pode ser um microprocessador, mas, em alternativa, o processador pode ser um qualquer processador, controlador, microcontrolador ou máquina de estados convencionais. Um processador também pode ser implementado como uma combinação de componentes de cálculo, *e. g.*, uma combinação de um DSP e um microprocessador, uma pluralidade de microprocessadores, um ou mais microprocessadores em associação com um núcleo de DSP ou qualquer outra configuração deste tipo.

Os métodos ou algoritmos descritos em associação com as formas de realização aqui divulgadas podem ser incorporados directamente em hardware, num módulo de software executado por um processador ou numa combinação dos dois. Um módulo de software pode residir na memória RAM, memória *flash*, memória ROM, memória EPROM, memória EEPROM, registos, disco rígido, disco removível, num CD-ROM ou em qualquer outra forma de meio de armazenamento conhecido na técnica. Um meio de armazenamento pode ser acoplado ao processador para que o processador possa ler informação a partir do - e escrever informação no - meio de armazenamento. Em alternativa, o meio de armazenamento pode estar integrado no processador.

A descrição anterior das formas de realização divulgadas é proporcionada para permitir que qualquer especialista na técnica possa fazer ou utilizar a presente invenção. Várias modificações destas formas de realização serão facilmente evidentes para os especialistas na técnica e os princípios genéricos aqui definidos podem ser aplicados a outras formas de realização sem divergir do espírito ou âmbito da invenção. Assim, não se pretende que a presente invenção esteja limitada às formas de realização aqui mostradas, mas que esteja abrangida pelo âmbito completo consistente com as reivindicações, em que a referência a um elemento no singular não significa "um e só um" a menos que assim indicado especificamente, mas, em vez disso, "um ou mais". Todos os equivalentes estruturais e funcionais aos elementos das várias formas de realização descritas durante ao longo desta divulgação que são conhecidos ou virão a ser conhecidos pelos especialistas na técnica são aqui incorporados, expressamente, a título de referência e destinam-se a ser abrangidos pelas reivindicações. Além disso, nada do que foi aqui divulgado se destina a ser dedicado ao público independentemente de essa divulgação ser citada explicitamente nas reivindicações. Nenhum elemento de reivindicação deve ser interpretado ao abrigo das cláusulas 35 U.S.C. §112, sexto parágrafo, a menos que o elemento seja expressamente citado utilizando a frase "meios para" ou, no caso de uma reivindicação de método, o elemento seja citado utilizando a frase a "etapa para".

Lisboa, 30 de Novembro de 2011

REIVINDICAÇÕES

1. Sistema (100) de processamento, compreendendo:

um barramento (106; 106a, 106b);

uma região (104) de memória acoplada ao barramento; e

uma pluralidade de componentes (102; 102a, 102b) de processamento tendo acesso à região (104) de memória através do barramento (106; 106a, 106b), estando cada um dos componentes de processamento configurado para executar uma operação de semáforo para aceder à região (104) de memória, solicitando, simultaneamente, uma operação de leitura e escrita para uma localização de semáforo através do barramento (106; 106a, 106b), caracterizado por a solicitação simultânea ser realizada por transmissão em simultâneo de duas cópias de um endereço de semáforo para a localização de semáforo através do barramento (106, 106a, 106b).

2. Sistema de processamento da reivindicação 1, em que cada um dos componentes (102; 102a, 102b) de processamento está, ainda, configurado para solicitar a operação de leitura e escrita para a operação de semáforo, fornecendo um sinal de solicitação de operação de leitura à localização de semáforo com uma cópia do endereço de semáforo e fornecendo um sinal de solicitação de operação de escrita à localização de semáforo com a outra cópia do endereço de semáforo.

3. Sistema de processamento da reivindicação 1, em que cada um dos componentes (102; 102a, 102b) de processamento está, ainda, configurado para executar a operação de semáforo transmitindo um semáforo actualizado para a localização de semáforo após a transmissão simultânea das duas cópias do endereço de semáforo.

4. Sistema de processamento da reivindicação 3, em que a localização de semáforo é configurada para recuperar o semáforo em resposta à solicitação de operação de leitura para o endereço de semáforo a partir de um dos componentes (102; 102a, 102b) de processamento e transmitir o semáforo recuperado para o referido um dos componentes de processamento, sendo, ainda, a localização de semáforo configurada para armazenar o semáforo actualizado em resposta à solicitação de operação de escrita para o endereço de semáforo.

5. Sistema de processamento da reivindicação 4, em que o barramento compreende, ainda, um canal (106a) de transmissão e um canal (106b) de recepção e, em que cada um dos componentes (102; 102a, 102b) de processamento é, ainda, configurado para transmitir as duas cópias do endereço de semáforo, seguidas pelo semáforo actualizado, para a localização de semáforo através do canal (106a) de transmissão e em que a localização de semáforo é, ainda, configurada para transmitir o semáforo recuperado para o referido um dos componentes de processamento através do canal de recepção.

6. Sistema de processamento da reivindicação 5, em que cada um dos componentes (102; 102a, 102b) de processamento é,

ainda, configurado para determinar se a região (104) de memória está disponível a partir da transmissão de semáforo recuperado através do canal recebido.

7. Sistema de processamento da reivindicação 6, em que cada um dos componentes (102; 102a, 102b) de processamento é, ainda, configurado para escrever dados na região (104) de memória, se se determinar que a região (104) de memória está disponível, por transmissão de um endereço de dados de escrita e dos dados de escrita para a região de memória através do canal (106a) de transmissão e em que cada um dos componentes (102; 102a, 102b) de processamento é, ainda, configurado para ler dados da região (104) de memória, se se determinar que a região (104) de memória está disponível, por transmissão de um endereço de dados de leitura para a região (104) de memória através do canal (106a) de transmissão e leitura dos dados de leitura a partir do canal (106b) de recepção.

8. Sistema de processamento da reivindicação 1, em que o barramento (106, 106a, 106b) compreende um canal (106a) de transmissão tendo uma pluralidade de linhas e em que cada um dos componentes de processamento é, ainda, configurado para solicitar a operação de leitura e escrita para o operação de semáforo transmitindo uma cópia do endereço de semáforo através de uma primeira parte das linhas e a outra cópia do endereço de semáforo através de uma segunda parte de linhas.

9. Sistema de processamento da reivindicação 8, em que cada um dos componentes (102; 102a, 102b) de processamento é, ainda, configurado para fornecer um sinal de solicitação de

operação de leitura com a referida uma cópia do endereço de semáforo na primeira parte das linhas e um sinal de solicitação de operação de escrita com a referida outra cópia do endereço de semáforo na segunda parte das linhas.

10. Sistema de processamento da reivindicação 9, em que a localização de semáforo é, ainda, configurada para executar a operação de leitura solicitada antes de realizar a operação de escrita solicitada.

11. Sistema de processamento da reivindicação 1, em que cada unidade de processamento está configurada para transmitir as duas cópias do endereço de semáforo através de um único canal (106a).

12. Método para controlar o acesso a uma região (104) de memória através de um barramento (106; 106a, 106b) por uma pluralidade de componentes (102; 102a, 102b) de processamento, compreendendo o método:

executar uma operação de semáforo por um dos componentes (102; 102a, 102b de processamento) para aceder à região (104) de memória, sendo a operação de semáforo realizada ao solicitar, simultaneamente, uma operação de leitura e escrita para uma localização de semáforo através do barramento, caracterizado por a solicitação simultânea compreender a transmissão de duas cópias de um endereço de semáforo a partir do referido um dos componentes de processamento para a localização de semáforo através do barramento (106; 106a, 106b).

13. Método da reivindicação 12, em que as solicitações de operação de leitura e escrita para a operação de semáforo compreendem fornecer, a partir do referido um dos componentes (102; 102a, 102b) de processamento, um sinal de solicitação de operação de leitura para a localização de semáforo com uma cópia do endereço de semáforo e fornecer, a partir do referido um dos componentes (102; 102a, 102b) de processamento, um sinal de solicitação de operação de escrita para a localização de semáforo com a outra cópia do endereço de semáforo.

14. Método da reivindicação 12, em que o desempenho da operação de semáforo pelo referido um dos componentes (102; 102a, 102b) de processamento compreende a transmissão de um semáforo actualizado para a localização de semáforo através do barramento após a transmissão simultânea das duas cópias do endereço de semáforo.

15. Método da reivindicação 12, compreendendo, ainda, recuperar o semáforo da localização de semáforo, em resposta à solicitação de operação de leitura para o endereço de semáforo pelo referido um dos componentes (102; 102a, 102b) de processamento, transmitindo o semáforo recuperado a partir da localização de semáforo para o referido um dos componentes (102; 102a, 102b) de processamento através do barramento (106; 106a, 106b) e armazenando o semáforo actualizado na localização de semáforo em resposta à solicitação de operação de escrita para o endereço de semáforo.

16. Método da reivindicação 15, em que o barramento compreende, ainda, um canal (106a) de transmissão e um canal (106b) de

recepção e, em que o referido um dos componentes (102; 102a, 102b) de processamento transmite as duas cópias do endereço de semáforo, seguidas pelo semáforo actualizado, para a localização de semáforo através do canal (106a) de transmissão e em que a localização do semáforo transmite o semáforo recuperado para o referido um dos componentes de processamento através do canal (106b) de recepção.

17. Método da reivindicação 16, compreendendo, ainda, determinar, no referido um dos componentes (102; 102a, 102b) de processamento, se a região (104) de memória está disponível a partir do semáforo recuperado.

18. Método da reivindicação 17, em que o referido um dos componentes (102; 102a, 102b) de processamento determina que a região de memória está disponível, compreendendo, ainda, o método a escrita de dados na região (104) de memória pela transmissão de um endereço de dados de escrita e dos dados de escrita a partir do referido um dos componentes (102; 102a, 102b) de processamento para a região (104) de memória através do canal (106a) de transmissão.

19. Método da reivindicação 17, em que o referido um dos componentes (102; 102a, 102b) de processamento determina que a região (104) de memória está disponível, compreendendo, ainda, o método a leitura de dados a partir da região (104) de memória ao transmitir um endereço de dados de leitura desde o referido um dos componentes de processamento para a região de memória através do canal (106a) de transmissão e ao transmitir os dados de leitura a partir da região (104) de memória para o referido

um dos componentes (102; 102a, 102b) de processamento.

20. Método da reivindicação 12, em que o barramento compreende um canal (106a) de transmissão tendo uma pluralidade de linhas e em que cada um dos componentes (102; 102a, 102b) de processamento é, ainda, configurado para solicitar a operação de leitura e escrita para a operação de semáforo ao transmitir uma cópia do endereço de semáforo através de uma primeira parte das linhas e a outra cópia do endereço de semáforo através de uma segunda parte das linhas.

21. Método da reivindicação 20, compreendendo, ainda, fornecer um sinal de solicitação de operação de leitura para a localização de semáforo com a referida uma das cópias do endereço de semáforo na primeira parte das linhas e fornecer um sinal de solicitação de operação de escrita com a referida outra cópia do endereço de semáforo na segunda parte das linhas.

22. Método da reivindicação 12, em que a transmissão das duas cópias do endereço de semáforo compreende transmitir, simultaneamente, as duas cópias do endereço de semáforo através de um único canal (106).

Lisboa, 30 de Novembro de 2011

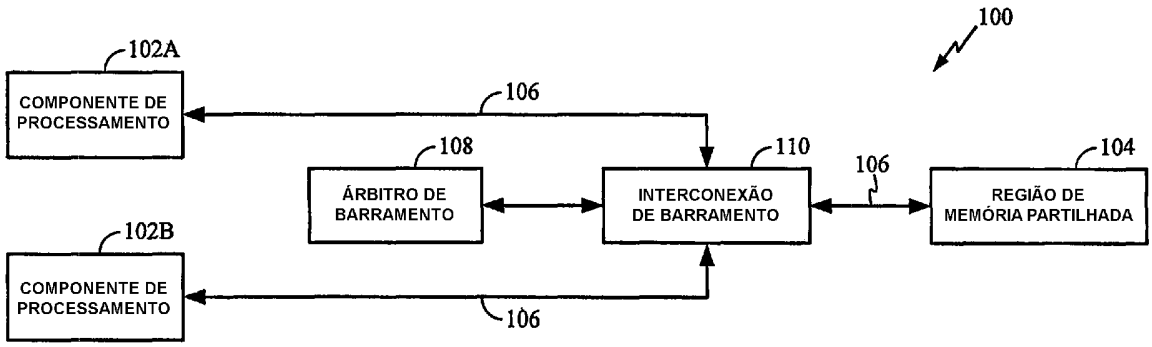

100
102A
COMPONENTE DE PROCESSAMENTO
106
108
ÁRBITRO DE BARRAMENTO
110
INTERCONEXÃO DE BARRAMENTO
106
104
REGIÃO DE MEMÓRIA PARTILHADA
102B
COMPONENTE DE PROCESSAMENTO
106

FIG. 1

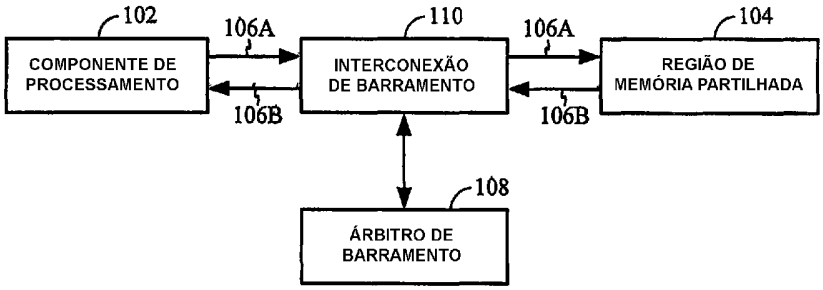

102
COMPONENTE DE PROCESSAMENTO
106A
106B
110
INTERCONEXÃO DE BARRAMENTO
106A
106B
104
REGIÃO DE MEMÓRIA PARTILHADA
108
ÁRBITRO DE BARRAMENTO

FIG. 2

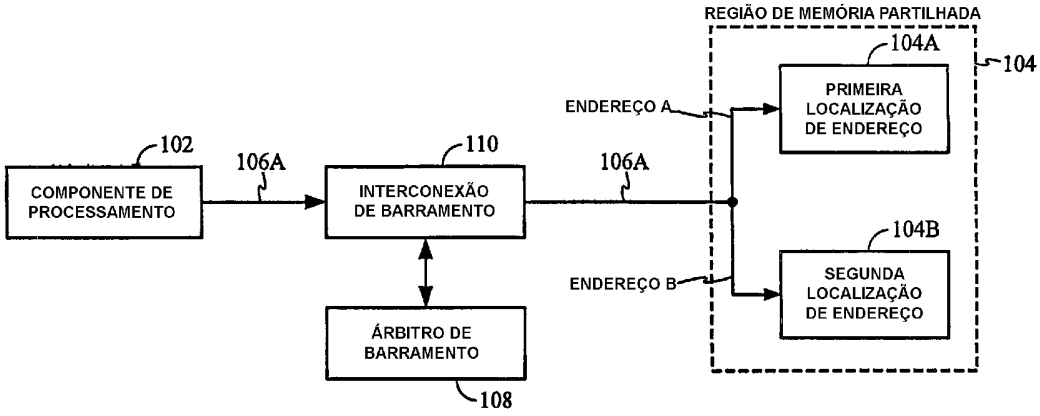

REGIÃO DE MEMÓRIA PARTILHADA
104A
104
PRIMEIRA LOCALIZAÇÃO DE ENDEREÇO
ENDEREÇO A
102
106A
110
106A
COMPONENTE DE PROCESSAMENTO
INTERCONEXÃO DE BARRAMENTO
104B
SEGUNDA LOCALIZAÇÃO DE ENDEREÇO
ENDEREÇO B
ÁRBITRO DE BARRAMENTO
108

FIG. 3

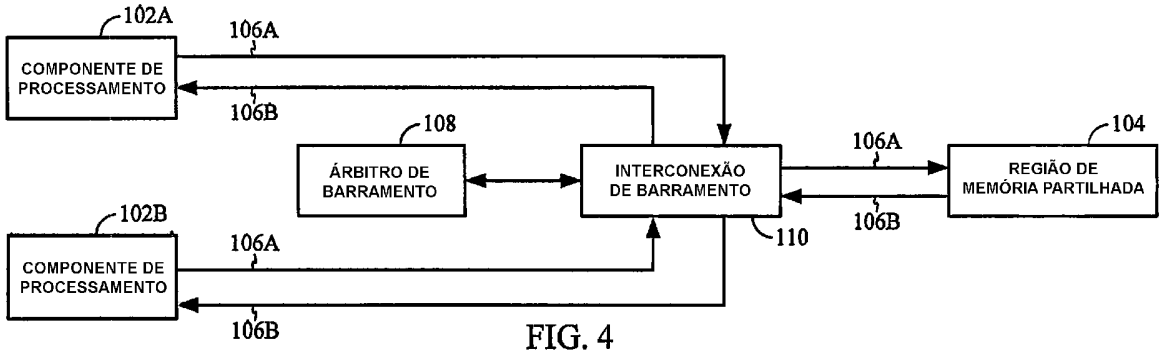

102A
106A
COMPONENTE DE PROCESSAMENTO
106B
108
104
ÁRBITRO DE BARRAMENTO
INTERCONEXÃO DE BARRAMENTO
106A
REGIÃO DE MEMÓRIA PARTILHADA
106B
110
102B
106A
COMPONENTE DE PROCESSAMENTO
106B

FIG. 4