(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월28일
(11) 등록번호 10-1762919
(24) 등록일자 2017년07월24일

(51) 국제특허분류(Int. Cl.)
G11C 17/16 (2006.01) *G11C 17/18* (2006.01)
G11C 7/06 (2006.01) *G11C 8/10* (2006.01)
(52) CPC특허분류
G11C 17/16 (2013.01)
G11C 17/18 (2013.01)
(21) 출원번호 10-2016-0071541
(22) 출원일자 2016년06월09일
심사청구일자 2016년06월09일
(56) 선행기술조사문헌
한국정보통신학회논문지 14(1), 2010.1, 한국정보통신학회, 조규삼 외 5명, 외부프로그램 전압을 이용한 8비트 eFuse OTP IP 설계, 183-190.
(뒷면에 계속)
전체 청구항 수 : 총 11 항

(73) 특허권자
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
(74) 대리인
이철희, 고윤호

심사관 : 한선경

(54) 발명의 명칭 **이퓨즈 오티피 메모리 회로**

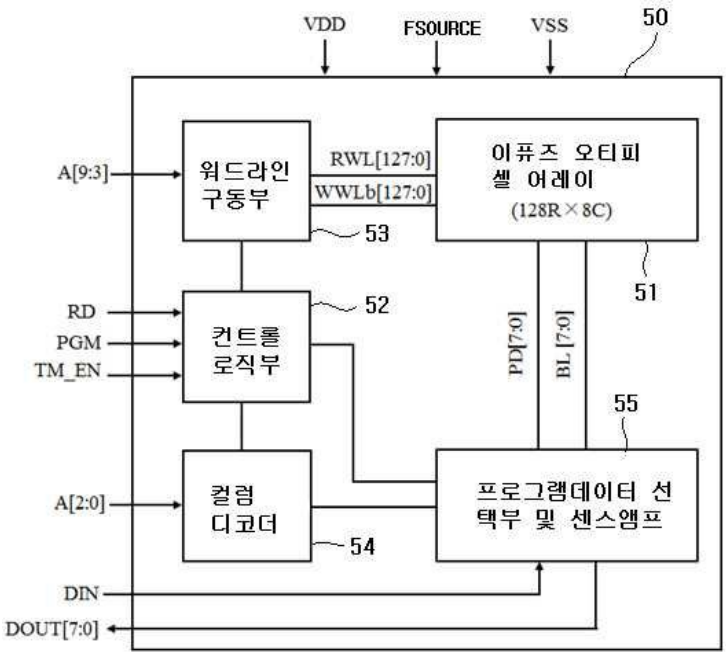
(57) 요 약

본 발명은 이퓨즈 오티피 메모리를 개발할 때 개발 비용과 기간을 단축하기 위하여 로직 트랜지스터만 이용하여 이퓨즈 오티피 셀을 구현하는 기술에 관한 것이다.

이와 같은 경우 이퓨즈 오티피 셀에서 낮은 전원전압(1.5V)을 사용하게 되어 이퓨즈의 양단에서 필요로 하는 정

(뒷면에 계속)

대 표 도 - 도5



도의 높은 전압을 인가할 수 없게 된다. 이를 감안하여, 웨이퍼 테스트 시 테스트 장비에서 외부프로그램전원(2.4V)을 해당 이퓨즈 오티피 셀의 이퓨즈 링크에 공급하여 다른 이퓨즈 오티피 셀의 신뢰성에 영향을 미치지 않으면서 목적을 달성할 수 있도록 하였다. 또한, 이퓨즈 오티피 셀 어레이(128행×8열의) 상에서 한 열에 연결된 모든 이퓨즈 오티피 셀에 외부프로그램전원(FSOURCE)을 직접 연결하기 위하여, 하나의 프로그램 트랜지스터에 하나의 기억소자인 이퓨즈 링크만 있는 기존의 단위 셀 회로에 한 셀만 선택해주는 디코딩 로직을 추가하였다.

(52) CPC특허분류
G11C 7/06 (2013.01)
G11C 8/10 (2013.01)

(56) 선행기술조사문헌
한국정보전자통신기술학회 논문지 8(2), 2015.4, 한국정보전자통신기술학회, 박헌 외 4명, Power IC용 저면적 Differential Paired eFuse OTP 메모리 설계, 107-115.
한국정보통신학회논문지 17(10), 2013. 10., 한국정보통신학회, 김민성 외 4명, 저잡음.고신뢰성 Differential Paired eFuse OTP 메모리 설계, 2359~2368.
KR1020110048833 A
KR101403500 B1
KR1020130056544 A
KR1020140033592 A
KR101619779 B1

공지예외적용 : 있음

명 세 서

청구범위

청구항 1

로직 트랜지스터로 구성된 이퓨즈 오티피 셀들로 어레이를 구비하되, 웨이퍼 테스트 시 상기 이퓨즈 오티피 셀들에 각기 구비된 이퓨즈 링크의 블로잉을 위해 상기 이퓨즈 오티피 셀에서 사용되는 전원전압보다 높은 레벨의 외부 프로그램 전원을 각각 공급받고, 상기 이퓨즈 오티피 셀을 선택적으로 블로잉하기 위해 각각의 이퓨즈 오티피 셀에 대응되는 디코딩 로직부를 구비한 이퓨즈 오티피 셀 어레이;

프로그램 데이터, 프로그램신호 및 테스트모드 인에이블신호를 포함하는 제어신호에 따라 상기 이퓨즈 오티피 셀 어레이를 대상으로 프로그램 모드와 읽기 모드에 적합한 내부 제어 신호를 생성하여 출력하는 컨트롤 로직부;

상기 컨트롤 로직부의 제어하에 행 어드레스를 공급받아 상기 이퓨즈 오티피 셀 어레이에 리드워드라인신호 및 라이트워드라인바신호를 출력하는 워드라인 구동부;

소스라인 구동을 위하여, 상기 컨트롤 로직부의 제어하에 상기 이퓨즈 오티피 셀 어레이의 열 어드레스를 디코딩하여 출력하는 컬럼 디코더; 및

상기 컨트롤 로직부의 제어하에 상기 프로그램 모드에서 입력데이터에 대응되는 프로그램데이터를 상기 이퓨즈 오티피 셀 어레이에 공급하고, 상기 읽기 모드에서 상기 이퓨즈 오티피 셀 어레이로부터 공급되는 비트라인신호를 감지 및 증폭하여 그에 따른 출력데이터를 출력하는 프로그램 데이터 선택부 및 센스앰프;를 포함하되,

상기 외부 프로그램 전원은 테스트 장비로부터 공급되는 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 2

제1항에 있어서, 상기 이퓨즈 오티피 셀에서 사용되는 전원전압은 1.5V이고, 상기 외부 프로그램전원은 2.4V인 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 이퓨즈 오티피 셀은

일측 단자에 비트라인신호가 공급되고 게이트에 리드워드라인신호가 공급되는 제1 엔모스 트랜지스터;

일측 단자가 상기 제1 엔모스 트랜지스터의 타측 단자에 연결되고 타측 단자가 접지전압에 연결된 제2 엔모스 트랜지스터; 및

일측 단자가 상기 제1 엔모스 트랜지스터와 상기 제2 엔모스 트랜지스터의 공통 연결단자에 연결되고 타측 단자가 상기 외부프로그램전원에 연결된 이퓨즈;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 5

제4항에 있어서, 상기 제2 엔모스 트랜지스터는

일정치 이상의 프로그램전류를 흘릴 수 있도록 하기 위해 해당 채널폭을 갖는 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 6

제1항에 있어서, 상기 디코딩 로직부는

일측 단자 및 플로팅 게이트가 프로그램데이터에 공급되고 게이트에 라이트워드라인바신호가 공급되며 타측 단자로부터 게이트노드 전압이 출력되는 제1 피모스 트랜지스터; 및

일측 단자가 상기 제1 피모스 트랜지스터의 타측 단자에에 연결되고 게이트가 상기 라이트워드라인바신호가 공급되며 타측 단자가 접지전압에 연결된 제3 엔모스 트랜지스터; 를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 7

제1항에 있어서, 상기 워드라인 구동부는

두 개의 제어신호를 낸드연산하는 제1 낸드게이트;

상기 제1 낸드게이트의 출력신호와 워드라인인에이블바신호를 노아연산하는 제1 노아게이트;

상기 제1 낸드게이트의 출력신호의 위상을 반전시키는 제1 인버터;

워드라인인에이블신호와 상기 제1 인버터의 출력신호를 낸드연산하는 제2 낸드게이트; 및

서로 직렬 연결되어 상기 제2 낸드게이트의 출력신호의 위상을 순차적으로 반전시키는 제2 인버터 및 제3 인버터;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 8

제1항에 있어서, 상기 프로그램 데이터 선택부 및 센스앰프에 구비된 프로그램 데이터 선택부는

워드라인인에이블신호, 컬럼 선택신호 및 입력 데이터를 낸드연산하는 제3 낸드게이트; 및

상기 제3 낸드게이트의 출력신호의 위상을 반전시키는 제4 인버터;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 9

제1항에 있어서, 상기 프로그램 데이터 선택부 및 센스앰프에 구비된 센스 앰프는

비트라인로드바 신호 및 비트라인프리차지 신호에 따라 비트라인을 제어하는 비트라인 제어부;

비트라인신호와 기준전압의 차동전압을 센싱하여 그에 따른 출력데이터를 발생하는 센스 앰프부;

상기 센스 앰프에서 출력되는 데이터를 래치하는 RS 래치; 및

상기 RS 래치에서 래치된 출력데이터를 완충 증폭하여 출력하는 출력버퍼;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 10

제9항에 있어서, 상기 비트라인 제어부는

일측 단자가 전원전압에 연결되고 게이트에 상기 비트라인로드바 신호가 공급되는 제2 피모스 트랜지스터;

일측 단자가 상기 제2 피모스 트랜지스터의 타측 단자에 연결되고 타측 단자에 비트라인신호가 공급되는 저항; 및

일측 단자에 상기 비트라인신호가 공급되고 타측 단자가 접지전압에 연결되며 게이트에 상기 비트라인프리차지 신호가 공급되는 제4 엔모스 트랜지스터;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 11

제9항에 있어서, 상기 센스앰프부는

상기 비트라인신호와 상기 기준전압의 차동전압을 센싱하는 센스앰프회로;

스탠바이 모드에서 센스앰프인에이블바신호에 의해 턴온되어 상기 센스앰프부에 전원전압을 공급하는 제3 피모스 트랜지스터;

상기 스탠바이 모드에서 상기 센스앰프인에이블바신호에 의해 턴온되어 제1 출력노드의 전압을 접지전압으로 프리차지시키는 제7엔모스 트랜지스터; 및

상기 스탠바이 모드에서 상기 센스앰프인에이블바신호에 의해 턴온되어 제2 출력노드의 전압을 접지전압으로 프리차지시키는 제8엔모스 트랜지스터;를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

청구항 12

제9항에 있어서, 상기 RS 래치는

상기 센스 앰프부의 제1 출력노드 및 제2 출력노드를 통해 이전 상태의 데이터를 래치하기 위해 제2 노아게이트 및 제3 노아게이트를 구비한 것을 특징으로 하는 이퓨즈 오티피 메모리 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 오티피(OTP:ONE-TIME PROGRAMMABLE) 메모리를 개발할 때 개발 비용과 기간을 단축하기 위해 로직 트랜지스터만 이용하여 오티피 셀을 구현하는 기술에 관한 것으로, 특히 웨이퍼 테스트 시 테스트 장비에서 전원전압보다 높은 외부 프로그램 전원을 오티피 셀 어레이 상에서 적한 셀의 이퓨즈(eFuse) 링크에 선택적으로 공급하여 다른 셀의 소자의 신뢰성에 영향을 미치지 않도록 한 이퓨즈 오티피 메모리 회로에 관한 것이다.

배 경 기 술

[0002] PMIC(Power Management IC), DDI(Display Driver IC), CIS(CMOS Image Sensor), MCU (Micro-Controller Unit) 등의 시스템 반도체 칩에서 사용되는 비휘발성 메모리인 NVM (Non-Volatile Memory) IP(Intellectual Property)에는 아래의 [표 1]에서 보는 바와 같이 OTP(One-Time Programmable) 메모리, MTP(Multi-Time Programmable) 메모리, EEPROM과 플래시 메모리 등이 있다.

[0003] 이와 같은 비휘발성 메모리 중에서 OTP 메모리는 추가 마스크가 필요 없으므로 많이 사용된다. OTP 메모리는 아날로그 회로 트리밍과 캘리브레이션(calibration), 칩 ID, 암호 키(encryption key), 리페어 어드레스(repair address), 불량 픽셀 어드레스(bad pixel address) 등을 저장하는 역할을 한다.

[표 1]

NVM Type	OTP	MTP	EEPROM / Flash
PGM Cycling	1	~1K	Over 100K
Cell Type	AntiFuse, eFuse EPROM	Single Poly EEPROM	Double Poly EEPROM, Embedded Flash
Additional Mas	0	≤1	5~9
Application	Trimming and Calibration, Chip ID, Encryption Key, Repair, Code Storage	Trimming and Calibration, Chip ID, Encryption Key, Repair, Code Storage	Code Storage, Data Storage

[0004]

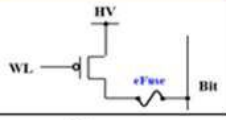
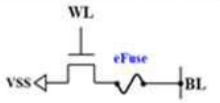
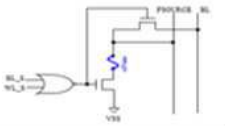
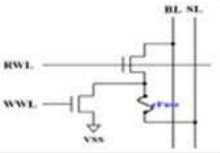
[0005] OTP 메모리 개발 시 베이스(base) 공정인 제네릭(generic) 공정기반으로 로직(logic) 트랜지스터만 사용하는 로직 OTP 셀을 개발하면, 특정 응용 공정에 따라 OTP 셀을 재 설계 할 필요 없이 개발하고자 하는 응용의 주력(backbone) 공정에서 로직 OTP 셀의 퀄리피케이션(qualification)만 다시 받으면 되므로 개발비용을 절감하고 개발 기간을 단축할 수 있다.

[0006] OTP 메모리로서 안티퓨즈(Anti-Fuse) OTP 메모리와 이퓨즈 OTP 메모리가 있다. 안티퓨즈 OTP 메모리의 셀은 얇은 게이트 산화막(thin gate oxide)을 갖는 MOS 트랜지스터에 고전압(high voltage)을 인가하여 게이트 산화막을 파괴시키는 방식으로 데이터를 프로그램 한다. 그런데, 안티퓨즈 OTP 메모리의 셀은 응용분야에 따라 3.3V, 5V, 5.5V, 6V 등의 다양한 MV(Medium Voltage) 트랜지스터를 필요로 하므로 로직 트랜지스터만 이용한 로직 OTP 설계가 불가능하다.

[0007] 이에 비하여, 이퓨즈 OTP 메모리의 셀은 폴리실리콘 게이트에 10mA~30mA 정도의 과전류를 흘려 이퓨즈를 선택적으로 블로잉(blowing)한다. 이퓨즈 오티피 메모리의 셀은 로직 트랜지스터와 MV 트랜지스터를 사용하여 설계하는 경우와 로직 트랜지스터만 사용하여 설계하는 경우가 있다. 이 때, 프로그램된 이퓨즈 링크(link)의 포스트 프로그램(post-program) 저항이 큰 값을 갖도록 하기 위해서는 이퓨즈 양단에 높은 프로그램 파워(program power)를 공급해서 높은 에너지(energy)가 공급되도록 해야 한다. 높은 프로그램 파워를 공급하는 방법으로써 이퓨즈 양단에 높은 전압을 인가할 수 있다.

[0008] 이퓨즈 오티피 메모리의 셀(이하, '이퓨즈 오티피 셀'이라 칭함)은 한 개의 프로그램 트랜지스터에 하나의 기억소자인 이퓨즈 링크만 있으면 된다. 이퓨즈 오티피 셀은 기술개발 동향을 나타낸 아래의 표 2와 같이 싱글 포트(single port)의 이퓨즈 오티피 셀과 듀얼 포트(dual port)의 이퓨즈 오티피 셀로 구분된다. 싱글 포트를 갖는 이퓨즈 오티피 셀은 읽기 포트(read port)와 프로그램 포트(program port)가 하나로 공유된 형태를 갖는다. 이 중에서 하나는 22nm CMOS 공정에서 프로그램 트랜지스터로 PMOS 트랜지스터를 사용한 싱글 포트를 갖는 이퓨즈 오티피 셀이고, 다른 하나는 45nm SOI CMOS 공정에서 프로그램 트랜지스터로 NMOS 트랜지스터를 사용한 싱글 포트를 갖는 이퓨즈 오티피 셀이다. 반면 듀얼 포트를 갖는 이퓨즈 오티피 셀은 읽기 포트와 프로그램 포트가 분리된 형태로 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터와 읽기 전류(read current)를 줄일 수 있는 읽기 모드용 작은 채널 폭의 읽기 NMOS 트랜지스터로 구성되어 있다. 읽기 NMOS 트랜지스터의 채널 폭을 작게 하는 이유는 프로그램 되지 않은 이퓨즈 오티피 셀을 읽어낼 때 전류밀도(current density)가 큰 전류가 이퓨즈 링크에 흐르면서 EM(Electro- Migration) 현상에 의해 블로잉되는 문제를 해결하기 위한 것이다.

[표 2]

Ref.	Process	Cell Structure	Cell Size	Memory Density	Memory IP Size	Program Voltage
[3]	Intel 22nm CMOS		16.4μm²	80b		1.6V
[4]	IBM 45nm CMOS		3.6μm²	4K	0.038mm²	1.5V
[5]	IBM					
[6]	Hynix 90nm CIS		74.27μm²	512b	0.06mm²	5V

[0009]

[0010] 이퓨즈 양단에 높은 전압을 인가하는 방법으로써, 이퓨즈 링크의 양극(anode)에 인가되는 프로그램 전압을 셀 내부 회로의 PD(Program Data) 구동회로를 통해서 인가하는 것보다 도 1에서와 같이 테스트 장비에서 테스트 스위치(SW)를 통해 외부프로그램전원(FSOURCE)을 직접 인가할 수 있다.

[0011] 도 2는 상기 도 1과 같이 싱글 포트를 갖는 이퓨즈 오티피 셀을 이용하여 1행×8열의 이퓨즈 오티피 셀 어레이를 구현한 예를 보여주고 있다. 도 2에서와 같이 외부프로그램전원(FSOURCE)은 각각의 이퓨즈 링크의 양극에 공통으로 연결되어 있다. 도 2의 셀 어레이 회로는 1차원(1D) 어레이로서 2차원(2D) 어레이로 확장할 수 없다.

[0012] 도 3은 이퓨즈 오티피 셀 어레이가 4행×8열의 2D 형태로 배열된 종래 기술의 OTP 메모리 회로를 나타낸 것이다. 도 3을 참조하면, 행 어드레스 디코딩을 하는 워드라인 디코더(31)에 의해 4개의 워드라인(WL[0]-WL[3]) 중에서 하나의 워드라인이 선택된다. 그리고, 비트라인 프로그래밍 선택부(32)의 열 어드레스 디코딩과 프로그램 데이터 조합 논리에 따른 비트라인 선택 동작에 의해 8개의 비트라인(BL[0]-BL[7]) 중에서 하나의 비트라인이 선택된다.

[0013] 상기와 같이 선택된 워드라인과 비트라인에 의해 복수 개의 피모스 트랜지스터(P 채널 모스 트랜지스터)(MP31) 중에서 해당 피모스 트랜지스터가 턴온되고, 이퓨즈 오티피 셀 어레이(33) 상에 매트릭스 형태로 배열된 복수개의 엔모스 트랜지스터(N 채널 모스 트랜지스터)(MN31) 중에서 해당 엔모스 트랜지스터가 턴온된다. 이에 따라, 프로그램전압(VPGM) 단자로부터 상기 피모스 트랜지스터, 해당 이퓨즈(eFuse31) 및 상기 엔모스 트랜지스터(MN31)을 통해 일정치 이상의 전류가 흐르게 되고, 이에 의해 상기 해당 이퓨즈(eFuse31)가 블로잉되어 해당 데이터가 프로그램된다.

[0014] 그런데, 이와 같은 종래의 OTP 메모리 회로는 피모스 트랜지스터를 통해 해당 이퓨즈에 프로그램 전압을 공급하므로 피모스 트랜지스터에 의한 전압 강하(voltage drop)로 인하여 이퓨즈 링크에 충분하지 못한 레벨의 프로그램 전압이 공급되는 문제점이 있다.

[0015] 한편, 도 4는 프로그램 전압을 이퓨즈에 직접 인가하는 구조의 이퓨즈 오티피 셀 어레이 회로를 나타낸 것이다. 도 4를 참조하면, 외부프로그램전원(FSOURCE)이 각 셀에 배열된 이퓨즈(eFuse41)의 양극에 연결된다.

[0016] 프로그램 모드 또는 읽기 모드에서 행 방향의 워드라인 선택신호(WL_S)와 열 방향의 비트라인 선택신호(BL_S)가 각 셀에 배열된 노아게이트(NOR41)에 의해 노아링 연산되고 그 연산 결과에 따라 이퓨즈 오티피 셀 어레이 상의 해당 셀의 엔모스 트랜지스터(MN41),(MN42)가 턴온된다.

[0017] 프로그램 모드에서 테스트 스위치를 통해 이퓨즈 오티피 셀 어레이 상의 해당 셀에 외부프로그램 전원(FSOURCE)이 인가되면 해당 셀의 이퓨즈(eFuse41) 링크에 일정치 이상의 전류가 흘러 블로잉된다. 반면, 읽기 모드에서는 이퓨즈 오티피 셀 어레이 상의 해당 셀의 외부프로그램전원(FSOURCE)을 플로팅 상태로 하면, 해당 이퓨즈의

프로그램 유무에 따라 해당 데이터가 해당 비트라인(BL)으로 전달된다. 여기서, 상기 워드라인 선택신호(WL_S)와 비트라인 선택신호(BL_S)는 액티브 로우(active low) 신호이다.

[0018] 이와 같이, 종래의 OTP 메모리 회로에 있어서는 웨이퍼 테스트 시 로직 트랜지스터 이외의 소자들을 이용하여 이퓨즈 오티피 셀 어레이를 구성하게 되어 있어 개발 비용과 개발 기간이 많이 소요되는 문제점이 있다.

[0019] 또한, 트랜지스터를 통해 해당 셀의 이퓨즈에 프로그램 전압을 공급하게 되어 있어 트랜지스터에 의한 전압 강하로 인하여 이퓨즈 링크에 충분하지 못한 레벨의 프로그램 전압이 공급되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0020] 본 발명이 해결하고자 하는 과제는 이퓨즈 OTP 메모리의 개발 비용과 기간을 단축할 수 있도록 로직 트랜지스터만을 이용하여 이퓨즈 오티피 셀 어레이를 구성하되, 이와 같은 경우 각 셀에서 사용하는 전압이 이퓨즈 링크에서 필요로 하는 전압보다 낮은 레벨의 전원전압인 것을 감안하여 필요로 하는 정도로 높은 레벨의 외부 프로그램 전원을 테스트 장비로부터 공급받아 해당 셀의 이퓨즈 링크에 선택적으로 인가할 수 있도록 하는데 있다.

[0021] 본 발명이 해결하고자 하는 다른 과제는 외부 프로그램 전원을 이퓨즈 오티피 셀 어레이 상의 해당 셀에 직접 인가하여 해당 셀 선택을 위한 디코딩 로직 회로를 저면적으로 구현할 수 있도록 하는데 있다.

과제의 해결 수단

[0022] 상기 기술적 과제를 이루기 위한 본 발명의 실시예에 따른 이퓨즈 오티피 메모리 회로는, 로직 트랜지스터로 구성된 이퓨즈 오티피 셀들로 어레이를 구비하되, 웨이퍼 테스트 시 상기 이퓨즈 오티피 셀들에 각기 구비된 이퓨즈 링크의 블로잉을 위해 상기 이퓨즈 오티피 셀에서 사용되는 전원전압보다 높은 레벨의 외부 프로그램 전원을 각각 공급받고, 상기 이퓨즈 오티피 셀을 선택적으로 블로잉하기 위해 각각의 이퓨즈 오티피 셀에 대응되는 디코딩 로직부를 구비한 이퓨즈 오티피 셀 어레이; 프로그램 데이터, 프로그램신호 및 테스트모드 인에이블신호를 포함하는 제어신호에 따라 상기 이퓨즈 오티피 셀 어레이를 대상으로 프로그램 모드와 읽기 모드에 적합한 내부 제어 신호를 생성하여 출력하는 컨트롤 로직부; 상기 컨트롤 로직부의 제어하에 행 어드레스를 공급받아 상기 이퓨즈 오티피 셀 어레이에 리드워드라인신호 및 라이트워드라인바신호를 출력하는 워드라인 구동부; 소스라인 구동을 위하여, 상기 컨트롤 로직부의 제어하에 상기 이퓨즈 오티피 셀 어레이의 열 어드레스를 디코딩하여 출력하는 컬럼 디코더; 및 상기 컨트롤 로직부의 제어하에 상기 프로그램 모드에서 입력데이터에 대응되는 프로그램데이터를 상기 이퓨즈 오티피 셀 어레이에 공급하고, 상기 읽기 모드에서 상기 이퓨즈 오티피 셀 어레이로부터 공급되는 비트라인신호를 감지 및 증폭하여 그에 따른 출력데이터를 출력하는 프로그램 데이터 선택부 및 센스앰프;를 포함하는 것을 특징으로 한다.

발명의 효과

[0023] 본 발명은 로직 트랜지스터만을 이용하여 이퓨즈 오티피 셀 어레이를 구성하되, 필요로 하는 정도로 높은 레벨의 외부 프로그램 전원을 테스트 장비로부터 공급받아 해당 셀의 이퓨즈 링크에 선택적으로 인가할 수 있도록 함으로써, 이퓨즈 OTP 메모리의 개발 비용과 기간을 단축할 수 있는 효과가 있다.

도면의 간단한 설명

[0024] 도 1은 종래 기술에 의한 이퓨즈 오티피 셀 회로도이다.

도 2는 종래 기술에 의한 이퓨즈 오티피 셀 어레이 회로도이다.

도 3은 종래 기술에 의한 이퓨즈 오티피 메모리 회로도이다.

도 4는 종래 기술에 의한 다른 이퓨즈 오티피 셀 어레이 회로도이다.

도 5는 본 발명의 실시예에 따른 이퓨즈 오티피 메모리 회로에 대한 블록도이다.

도 6은 본 발명에 따른 이퓨즈 오티피 셀 회로도이다.

도 7은 본 발명에 따른 워드라인 구동부의 상세 회로도이다.

도 8은 본 발명에 따른 프로그램 데이터 선택부의 상세 회로도이다.

도 9는 본 발명에 따른 센스앰프의 상세 회로도이다.

도 10은 본 발명에 따른 외부프로그램전원의 제어회로도이다.

도 11a 및 도 11b는 본 발명이 적용된 로직 이퓨즈 오티피 메모리에 대한 프로그램 모드에서의 모의실험 결과를 나타낸 파형도이다.

도 12a 및 도 12b는 본 발명이 적용된 이퓨즈 오티피 메모리에 대한 읽기 모드에서의 모의실험 결과를 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0026] 도 5는 본 발명의 일실시에 따른 이퓨즈 오티피 메모리 회로의 블록도로서 이에 도시한 바와 같이 이퓨즈 오티피 메모리 회로(50)는, 이퓨즈 오티피 셀 어레이(51), 컨트롤 로직부(52), 워드라인 구동부(53), 컬럼 디코더(54) 및 프로그램 데이터 선택부 및 센스앰프(55)를 포함한다.

[0027] 이퓨즈 오티피 셀 어레이(51)는 다른 소자를 사용하지 않고 로직 트랜지스터만으로 구성된 이퓨즈 오티피 셀들로 어레이를 구성한다. 이에 따라, 각 이퓨즈 오티피 셀에서 비교적 낮은 레벨의 전원전압(VDD=1.5V)을 사용할 수 있게 된다. 그런데, 이퓨즈 오티피 셀 어레이(51)의 각 이퓨즈 오티피 셀에 배열된 이퓨즈 링크는 상기 전원전압(VDD=1.5V)보다 높은 레벨의 전압(예: 2.4V)을 사용하므로 상기 전원전압(VDD=1.5V)을 이용할 수 없게 된다. 이를 감안하여, 필요로 하는 레벨의 프로그램 전압이 외부 프로그램전원 패드를 통해 해당 이퓨즈 오티피 셀의 이퓨즈 링크에 직접 인가되도록 하였다.

[0028] 상기 이퓨즈 오티피 셀 어레이(51)의 셀 배열 형태나 용량은 특별하게 한정되지 않으나, 본 실시예에서는 128행×8열로 배열된 1Kb 용량인 것을 예로 하여 설명한다. 이와 같은 경우, 이퓨즈 오티피 셀 어레이(51) 상에 128행×8열로 배열된 각각의 이퓨즈 오티피 셀들을 대상으로 한 비트 씩 프로그램하기 위해서는 행 디코딩과 열 디코딩을 통해 한 비트씩 즉, 각각의 이퓨즈 오티피 셀을 순차적으로 선택하여 구동시켜야 한다.

[0029] 도 6은 상기와 같은 조건을 만족시키기 위한 하나의(단위) 이퓨즈 오티피 셀 회로를 나타낸 것으로 이에 도시한 바와 같이, 이퓨즈 오티피 셀(51A) 및 디코딩 로직부(51B)를 구비한다.

[0030] 이퓨즈 오티피 셀(51A)은 일측 단자(드레인)에 비트라인신호(BL)가 공급되고 게이트에 리드워드라인신호(RWL)가 공급되는 읽기 모드용 엔모스 트랜지스터(MN61), 일측 단자가 상기 엔모스 트랜지스터(MN61)의 타측 단자(소스)에 연결되고 타측 단자가 접지전압(VSS)에 연결된 엔모스 트랜지스터(MN62) 및 일측 단자가 상기 엔모스 트랜지스터(MN61),(MN62)의 공통 연결단자에 연결되고 타측 단자가 외부프로그램전원(FSOURCE = 2.4V)에 연결된 이퓨즈(eFuse61)를 구비한다.

[0031] 디코딩 로직부(51B)는 일측 단자(소스) 및 플로팅 게이트에 프로그램데이터(PD)가 공급되고 게이트에 라이트워드라인바신호(WWLb)가 공급되며 타측 단자가 상기 엔모스 트랜지스터(MN62)의 게이트에 연결된 피모스 트랜지스터(MP61) 및 일측 단자가 상기 피모스 트랜지스터(MP61)의 타측 단자에 연결되고 게이트에 상기 라이트워드라인바신호(WWLb)가 공급되며 타측 단자가 접지전압(VSS)에 연결된 엔모스 트랜지스터(MN63)를 구비한다.

[0032] 상기와 같이 각각의 이퓨즈 오티피 셀을 순차적으로 선택하여 구동시키기 위해 각각의 이퓨즈 오티피 셀(51A)에 대응되는 디코딩 로직부(51B)를 구비하여 상기 엔모스 트랜지스터(MN62)의 게이트노드 전압(NG)을 제어하도록 하였다. 상기 엔모스 트랜지스터(MN62)는 일정치 이상의 프로그램전류를 흘릴 수 있도록 하기 위하여 해당 채널폭을 갖도록 하였다.

[0033] 디코딩 로직부(51B)는 라이트워드라인바신호(WWLb:Write Word-Line bar)과 프로그램데이터(PD: Program Data)에 따라 아래의 [표 3]에서와 같은 진리표로 게이트노드 전압(NG)을 출력한다.

[0034] 읽기 모드 또는 프로그램 모드에서 선택되지 않은 행에 대한 라이트워드라인바신호(WWLb)의 로직 값은 '1'이므

로 피모스 트랜지스터(MP61)가 오프 상태가 된다. 이에 따라, 엔모스 트랜지스터(MN62)의 게이트노드전압(NG)이 '0'로 공급되어 상기 엔모스 트랜지스터(MN62)가 오프 상태로 된다.

[0035] 그러나, 프로그램 모드에서 선택된 행에 대한 라이트워드라인바신호(WWLb)의 로직 값은 '0'이고, 프로그램데이터(PD)가 '1'로 공급된다. 이에 따라, 엔모스 트랜지스터(MN61)의 게이트노드전압(NG)이 '1'로 공급되어 상기 엔모스 트랜지스터(MN62)가 온 상태로 된다. 이로 인하여, 외부프로그램전원(FSOURCE)으로부터 이퓨즈(eFuse61) 및 엔모스 트랜지스터(MN62)를 통해 접지전압(VSS)으로 일정치 이상의 전류가 흐르게 되어 상기 이퓨즈(eFuse61)가 블로잉된다.

[0036] 상기 라이트워드라인바신호(WWLb)의 로직 값 및 프로그램데이터(PD)의 로직 값이 모두'0'인 경우, 상기 게이트노드 전압(NG)이 플로팅 상태가 되지만, 라이트워드라인바신호(WWLb)가 전원전압(VDD)에서 0V로 스위칭되면서 피모스 트랜지스터(MP61)의 게이트와 드레인 사이의 오버랩(overlap)에 의한 게이트 산화막 커패시턴스(gate oxide capacitance)의 커플링(coupling)에 의해 상기 게이트노드 전압(NG)이 순간적으로 부극성 전위로 떨어진다. 이에 따라, 상기 엔모스 트랜지스터(MN62)가 오프 상태를 유지하게 되어 이퓨즈(eFuse61)가 비블로잉(non-blowing) 상태를 유지하게 된다.

[0037] 따라서, 상기와 같이 두 개의 트랜지스터(MP61,MN63)로 구성된 디코딩 로직부(51B)를 이용하여 아래의 [표 3]과 같은 노아게이트 로직의 게이트노드 전압(NG)을 출력하여 각 이퓨즈 오티피 셀(51A)의 블로잉 동작을 제어할 수 있게 된다.

[표 3]

WWLb	PD	NG
0	0	Floating
0	1	1
1	0	0
1	1	0

[0038]

[0039] 아래의 [표 4]는 상기 이퓨즈 오티피 셀(51A)의 동작 모드별 바이어스 전압을 나타낸 것이다. 프로그램 모드(Program Mode)에서 외부프로그램전원(FSOURCE)은 2.4V로 공급되고 리드워드라인신호(RWL)가 0V로 공급된다. 해당 이퓨즈 오티피 셀 예를 들어, 이퓨즈 오티피 셀(51A)을 '1'로 프로그램 하는 경우 라이트워드라인바신호(WWLb)는 0V로 공급되고 프로그램데이터(PD)는 전원전압(VDD)으로 공급된다. 이에 따라, 전원전압(VDD)이 게이트노드전압(NG)으로 공급되므로 이퓨즈(eFuse61)가 블로잉되어 끊어진 상태로 된다. 그러나, 프로그램 모드에서 이퓨즈 오티피 셀(51A)을 '0'으로 프로그램 하는 경우 프로그램데이터(PD)가 '0V'로 공급되거나 라이트워드라인바신호(WWLb)가 전원전압(VDD)으로 공급되어 엔모스 트랜지스터(MN62)가 오프 상태에 놓이게 되므로 이퓨즈(eFuse61)가 블로잉되지 않아 연결된 상태가 유지된다.

[0040] 한편, 읽기 모드(Read Mode)에서는 행 어드레스인 A[9:3]을 디코딩 하여 선택된 리드워드라인신호(RWL)과 라이트워드라인바신호(WWLb)는 모두 전원전압(VDD)으로 공급된다. 그리고, 프로그램데이터(PD)는 열 어드레스인 A[2:0]에 상관없이 모두 0V로 공급된다. 이전에 이퓨즈 오티피 셀(51A)의 이퓨즈(eFuse61)가 '0'으로 프로그램된 경우 비트라인신호(BL)가 엔모스 트랜지스터(MN61) 및 이퓨즈(eFuse61)의 전류경로를 통해 외부프로그램전원(FSOURCE) 측으로 빠져나가게 되고, 이로 인하여 비트라인신호(BL)의 로직이 '0'이 된다. 그러나, 이퓨즈 오티피 셀(51A)의 이퓨즈(eFuse61)가 '1'로 프로그램된 경우에는 상기 전류경로가 차단되어 비트라인신호(BL)의 로직이 '1'이 된다.

[표 4]

Signal		Program Mode		Read Mode	
DIN		0	1	0	1
FSOURCE		2.4V	2.4V	0V	0V
RWL		0V	0V	VDD	VDD
WWLb	Unselected	VDD	VDD	VDD	VDD
	Selected	0V	0V	VDD	VDD
NG	Unselected	0V	0V	0V	0V
	Selected	Floating	VDD	0V	0V
BL		Floating	Floating	0	1
DOUT		X	X	0	1

[0041]

[0042] 상기 이퓨즈 오티피 셀 어레이(51)의 주요 특징은 아래의 [표 5]와 같다. 즉, 이퓨즈 오티피 셀 어레이(51)에 사용되는 전원전압(VDD)은 상기 설명에서와 같이 1.5V이고, 외부 프로그램전원(FSOURCE)으로 2.4V가 사용된다. 동작 모드로서 프로그램 모드, 노멀 리드(normal read) 모드, 프로그램 확인 리드(program-verify-read) 모드가 지원된다. 상기 이퓨즈 오티피 메모리 회로(50)의 프로그램 비트로서 1 비트가 할당되고, 읽기 비트로서 8 비트가 할당될 수 있다. 상기 이퓨즈 오티피 셀(51A)에 사용되는 트랜지스터(MN61-MN63)(MP61)로서 구동전압이 1.5V인 로직 트랜지스터가 사용될 수 있다.

[표 5]

Items	Main Features
Process	Dongbu 110nm CIS
OTP Cell Array Size	128R × 8C
Fuse Type	N-poly (Co-silicide)
Supply Voltage (VDD)	1.5V±10%
Temperature Range	-40℃ ~ 85 ℃
Operating Mode	Program / Normal Read/ Program-Verify-Read
Program bit / Read bit	1bit / 8bit
Program Voltage	2.4V
Program Time	20 μs
Access Time	500 ns

[0043]

[0044] 컨트롤 로직부(52)는 프로그램 데이터(PD), 프로그램신호(PGM) 및 테스트모드 인에이블신호(TM_EN)와 같은 제어신호에 따라 상기 이퓨즈 오티피 셀 어레이(51)를 대상으로 프로그램 모드와 읽기 모드를 수행하는데 적합한 내부 제어 신호를 생성하여 출력한다.

[0045] 워드라인 구동부(53)는 상기 컨트롤 로직부(52)의 제어하에 행 어드레스 A[9:3]를 공급받아 상기 이퓨즈 오티피 셀 어레이(51)를 대상으로 리드워드라인신호(RWL) 및 라이트워드라인바신호(WWLb)를 출력한다.

[0046] 도 7은 상기 워드라인 구동부(53)의 상세 회로도로서 이에 도시한 바와 같이, 제어신호(AX1),(AX2)를 낸드연산하는 낸드게이트(ND71), 상기 낸드게이트(ND71)의 출력신호와 워드라인인에이블바신호(WLENb_RD)를 노아연산하는 노아게이트(NOR71), 상기 낸드게이트(ND71)의 출력신호의 위상을 반전시켜 출력하는 인버터(I71), 워드라

인인에이블신호(WLEN_PGM)와 상기 인버터(I71)의 출력신호를 낸드연산하는 낸드게이트(ND72) 및 서로 직렬 연결되어 상기 낸드게이트(ND72)의 출력신호의 위상을 순차적으로 반전시키는 인버터(I72),(I73)를 구비한다.

[0047] 프로그램 모드로 진입하여 워드라인인에이블신호(WLEN_PGM)가 전원전압(VDD)의 레벨로 구동되면, 행 어드레스인 A[9:3]을 디코딩하여 선택되는 라이트워드라인바신호(WWLb)만 0V로 구동되고, 선택되지 않은 라이트워드라인바신호(WWLb)는 전원전압(VDD)의 레벨을 유지한다. 이때, 워드라인인에이블신호(WLEN_PGM)는 프로그램 모드에서 전원전압(VDD)의 레벨을 유지하므로 리드워드라인신호(RWL)는 0V를 유지한다.

[0048] 그리고 읽기 모드에서 선택된 리드워드라인신호(RWL)는 전원전압(VDD)의 레벨로 구동되고 선택되지 않은 리드워드라인신호(RWL)는 0V를 유지한다. 이때, 워드라인인에이블신호(WLEN_PGM)는 읽기 모드에서 0V를 유지하므로 라이트워드라인바신호(WWLb)는 행 어드레스인 A[9:3]에 상관없이 모두 전원전압(VDD)의 레벨을 유지한다.

[0049] 컬럼 디코더(54)는 상기 이퓨즈 오티피 셀 어레이(51)의 소스라인 구동을 위하여, 상기 컨트롤 로직부(52)의 제어하에 열 어드레스 A[2:0]를 디코딩하여 디코딩된 열 어드레스를 프로그램데이터 선택부 및 센스앰프(55)에 출력한다.

[0050] 프로그램데이터 선택부 및 센스앰프(55)는 상기 컨트롤 로직부(52)의 제어하에 프로그램 모드에서 입력데이터(DIN)에 대응되는 프로그램데이터(PD)를 상기 이퓨즈 오티피 셀 어레이(51)에 공급하고, 읽기 모드에서 상기 이퓨즈 오티피 셀 어레이(51)로부터 공급되는 비트라인신호(BL)를 감지 및 증폭하여 그에 따른 출력데이터(DOUT)를 출력한다. 참고로, 상기 출력 데이터(DOUT)와 입력 데이터 (DIN)는 각각 분리되어 있다. 그리고 10개의 어드레스 신호에 의해 1Kb 중 1비트가 선택되며, 읽기와 쓰기는 각각 1바이트와 1비트 씩 수행될 수 있다.

[0051] 도 8은 프로그램 데이터 선택부 및 센스앰프(55)에 구비된 프로그램 데이터 선택부의 상세 회로도를 나타낸 것으로 이에 도시한 바와 같이, 워드라인인에이블신호(WLEN_PGM), 컬럼 선택신호(COL_SEL) 및 입력 데이터(DIN)를 낸드연산하는 낸드게이트(ND81) 및 상기 낸드게이트(ND81)의 출력신호의 위상을 반전시켜 출력하는 인버터(I81)를 구비한다.

[0052] 프로그램 데이터 선택부 및 센스앰프(55)에 구비된 센스앰프는 센스앰프인에이블바신호(SAENb)가 '하이'인 구간 동안 노드(N1,N2)가 0V로 리세트(reset)된다. 그리고, 상기 센스앰프는 상기 센스앰프인에이블바신호(SAENb)가 '하이'에서 '로우'로 활성화될 때 비트라인신호(BL)와 기준전압(VREF)의 차동전압을 센싱하여 그에 따른 출력데이터(DOUT),(DOUTb)를 발생한다.

[0053] 도 9는 상기 센스앰프의 상세 회로도를 나타낸 것으로 이에 도시한 바와 같이, 비트라인 제어부(55A), 센스앰프부(55B), RS 래치(55C) 및 출력버퍼(55D)를 포함한다.

[0054] 비트라인 제어부(55A)는 비트라인로드바 신호(BL_LOADb) 및 비트라인프리차지 신호(BL_PCG)에 따라 비트라인을 제어하는 역할을 한다.

[0055] 이를 위해, 비트라인 제어부(55A)는 일측 단자가 전원전압(VDD)에 연결되고 게이트에 비트라인로드바 신호(BL_LOADb)가 공급되는 피모스 트랜지스터(MP91), 일측 단자가 상기 피모스 트랜지스터(MP91)의 타측 단자에 연결되고 타측 단자에 비트라인신호(BL)가 공급되는 저항(R91) 및 일측 단자에 상기 비트라인신호(BL)가 공급되고 타측 단자가 접지전압(VSS)에 연결되며 게이트에 비트라인프리차지 신호(BL_PCG)가 공급되는 엔모스 트랜지스터(MN91)를 구비한다.

[0056] 센스앰프부(55B)는 비트라인신호(BS)와 기준전압(VREF)의 차동전압을 센싱하여 그에 따른 출력데이터(DOUT)를 발생하는 역할을 한다.

[0057] 이를 위해, 상기 센스앰프부(55B)는 피모스 트랜지스터(MP92-MP96) 및 엔모스 트랜지스터(MN92-MN96)로 이루어져 센스앰프인에이블바신호(SAENb)가 '로우'로 활성화될 때 비트라인신호(BL)와 기준전압(VREF)을 비교하는 방식으로 센싱하여 그에 따른 전압을 노드(N1),(N2)에 출력하는 센스앰프회로, 스탠바이 모드에서 센스앰프인에이블바신호(SAENb)에 의해 턴온되어 상기 센스앰프부에 전원전압(VDD)을 공급하는 피모스 트랜지스터(MP92) 및 스탠바이 모드에서 센스앰프인에이블바신호(SAENb)에 의해 각각 턴온되어 상기 노드(N1),(N2)의 전압을 접지전압(VSS)으로 프리차지시키는 엔모스 트랜지스터(MN94),(MN95)를 구비한다.

[0058] RS 래치(55C)는 상기 노드(N1),(N2)를 통해 이전 상태의 데이터를 래치하는 역할을 수행하며, 이를 위해 노아게이트(NOR91),(NOR92)를 구비한다.

[0059] 출력버퍼(55D)는 상기 RS 래치(55C)에서 래치된 출력데이터(DOUT),(DOUTb)를 완충 증폭하여 출력한다.

[0060] 상기 도 9에서 비트라인 제어부(55A)를 제외한 센스앰프부(55B), RS 래치(55C) 및 출력버퍼(55D)는 센스앰프 기반의 D형 플립플롭의 기능을 수행하는 영역이다.

[0061] 한편, 도 10은 외부프로그램전원의 제어회로를 나타낸 것으로 이에 도시한 바와 같이, 프로그램 이외의 모드에서 외부프로그램전원(FSOURCE)을 접지전압으로 클램핑시키는 제1클램핑부(51C) 및 읽기 모드에서 외부프로그램전원(FSOURCE)을 접지전압으로 클램핑시키는 제2클램핑부(51D)를 구비한다.

[0062] 제1클램핑부(51C)는 외부프로그램전원(FSOURCE)의 위상을 반전시키는 인버터(I101) 및 상기 인버터(I101)의 출력전압에 따라 상기 외부프로그램전원(FSOURCE)을 접지단자에 연결하는 엔모스 트랜지스터(MN101)를 구비한다.

[0063] 제2클램핑부(51D)는 리드바신호(IREADb)의 위상을 반전시키는 인버터(I102) 및 상기 인버터(I102)의 출력전압에 따라 상기 외부프로그램전원(FSOURCE)을 접지단자에 연결하는 엔모스 트랜지스터(MN102)를 구비한다.

[0064] 프로그램 모드에서 테스트 장비를 통해 전달되는 외부프로그램전원(FSOURCE)은 이퓨즈 오티피 셀 어레이(51)의 이퓨즈 오티피 셀(51)에 공급된다.

[0065] 그러나, 프로그램 이외의 모드에서 제1 클램핑부(51C)에 의해 외부프로그램전원(FSOURCE)이 0V 전압으로 클램핑된다. 즉, 프로그램 이외의 모드에서 상기 테스트 장비의 전원스위치가 오프되거나 외부프로그램전원(FSOURCE)의 노드가 플로팅된 상태에서 전원전압(VDD)이 온되는 경우, 인버터(I101)로부터 '하이'가 출력되고 이에 의해 엔모스 트랜지스터(MN101)가 턴온 상태를 유지한다. 이에 따라, 상기 외부프로그램전원(FSOURCE)이 엔모스 트랜지스터(MN101)를 통해 접지단자로 방전된다. 이로 인하여, 상기 외부프로그램전원(FSOURCE)이 0V로 유지된다.

[0066] 그리고, 읽기 모드에서는 트랜지스터의 폭 (width)이 일정치 보다 큰 엔모스 트랜지스터(MN102)에 의해 상기 외부프로그램전원(FSOURCE)이 0V로 클램핑된다.

[0067] 도 11은 본 발명이 적용된 1Kb 로직 이퓨즈 오티피 메모리에 대한 프로그램 모드에서의 모의실험 결과를 나타낸 파형도이다.

[0068] 프로그램 모드에 진입하기 전에 외부프로그램전원(FSOURCE)이 공급된다. 그리고, 워드라인 구동부(53)에 행 어드레스 A[9:0]가 인가된 상태에서 프로그램신호(PGM)가 활성화 된다. 이와 같은 상태에서 입력데이터(DIN)가 '1'인 경우 도 11a에서와 같이 선택된 이퓨즈 오티피 셀의 라이트워드라인바신호(WWLb)와 프로그램데이터(PD)는 각각 각각 0V, VDD로 활성화 되어 이퓨즈 오티피 셀의 프로그램 트랜지스터가 온된다. 이에 의해 큰 프로그램 전류가 이퓨즈 링크를 통해서 흐르면서 해당 이퓨즈가 블로잉된다.

[0069] 그러나, 상기와 같은 상태에서 입력데이터(DIN)가 '0'인 경우 도 11b에서와 같이 선택된 이퓨즈 오티피 셀의 라이트워드라인바신호(WWLb)와 프로그램데이터(PD)가 모두 '로우'가 되어 상기 프로그램 트랜지스터가 오프된다. 이에 의해 이퓨즈 오티피 셀의 링크에 프로그램 전류가 흐르지 않으므로 해당 이퓨즈가 블로잉되지 않는다.

[0070] 한편, 도 12a 및 도 12b는 본 발명이 적용된 1Kb 이퓨즈 오티피 메모리에 대한 읽기 모드에서의 모의실험 결과를 나타낸 파형도이다. 리드신호(RD)가 '하이'로 활성화되면 '하이'로 공급되는 비트라인프리차지신호(BL_PCG)에 의해 상기 기준전압(VREF)과 비트라인신호(BL)가 0V로 프리차징된다.

[0071] 리고, 리드워드라인신호(RWL)가 '하이'로 활성화되고, 비트라인로드바 신호(BL_LOADb)가 '로우'로 활성화되면서 기준전압(VREF)이 생성되고, 이퓨즈 오티피 셀의 데이터가 비트라인에 전달된다. 이퓨즈 오티피 셀의 데이터가 비트라인에 전달되면 센스앰프인에이블신호(SAEN)가 '하이'로 활성화되면서 상기 프로그램데이터 선택부 및 센스앰프(55)의 센스앰프에서 상기와 같이 데이터가 센싱되어 그에 따른 출력데이터(DOUT)가 출력된다.

[0072] 한편, 아래의 [표 6]은 본 발명에 따른 1Kb 이퓨즈 오티피에서 프로그램된 이퓨즈 링크의 센싱 저항에 대한 모의실험 결과를 나타낸 것으로, 이에 도시된 바와 같이 프로그램 확인 리드 모드(Program-Verify-Read Mode)와 리드 모드(Read Mode)모드에서 이퓨즈 센싱 저항은 각각 28.2kΩ과 12.9kΩ으로 확인 되었다.

[표 6]

VDD	Temp	Program-Verify-Read Mode					Read Mode				
		SS model	SF model	TT model	FS model	FF model	SS model	SF model	TT model	FS model	FF model
1.35V	-40℃	24.5K	28.2K	25.7K	25.3K	26.2K	11.8k	10.1k	11.0k	11.8k	10.5k
	25℃	24.6K	27.2K	25.5K	26.9K	26.3K	12.3k	10.7k	11.5k	12.3k	10.8k
	85℃	26.3K	26.5K	26.5K	27.8K	26.9K	12.9k	11.2k	11.8k	12.7k	11.1k
1.5V	-40℃	24.9K	26.7K	25.4K	25.4K	25.7K	10.8k	10.0k	10.4k	10.8k	10.1k
	25℃	25.0K	26.2K	25.6K	26.6K	26.0K	11.3k	10.3k	10.7k	11.2k	10.3k
	85℃	26.2K	26.0K	26.4K	27.2K	26.9K	11.7k	10.6k	11.0k	11.5k	10.5k
1.65V	-40℃	24.8K	25.8K	25.3K	25.4K	25.4K	10.1k	9.6k	9.8k	10.0k	9.9k
	25℃	25.8K	26.1K	25.7K	26.6K	26.0K	10.4k	9.8k	10.0k	10.3k	10.2k
	85℃	26.3K	25.8K	26.4K	27.1K	26.6K	10.7k	10.0k	10.2k	10.6k	10.2k

[0073]

[0074] 이상에서 본 발명의 바람직한 실시예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있으며, 이러한 실시예들 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0075] 50 : 이퓨즈 오티피 메모리 회로 51 : 이퓨즈 오티피 셀 어레이

51A : 이퓨즈 오티피 셀 51B : 디코딩 로직부

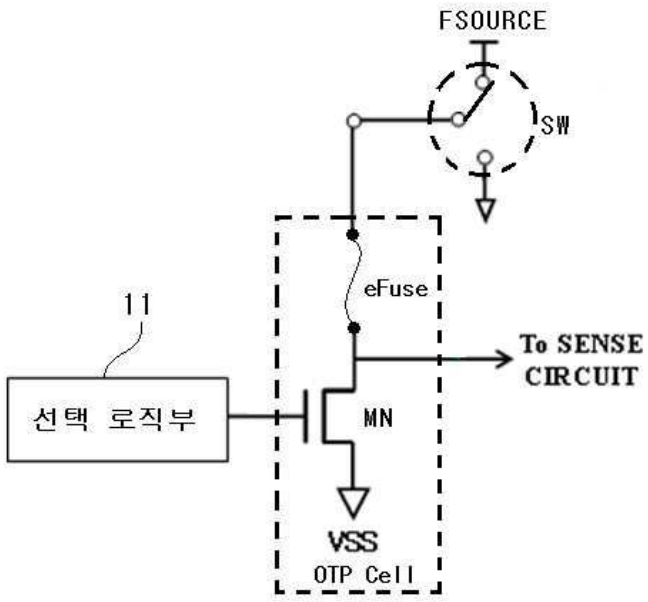
51C : 제1클램핑부 51D : 제2클램핑부

52 : 컨트롤 로직부 53 : 워드라인 구동부

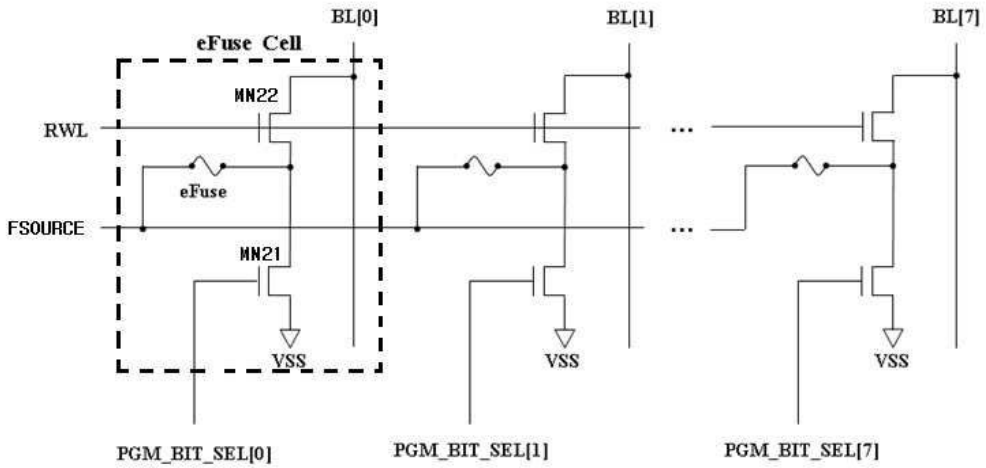
54 : 컬럼 디코더 55 : 프로그램 데이터 선택부 및 센스앰프

도면

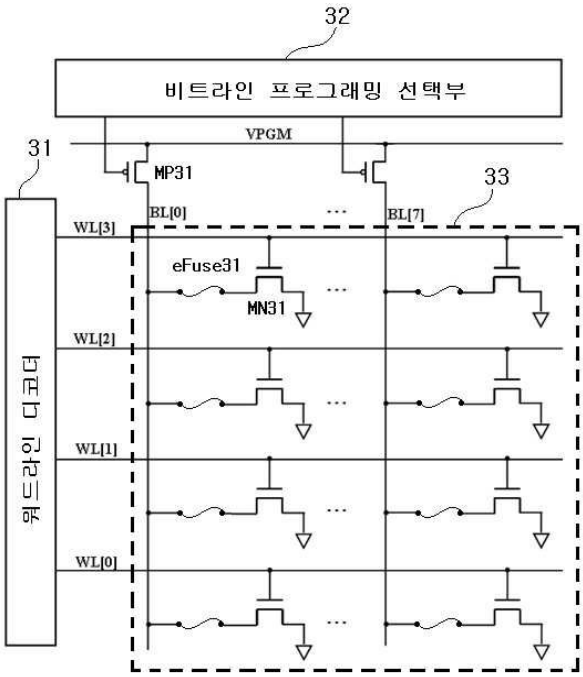
도면1



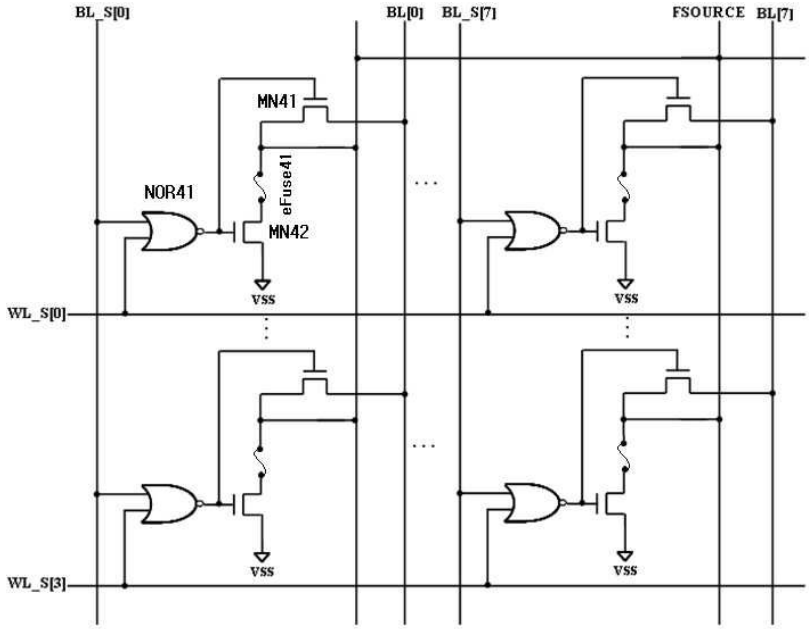
도면2


BL[0]
BL[1]
BL[7]
eFuse Cell
MN22
RWL
eFuse
FSOURCE
MN21
VSS
VSS
VSS
PGM_BIT_SEL[0]
PGM_BIT_SEL[1]
PGM_BIT_SEL[7]

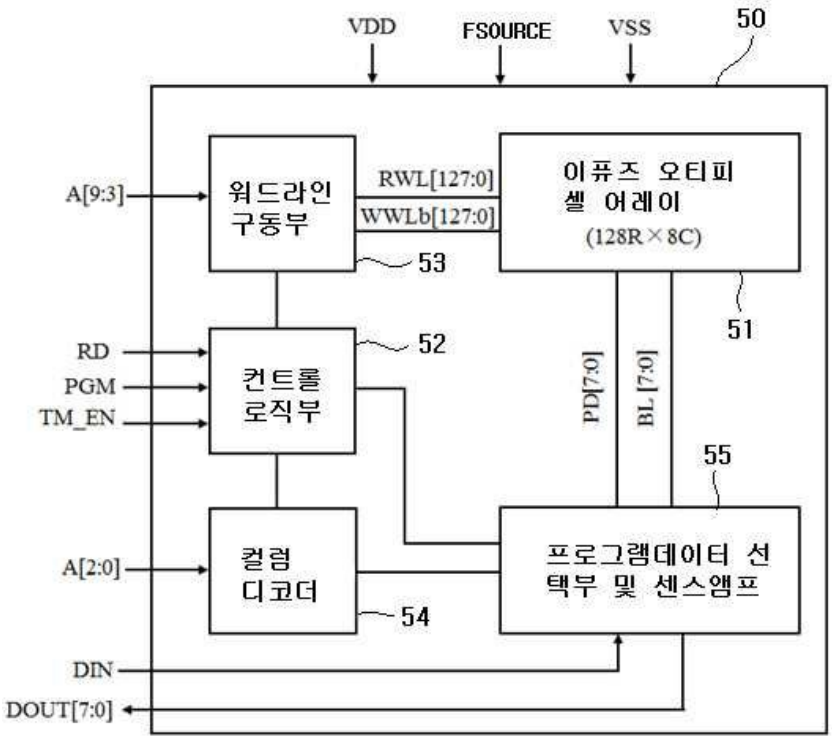
도면3


32
비트라인 프로그래밍 선택부
VPGM
31
MP31
33
BL[0]
BL[7]
WL[3]
eFuse31
MN31
WL[2]
WL[1]
WL[0]
워드라인 디코더

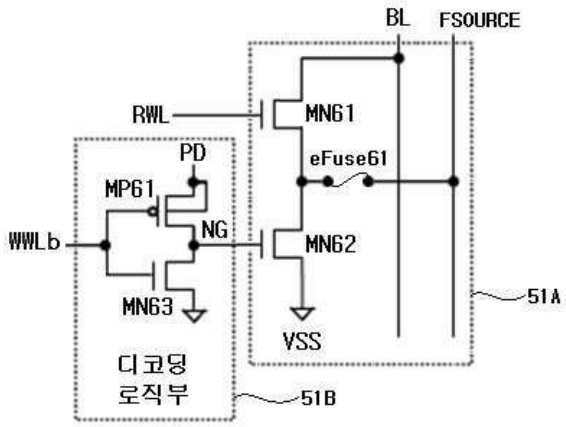
도면4


BL_S[0]
BL[0]
BL_S[7]
FSOURCE
BL[7]
MN41
eFuse41
NOR41
MN42
VSS
WL_S[0]
WL_S[3]

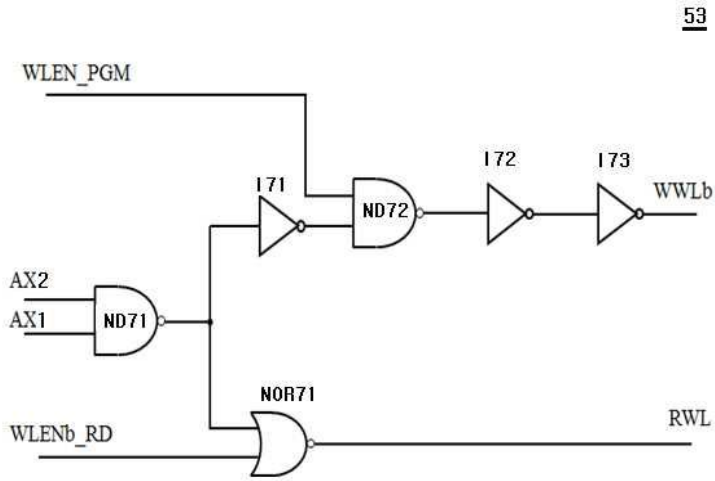
도면5


VDD
FSOURCE
VSS
50
A[9:3]
워드라인 구동부
RWL[127:0]
WWLb[127:0]
53
이퓨즈 오티피 셀 어레이
(128R×8C)
51
RD
PGM
TM_EN
컨트롤 로직부
52
PD[7:0]
BL[7:0]
55
A[2:0]
컬럼 디코더
54
프로그램데이터 선택부 및 센스앰프
DIN
DOUT[7:0]

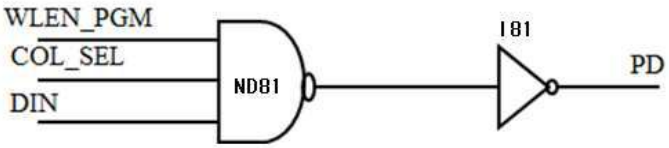
도면6


BL
FSOURCE
RWL
MN61
PD
eFuse61
MP61
NG
WWLb
MN62
MN63
VSS
51A
디코딩
로직부
51B

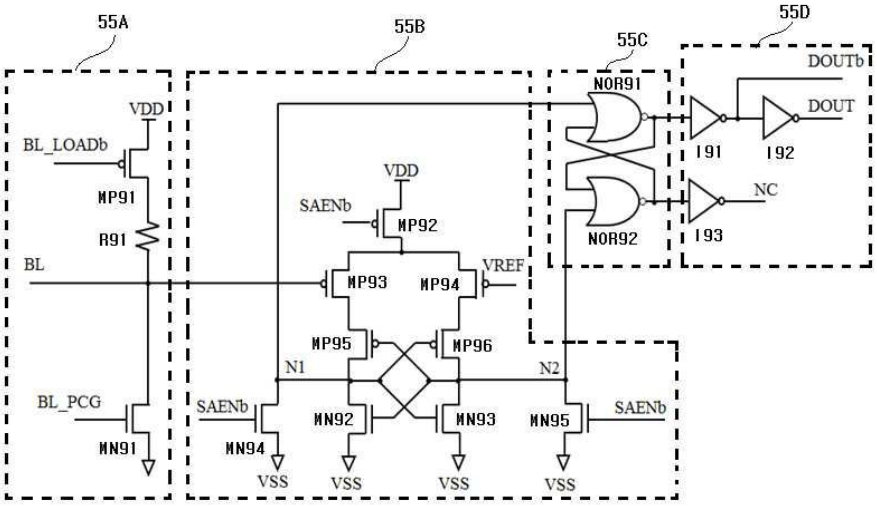
도면7


53
WLEN_PGM
I71
ND72
I72
I73
WWLb
AX2
AX1
ND71
NOR71
WLENb_RD
RWL

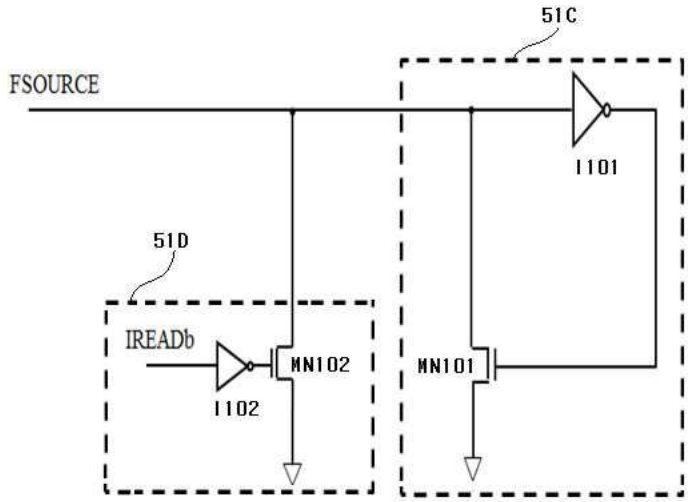
도면8


WLEN_PGM
COL_SEL
DIN
ND81
I81
PD

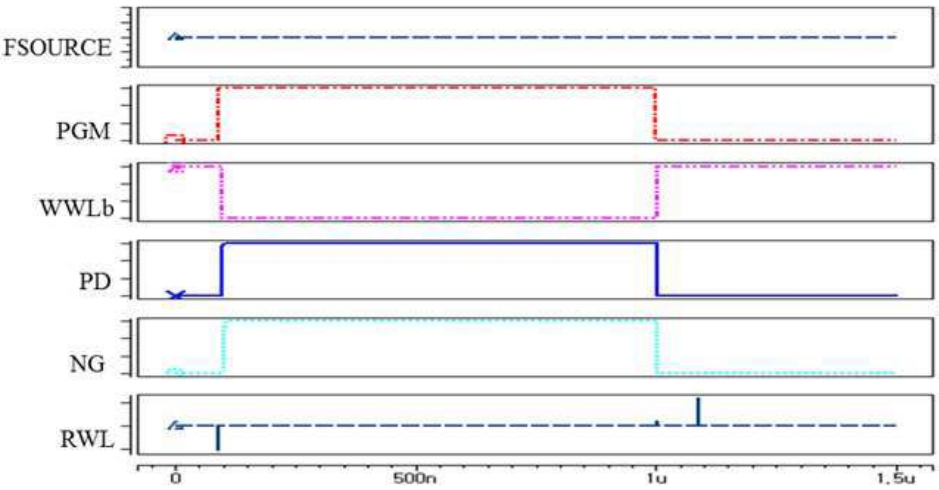
도면9



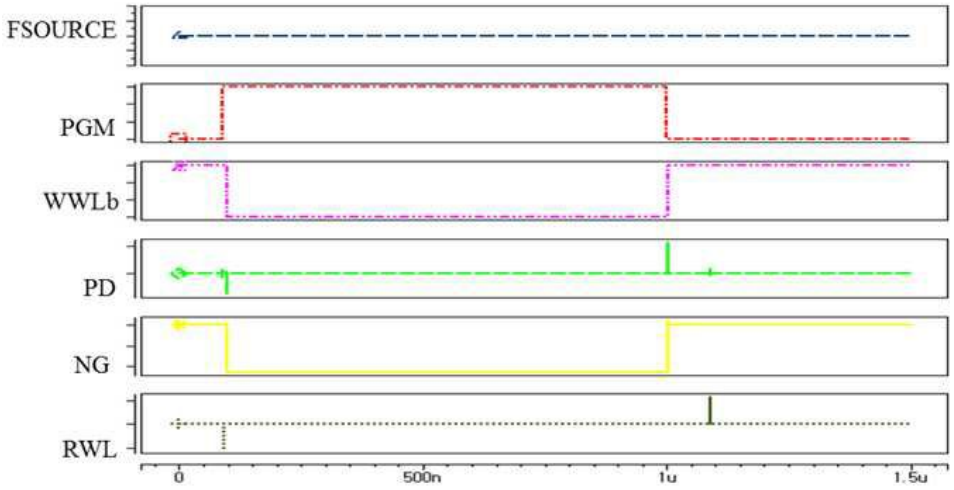
도면10



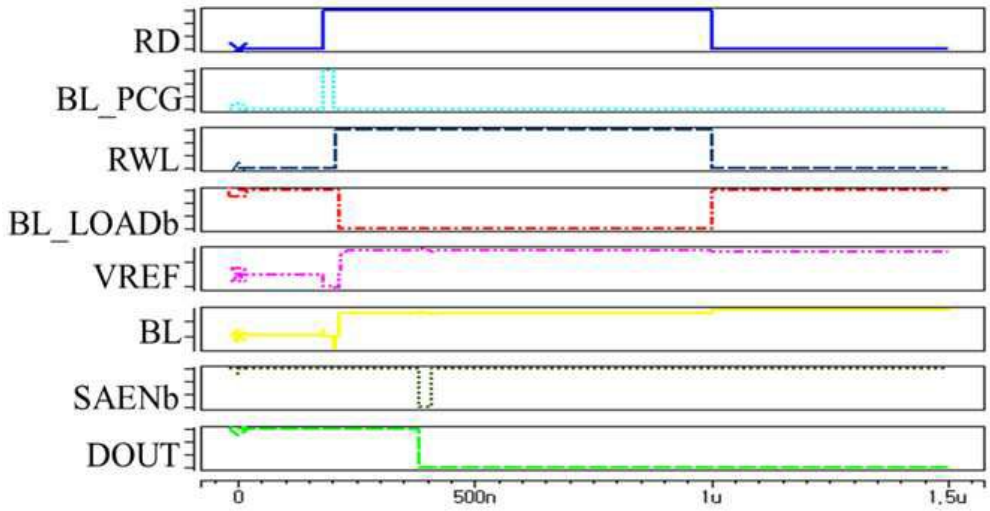
도면11a



도면11b



도면12a



도면12b

