

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410069934.7

[51] Int. Cl.

G09G 3/32 (2006.01)

G09G 3/30 (2006.01)

H05B 33/08 (2006.01)

H04N 5/44 (2006.01)

[45] 授权公告日 2010 年 2 月 24 日

[11] 授权公告号 CN 100592365C

[22] 申请日 2004.7.12

[21] 申请号 200410069934.7

[30] 优先权

[32] 2003.7.11 [33] JP [31] 273765/03

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 木村肇

[56] 参考文献

JP2002517806T 2002.6.18

JP2002514320T 2002.5.14

US2002/0167478A1 2002.11.14

EP1130565A1 2001.9.5

WO0239420A1 2002.5.16

审查员 邓 薇

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 叶恺东

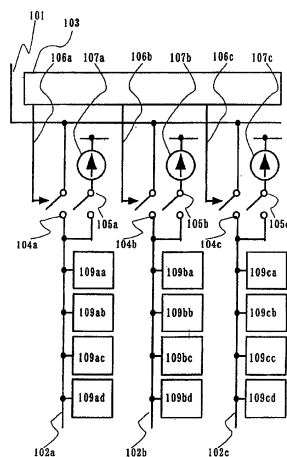
权利要求书 4 页 说明书 46 页 附图 89 页

[54] 发明名称

半导体装置

[57] 摘要

对各信号线以点顺序输入视频信号电压。这相当于对其后输入的视频信号电流预充电动作。在输入视频信号电压后,对各信号输入视频信号电流。从而能够减少各像素的晶体管的偏差影响。并且,在输入视频信号电流之前,输入视频信号电压,因此,即使信号电流较小也可加快信号写入速度。并且,由于以点顺序输入视频信号电压,能够以简单的结构实现。从而,能够提供即使向 EL 像素供给电流的晶体管中信号电流较小、也能不受偏差影响地正确供给电流的半导体装置。



1. 一种备有用晶体管控制供给负载的电流的电路的半导体装置, 所述晶体管的源极或者漏极与电流源电路相连, 其中设有包括第一~第三像素的像素部、一端与所述第一像素电性连接且另一端通过第一开关与视频电压信号线连接的第一信号线、一端与所述第二像素电性连接且另一端通过第二开关与视频电压信号线连接的第二信号线、一端与所述第三像素电性连接且另一端通过第三开关与视频电压信号线连接的第三信号线、与所述第一~第三信号线电性连接的电压控制用移位寄存器, 其特征在于:

所述电压控制用移位寄存器控制所述第一~第三开关, 以从所述视频电压信号线向所述第一~第三像素输入信号电压,

然后, 所述电流源电路对所述第一~第三像素供给信号电流, 所述信号电流的大小与各所述第一~第三像素的显示相对应。

2. 如权利要求1所述的半导体装置, 其特征在于:

所述信号电压的大小与各所述第一~第三像素的显示相对应。

3. 如权利要求1所述的半导体装置, 其特征在于:

各所述第一~第三像素由薄膜晶体管构成。

4. 如权利要求1所述的半导体装置, 其特征在于:

所述第一~第三像素的驱动电路由薄膜晶体管构成。

5. 如权利要求1所述的半导体装置, 其特征在于:

对于每个所述第一~第三像素, 其驱动电路的一部分形成在单晶衬底上。

6. 一种备有用晶体管控制供给负载的电流的电路的半导体装

置，

其中设有：

视频电压信号线，

第一～第三电流源电路，与所述晶体管的源极或者漏极连接，输出大小与第一～第三像素的显示相对应的信号电流，

第一开关，电性连接在所述视频电压信号线与第一信号线间，

第二开关，电性连接在所述第一电流源电路与所述第一信号线间，

第三开关，电性连接在所述视频电压信号线与第二信号线间，

第四开关，电性连接在所述第二电流源电路与所述第二信号线间，

第五开关，电性连接在所述视频电压信号线与第三信号线间，

第六开关，电性连接在所述第三电流源电路与所述第三信号线间，及

电压控制用移位寄存器，控制所述第一、第三、第五开关；

所述电压控制用移位寄存器使所述第一开关导通，从所述视频电压信号线向所述第一像素输入与该第一像素的显示相对应的信号电压，

所述电压控制用移位寄存器使所述第三开关导通，从所述视频电压信号线向所述第二像素输入与该第二像素的显示相对应的信号电压，

所述电压控制用移位寄存器使所述第五开关导通，从所述视频电压信号线向所述第三像素输入与该第三像素的显示相对应的信号电压，

使所述第二、第四、第六开关导通，从所述电流源电路向所述第一～第三像素供给信号电流。

7. 如权利要求6所述的半导体装置，其特征在于：

所述视频电压信号线、所述电压控制用移位寄存器及所述第一~第六开关形成在玻璃衬底上。

8. 如权利要求6所述的半导体装置，其特征在于：

所述视频电压信号线、所述电压控制用移位寄存器及所述第一~第六开关三者中的任一个形成在单晶衬底上。

9. 一种备有用晶体管控制供给负载的电流的电路的半导体装置，其中设有：

视频电压信号线，

第一~第三电流源电路，与所述晶体管的源极或者漏极连接，输出大小与第一~第三像素的显示相对应的信号电流，

第一开关，电性连接在所述视频电压信号线与第一信号线间，

第二开关，电性连接在所述第一电流源电路与所述第一信号线间，

第三开关，电性连接在所述视频电压信号线与第二信号线间，

第四开关，电性连接在所述第二电流源电路与所述第二信号线间，

第五开关，电性连接在所述视频电压信号线与第三信号线间，

第六开关，电性连接在所述第三电流源电路与所述第三信号线间，及

电压控制用移位寄存器，控制所述第一、第三、第五开关；

所述电压控制用移位寄存器使所述第一开关导通，从所述视频电压信号线向所述第一像素输入与该第一像素的显示相对应的信号电压，

然后，使所述第二开关导通，从所述第一电流源电路向所述第一像素供给信号电流，

所述电压控制用移位寄存器使所述第三开关导通，从所述视频电

压信号线向所述第二像素输入与该第二像素的显示相对应的信号电压,

然后,使所述第四开关导通,从所述第二电流源电路向所述第二像素供给信号电流,

所述电压控制用移位寄存器使所述第五开关导通,从所述视频电压信号线向所述第三像素输入与该第三像素的显示相对应的信号电压,

然后,使所述第六开关导通,从所述第三电流源电路向所述第三像素供给信号电流。

10. 如权利要求9所述的半导体装置,其特征在于:
各所述第一~第三像素由薄膜晶体管构成。

11. 如权利要求9所述的半导体装置,其特征在于:
所述第一~第三像素的驱动电路由薄膜晶体管构成。

12. 如权利要求9所述的半导体装置,其特征在于:
对于每个所述第一~第三像素,其驱动电路的一部分形成在单晶衬底上。

半导体装置

技术领域

本发明涉及具有用晶体管控制供给负载的电流的功能的半导体装置，具体涉及包含由亮度随电流变化的电流驱动型发光元件形成的像素或对像素供给信号的电路的半导体装置。

背景技术

采用以有机发光二极管（OLED: Organic Light Emitting Diode）、有机EL元件、电致发光（Electro Luminescence: EL）元件等为代表的自发光型的发光元件的显示装置中，作为其驱动方式已知有单纯矩阵方式和有源矩阵方式。前者虽然结构简单，却存在难以实现大型且高亮度的显示器等的问题，近年来，通过用像素电路内设置的薄膜晶体管（TFT）来控制流入发光元件的电流的有源矩阵方式的开发取得了进展。

一直以来，在有源矩阵方式的显示装置上还存在这样的问题：由于驱动TFT的电流特性的偏差导致流入发光元件的电流发生变化并使亮度不一致。就是说，在像素电路中用驱动流入发光元件的电流的驱动TFT，由于这些驱动TFT的特性不一致导致流入发光元件的电流变化，并使亮度不一致。因此，提出了即使像素电路内的驱动TFT的特性存在偏差也不改变流入发光元件的电流，并抑制亮度的偏差的各种电路（例如，参照专利文献特许出愿公表2002-517806号公报、国际公开第01/06484号小册子、特许出愿公表2002-514320号公报、国际公开第02/39420号小册子）。

在上述前三个专利文献中公开了用配置于像素电路内的驱动TFT的特性偏差防止流入发光元件的电流值的变动的电路结构。该结构

被称为电流写入型像素或者电流输入型像素等。并且,在上述最后一个专利文献中公开了用以抑制因源极驱动器电路内的TFT的偏差导致的信号电流的变化的电路结构。

图6中示出特许出愿公表2002-517806号公报中公开的传统的有源矩阵型显示装置的第一结构例。图6的像素中包含:源极信号线601、第一~第三栅极信号线602~604、电流供给线605、TFT606~609、保持电容610、EL元件611以及图像信号电流输入用电流源612。

用图7,就从信号电流的写入到发光的动作进行说明。图中,表示各部分的符号以图6为准。图7(A)~(C)中示意表示电流路径。图7(D)表示流过信号电流写入时的各路径的电流关系;图7(E)表示同样在信号电流写入时,蓄积在保持电容610的电压即TFT608的栅/源极间电压。

首先,对第一栅极信号线602与第二栅极信号线603输入脉冲,TFT606、607导通。这时,将流过源极信号线的电流即信号电流用 I_{data} 表示。

在源极信号线中流过电流 I_{data} ,因此,如图7(A)所示,像素内的电流被分为 I_1 和 I_2 两个路径。将这些关系表示在图7(D)中。还有,显然 $I_{data} = I_1 + I_2$ 。

在TFT606成为导通的瞬间,由于在保持电容610中尚未保持电荷,TFT608成为截止状态。因而, $I_2 = 0$, $I_{data} = I_1$ 。就是说,在这期间,只流过因保持电容610的电荷蓄积产生的电流。

然后,保持电容610中电荷慢慢地蓄积,在两电极间开始产生电位差(图7(E))。若两电极的电位差成为 V_{th} (图7(E)中的A点),则TFT608导通, I_2 形成。如在前所述, $I_{data} = I_1 + I_2$,因此,虽然 I_1 逐渐减少但依然有电流流过,保持电容中进一步蓄积电荷。

在保持电容610中的电荷持续蓄积,直到其两电极的电位差即TFT608的栅/源极间电压达到所要电压即可使TFT608上流过 I_{data} 的电流的电压(V_{GS})为止。最后电荷的蓄积结束(图7(E)中的B点)

时, 电流 I_1 消失, 而且在TFT608中流过与这时的VGS相应的电流, $I_{data} = I_2$ (图7 (B))。这样就达到稳定状态。如此信号的写入动作完成。最后, 第一栅极信号线602与第二栅极信号线603的选择结束, TFT606、607成为截止状态。

接着, 进入发光动作。对第三栅极信号线604输入脉冲, TFT609成为导通状态。由于在保持电容610中保持着在前写入的VGS, TFT608成为导通状态, 从电流供给线605流入 I_{data} 的电流。从而EL元件611发光。这时, 若将TFT608设成在饱和区工作, 则即使TFT608的源/漏极间电压有了变化 I_{data} 也能不变地流过。

将如此输出设定的电流的动作称为输出动作。作为电流写入型像素有以下优点: 即使TFT608的特性等存在偏差, 由于保持电容610保持着使电流 I_{data} 流过所需的栅/源极间电压, 能将所要电流正确供给EL元件, 因此, 可抑制因TFT的特性偏差导致的亮度不一致。

以上的例子涉及用以补正因像素电路内的驱动TFT的偏差导致的电流变化的技术, 但源极驱动器电路内也发生同样的问题。在专利文献国际公开第02/39420号小册子中公开了用以防止在源极驱动器电路内的因TFT的制造上的偏差导致的信号电流的变化的电路结构。

并且, 在专利文献特许出愿公开2003-66908号公报中公开了这样的结构: 在控制灰度的电流源之外再准备电压源, 通过用以切换输入源极信号线的两个电源的电源切换部件, 在行选择期间的初期用电压源使杂散电容的电荷瞬间改变, 其后为了发出所要亮度而用电流源10进行灰度显示。

但是, 由于用以对驱动TFT或发光元件供给信号电流的布线的寄生电容很大, 存在信号电流小时将布线的寄生电容充电的时间常数增大, 使信号写入速度缓慢的问题。就是说, 即使对晶体管供给信号电流, 也存在栅极端子上生成使该电流流过所需的电压的时间会变长, 使信号的写入速度缓慢的问题。

虽然专利文献特许出愿公开2003-66908号公报中公开了瞬间改

变源极信号线的电荷的结构，但行选择期间的最初供给的电压值并不是最合适的大小。并且，其结构复杂。

发明内容

本发明鉴于上述技术背景构思而成，旨在提供减少晶体管的特性偏差的影响，并可供预定电流，即使信号电流小也能充分提高信号的写入速度的半导体装置。

本发明通过在对像素输入时事先供给最佳大小的电压来达到上述目的。

本发明是备有用晶体管控制供给负载的电流的电路的半导体装置，所述晶体管的源极或者漏极与电流源电路相连，还设有从所述电流源电路向所述晶体管供给了电流时，控制所述晶体管的栅/源极间电压和漏/源极间电压的放大电路。

本发明的半导体装置中设有视频电压信号线、多条信号线、多个电压控制开关、多个电流源电路和多个电流控制开关，所述信号线经由所述电压控制开关连接到所述视频电压信号线，所述电流源电路经由所述电流控制开关连接到所述信号线。

本发明中，还设有通过上述结构对所述电流源电路供给电流的视频电流信号线。

本发明中，还设有通过上述结构依次选择所述电压控制开关的驱动电路。

本发明中，还设有通过上述结构从所述视频电流信号线依次向所述电流源电路供给电流的驱动电路。

本发明中，还设有通过上述结构对所述视频电流信号线供给信号电流，并对所述视频电压信号线供给信号电压的电压电流供给电路。

本发明中，所述信号电压为通过上述结构对连接于所述信号线的像素的预充电电压。

本发明中，对于可使用的晶体管的种类上并无限定，可使用由以非晶硅或多晶硅为代表的非单晶半导体膜构成的薄膜晶体管（TFT）、用半导体衬底或SOI（Silicon On Insulator：硅绝缘体）衬底形成的MOS型晶体管、结型晶体管、采用有机半导体或碳纳米管的晶体管以及其它晶体管。并且，对于配置晶体管的衬底的种类上并无限定，可在单晶衬底、SOI衬底、玻璃衬底等上配置。

还有，本发明中，所谓连接指的是电连接。在本发明公开的结构中，除了预定的连接关系之外，可在它们之间配置可电连接的其它元件（例如，另一元件或开关等）。

本发明能够减少晶体管的特性偏差的影响，并可供给预定电流，即使信号电流较小也能充分提高信号的写入速度。并且，通过调节各晶体管的尺寸或电流量等，能够供给最佳大小的预充电电压。

附图说明

图1是本发明的半导体装置的结构说明图。

图2是本发明的半导体装置的动作说明图。

图3是本发明的半导体装置的动作说明图。

图4是本发明的半导体装置的动作说明图。

图5是本发明的半导体装置的动作说明图。

图6是传统像素的结构说明图。

图7是传统像素的动作说明图。

图8是本发明的半导体装置的动作说明图。

图9是本发明的半导体装置的动作说明图。

图10是本发明的半导体装置的结构说明图。

图11是本发明的半导体装置的结构说明图。

图12是本发明的半导体装置的结构说明图。

图13是本发明的半导体装置的动作说明图。

图14是本发明的半导体装置的动作说明图。

图15是本发明的半导体装置的动作说明图。
图16是本发明的半导体装置的动作说明图。
图17是本发明的半导体装置的结构说明图。
图18是本发明的半导体装置的结构说明图。
图19是本发明的半导体装置的结构说明图。
图20是本发明的半导体装置的结构说明图。
图21是本发明的半导体装置的结构说明图。
图22是本发明的半导体装置的结构说明图。
图23是本发明的半导体装置的结构说明图。
图24是本发明的半导体装置的结构说明图。
图25是本发明的半导体装置的结构说明图。
图26是本发明的半导体装置的结构说明图。
图27是本发明的半导体装置的结构说明图。
图28是本发明的半导体装置的结构说明图。
图29是本发明的半导体装置的结构说明图。
图30是本发明的半导体装置的动作说明图。
图31是本发明的半导体装置的动作说明图。
图32是本发明的半导体装置的结构说明图。
图33是本发明的半导体装置的结构说明图。
图34是本发明的半导体装置的动作说明图。
图35是本发明的半导体装置的动作说明图。
图36是本发明的半导体装置的结构说明图。
图37是本发明的半导体装置的结构说明图。
图38是本发明的半导体装置的结构说明图。
图39是本发明的半导体装置的结构说明图。
图40是本发明的半导体装置的结构说明图。
图41是本发明的半导体装置的结构说明图。
图42是本发明的半导体装置的结构说明图。

图43是本发明的半导体装置的结构说明图。
图44是本发明的半导体装置的结构说明图。
图45是本发明的半导体装置的结构说明图。
图46是本发明的半导体装置的结构说明图。
图47是本发明的半导体装置的结构说明图。
图48是本发明的半导体装置的结构说明图。
图49是本发明的半导体装置的结构说明图。
图50是本发明的半导体装置的结构说明图。
图51是本发明的半导体装置的结构说明图。
图52是本发明的半导体装置的结构说明图。
图53是本发明的半导体装置的结构说明图。
图54是本发明的半导体装置的结构说明图。
图55是本发明的半导体装置的结构说明图。
图56是本发明的半导体装置的结构说明图。
图57是本发明的半导体装置的结构说明图。
图58是本发明的半导体装置的结构说明图。
图59是本发明的半导体装置的结构说明图。
图60是本发明的半导体装置的结构说明图。
图61是本发明的半导体装置的结构说明图。
图62是本发明的半导体装置的结构说明图。
图63是本发明的半导体装置的结构说明图。
图64是本发明的半导体装置的结构说明图。
图65是本发明的半导体装置的结构说明图。
图66是本发明的半导体装置的结构说明图。
图67是本发明的半导体装置的结构说明图。
图68是本发明的半导体装置的结构说明图。
图69是本发明的半导体装置的结构说明图。
图70是本发明的半导体装置的结构说明图。

图71是本发明的半导体装置的结构说明图。

图72是本发明的半导体装置的结构说明图。

图73是本发明的半导体装置的结构说明图。

图74是本发明的半导体装置的结构说明图。

图75是本发明的半导体装置的结构说明图。

图76是本发明的半导体装置的结构说明图。

图77是本发明的半导体装置的动作说明图。

图78是本发明的半导体装置的结构说明图。

图79是本发明的半导体装置的结构说明图。

图80是本发明的半导体装置的结构说明图。

图81是本发明的半导体装置的结构说明图。

图82是本发明的半导体装置的结构说明图。

图83是本发明的半导体装置的动作说明图。

图84是本发明的半导体装置的动作说明图。

图85是本发明的半导体装置的结构说明图。

图86是本发明的半导体装置的结构说明图。

图87是应用本发明的电子设备的说明图。

图88是本发明的半导体装置的结构说明图。

图89是本发明的半导体装置的结构说明图。

具体实施方式

实施例1

以下，参照附图就本发明的实施例进行说明。本发明能够由很多不同的形态进行实施，本技术领域的人容易理解本发明的形态与细节可在不超出其宗旨与细节的条件下作出各种变更。因此，本发明并不为本实施例的记载内容所限定。

本发明中，可用根据流入发光元件的电流值控制发光亮度的元件形成像素。作为代表可采用EL元件。关于EL元件已知各种结构，

凡能用电流值控制发光亮度的,采用任何元件结构均可用于本发明。就是说,将发光层、电荷传输层或电荷注入层自由组合形成EL元件,其材料可用低分子系有机材料、中分子系有机材料(不具升华性且单量体单位在20以下或者链接的分子长为10 μm 以下的有机发光材料)或高分子系有机材料。并且,也可在这些材料上混合或者分散无机材料使用。

图1示出整体结构例。信号线102a与多个像素109aa~109ad相连。同样,信号线102b与多个像素109ba~109bd相连,信号线102c与多个像素109ca~109cd相连。

信号线102a经由电压控制开关104a连接到视频电压信号线101,并且,经由电流控制开关105a连接到电流源电路107a。同样,信号线102b经由电压控制开关104b连接到视频电压信号线101,并且,经由电流控制开关105b连接到电流源电路107b。信号线102c的情况也相同。而各电压控制开关104a~104c通过取样选择线106a、106b、106c受电压控制用移位寄存器103的控制。

接着说明图1的动作。首先,如图2所示,用电压控制用移位寄存器103使电压控制开关104a导通,从视频电压信号线101向像素109aa输入视频信号电压。这时的视频信号电压的大小成为与像素109aa的显示对应的大小。

但这时,也可不对像素109aa输入视频信号电压。信号线104a的电位被充电到视频信号电压即可。

接着,如图3所示,用电压控制用移位寄存器103使电压控制开关104b导通,从视频电压信号线101向像素109ba输入视频信号电压。这时的视频信号电压的大小成为与像素109ba的显示对应的大小。

以下雷同,如图4所示,用电压控制用移位寄存器103使电压控制开关104c导通,从视频电压信号线101向像素109ca输入视频信号电压。

接着,如图5所示,使电流控制开关105a~105c导通,从电流源

电路107a~107c向像素109aa~109ca输入视频信号电流。这时的视频信号电流的大小成为与各像素的显示对应的大小。

这时,如图2~图4所示,在视频信号电流的输入之前,视频信号电压被输入。因此,在视频信号电压被输入的时刻,信号线102a~102c的电位与图5中输入视频信号电流后成为稳定状态时(即信号输入完成时)大致相等。但是,存在像素109aa~109ca中的晶体管的电流特性不一致的情况。在这种情况下,视频信号电压被输入的时刻和输入视频信号电流后成为稳定状态时(即信号输入完成时)在信号线102a~102c上发生电位差。因此,如图5所示,通过输入视频信号电流来减少像素109aa~109ca中的晶体管的电流特性的偏差影响。从而,能够减少各像素的亮度的偏差,以正确的亮度进行显示。

就是说,图2~4的动作相当于图5中输入视频信号电流之前的预充电动作。图2~4中可不对各像素输入视频信号电压,因为该动作相当于预充电动作。显然,在图2~4中也可向各像素输入视频信号电压。

通过这样的动作,即使视频信号电流较小也能迅速设定成稳定状态(信号输入的完成)。

并且,视频信号电流大的小与亮度一致地变化。但使之相一致地控制视频信号电压(预充电电压)的大小并不容易。为了实现它,需要用很多电路。因此,布图面积增大、耗电多、制造成品率低而成本上升。但本发明中,由于视频信号电压(预充电电压)从视频电压信号线101以点顺序驱动供给各像素,容易控制视频信号电压(预充电电压)的大小。并且,由于电路结构简单,可避免布图面积增大、耗电多、制造成品率低而成本上升等问题。

通过以上的动作,对第一行像素109aa~109ca的视频信号的输入结束。接着,对第二行的像素109ab~109cb,也与图2~图5一样输入信号。以下,对第三行以后的也同样输入视频信号。

如此,图2~5中,将1个水平期间分为两个期间,在前半期间输

入视频信号电压（预充电电压），然后在后半期间输入视频信号电流。但并不限于这种情况。

例如，在图2之后，使之如图8那样动作，接着如图9那样动作，最后如图5那样动作。就是说，如图2～5所示，可不将输入视频信号电压（预充电电压）的期间和输入视频信号电流的期间分为1个水平期间的前半期间和后半期间，而是如图2、图8、图9、图5那样，在完成视频信号电压（预充电电压）的输入之后，依次输入视频信号电流。从而能够将输入视频信号电流的期间设得较长。若输入视频信号电流的期间长，则能充分进行信号电流的写入，因此能更减少晶体管的偏差影响。

但这时，将视频信号电流以较早的顺序输入的列（例如信号线102a）和以较迟的顺序输入的列（例如信号线102c）上，输入视频信号电流的期间不同。结果，在输入视频信号电流的期间较短的列（例如信号线102c）上，有可能达不到足够的稳定状态。也可不将视频信号电压或视频信号电流常时从信号线102a开始依次输入，而从信号线102c开始依次输入。这样的顺序变更可按行或按帧期间切换地进行。

图1的结构中，只记载了一条视频电压信号线101，但并不以此为限。如图10所示，如视频电压信号线101a、101b那样可配置多条，也可以同时对多个列的信号线（102a、102b、102c等）输入视频信号电压（预充电电压）。

还有，图1的结构中，视频电压信号线101和各信号线102a、102b、102c经由电压控制开关104a、104b、104c相连，但并不以此为限。例如，如图11所示，可在电压控制开关104a和信号线102a之间、电压控制开关104b和信号线102b之间配置电压存储电路1101a、1101b。电压存储电路1101a、1101b具有将输入的电压输出的功能。并且，在输入某一值的电压时，可同时输出以前被输入的电压。通过配置这样的电路，能够使信号输入的定时更加灵活。

还有，图1的结构中，像素以4行3列配置，但并不以此为限，可

以任意的个数配置。

还有，前文记载：图1的结构中有3条信号线(信号线102a~102c)，但并不以此为限。可配置任意条。

还有，前文记载：图1的结构中有电流从各像素流到电流源电路107a等，但并不以此为限。可通过像素的电路结构等来变更电流方向。

实施例2

实施例1中示出对一列像素配置一条信号线的情况。本实施例中示出对一列像素配置多条信号线的情况。

还有，这里为了简明，示出对一列像素配置两条信号线，且像素以4行2列配置的情况。但并不以此为限。也可对一列像素配置任意条信号线，且像素可配置任意个。

如实施例1所述，对一列像素配置一条信号线时，1个水平期间中，需要对像素输入一列份额的信号。因此，例如在1个水平期间的前半期间输入视频信号电压(预充电电压)，在后半期间输入视频信号电流。在这种情况下，由于对像素输入视频信号电流的期间并不足够长，会发生以尚未达到稳定状态(信号输入完成)而不得不结束信号的输入的情况。

然而，通过对一列像素配置多条信号线，能够延长对像素输入视频信号电流的期间。

图12中示出对一列像素配置两条信号线，且像素以4行2列配置时的结构。在第一列像素上配置了信号线1202aa、1202ab，偶数行的像素与信号线1202aa相连，奇数行的像素与信号线1202ab相连。从而，能够对两行的像素同时输入信号。还有，信号线1202aa、1202ab、1202ba、1202bb分别经由电压控制开关1204aa、1204ab、1204ba、1204bb连接到视频电压信号线101。并且，信号线1202aa、1202ab分别经由电流控制开关1205ab、1205aa连接到电流源电路107a。同样，信号线1202ba、1202bb分别经由电流控制开关1205bb、1205ba连接到电流源

电路107b。

图12中，对一列像素配置了两条信号线，因此对一行像素的信号输入可经 $2 \times$ 水平期间，即1个水平期间两倍的期间完成。可以首先花费1个水平期间输入视频信号电压（预充电电压）。然后，花费下一1个水平期间输入视频信号电流。并且，由于信号线有两条，在对某一行的像素输入视频信号电压（预充电电压）时，可对另一行的像素同时输入视频信号电流。

图13～图16表示动作。图13、14中，对第一行的像素输入视频信号电流，对第二行的像素输入视频信号电压（预充电电压）。还有，假设在图13的动作之前已经完成对信号线1202ab、1202bb的视频信号电压（预充电电压）的输入。接着，如图15、16的动作那样，对第二行的像素输入视频信号电流，对第三行的像素输入视频信号电压（预充电电压）。由于已经对第二行的像素输入了视频信号电压（预充电电压），在视频信号电流的输入中，能够迅速设于稳定状态。

通过重复这样的动作，能够正确地进行视频信号电流的写入。

还有，图13、15中，对像素1209ab、1209bb输入视频信号电压（预充电电压），但通过断开配置于像素1209ab、1209bb中的开关1210ab、1210bb，不使视频信号电压（预充电电压）输入到像素1209ab、1209bb，但并不以此为限。视频信号电压（预充电电压）的输入以控制各信号线1202aa、1202ab、1202ba、1202bb的电位为主要目的，因此可以对像素1209ab、1209bb输入或不输入视频信号电压（预充电电压）。在视频信号电压（预充电电压）输入之后，被输入视频信号电流时，哪种情况均可。如果在视频信号电压（预充电电压）输入之后，没有视频信号电流输入时，则最好将视频信号电压（预充电电压）输入到像素1209ab、1209bb。

还有，如实施例1的图2、8、9、5的动作那样，视频信号电压（预充电电压）的输入完成之后，可依次输入视频信号电流。但这时，

需要同时对两行供给电流，因此需要对一列配置多个电流源电路。

本实施例中说明的内容相当于将实施例1中说明的结构的一部分作了变更后的情况。因而，在实施例1中说明的内容也适用于本实施例。

因此，视频电压信号线101和各信号线1202aa~1202bb经由电压控制开关1204aa~1204bb而相连，但并不以此为限。例如，如图17所示，可在它们之间配置电压存储电路1702aa~1702bb。通过配置这样的电路，能够使信号输入的定时更加灵活。

并且，本发明并不限于此，在不改变其宗旨的范围内可作任何变更。

还有，可将本实施例所示的结构与实施例1的结构组合使用。

实施例3

本发明中需要对像素输入视频信号电流。就是说，需要按照图像信息，对电流的大小进行模拟或者数字控制，并输入到像素。视频信号电流从电流源电路输出。本实施例中示出一例电流源电路的结构。

图18中详细示出图1的结构图中与电流源电路关联的部分的结构。同样，在图19中详细示出图11的结构图中与电流源电路关联的部分的结构。还有，图1中示出像素以4行3列配置的场所，但图18和图19中为了简明，采用4行2列配置的像素，但并不以此为限。

图18或图19中，电流源电路1807a、1807b与视频电流信号线1801相连。视频电流信号通过视频电流信号线1801输入到电流源电路1807a、1807b。结果，电流源电路1807a、1807b不受晶体管的偏差影响，可对信号线102a、102b输出视频电流信号。

图18中，电流源电路1807a、1807b通过电流控制线1806a、1806b受电流控制用移位寄存器1803的控制。从而，控制将视频电流信号输入电流源电路1807a、1807b的定时。

如图18所示,通过分别配置控制电压控制开关104a、104b的电压控制用移位寄存器103和控制电流源电路1807a、1807b的电流控制用移位寄存器1803,可独立控制各定时。尤其是通过视频电流信号线1801向电流源电路1807a、1807b输入视频电流信号时,存在要花时间使信号输入(成为稳定状态)完成的情况。这时,通过分别配置电压控制用移位寄存器103和电流控制用移位寄存器1803,能将定时最优化。

还有,图10中配置了视频电压信号线101a、101b。如该图所示,视频电压信号线或视频电流信号线可配置多条。并且,就如图88中配置一条视频电压信号线(101)、配置两条视频电流信号线(1801i、1801j),视频电压信号线的数量和视频电流信号线的数量可不必一致。这时,可通过分别配置电压控制用移位寄存器103和电流控制用移位寄存器1803来最优化定时。

图18中电压控制用移位寄存器103和电流控制用移位寄存器1803分开设置,但并不限于这种结构。例如,如图20所示,可将电压控制用移位寄存器103和电流控制用移位寄存器1803形成一体。例如在图20那样,不仅用电压控制用移位寄存器103,控制各电压控制开关104a~104b,还控制各电流源电路1807a、1807b。

以上对直流源电路未作内部结构的详细描述,而用示意图进行了说明。以下示出一例电流源电路1807的内部电路结构。首先,图21是从图18或图10中抽出的电流源电路部分的示图。如图21所示,电流源电路1807中至少包括电流输入端子2102、定时控制端子2103、电流输出端子2101。电流输入端子2102在图18中与视频电流信号线1801相连,由此输入电流。定时控制端子2103在图18中与电压控制用移位寄存器103或电流控制用移位寄存器1803相连,从那里输入定时信号。电流输出端子2101在图18中经由电流控制开关105a、105b连接到信号线104a、104b。

图22表示一例图21所示的电流源电路1807的具体电路结构。使

开关2203、2204导通，并使开关2205断开后，通过电流输入端子2102，向电流源晶体管2201或保持电容2202输入电流。若电流输入完成，成为稳定状态，则保持电容2202上保存适当的电压。从而，即使电流源晶体管的电流特性上出现偏差也能减少其影响。接着，使开关2203、2204断开，并使开关2205导通。这样，能够通过电流输出端子2101将电流输出到开关105。

若将电流源电路1807设成如图22那样的结构，则通过视频电流信号线1801输入到电流源电路1807的视频电流信号和从电流源电路1807经电流输出端子2101输出的视频电流信号的大小会大致相等。这依赖于电路结构。就是说，通过视频电流信号线1801被输入电流的晶体管和通过电流输出端子2101输出电流的晶体管为同一个，所以电流大小成为大致相等。

因此，若将电流源电路1807设成如图23那样的结构，则在电流源晶体管2301和反射镜晶体管2306中，通过改变沟道宽 W 和沟道长 L 之比能够变更电流大小。这时，通过视频电流信号线1801输入电流源电路1807的视频电流信号和从电流源电路1807经电流输出端子2101输出的视频电流信号的大小成为该比例关系。其中，2302是保持电容，2303、2304是开关，105也是开关。

同样，若将电流源电路1807如图24那样构成，则在如下两种场合能够改变电流大小：在使开关2403、2404导通，经电流输入端子2102向电流源晶体管2401或保持电容2402输入电流时；以及使开关2403、2404断开，电流源晶体管2401和多重晶体管（multi transistor）2405作为多栅极（multi gate）的晶体管工作，经电流输出端子2101输出电流时。这时，通过视频电流信号线1801输入到电流源电路1807的视频电流信号和从电流源电路1807经电流输出端子2101输出的视频电流信号的大小成为比例关系。

同样，若将电流源电路1807如图25那样构成，则通过对开关2507的控制，能够控制电流源晶体管2501和多重晶体管2506是否作为多

栅极晶体管工作。这时，通过开关2507的导通与断开的定时，在经过视频电流信号线1801输入到电流源电路1807的视频电流信号和从电流源电路1807经电流输出端子2101向开关105输出的视频电流信号之间，会有其大小成为比例关系和大致相等的情况。

由于图25所示那样的电流源电路的结构已在特愿2002-380252号申请、特愿2003-055018号申请等中记载，能够将该内容和本申请进行组合。其中，2503、2504、2505、105表示开关。

图22~25中，流过电流输入端子2102的电流、流过电流输出端子2101的电流均向电流源电路方向流出，但并不以此为限。在电流输入端子2102和电流输出端子2101上可以流过逆向电流。这种场合的例子在图26中示出。图26中，流过电流输出端子2101的电流，向电流源电路方向流出，流过电流输入端子2102的电流从电流源电路向另一电路方向流出。其中，2601表示晶体管，2203、2605、2606、2607表示开关。

图22~26中，作为电流源工作的晶体管的极性为N沟道型，但并不以此为限。作为一例，在图27中示出在图22的结构中晶体管的极性设成P沟道型的情况。其中，2701表示P沟道型晶体管，2702表示保持电容，2703、2704、2705表示开关。若对于图23~26采用同样的概念，就可改变晶体管的极性。

图22~27中，电流向电流源电路方向流出，但并不以此为限。在变更电流方向的场合，也容易进行变形。作为一例，在图28中示出在图22的结构上将电流方向设成逆向的场合。其中，2801表示P沟道型晶体管，2802表示保持电容，2803、2804、2805表示开关。如此，通过使作为电流源工作的晶体管的极性成为逆向，能够在不变更电路的连接关系的情况下加以应对。

图22~28中，作为多栅极的晶体管工作时，如果多栅极的晶体管数为一个，则在电流源电路中作为电流源工作的晶体管也为一个，但并不以此为限，可以有多个晶体管。作为一例，在图29中示出在

图22的结构上设置两个作为电流源工作的晶体管的场合。通过对控制线2901进行控制，能够在如下两种场合之间进行切换：从视频电流信号线1801对向电流源晶体管2201b输入电流，然后从电流源晶体管2201a输出电流（如图30所示），以及从视频电流信号线1801向电流源晶体管2201a输入电流，然后从电流源晶体管2201b输出电流时（如图31所示）。如此，在电流源电路中，通过配置多个电流源晶体管，能够同时进行从视频电流信号线1801输入电流的动作和经电流输出端子2101输出电流的动作。

还有，在电流源电路中，配置多个电流源晶体管时，图29中用控制线2901切换来使它们动作，但并不以此为限。例如，也可用从多个电流源晶体管中任意选择的电流源晶体管将总电流经电流输出端子2101输出。

图32表示一例在图22的结构中设置两个电流源晶体管的情况。图32中，电流源晶体管3201a从视频电流信号线1801j输入电流。另一方面，电流源晶体管3201b从视频电流信号线1801i输入电流。因此，能够在电流源晶体管3201a和电流源晶体管3201b上输出不同大小的电流。是否将该电流经电流输出端子2101输出，用开关3202a、3202b等来控制。而且，若用视频信号控制开关3202a、3202b的导通与断开，则经电流输出端子2101输出的电流大小能够设为对应于视频信号的大小。例如，若电流源晶体管3201a输出的电流值为 I_0 、电流源晶体管3201b输出的电流值为 $I_0 \times 2$ ，则能显示2比特（bit）的灰度。若再增加电流源晶体管数量，使各电流大小成为2的幂，则能显示更多比特的灰度。

并且，图29中，电流源晶体管并联配置，但并不以此为限。图33例示了将电流源晶体管串联配置的情况。通过对控制线3301的控制，其动作情况如下：从视频电流信号线1801向电流源晶体管2201c输入电流，然后从电流源晶体管2201d输出电流（如图34所示），以及从电流源晶体管2201c向电流源晶体管2201d输入电流的场合（如图35所

示)。通过这样的配置,能够同时进行从视频电流信号线1801输入电流的动作和经电流输出端子2101输出电流的动作。

还有,图22~33中示出了各种结构的电流源电路,但并不以此为限。基本结构、电流源晶体管的数量、极性及配置,可根据电流方向等进行各结构的组合或组合各结构中的要素,还可采用其它的结构。就是说,作为电流源电路工作的电路可采用任意结构。

对于图22~33所示的电流源电路的结构,可以就各部分的开关的配置或数量以及伴随的连接关系等,容易地进行各种变更。就是说,只要作为电流源电路正常工作,就可在任何部位设置任意个开关,也可将多个开关整合在一起或改变连接关系而增加或减少开关。

关于电流源电路的结构已在国际公开第03/038793号小册子、国际公开第03/038794号小册子、国际公开第03/038795号小册子、国际公开第03/038796号小册子、国际公开第03/038797号小册子中公开,能够将其内容用于本发明或者与本发明进行组合。

还有,本实施例中说明的内容相当于对实施例1~2中说明的结构一部分的详细描述。因而,实施例1~2中说明的内容可适用于本实施例。

并且,本发明并不限于此,在不改变其宗旨的范围内可进行各种变形。

还有,能够将本实施例所示的结构与实施例1~2的结构组合实施。

实施例4

如图18等所示,需要提供其大小与像素的显示对应的视频信号电压和其大小与像素的显示对应的视频信号电流。就是说,视频信号电压和视频信号电流成为互相关联的大小。本实施例中就供给视频信号电压和视频信号电流的电路进行叙述。

首先,图36中示出整体结构。从原信号输入端子5012输入信号

到电压电流供给电路5011。然后，按照该信号，从电流输出端子5013输出信号电流，从电压输出端子5014输出信号电压。电流输出端子5013和电压输出端子5014经由开关5001、5002连接到被设定电路5021的输入端子5022。还有，被设定电路5021是指通过电压电流供给电路5011设定电流的电路。

被设定电路5021使用从电压电流供给电路5011的电压输出端子5014供给的信号电压来预充电，然后使用从电压电流供给电路5011的电流输出端子5013供给的信号电流来电流设定。结果，被设定电路5021几乎不受构成它的晶体管的电流特性的偏差影响，可提供正确的电流。

还有，从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013被供给信号电流而成为稳定状态时，即信号写入完成时，成为大致相等的电压值。因此，通过从电压输出端子5014供给信号电压而预充电，然后，从电压电流供给电路5011的电流输出端子5013被供给信号电流时，能够迅速设于稳定状态。

就是说，从电压电流供给电路5011的电压输出端子5014供给的信号电压的大小和从电压电流供给电路5011的电流输出端子5013供给的信号电流大小成为互相有关联的大小。

还有，从电压电流供给电路5011的电流输出端子5013向被设定电路5021的输入端子5022供给电流时，需要注意电流方向。就是说，电流从电压电流供给电路5011向外流出时（可称为放出型），需要使电流流入被设定电路5021（可称为吸入型）。

这时，电压电流供给电路5011一侧的电位高，从电压电流供给电路5011向被设定电路5021一侧有电流流出。并且，在向电压电流供给电路5011有电流流入时（吸入型时），需要使被设定电路5021向外流出电流（放出型时）。这时，电压电流供给电路5011一侧的电位低，从被设定电路5021向电压电流供给电路5011一侧有电流流

出。

若电压电流供给电路5011以及被设定电路5021均为吸入型或放出型，则由于电流方向不对，不能正常工作。因而，需要根据电压电流供给电路5011和被设定电路5021预先调节为吸入型或放出型。

首先，就被设定电路5021的结构进行简述。在图37、38中示出一例放出型的被设定电路5021的结构。图37中，作为电流源工作的晶体管3701是P沟道型，而图38中为N沟道型。

还有，电容元件3703、3803起到保持晶体管3701、3801的栅/源极间电压的功能。但可根据晶体管3701、3801的栅电容的情况等加以省略。

图38中，晶体管3801的源极端子与被设定电路5021的输入端子5022相连，不与恒电位线相连。因此，晶体管3801的源极电位可能随着工作状态变化。因此，为了设置成晶体管3801的源极电位变化时晶体管3801的栅/源极间电压不变，端子3805最好与晶体管3801的源极端子相连。并且，也可将晶体管3801的栅极端子和漏极端子连接在一起。

还有，被设定电路5021的晶体管能够用从电压电流供给电路5011供给的信号供给预定电流，即电流设定。然后，被设定电路5021的晶体管向另外的电路或元件等供给预定电流，作为电流源工作。但是，图37、38中为了简明，没有描述在被设定电路5021的晶体管（晶体管3701、3801）被电流设定后供给电流的另外的电路或元件等。

为了保持电容元件3703、3803的电荷，通常设置开关，而在图37、38中为了简明而未作描述。

就是说，图37、38中为了简明，示出从电压电流供给电路5011供给信号，被置于电流设定的状态的被设定电路5021的结构。

图39、40中示出吸入型时的被设定电路5021的结构例。图40中示出作为电流源工作的晶体管4001为P沟道型进的情况，图39中示出晶体管3901为N沟道型时的情况，可认为与图37、38的情况相同。

接着，在图36中例示电压电流供给电路5011。电压电流供给电路5011的输出电流的部分的结构，也根据是吸入型还是放出型而改变。并且，输出电压的部分也根据被设定电路5021的结构而改变。就是说，从电压电流供给电路5011的电压输出端子5014供给的信号电压必须与从电流输出端子5013使信号电流向被设定电路5021供给而成为稳定状态时的电压，即与信号写入完成时的电压大致相等。因此，需要通过被设定电路5021是吸入型还是放出型，并且晶体管的极性是N沟道型还是P沟道型、沟道宽W和沟道长L之比等，控制从电压电流供给电路5011的电压输出端子5014供给的信号电压的大小。

并且，可以向电压电流供给电路5011的原信号输入端子5012供给电压或电流作为信号。基于该供给的信号，从电流输出端子5013供给信号电流，从电压输出端子5014供给信号电压。

作为一例，就被设定电路5021为吸入型且晶体管3901为N沟道型的、具有图39的结构电压电流供给电路5011进行说明。这里示出了具有图39的结构的情况，但具有图40的结构也可。在图41中表示该结构。

从原信号输入端子5012被输入电压。由于原信号输入端子5012与晶体管4101的栅极端子相连，由于原信号输入端子5012的电位，晶体管4101的栅/源极间电压变化，从端子4102流入晶体管4101的电流变化。晶体管4103由于与晶体管4101串联连接，流过的晶体管4101相同量的电流。晶体管4103的栅极端子和漏极端子相连，在该连接的部分上也连接晶体管4105的栅极端子。如图41所示，晶体管4103和晶体管4105的源极端子或者漏极端子通过端子4104串联连接。因此，从电流输出端子5013流出与晶体管4105的沟道宽W和沟道长L之比 W_{11}/L_{11} 和晶体管4103的沟道宽W和沟道长L之比 W_{12}/L_{12} 等比率对应的电流。这里，设 $(W_{12}/L_{12}) = \alpha \times (W_{11}/L_{11})$ 。这样，从电流输出端子5013流出 α 倍的流过晶体管4101（晶体管4103）的

电流。

然后，晶体管4101的栅极电位输出到电压输出端子5014。还有，可在原信号输入端子5012到电压输出端子5014之间配置如电压跟随器电路那样的放大电路等。

因此，在被设定电路5021的图39中的晶体管3901中，流入从电流输出端子5013输出的电流。这里，若调节晶体管4101的沟道宽W和沟道长L之比 W_{13}/L_{13} 和晶体管3901的沟道宽W和沟道长L之比 W_{21}/L_{21} ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压在从电压电流供给电路5011的电流输出端子5013被供给信号电流而成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可以设 $(W_{21}/L_{21}) = \alpha \times (W_{13}/L_{13})$ 。这样，晶体管4101的栅/源极间电压和晶体管3901的栅/源极间电压成为大致相等，从电压输出端子5014供给信号电压的状态与预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

图41中，原信号输入端子5012与N沟道型晶体管的栅极端子相连。接着，在图42中示出原信号输入端子5012与P沟道型晶体管的栅极端子相连时的结构。由于原信号输入端子5012与晶体管5101的栅极端子相连，由于原信号输入端子5012的电位，晶体管5101的栅/源极间电压变化，流入晶体管5101的电流量也变化，该电流从电流输出端子5013输出。另一方面，晶体管6401的栅极端子与晶体管5101的栅极端子相连。这里设：晶体管5101的沟道宽W和沟道长L之比为 W_{31}/L_{31} ，晶体管6401的沟道宽W和沟道长L之比为 W_{32}/L_{32} ，且 $(W_{32}/L_{32}) = \beta \times (W_{31}/L_{31})$ ，则在晶体管6401或晶体管6402中流过晶体管5101的流过电流的 β 倍的电流。

然后，晶体管6402的栅极电位经由放大电路5301输出到电压输出端子5014。还有，放大电路5301是用以输出与输入电位大致相等的电位的电路，最好是电压跟随器电路等。但并不以此为限，只要

起到变换阻抗的功能即可。还有，从晶体管6402的栅极端子或漏极端子有充分多的电荷被供给，且不必进行阻抗变换的场合，可省略放大电路5301。

这里，若调节晶体管6402的沟道宽W和沟道长L之比 W_{33}/L_{33} 和图39中的晶体管3901的沟道宽W和沟道长L之比 W_{21}/L_{21} ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设 $(W_{21}/L_{21}) = (W_{33}/L_{33}) / \beta$ 。这样，晶体管6402的栅/源极间电压和晶体管3901的栅/源极间电压成为大致相等，且从电压输出端子5014供给信号电压的状态与预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，能够迅速设于稳定状态。

图41、42中，对原信号输入端子5012输入电压作为信号。以下示出对原信号输入端子5012输入电流时的结构。

图43表示对P沟道型晶体管4301输入电流的情况。图43的结构是在图42的结构上增加了P沟道型晶体管4301。就是说，图42中经由原信号输入端子5012直接控制了晶体管5101的栅极电位。另一方面，图43中通过使电流流过P沟道型晶体管4301来控制晶体管5101的栅极电位。除此以外的部分，图43与图42相同，因此省略说明。

接着，图44表示对N沟道型晶体管4401输入电流的情况。图44的结构是在图41的结构上增加了N沟道型晶体管4401。图41的结构中，通过原信号输入端子5012直接控制晶体管4101的栅极电位。

另一方面，图44中，通过使电流流过N沟道型晶体管4401来控制晶体管4101的栅极电位。就是说，晶体管4101的栅极端子与晶体管4401的栅极端子相连，晶体管4103的栅极端子与晶体管4105的栅极端子相连。因此，对应于流过晶体管4401的电流的电流，流入晶体管4101、晶体管4103和晶体管4105。

这里设：晶体管4401的沟道宽W和沟道长L之比为 $W51/L51$ ；晶体管4101的沟道宽W和沟道长L之比为 $W52/L52$ ；晶体管4103的沟道宽W和沟道长L之比为 $W53/L53$ ；晶体管4105的沟道宽W和沟道长L之比为 $W54/L54$ ；以及 $(W51/L51) = (W52/L52) / \varepsilon$ 、 $(W53/L53) = (W54/L54) / \zeta$ 。则晶体管4101、4103中会流过晶体管4401中流过的电流的 ε 倍的电流。并且，在晶体管4105中会流过晶体管4103中流过的电流的 ζ 倍的电流。

然后，晶体管4401的栅极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在不需要进行阻抗变换的场合，可省略放大电路5301。

这里，若调节晶体管4401的沟道宽W和沟道长L之比 $W51/L51$ 、晶体管4101的沟道宽W和沟道长L之比 $W52/L52$ 、晶体管4103的沟道宽W和沟道长L之比 $W53/L53$ 、晶体管4105的沟道宽W和沟道长L之比 $W54/L54$ 以及图39中的晶体管3901的沟道宽W和沟道长L之比 $W21/L21$ ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设成 $(W21/L21) = (W51/L51) \times \varepsilon \times \zeta$ 。这样，晶体管4401的栅/源极间电压、晶体管3901的栅/源极间电压成为大致相等，从电压输出端子5014供给信号电压的状态与预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

接着，就被设定电路5021为吸入型且晶体管4001为P沟道型的、图40的结构时的电压电流供给电路5011进行说明。还有，为了简明，在图40中，设端子3902与3904相连，端子4005与被设定电路5021的输入端子5022（晶体管4001的源极端子）相连。

这时，被设定电路5021的晶体管4001的源极端子与被设定电路5021的输入端子5022相连接。因此，晶体管4001的源极电位按状态

变化。就是说，从电压电流供给电路5011的电流输出端子5013供给信号电流而成为稳定状态时，即信号写入完成时，被设定电路5021的输入端子5022的电位就是晶体管4001的源极端子成为稳定状态时的电位。因此，需要将从电压电流供给电路5011的电压输出端子5014供给的信号电压的大小，设于成为稳定状态时的晶体管4001的源极电位的大小。

图45中示出在对原信号输入端子5012输入电压时原信号输入端子5012与P沟道型的晶体管5101的栅极端子相连时的结构。

图45相当于将图42中的晶体管6402从N沟道型变更为P沟道型晶体管4502的情况。就是说，晶体管5101的栅极端子连接到晶体管6401的栅极端子。因此，与流过晶体管5101的电流对应的电流，流入晶体管6401和晶体管4502。这里设：晶体管5101的沟道宽 W 和沟道长 L 之比为 $W61/L61$ ；晶体管6401的沟道宽 W 和沟道长 L 之比为 $W62/L62$ ；晶体管4502的沟道宽 W 和沟道长 L 之比为 $W63/L63$ ；以及 $(W61/L61) = (W62/L62) / \eta$ 。于是，晶体管6401中流过流入晶体管5101的电流的 η 倍的电流。

然后，晶体管4502的源极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在无需进行阻抗变换时可省略放大电路5301。

这里，若调节晶体管5101的沟道宽 W 和沟道长 L 之比 $W61/L61$ 、晶体管6401的沟道宽 W 和沟道长 L 之比 $W62/L62$ 、晶体管4502的沟道宽 W 和沟道长 L 之比 $W63/L63$ 以及图40中的晶体管4001的沟道宽 W 和沟道长 L 之比 $W22/L22$ ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设成 $(W22/L22) = (W63/L63) / \eta$ 。这样的话，晶体管4502的栅/源极间电压和晶体管4001的栅/源极间电压成为大致相等，从电压输出端子5014供给信号电压的状态与预充

电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

接着，图46中示出对原信号输入端子5012输入电压的场合，原信号输入端子5012与N沟道型晶体管4101的栅极端子相连时的结构。

图46相当于在图41的结构上增加了晶体管4601、4602的结构。就是说，晶体管4103的栅极端子与晶体管4601的栅极端子和晶体管4105的栅极端子相连。因此，与流过晶体管4101的电流对应的电流，流入晶体管4601和晶体管4105。这里设：晶体管4103的沟道宽W和沟道长L之比为 $W71/L71$ 、晶体管4601的沟道宽W和沟道长L之比为 $W72/L72$ 、晶体管4105的沟道宽W和沟道长L之比为 $W73/L73$ 以及 $(W71/L71) = (W72/L72)/\theta = (W73/L73)/1$ 。于是在晶体管4601中流过为流入晶体管4103的电流的 θ 倍的电流，在晶体管4105中流过为流入晶体管4103的电流的1倍的电流。

然后，晶体管4602的源极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在无需进行阻抗变换的场合，可省略放大电路5301。

这里，若调节晶体管4103的沟道宽W和沟道长L之比 $W71/L71$ 、晶体管4601的沟道宽W和沟道长L之比 $W72/L72$ 、晶体管4105的沟道宽W和沟道长L之比 $W73/L73$ 、晶体管4602的沟道宽W和沟道长L之比 $W74/L74$ 以及图40中的晶体管4001的沟道宽W和沟道长L之比 $W22/L22$ ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号的写入完成时，成为大致相等的电压值。就是说，可设成 $(W22/L22) = (W74/L74) \times 1/\theta$ 。这样的话，晶体管4602的栅/源极间电压和晶体管4001的栅/源极间电压成为大致相等，从电压输出端子5014供给信号电压状态与已预充电的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

图47、48表示对原信号输入端子5012输入电流时的结构。图47相当于在图45中增加晶体管4701而设成可输入电流的结构，图48相当于在图46中增加晶体管4801而设成可输入电流的结构。

如此，从图41到图48中说明了电压电流供给电路5011为放出型时的情形。但是，被设定电路5021为如图37或图38那样的放出型时，需要将电压电流供给电路5011设为吸入型。在从放出型的结构变更为吸入型的结构时，仅变更晶体管的极性即可。例如，在图49中示出将图41变更为吸入型时的结构。如此，只要将各晶体管的极性设成相反，并变更各布线的电位即可。

实施例5

实施例4中电压电流供给电路5011和被设定电路5021直接连接。本实施例中，如图50所示，就在电压电流供给电路5011和被设定电路5021之间插入电流存储电路5031的情况进行说明。

如图50所示，信号电流从电压电流供给电路5011的电流输出端子5013输出到电流存储电路5031，在电流存储电路5031中，进行电流设定并存储电流值。这时，从电压电流供给电路5011的电压输出端子5014输出信号电压到被设定电路5021。因此，在被设定电路5021进行预充电。之后，从电流存储电路5031向被设定电路5021输出信号电流，在被设定电路5021中电流被设定。还有，从电流存储电路5031输出到被设定电路5021的电流的大小与从电压电流供给电路5011的电流输出端子5013输出到电流存储电路5031的电流的大小成比例。或者，按照电流存储电路5031的结构成为大致相等。

还有，在采用供给图36的视频信号电压和视频信号电流的电路结构时，需要先调整电压电流供给电路5011和被设定电路5021分别哪一个是吸入型，哪一个是放出型。而在图50的结构中不仅要考虑电压电流供给电路5011和被设定电路5021的类型，还需要一起考虑电流存储电路5031的类型。

首先,考虑从电压电流供给电路5011的电流输出端子5013向电流存储电路5031有电流输入时和从电流存储电路5031向被设定电路5021输出电流时的电流存储电路5031为同一类型的场合。例如,电流存储电路5031为放出型时,需要将电压电流供给电路5011和被设定电路5021都设为吸入型。相反,当电流存储电路5031为吸入型时,需要将电压电流供给电路5011和被设定电路5021都设为放出型。即,需要将电压电流供给电路5011和被设定电路5021设为同一类型。

接着,考虑从电压电流供给电路5011的电流输出端子5013向电流存储电路5031输入电流时和从电流存储电路5031向被设定电路5021输出电流时的电流存储电路5031为相反类型的情况。例如,从电压电流供给电路5011输入到电流存储电路5031时为放出型,且从电流存储电路5031向被设定电路5021输出电流时为吸入型时,需要将电压电流供给电路5011设成吸入型,将被设定电路5021设成放出型。相反,从电压电流供给电路5011输入到电流存储电路5031时为吸入型,且从电流存储电路5031向被设定电路5021输出电流时为放出型时,需要将电压电流供给电路5011设成放出型,将被设定电路5021设成吸入型。就是说,需要将电压电流供给电路5011和被设定电路5021设成相反类型。

以上,就电压电流供给电路5011和被设定电路5021均为放出型时的电压电流供给电路5011的结构进行了说明。还有,将从电压电流供给电路5011向电流存储电路5031输入时的电流大小设为 I_1 、从电流存储电路5031向被设定电路5021输出时的电流大小设为 I_2 时,使 $I_2 = I_1 \times \kappa$ 。

首先,设被设定电路5021为放出型,且与图37的结构一样采用P沟道型晶体管3701。图51中示出一例这时的电压电流供给电路5011的结构。

图51中,电压从原信号输入端子5012输入。由于原信号输入端子5012与晶体管5101的栅极端子相连,由于原信号输入端子5012的

电位，晶体管5101的栅/源极间电压变化，且流入晶体管5101的电流变化。

然后，在被设定电路5021的晶体管3701中流过从电流存储电路5031输出的电流。从电流存储电路5031向被设定电路5021输出的电流大小是从电压电流供给电路5011向电流存储电路5031输入的电流的 κ 倍。

然后，晶体管5101的栅极电位被输出到电压输出端子5014。还有，可在原信号输入端子5012到电压输出端子5014之间配置如电压跟随器电路那样的放大电路等。

这里，若调节晶体管5101的沟道宽 W 和沟道长 L 之比 W_{82}/L_{82} 和晶体管3701的沟道宽 W 和沟道长 L 之比 W_{23}/L_{23} ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电流存储电路5031向被设定电路5021供给信号电流后成为稳定状态时，即信号的写入完成时，成为大致相等的电压值。就是说，可设成 $(W_{23}/L_{23}) = \kappa \times (W_{82}/L_{82})$ 。这样的话，晶体管5101的栅/源极间电压和晶体管3701的栅/源极间电压成为大致相等，从电压输出端子5014供给信号电压的状态与预充电时的状态成为大致相等。因此，预充电之后，从电流存储电路5031的电流输出端子5033供给信号电流后，可迅速设于稳定状态。

在图51中，原信号输入端子5012与P沟道型晶体管的栅极端子相连，而在图52中示出原信号输入端子5012与N沟道型晶体管的栅极端子相连时的结构。

图52中，由于原信号输入端子5012与晶体管4101的栅极端子相连，通过原信号输入端子5012的电位，使晶体管4101的栅/源极间电压变化，使从端子4102流入晶体管4101的电流变化。因此，与流过晶体管4101的电流对应的电流，流入晶体管4103和晶体管4105。另一方面，晶体管4105的栅极端子与晶体管4103的栅极端子相连。并且，晶体管4103与晶体管4105的源极端子或者漏极端子经端子4104

相连。这里，若设晶体管4103的沟道宽 W 和沟道长 L 之比为 W_{91}/L_{91} 、晶体管4105的沟道宽 W 和沟道长 L 之比为 W_{92}/L_{92} 且 $(W_{92}/L_{92}) = \lambda \times (W_{91}/L_{91})$ ，在晶体管4105上流过对流入晶体管4101或晶体管4103的电流的 λ 倍的电流。

然后，晶体管4105的栅极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在无需进行阻抗变换的场合，可省略放大电路5301。

这里，若调节晶体管4103的沟道宽 W 和沟道长 L 之比 W_{91}/L_{91} 、晶体管4105的沟道宽 W 和沟道长 L 之比 W_{92}/L_{92} 以及图37中的晶体管3901的沟道宽 W 和沟道长 L 之比 W_{23}/L_{23} ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设成 $(W_{23}/L_{23}) = \lambda \times (W_{91}/L_{91})$ 。这样的话，晶体管4105的栅/源极间电压和晶体管3701的栅/源极间电压成为大致相等，且从电压输出端子5014供给信号电压的状态和预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流后，可迅速设于稳定状态。

图51、52中，对原信号输入端子5012输入电压作为信号。以下示出对原信号输入端子5012输入电流时的结构。

图53表示对P沟道型晶体管5303输入电流的情况。图53是在图51的结构上增加P沟道型晶体管5303而构成。就是说，图51中经由原信号输入端子5012直接控制晶体管5101的栅极电位。而在图53中，通过使电流流过P沟道型晶体管5303来控制晶体管5101的栅极电位。除此以外的部分上，图53与图51相同而省略说明。还有，图53中5102是连接晶体管5101和晶体管5303的布线。

图53中示出从原信号输入端子5012向P沟道型晶体管5303输入电流的场合。接着，图54中示出对N沟道型晶体管5401输入电流的场合。

图54是在图52的结构上增加N沟道型晶体管5401而构成。图52中经由原信号输入端子5012直接控制晶体管4101的栅极电位。而图53中通过使电流流过放大电路5301来控制晶体管4101的栅极电位。就是说，晶体管4101的栅极端子与晶体管5401的栅极端子相连。因此，与流入晶体管5401的电流对应的电流，流入晶体管4101、晶体管4103和晶体管4105。除此以外的部分上，图54与图53相同而省略说明。

接着，就被设定电路5021为放出型且晶体管3801为N沟道型的、采用图38的结构的电压电流供给电路5011进行说明。还有，为了简明，设图38中端子3702和3704相连，端子3805连接到被设定电路5021的输入端子5022（晶体管3801的源极端子）。

这时，被设定电路5021的晶体管3801的源极端子与被设定电路5021的输入端子5022相连。因此，晶体管3801的源极电位随着状态而变化。就是说，从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，被设定电路5021的输入端子5022的电位是晶体管3801的源极端子成为稳定状态后的电位。因此，需要将从电压电流供给电路5011的电压输出端子5014供给的信号电压的大小设于成为稳定状态后的晶体管3801的源极电位的大小。

图55中示出对原信号输入端子5012输入电压时，原信号输入端子5012与P沟道型晶体管5101的栅极端子相连时的结构。

图55中，晶体管5101的栅极端子与晶体管5503的栅极端子相连，晶体管5506的栅极端子与晶体管5508的栅极端子相连。并且，晶体管5101、5503、5509通过布线5504连接成图55那样，且晶体管5508和5506通过布线5507连接成图55那样。因此，与流入晶体管5101的电流对应的电流，流入晶体管5503、晶体管5506和晶体管5508。这里设：晶体管5101的沟道宽 W 和沟道长 L 之比为 $W101/L101$ ；晶体管5503的沟道宽 W 和沟道长 L 之比为 $W102/L102$ ；晶体管5506的沟道宽 W 和沟道长 L 之比为 $W103/L103$ ；晶体管5508的沟道宽 W 和沟道长 L 之

比为 $W104/L104$ ；以及 $(W101/L101) = (W102/L102) / \mu$ 、 $(W103/L103) = (W104/L104) / v$ 。这样的话，在晶体管5509中流过对流入晶体管5101的电流的 $(\mu \times v)$ 倍的电流。

然后，晶体管5509的源极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在无需进行阻抗变换的场合，可省略放大电路5301。

这里，晶体管5101的栅极端子与晶体管5503的栅极端子相连，且晶体管5506的栅极端子与晶体管5508的栅极端子相连。因此，与流入晶体管5101的电流相应的电流，流入晶体管5503、晶体管5506和晶体管5508。这里，若调节晶体管5101的沟道宽 W 和沟道长 L 之比 $W101/L101$ 、晶体管5503的沟道宽 W 和沟道长 L 之比 $W102/L102$ 、晶体管5506的沟道宽 W 和沟道长 L 之比 $W103/L103$ 、晶体管5508的沟道宽 W 和沟道长 L 之比 $W104/L104$ 、晶体管5509的沟道宽 W 和沟道长 L 之比 $W105/L105$ 以及图38中的晶体管3801的沟道宽 W 和沟道长 L 之比 $W23/L23$ ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设成 $(W23/L23) = (W105/L105) / (\mu \times v)$ 。这样的话，晶体管5509的栅/源极间电压和晶体管3801的栅/源极间电压成为大致相等，且从电压输出端子5014供给信号电压的状态和预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

接着，图56中示出对原信号输入端子5012输入电压时，原信号输入端子5012与N沟道型的晶体管4101的栅极端子相连时的结构。

图56中，晶体管4103的栅极端子与晶体管4105的栅极端子相连，晶体管5601的栅极端子与晶体管4101的栅极端子相连。并且，晶体管4103、4105、5602通过端子4104相连，晶体管4101和晶体管5601通过端子4102相连。因此，与流入晶体管4101的电流相应的电流，

流入晶体管4103、晶体管4805和晶体管5601。这里设：晶体管4101的沟道宽W和沟道长L之比为 $W111/L111$ ；晶体管4103的沟道宽W和沟道长L之比为 $W112/L112$ ；晶体管4105的沟道宽W和沟道长L之比为 $W113/L113$ ；晶体管5601的沟道宽W和沟道长L之比为 $W114/L114$ ；以及 $(W112/L112) = (W113/L113)/\xi$ 、 $(W111/L111) = (W115/L115)/\pi$ 。这样的话，在晶体管4805上流过对流入晶体管4103或晶体管4101的电流的 ξ 倍的电流，且在晶体管5601或晶体管5602上流过对流入晶体管4103的电流的 π 倍的电流。

然后，晶体管5602的源极电位经由放大电路5301输出到电压输出端子5014。但并不以此为限，在无需进行阻抗变换的场合，可省略放大电路5301。

这里，若调节晶体管4101的沟道宽W和沟道长L之比 $W111/L111$ 、晶体管4103的沟道宽W和沟道长L之比 $W112/L112$ 、晶体管4105的沟道宽W和沟道长L之比 $W113/L113$ 、晶体管5601的沟道宽W和沟道长L之比 $W114/L114$ 、晶体管5602的沟道宽W和沟道长L之比 $W115/L115$ 以及图38中的晶体管3801的沟道宽W和沟道长L之比 $W23/L23$ ，则从电压电流供给电路5011的电压输出端子5014供给的信号电压，在从电压电流供给电路5011的电流输出端子5013供给信号电流后成为稳定状态时，即信号写入完成时，成为大致相等的电压值。就是说，可设成 $(W23/L23) = (W115/L115) \times \xi/\pi$ 。这样的话，晶体管5602的栅/源极间电压和晶体管3801的栅/源极间电压成为大致相等，且从电压输出端子5014供给信号电压的状态与预充电时的状态成为大致相等。因此，预充电之后，从电压电流供给电路5011的电流输出端子5013供给信号电流时，可迅速设于稳定状态。

接着，图57、58中示出对原信号输入端子5012输入电流时的结构。图57相当于在图55上增加晶体管5701，并设成能够输入电流的结构，图58相当于在图56上增加晶体管5801，并设成能够输入电流的结构。还有，图57中，端子5504连接晶体管5101、5701、5503、5509，

端子5507连接晶体管5506和晶体管5508。并且，图58中，端子4104连接晶体管4105、4103、5602，端子4102连接晶体管4101、5801、5601。

如此，从图51到图58说明了电压电流供给电路5011为放出型的情况。但是，被设定电路5021是如图39或图40那样的吸入型时，需要设电压电流供给电路5011为吸入型。但是，从放出型的结构变更为吸入型的结构时，仅变更晶体管的极性即可。例如，图59中示出将图52变更为吸入型时的结构。如图将各晶体管的极性设为相反，并变更各布线的电位即可。

接着，就图50中的电流存储电路5031的结构进行说明。电流存储电路5031只要是从存储电流输入端子5032输入电流，从存储电流输出端子5033输出电流的电路即可，可为任意结构。

例如，可用图21和图22～图35中说明的结构。就是说，图21中的电流输入端子2102相当于图50的电流存储电路5031的存储电流输入端子5032，图21中的电流输出端子2101相当于图50的电流存储电路5031的存储电流输出端子5033。

图60中示出一例采用图22的结构时的电流存储电路5031。同样地，图61中示出一例采用图28的结构时的电流存储电路，图62中示出一例采用图26的结构时的电流存储电路。图60的场合相当于吸入型，图61的场合相当于放出型，图62的场合相当于输入电流的部分和输出部分为相反类型的场合。

如此，通过适当选择吸入型或放出型，能够构成电流存储电路5031。

实施例6

实施例5中的图50描述了中间插入电流存储电路5031情形。就是说，图50中，从电压电流供给电路5011到电流存储电路5031，由电流输出端子5013供给信号电流。但并不以此为限，也可以如图36所示，输入信号电压和信号电流。

图63中示出对电流存储电路5031输入信号电压和信号电流的情况。

如图63所示，信号电压从电压电流供给电路5041的第二电压输出端子6343经开关6303输出到电流存储电路5031。这相当于预充电动作。然后，信号电流从电流输出端子5043经由开关5003输出到电流存储电路5031，在电流存储电路5031中，进行电流设定并存储电流值。然后，信号电压从电压电流供给电路5041的电压输出端子5044经由开关5001和输出端子5022输出到被设定电路5021。因此，在被设定电路5021中进行预充电动作。然后，从直流存储电路5031经由开关5002和输出端子5022到被设定电路5021，有信号电流输出，被设定电路5021中电流被设定。还有，从电流存储电路5031输出到被设定电路5021的电流大小和从电压电流供给电路5041的电流输出端子5043输出到电流存储电路5031的电流大小成比例。或者，按照电流存储电路5031的结构，大致相等。

还有，图63中，需要根据电流存储电路5031和被设定电路5021分别是吸入型还是放出型，并根据构成电路的晶体管的极性，调整从电压电流供给电路5041的电压输出端子5044和第二电压输出端子6343输出的电压值。

就是说，将从电压电流供给电路5041的电压输出端子5044输出的电压设成能够使被设定电路5021进行预充电动作的大小，将从电压电流供给电路5041的第二电压输出端子6343输出的电压设成对电流存储电路5031进行预充电动作的大小。

与实施例4、5中说明的一样，各电压的大小可通过调整流入各晶体管的电流值、晶体管的极性、晶体管的尺寸以及是吸入型还是放出型等来生成。

在此先就电压电流供给电路5041和被设定电路5021均为放出型时的电压电流供给电路5041的结构进行说明。

首先，假设被设定电路5021为放出型，并采用P沟道型晶体管3701

的图37的结构。并且，假设电流存储电路5031为吸入型，并采用图60的结构。在图64中示出一例这时的电压电流供给电路5041的结构。可称为是在图51的结构上增加了晶体管6401、6402的结构，或者在图42的结构上使晶体管6401的栅极电压输出的结构。因此，通过调节流过各晶体管的电流值和晶体管尺寸，能够输出最佳的信号电压（预充电电压）。

接着，在图65中示出原信号输入端子5042连接到N沟道型晶体管的栅极端子时的结构。与图52的结构形成对照，这是可输出晶体管4101的栅极电压的结构。因此，通过调节流过各晶体管的电流值和晶体管尺寸，能够输出最佳的信号电压（预充电电压）。

接着，示出对原信号输入端子5042输入电流时的结构。图66中示出对P沟道型晶体管5303输入电流的情况。图66是在图64的结构上增加P沟道型晶体管5303的结构。就是说，图64中通过原信号输入端子5012直接控制了晶体管5101的栅极电位。而在图66中，通过使电流流过P沟道型晶体管5303来控制晶体管5101的栅极电位。除此以外的其它部分中，图66与图64相同，因而省略说明。

还有，经放大电路5301a、5301b输出到电压输出端子5044或第二电压输出端子6343，但并不以此为限，在无需进行阻抗变换的场合可以省略放大电路。

接着，图67中示出对N沟道型晶体管5401输入电流的情况。图67的结构是在图65的结构中增加了N沟道型晶体管5401而形成。因此，省略详细地说明。

接着，就被设定电路5021为放出型，且晶体管3801为N沟道型的采用图38的结构时的电压电流供给电路5041进行说明。还有，为了简明，图38中，使端子3702与3704相连，使端子3705与被设定电路5021的输入端子5022（晶体管3801的源极端子）相连。

首先，图68中示出对原信号输入端子5042输入电压时，原信号输入端子5042与P沟道型晶体管5101的栅极端子相连时的结构。这可

认为是采用了图55的结构输出晶体管5506的栅极电压的结构。因此，通过调节流过各晶体管的电流值和晶体管尺寸，能够输出最佳的信号电压（预充电电压）。

还有，经由放大电路5301a、5301b输出到电压输出端子5044或第二电压输出端子6343，但并不以此为限，在无需进行阻抗变换的场合，可省略放大电路。

接着，图69中示出对原信号输入端子5042输入电压时，原信号输入端子5042与N沟道型晶体管4101的栅极端子相连时的结构。这可认为是与图56的结构形成对照的、设为输出晶体管4101的栅极电压的结构。因此，通过调节流过各晶体管的电流值和晶体管尺寸，能够输出最佳的信号电压（预充电电压）。

接着，图70、71中示出对原信号输入端子5042输入电流时的结构。图70相当于在图68上增加了晶体管5701而可输入电流，图71相当于在图69上增加了晶体管5801而可输入电流的结构。

还有，图64中，栅极端子的电压被输出到第二电压输出端子6343，但并不以此为限。通过将图64的晶体管6402的极性与电流存储电路5031的晶体管的极性一起变更，构成为如图72的晶体管7202那样，并且，使该源极端子的电压输出到第二电压输出端子6343。这在图65~71中也相同。

如此，从图64到图72，就电压电流供给电路5011、被设定电路5021均为放出型的情况进行了说明。但是，在被设定电路5021为如图39或图40那样的吸入型时，需要将电压电流供给电路5011设为吸入型。但从放出型的结构变更为吸入型的结构时，仅变更晶体管的极性就可。例如，在图73中示出将图65变更为吸入型时的结构。如此，将各晶体管的极性设为相反，变更各布线的电位即可。

如此，通过适当选择吸入型或放出型等，可形成各种结构。

实施例7

实施例5的图50中，就在电压电流供给电路5011和被设定电路5021之间插入电流存储电路5031的情况进行了说明。从而，一旦存储了信号电流之后，向被设定电路5021输入电流。本例中也可以在电压电流供给电路5011和被设定电路5021之间，插入电压存储电路5051。图74中示出对图50的结构上配置了电压存储电路5051时的结构。

但并不以此为限，也可对图63的结构上配置电压存储电路5051。同样，也可以在图63的结构中电压电流供给电路5041和电流存储电路5031之间配置电压存储电路5051。

接着，在图75中示出电压存储电路5051的结构例。作为存储电压值的元件，配置了电容元件7501。然后，配置了放大电路7502。还有，放大电路7502是可输出与输入电位大致相等电位的电路，最好电压跟随器电路等。但并不以此为限，能起到变换阻抗的功能即可。还有，在无需进行阻抗变换的场合，可省略放大电路7501。

还有，如图76所示，也可配置多个电容元件（7501a、7501b）或放大电路（7502a、7502b）。这时，如图77所示，能够一边从存储电压输入端子5052输入电压，一边从存储电压输出端子5053输出另一大小的电压。从而，能更加灵活地控制动作定时。

同样地，也可如图78所示配置多个电容元件（7501a、7501b）。从而，能更加灵活地控制动作定时。

实施例8

实施例4~7中就供给视频信号电压和视频信号电流的电路进行了说明。本实施例中，就将实施例4~7中说明的、供给视频信号电压和视频信号电流的电路用在实施例1~3中说明的结构上时的对应关系进行说明。

首先，图79中示出在图18、19、10、20等的结构中对视频电流信号线1801或视频电压信号线101供给信号的部分上配置了实施例

4~7中说明的供给视频信号电压和视频信号电流的电路时的结构。

这相当于采用图50的结构的情况。就是说，图50中的电压电流供给电路5011相当于图79的电压电流供给电路5011；图50中的被设定电路5021相当于图18、19、10、20等中的像素；图50中的电流存储电路5031相当于图79中的电流源电路1807a。通过采用这样的结构，能够对像素或电流源电路1807a供给适当的信号，并能迅速设于稳定状态。

还有，如图19或图17所示，配置了电压存储电路1101a~1101b、1702aa~1702bb等的场合，相当于采用了图74的结构的情况。就是说，图74中的电压存储电路5051相当于图19或图17中的电压存储电路1101a~1101b、1702aa~1702bb。

还有，图79中电流源1807a为如图32那样的结构时，视频电流信号线如视频电流信号线1801i或视频电流信号线1801j等那样成为多条。这时的结构图示于图88、图89。从原电压信号输入端子8812a输入电压信号，为了从原信号输入端子8812b供给电流而输入电压信号。于是，从视频电流信号线1801i或视频电流信号线1801j输出电流。还有，图88、图89中示出视频电流信号线为2条的场合，但并不以此为限。

还有，电压电流供给电路8811中的晶体管8901或晶体管8902等的沟道宽W和沟道长L之比，是各晶体管中的沟道宽W和沟道长L之比相加的值，它与从视频电流信号线1801i或视频电流信号线1801j输出的电流值的合计相对应。因此，可通过假定流入各视频电流信号线的合计电流的大小为最大的情况来确定沟道宽W和沟道长L之比。结果，流入各视频电流信号线的合计电流的大小为最大时，能够使从原电压信号输入端子8812a输入的电压信号的大小大致等于从原信号输入端子8812b输入的电压信号。就是说，若应用于图79等的场合，在图88或图89的场合通过假定流入各视频电流信号线的合计电流的大小为最大的情况来确定沟道宽W和沟道长L之比即可。

还有,如上所述,在晶体管8901或晶体管8902中以2的幂来增大输出电流的大小。因此,使沟道长 L 在晶体管8901或晶体管8902等中成为相同大小,并使沟道宽 W 为2的幂即可。然后,通过将各晶体管中的沟道宽 W 和沟道长 L 之比相加来确定电流源电路1807a或像素等的晶体管的沟道宽 W 和沟道长 L 即可。结果,流入各视频电流信号线的合计电流的大小极大时,能够使从原电压信号输入端子8812a输入的电压信号的大小大致等于从原信号输入端子8812b输入的电压信号。

接着,图80中示出适用图63的结构的情况。通过采用这样的结构,能够对像素或电流源电路1807a供给适当的信号,并可迅速设于稳定状态。

接着,图81中示出适用图36的结构的情况。通过采用这种结构,能够对电流源电路1807a供给适当信号,并可迅速设于稳定状态。还有,图81中也可通过连接原信号输入端子5012和视频电压信号线101,加上相同大小的信号电压。

如此,能够将实施例4~7中说明的供给视频信号电压和视频信号电流的电路自由应用于实施例1~3中说明的结构中。

实施例9

本实施例中示出像素的结构例。图82中示出放出型且采用P沟道型晶体管时的结构例。首先,如图83所示,输入信号电压时使开关1209aa导通。但断开也可。接着,如图84所示,输入信号电流。

然后,对作为负载的EL元件8205aa供给电流,能够使之发光。还有,负载并不限于EL元件8205aa。可为电阻等的元件、晶体管、EL元件、其它的发光元件、由晶体管和电容和开关等构成的电流源电路以及连接了任意电路的布线,也可为信号线、信号线以及与之相连的像素。该像素中可包含用作EL元件或FED的元件,此外可包含电流流过进行驱动的元件。

还有，像素的结构只要至少是输入电流的方式则可采用任何结构。例如，可采用图85或图86那样的结构。并且，能够进行放出型或吸入型的变更，并可变更晶体管的极性等等来形成各种结构。并且，可采用与如图22~28那样的电流源电路相同的结构。

还有，各种电容元件可用晶体管的栅极电容等来代替，从而能够省略。

还有，以上说明的各种结构中，开关配置于各部分，但其配置部位并不限于已说明的部位。只要是可正常工作的部位，任意部位上均能配置开关。

开关可为电开关或机械开关等任意开关。只要能控制电流的方向，用任何开关均可。可为晶体管，也可为二极管，由它们组合的逻辑电路也可。因而，作为开关使用晶体管时，该晶体管仅作为开关动作，因此，对晶体管的极性（导电型）上并无特别限定。但希望断开电流较小时，最好使用断开电流较小的极性的晶体管。作为断开电流较小的晶体管，有设置了LDD区域的晶体管等。并且，作为开关动作的晶体管的源极端子的电位以接近低电位侧电源（ V_{ss} 、 V_{gnd} 、0V等）的状态下工作时最好采用n沟道型，反之，当源极端子的电位接近高电位侧电源（ V_{dd} 等）的状态下工作时最好采用p沟道型。这是由于能够增大栅/源极间电压的绝对值，所以作为开关容易动作。还有，n沟道型和p沟道型均可使用CMOS型的开关。

还有，本发明的晶体管可为任何类型的晶体管，可形成于任何衬底上。因此，采用硼硅酸钡玻璃或硼硅酸铝玻璃等的玻璃衬底、石英衬底、陶瓷衬底、不锈钢衬底、以塑料或丙烯酸为代表的可挠性衬底、单晶衬底、SOI衬底等的衬底，可在这些衬底上形成如图1、图79或图82等中示出的电路。或者，可将图1、图79或图82等中的电路的一部分形成于某一衬底上，将图1、图79或图82中的电路的另一部分形成于另一衬底上。就是说，图1、图79或图82中的全部电路可以不在同一衬底上形成。例如，像素和栅极线驱动电路可在玻璃衬底

上用TFT形成，信号线驱动电路（或者其一部分）可形成于单晶衬底上，并可以将该IC芯片以COG（Chip On Glass）方式连接，然后配置于玻璃衬底上。或者，将该IC芯片用TAB（Tape Auto Bonding）或印刷电路板连接到玻璃衬底也可。

实施例10

本实施例1~3中就将信号电压作为预充电电压输入像素，然后，输入信号电流这一动作的情况进行了描述。但并不以此为限。

例如，可以不输入信号电流，而只对像素或信号线输入信号电压来使像素动作。但这时各像素的亮度上会产生偏差。但是，显示动图像等时，亮度偏差并不显著。因而，若只输入信号电压，不对像素或信号线输入信号电流，则由于可停止各电流源部分的电流，可减少耗电。

而显示静图像时，则容易发现各像素的亮度偏差。因此，与本实施例1~3的叙述一样，最好在输入信号电压之后，将信号电流输入，以减少亮度偏差的影响。

如此，对像素或信号线只输入信号电压时的动作称为电压输入模式，输入信号电压作为预充电电压，然后输入信号电流时的动作称为电流输入模式。

由于在电压输入模式中可停止各部分的电流源或放大电路的动作，因此可减少耗电。但会产生亮度的偏差。

而在电流输入模式中虽然难以减少耗电，但可减少亮度偏差的影响。

因此，根据具体情况，可以将电压输入模式和电流输入模式交替动作。例如，可在显示静图像时或者在预定期间以上显示静图像时，以电流输入模式动作，除此以外的期间，以电压输入模式动作。例如，可在1秒以上显示静图像时，以电流输入模式动作。

或者，显示面积中预定比例面积以上的区域的图像变化时，可

用电流输入模式动作，除此以外的期间以电压输入模式动作。例如，在一半以上的画面区域上图像变化时，可用电流输入模式动作。

或者，结合这两种模式，在预定期间或者预定区域上图像变化时，用电流输入模式动作，除此以外的期间用电压输入模式动作。

实施例11

作为采用本发明的电子设备有：摄像机、数字照相机、眼镜型显示器（头戴式显示器）、导航系统、音响重放装置（汽车音响，组合音响等）、笔记本型个人计算机、游戏机器、便携式信息终端（移动计算机、便携式电话、便携式游戏机或电子书等）、设有记录媒体的图像再现装置（具体指再现Digital Versatile Disc（DVD）等记录媒体，设有显示图像的显示器的装置）等。这些电子设备的具体例在图87中示出。

图87（A）表示发光装置，包含壳体13001、底座13002、显示部13003、扬声器部13004、视频输入端子13005等。本发明可用于构成显示部13003的电路。并且，通过本发明可制成图87（A）所示的发光装置。由于发光装置是自发光型，所以不需要背光源，其显示部可做得比液晶显示器薄。再有，发光装置包含个人计算机用、电视广播接收用、广告显示用等全部信息显示用显示装置。

图87（B）表示数码相机，包含主体13101、显示部13102、受像部13103、操作键13104、外部连接端口13105、快门13106等。本发明可用于构成显示部13102的电路。并且，通过本发明可制成图87（B）所示的数码相机。

图87（C）表示笔记本型个人计算机，包含主体13201、壳体13202、显示部13203、键盘13204、外部连接端口13205、指向鼠标13206等。本发明可用于构成显示部13203的电路。并且，通过本发明可制成图87（C）所示的发光装置。

图87（D）表示移动计算机，包含主体13301、显示部13302、开

关13303、操作键13304、红外线端口13305等。本发明可用于构成显示部13302的电路。并且，通过本发明可制成图87(D)所示的移动计算机。

图87(E)表示设有记录媒体的便携式图像再现装置(具体指DVD再现装置)，包含主体13401、壳体13402、显示部A13403、显示部B13404、记录媒体(DVD等)读取部13405、操作键13406、扬声器部13407等。显示部A13403主要显示图像信息，显示部B13404主要显示文字信息，本发明可用于构成这些显示部A、B13403、13404的电路。再有，设有记录媒体的图像再现装置也包含家庭用游戏机等。并且，通过本发明可制成图87(E)所示的DVD再现装置。

图87(F)表示眼镜型显示器(头戴式显示器)，包含主体13501、显示部13502、臂部13503。本发明可用于构成显示部13502的电路。并且，通过本发明可制成图87(F)所示的眼镜型显示器。

图87(G)表示摄像机，包含主体13601、显示部13602、壳体13603、外部连接端口13604、遥控接收部13605、受像部13606、电池13607、声音输入部13608、操作键13609、目镜部13610等。本发明可用于构成显示部13602的电路。并且，通过本发明可制成图87(G)所示的摄像机。

图87(H)表示便携式电话，包含主体13701、壳体13702、显示部13703、声音输入部13704、声音输出部13705、操作键13706、外部连接端口13707、天线13708等。本发明可用于构成显示部13703的电路。再有，显示部13703可通过在黑色背景上显示白色文字来抑制便携式电话的耗电。并且，通过本发明可制成图87(H)所示的便携式电话。

将来，若发光材料的发光亮度提高，可将包含输出的图像信息的光用透镜等放大投影，从而用于前向型或后向型投影机。

并且，上述电子设备通过互联网或CATV(有线电视)等电子通信线路来显示配送信息这种情况日益增多，尤其是显示动图像信

息的机会增加。由于发光材料的响应速度非常高，发光装置进行动图像显示很理想。

并且，由于发光装置中的发光部分耗电，最好尽量减少发光部分来显示信息。因此，在便携式信息终端尤其是便携式电话或音响再现装置那样以文字信息为主的显示部上用发光装置时，最好以不发光部分为背景，将文字信息形成在发光部分。

如上所述，本发明的适用范围极为广泛，可用于所有领域的电子设备上。并且，本实施例的电子设备可采用实施方式1~10所示的任一结构的半导体装置。

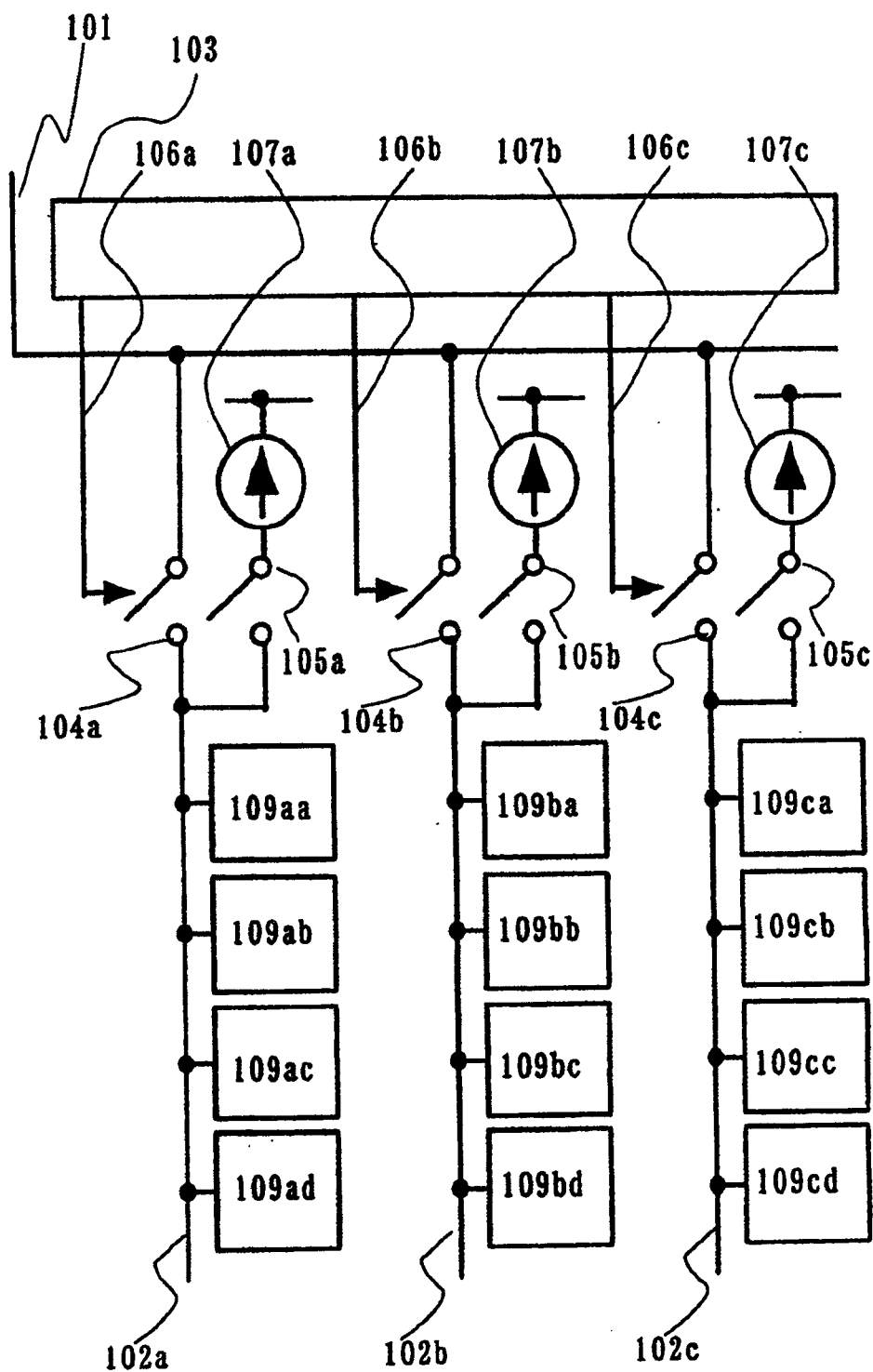


图 1

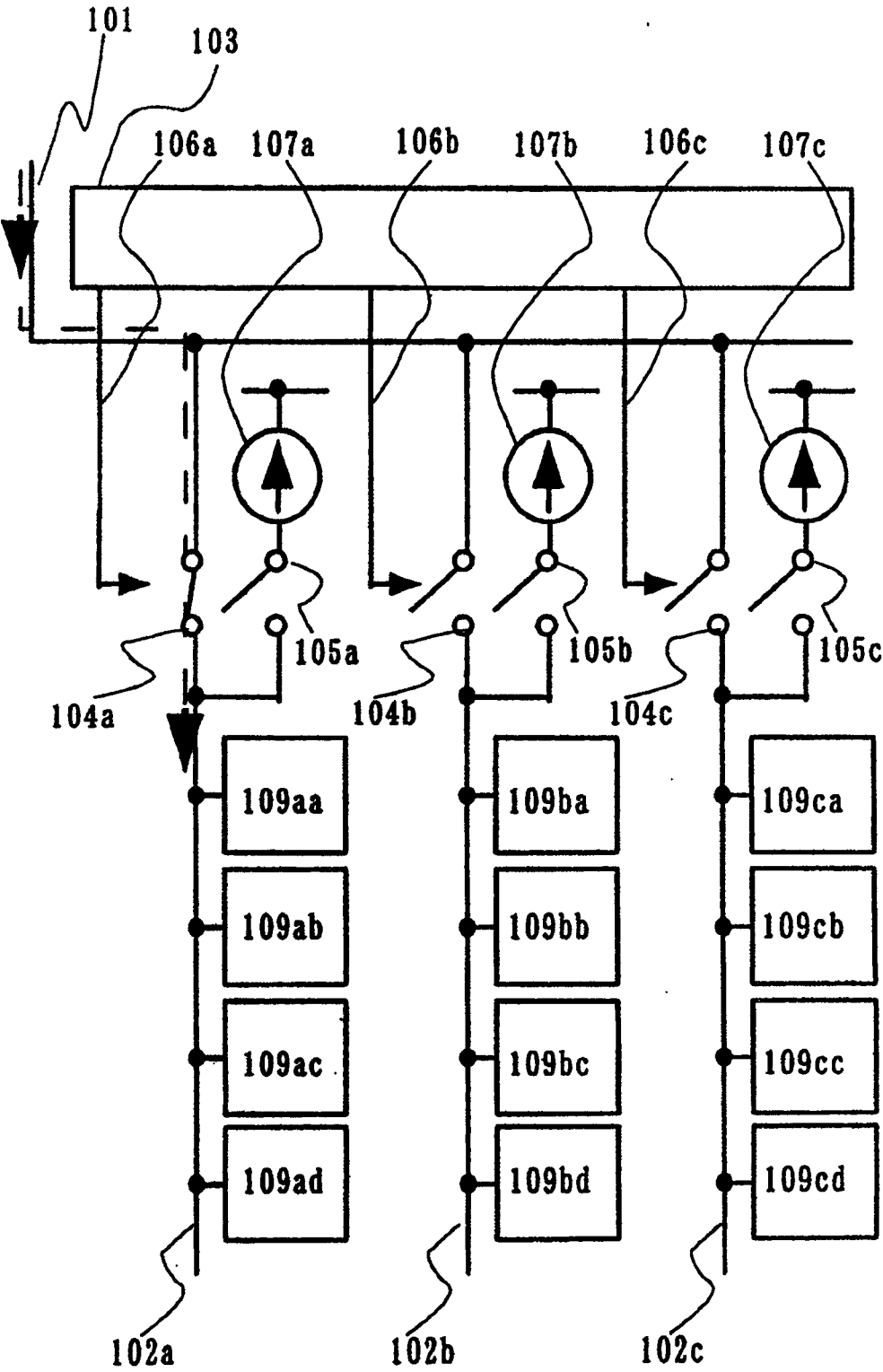


图 2

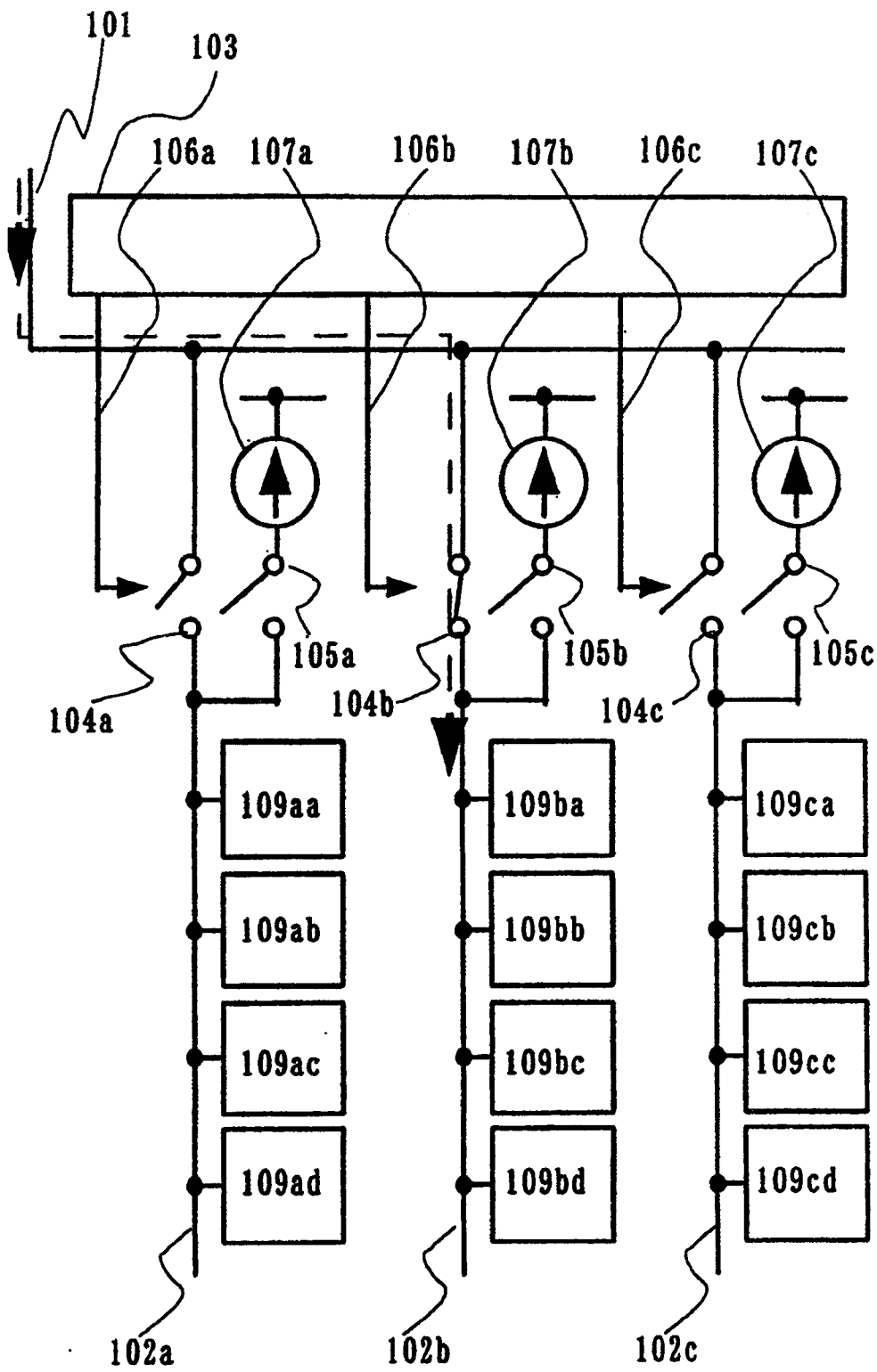


图 3

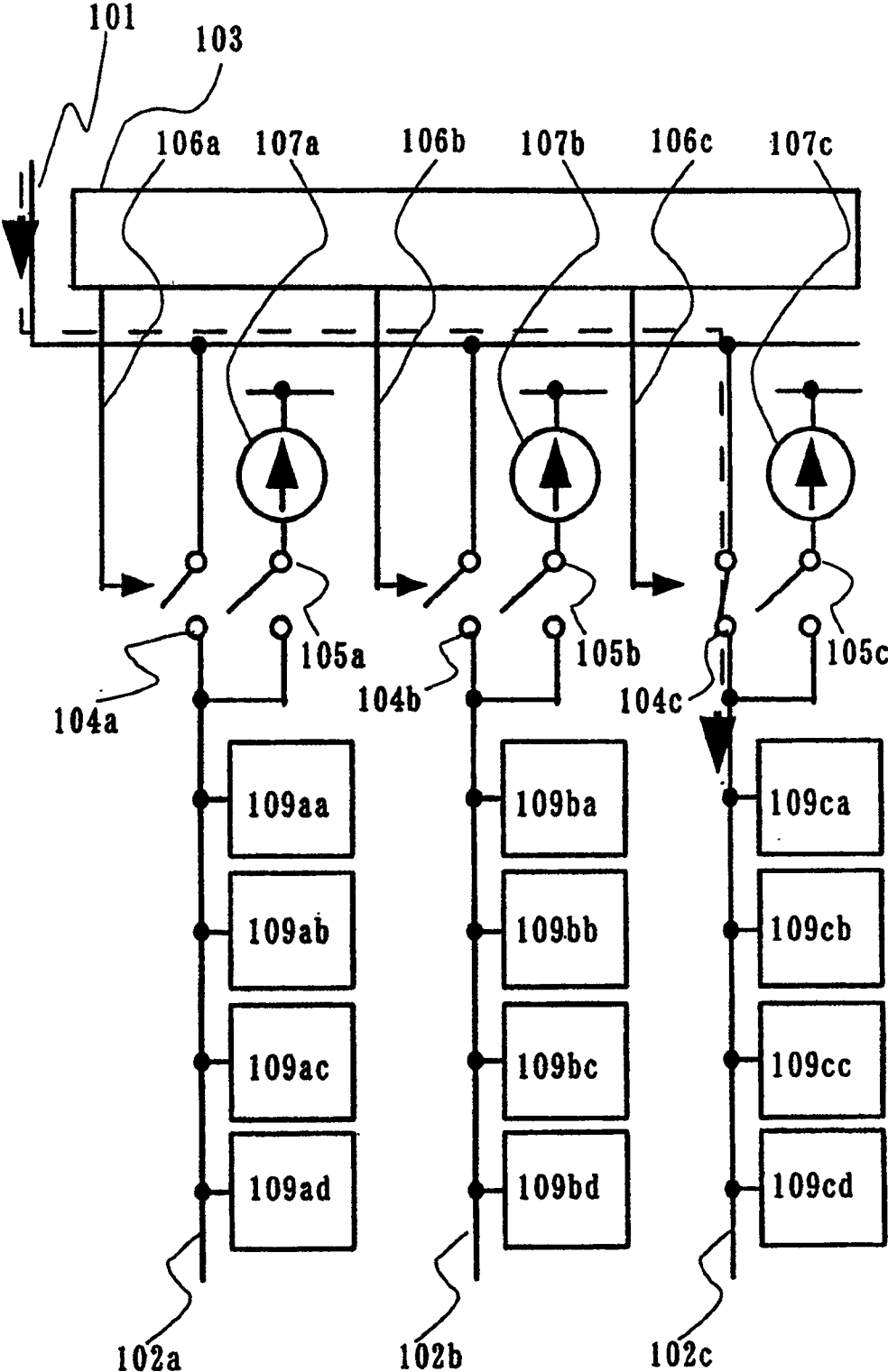


图 4

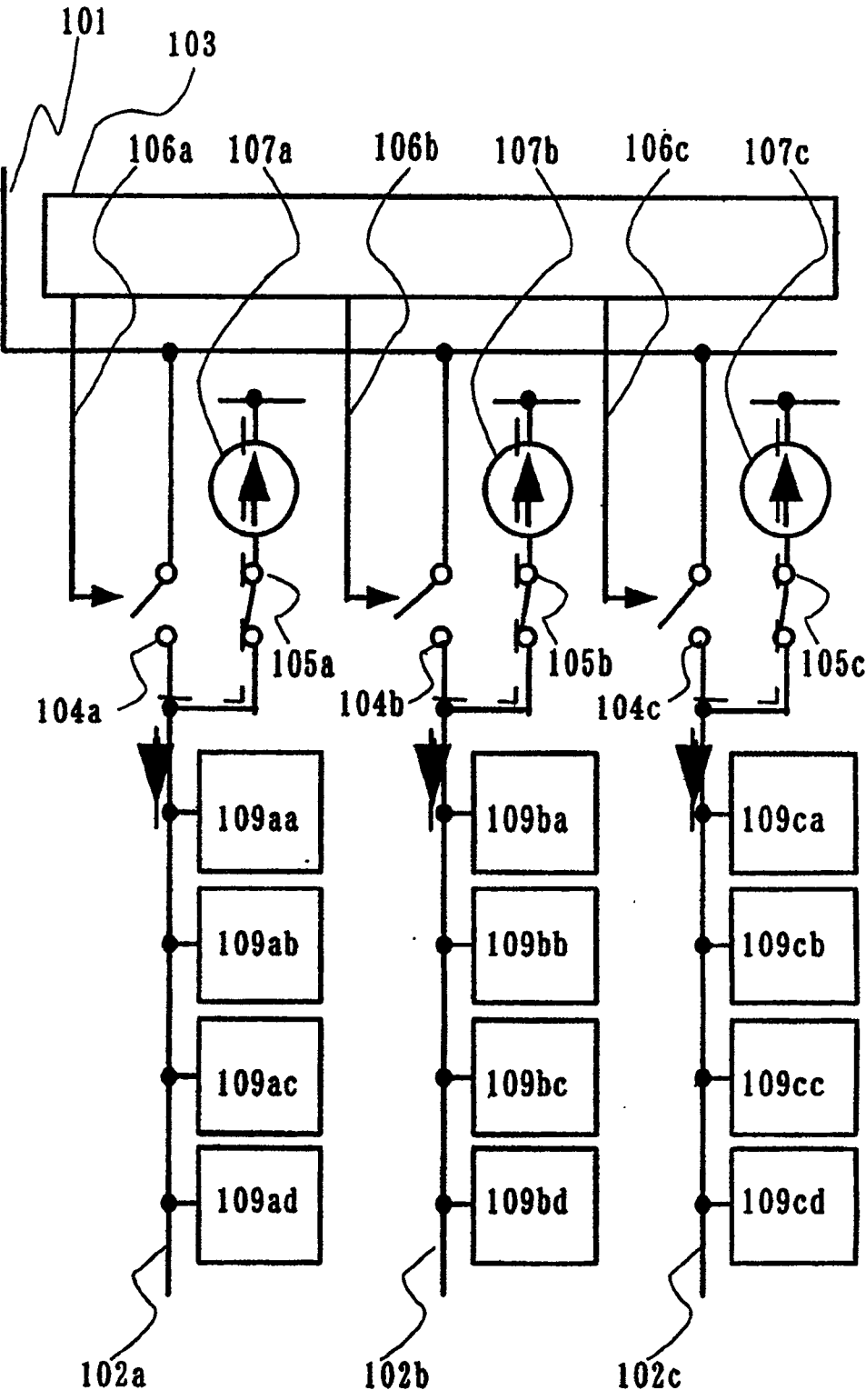


图 5

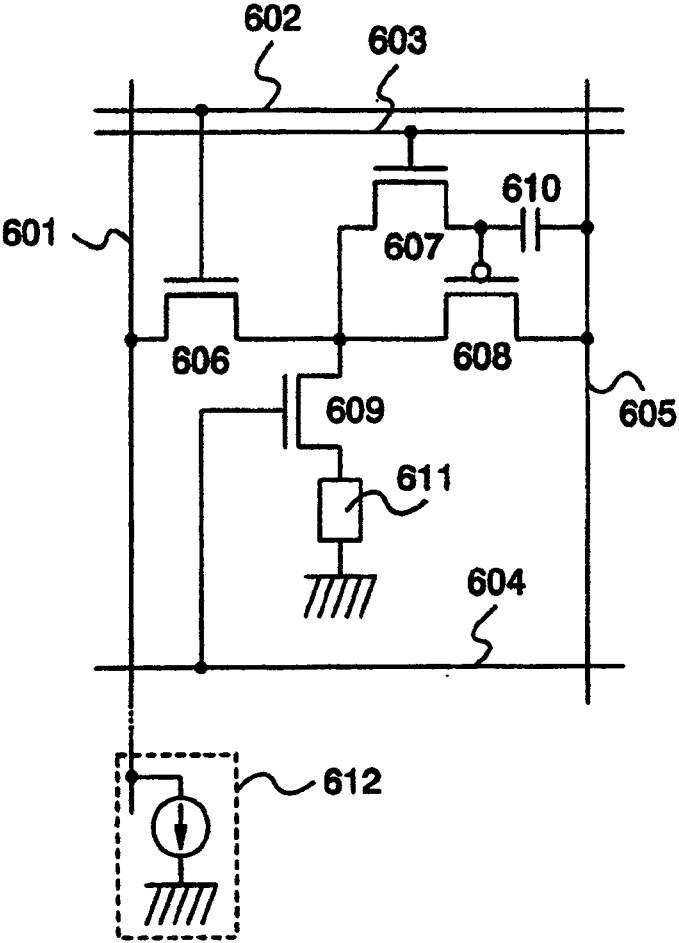


图 6

图 7A

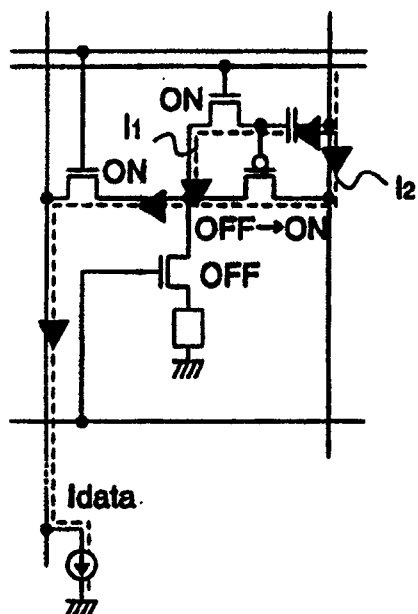


图 7B

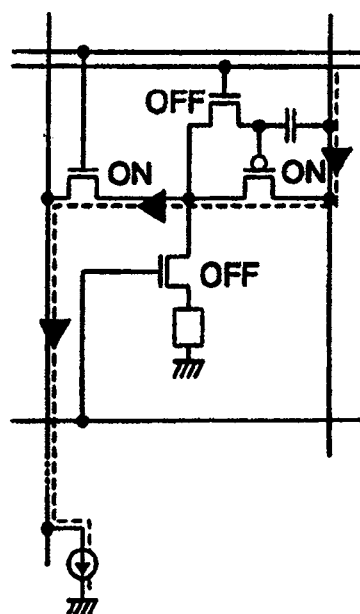


图 7C

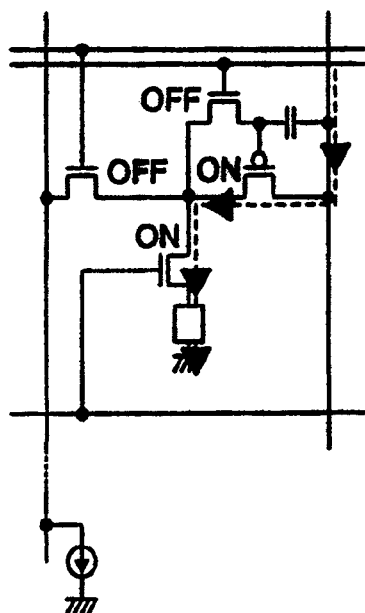


图 7D

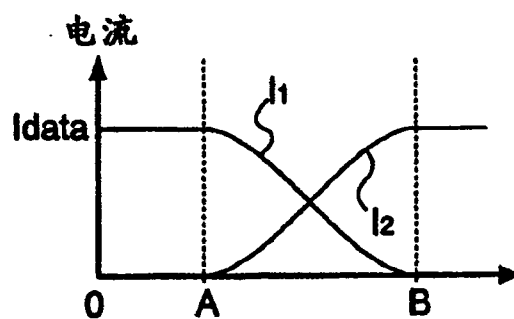
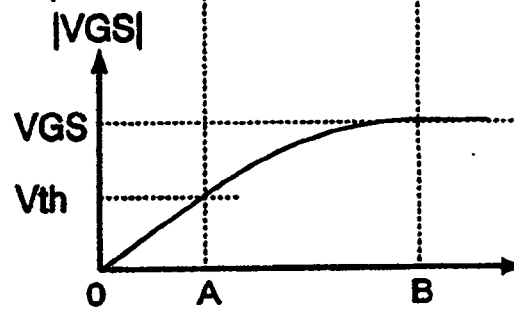


图 7E



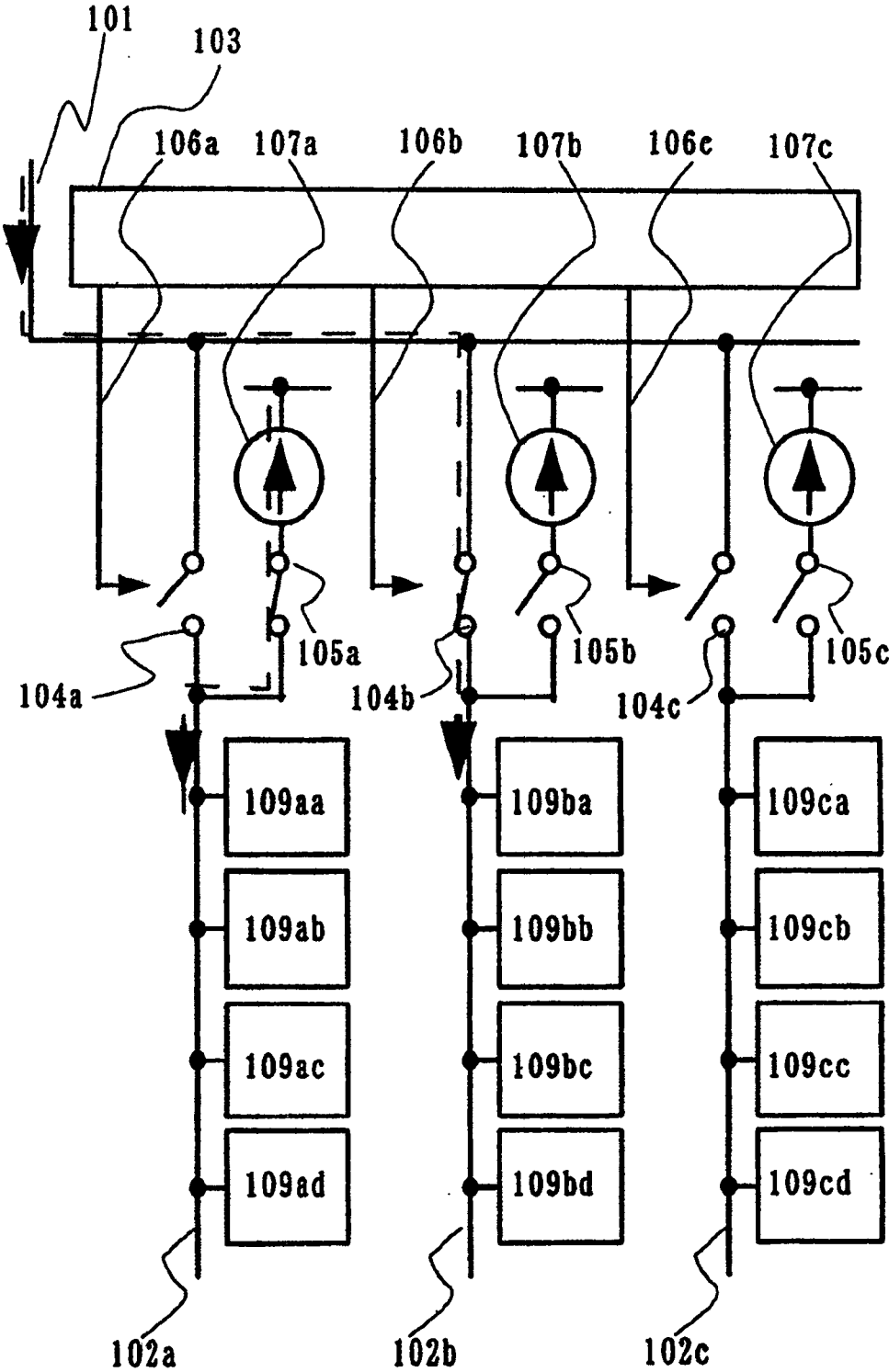


图 8

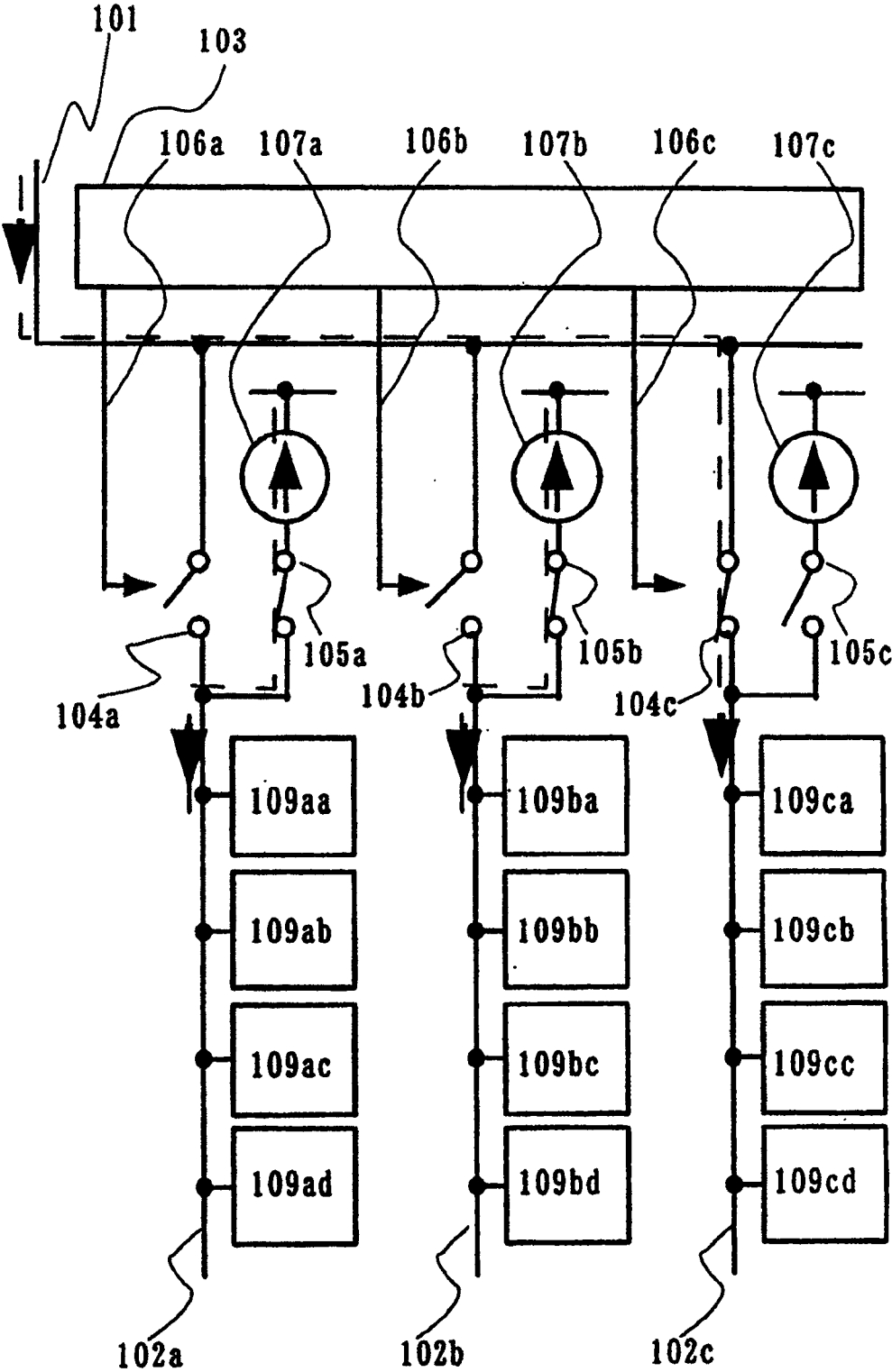


图 9

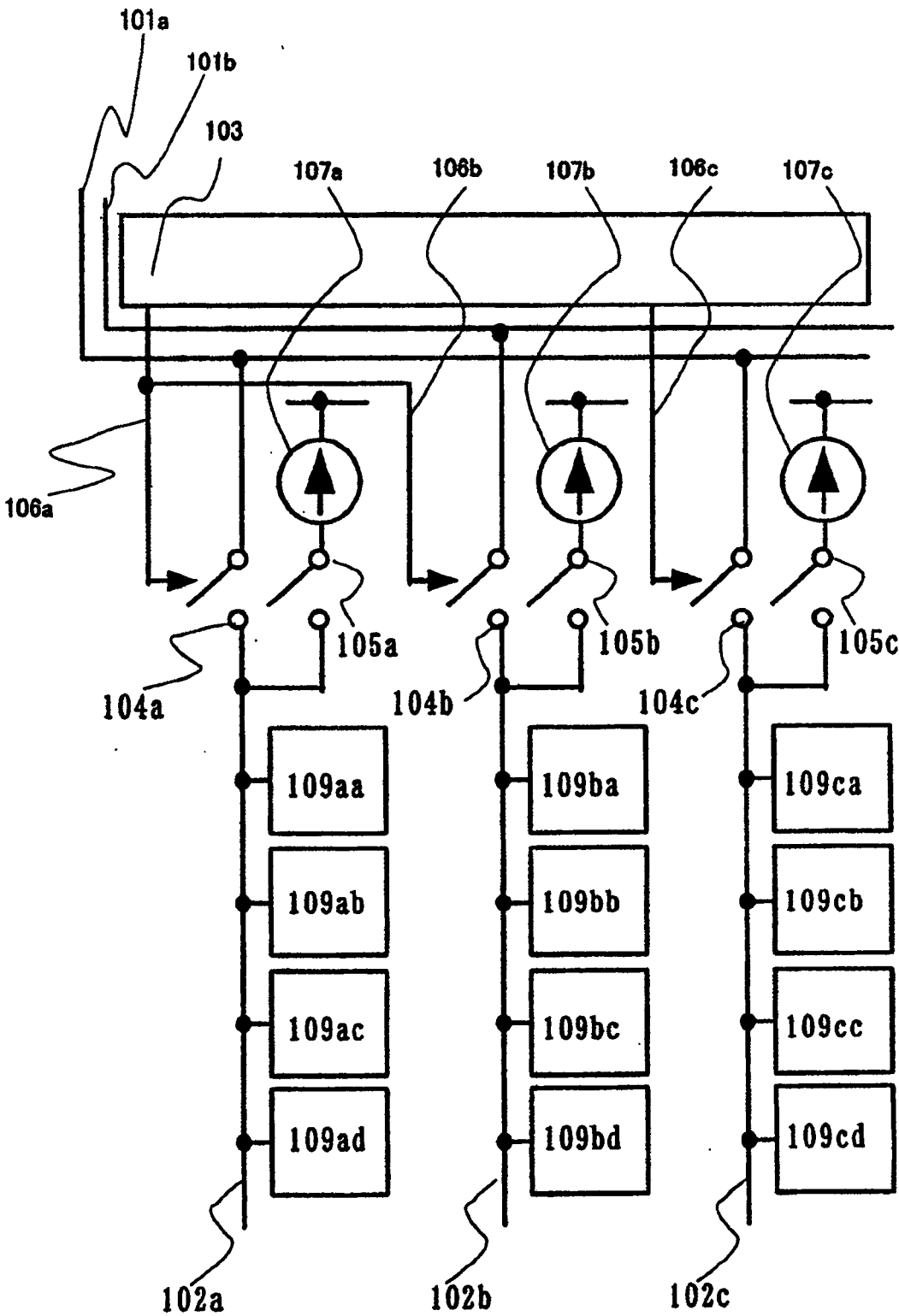


图 10

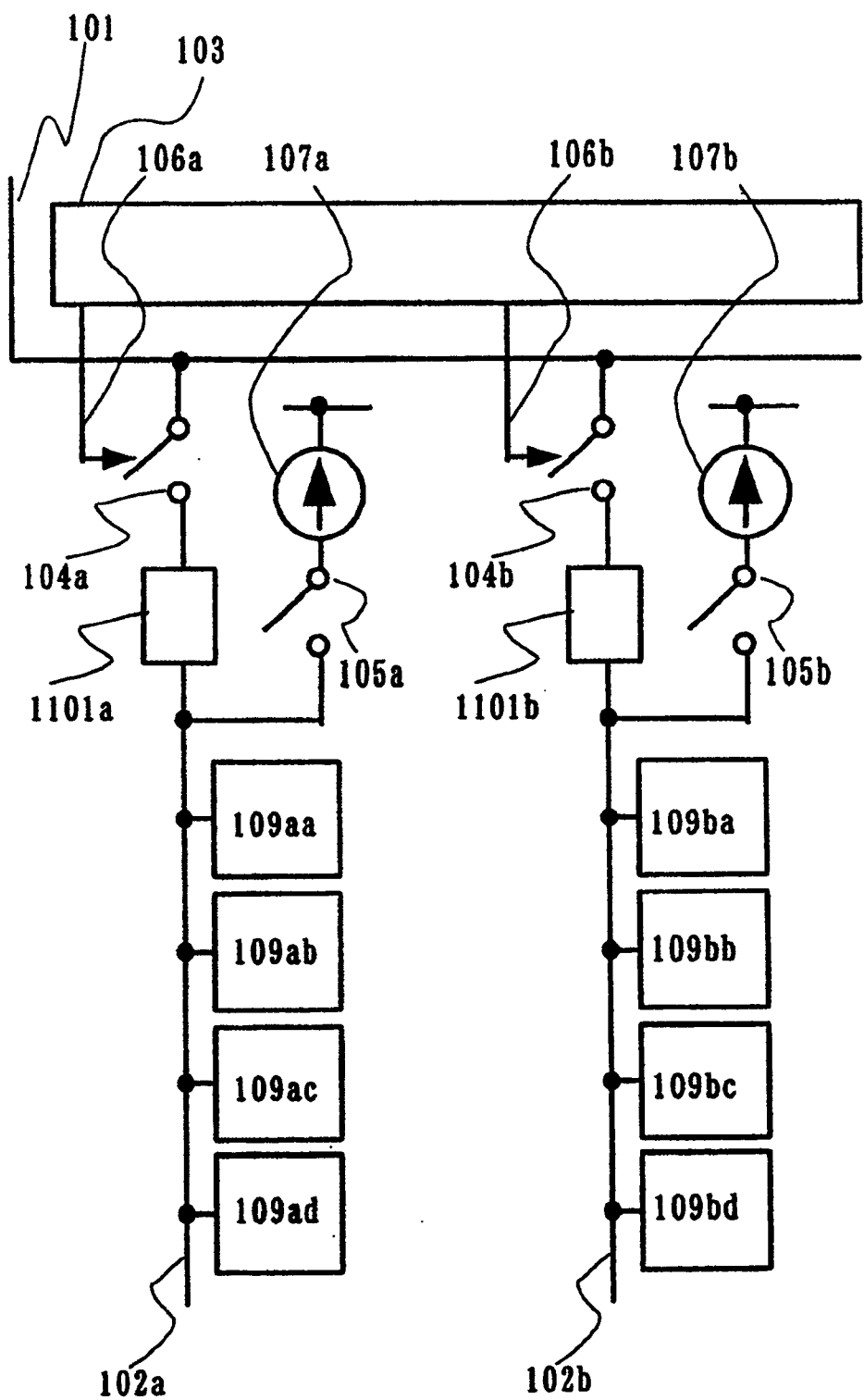


图 11

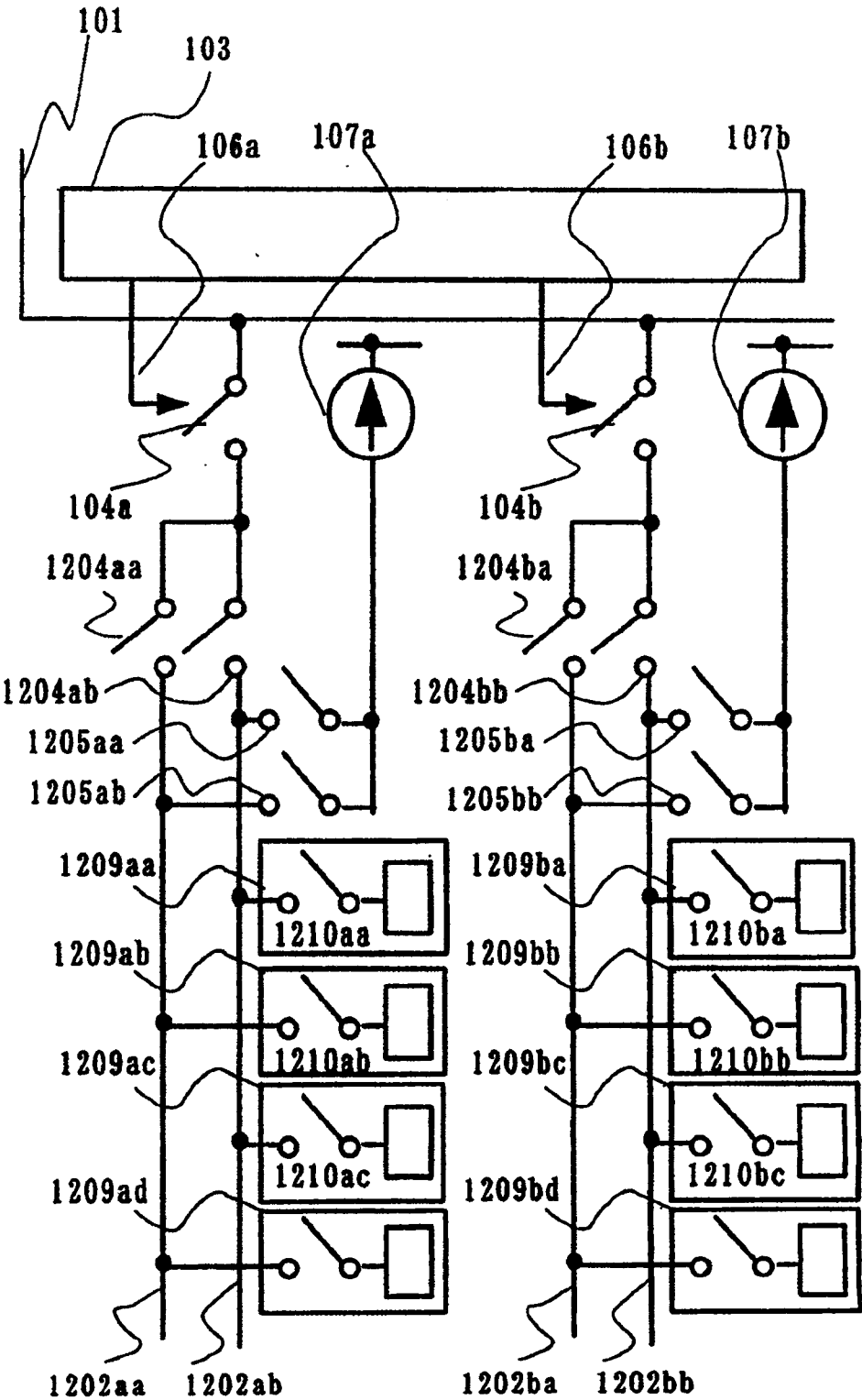


图 12

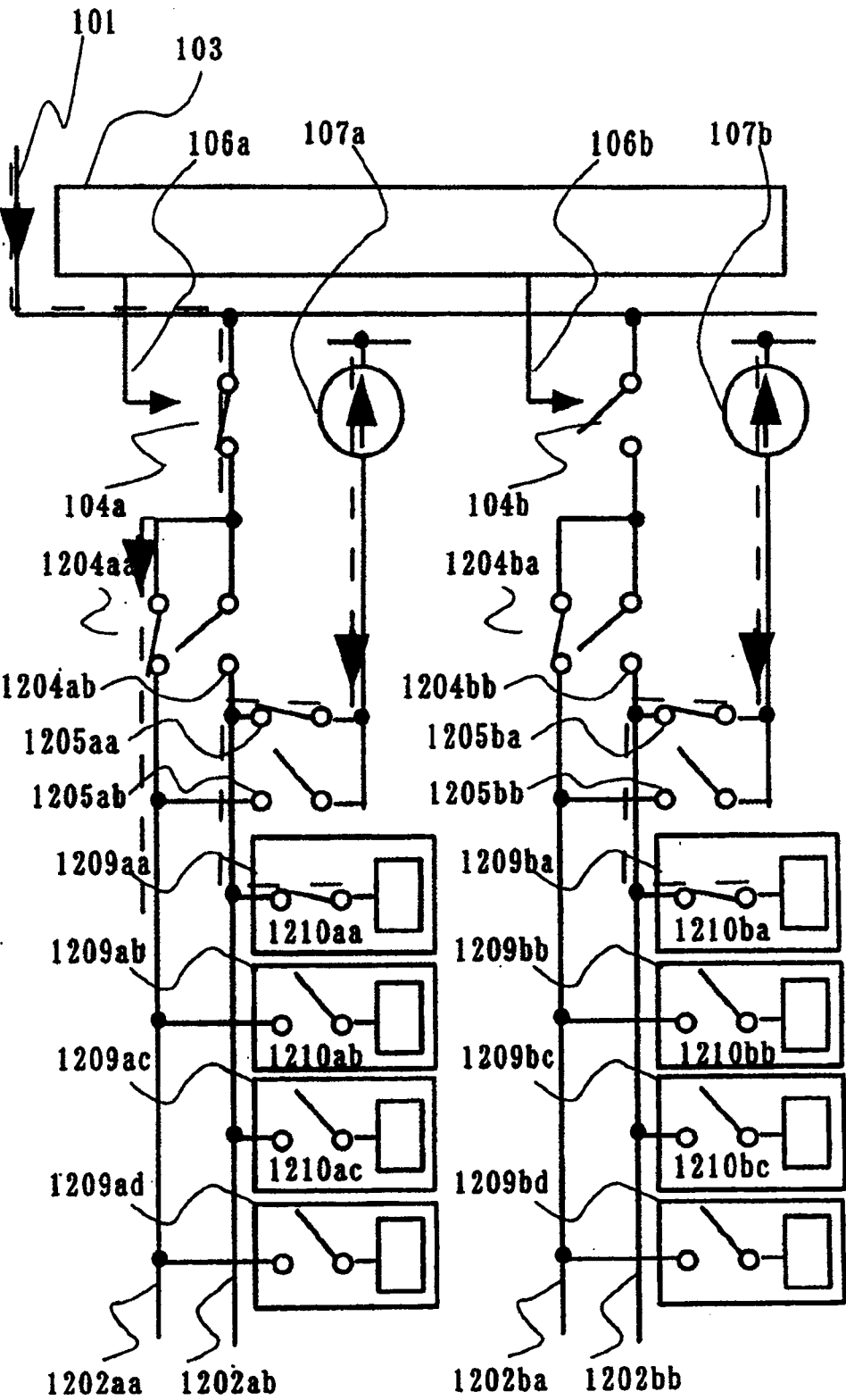


图 13

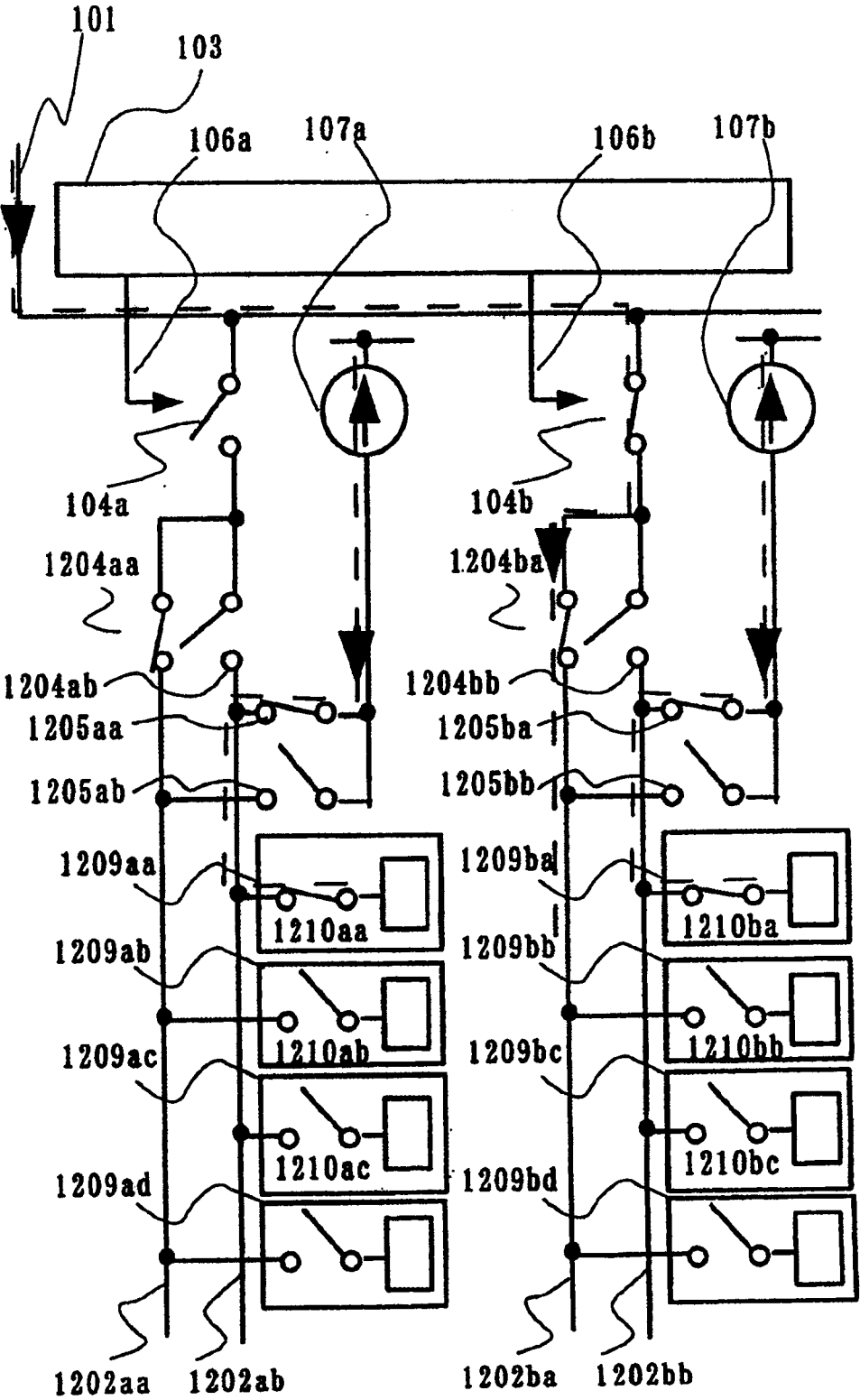


图 14

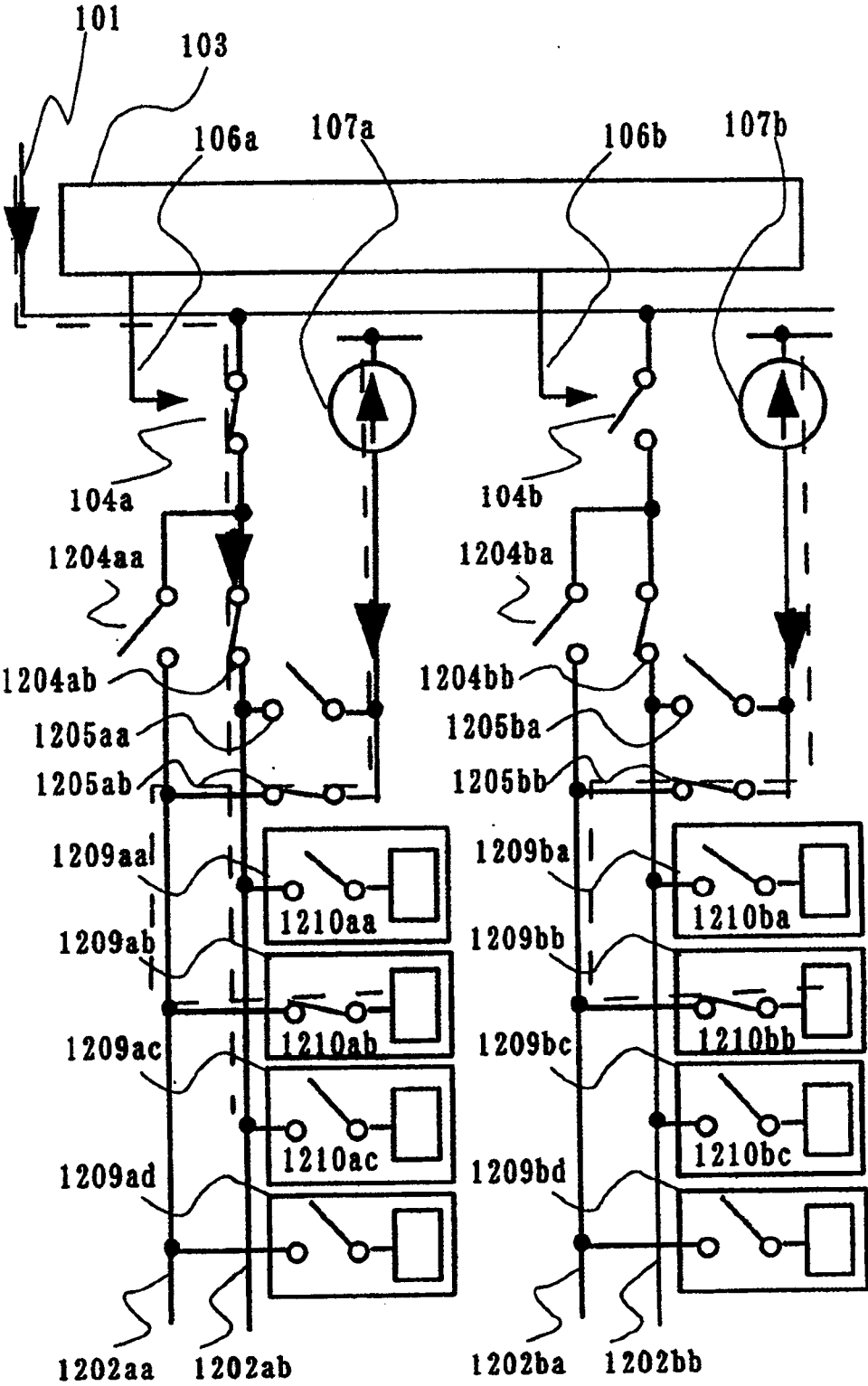


图 15

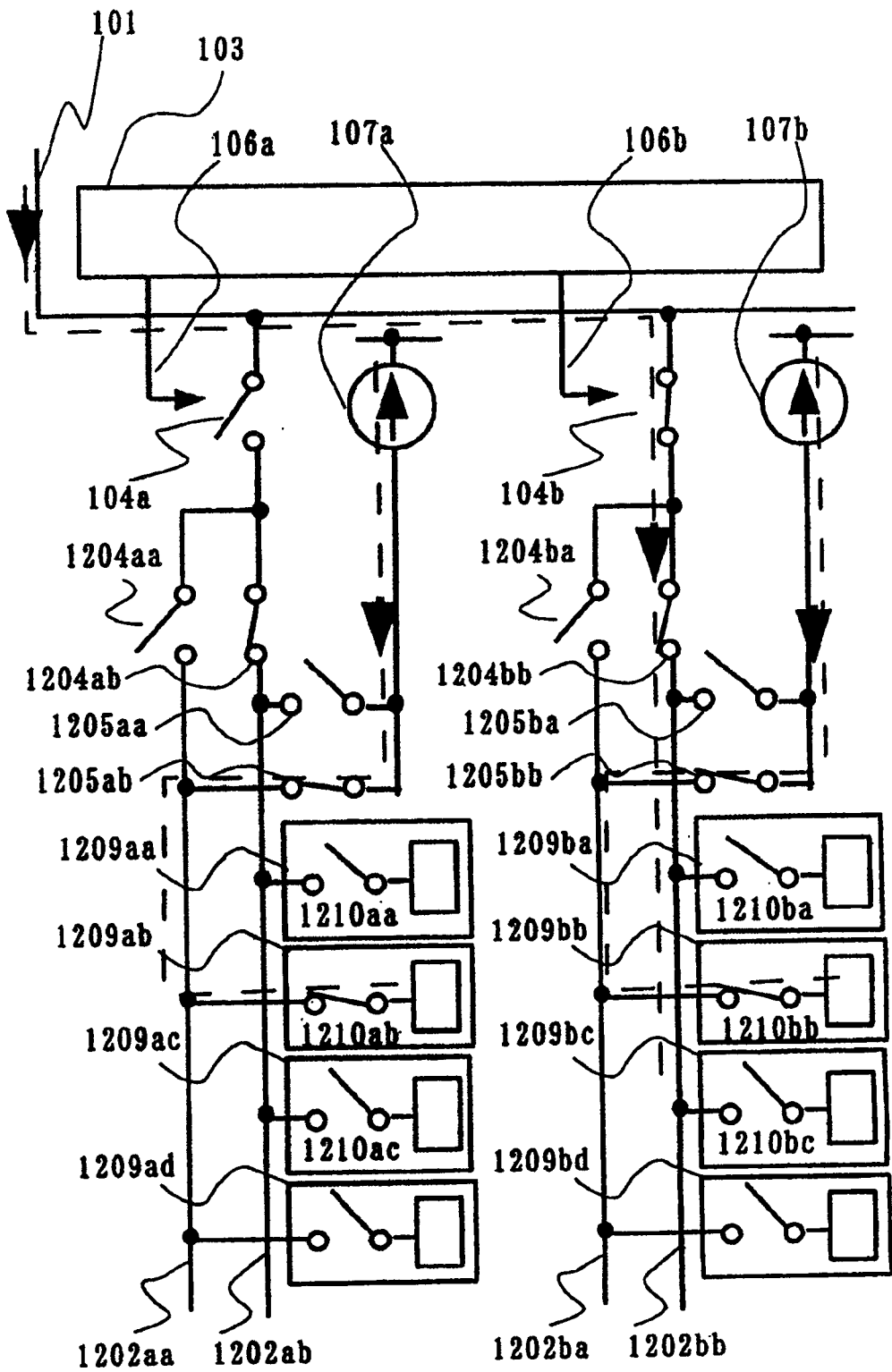


图 16

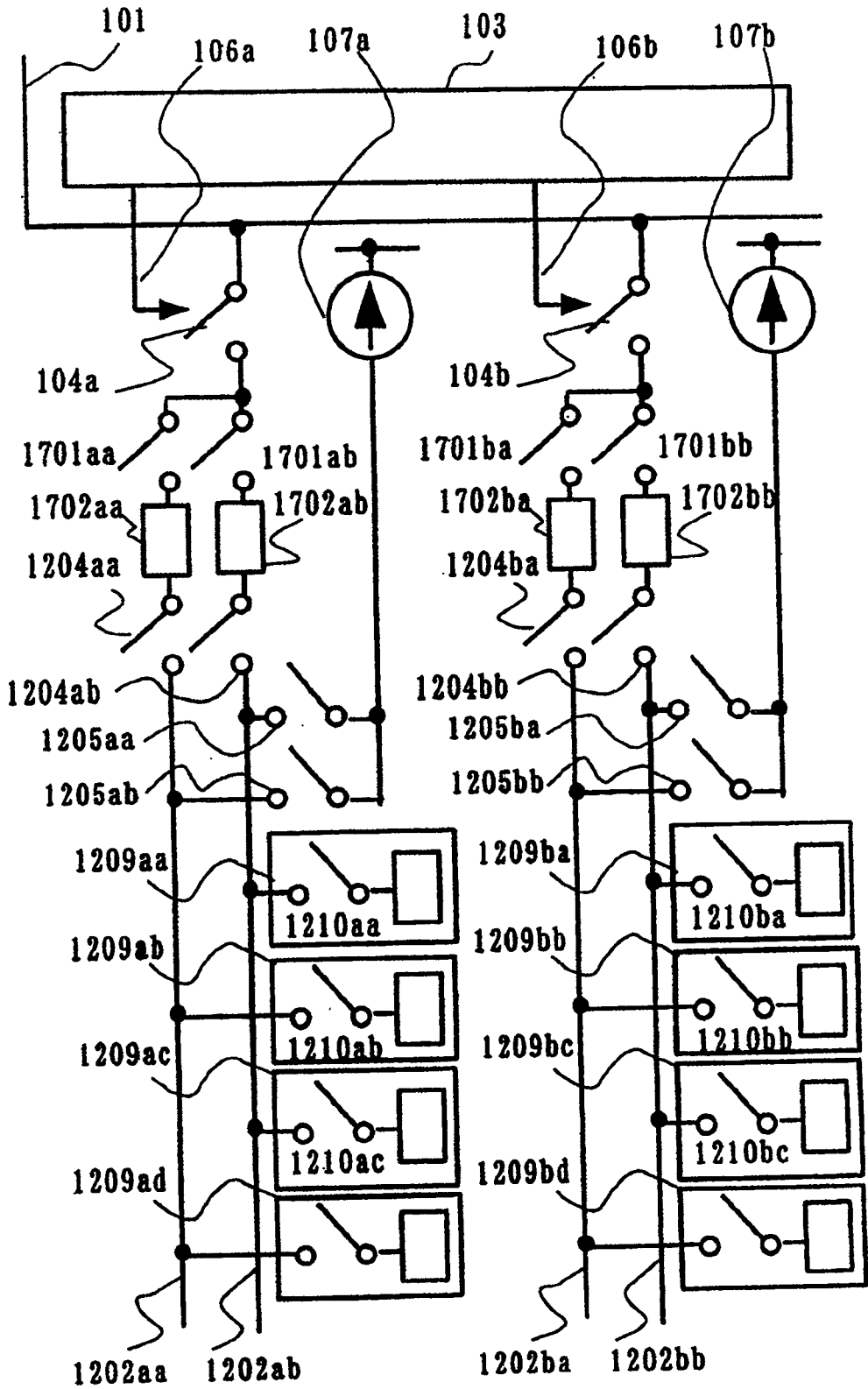


图 17

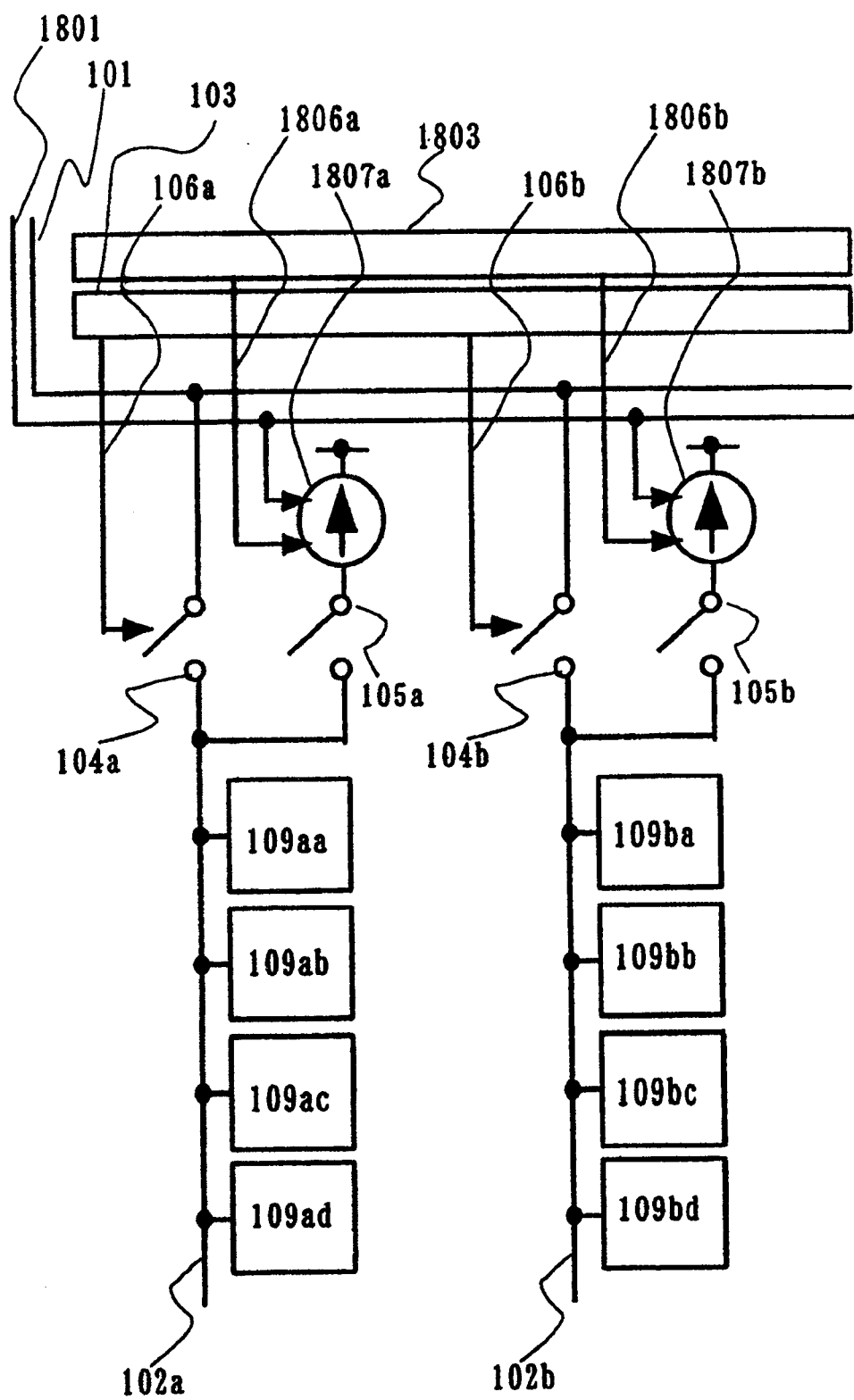


图 18

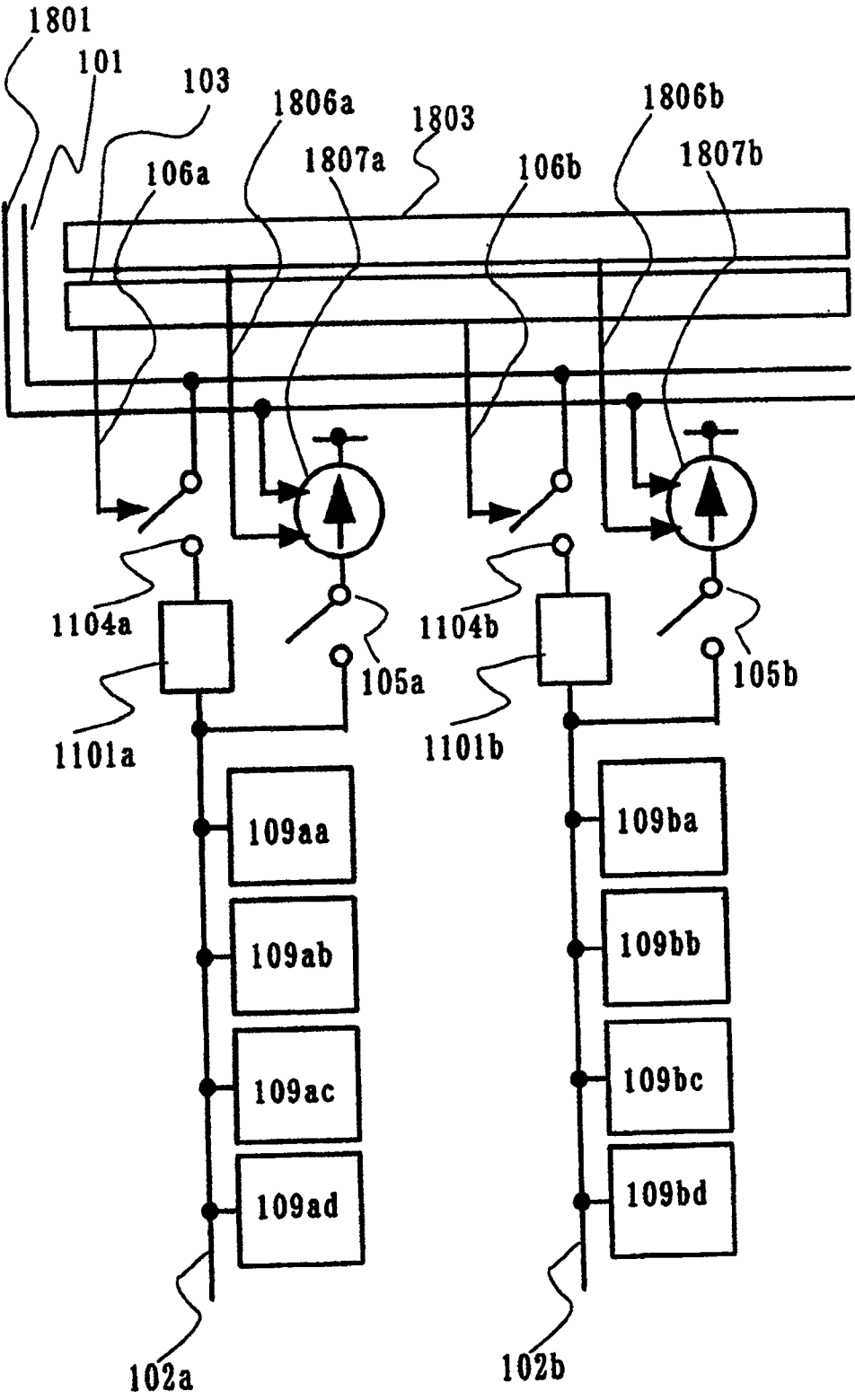


图 19

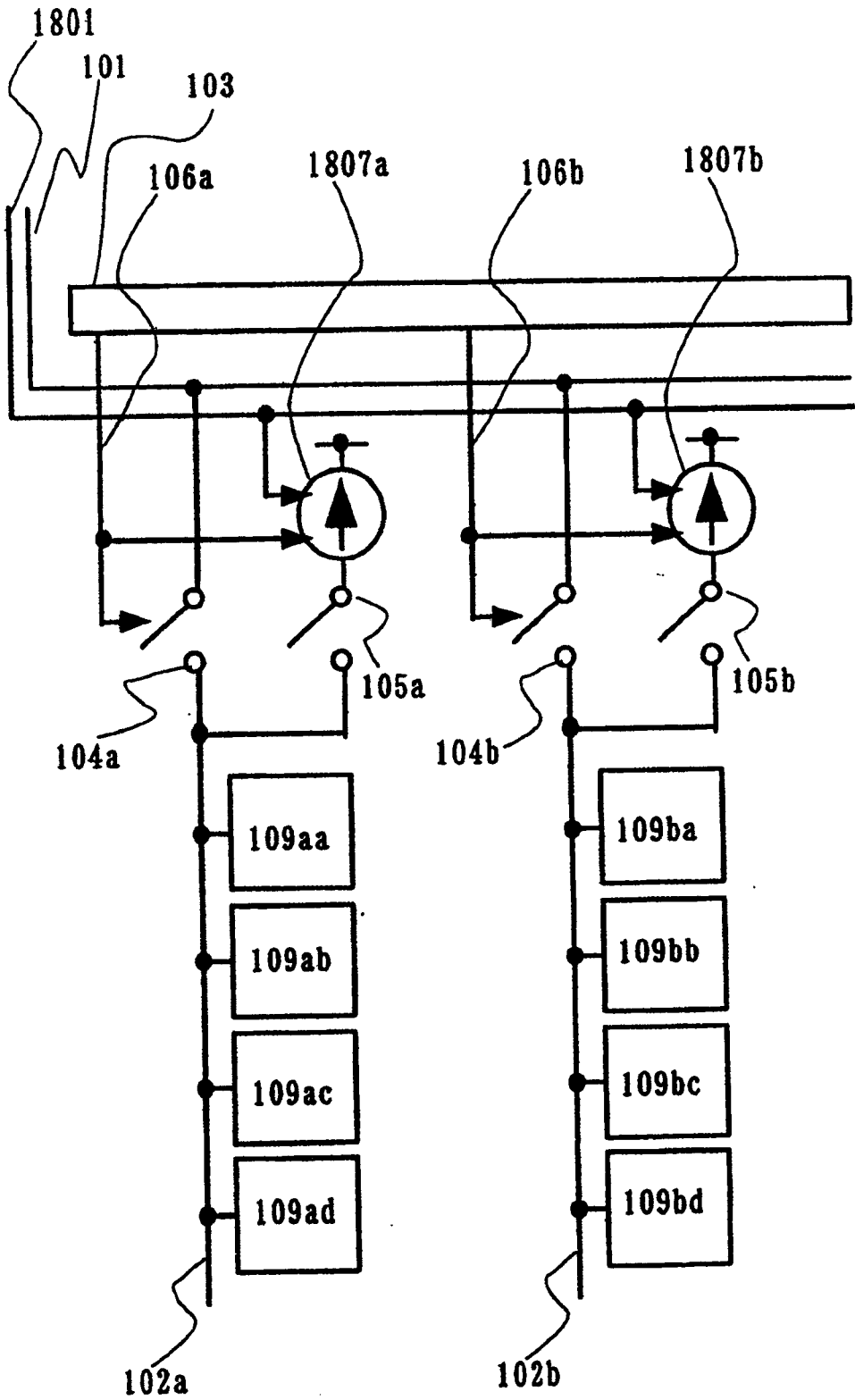


图 20

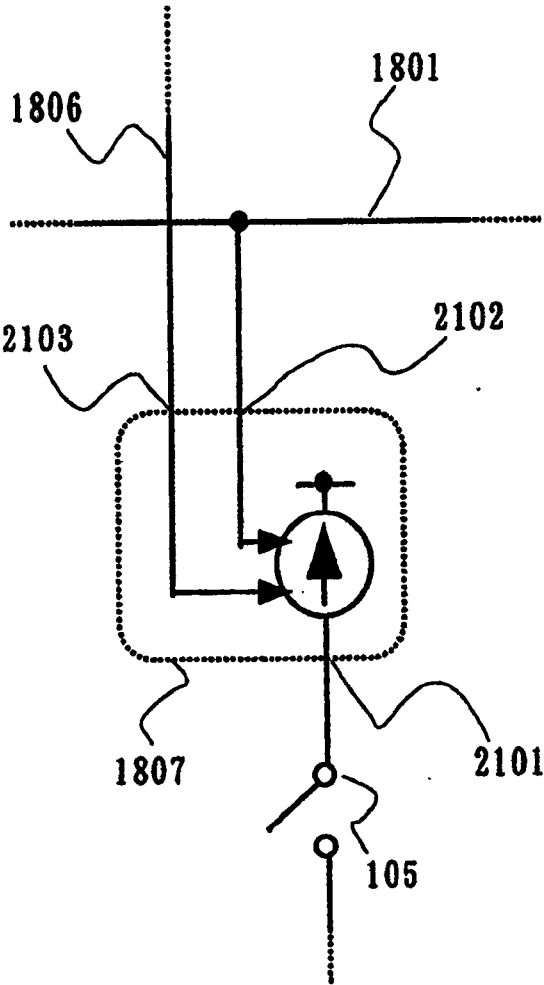


图 21

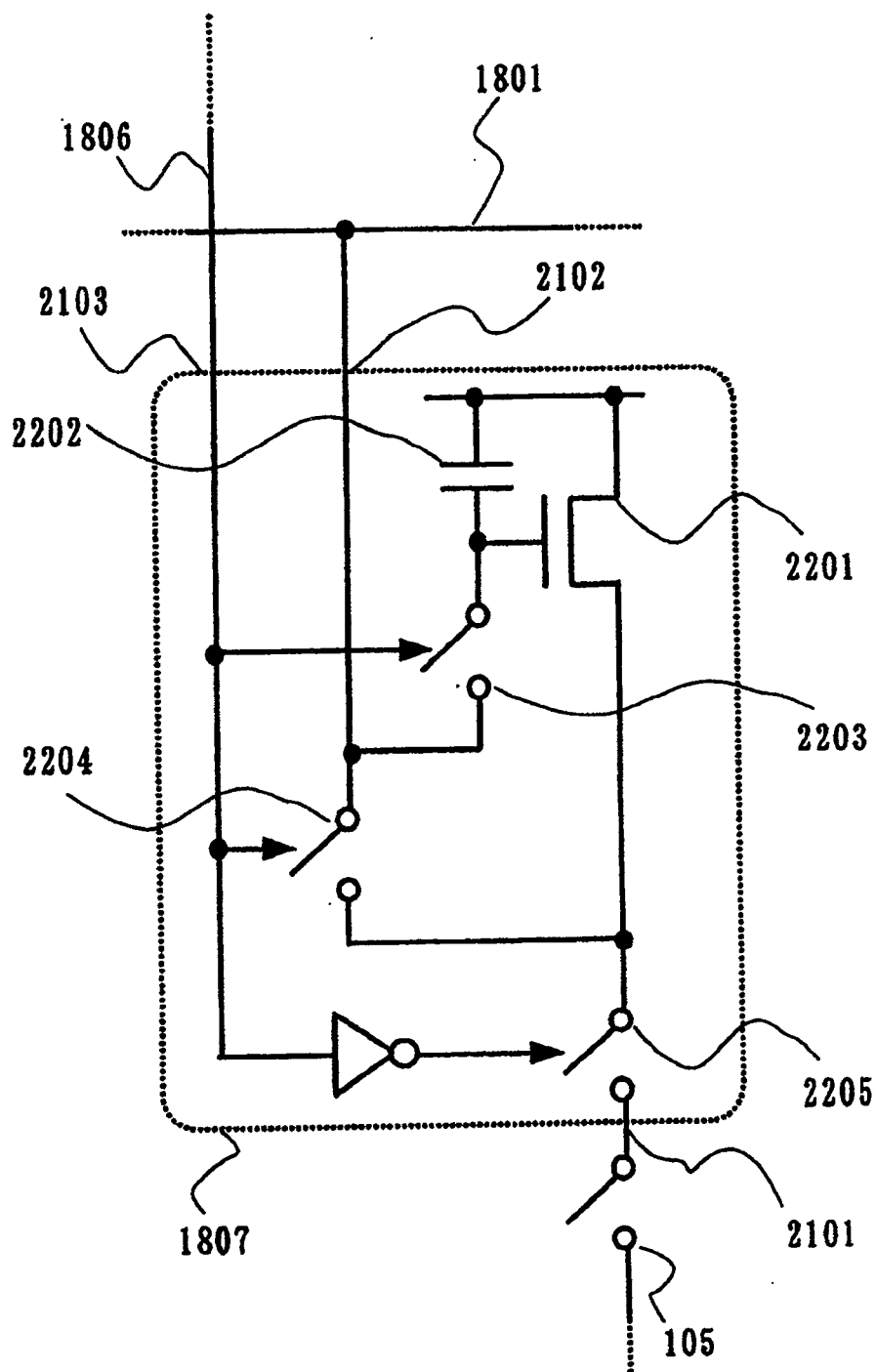


图 22

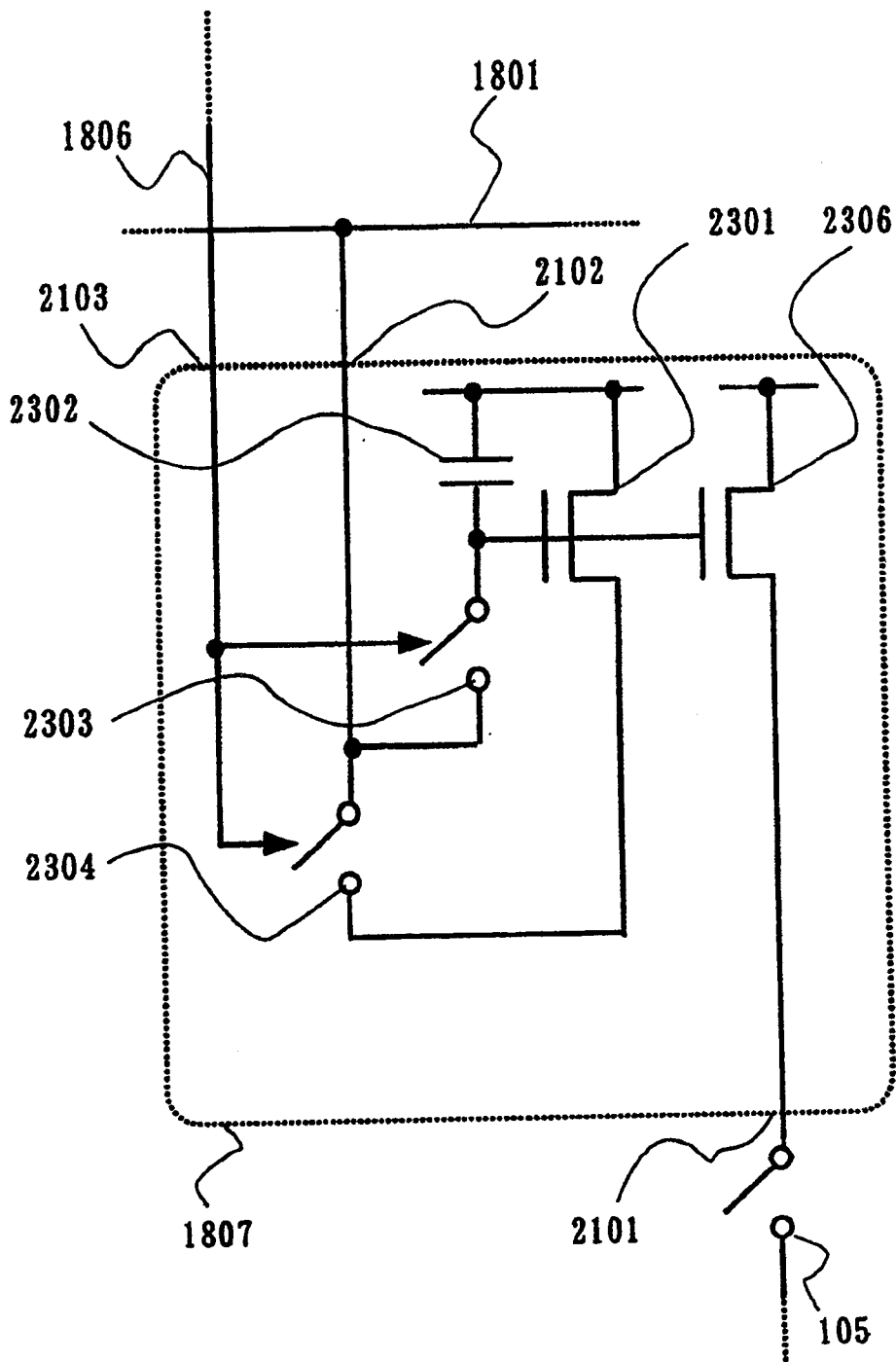


图 23

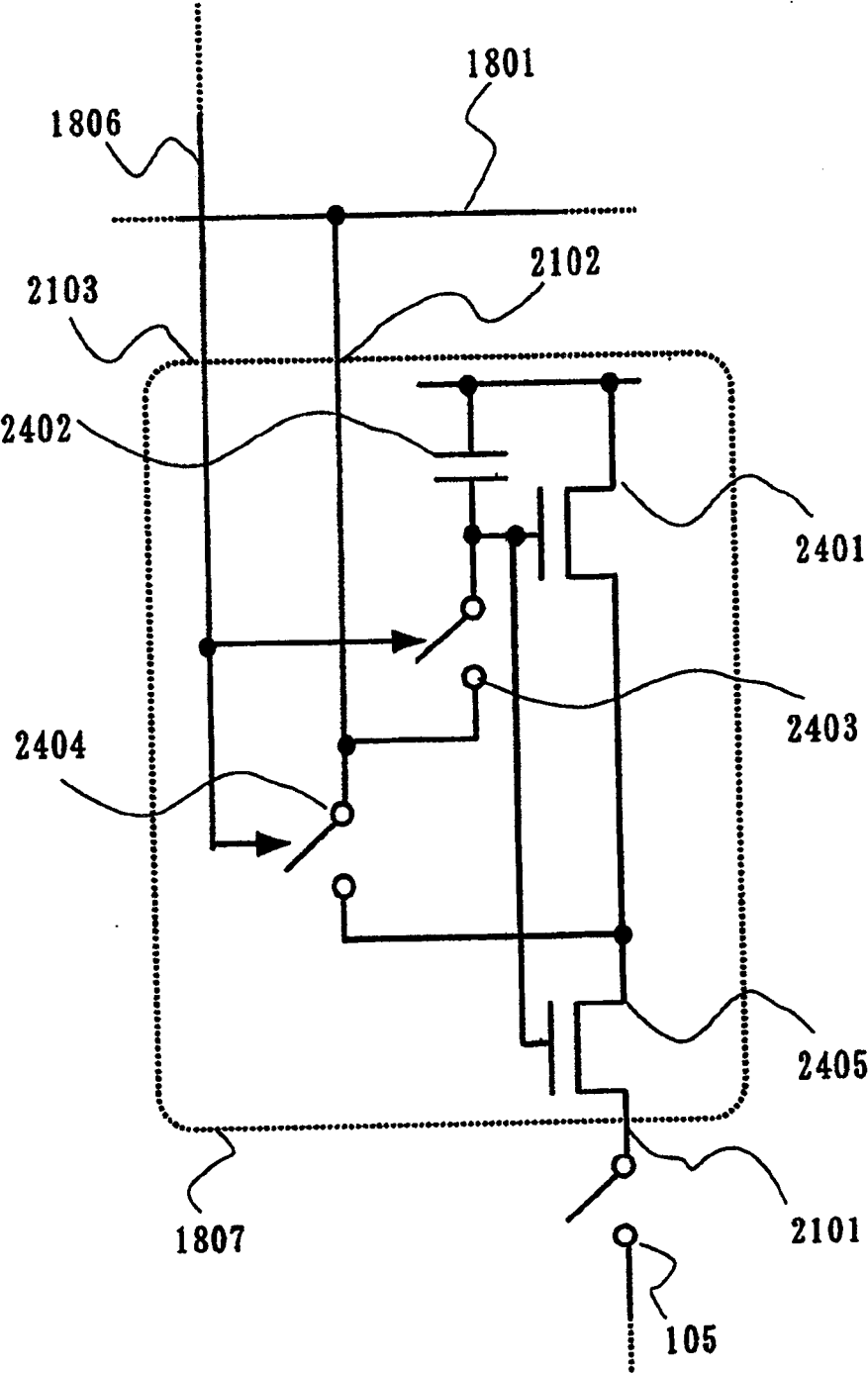


图 24

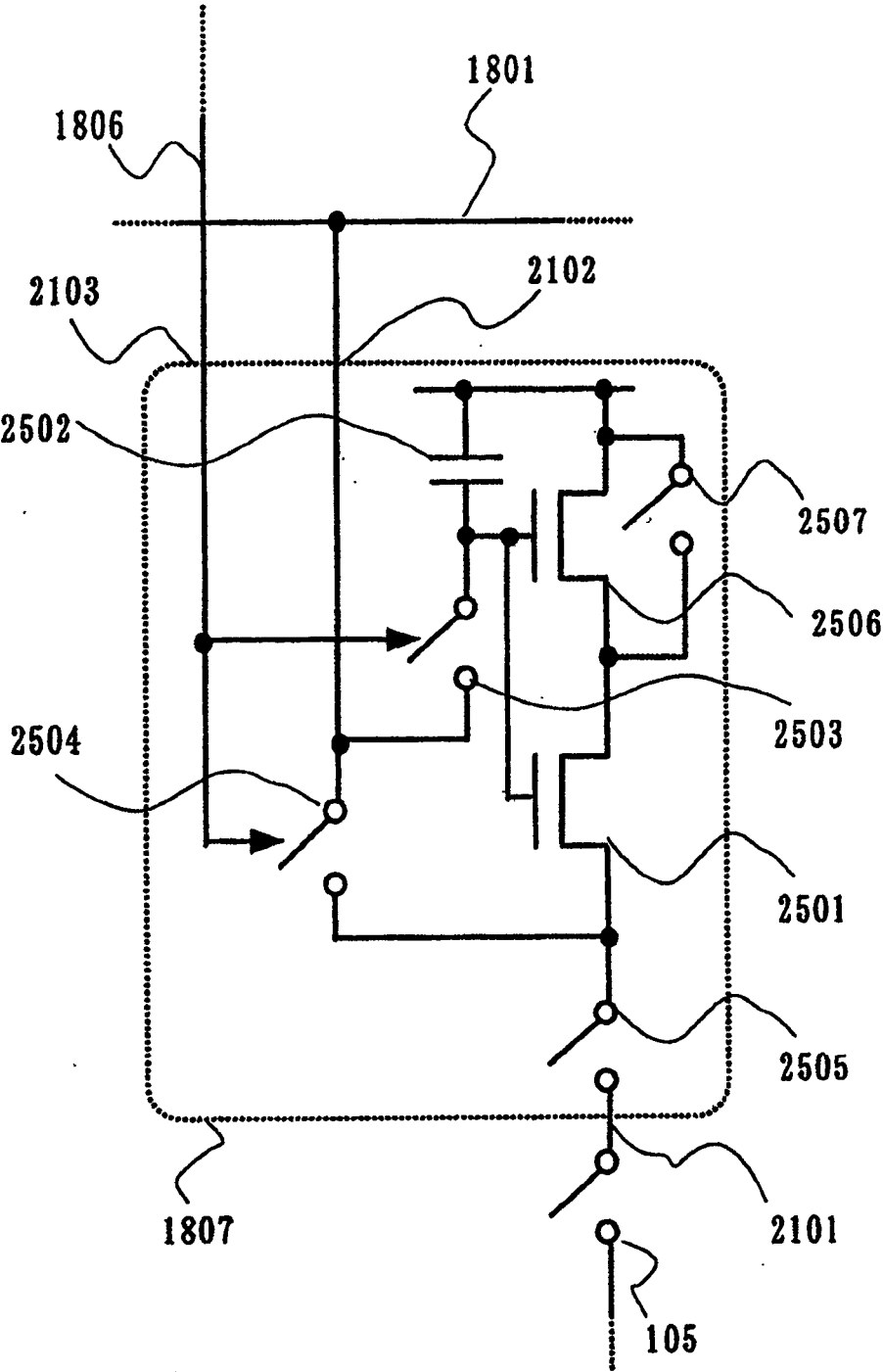


图 25

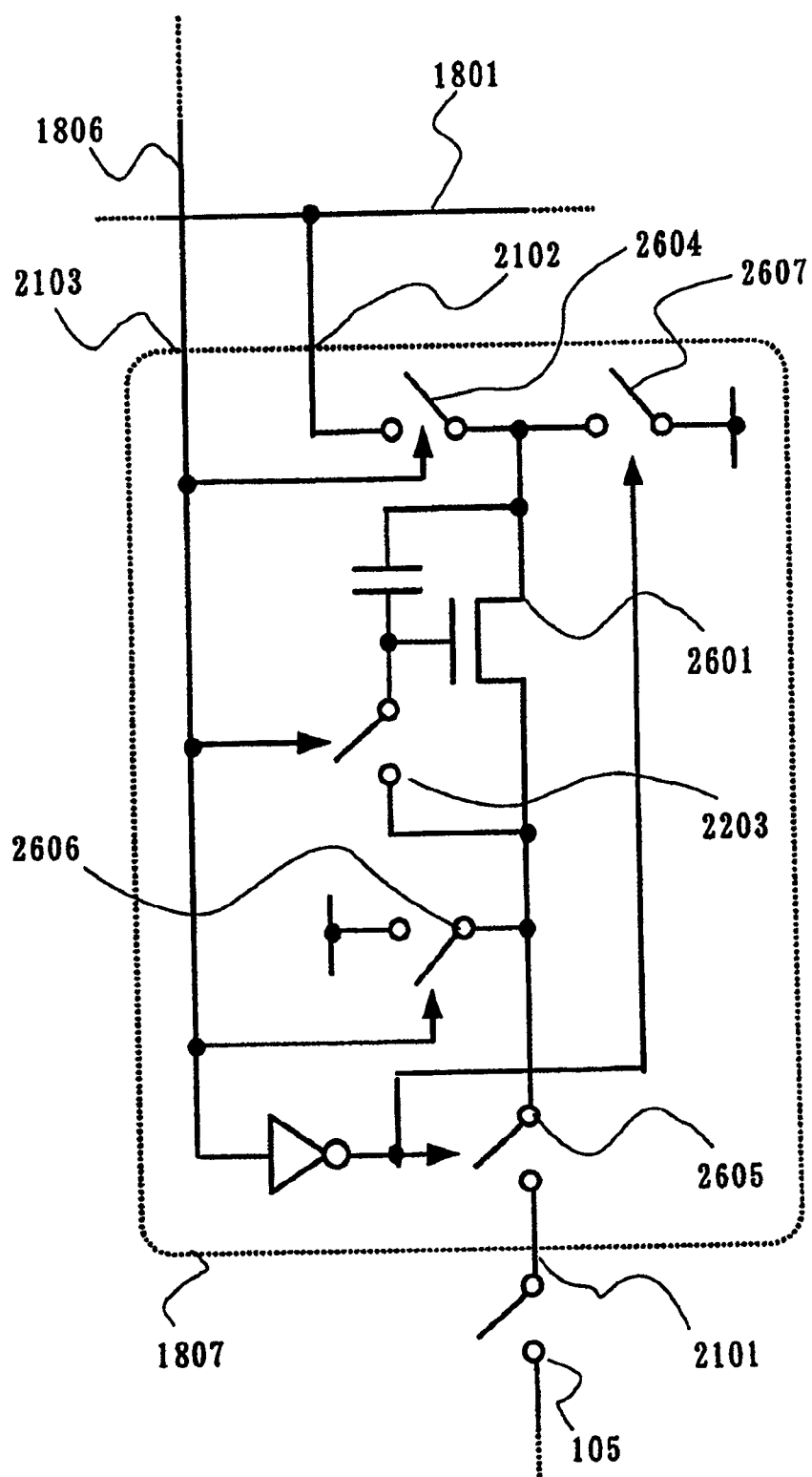


图 26

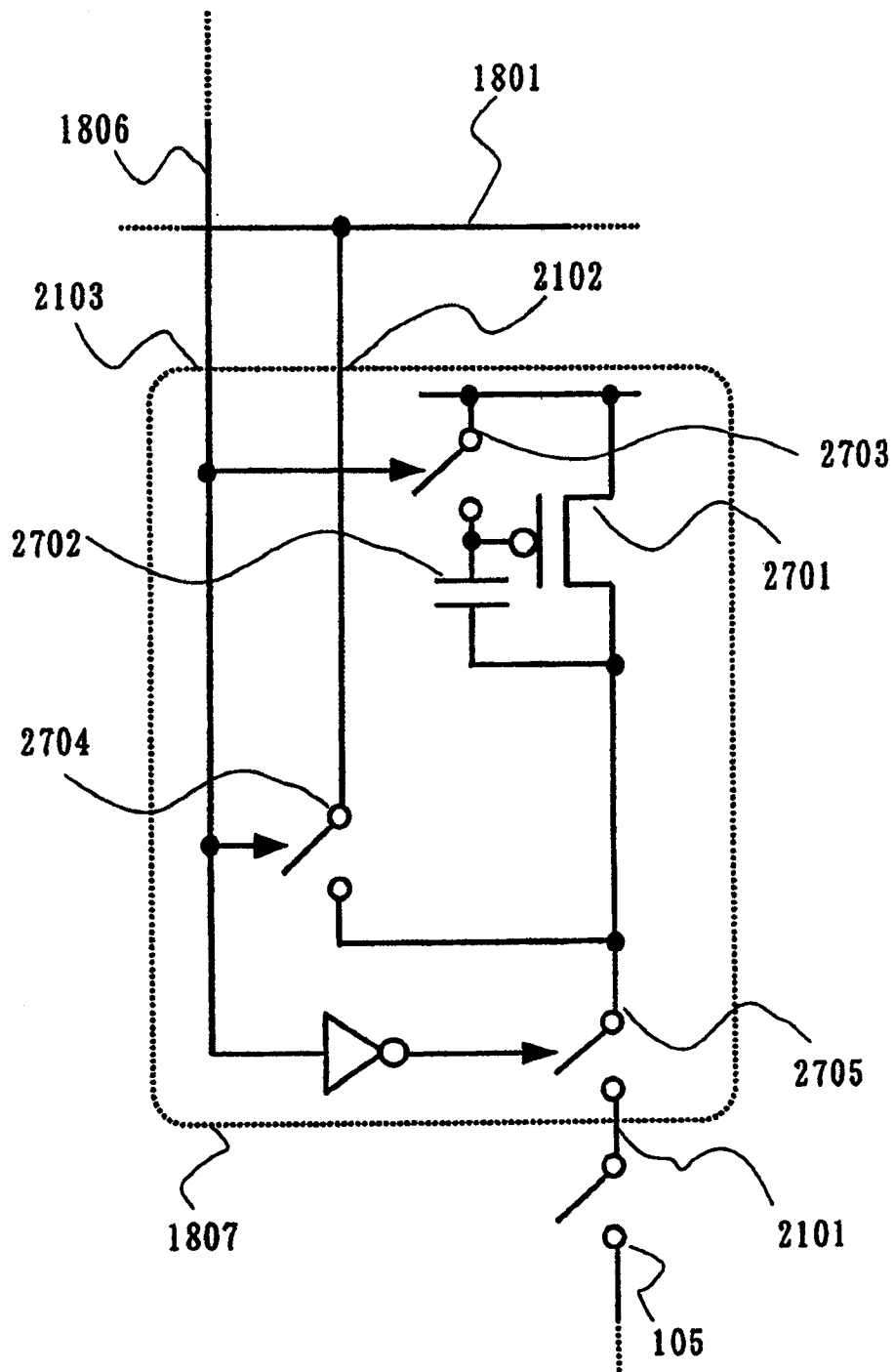


图 27

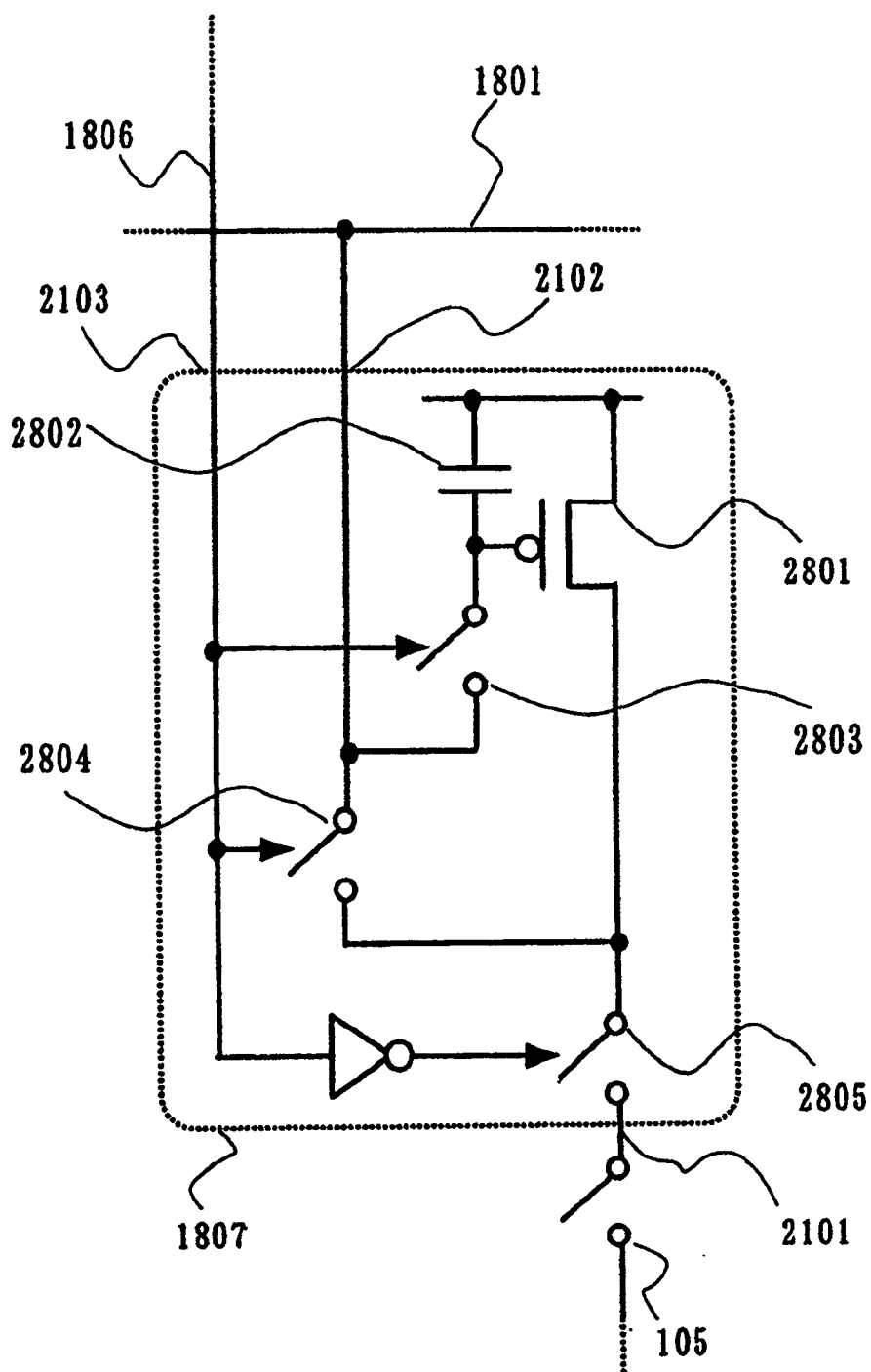


图 28

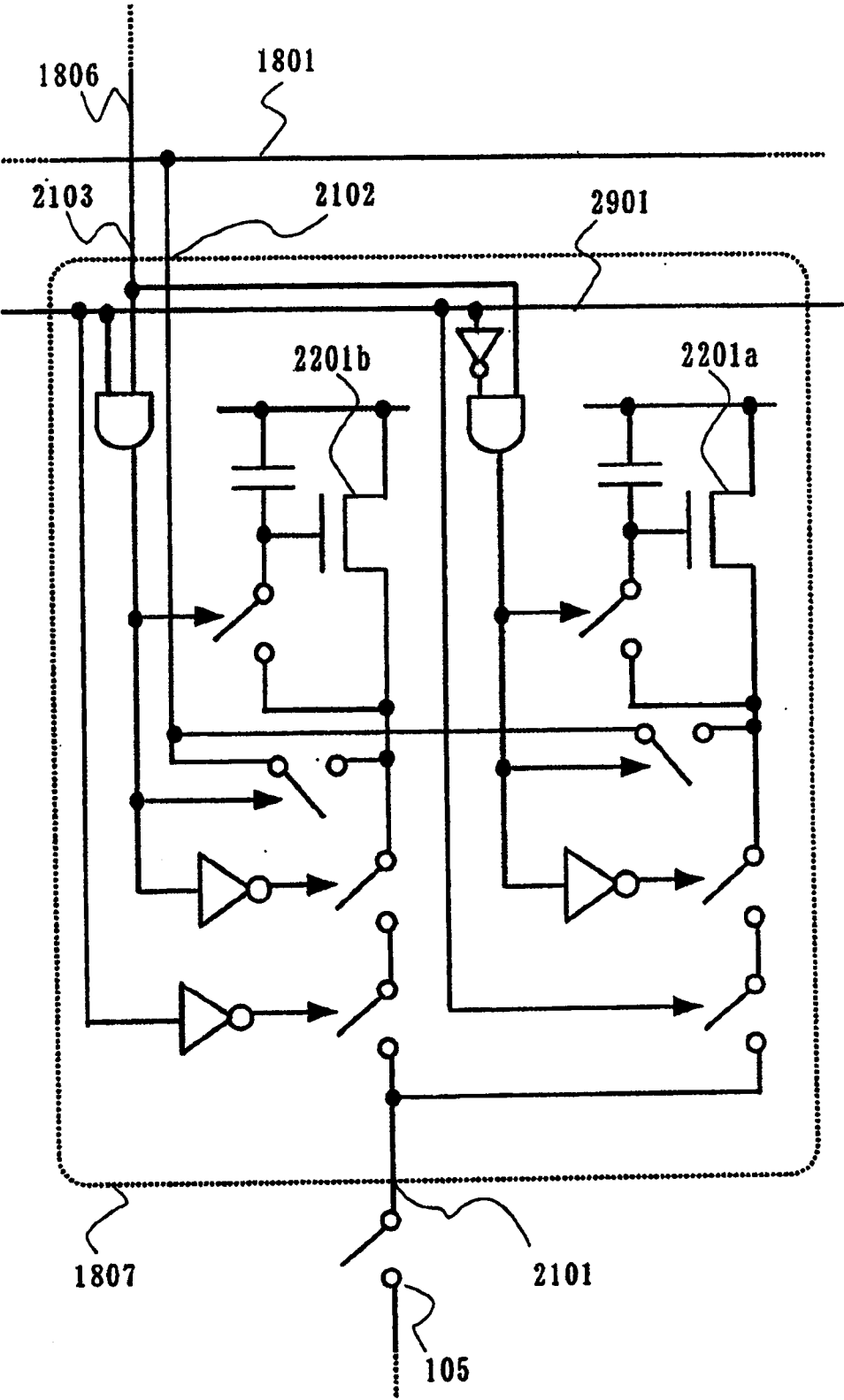


图 29

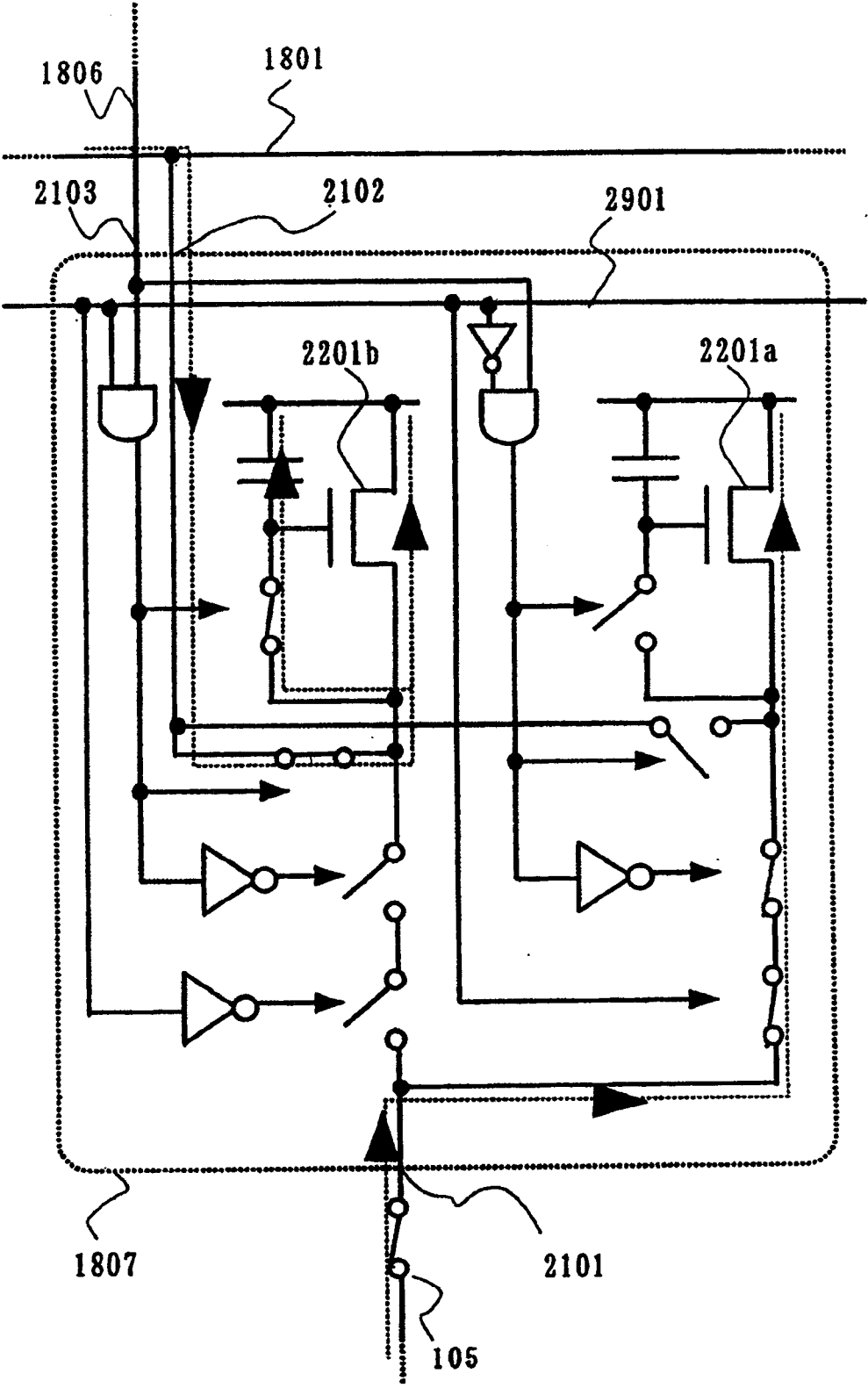


图 30

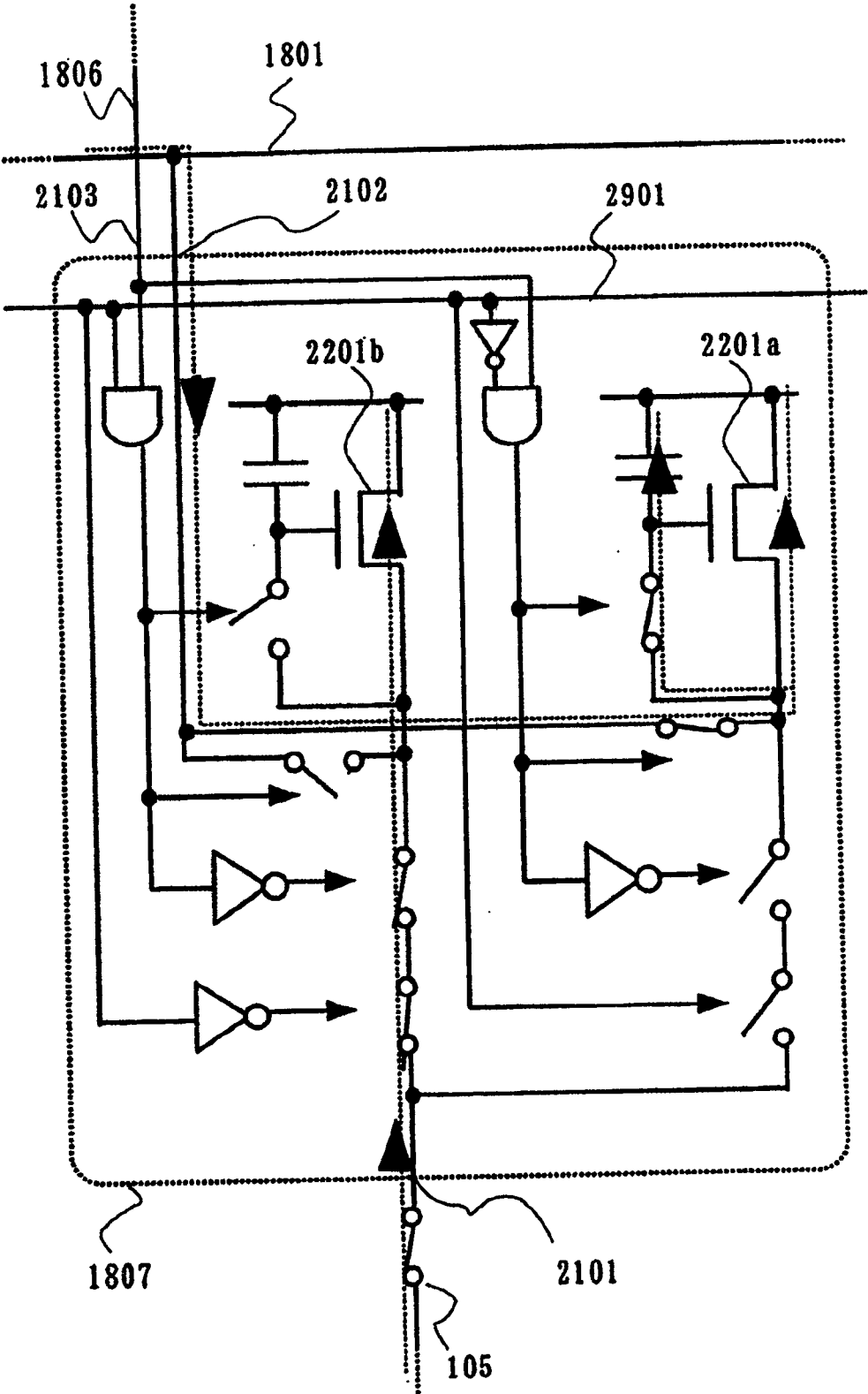


图 31

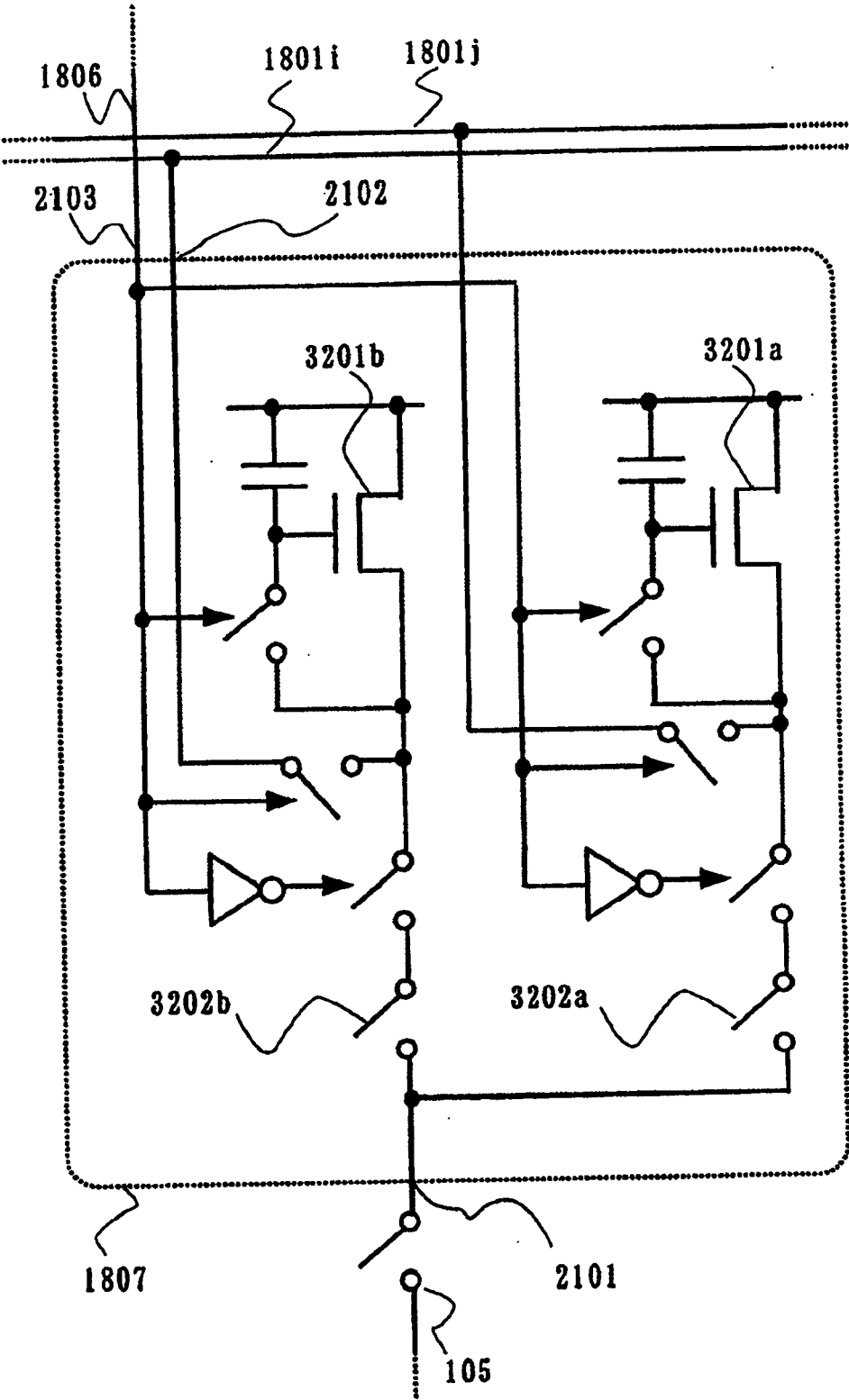


图 32

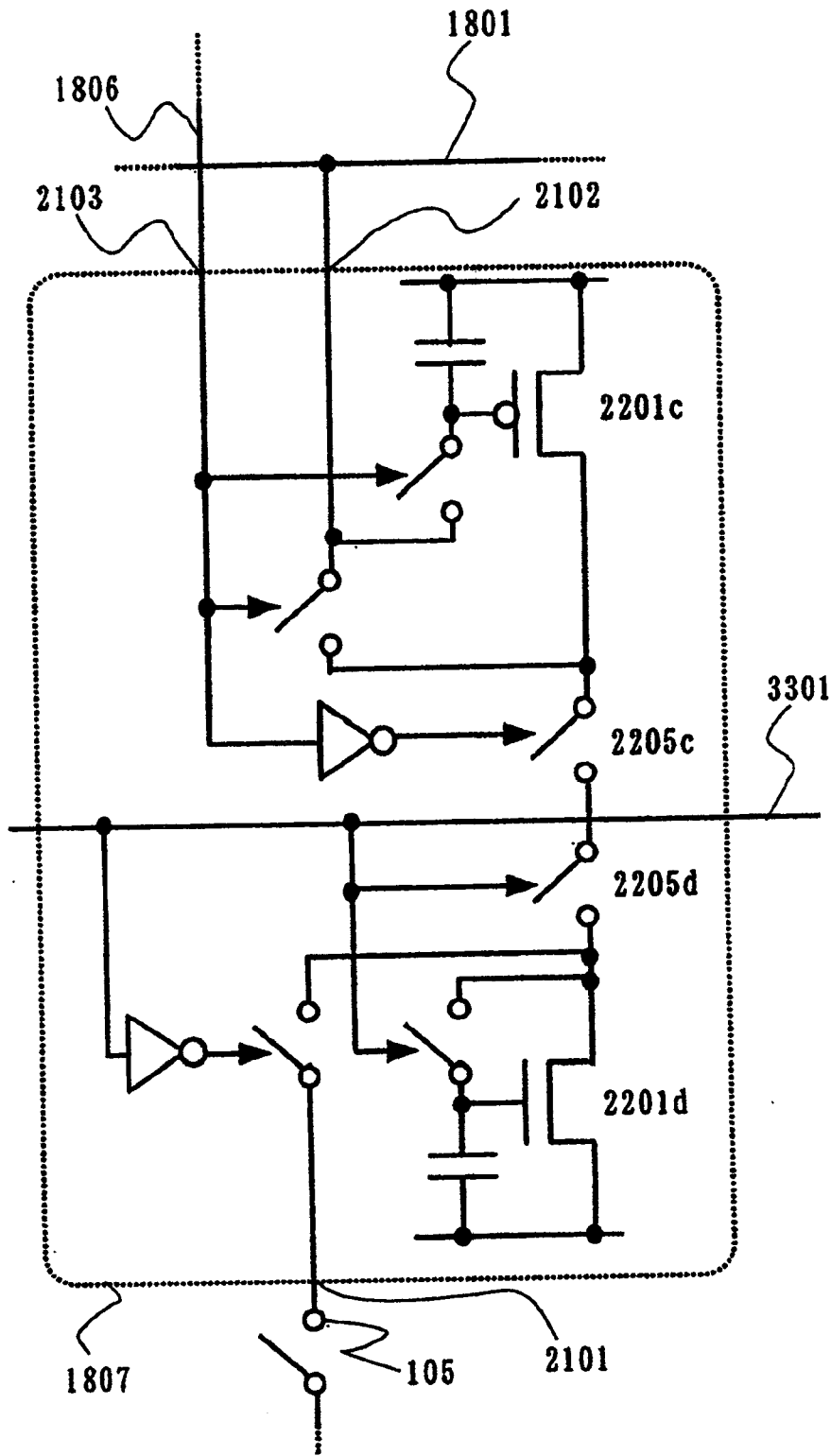


图 33

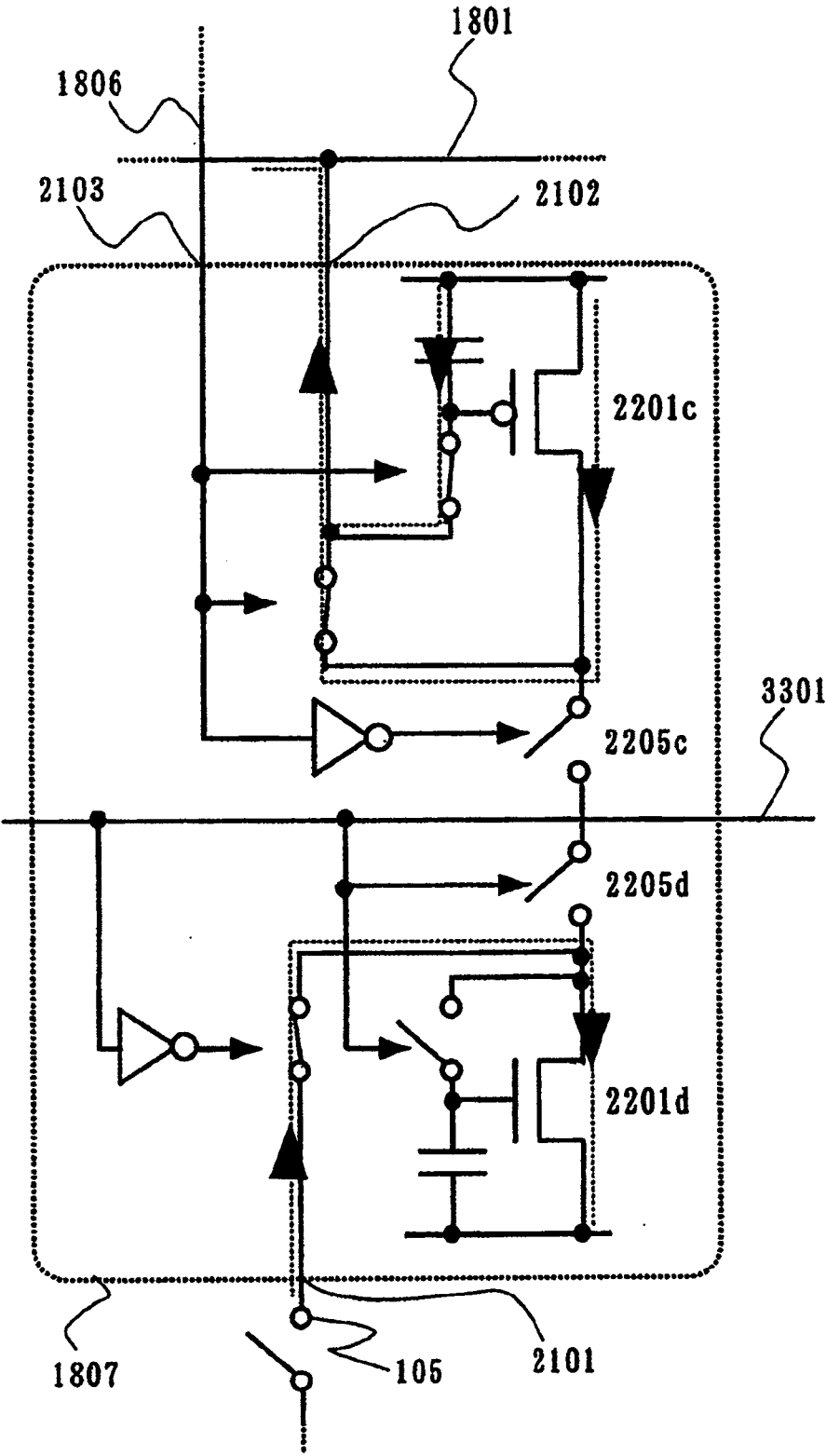


图 34

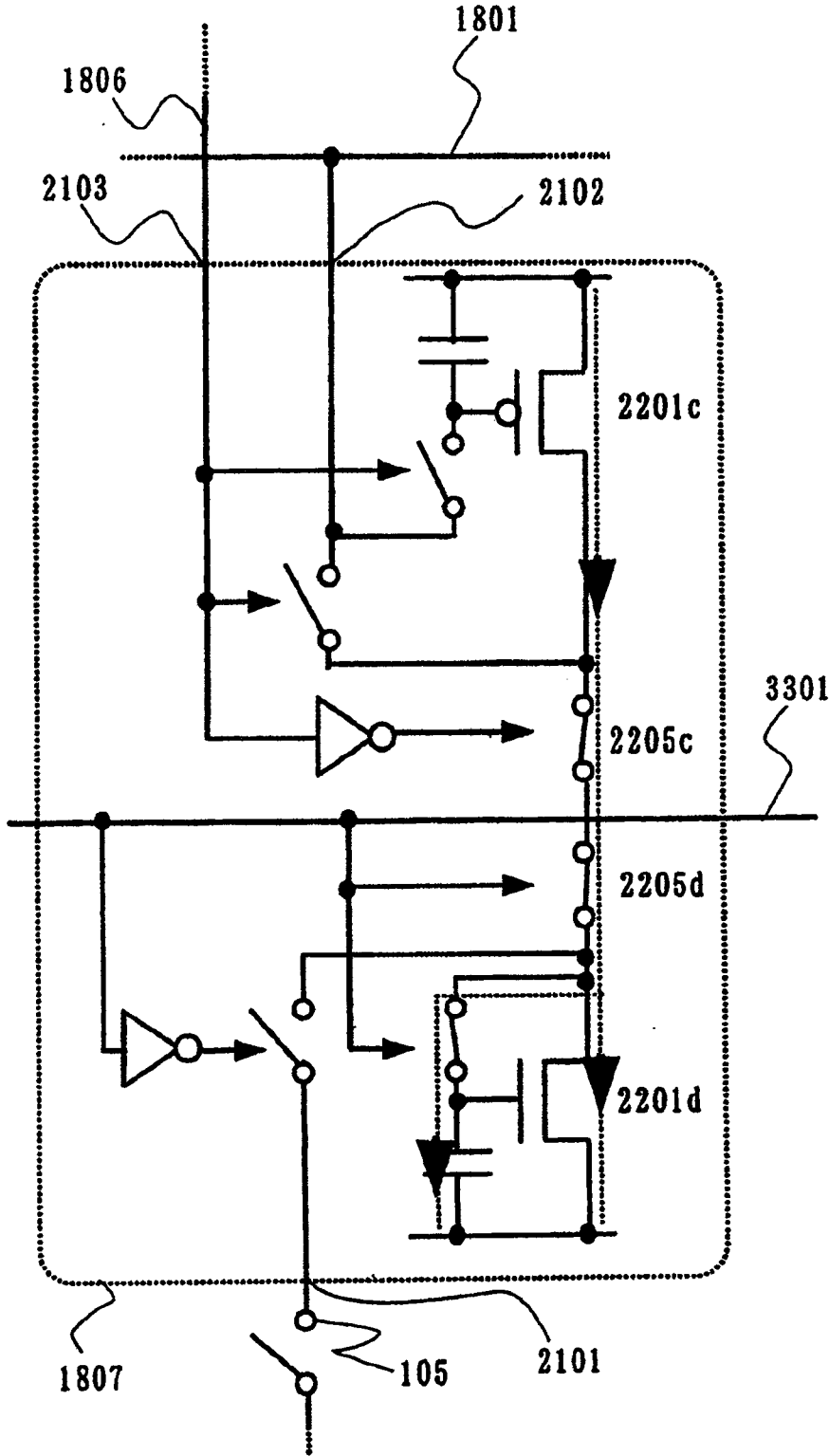


图 35

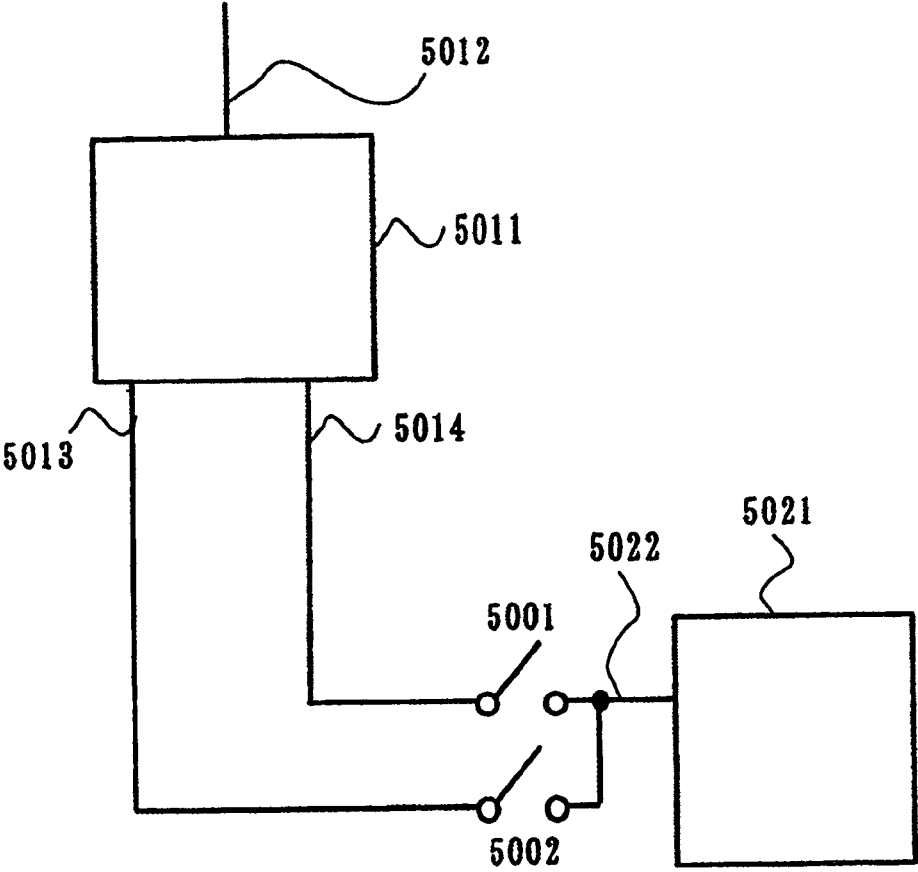


图 36

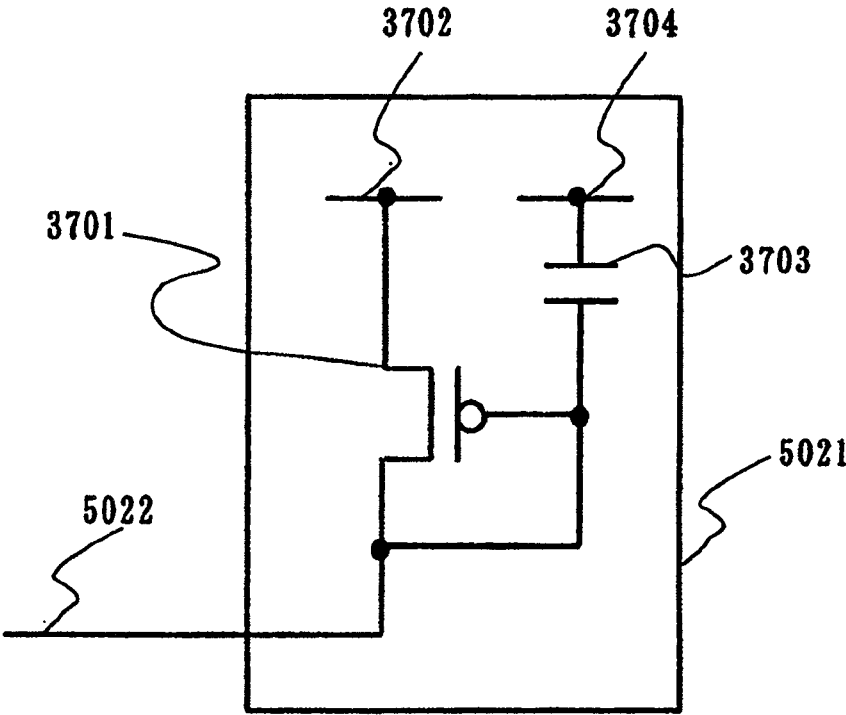


图 37

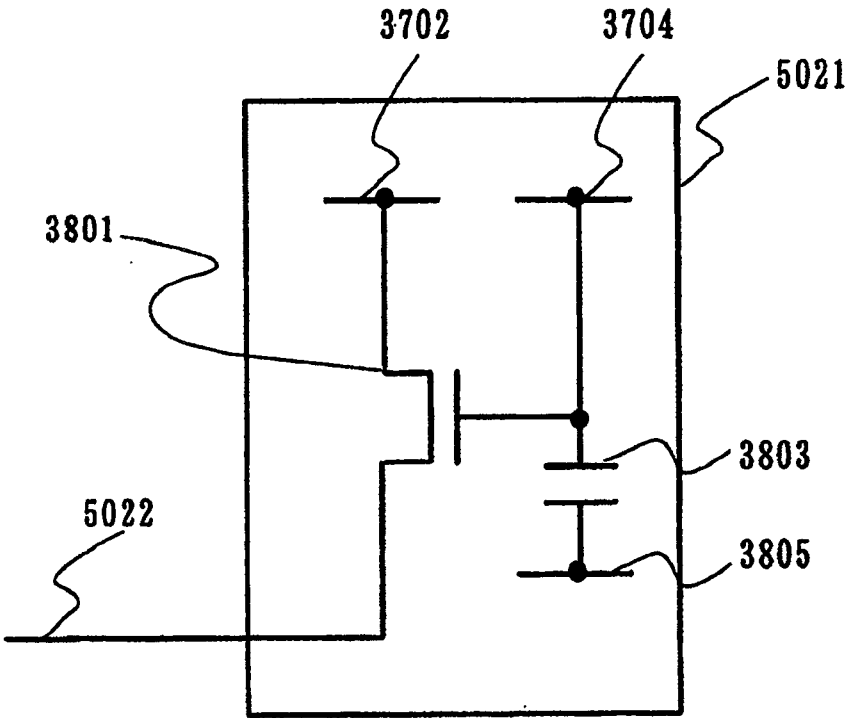


图 38

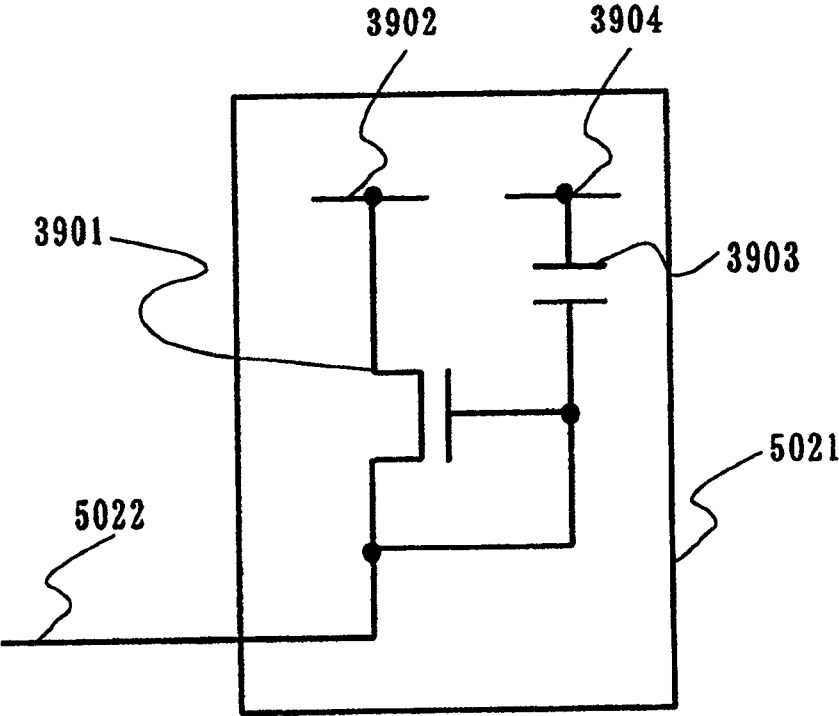


图 39

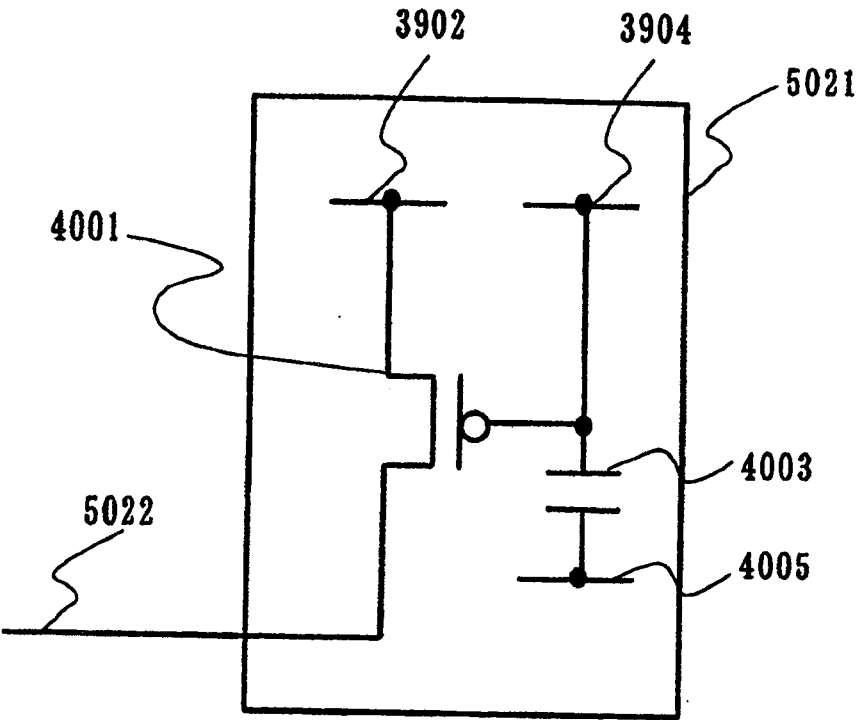


图 40

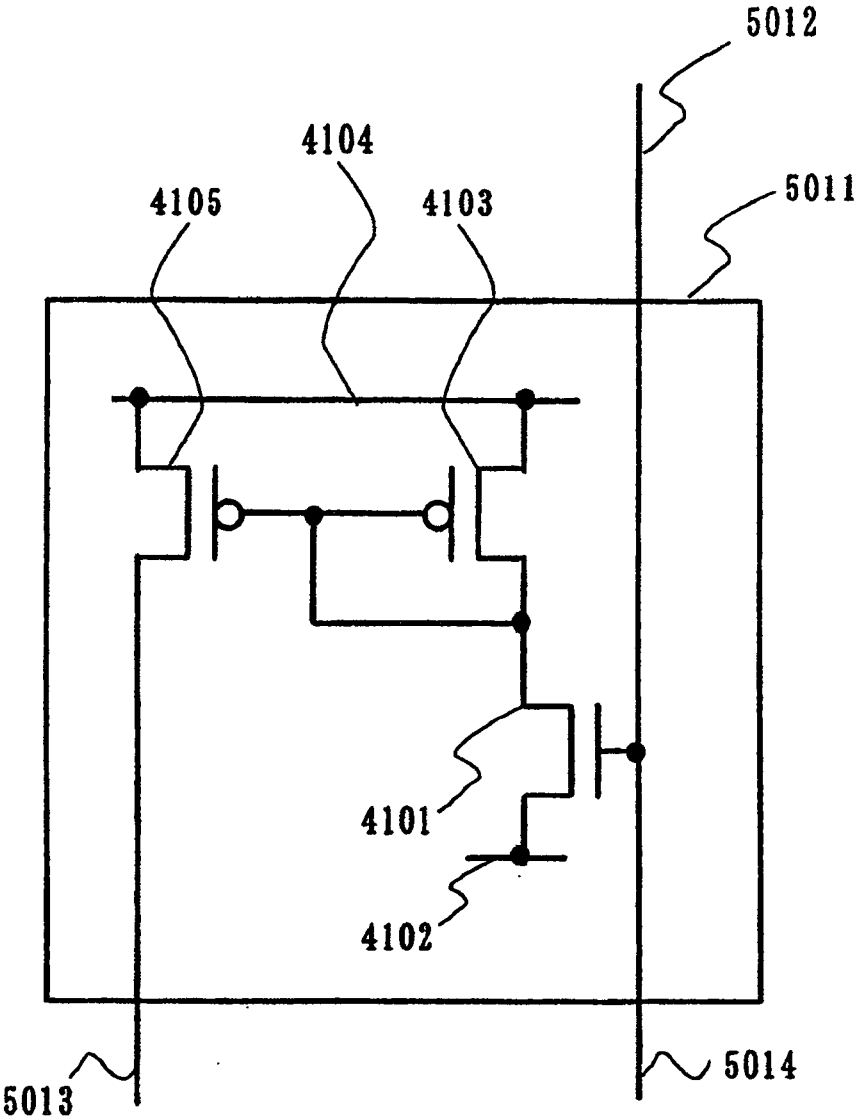


图 41

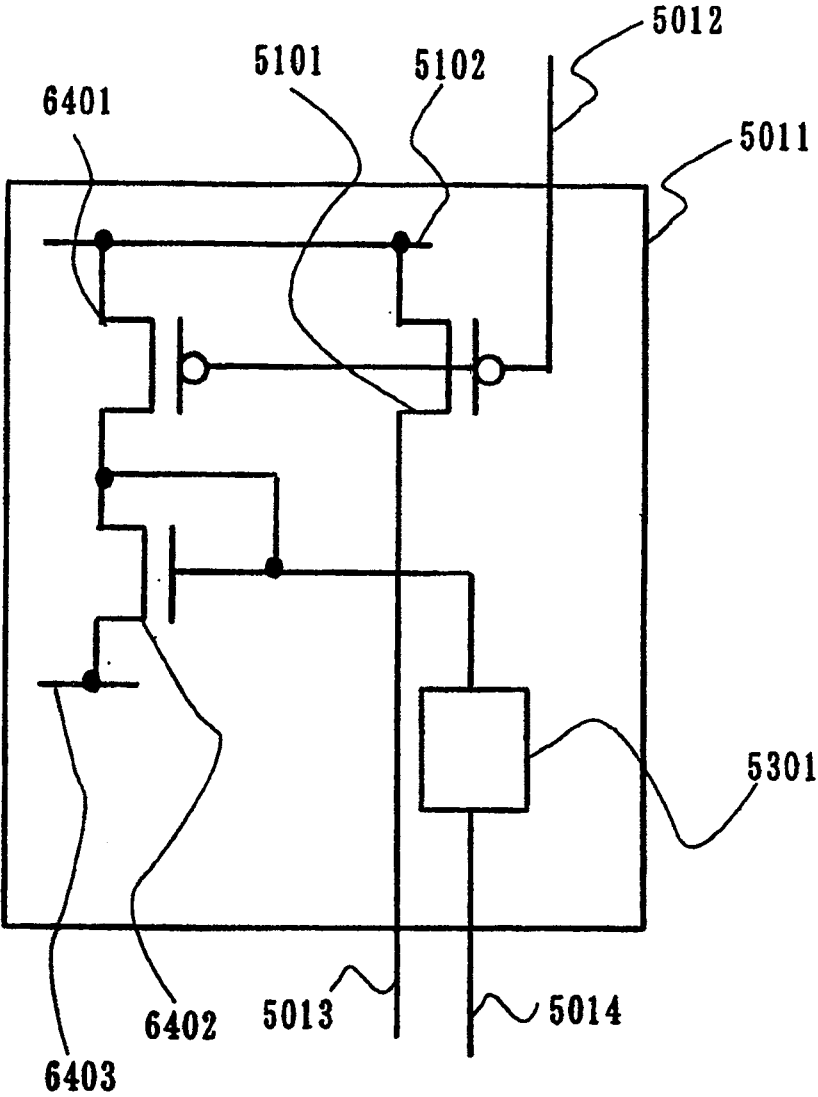


图 42

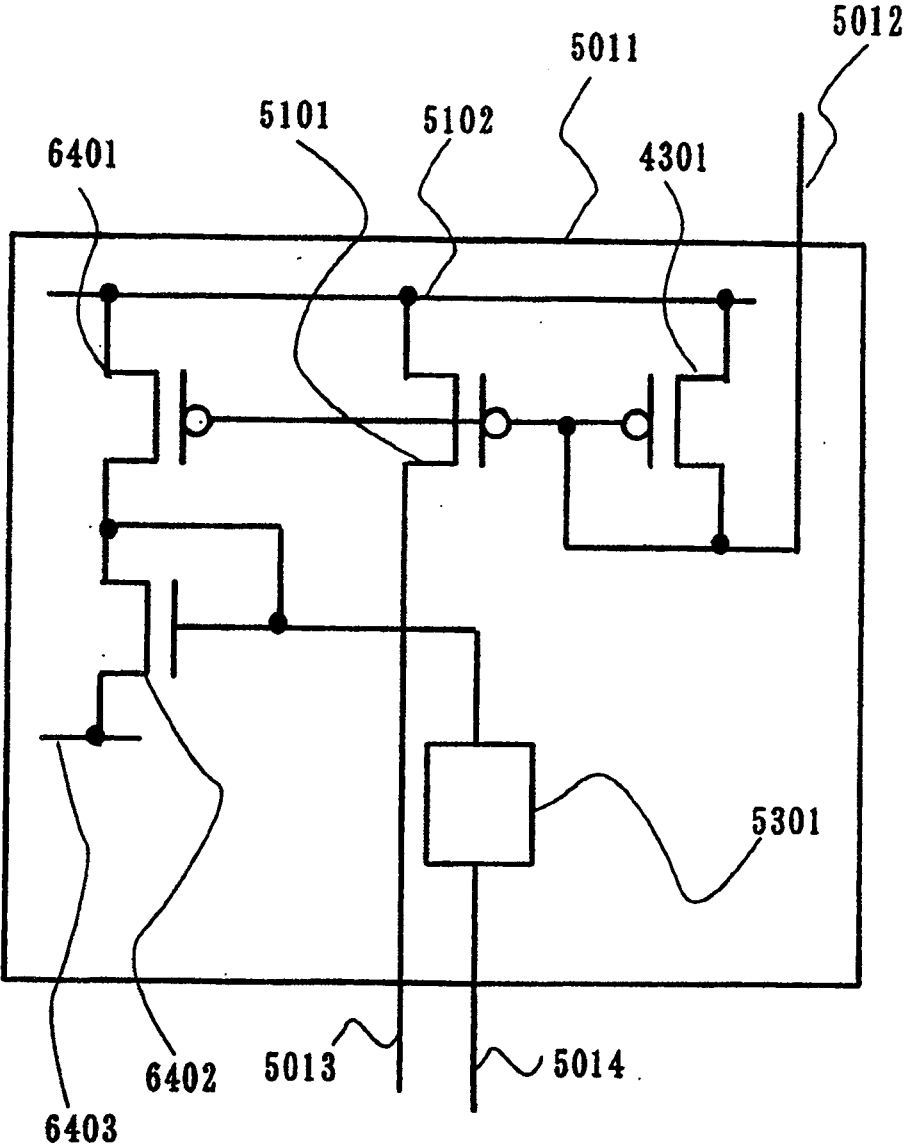


图 43

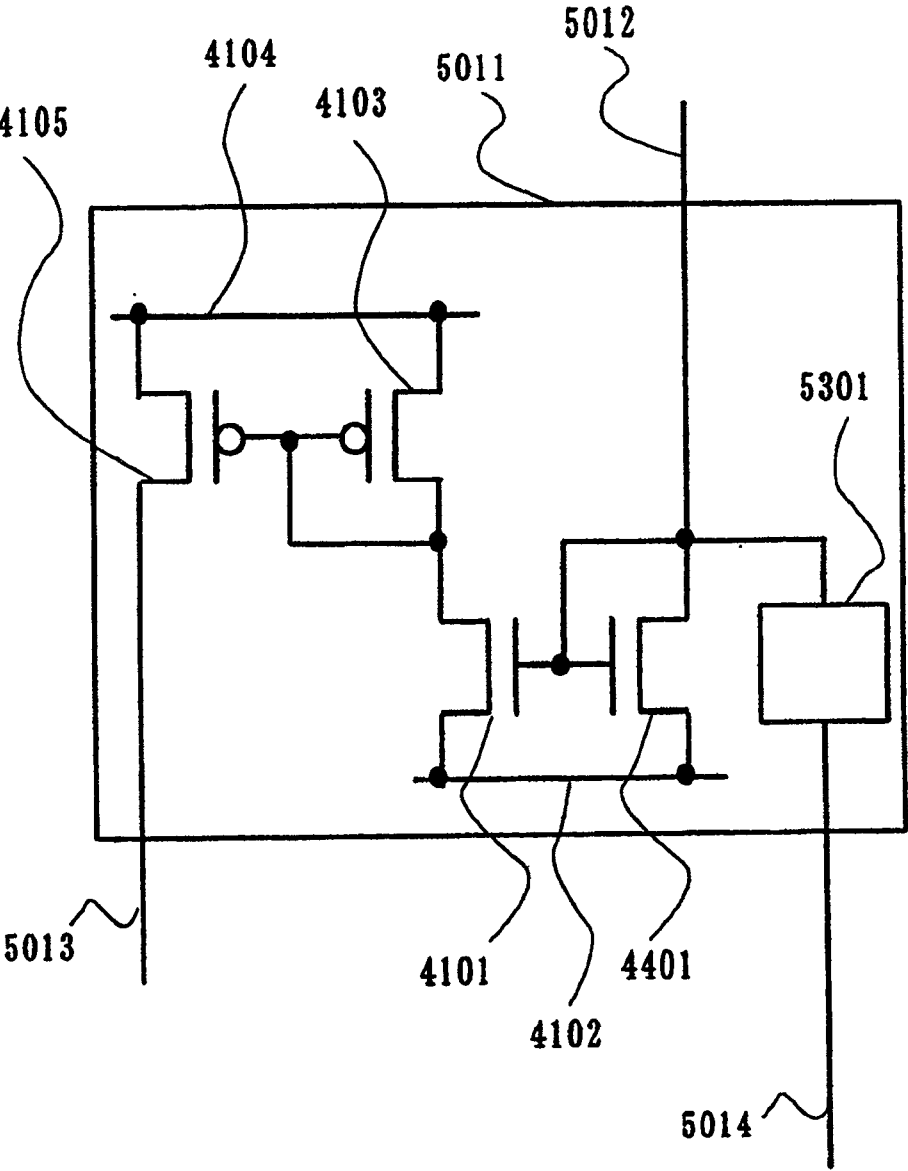


图 44

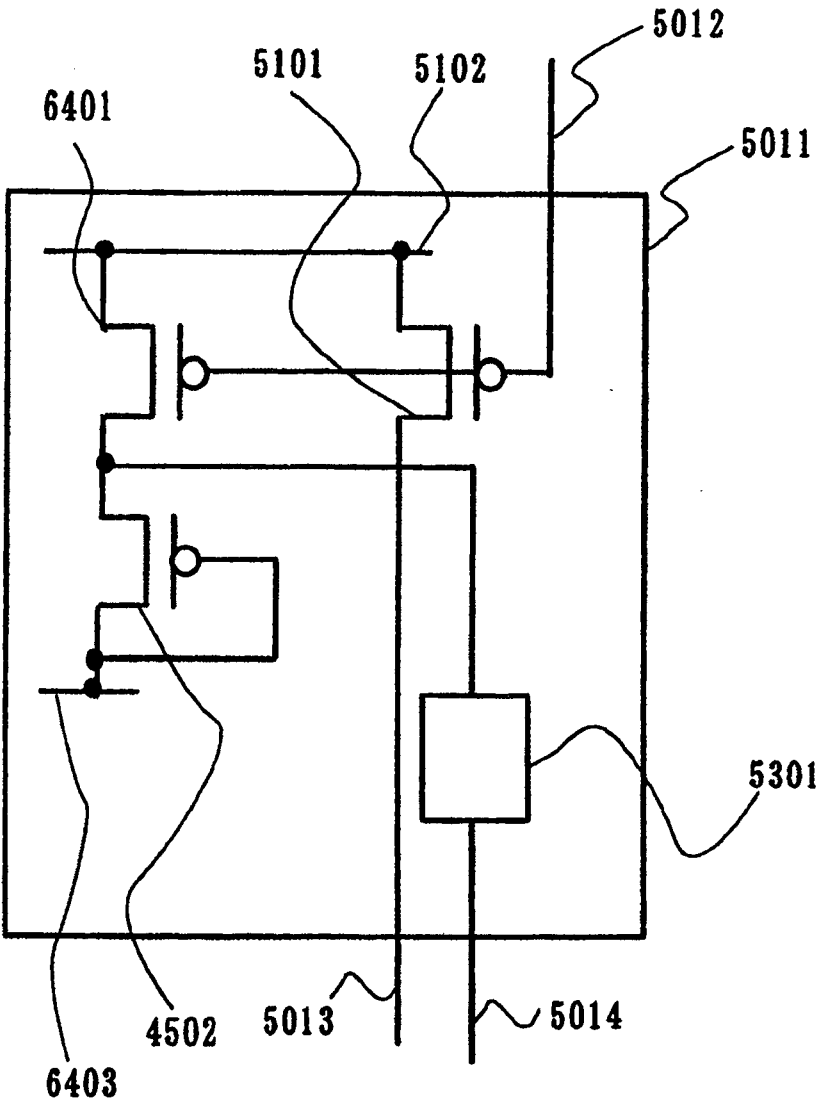


图 45

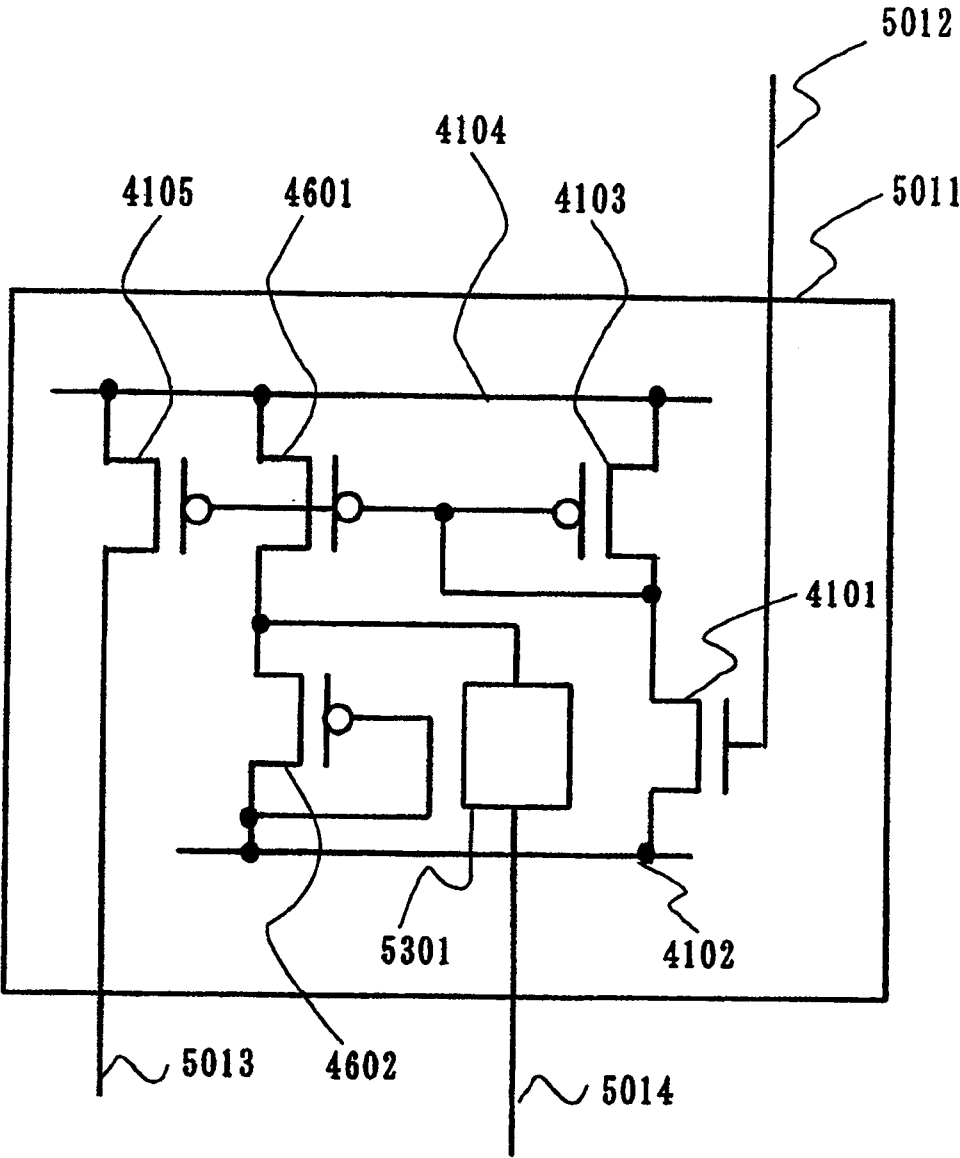


图 46

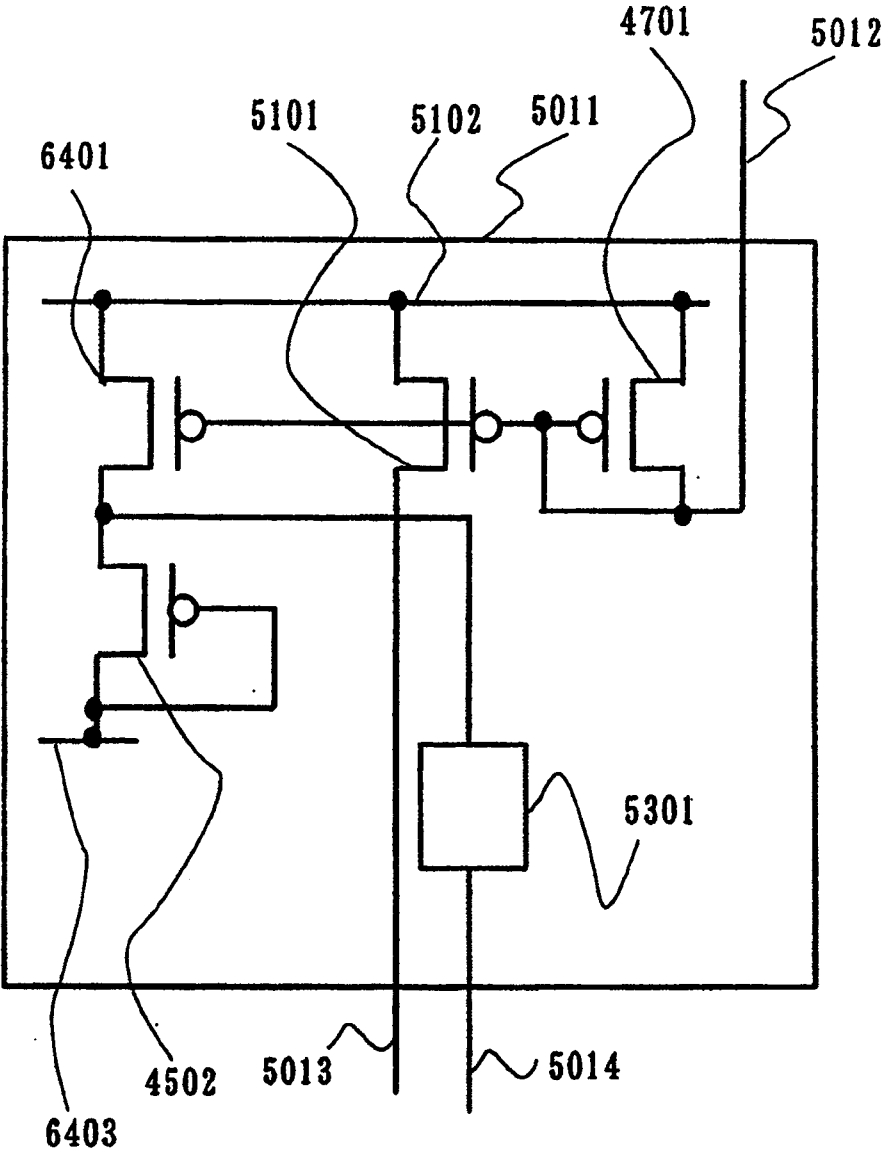


图 47

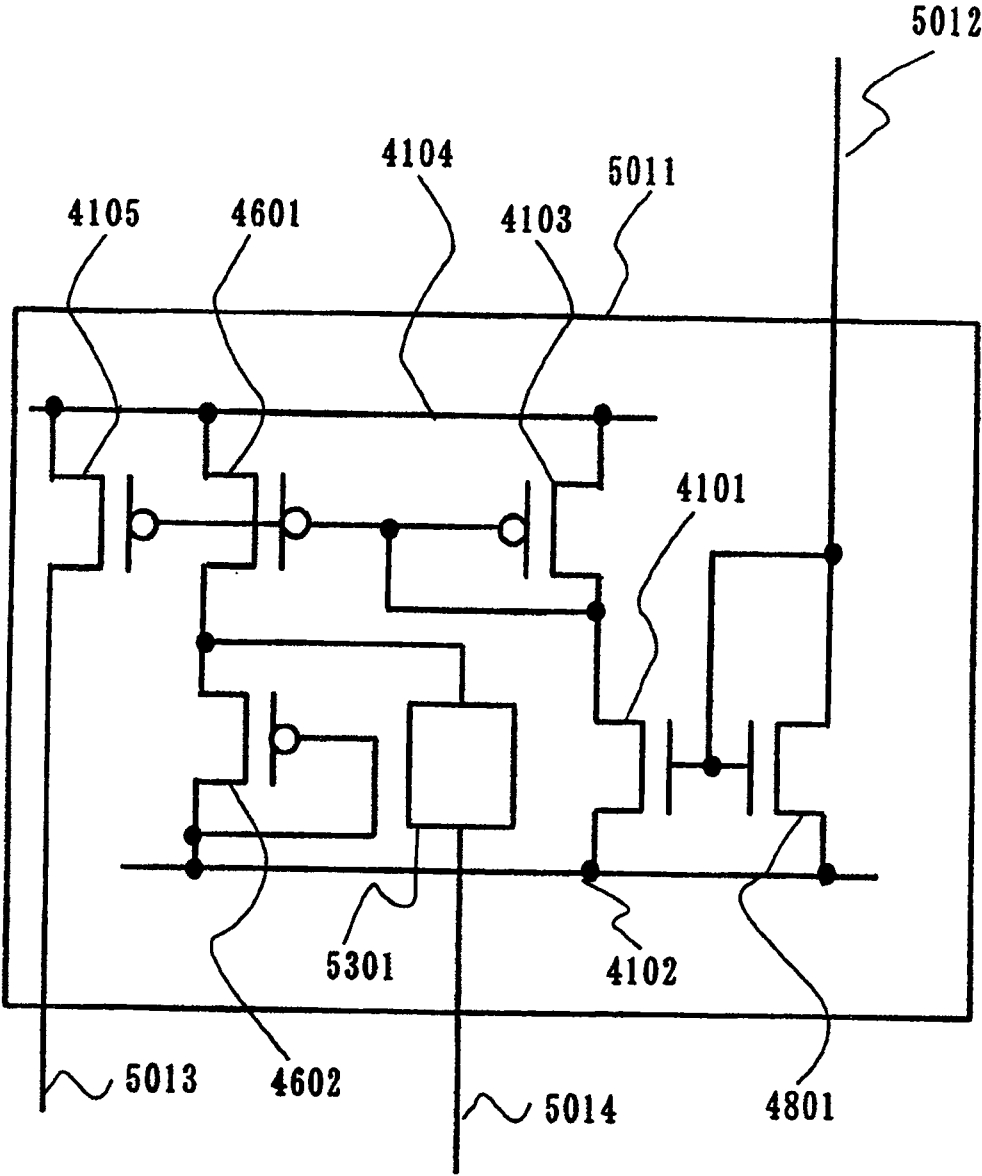


图 48

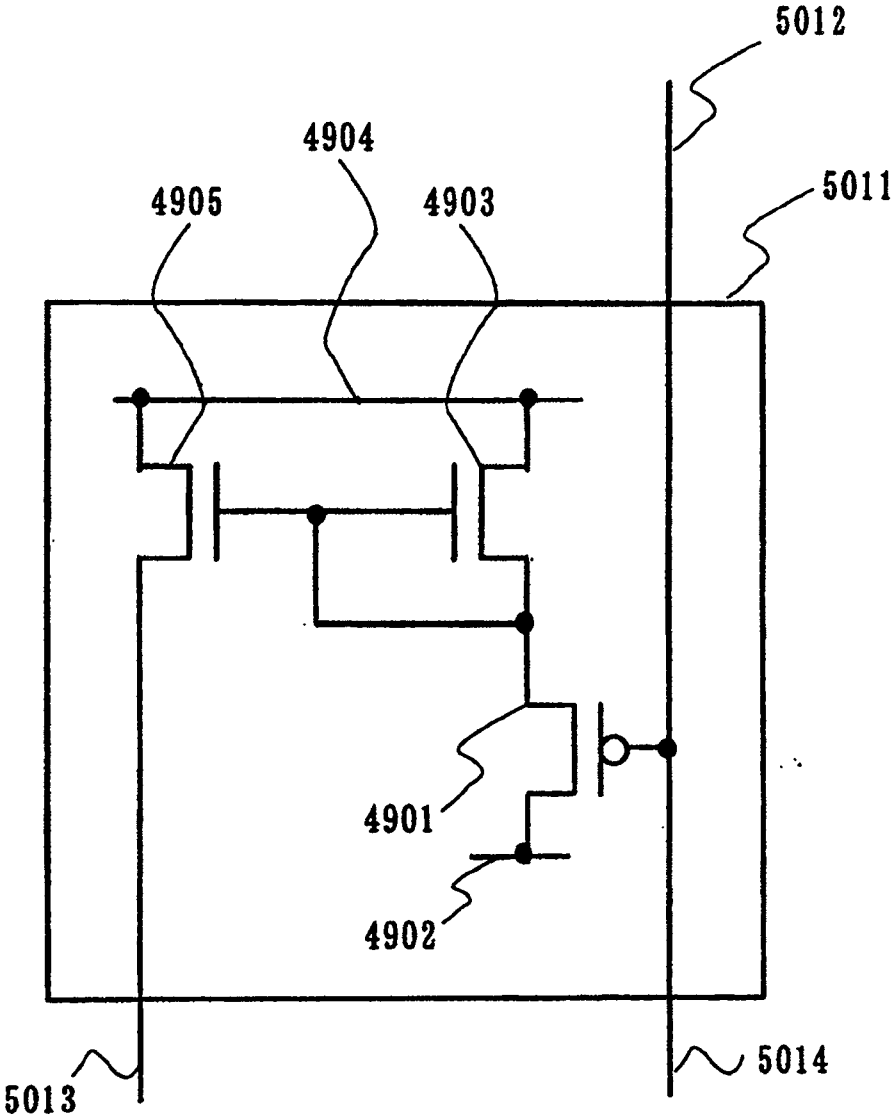


图 49

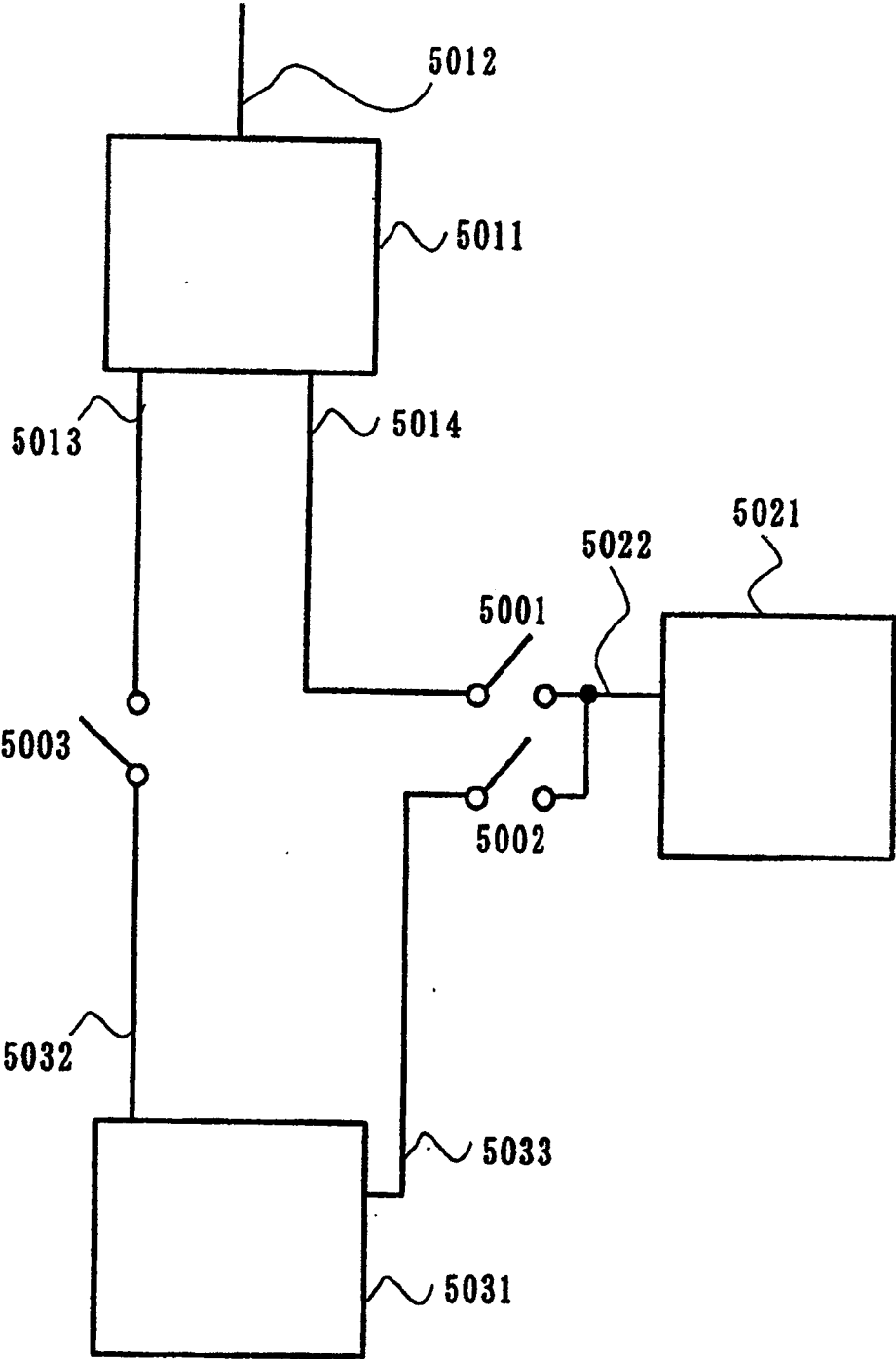


图 50

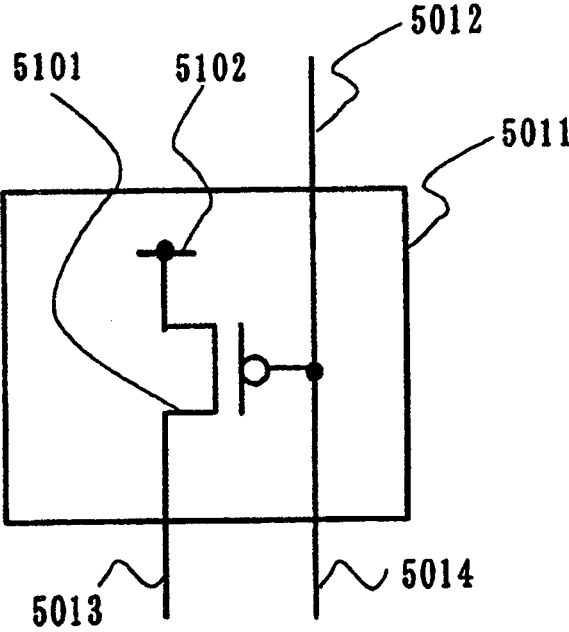


图 51

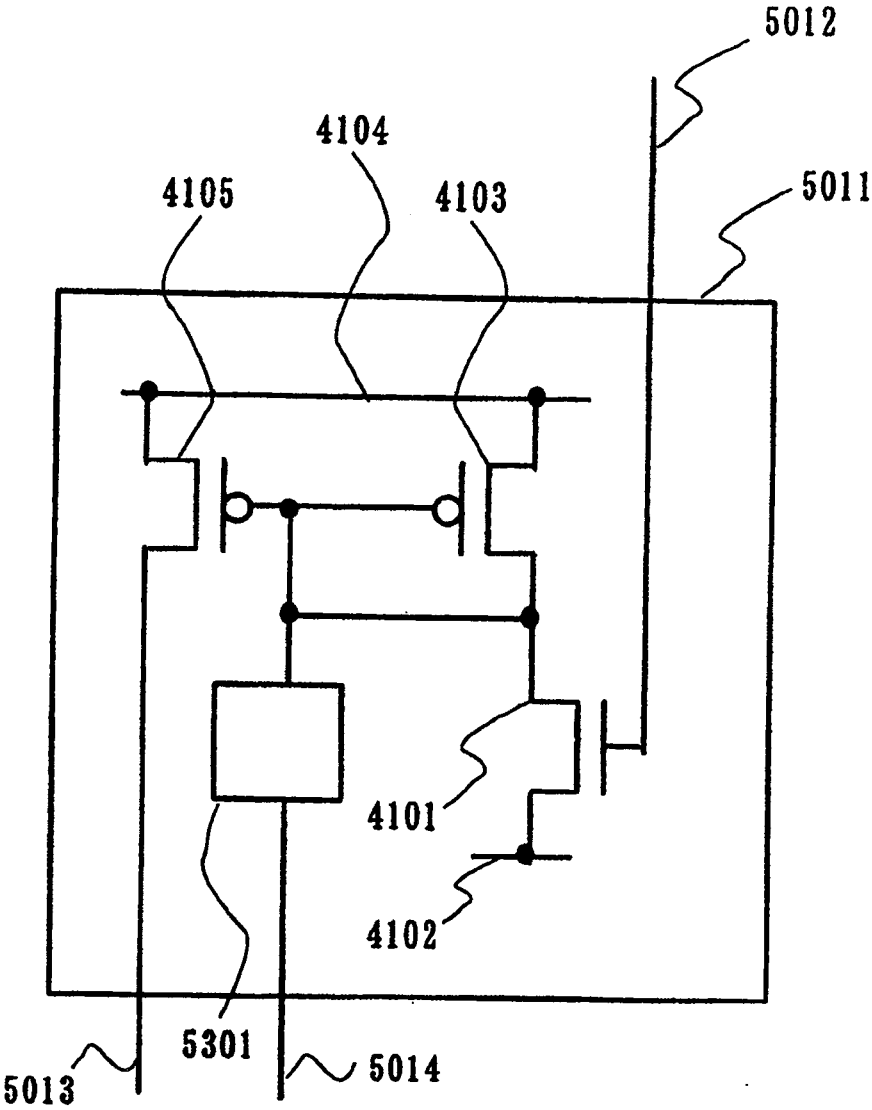


图 52

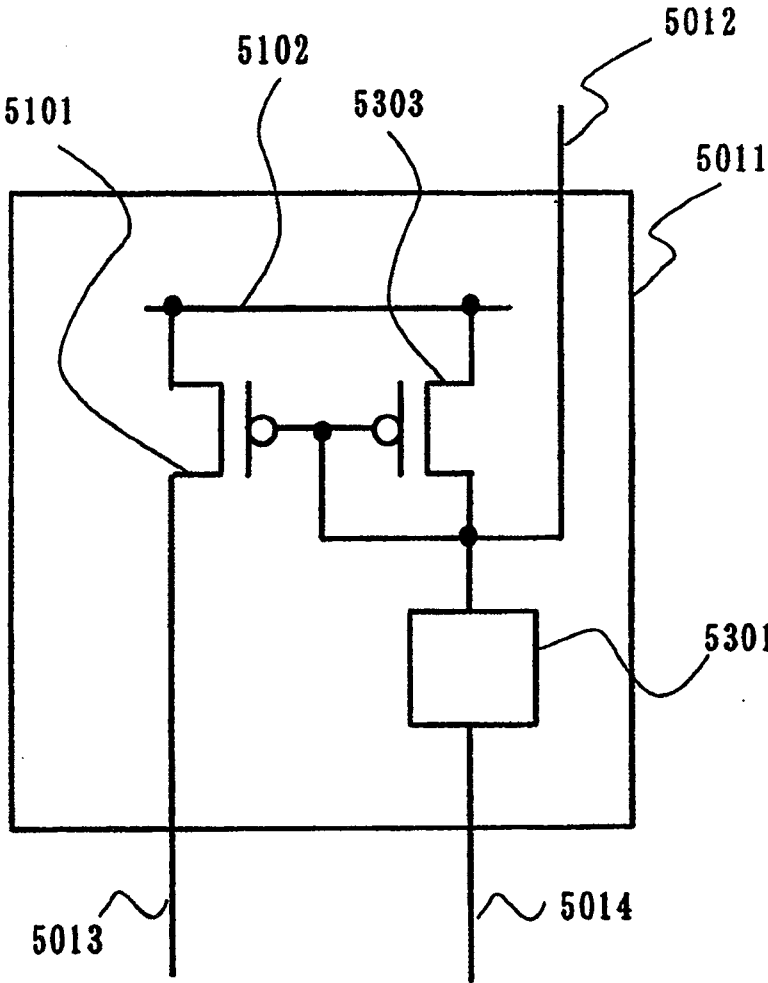


图 53

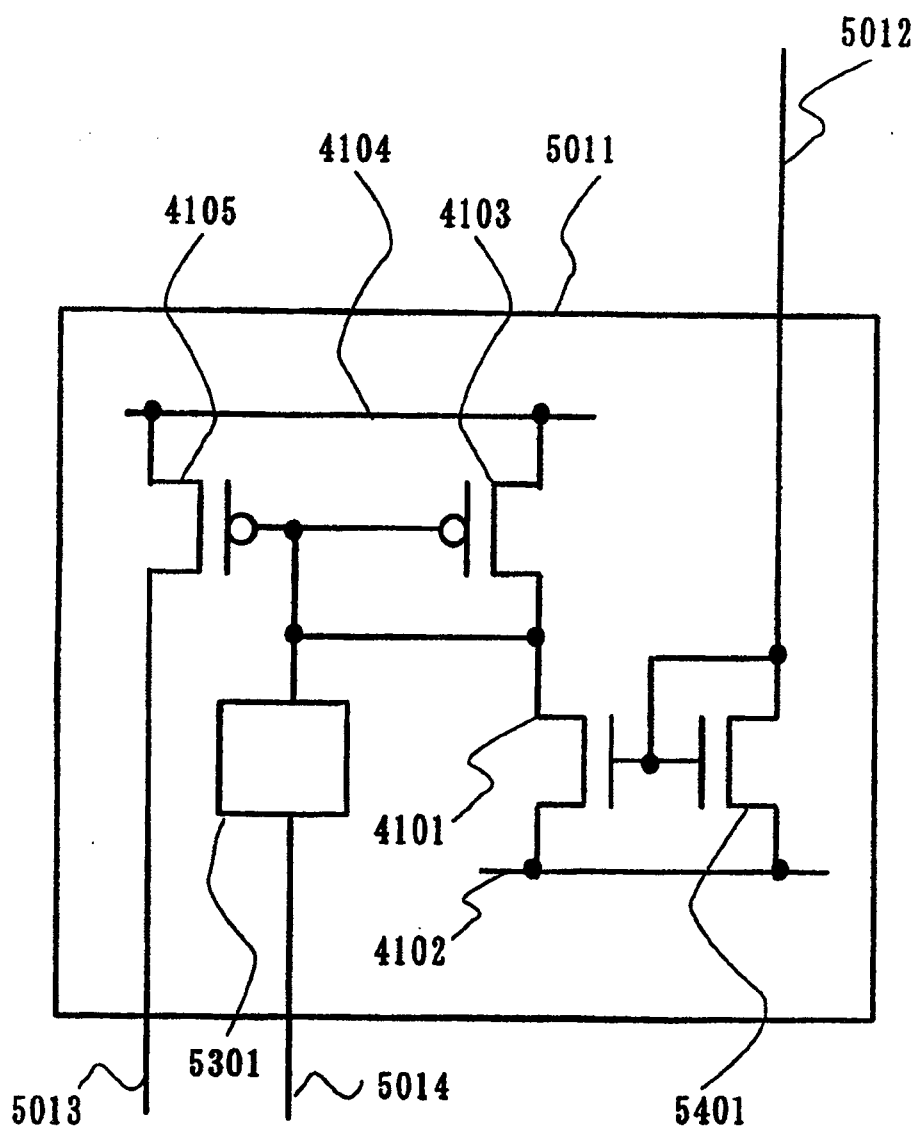


图 54

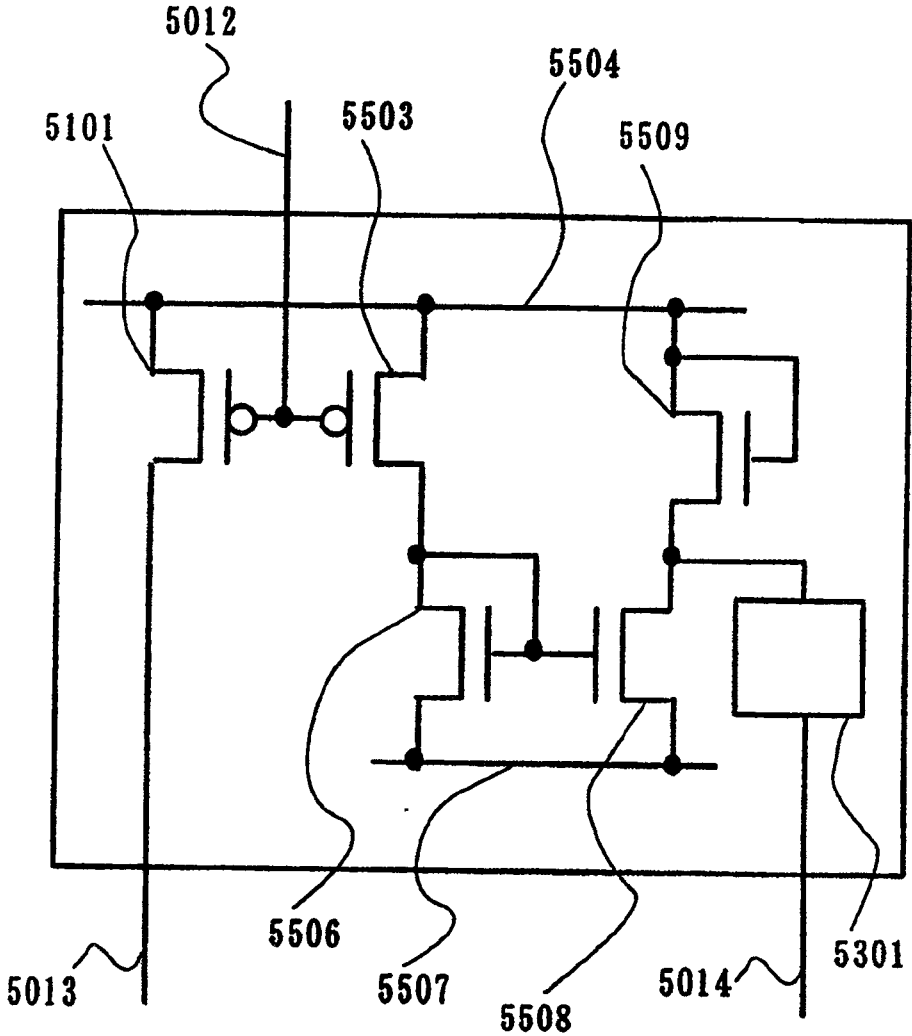


图 55

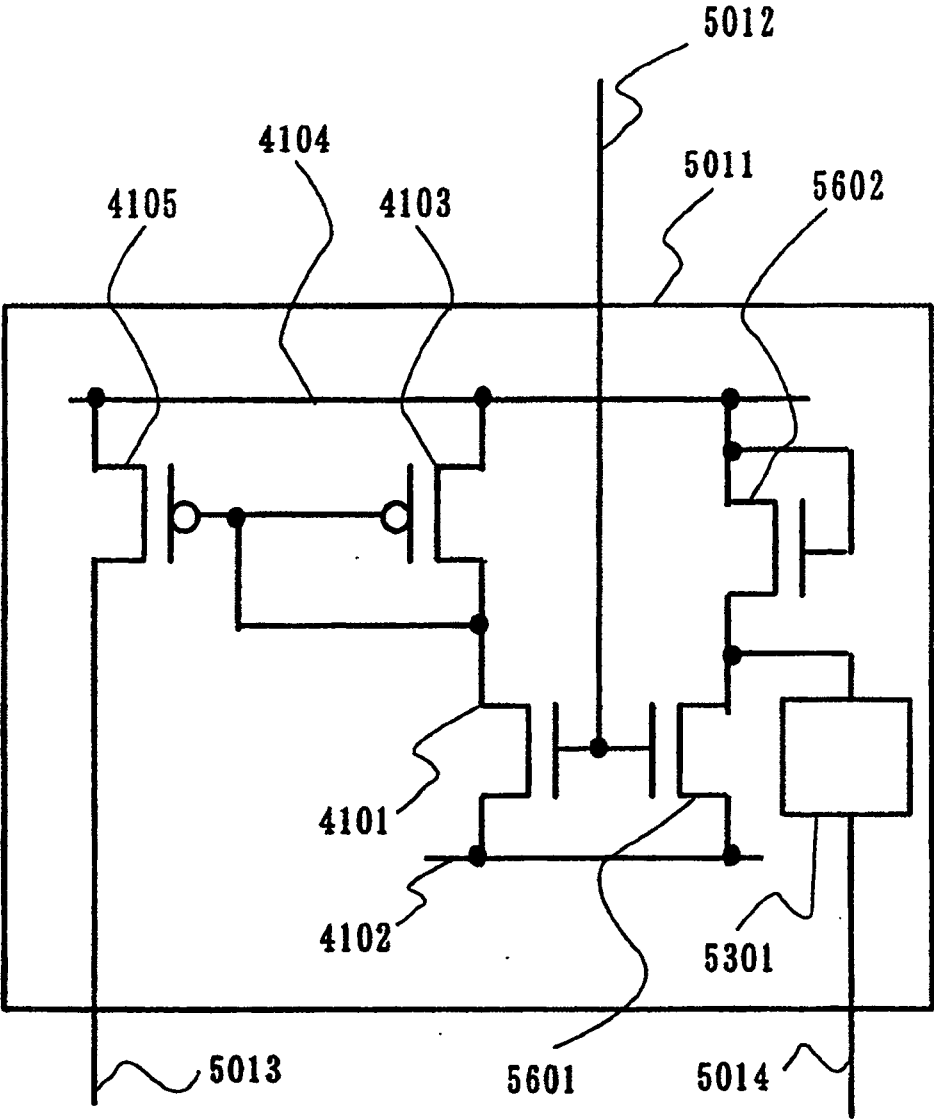


图 56

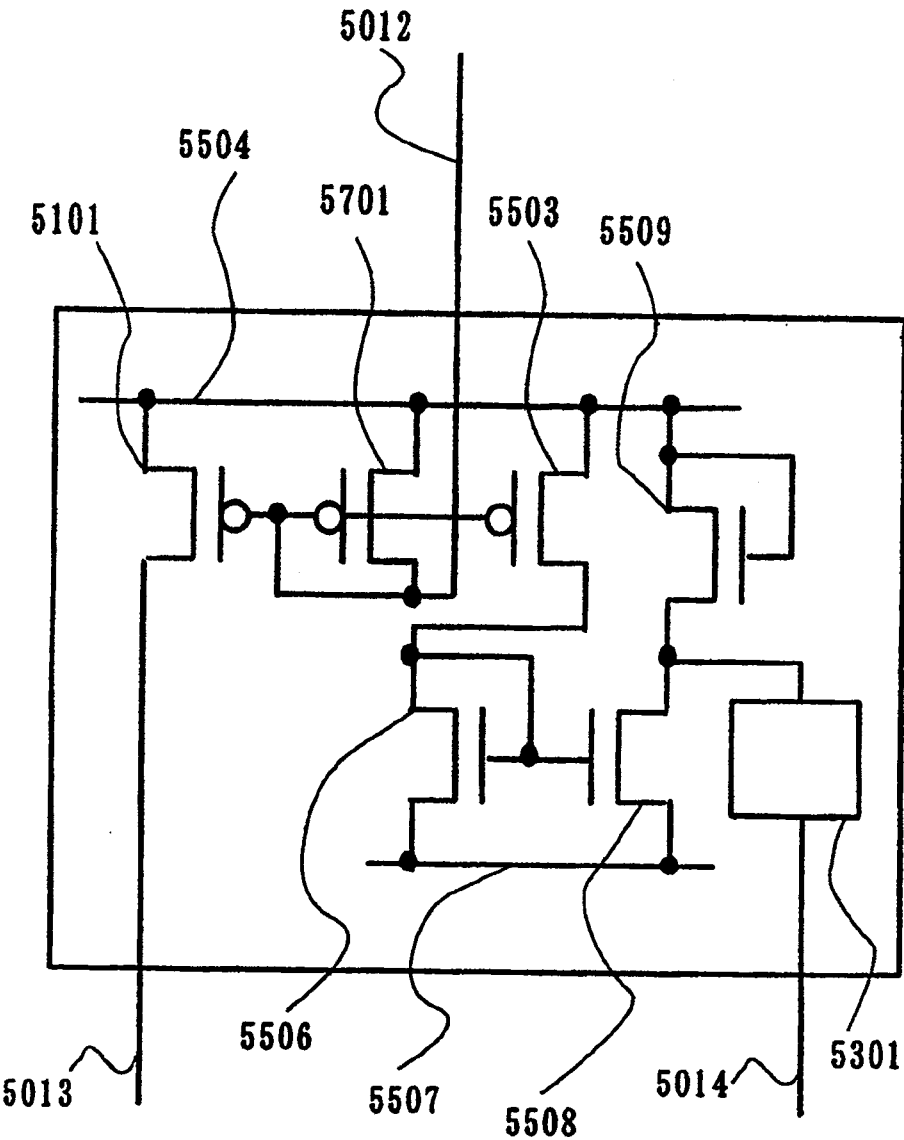


图 57

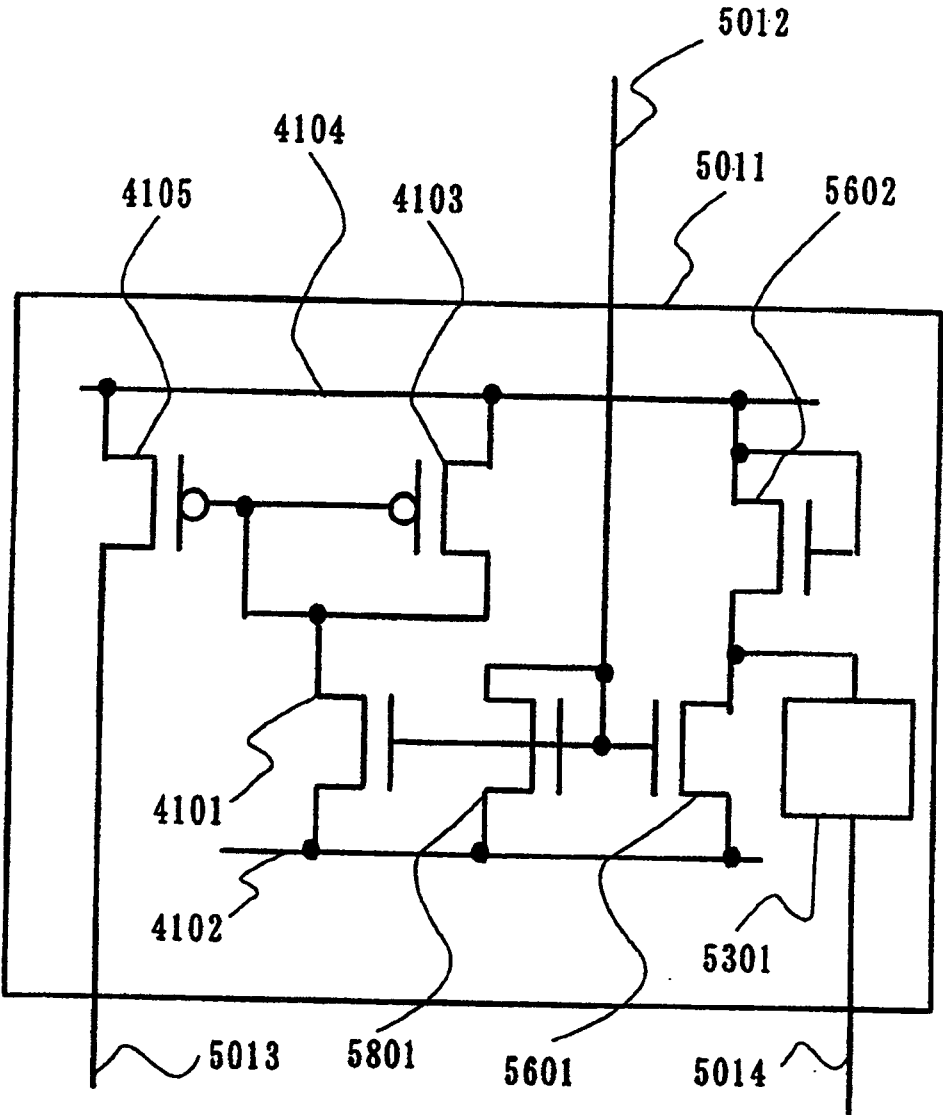


图 58

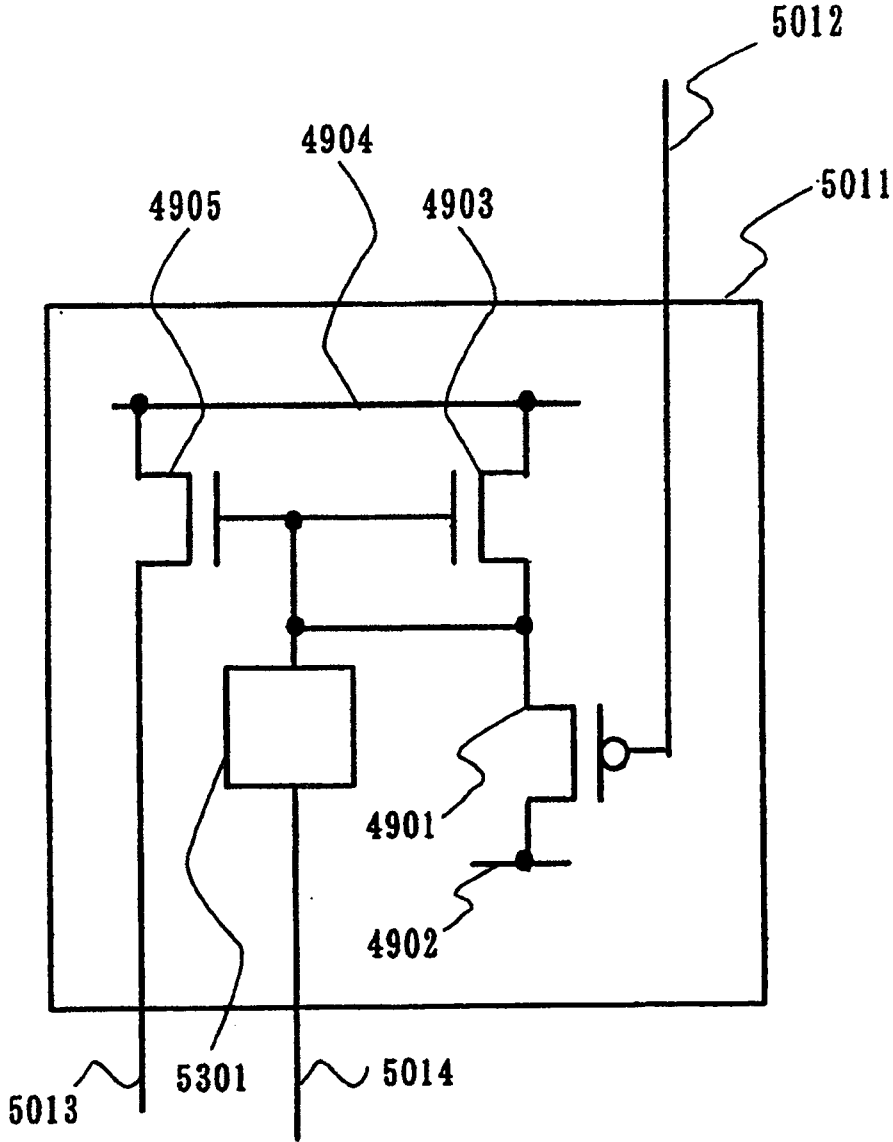


图 59

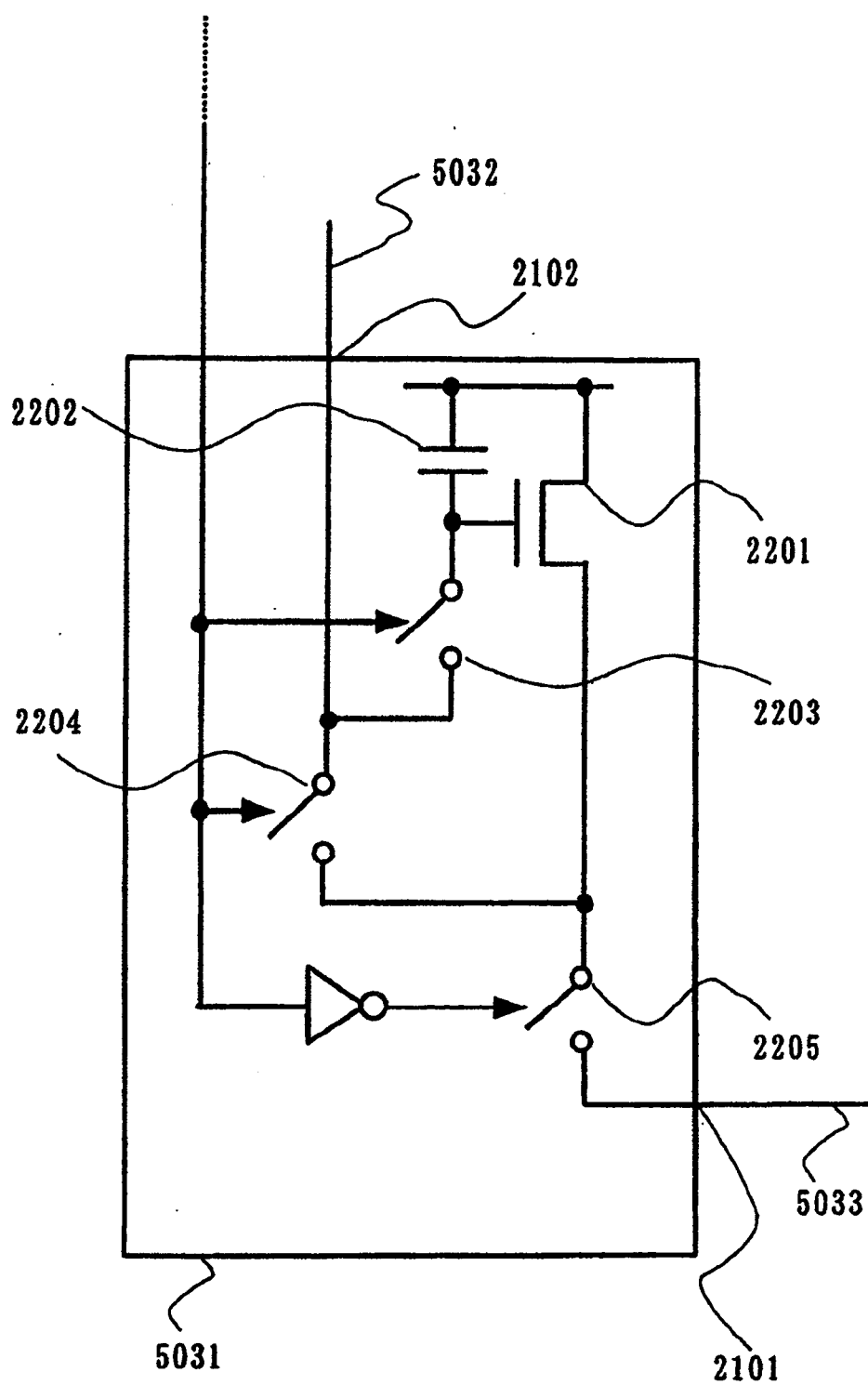


图 60

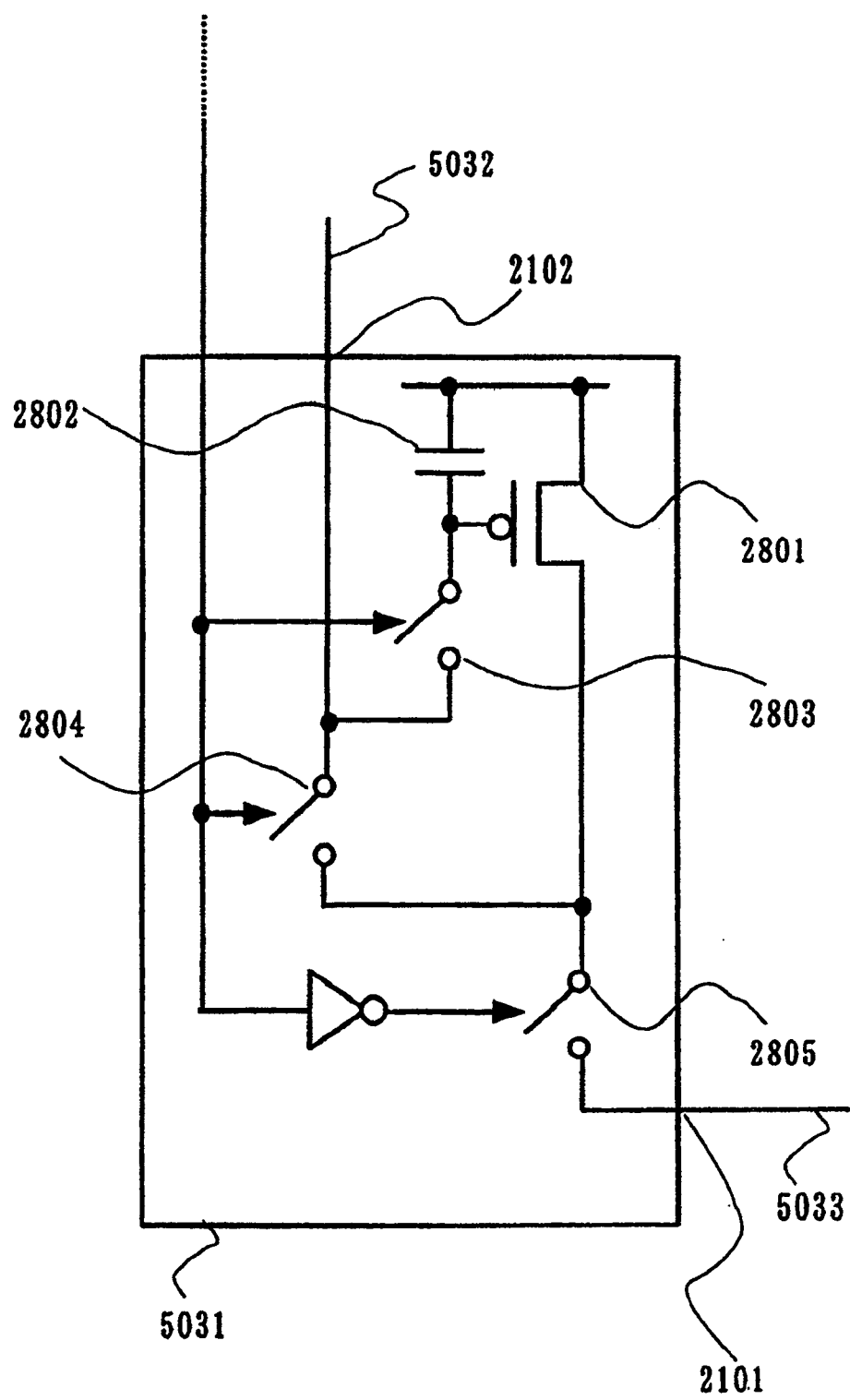


图 61

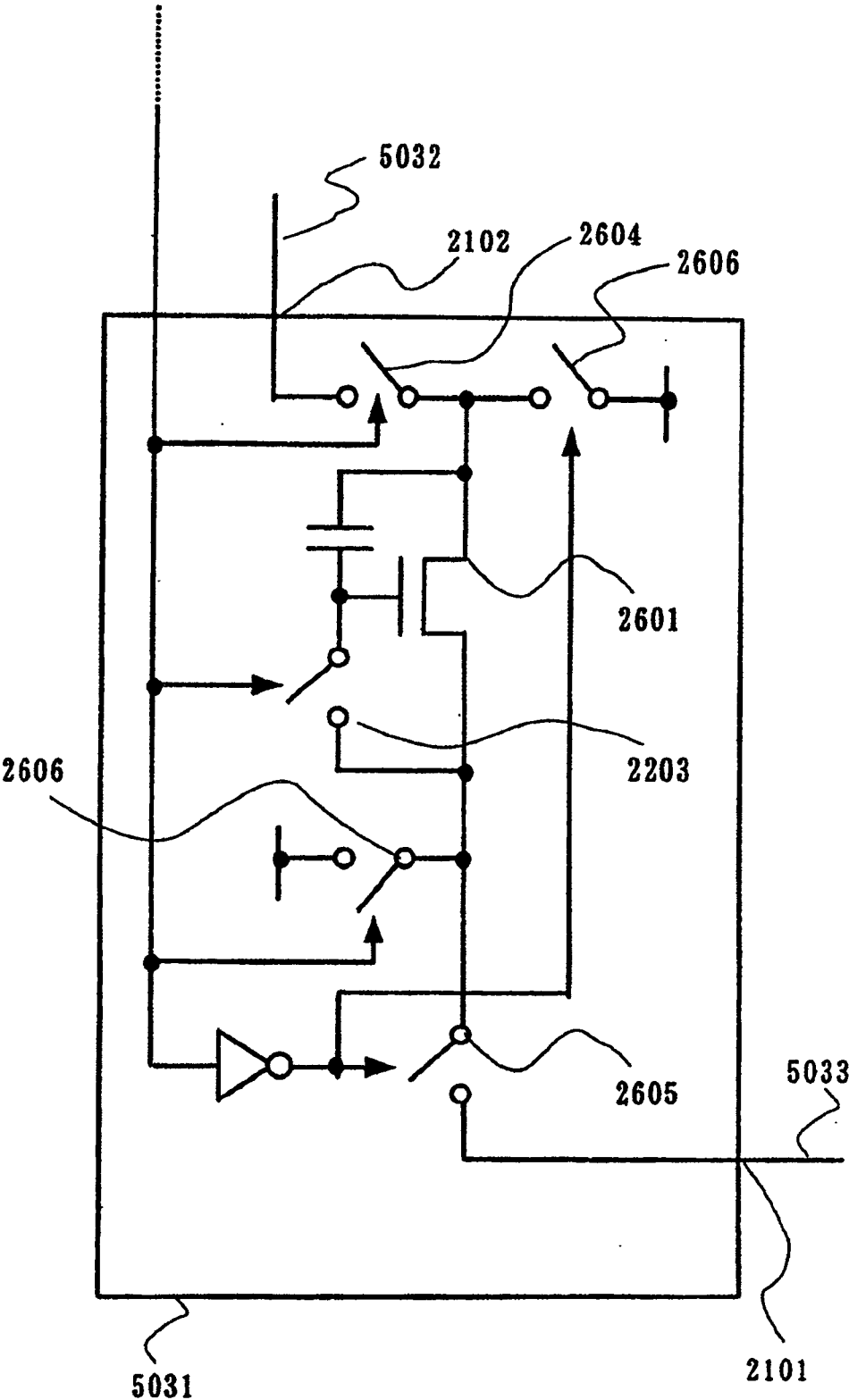


图 62

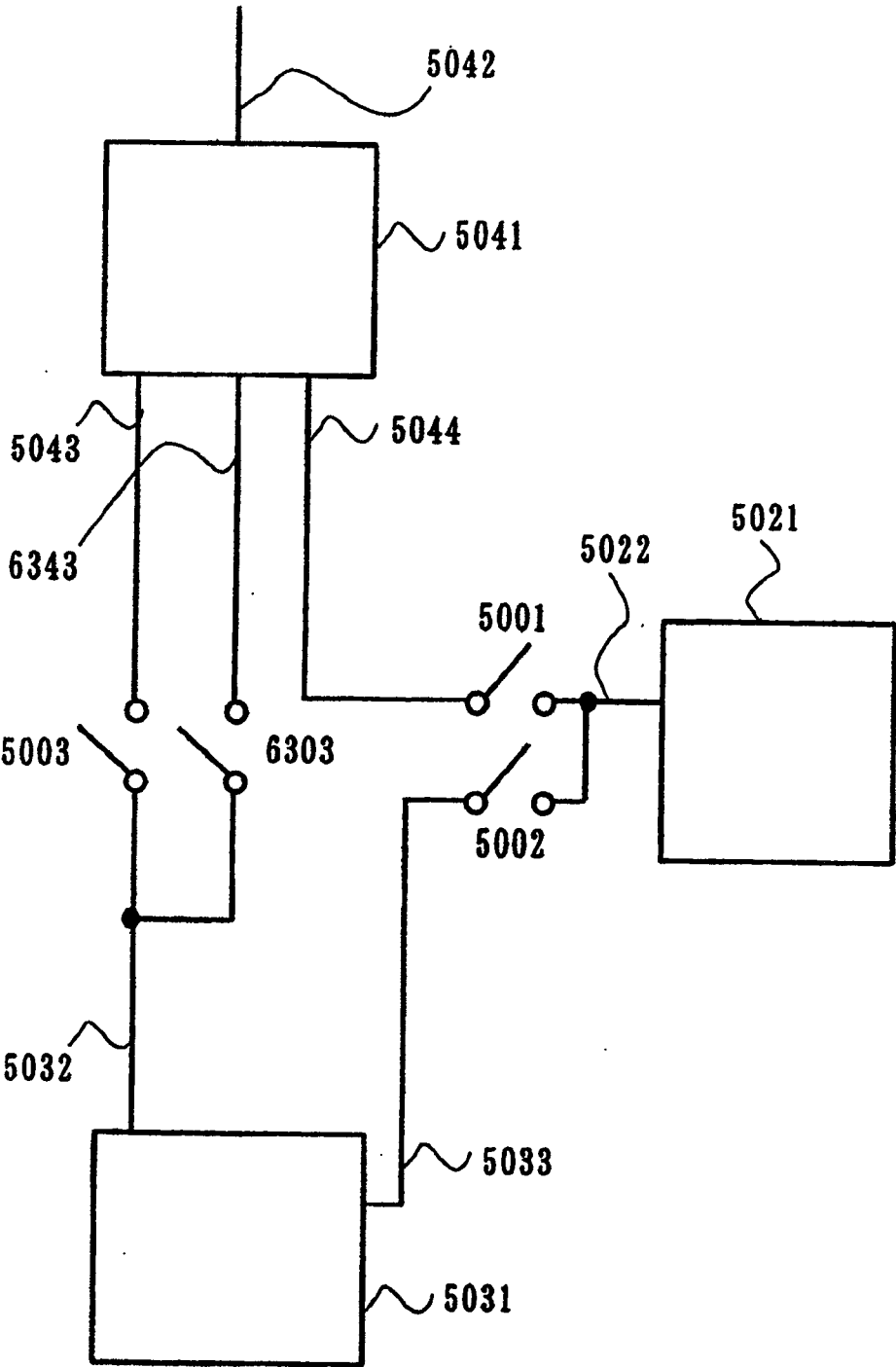


图 63

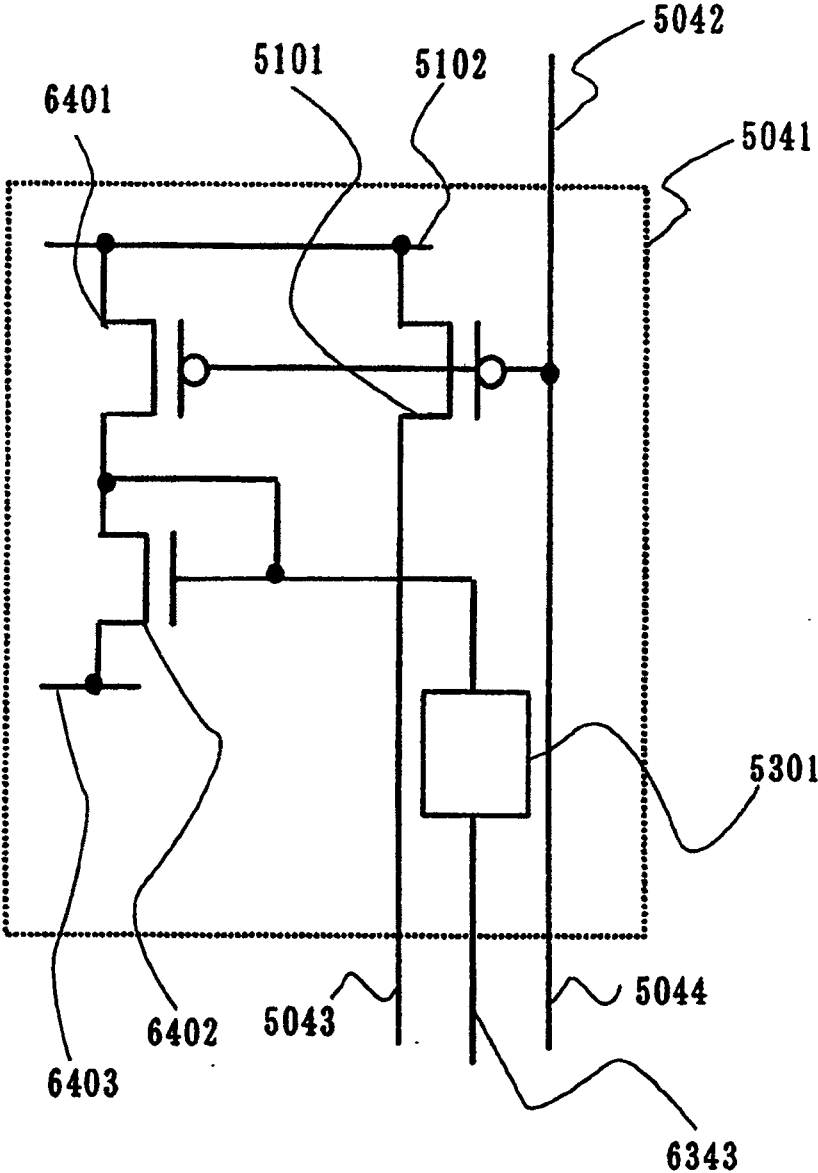


图 64

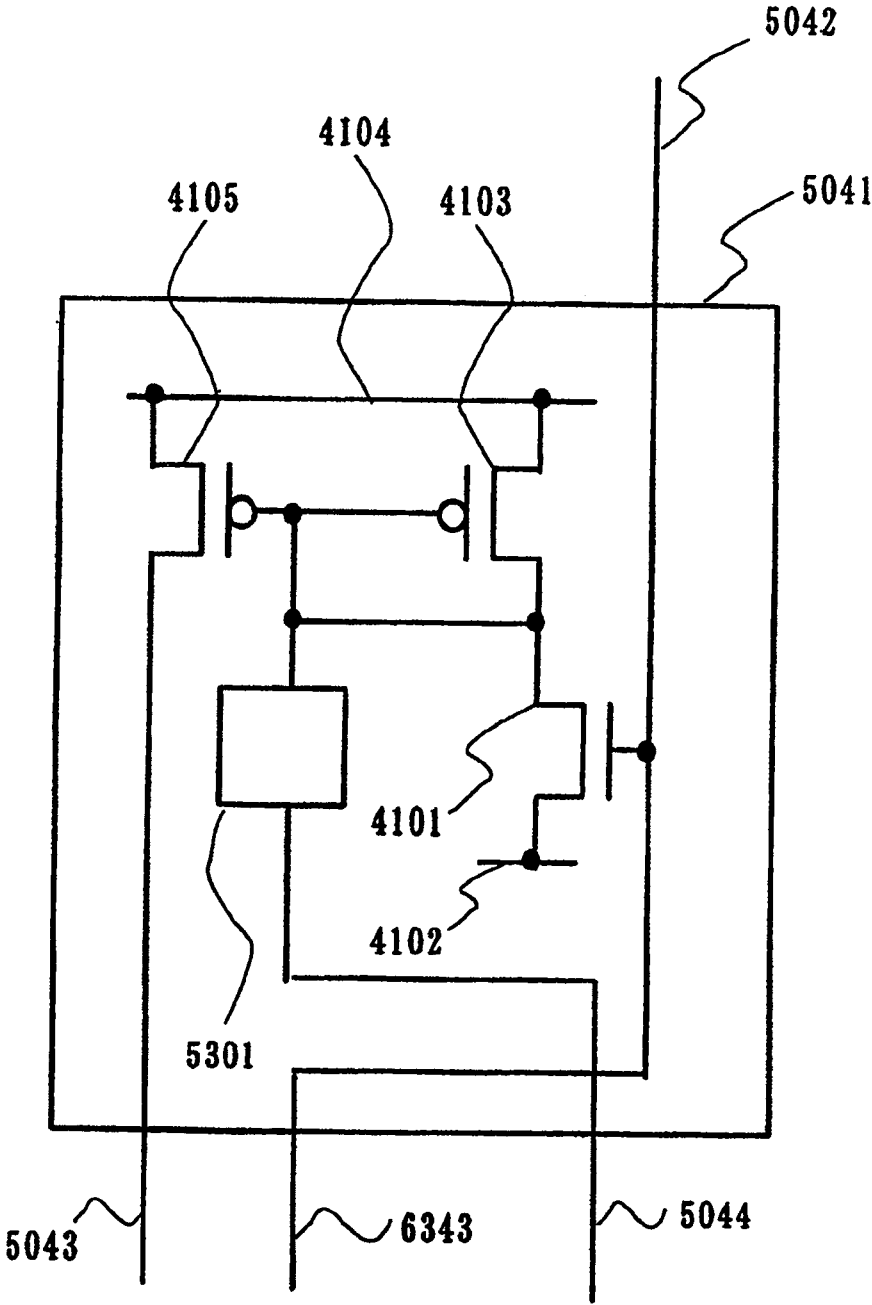


图 65

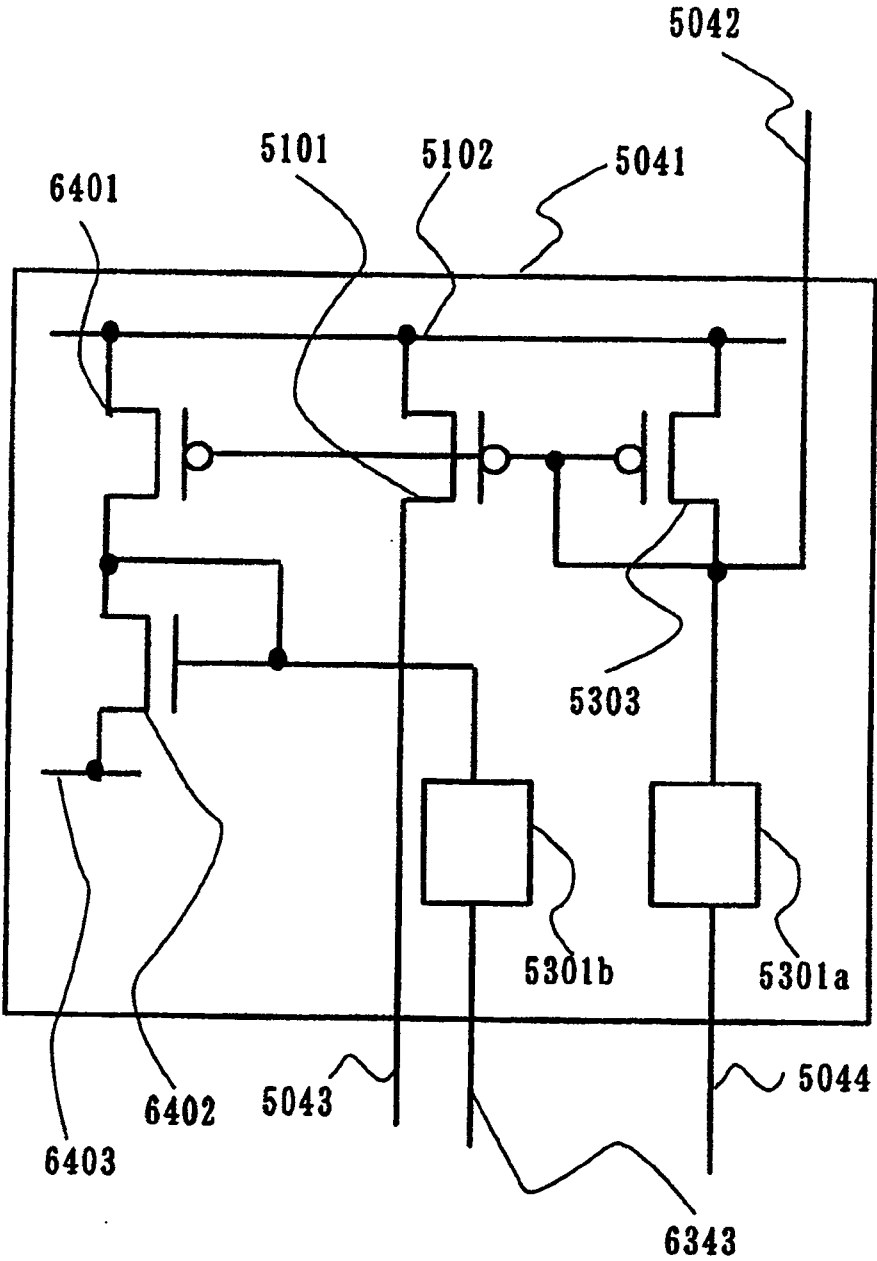


图 66

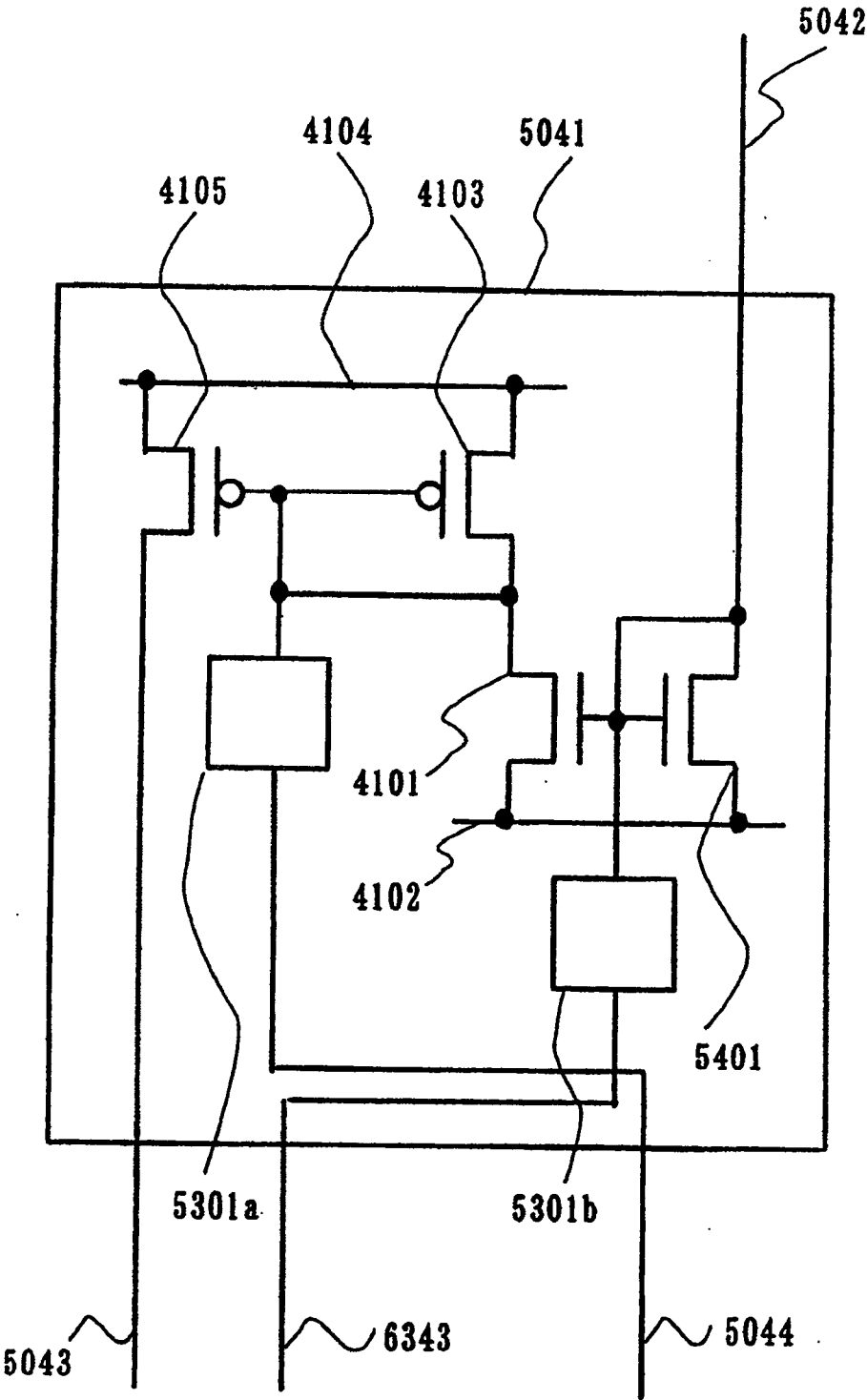


图 67

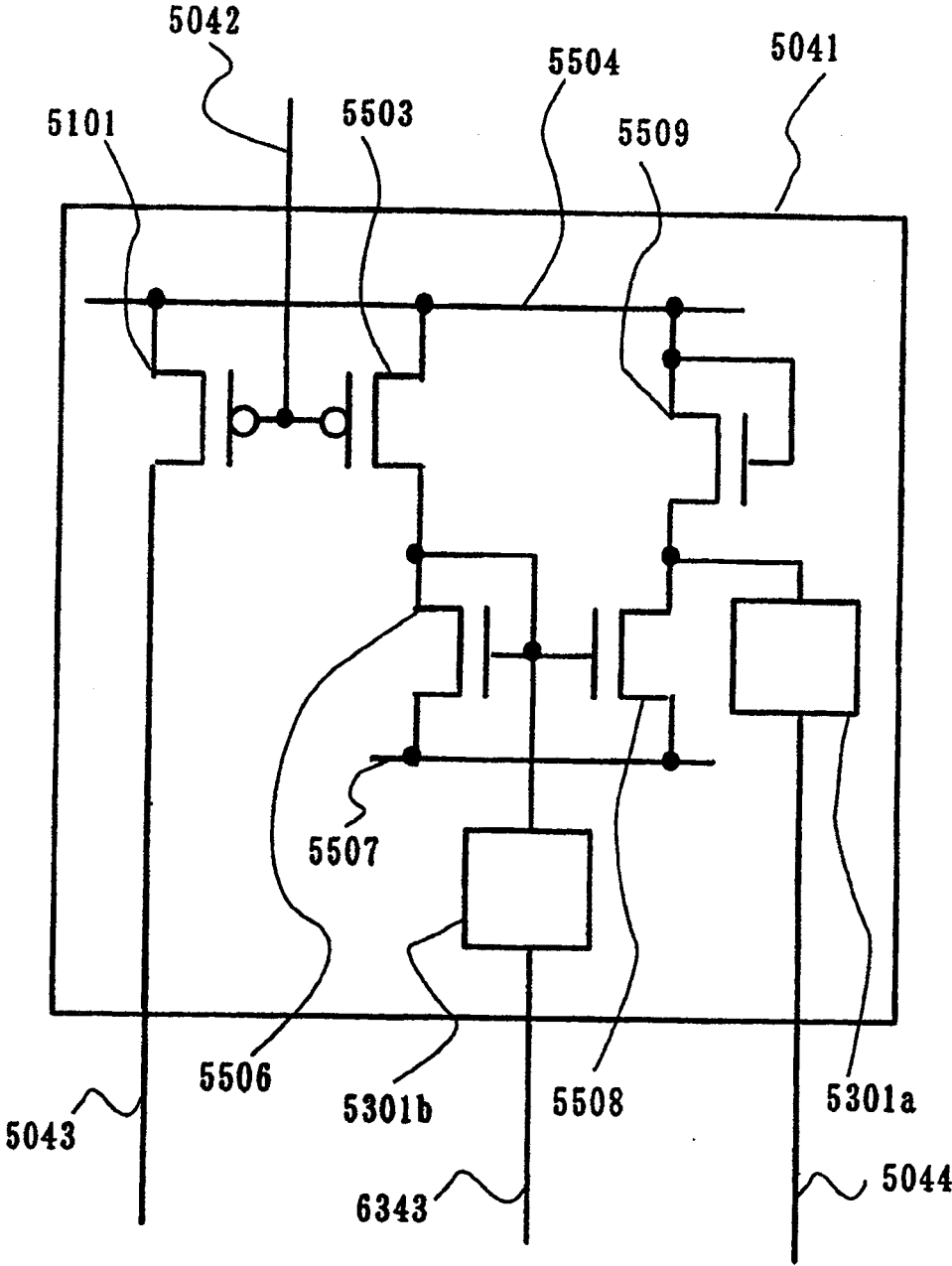


图 68

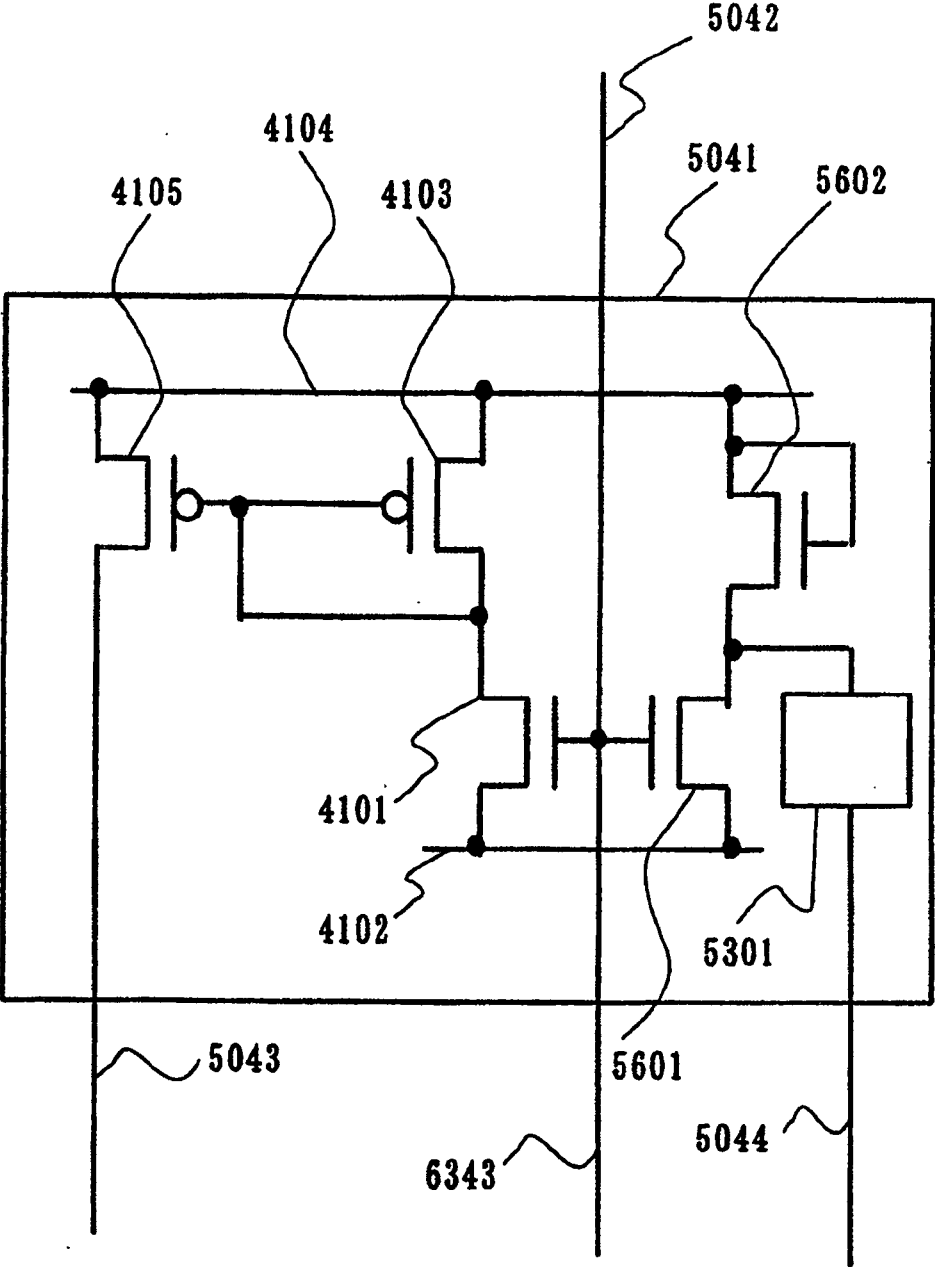


图 69

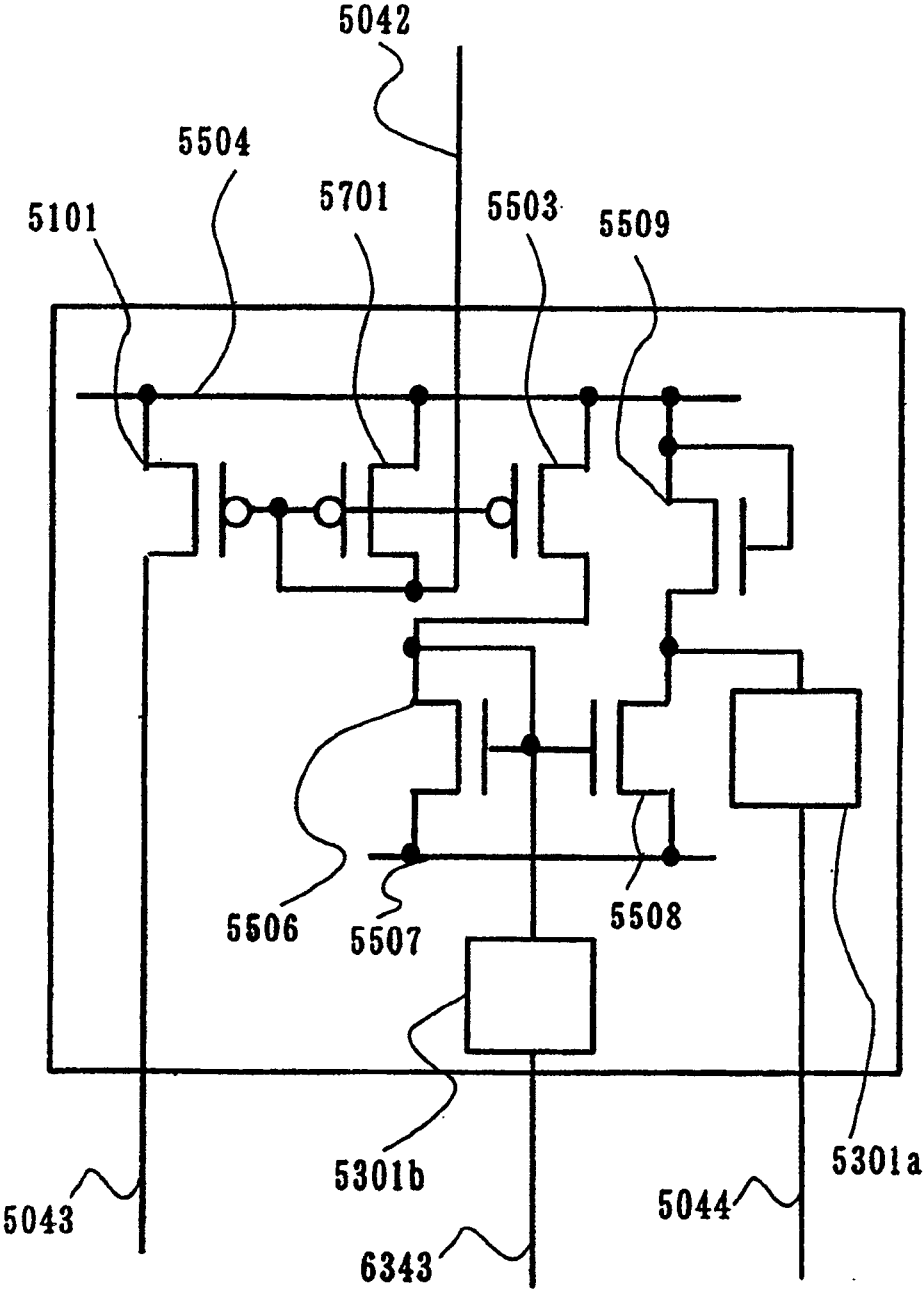


图 70

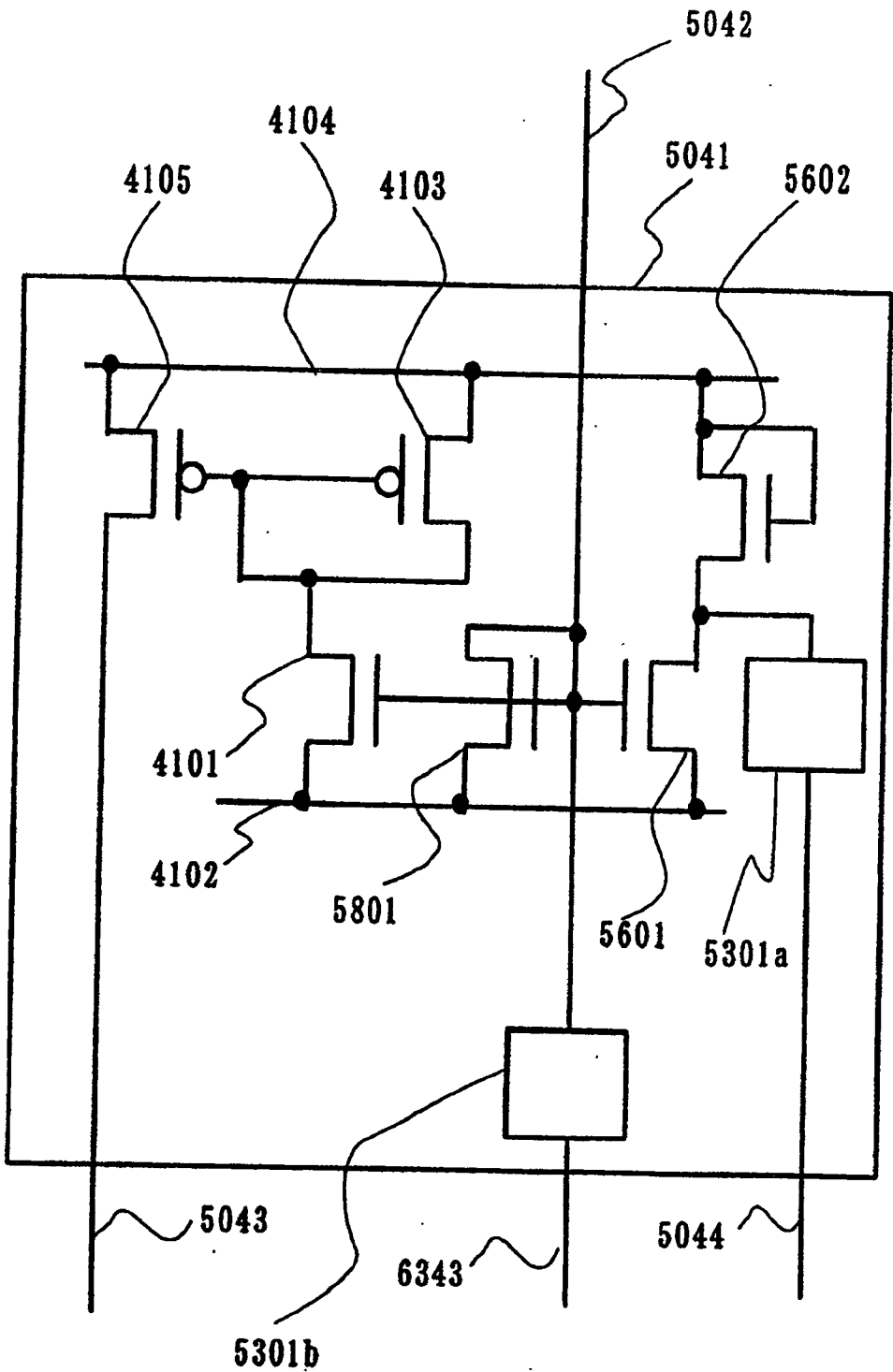


图 71

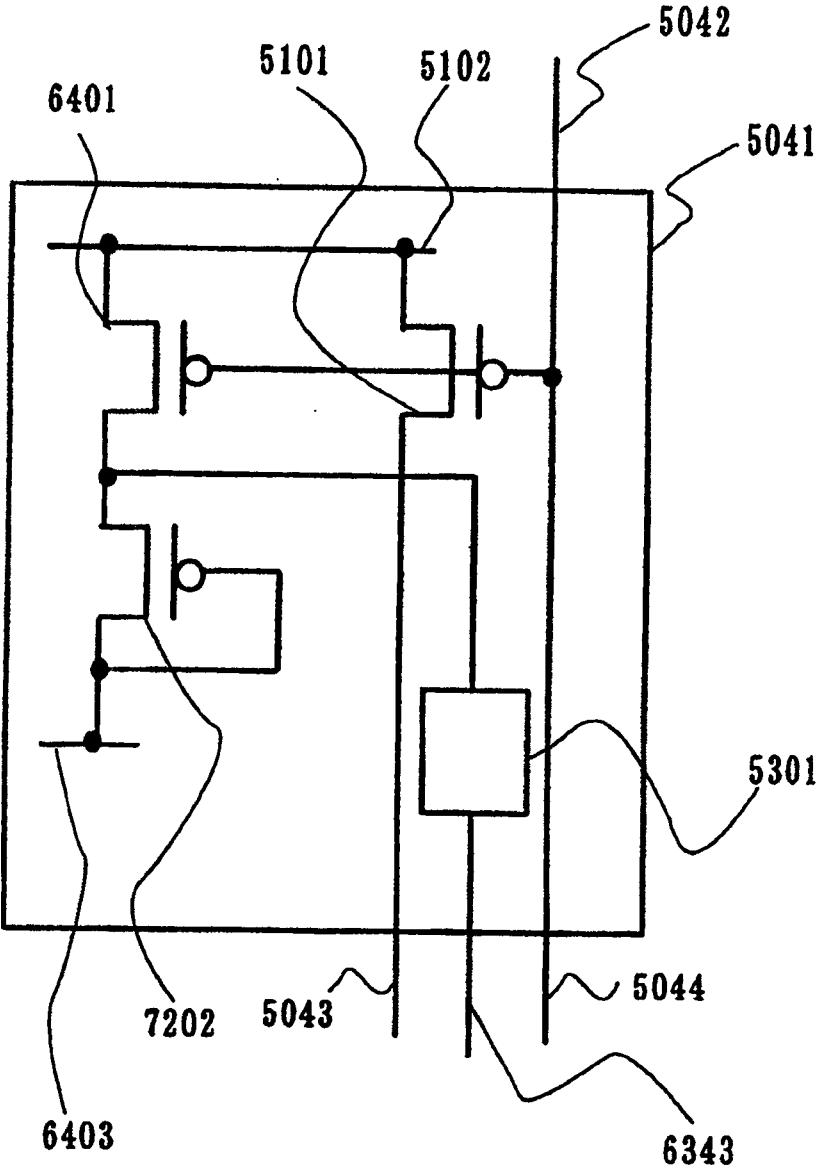


图 72

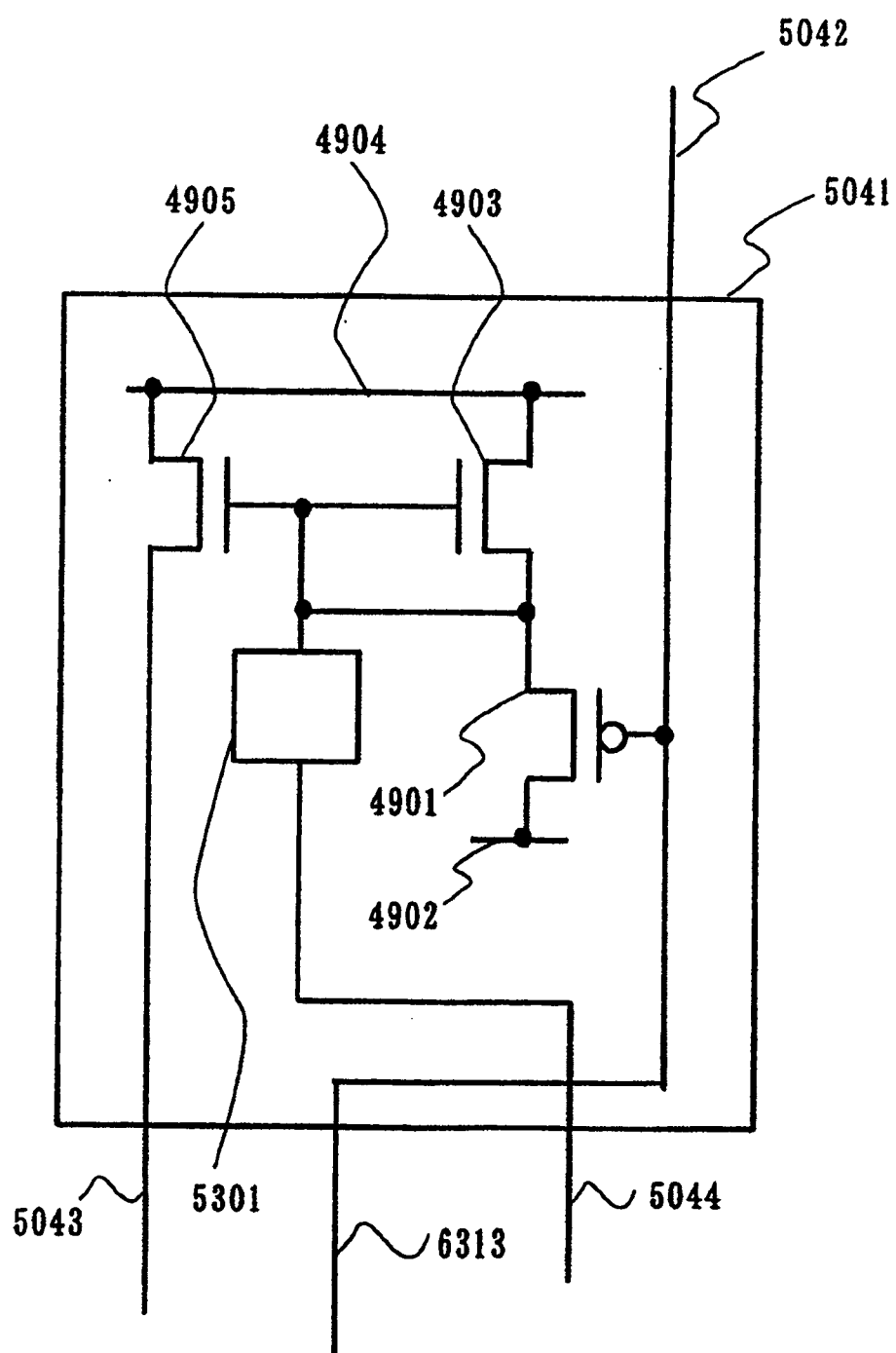


图 73

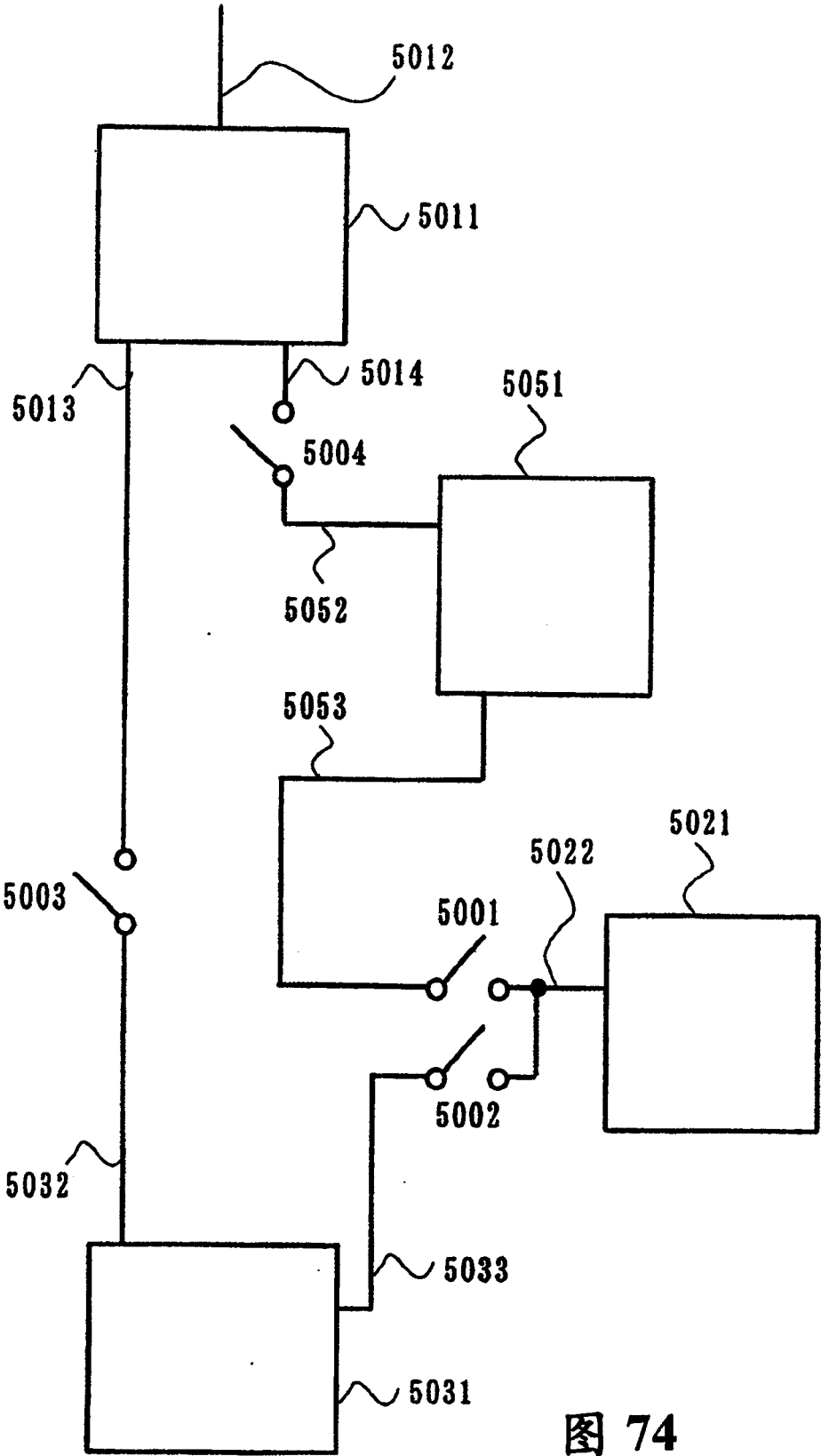


图 74

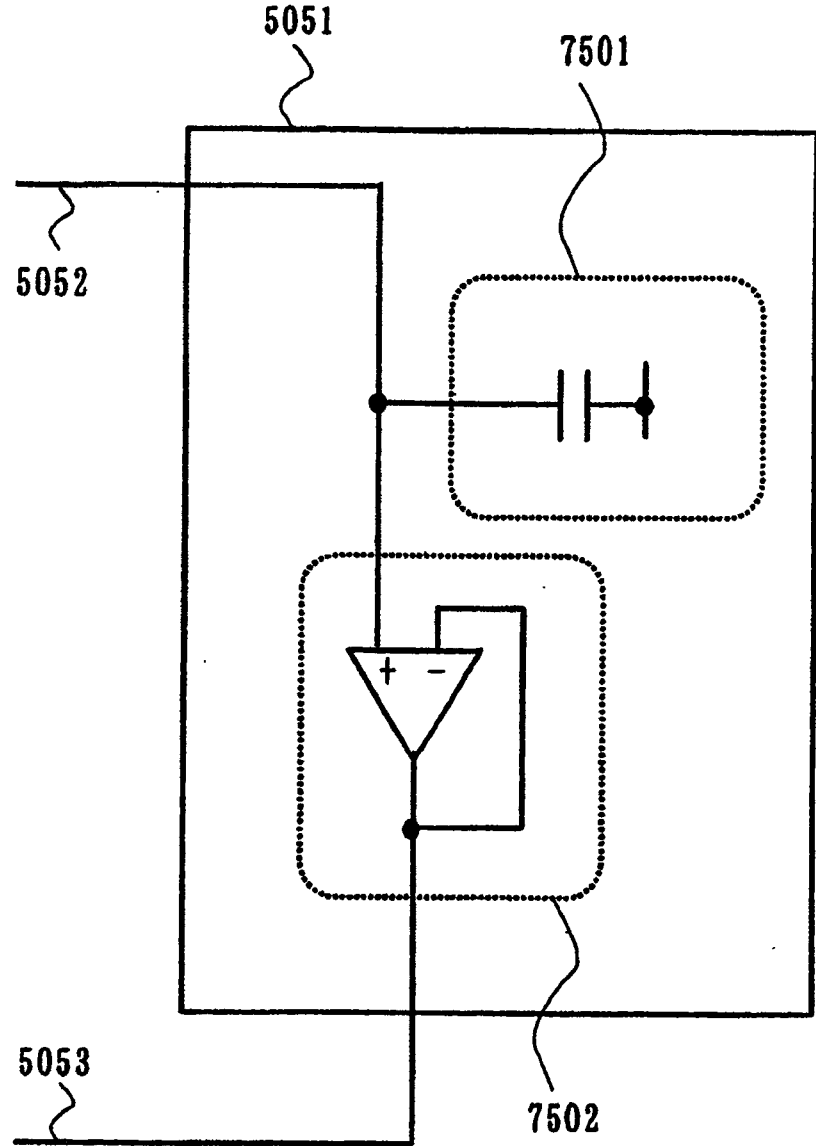


图 75

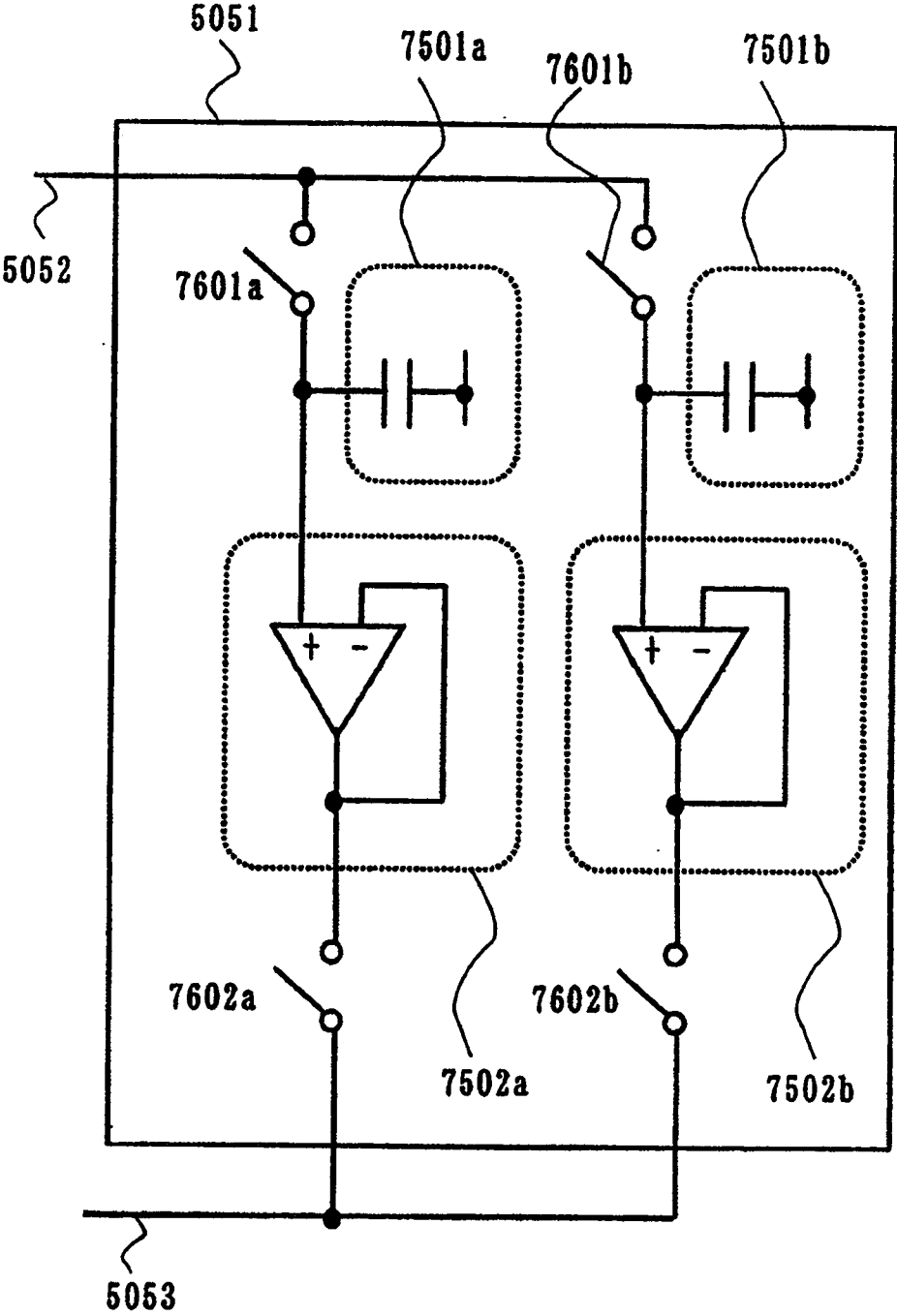


图 76

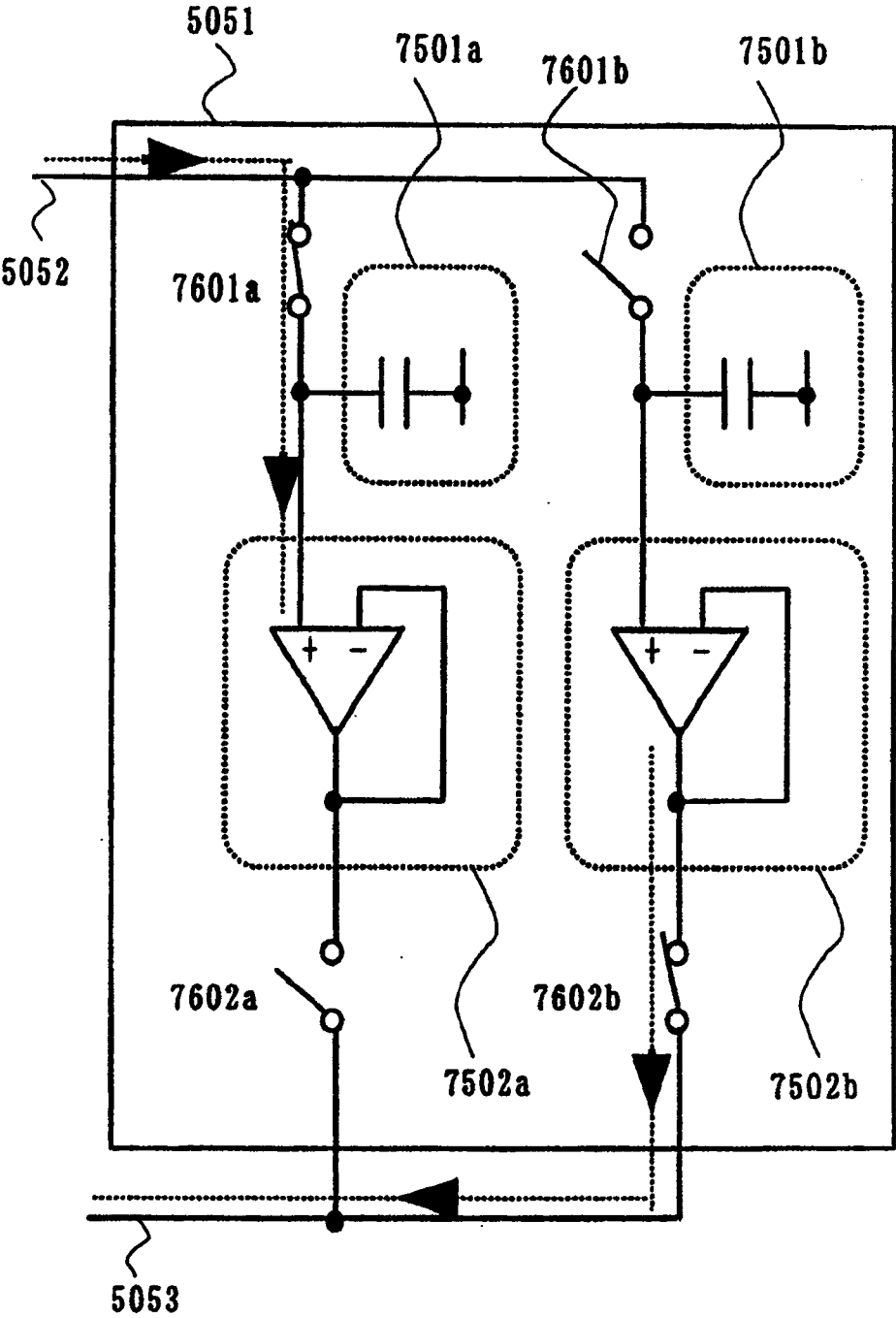


图 77

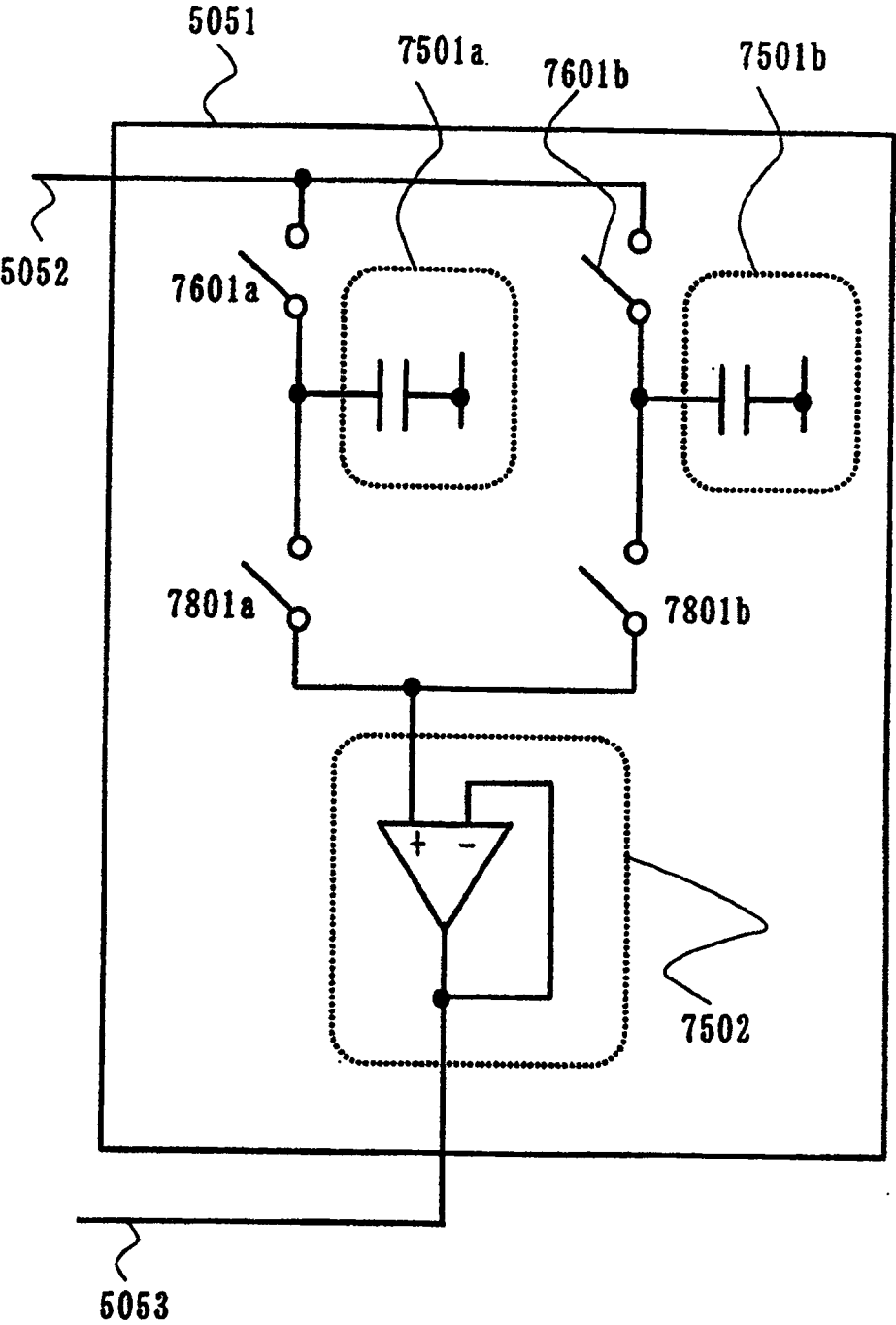


图 78

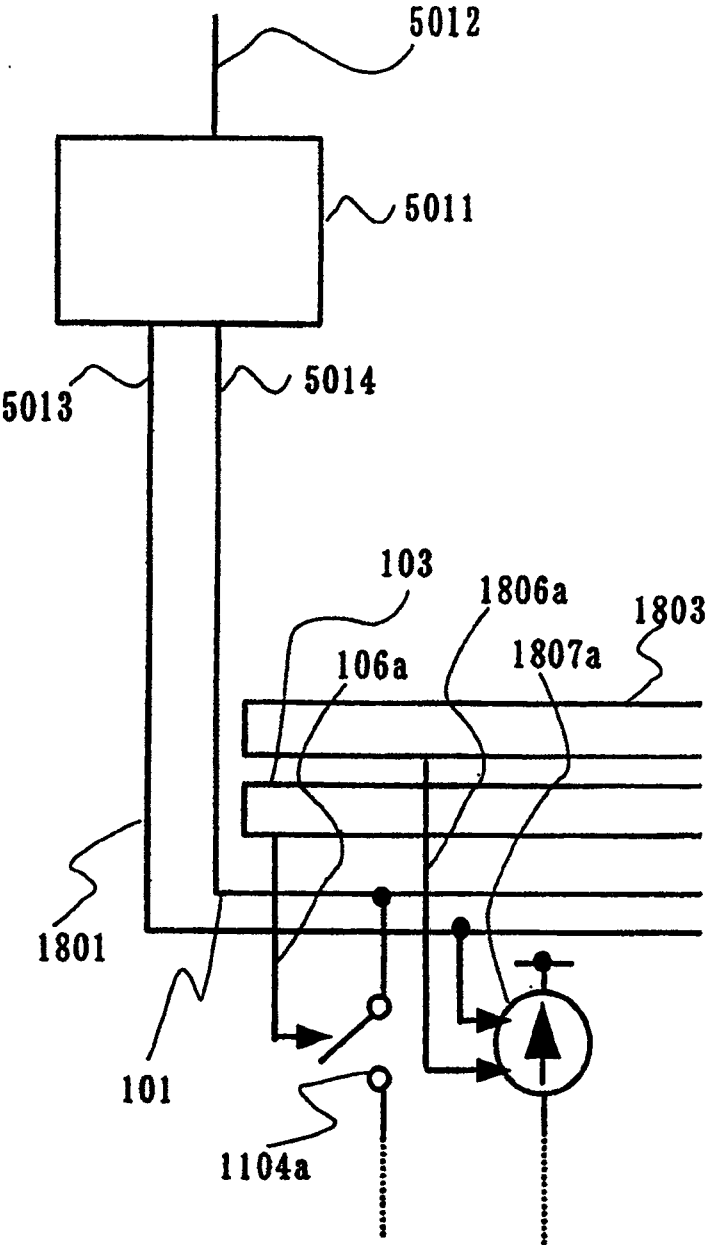


图 79

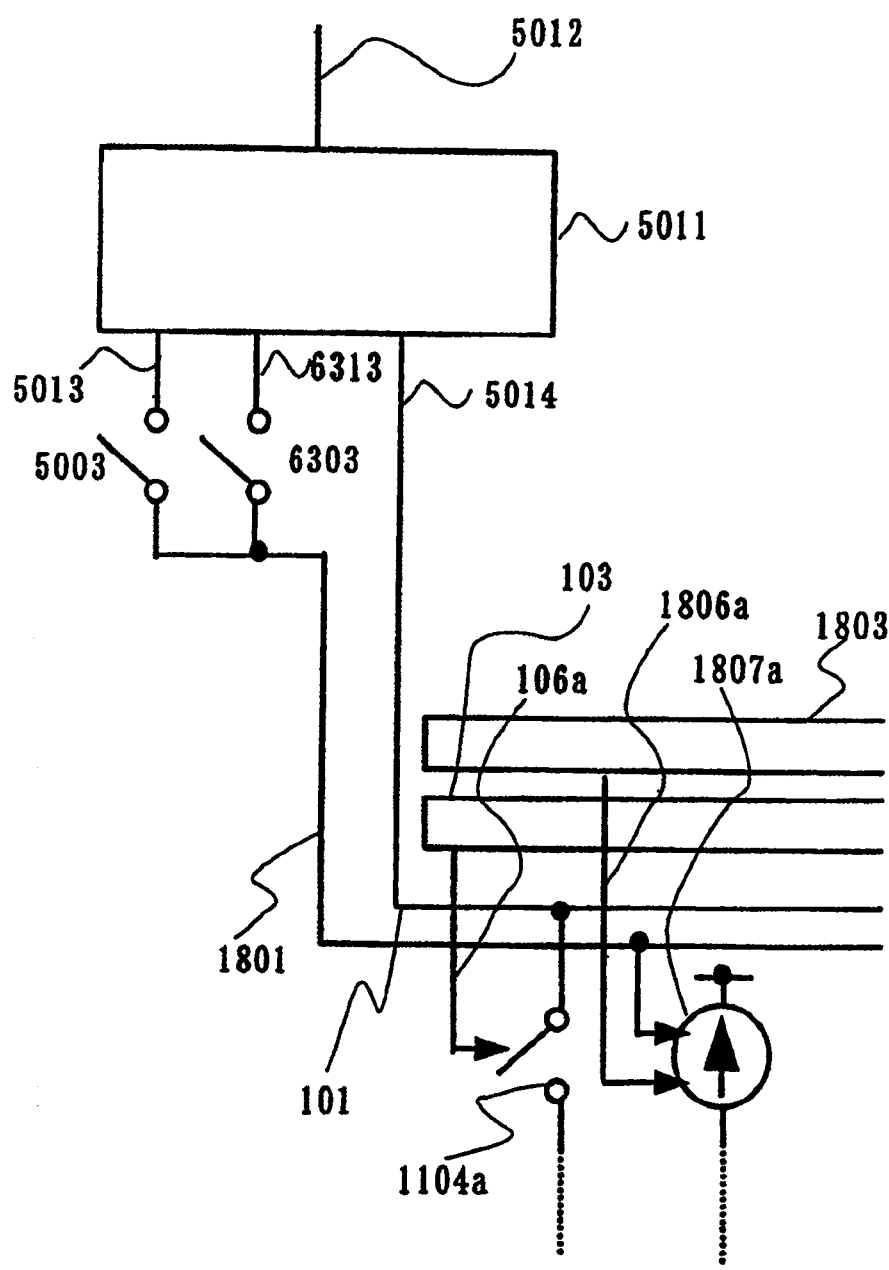


图 80

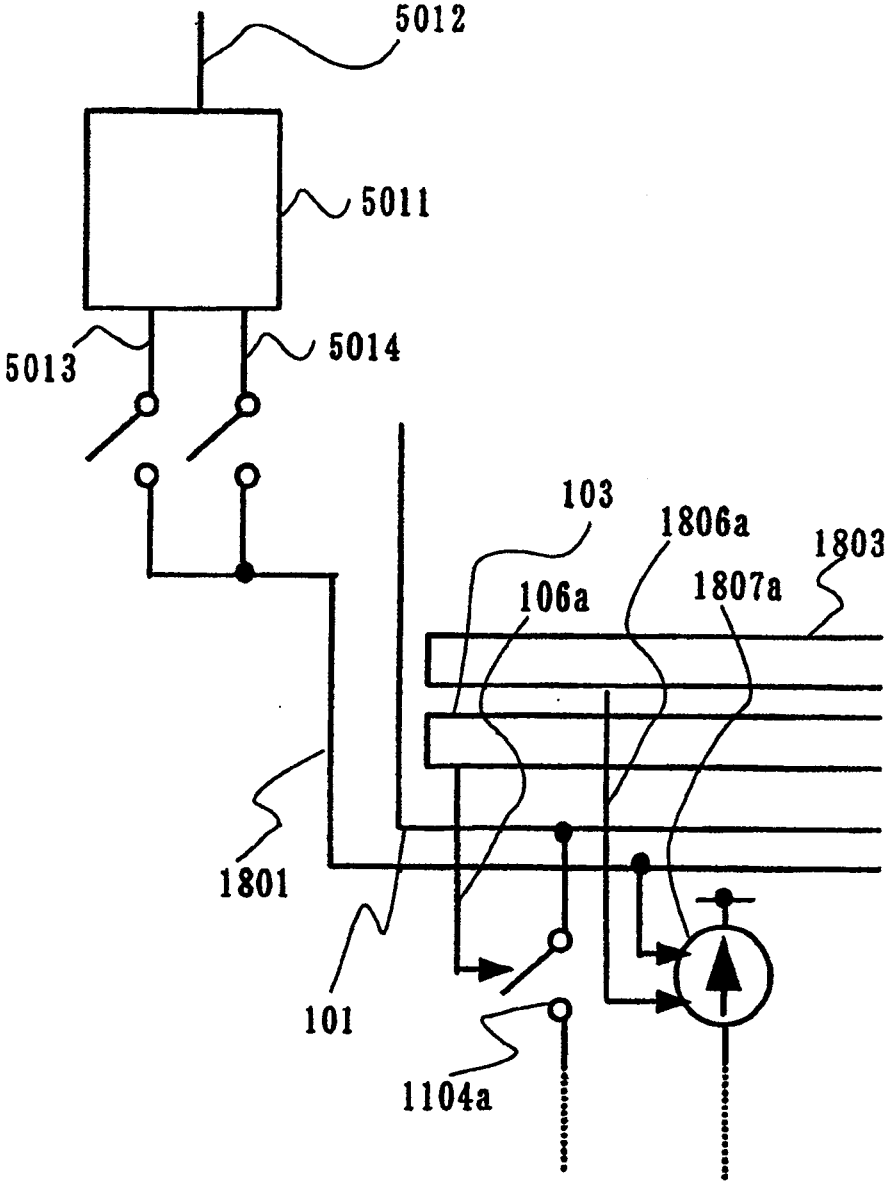


图 81

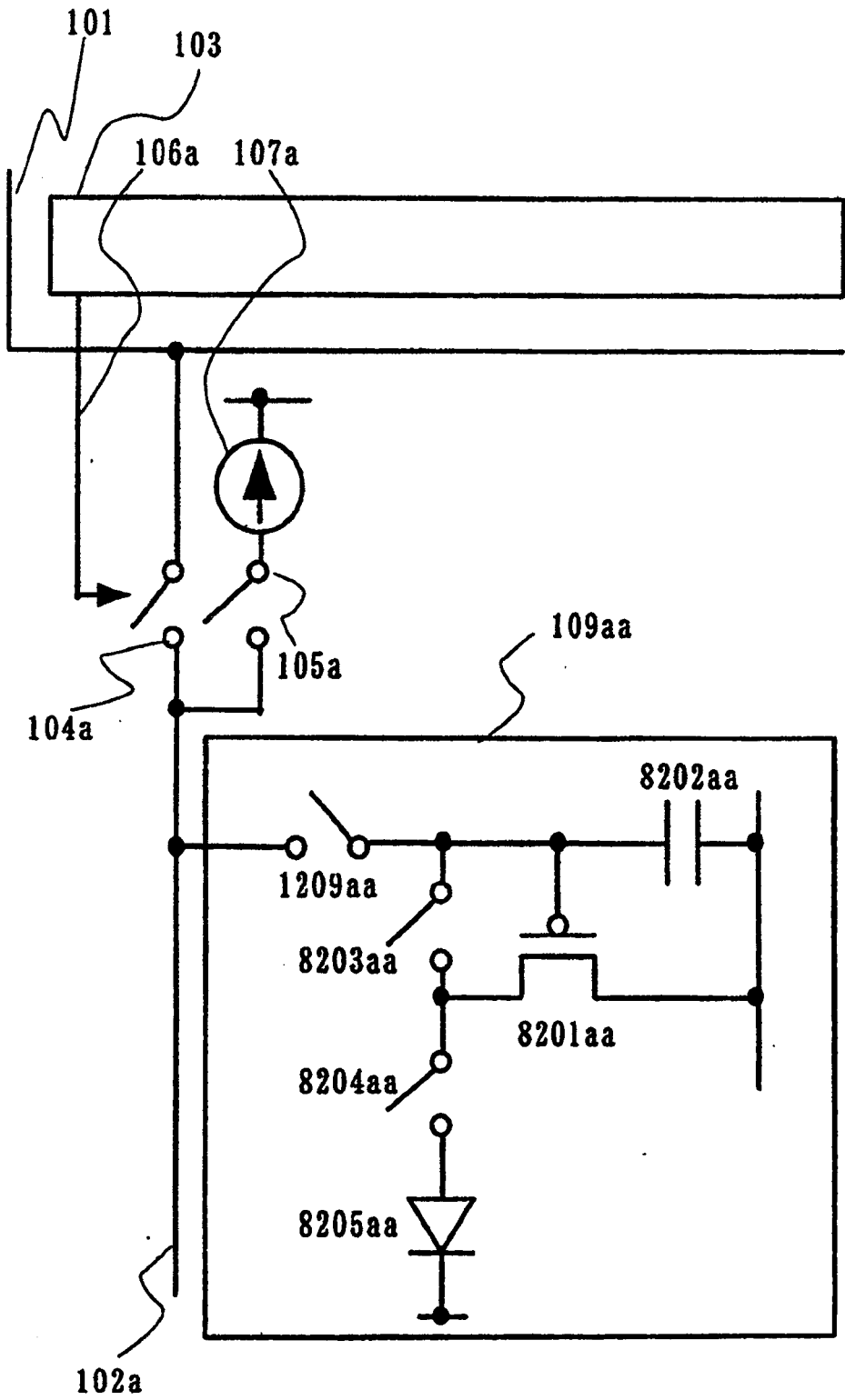


图 82

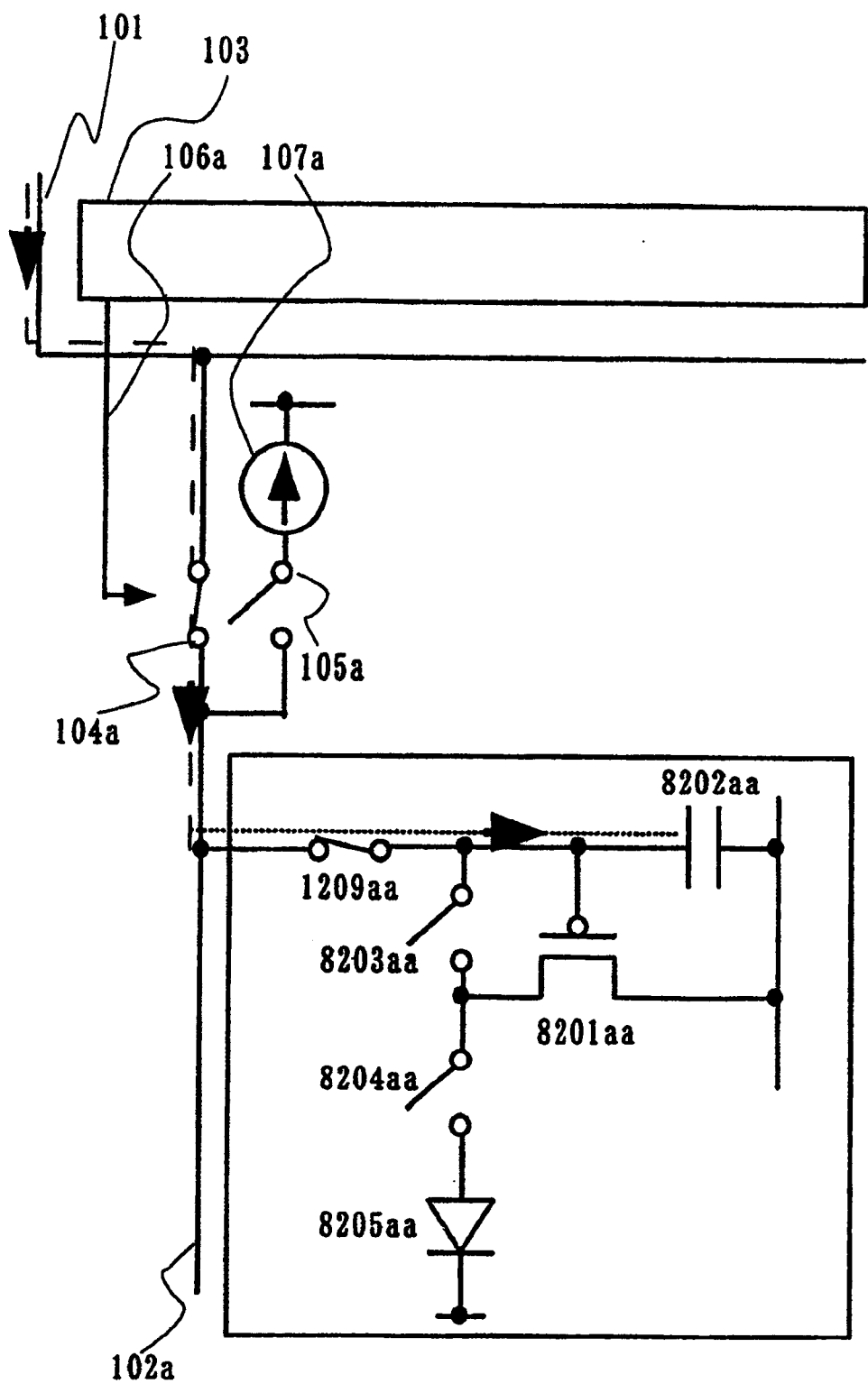


图 83

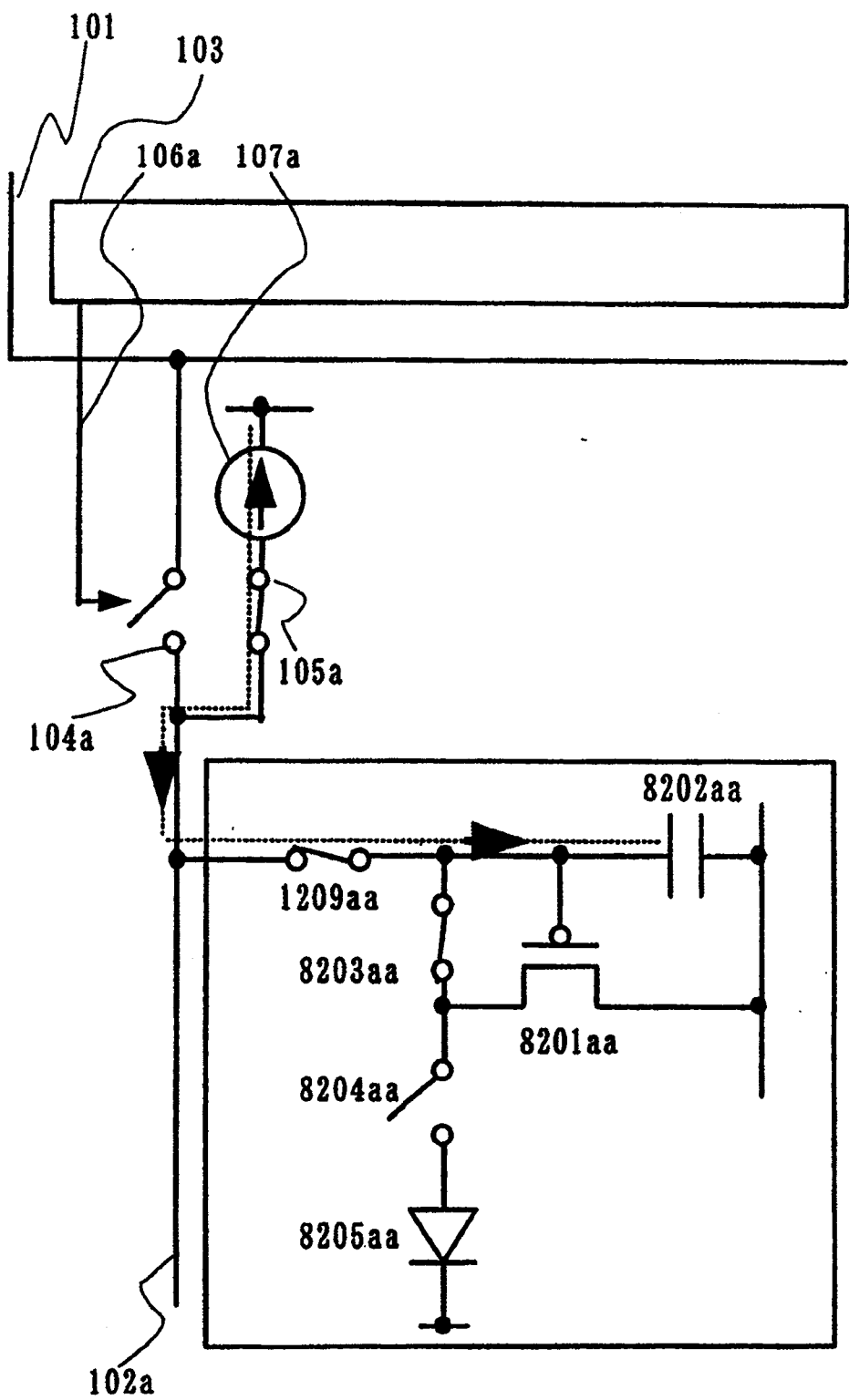


图 84

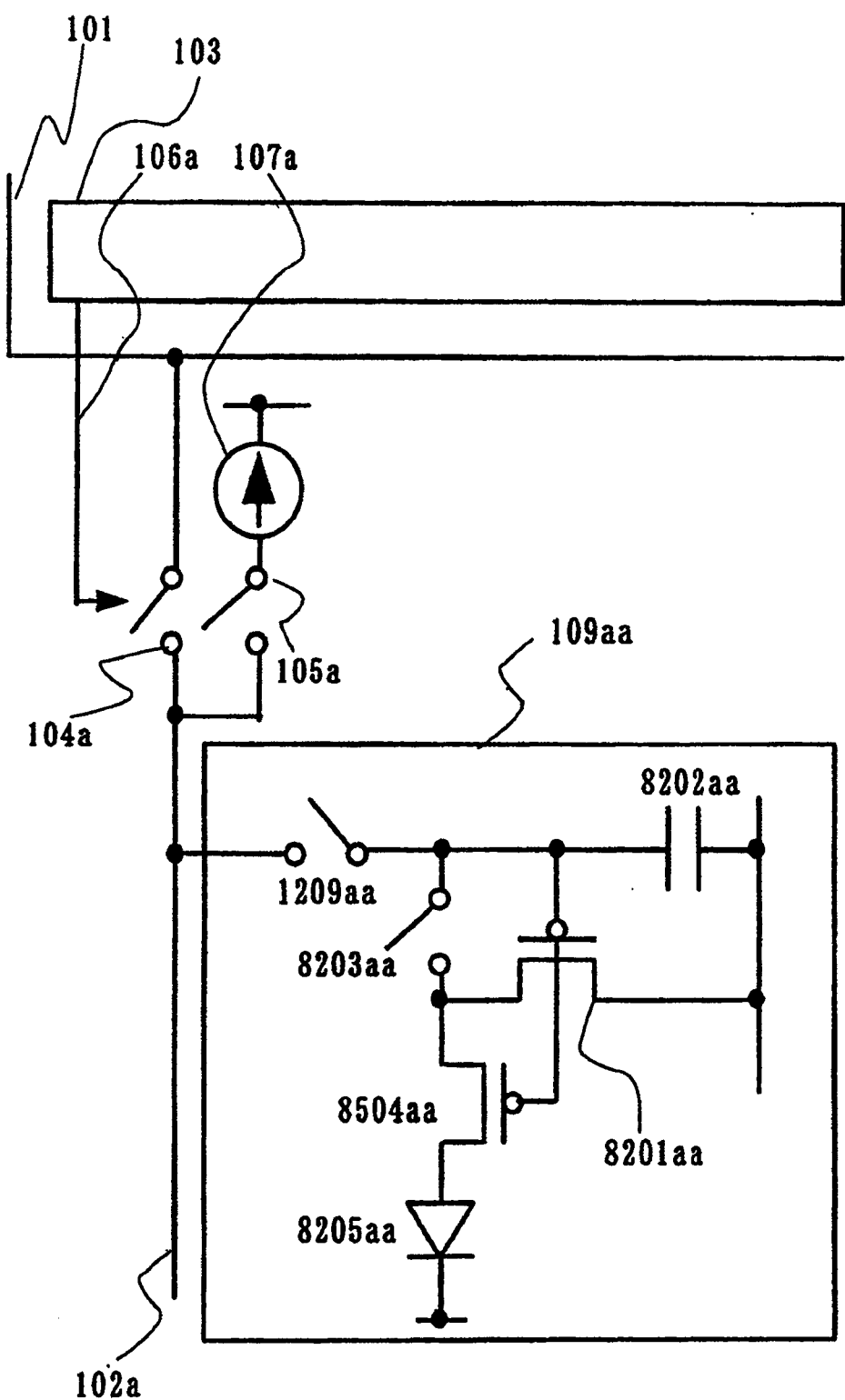


图 85

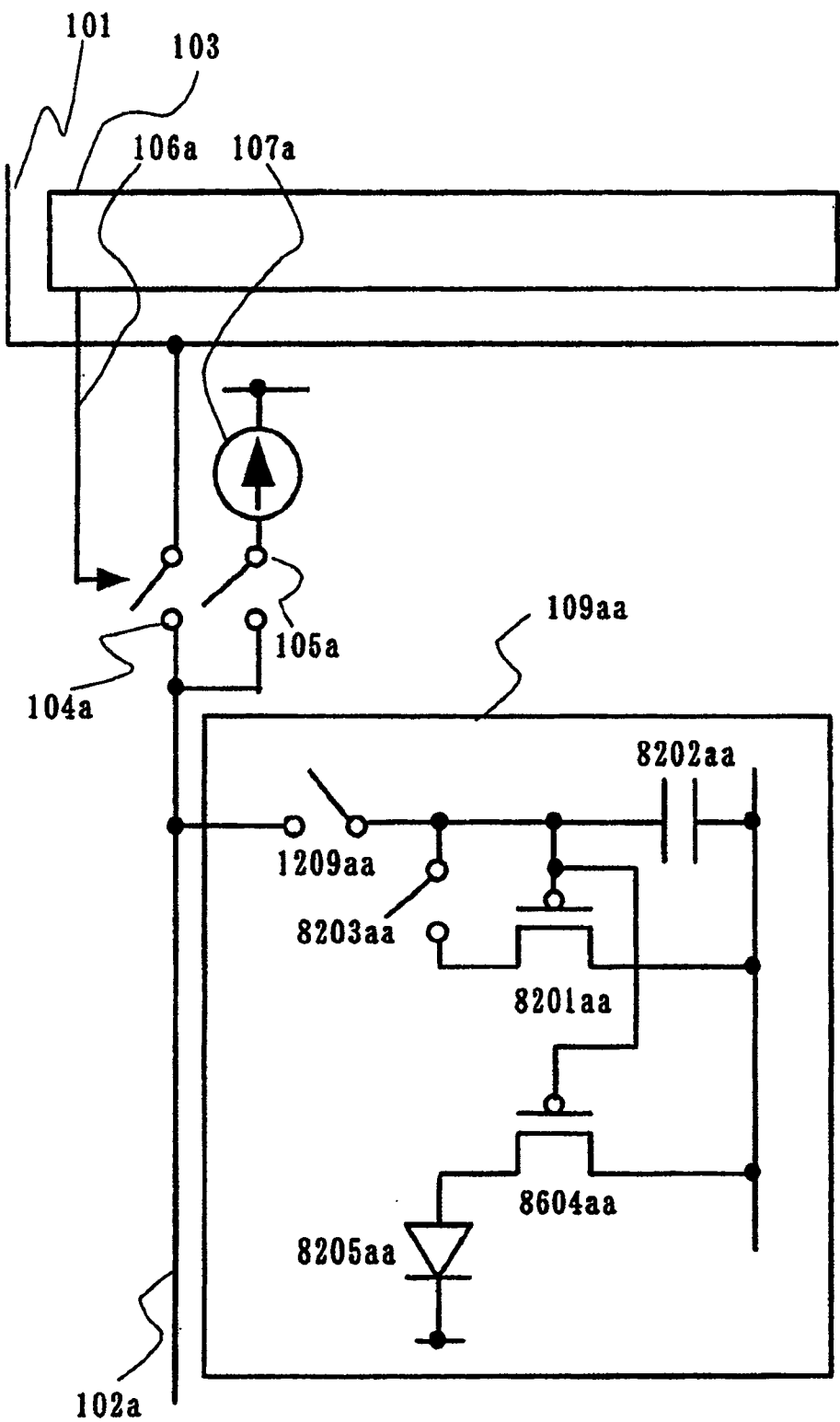


图 86

图 87A

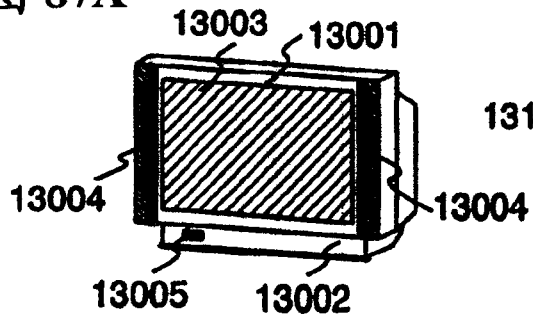


图 87B

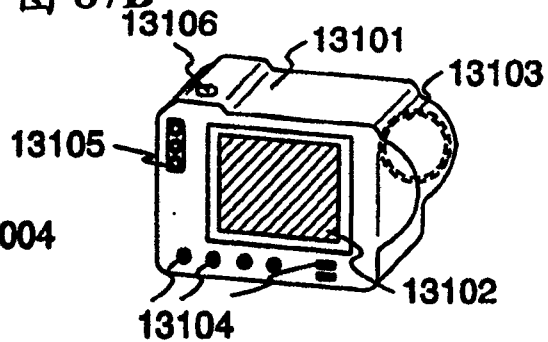


图 87C

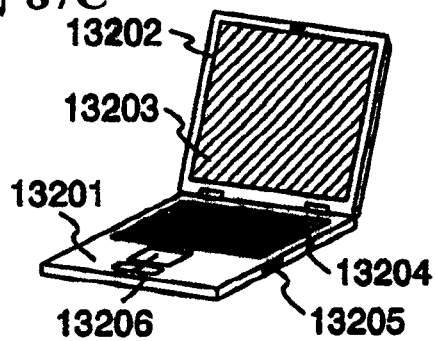


图 87D

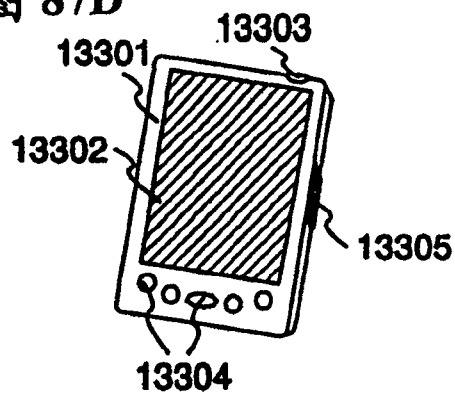


图 87E

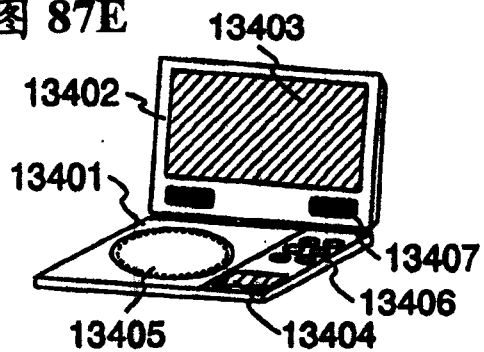


图 87F

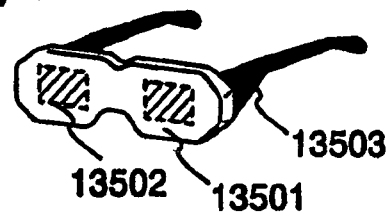


图 87G

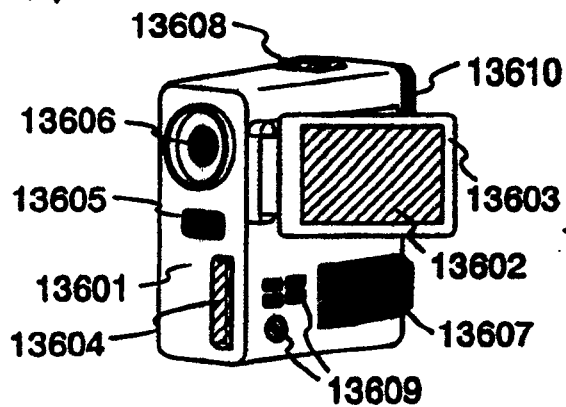
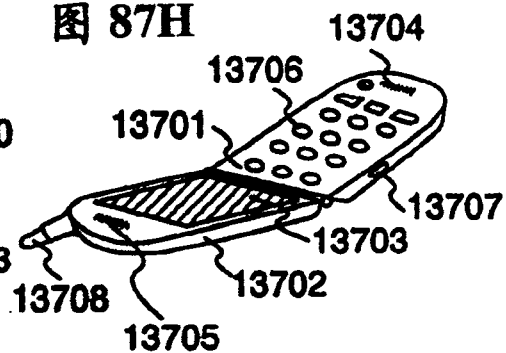


图 87H



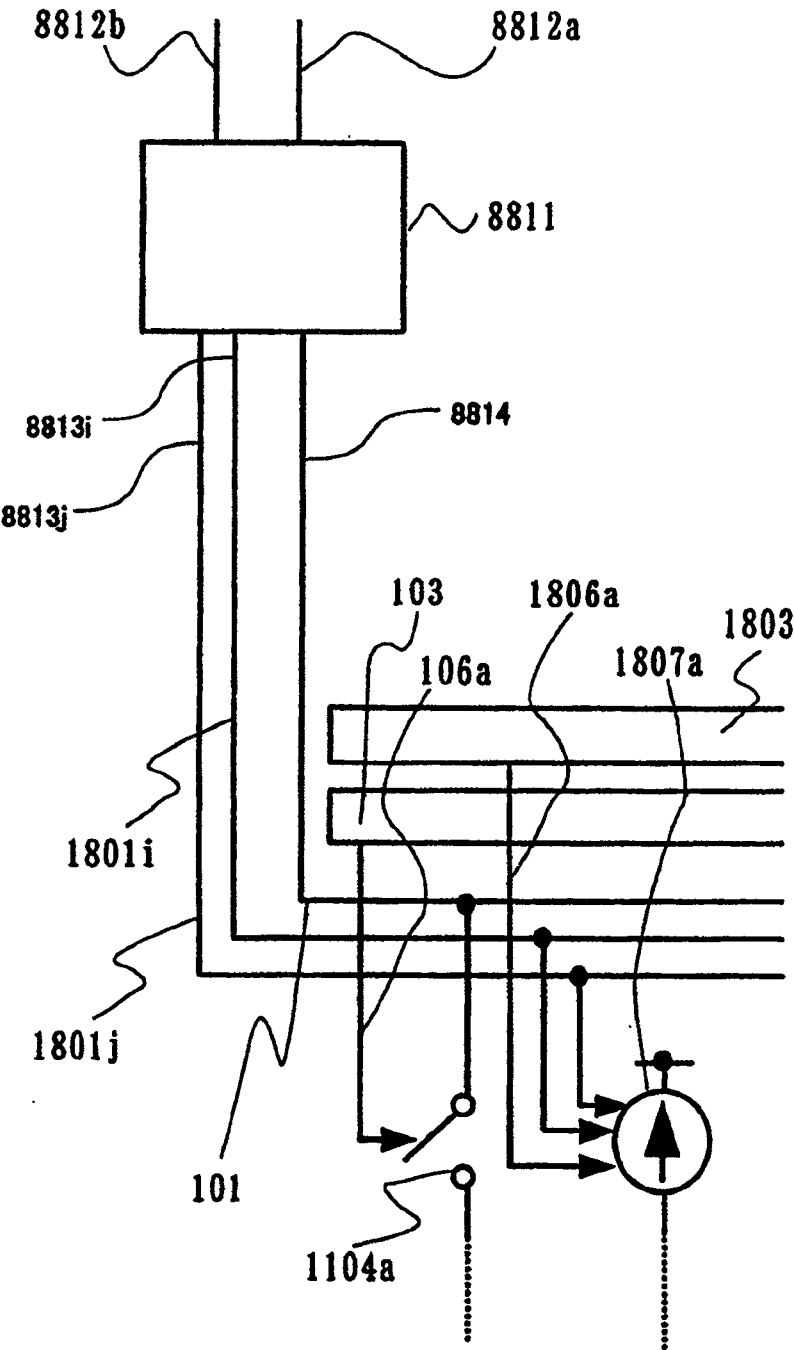


图 88

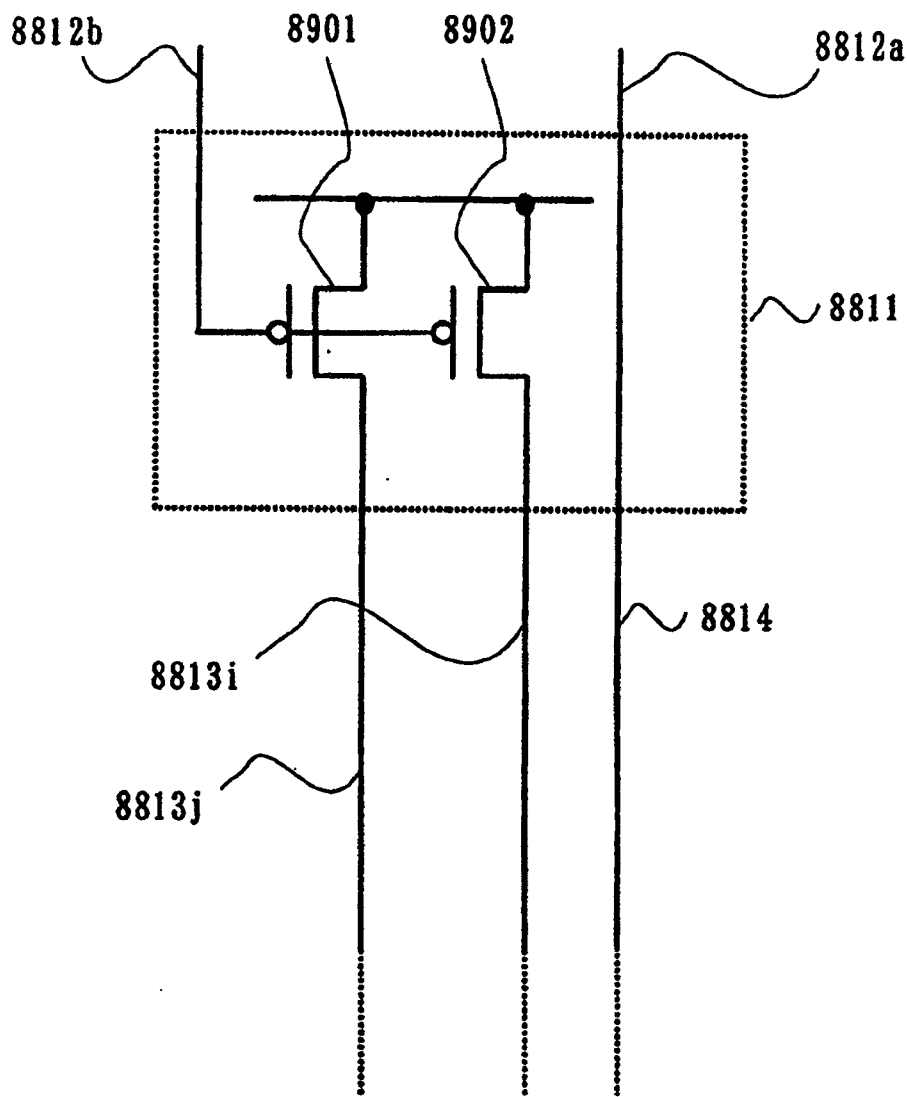


图 89