

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/8234 (2006.01)



[12] 发明专利说明书

专利号 ZL 02828948. X

[45] 授权公告日 2007 年 4 月 11 日

[11] 授权公告号 CN 1310314C

[22] 申请日 2002. 12. 17 [21] 申请号 02828948. X

[30] 优先权

[32] 2002. 5. 14 [33] US [31] 10/145,519

[86] 国际申请 PCT/US2002/040500 2002. 12. 17

[87] 国际公布 WO2003/098685 英 2003. 11. 27

[85] 进入国家阶段日期 2004. 11. 12

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 J·F·布勒 J·D·奇克

[56] 参考文献

US6251747B1 2001. 6. 26

US5576226A 1996. 11. 19

US5918116A 1999. 6. 29

US6091109A 2000. 7. 18

审查员 郭 强

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

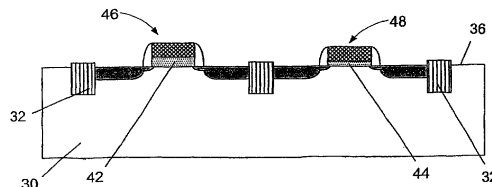
权利要求书 2 页 说明书 8 页 附图 4 页

[54] 发明名称

制造具有不同厚度的栅极绝缘层的晶体管的方法

[57] 摘要

于一种实施例中, 该方法包含于由硅所组成的基材(30)上形成材料牺牲层(34), 执行湿式蚀刻处理以移除该牺牲层(34), 于移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中, 以及执行热氧化处理以于该基材(30)上形成多个栅极绝缘层(42、44), 形成于该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)为厚。



1. 一种制造具有不同栅极绝缘厚度的晶体管的方法，包含：
在由硅所组成的基材(30)上形成牺牲层(34)；
执行湿式蚀刻处理以移除该牺牲层(34)；
于移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中；
以及
执行热氧化处理以于该基材上形成多个栅极绝缘层(42、44)，形成于该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)厚。
2. 如权利要求 1 所述的方法，其中在由硅所组成的基材(30)上形成牺牲层(34)的步骤包含在由硅所组成的基材(30)上形成由二氧化硅所组成的牺牲层(34)。
3. 如权利要求 1 所述的方法，其中由硅所组成的基材(30)上形成牺牲层(34)的步骤包含在由硅所组成的基材(30)上热成长由二氧化硅所组成的牺牲层(34)。
4. 如权利要求 1 所述的方法，其中执行湿式蚀刻处理以移除该牺牲层(34)的步骤包含执行氢氟酸稀释液湿式蚀刻处理以移除该牺牲层(34)。
5. 如权利要求 1 所述的方法，其中于移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中的步骤包含在移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中，该用以植入的氟原子为 5×10^{14} 至 5×10^{15} 离子/平方厘米的植入浓度。
6. 如权利要求 1 所述的方法，其中在移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中的步骤包含：
在该基材(30)上形成图案化的光阻材料层(38)；以及
利用该图案化的光阻材料层(38)作为掩模以在移除该牺牲层(34)后植入氟原子于该基材(30)所选择的部分中。

7. 如权利要求 1 所述的方法, 其中执行热氧化处理以在该基材(30)上形成多个栅极绝缘层(42、44), 形成在所述该基材(30)的植入氟原子所选择的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)较厚的步骤包含执行热氧化处理以于该基材(30)上形成多个栅极绝缘层(42、44), 形成在该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)厚, 该厚度的差异介于 0.1 至 1.0 纳米之间。

8. 如权利要求 1 所述的方法, 还包含于该多个栅极绝缘层的每一个栅极绝缘层上形成栅电极结构。

9. 如权利要求 1 所述的方法, 执行热氧化处理包含以摄氏 600 至 1000 度的温度执行该热氧化处理。

10. 一种制造具有不同栅极绝缘厚度的晶体管的方法, 包含:
在由硅所组成的基材(30)上形成由二氧化硅所组成的牺牲层(34);
执行氢氟酸稀释液湿式蚀刻处理以移除该牺牲层(34);
在移除该由二氧化硅所组成的牺牲层(34)后植入氟原子于该基材(30)所选择的部分中; 以及

执行热氧化处理以在该基材(30)上形成多个栅极绝缘层(42、44), 形成在该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成在该基材(30)未植入氟原子的部分上的栅极绝缘层(44)为厚。

11. 如权利要求 10 所述的方法, 其中执行热氧化处理以在该基材(30)上形成多个栅极绝缘层(42、44), 形成于该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)为厚的步骤包含执行热氧化处理以于该基材 30 上形成多个栅极绝缘层(42、44), 形成于该基材(30)所选择植入氟原子的部分上的栅极绝缘层(42)的厚度较形成于该基材(30)未植入氟原子的部分上的栅极绝缘层(44)为厚, 该厚度的差异介于 0.1 至 1.0 纳米之间。

制造具有不同厚度的栅极绝缘层的晶体管的方法

技术领域

本发明大体上有关于半导体制造技术，更详而言之，有关于制造具有不同厚度的栅极绝缘层的晶体管的方法。

背景技术

现今半导体工业所不断追求的便是增加如微处理器、记忆装置等等集成电路装置的运行速度。此种追求会因为消费者对于逐渐增加运行速度的计算机与电子装置的需求而加剧。对于速度的需求已导致如晶体管等半导体装置持续的缩小。亦即，典型的场效应晶体管（FET）中的许多构件，如沟道长度、结深度、栅极绝缘厚度等等均被缩小。举例而言，在所有构件都相同的情况下晶体管的沟道长度愈小则晶体管的运行速度愈快。因此，不断的追求典型的晶体管的构件的尺寸大小的缩小以增加该晶体管以及结合该晶体管的集成电路装置的整体运行速度。

于现有技术中，第1图显示于晶元或基材11上所制造的例示晶体管10。该晶体管10包含栅极绝缘层14、栅电极16、侧壁间隔19、以及源极/漏极区域18。该栅电极16具有临界尺寸（栅极长度）16A。于该基材11中还形成有沟道隔离区域17。于第1图中还包括形成于绝缘材料层21中的多个导电接点15。该导电接点15提供与该源极/漏极区域18的电性连接。如前述的结构，该晶体管10于该栅极绝缘层14下的基材11中定义有沟道区域12。该基材11中通常掺杂适当的掺杂材料，例如于NMOS装置中掺杂有如硼或氟化硼（boron difluoride）等P型掺杂物，或于PMOS装置中掺杂有如砷或磷的N型掺杂物。

为求增加现代集成电路装置的工作特性，该栅极绝缘层14典型的包含氧化硅，其厚度可介于2.0至2.5纳米（20至25埃）间，且预计未来将会更薄。该薄栅极绝缘层14提供较高的晶体管驱动电流以及较快的晶体管切换速度。然而，降低该栅极绝缘层14的厚度至前述的程

度时会致生其它的问题。举例而言，在某些现代的集成电路装置的操作电压下，会产生栅极电流，亦即介于该基材 11 与栅电极 16 间的电流。于某种程度上，因此种栅极电流的故，对于减少厚度的栅极绝缘层 14 而言，会限制其达到电性隔离该栅电极 16 的预设目的。此栅极电流对于该晶体管 10 电力损耗以及组件漏电流(off-state leakage current)的增加。

然而，于许多如微处理器、特殊应用集成电路（ASIC）等等的现代的集成电路中，前述极薄的栅极绝缘层 14 的结构并非于集成电路产品中的所有电路均会要求。举例而言，在微处理器方面，于微处理器上的某些电路并非与整体装置的切换速度相关的“关键通路”（critical path）的一部分。于其它的情况中，基于其它的原因于该微处理器上的某电路需要增加栅极厚度。对于作为与外部装置沟通的接口的多种输入/输出电路而言，其需要较厚的栅极绝缘层 14 以确保栅极电流不会过度的高。如同另一例中，某些电路会占据于集成电路上大量的规划空间，然而，该些电路并非与该集成电路装置的工作频率相关的关键通路的一部分。举例而言，于微处理器中，可能会有许多的解耦电容电路，该些解耦电容电路会占据于集成电路上大量的绘图空间，就效能而言该些解耦电容电路并非该处理器的关键通路的一部分。于此情况下，若该些解耦电容电路由极薄的栅极绝缘层所组成者，该些解耦电容电路会不必要的为该整体装置增加栅极电流并导致前述的某些问题。

因此，于某些现代的集成电路装置中，制造者已开始针对集成电路装置中不同的电路而形成具有不同栅极绝缘厚度的晶体管，即通称为双栅极氧化物电路，三栅极氧化物电路。亦即，就至少部分电路而言，某些晶体管 10 的栅极绝缘层 14 所形成的厚度非常薄，而该集成电路装置的少数关键电路中的其它晶体管则具有较厚的栅极绝缘层 14。请参阅第 2 图，举例而言，第一晶体管 22 具有相对厚的栅极绝缘层 22A，而第二晶体管 24 则具有相对薄的栅极绝缘层 24A。于第 2 图中所显示的栅极绝缘层 22A、24A 相对厚度为清楚说明的故而予以放大。如图所示，就效能而言该晶体管 24 可形成该集成电路装置的关键通路的一部分，而该晶体管 22 则非该关键通路的一部分，提供相对厚的栅极绝

缘层 22A 予该晶体管 22 可能有其它的重要性，亦即，该栅极绝缘层 22A 可作为该集成电路装置输入/输出电路的 1 部分。

用以形成第 2 图中所示的晶体管 22、24 的 1 种例示的制造流程如下。首先，形成该沟道隔离区域 17 于该基材 11 中。其次，于该基材 11 的表面上沉积或热成长牺牲氧化物层（未图标）。接着，于该基材 11 上形成光阻图案层（未图标）。该光阻图案层用以曝露该基材 11 的选择的部分，该选择的部分用以形成如第 2 图中晶体管 22 的具有增加的栅极绝缘厚度的晶体管。于该掩模层形成后，执行离子植入程序以通过该牺牲氧化物层植入氟原子至该基材 11 透过该图案化掩模层所曝露出的部分中。再者，移除该图案化光阻掩模层。接着，利用湿式蚀刻处理，典型可为利用氢氟酸（HF acid）的湿式蚀刻处理，以移除该牺牲氧化物层并于该晶体管装置 22、24 上形成栅极绝缘层 22A、24A 之前大致上的清洁该基材 11。之后，执行热氧化处理以形成如第 2 图中所示的栅极绝缘层 22A、24A。由于所植入的氟原子增强该硅基材 11 的氧化率，因此形成于植入有氟原子的基材 11 的区域中的栅极绝缘层的厚度较厚。于该栅极绝缘层 22A、24A 形成后，可继续执行现有的工艺以形成该晶体管 22、24。

不幸的是，前述所提及的工艺并不是没有问题。举例而言，于蚀刻处理过程中，亦即前述用以移除该牺牲氧化物层的氢氟酸蚀刻处理过程中，事先曝露于氟植入程序（其通过该牺牲氧化物层予以执行）的沟道隔离区域 17 的蚀刻速率较未曝露于氟植入程序的沟道隔离区域 17 为快。据此，如第 2 图所示，植入有氟的隔离区域 17，亦即，与该晶体管 22 相结合的隔离区域，于用以移除该牺牲氧化物层的湿式蚀刻处理过程中会有过度蚀刻的趋势。据此，会曝露出邻接于该受影响的隔离区域 17 的基材 11 的部分 23。该基材 11 所曝露出的部分于许多局面会产生问题，例如会导致装置的效能降低。

本发明的方法其目的在于解决或至少减少部分或全部的前述问题。

发明内容

本发明大体上关于一种制造具有不同栅极绝缘厚度的晶体管的方法。于一实施例中，该方法包含于在由硅所组成的基材上形成材料牺

牺牲层，执行湿式蚀刻处理以移除该牺牲层，在移除该牺牲层后植入氟原子于该基材所选择的部分中，以及执行热氧化处理以在该基材上形成多个栅极绝缘层，形成于该基材所选择植入氟原子的部分上的栅极绝缘层的厚度较形成于该基材未植入氟原子的部分上的栅极绝缘层为厚。

附图说明

透过前述伴随图式的详细说明将更了解本发明的内容，于该图式中相同的组件符号用以表示相同的组件，该图式包括：

第 1 图为现有形成于基材上的半导体装置的断面图；

第 2 图为透过现有技术所形成具有多个不同厚度的栅极绝缘层的晶体管的基材的断面图；

第 3A 至 3F 图为依据本发明的实施例的多个断面图；以及

第 4A 至 4B 图为指出本发明所达成效果的多种测试资料的数据图。

本发明容许多种的修饰或替换。特定的实施例将透过图式于本说明书中予以详细说明，然而，需了解的是，于本说明书中所揭露的特定实施例并非用以限定本发明于特定的型态中，相反的，所有的修饰、等效变更以及替换均为权利要求书中所定义的本发明的精神与范围所涵盖。

具体实施方式

本发明的实施例将揭露如下。为求明确，于本说明书中不会将实际实施时的所有特征全部揭露。当然，须注意的是于任何实际实施例的发展中，为达到研发者的特定目的多数的实施特性必须予以决定，例如为屈就与系统相关或与商业相关的限制等，如此将会从一种实施方式改变到另外一种实施方式。此外，须注意的是，此种研发式复杂且耗时的，但对于本领域技术人员而言却是例行公事。

本发明将伴随着所附图式说明于下。尽管于该些图式中所示的半导体装置的不同区域与结构具有非常精确的形状结构或轮廓，本领域技术人员应了解到该些区域与结构实际上并非如同图标般的精确。此外，于图中所示的不同特征与掺杂区域的相对尺寸在与所制造的装置

上的该些特征或区域的尺寸比较后可予以放大或缩小。然而，所附的该些图式将一并之用以描述与阐释本发明例式的实施例。此处的用字遣辞应被了解并解释为本领域技术人员所能够理解的用字遣辞的意义。未特别定义的术语或用语，亦即不同于本领域技术人员所现有与惯用的意义，将透过本文中一致的术语或用语予以解释。因此当术语或用语具有特定的意义，亦即不同于本领域技术人员所理解时，如此的特别定义将会透过直接且明确提供针对该术语或用语定义的定义方式明确提出于说明书中。

大体上，本发明有关于一种制造具有不同栅极绝缘厚度的晶体管的方法。尽管本发明以 NMOS 的架构作为初步的说明，然而熟习此项技术的人士应于完整的阅读本发明的说明书后将了解到本发明并不以此为限。更具体而言，本发明可以利用于相关的各种不同技术中，如 NMOS、PMOS、CMOS 等等，且可应用于各种不同类型的装置中，如内存装置、微处理器、逻辑装置等等。本发明还可应用于形成集成电路装置于绝缘层上覆硅基材上的工艺中。

如第 3A 图所示，多个隔离区域 32 形成于半导体基材 30 中，而牺牲层 34 则形成于该基材 30 的表面 36 上。于第 3A 图所示的步骤前，可执行各种井 (well) 植入以及退火处理以形成所需要的井 (若有的话) 于该基材 30 中以形成 NMOS 与 PMOS 装置，亦即 CMOS 应用。该隔离区域 32 可透过多种现有技术予以形成。举例而言，可于该基材 30 中形成多个沟道接着再填入如二氧化硅 (Silicon Dioxide) 等绝缘材料。同样的，该牺牲层 34 可包含如二氧化硅等材料，该牺牲层 34 的厚度大约介于 10 至 20 纳米 (100 至 200 埃) 间，且可透过如沉积、热成长等现有技术予以形成。

其次，如第 3B 图所示，执行湿式蚀刻处理以移除该牺牲层 34 并于该所有装置形成栅极绝缘层前清洁该基材 30 的表面 36。此湿式蚀刻处理可利用如浓度大约为 10:1 的氢氟酸稀释液等予以执行。

接着，如第 3C 图所示，光阻 38 的图案化层 (可为正向或负向材料) 形成于该基材 30 的表面 36 上。该光阻 38 的图案化层具有多个开孔 39，透过该开孔 39 该基材 30 的多个区域将为后续的工艺而曝露于外。接着执行如箭头 40 所示的离子植入程序以植入氟原子至藉由该图

案化的掩模层 38 所曝露出的基材 30 的多个部份中。植入该氟原子区域的氟原子植入剂的浓度可依据形成于该基材 30 上所欲形成的栅极绝缘层厚度而定。一般而言，离子植入程序 40 可利用大约 5E^{14} 至 5E^{15} 离子/平方厘米的植入浓度予以执行。如区域 33 所示，离子植入程序致使氟原子植入于该基材 30 中。需特别注意的是，此离子植入程序 40 在透过如氢氟酸稀释液蚀刻程序等湿式蚀刻或移除程序而移除该牺牲层 34 后予以执行。

再者，如第 3D 图所示，已移除该光阻 38 的图案化层并清洁该基材 30 的表面 36。该光阻材料的移除可于透过硫酸稀释液执行清洁程序后，利用如氧等离子去光阻（oxygen plasma ashing）程序等技术予以执行。须特别注意者，于此所述的本发明流程中，该牺牲层 34 于该氟植入步骤 40 前予以移除，该氟原子植入该基材 30 曝露出的部分以及曝露出的隔离结构 32 中。相较于现有的处理流程，该牺牲层 34 于该隔离区域曝露于该氟植入程序之后予以移除，此程序导致受影响的隔离区域（植入有氟的区域）呈现增加的蚀刻速率。由于本发明的新颖程序，该隔离区域 32 的完整性将会得到较佳的维持，且可避免邻接于该隔离区域 32 的基材 30 的部分不良的曝露。亦即，本发明可用以减少或消除如第 2 图中所示的基材暴露部分 23。

接着，如第 3E 图所示，以大约摄氏 600 至 1000 度的温度执行热氧化处理藉以形成如第 3E 图所示的栅极绝缘层 42、44。该栅极绝缘层 42 具有大约介于 0.1 至 1.0 纳米（1 至 10 埃）间而较栅极绝缘层 44 为厚的厚度。该栅极绝缘层 42 所增加的厚度因为于前述的植入程序 40 中所植入的氟原子存在的故。该栅极绝缘层 42、44 厚度的差异可取决植入于至该基材 30 中的氟的数量。一般而言，于植入程序 40 中植入该基材 30 中的氟愈多，则该栅极绝缘层 42 与该栅极绝缘层 44 间的厚度差异愈大。于一实施例中，该栅极绝缘层 42 可具有大约介于 2.1 至 3.0 纳米（21 至 31 埃）间，而该栅极绝缘层 44 则具有大约介于 2.0 至 2.5 纳米（20 至 25 埃）间。

之后，如第 3F 图所示，执行额外的程序以完成该晶体管 46 与 48 的结构。该程序包括栅电极、侧壁间隔以及源极/漏极区域的形成。须特别注意者，透过前述本发明的流程，邻接植入有氟原子的基材 30 的

区域的隔离区域的完整性可予以维持。亦即，因为于该氟植入程序 40 前将该牺牲层 34 移除之故，该隔离区域的蚀刻速率不会被在该隔离区域曝露在如氢氟酸蚀刻程序等相对具侵略性用以移除该牺牲层 34 的湿式蚀刻程序中之前植入氟于该隔离区域中而增加。据此，该隔离区域的完整性可予以维持。

第 4A 至 4B 图显示本发明所达成效果的多种测试资料的数据图。第 4A 图为寄生场（parasitic field）晶体管临界电压的数据图。第 4B 图为用于主动/STI 边缘栅极氧化物电容的栅极电流的数据图。于该二数据图中均具有三条线，线 50 表示依据本说明书中的先前技术所形成的装置的数据。亦即，线 50 表示于该装置中隔离区域曝露于氟植入程序中并接着曝露于蚀刻程序中。线 52 相应于揭露于此依据本发明的方法所形成的装置。线 54 则用以显示未执行氟植入的装置。

于第 4A 图中，该寄生场晶体管的临界电压愈高愈好。如第 4A 图所示，依据现有技术所形成的装置针对取样范围的临界电压中间值 56 大约为 9.2 伏特（线 50）；依据本发明所形成的装置的临界电压中间值 56 大约为 10.8 伏特（线 52）；未执行双栅极氧化物植入步骤的装置的临界电压中间值 56 大约为 11.2 伏特（线 54）。相较于线 50（现有）线 52（本发明）呈现相对高的临界电压，此表示透过本发明的应用，利用于此所揭露用以形成双栅极结构的程序可减少该隔离区域的损耗或侵蚀。

同样的，相较于依据现有流程所形成的装置，依据本发明所形成的装置该主动/STI 边缘栅极氧化物电容的栅极电流的中间值 56 较低。亦即，如第 4B 图所示，依据本发明所形成的装置的栅极电流的中间值 56（线 52）大约为 $1e^{-4}$ 安培/平方厘米，而现有程序的栅极电流（线 50）大约为 0.13 安培/平方厘米。如图所示非双栅极装置的栅极电流（线 54）硅略小于 $1e^{-3}$ 安培/平方厘米。因此，透过本发明的应用，该不期望的主动/STI 边缘电容的栅极电流要低于依据现有流程所形成的装置的栅极电流。此是因为利用揭露于此用以形成双栅极氧化物的本发明流程而减少该隔离区域侵蚀之故。

本发明大体上关于一种制造具有不同栅极绝缘厚度的晶体管的方法。于一实施例中，该方法包含于由硅所组成的基材上形成材料牺牲

层，执行湿式蚀刻处理以移除该牺牲层，于移除该牺牲层后植入氟原子于该基材所选择的部分中，以及执行热氧化处理以于该基材上形成多个栅极绝缘层，形成于该基材所选择植入氟原子的部分上的栅极绝缘层的厚度较形成于该基材未植入氟原子的部分上的栅极绝缘层为厚。

上述实施例仅为例示性说明本发明的原理及其功效，而非用于限制本发明。本领域技术人员均可在不违背本发明的精神及范畴下，对上述实施例进行修饰与变化。举例而言，前述的流程步骤可以不同的顺序予以执行。再者，除后述的权利要求书之外本发明并不限制于此处所揭露的详细结构或设计。因此，本发明的权利保护范围，应如后述的权利要求书所列。

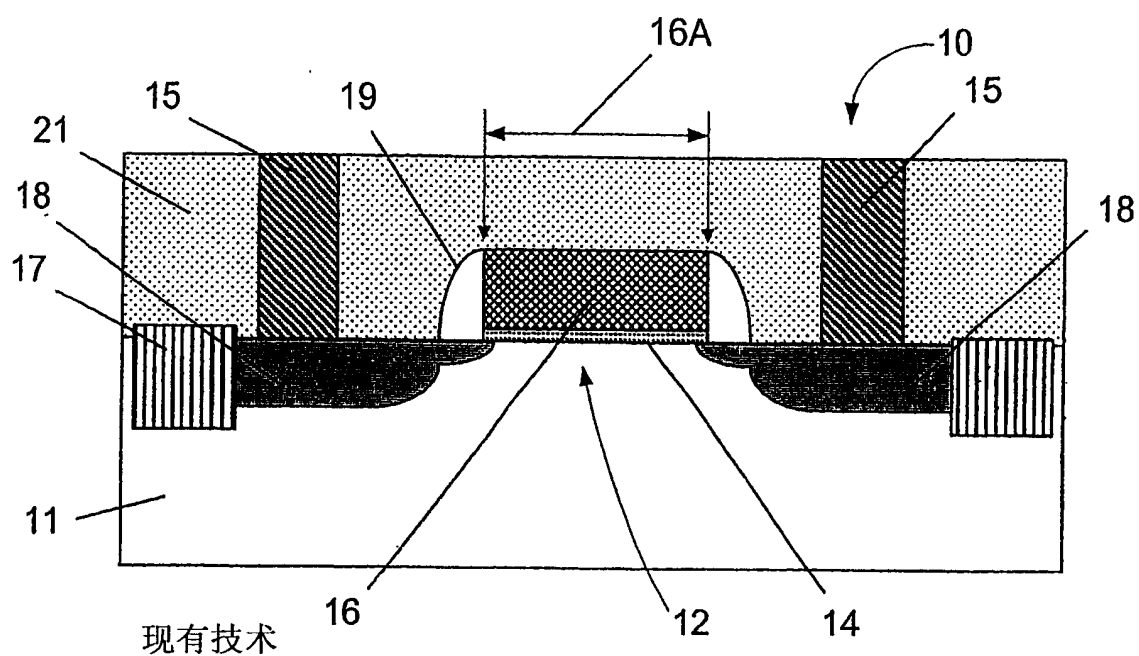


图1

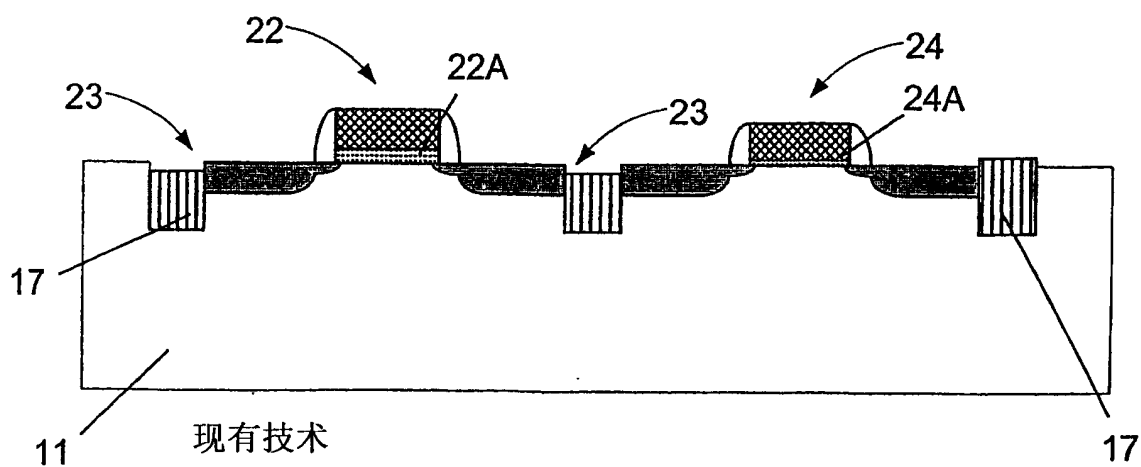
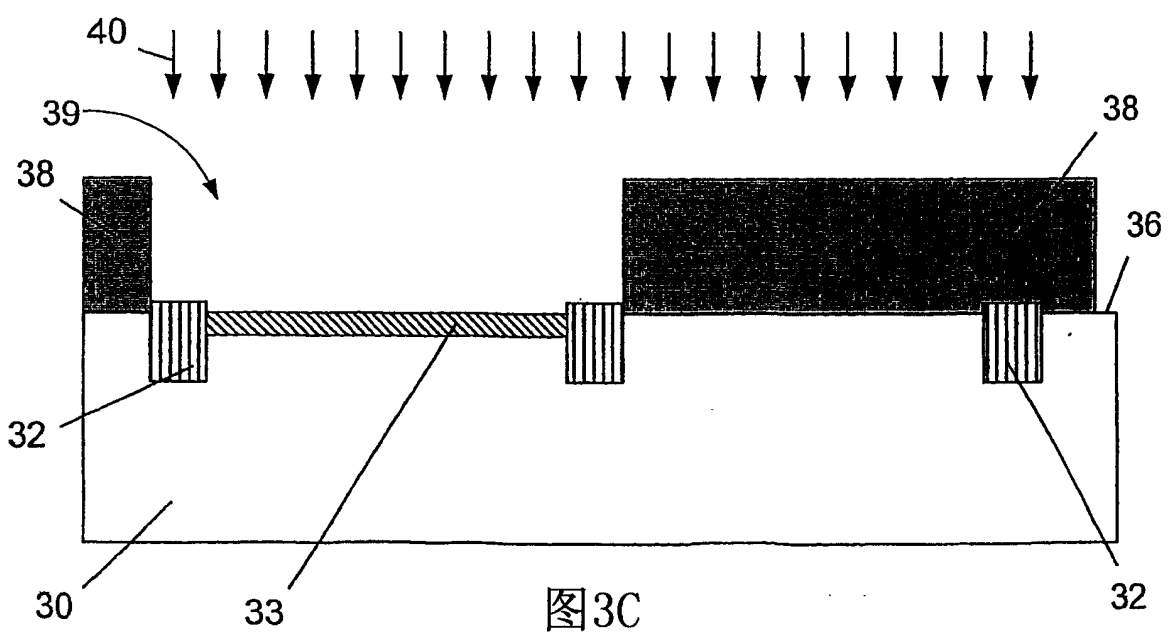
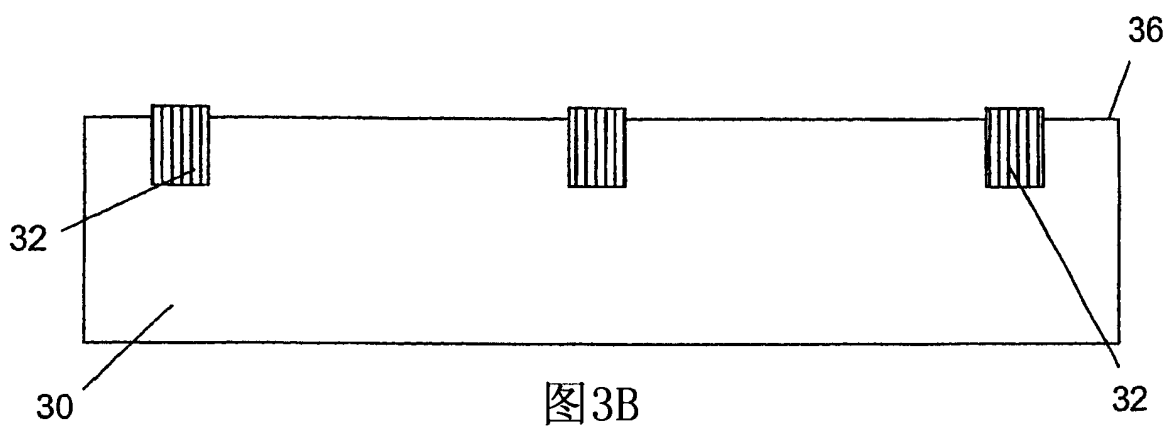
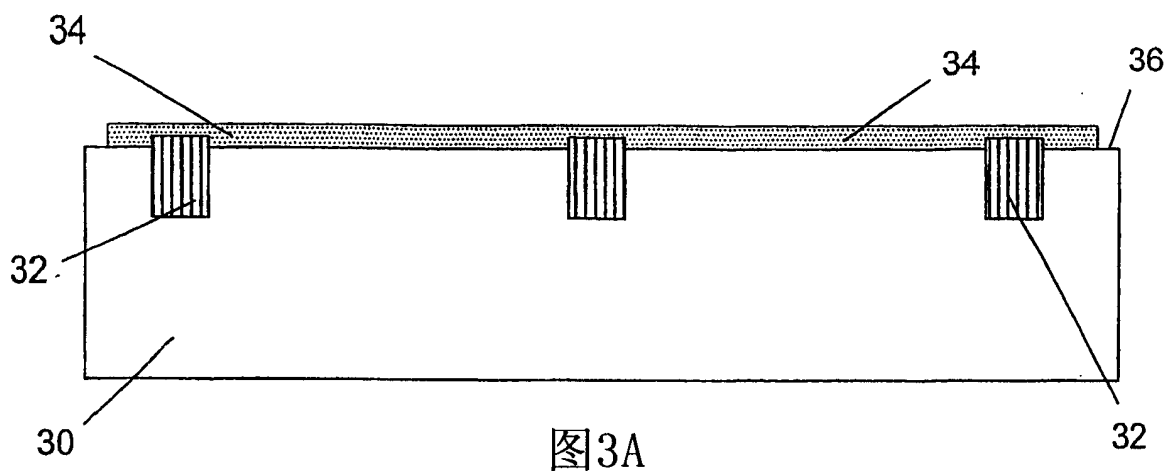
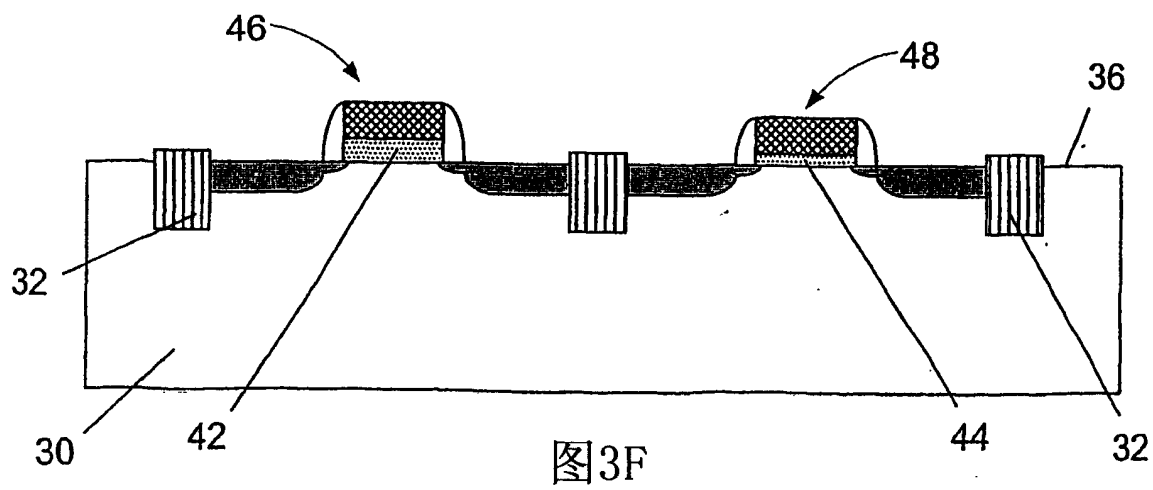
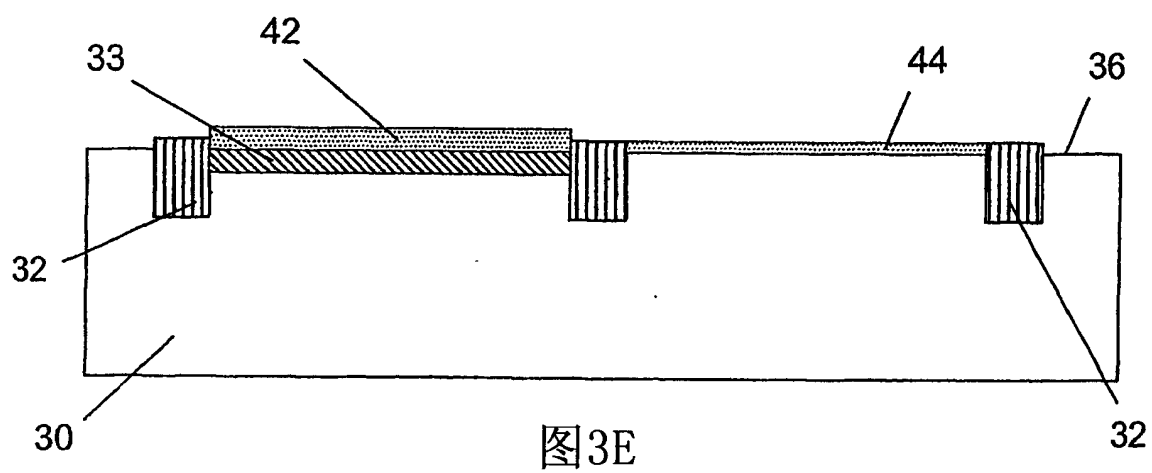
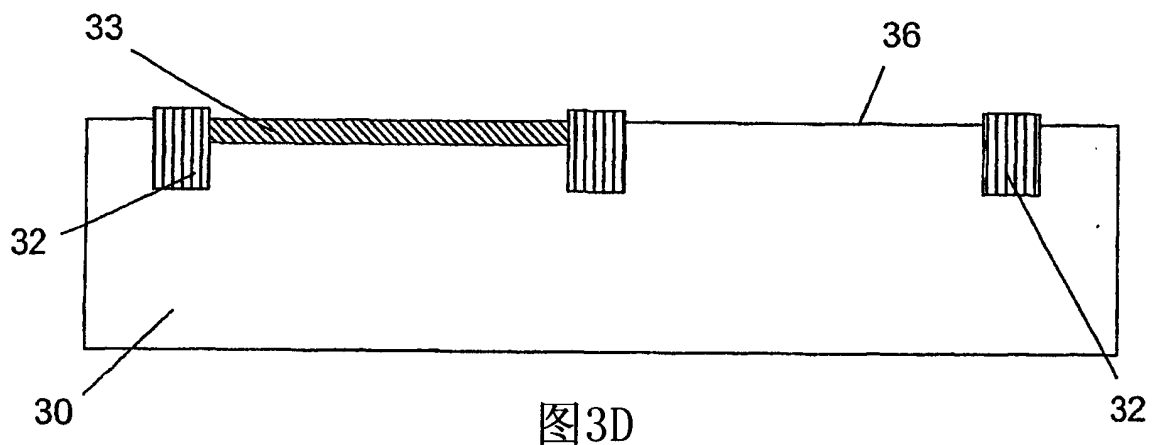


图2





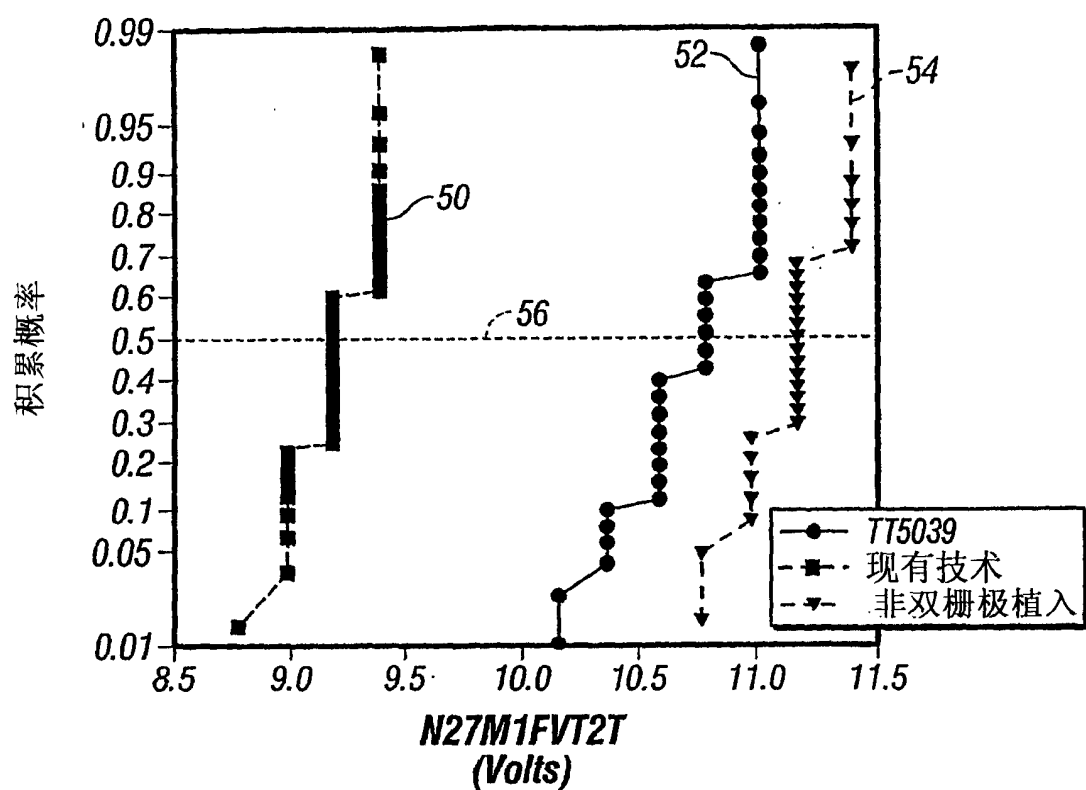


图4A

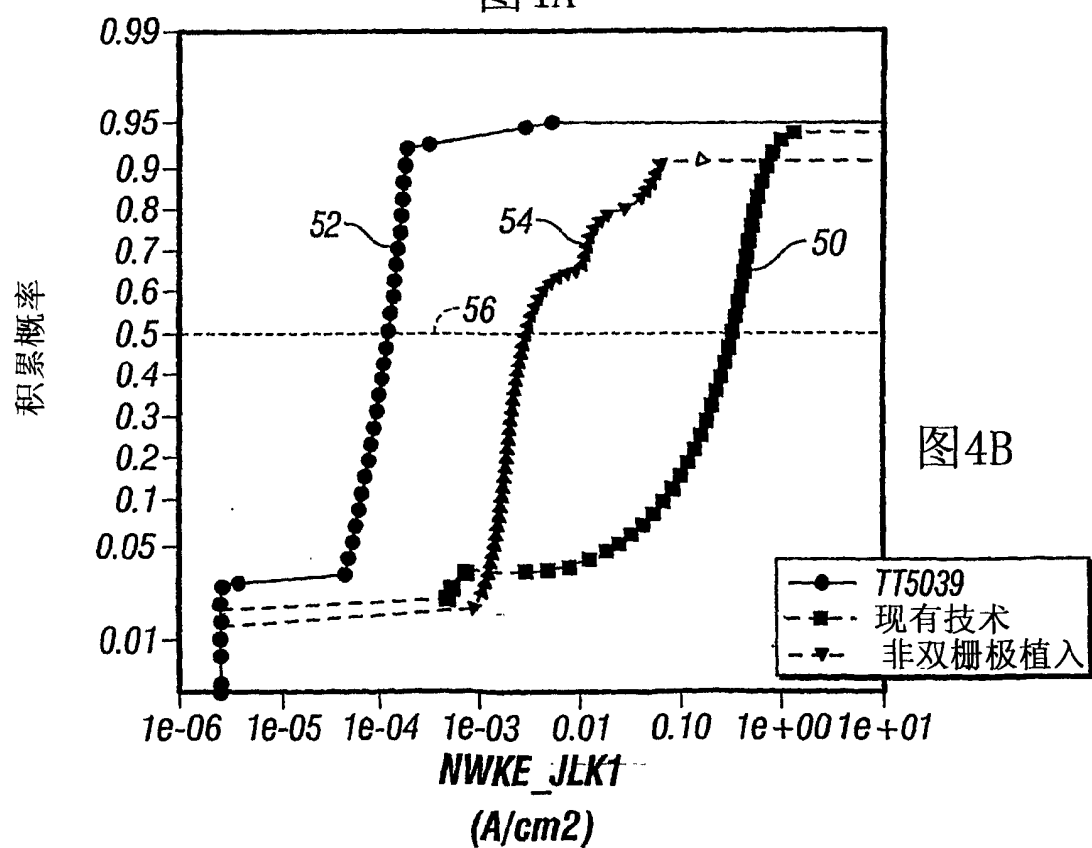


图4B