(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2021 년 2 월 11 일 (11.02.2021)

WIPO | PCT

(10) 국제공개번호
WO 2021/025247 A1

(51) 국제특허분류:
H01L 29/417 (2006.01) *H01L 21/8234* (2006.01)
H01L 21/02 (2006.01) *H01L 29/06* (2006.01)
H01L 21/04 (2006.01) *H01L 29/78* (2006.01)

(21) 국제출원번호: PCT/KR2020/000972

(22) 국제출원일: 2020 년 1 월 20 일 (20.01.2020)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2019-0095132 2019 년 8 월 5 일 (05.08.2019) KR

(71) 출원인: 고려대학교 산학협력단 (**KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION**) [KR/KR]; 02841 서울시 성북구 안암로 145 (안암동5가), Seoul (KR).

(72) 발명자: 유현용 (**YU, Hyun-Yong**); 06544 서울시 서초구 신반포로 270, 130동 2403호, Seoul (KR). 정승근 (**JUNG, Seung-Geun**); 05510 서울시 송파구 올림픽로35가길 9, 101동 2204호, Seoul (KR).

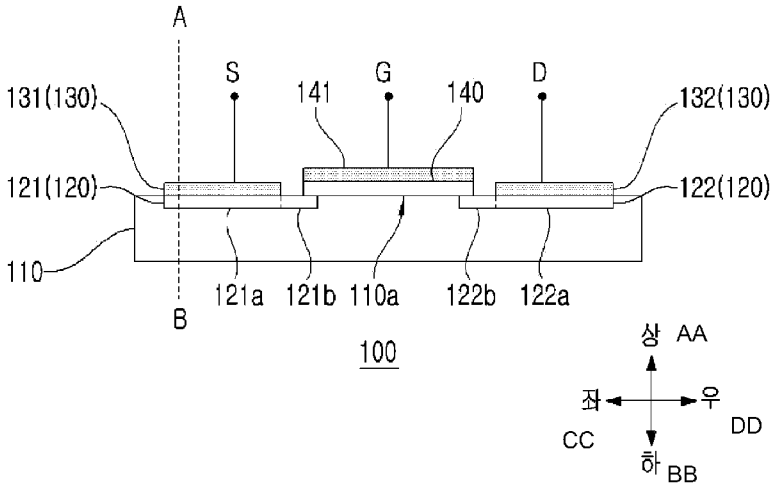
(74) 대리인: 김홍석 (**KIM, Hong Suk**); 08390 서울시 구로구 디지털로 26길 111, 405호 동진국제특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,

(54) **Title:** SEMICONDUCTOR DEVICE TO WHICH CHARGE-PLASMA EFFECT IS APPLIED AND METHOD FOR MANUFACTURING SAME

(54) **발명의 명칭:** 전하-플라즈마 효과가 적용된 반도체 소자 및 이의 제조 방법



AA ... Up
BB ... Down
CC ... Left
DD ... Right

(57) **Abstract:** The present invention relates to a semiconductor device and a method for manufacturing same, the semiconductor device comprising a body, a doping area formed in at least one direction of the body, and a terminal formed in the doping area while facing the body, wherein the doping area may have at least one corner which is formed to be inclined or rounded.

(57) **요약서:** 본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로, 반도체 소자는 몸체, 상기 몸체의 적어도 일 방향에 형성된 도핑 영역, 및 상기 몸체에 대향하여 상기 도핑 영역에 형성된 단자를 포함하되, 상기 도핑 영역은 경사지거나 또는 라운드지게 형성된 적어도 하나의 모서리를 포함할 수 있다.

WO 2021/025247 A1

[다음 쪽 계속]

LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 전하-플라즈마 효과가 적용된 반도체 소자 및 이의 제조 방법

기술분야

[1] 본 발명은 반도체 소자 및 이의 제조 방법에 관한 것으로써, 보다 구체적으로는 전하-플라즈마 효과를 소스/드레인 영역에 적용한 금속-산화막-반도체 구조를 갖는 반도체 소자와 이의 제조 방법에 관한 것이다.

배경기술

[2] 트랜지스터와 같은 반도체 소자는 전자, 전기, 통신, 기계 등 다양한 분야에서 널리 이용되고 있다. 이와 같은 트랜지스터로는 접합형 트랜지스터(Bipolar Junction Transistor, BJT), 접합형 전계 효과 트랜지스터(Junction Field-Effect Transistor, JFET), 금속 산화물 반도체 전계 효과 트랜지스터(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET), 핀펫(Fin Field-Effect Transistor, FinFET), 또는 박막 트랜지스터(Thin-film transistor, TFT) 등이 존재한다.

[3] 최근에는 이와 같은 반도체 소자를 소형화, 미세화하기 위하여 다양한 노력이 투입되고 있다. 그러나, 반도체 소자의 미세화는 여러 문제점을 야기하고 있다. 모스펫(MOSFET)의 경우, 소자의 미세화에 기인한 채널의 단축에 따라 소자의 스위칭 특성이 악화되는 문제점이 발생한다. 이를 해결하기 위해 소스 및 드레인 영역의 미세 공정 기술들이 개발되는 중이나, 이들 역시 소스 및 드레인과 금속 사이의 접촉 면적 감소에 기인한 외부 기생 저항(external parasitic resistance) 발생 문제, 외부 기생 저항에 따른 반도체 소자의 도통 전류 특성(on-state current) 악화 문제, 소스 및 드레인의 미세 공정화에 따른 공정 난이도의 증가 문제 및 채널의 지나친 단축에 기인한 임플란테이션 공정을 통한 미세 공정의 난이도 증가 문제 등이 가지고 있다.

[4] 한편, 도통 전류 감소 문제를 해결하기 위해, 소스 및 드레인의 도핑 농도를 높여 접촉 저항(contact resistivity)을 감소시키거나 또는 도통 전류 특성을 향상시키기 위한 여러 기술들이 개발되고 있으나, 규소(Si)의 도펀트 용해도(dopant solubility)와 확산성(diffusibility)으로 인해 이들의 도핑 농도를 증가시키는 것에는 한계가 존재한다. 또한, 높은 도핑 농도는 공정 시마다 소자 간의 변동성(variation)이 증가하는 문제점도 발생한다. 게다가, 미세화에 따른 소스 및 드레인의 면적 감소는 높은 도핑 농도 기반의 공정 구현의 어려움을 더욱 증가시키고 있다. 뿐만 아니라, 반도체 소자의 높은 집적도는 다량의 전력을 소모하는 문제점도 야기하고 있다. 근자에는 인가전압을 낮추어 이와 같은 전력 소모 문제를 해결하려는 시도가 있으나, 이는 도통 전류가 낮아지게 되는 문제점을 발생시킨다.

발명의 상세한 설명

기술적 과제

[5] 본 발명은 전하-플라즈마(charge plasma) 효과를 기반으로 향상된 성능을 갖는 반도체 소자 및 그의 제조 방법을 제공하는 것을 해결하고자 하는 과제로 한다.

과제 해결 수단

[6] 본 발명의 실시예에 따른 반도체 소자는 몸체, 상기 몸체의 적어도 일 방향에 형성된 도핑 영역. 및 상기 몸체에 대향하여 상기 도핑 영역에 형성된 단자를 포함하고, 상기 도핑 영역은 경사지거나 또는 라운드지게 형성된 적어도 하나의 모서리를 포함한다.

[7] 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 몸체의 적어도 일 부분에 소스 영역 및 드레인 영역 중 적어도 하나가 형성되는 단계, 상기 소스 영역 및 상기 드레인 영역 중 적어도 하나가 식각되어, 상기 소스 영역 및 상기 드레인 영역 중 적어도 하나가 라운드지게 또는 경사지게 형성된 모서리를 갖는 단계, 및 상기 소스 영역 및 상기 드레인 영역 중 적어도 하나에 금속이 형성되는 단계를 포함한다.

발명의 효과

[8] 상술한 반도체 소자 및 그의 제조 방법에 의하면, 전하-플라즈마 효과를 기반으로 우수하고 향상된 성능을 갖는 반도체 소자를 구현 및 제조할 수 있고, 이에 따라 소자 소형화, 미세화의 한계를 극복할 수 있다.

[9] 또한, 모스펫 등의 트랜지스터에서 소스 및 드레인의 도핑 농도를 높이지 않더라도 적절한 수준의 도통 전류를 획득할 수 있게 되고, 이에 따라 낮은 또는 동일한 도핑 농도에서도 고성능 반도체를 구현할 수 있는 장점이 있어 소스 및 드레인의 고도핑 공정의 어려움을 극복할 수 있다.

[10] 또한, 낮은 전압을 인가한 경우에도 원하는 수준의 도통 전류를 획득할 수 있어 저 전압 하에서도 동작 특성을 유지하는 반도체 소자를 구현할 수 있다.

[11] 또한, 랜덤 도펀트 변동(Random Dopant Fluctuation, RDF) 등과 같은 한 웨이퍼 내 공정에서 소자 간 성능의 변동성(variation)을 완화하여 소자 간의 일관성을 얻을 수 있게 되는 효과도 얻을 수 있으며, 이에 따라 반도체 소자의 불량률 감소의 효과도 얻을 수 있다.

[12] 또한, 소스 및 드레인의 금속과의 접촉 면적 감소에 기인한 외부 기생 저항의 증가 문제도 해결할 수 있게 된다.

[13] 또한, 기존 공정의 중대한 변화 또는 변형 없이도 우수한 성능의 반도체 소자를 성능 상의 큰 차이 없이 제작 및 구현할 수 있게 되어, 구축 비용 절감이나 불량률 저하와 같은 경제적 효과도 얻을 수 있게 된다.

도면의 간단한 설명

[14] 도 1은 반도체 소자의 일 실시예에 대한 단면도이다.

[15] 도 2는 금속-반도체 구조의 제1 실시예에 대한 절단면도이다.

[16] 도 3은 규소(si)의 도핑 농도 별 디바이 길이(debye length)의 일례를 도시한 도표이다.

[17] 도 4는 전하 플라즈마 효과를 설명하기 위한 제1 도이다.

[18] 도 5는 전하 플라즈마 효과를 설명하기 위한 제2 도이다.

[19] 도 6은 전하 플라즈마 효과를 설명하기 위한 제3 도이다.

[20] 도 7은 금속-반도체 구조의 제2 실시예에 대한 절단면도이다.

[21] 도 8은 금속-반도체 구조의 제3 실시예에 대한 절단면도이다.

[22] 도 9는 반경의 차이에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다.

[23] 도 10은 소스 및 드레인의 너비에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다.

[24] 도 11은 소스 및 드레인의 물질의 일함수에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다.

[25] 도 12는 반도체 소자의 제조 방법의 일 실시예에 대한 흐름도이다.

발명의 실시를 위한 형태

[26] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 하나의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 복수의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 하나의 '부'가 복수의 물리적 또는 논리적 부품들로 구현되는 것도 가능하다.

[27] 명세서 전체에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.

[28] '제1' 이나 '제2' 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 또한, 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.

[29] 이하, 도 1 내지 도 11을 참조하여 반도체 소자의 여러 실시예에 대해서 설명하도록 한다.

[30] 도 1은 반도체 소자의 일 실시예에 대한 단면도이다. 이하, 도핑 영역(120)을 기준으로 몸체(110)가 존재하는 방향을 하 방향으로 정의하고, 단자(130, 141)가 존재하는 방향을 상 방향으로 정의하며, 상 방향 및 하 방향에 직교하는 방향을 좌측 방향 및 우측 방향으로 정의하도록 한다. 그러나 이들 방향은 설명의

편의를 위해 임의적으로 정의한 것으로 이들 방향은 다양하게 정의 가능하다.

[31] 도 1에 도시된 바에 의하면, 반도체 소자(100)는 몸체(110), 몸체(110)의 적어도 일 방향(일례로 상 방향)에 형성되는 도핑 영역(120), 도핑 영역(120)의 일 방향에 형성되는(여기서, 일 방향은 도핑 영역(120)을 기준으로 몸체(110)가 배치된 방향의 반대 방향을 의미할 수 있음) 적어도 하나의 단자(130, 이하 제1 단자), 몸체(110)의 적어도 일 방향(일례로 상 방향)에 형성되는 절연체(140), 및 절연체(140)의 일 방향에 형성되는(여기서, 일 방향은 절연체(140)를 기준으로 몸체(110)가 배치된 방향의 반대 방향을 의미할 수 있음) 다른 단자(141, 이하 제2 단자)를 포함할 수 있다.

[32] 몸체(110)는 다른 부품들(120 내지 141 등)을 지지할 수 있다. 몸체(110)는 반도체로 구현될 수 있으며, 예를 들어, p형 반도체 또는 n형 반도체로 구현될 수 있다. 실시예에 따라 몸체(110)에도 전극이 연결되어 있을 수 있다.

[33] 도핑 영역(120)은 몸체(110)의 적어도 일 면에 형성되되, 도핑 영역(120)의 일 방향에는 단자(130)가 접촉하거나 근접하여 배치되고, 타 방향에는 몸체(110)가 접하거나 근접하여 배치되도록 마련된다. 도핑 영역(120)은 반도체로 구현될 수 있으며, p형 반도체 및 n형 반도체 중 어느 하나를 이용하여 구현될 수 있다. 이때, 도핑 영역(120)은 몸체(110)와는 상이한 반도체를 이용하여 구현될 수 있다. 즉, 몸체(110)가 p형 반도체인 경우 도핑 영역(120)은 n형 반도체로 구현되고, 몸체(110)가 n형 반도체인 경우 도핑 영역(120)은 p형 반도체로 구현될 수 있다.

[34] 도핑 영역(120)은 서로 이격된 적어도 두 개의 영역(121, 122)을 포함할 수 있다. 즉, 두 개의 영역 중 어느 하나는 소스 영역(121)이고, 두 개의 영역 중 다른 하나는 드레인 영역(122)일 수 있다. 소스 영역(121) 및 드레인 영역(122)은 몸체(110)의 동일한 일 면에 설치될 수도 있고 또는 상이한 복수의 면에 설치될 수도 있다. 도 1에는 소스 영역(121) 및 드레인 영역(122)이 몸체(110)의 동일한 일 면에 설치되되, 소스 영역(121)은 상대적으로 좌측 방향에 설치되고, 드레인 영역(122)은 상대적으로 우측 방향에 설치되는 것으로 도시되어 있으나, 이는 예시적인 것으로 이들 영역(121)의 위치는 이에 한정되지 않는다. 소스 영역(121) 및 드레인 영역(122)은 제2 단자(141)를 중심으로 대칭적으로 형성될 수도 있다. 소스 영역(121) 및 드레인 영역(122)은 몸체(110)의 일부분(110a)에 의해 서로 격리될 수 있다. 다시 말해서, 몸체(110)의 일부분(110a)이 소스 영역(121) 및 드레인 영역(122) 사이에 형성되어 있을 수 있다. 몸체(110)의 일부분(110a)은 소스 영역(121) 및 드레인 영역(122) 사이의 캐리어(carrier), 예컨대 전자 또는 정공의 이동 통로를 제공한다. 구체적으로, 제2 단자(141, 즉 게이트 단자)에 전압이 인가되면, 몸체(110)의 일부분(110a)에는 전류 전도 채널이 형성되고, 전자 또는 정공은 형성된 채널을 따라서 소스 영역(121) 및 드레인 영역(122) 사이에서 이동하게 된다. 또한, 소스 영역(121) 및 드레인 영역(122) 사이에는 절연체(140)가 배치될 수 있다. 소스 영역(121) 및 드레인 영역(122)은 실시예에

따라서 절연체(140)와 이격되어 있을 수도 있고, 또는 도 1에 도시된 바와 같이 일부분(121b, 122b)이 절연체(140)와 중첩되어 있을 수도 있다.

[35] 도핑 영역(120)에 대한 보다 상세한 내용은 후술한다.

[36] 제1 단자(130)는 도핑 영역(120)의 타 방향에 외부로 노출되도록 적층 설치될 수 있다. 이에 따라 몸체(110)의 적어도 일 부분에는 금속-반도체(Metal-Semiconductor, M-S) 구조가 형성된다. 제1 단자(130)는 도선 등과 연결되고 도선 등을 통해 외부의 장치 등과 전기적으로 연결될 수 있다. 예컨대, 제1 단자(130)는 폴리실리콘 또는 금속 소재 등을 이용하여 구현될 수 있다. 제1 단자(130)는 다양한 방법을 통해 도핑 영역(120)에 형성될 수 있다. 예를 들어, 제1 단자(130)는 소정의 증착 공정(일례로 스퍼터링 등과 같은 진공 증착 공정 등)을 통해 도핑 영역(120)에 형성될 수 있다. 물론 실시예에 따라 설계자가 고려 가능한 다양한 방법으로 통해 제1 단자(130)는 도핑 영역(120)에 형성 가능하다.

[37] 도핑 영역(120)이 소스 영역(121) 및 드레인 영역(122)을 포함하는 경우, 제1 단자(130)도 이에 대응하여 소스 영역(121)에 형성된 소스 영역 단자(131) 및 드레인 영역(122)에 형성된 드레인 영역 단자(132)를 포함할 수 있다. 소스 영역 단자(131) 및 드레인 영역 단자(132) 역시 제2 단자(141)를 중심으로 대칭적으로 형성된 것일 수 있다. 제1 단자(130)인 소스 영역 단자(131) 및 드레인 영역 단자(132)는 서로 동종의 소재를 이용하여 구현될 수도 있고 또는 서로 이종의 소재를 이용하여 구현될 수도 있다.

[38] 일 실시예에 의하면, 도핑 영역(120)이 n형 반도체인 경우, 제1 단자(130)는 일함수(work function)가 상대적으로 낮은 금속을 이용하여 구현된 것일 수 있다. 즉, 제1 단자(130)를 이루는 금속의 일함수가 도핑 영역(120)을 이루는 n형 반도체의 일함수보다 낮을 수 있다. 제1 단자(130)로 이용되는 금속은 일함수가 전자 친화도 및 밴드갭/2의 합보다 작은 금속을 포함할 수 있다. 이와 같은 금속을 이용하는 경우 금속-반도체 구조에서 반도체의 전도대가 페르미 준위 아래로 내려가게 되므로, 후술하는 바와 같이 전하-플라즈마 효과(charge-plasma effect)를 얻을 수 있게 된다. 도핑 영역(120)이 n형 반도체인 경우에 제1 단자(130)로 이용되는 금속은 티타늄(Ti), 알루미늄(Al), 지르코늄(Zr), 탄탈럼(Ta), 에르븀(Er), 또는 가돌리늄(Gd) 등을 포함할 수 있다. 또한, 제1 단자(130)로 이용되는 금속은 상술한 금속을 포함하는 화합물, 예를 들어, 티타늄 텅스턴(TiW) 등을 포함할 수도 있다.

[39] 다른 실시예에 의하면, 이와 반대로 도핑 영역(120)이 p형 반도체인 경우, 제1 단자(130)는 일함수가 상대적으로 높은 금속을 이용하여 구현될 수 있다. 즉, 제1 단자(130)를 이루는 금속의 일함수가 도핑 영역(120)을 이루는 p형 반도체의 일함수보다 상대적으로 높을 수 있다. 제1 단자(130)로 이용되는 금속은, 예를 들어, 일함수가 전자 친화도 및 밴드갭/2의 합보다 큰 금속을 포함할 수 있다. 이와 같은 금속을 이용하는 경우, 금속-반도체 구조에서 반도체의 가전도대가

페르미 준위 위로 상승하게 되므로, 전하-플라즈마 효과를 얻을 수 있게 된다. 도핑 영역(120)이 p형 반도체인 경우에 제1 단자(130)로 이용될 수 있은 금속으로는 금(Au), 플래티늄(Pt), 팔라듐(Pd), 니켈(Ni), 코발트(Co), 또한 이들 금속을 포함하여 형성된 적어도 하나의 화합물 등이 있다.

[40] 소스 영역 단자(131) 및 드레인 영역 단자(132) 사이에 위치한 몸체(110)의 일면에는 절연체(140) 및 제2 단자(141)가 순차적으로 적층 형성될 수 있다. 절연체(140)는 제2 단자(141)로부터 몸체(110)로 전류가 흐르는 것을 방지할 수 있다. 절연체(140)는 절연성을 갖는 산화물, 예를 들어 산화실리콘(SiO2) 등을 이용하여 구현 가능하다.

[41] 제2 단자(141)는 절연체(140)의 일 방향(즉, 상 방향)에 외부로 노출되도록 설치될 수 있다. 즉, 제2 단자(141)는 절연체(140)를 기준으로 몸체(110)가 배치된 방향의 반대 방향에 설치될 수 있다. 제2 단자(141)는 외부의 전원과 연결되고 외부 전원으로부터 전압을 인가받을 수 있다. 제2 단자(141)에 인가되는 전압에 따라서 몸체(110)의 일부분(110a)은 도통 가능하게 된다. 제2 단자(141)는 금속 또는 폴리실리콘 등을 이용해 구현 가능하다.

[42] 이와 같이 몸체(110), 절연체(140), 및 제2 단자(141)의 적층 형성에 따라서 반도체 소자(100)에 금속-산화물-반도체(MOS: Metal-Oxide-Semiconductor) 구조가 형성되게 된다.

[43] 이하, 도 2 내지 도 8을 참조하여, 도핑 영역(120)의 여러 실시예에 대해 설명하도록 한다. 이하 설명의 편의를 위하여 소스 영역(121) 및 소스 영역(121)에 형성된 소스 영역 단자(131)를 예를 들어 설명하도록 하나, 설명되는 바는 드레인 영역(122) 및 드레인 영역 단자(132)에도 동일하게 또는 일부 변형된 형태로 적용 가능하다.

[44] 도 2는 금속-반도체 구조의 제1 실시예에 대한 절단면도로, 도 1의 반도체 소자(100)를 면 A-B에 따라서 직교 방향으로 절단한 일 면을 도시한 것이다. 설명의 편의를 위해서, 도 2의 전 방향 및 후 방향은 각각 도 1의 상, 하, 좌측 및 우측 방향에 직교하는 방향으로 정의하도록 하나, 이는 임의적인 것으로 설계자나 사용자에 따라서 그 방향은 달리 정의되는 것도 가능하다. 도 3은 규소(si)의 도핑 농도 별 디바이 길이의 일례를 도시한 표이다.

[45] 도 2에 도시된 바에 의하면, 몸체(110), 소스 영역(121) 및 소스 영역 단자(131)는 서로 순차적으로 적층되어 구현될 수 있다.

[46] 일 실시예에 의하면, 소스 영역(121)은 소스 영역(121)에 대응하는 디바이 길이(Debye length)보다 더 작은 두께(h1)를 가질 수 있다. 디바이 길이는 반도체(즉, 소스 영역(121))를 이루는 물질의 도핑 농도에 따라 변화한다. 보다 구체적으로는 디바이 길이는 하기의 수학식 1에 도시된 바와 같이 반도체(예를 들어, 규소)의 도핑 농도(N)의 제곱근에 반비례할 수 있다.

[47]

[수식1]

$$L_p=\sqrt{\frac{\varepsilon_{Si}\cdot u_T}{q\cdot N}}$$

[48] 여기서, ε_{si}은 반도체(규소)의 유전율이고, u_T는 열전압(thermal voltage)을 의미할 수 있다. 또한, q는 전하량이고, N은 반도체의 도핑 농도이다. 예를 들어, 도 3에 도시된 바와 같이, 규소(Si)를 이용하여 도핑 및 형성된 n형 반도체의 경우, 도핑 농도가 1.00E+19 cm^{-3}인 경우 디바이 길이는 4.07nm로 주어질 수 있다. 도 3을 참조하면, 도핑 농도가 낮아질수록 디바이 길이도 이에 대응하여 증가하고, 반대로 도핑 농도가 높아질수록 디바이 길이도 이에 대응하여 단축됨을 알 수 있다. 따라서, 소스 영역(121)이 상대적으로 고 도핑된 경우에는 디바이 길이는 상대적으로 짧다. 이에 따라 소스 영역(121)은 상대적으로 더 작은 두께로 형성될 수 있다. 반대로 소스 영역(121)이 상대적으로 저 도핑된 경우에는 디바이 길이는 상대적으로 길어지며 이에 따라 소스 영역(121)은 상대적으로 더 큰 두께(h1)로 형성될 수 있다. 이와 같이 소스 영역(121)의 두께(h1)가 디바이 길이보다 작으면, 전하-플라즈마 효과가 발현되고, 전하-플라즈마 효과의 발현에 의해 유도된 전하가 공핍층의 전하보다 우세하여 실제보다 더 높게 도핑된 효과가 발생하게 된다. 즉, 도핑 농도가 가상적으로 증대한 효과를 추가적으로 얻을 수 있게 된다.

[49] 도 4는 전하 플라즈마 효과를 설명하기 위한 제1 도로, 금속-n형 반도체가 접촉된 구조 하에서 밴드 다이어그램을 도시한 것이다.

[50] 상술한 바와 같이 소스 영역(121)의 두께(h1)가 디바이 길이보다 작으면, 전하-플라즈마 효과가 발현된다. 구체적으로는, 도 4에 도시된 바와 같이 반도체의 전도대가 페르미 준위(E_F)보다 더욱 낮아지게 되고, 전하-플라즈마 효과의 발현에 따라 높은 농도의 가상의 도핑 영역을 획득할 수 있게 된다.

[51] 보다 구체적으로, 금속 및 n형 반도체가 상호 접촉한 상태에서 금속의 일함수가 반도체의 일함수 보다 상대적으로 낮으면, 금속 및 n형 반도체 사이에는 저항 접촉(Ohmic contact, 또는 오믹 컨택 등으로 지칭 가능함)이 발생한다. 저항 접촉 상태에서는 음(-)의 쇼트키 장벽(Schottky barrier)이 형성되기 때문에, 도 4에 도시된 바와 같이 에너지밴드에 휘어짐(bending)이 발생하고, 전하는 금속 및 n형 반도체 사이를 상대적으로 자유롭게 이동할 수 있게 된다. 보다 구체적으로, 저항 접촉 상태에서는 금속(M)과의 접촉 부분으로부터의 거리에 따라 각 부분(S1, S2)의 도핑 농도가 상이하게 된다. 금속(M)에 인접한 부분(S1, 예를 들어, 도핑 영역(120))은 상대적으로 높게 도핑된다. 상대적으로 높게 도핑된 부분(S1)의 전도대는 페르미 준위(E_F, Fermi level)보다 상대적으로 낮아지게 되며, 특히 금속(M)에 근접할수록 더욱더 낮아진다. 상대적으로 낮게 도핑된 부분(S2)에서는 반도체의 전도대는 상대적으로 덜 낮아지게 된다. 도 4에 도시된 바와 같이 반도체의 대부분의 부분(S)이 페르미 준위(E_F)보다 낮은 전도대를

가지게 되고, 전하-플라즈마 효과가 발생하게 된다. 전하-플라즈마 효과가 발생하는 경우, 반도체가 상대적으로 낮은 도핑 농도로 형성된 경우에도 고도핑된 것과 같은 효과를 얻을 수 있게 된다. 따라서, 소스 영역(121)이 n형 반도체이고 소스 영역 단자(131)가 일함수가 상대적으로 낮은 금속으로 구현된 경우, 소스 영역(121)의 두께(h1)가 디바이 길이보다 작으면, 소스 영역(121)은 가상적으로 높게 도핑된 것과 같이 된다.

[52] 한편, 금속 및 p형 반도체가 상호 접촉한 상태에서 금속의 일함수가 반도체의 일함수 보다 상대적으로 높고 반도체의 두께가 디바이 길이보다 작다면, 상술한 바와는 반대로 가전도대가 페르미 준위(E_F)보다 높게 형성되고, 이에 따라 전하 플라즈마 효과가 발생하게 된다. 따라서, 소스 영역(121)이 n형 반도체이고 소스 영역 단자(131)가 일함수가 상대적으로 높은 금속으로 구현된 경우에도, 소스 영역(121)의 두께(h1)가 디바이 길이보다 작으면, 소스 영역(121)은 가상적으로 고도핑된 것과 같은 효과가 발생하게 된다.

[53] 실시예에 따라서, 후술하는 바와 같이 만약 소스 영역(121)이 대략 경사지거나 또는 라운드지게 형성된 모서리(121e1-1, 121e1-2)를 포함하는 경우에는, 소스 영역(121)이 디바이 길이보다 상대적으로 더 큰 두께(h1)를 갖는 것도 가능하다.

[54] 일 실시예에 의하면, 소스 영역(121)의 폭(w1)도 디바이 길이를 기준으로 결정될 수 있다. 예를 들어, 소스 영역(121)의 폭(w1)은 디바이 길이의 두 배 이하의 값을 가질 수도 있다. 그러나, 소스 영역(121)의 폭(w1)은 이에 한정되는 것은 아니다.

[55] 도 5는 전하 플라즈마 효과를 설명하기 위한 제2 도이고, 도 6은 전하 플라즈마 효과를 설명하기 위한 제3 도이다.

[56] 일 실시예에 의하면, 소스 영역(121)은 대략 경사지거나 또는 대략 라운드지게 형성된 적어도 하나의 모서리 또는 그 주변(121e1-1, 121e1-2, 이하 경사 또는 라운드진 모서리로 표현함)를 포함할 수 있다. 경사 또는 라운드진 모서리(121e1-1, 121e1-2)는 전 방향 및 후 방향 중 적어도 일 방향의 말단에 형성될 수 있다. 경사 또는 라운드진 모서리(121e1-1, 121e1-2)는 도 2에 도시된 것처럼 소스 영역 단자(131)와 접하는 방향 쪽에 형성된 것일 수도 있고, 및/또는 반대로 몸체(110)와 접하는 방향 쪽에 형성된 것일 수도 있다. 경사 또는 라운드진 모서리(121e1-1, 121e1-2)는 소스 영역(121)의 길이 방향(즉 도 1의 좌측 방향 또는 우측 방향)을 따라서 연장 형성될 수 있다. 이 경우, 소스 영역(121)의 전 부분(121a, 121b)에 걸쳐 경사 또는 라운드진 모서리(121e1-1, 121e1-2)가 형성될 수도 있고, 또는 소스 영역(121)의 일부분(121a)에만 걸쳐 경사 또는 라운드진 모서리(121e1-1, 121e1-2)가 형성되어 있을 수도 있다. 예를 들어, 소스 영역(121) 중에서 일부의 영역(121a)에는 경사 또는 라운드지게 형성된 모서리(121e1-1, 121e1-2)가 형성되되, 절연체(140)에 접하거나 또는 절연체(140)에 인접한 일 부분(121b)에는 경사 또는 라운드진 모서리(121e1-1, 121e1-2)가 형성되지 않을 수도 있다. 한편, 소스 영역(121)의 상단 또는 하단의

일 면 중에서 경사 또는 라운드진 모서리(121e1-1, 121e1-2) 사이에 위치하는 부분은 대략 평면판의 형상을 가질 수도 있으나, 이에 한정되는 것은 아니다.

[57] 일 실시예에 의하면, 경사 또는 라운드진 모서리(121e1-1, 121e1-2)의 외형은 소정의 식각 공정을 통해 형성될 수도 있으며, 예를 들어, 습식 식각(wet etching) 공정을 통해 형성될 수도 있다. 이와 같은 식각 공정은 소스 영역(121)의 도핑 공정이 종료된 직후에 또는 도핑 공정 이후의 다른 공정이 더 종료된 후에 수행될 수도 있고, 또는 소스 영역(121)의 도핑과 거의 동시에 수행될 수도 있다. 소스 영역(121)에 라운드지거나 또는 경사진 적어도 하나의 모서리(121e1-1, 121e1-2)가 형성되면, 순차적으로 소스 영역(121)의 일 면에 증착 공정 등을 통해 금속이 장착되고 이에 따라 소스 영역 단자(131)가 형성되게 된다. 여기서, 장착된 금속은 상술한 바와 같이 특정 일함수를 갖는 금속일 수 있다. 구체적으로, 소스 영역(121)이 n형 반도체인 경우엔 상대적으로 낮은 일함수를 갖는 금속이 소스 영역(121)에 증착되어 형성되고, 소스 영역(121)이 p형 반도체인 경우엔 상대적으로 높은 일함수를 갖는 금속이 증착되어 형성될 수 있다.

[58] 일 실시예에 의하면, 모서리(121e1-1, 121e1-2)가 라운드지게 형성된 경우, 각각의 모서리(121e1-1, 121e1-2)는 서로 동일하거나 또는 상이한 곡률 반경(R1)을 가질 수도 있다. 여기서, 라운드지게 형성된 모서리(121e1-1, 121e1-2)의 곡률 반경(R1)은 디바이 길이보다 더 작을 수도 있다. 따라서, 소스 영역(121)이 상대적으로 고도핑된 경우에는, 도 3에 도시된 바와 수학식 1에 기재된 바와 같이, 디바이 길이가 상대적으로 작으므로, 모서리(121e1-1, 121e1-2)는 상대적으로 작은 곡률 반경(R1)으로 절삭되어 라운드지게 형성될 수 있다. 반대로 소스 영역(121)이 상대적으로 저도핑된 경우에는 디바이 길이가 상대적으로 길므로 모서리(121e1-1, 121e1-2)는 상대적으로 큰 곡률 반경(R1)을 가지도록 형성될 수 있다.

[59] 경사 또는 라운드진 모서리(121e1-1, 121e1-2)가 형성되면, 소스 영역(121) 및 소스 영역 단자(131)의 에너지 밴드는, 도 5 및 도 6에 도시된 바와 같이 중첩되며, 이에 따라 전하-플라즈마 효과가 더 강하게 나타난다. 다시 말해서, 서로 대향하는 금속-반도체 접촉 구조의 밴드 중첩에 따라 더 강한 전하-플라즈마 효과를 얻을 수 있게 된다. 통상적인 모스펫(MOSFET)의 경우, 도핑 영역, 즉 소스나 드레인의 두께가 두껍게 형성되므로, 전하-플라즈마 효과의 발생이 충분하지 않다. 그러나, 모서리(121e1-1, 121e1-2)를 상술한 바와 같이 경사지게 또는 라운드지게 형성한 경우에는, 도핑 영역(120)이 두껍게 형성된 경우에도 전하-플라즈마 효과를 발생시킬 수 있고, 이에 따라 가상의 도핑 증대 효과를 얻을 수 있게 된다. 모서리(121e1-1, 121e1-2)의 형성에 따른 전하-플라즈마 효과는 소스 영역(121)의 두께(h)가 얇을수록 더 증가한다.

[60] 도 7은 금속-반도체 구조의 제2 실시예에 대한 절단면도이다.

[61] 도 7을 참조하면, 몸체(110), 소스 영역(121), 및 소스 영역 단자(131)가 서로

순차적으로 적층되되, 소스 영역(121)은 전 방향 및 후 방향 중 적어도 일 방향의 말단에 형성된 모서리 또는 그 주변(121e2-1, 121e2-2, 이하 모서리)을 포함할 수 있다. 이 경우, 모서리(121e2-1, 121e2-2)는 도 2에 도시된 모서리(121e1-1, 121e1-2)보다 더욱 급하게 경사지거나 또는 더욱 라운드지게 형성될 수도 있다. 예를 들어, 소스 영역(121)의 모서리(121e2-1, 121e2-2)는 상대적으로 더 큰 곡률 반경(R2)을 가질 수도 있다. 이에 따라 소스 영역(121)은 전체적으로 대략 반 원통 형상(원통을 밑면에 직교하는 방향으로 절단하여 획득 가능한, 원통의 절반 이상 또는 이하로 이루어진 형상을 포함할 수 있다) 또는 이에 근사한 형상(예를 들어, 핀(fin) 형상이나 아치 형상 등)을 가지게 될 수 있다. 이 경우, 곡률 반경(R2)의 크기에 따라서 소스 영역(121)의 상 방향 또는 하 방향의 일 면은 부분적으로 평면판의 형상을 가질 수도 있고, 또는 대체적으로 만곡된 형상을 가질 수도 있다. 또한, 양 모서리(121e2-1, 121e2-2)의 경사 또는 라운드가 서로 만나는 지점에는 예각 또는 둔각을 사잇각으로 갖는 새로운 모서리가 더 형성될 수도 있다. 이와 같이 소스 영역(121)이 곡률 반경(R2)이 상대적으로 더 크게 구현된 경우, 소스 영역(121) 및 소스 영역 단자(131) 사이에는 더 높은 전하-플라즈마 효과가 유도될 수 있다. 소스 영역(121)의 모서리(121e2-1, 121e2-2) 각각의 곡률 반경(R2)은 서로 동일할 수도 있고, 또는 서로 상이할 수도 있다. 또한, 소스 영역(121)의 모서리(121e2-1, 121e2-2) 중 어느 하나만 경사지거나 또는 라운드지게 형성되는 것도 가능하다. 곡률 반경(R2)은 상술한 바와 같이 디바이 길이보다 작을 수 있다. 또한, 소스 영역(121)의 높이(h2)도 디바이 길이보다 작을 수 있으며, 폭(w2)은 디바이 길이의 2배보다 작을 수 있다. 상술한 바와 같이 소스 영역(121)의 모서리(121e2-1, 121e2-2)는 소정의 식각 공정을 통해 형성될 수도 있으며, 예를 들어, 습식 식각 공정을 통해 라운드지거나 또는 경사지게 형성될 수 있다.

[62] 도 8은 금속-반도체 구조의 제3 실시예에 대한 절단면도이다.

[63] 도 8을 참조하면, 반도체 소자(100)는 순차적으로 적층된 몸체(110), 소스 영역(121) 및 소스 영역 단자(131)를 포함하되, 소스 영역(121)의 모서리(121e3-1, 121e3-2)는 만곡되지 않은 평탄한 형태로 형성될 수도 있다. 즉, 모서리(121e3-1, 121e3-2)는 추가적으로 절삭되지 않아 경사지거나 또는 라운드진 형상을 포함하지 않을 수 있다. 이 경우, 소스 영역(121)의 높이(h3)는 전하-플라즈마 효과를 위해서 디바이 길이보다 작게 형성된다. 또한, 폭(w3)은 실시예에 따라서 디바이 길이의 2배보다 작게 마련될 수도 있다.

[64] 이하 도 2, 도 7 및 도 8에 도시된 각각의 실시예에 따른 반도체 소자(100)의 동작에 대한 실험 결과를 설명하도록 한다.

[65] 도 9는 반경의 차이에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다. 도 9의 x축은 게이트에 인가되는 전압을, y축은 드레인에서 측정되는 전류를 나타낸다. 도 9의 각 선분은 모서리(121e1-1, 121e1-2, 121e2-1, 121e2-2, 121e3-1, 121e3-2)의 곡률 반경(R1, R2)을 달리하여 제작된 반도체

소자(100)의 게이트 전압 및 드레인 전류 사이의 관계에 관한 것으로, 사각형 및 이를 연결하는 선분은 곡률 반경(R2)이 5nm인 경우에서의 게이트 전압 및 드레인 전류 사이의 관계를 의미하고, 원형 및 이를 연결하는 선분은 곡률 반경(R1)이 3nm인 경우에서의 이들 사이의 관계를 의미한다. 삼각형 및 이를 연결하는 선분은 도 8에 도시된 바와 같이 식각되지 않은 모서리(121e3-1, 121e3-2)를 갖는 경우에서의 이들 사이의 관계를 나타낸 것이다. 한편, 반도체(100)의 폭(w1 내지 w3)은 모두 10nm로 동일하게 구현되었다.

[66] 도 9에 도시된 바에 의하면, 모서리(121e1-1, 121e1-2, 121e2-1, 121e2-2, 121e3-1, 121e3-2)의 곡률 반경(R1, R2)이 증가할수록, 드레인 영역 단자(132)로 전달되는 전류의 세기도 대체적으로 증가하는 경향을 보인다. 구체적으로, 도 7에 도시된 바와 같이 소스 영역 단자(131)가 소스 영역(121)을 감싸는 각도가 넓어질수록 전하-플라즈마 효과가 나타나거나 또는 증가하게 된다. 다시 말해서, 소스 영역(121)이 도 7에 도시된 바와 같이 곡률 반경(R2)이 큰 모서리(121e2-1, 121e2-2)를 가질수록 더 높은 도통 전류를 가지게 된다. 도 2에 도시된 바와 같이 소스 영역(121)이 상대적으로 작은 곡률 반경(R1)의 모서리(121e1-1, 121e1-2)를 갖는 경우에는, 소스 영역(121)이 절삭되지 않은 모서리(121e3-1, 121e3-2)를 갖는 경우에 비해 상대적으로 더 높은 도통 전류를 가지게 된다.

[67] 도 10은 소스 및 드레인의 너비에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다. 도 10의 x축은 게이트에 인가되는 전압을, y축은 드레인에서 측정되는 전류를 나타낸다. 도 10의 각 선분은 두께(h1 내지 h3)에 따른 반도체 소자(100)의 게이트 전압 및 드레인 전류 사이의 관계에 관한 것으로, 사각형 및 이를 연결하는 선분은 두께가 20nm인 경우에서의 게이트 전압 및 드레인 전류 사이의 관계를 도시한 것이고, 원 및 이를 연결하는 선분은 두께가 14nm인 경우에서의 이들 사이의 관계를 도시한 것이다. 삼각형 및 이를 연결하는 선분은 두께가 12nm인 경우에서의 게이트 전압 및 드레인 전류 사이의 관계를 도시한 것이고, 역삼각형 및 이를 연결하는 선분은 두께가 10nm인 경우에서의 이들 사이의 관계를 도시한 것이다. 마름모꼴 및 이를 연결하는 선분은 두께가 8nm인 경우에서의 이들 사이의 관계를 도시한 것이다. 한편, 소스 영역(121) 양 말단의 곡률 반경(R2)은 모두 5nm로 제작되었다.

[68] 도 10에 도시된 바에 의하면, 두께가 얇으면 얇을수록 드레인 영역 단자(132)에서 측정되는 드레인 전류가 증가하는 경향을 보인다. 특히 이와 같은 경향은 게이트 인가 전압의 크기가 음의 값을 가질수록 보다 뚜렷하게 나타났다. 다시 말해서, 소스 영역(121)의 두께(h1 내지 h3)가 얇을수록 전하-플라즈마 효과가 발생하거나 또는 증가하게 되고 이에 따라 반도체 소자(100) 내에서 전류가 더 잘 흐르게 됨을 의미한다.

[69] 도 11은 소스 및 드레인의 물질의 일함수에 따른 게이트 전압과 드레인 전류 간의 관계를 도시한 그래프 도면이다. 도 10의 x축은 p형 반도체가 도핑된 반도체 소자의 게이트에 인가되는 전압을, y축은 드레인에서 측정되는 전류를

나타낸다. 도 10의 각 선분은 서로 상이한 일함수의 금속(즉, 소스 영역 단자(131) 또는 드레인 영역 단자(132))이 적용된 경우의 반도체 소자(100)에 흐르는 전류와 게이트 전압의 관계를 도시한 것으로, 사각형 및 이를 연결한 선분은 금속의 일함수가 5.7eV인 경우, 원 및 이를 연결한 선분은 금속의 일함수가 5.5eV인 경우, 삼각형 및 이를 연결한 선분은 금속의 일함수가 5.3eV인 경우에서의 전류와 전압 간의 관계를 나타낸다. 도 11은 소스 영역(121) 양 말단의 곡률 반경이 5nm가 되도록 한 반도체 소자에서 측정된 것이다.

[70] 상술한 바와 같이 제1 단자(130: 131, 132)로 이용되는 금속의 일함수에 따라서 전하-플라즈마 효과는 영향을 받는다. 이와 같은 금속의 일함수는 반도체 영역의 굽은 정도를 결정하며, 이는 전하-플라즈마 효과 발생 시 추가적으로 얻을 수 있는 가상적 도핑 농도를 결정하게 된다. 도 11을 참조하면, p형 반도체가 도핑된 경우 금속의 일함수가 증가할수록 도통 전류가 급격히 증가함을 알 수 있다.

[71] 상술한 바와 같이 증착되는 금속(131, 132)의 종류와 도핑되는 반도체(121, 122)의 두께 및 도핑 농도(즉, 디바이 길이)의 상호 관계를 고려하여, 상술한 금속-반도체 구조를 소스(121, 131) 및 드레인(122, 132)에 적용하면, 소스(121, 131) 및 드레인(122, 132)에 전하-플라즈마 효과가 발생하도록 할 수 있게 된다. 이에 따라 동일한 조건 하에서도 채널에 형성되는 전류의 세기를 증가시키면서 소모되는 전력을 감소시킬 수도 있게 된다.

[72] 상술한 반도체 소자는 트랜지스터나 메모리 소자 등으로 이용될 수 있다. 또한, 상술한 반도체 소자로 구현된 트랜지스터나 메모리 소자 등은 데스크톱 컴퓨터, 랩톱 컴퓨터, 셀룰러 폰, 스마트 폰, 태블릿 피씨, 개인용 디지털 보조기(PDA, Personal Digital Assistant), 내비게이션 장치, 휴대용 게임기, 디지털 텔레비전, 로봇 청소기, 냉장고 등의 가전 기기 및/또는 블랙박스 장치 등과 같은 전자 장치에도 이용될 수도 있고, 램(RAM), 롬(ROM), 플래시 메모리 및/또는 솔리드 스테이트 드라이브(SSD, Solid State Drvie) 등과 같은 메모리 장치에도 이용될 수 있다. 뿐만 아니라, 이들은 차량, 항공기, 기계 장치 및/또는 건축물 등 다양한 분야의 다양한 장치에서도 이용될 수 있다.

[73] 이하, 도 12를 참조하여 반도체 소자의 제조 방법의 일 실시예에 대해서 설명하도록 한다. 도 12는 반도체 소자의 제조 방법의 일 실시예에 대한 흐름도이다.

[74] 도 12를 참조하면, 먼저 도핑 영역(일례로 소스 영역 및 드레인 영역)으로 동작할 반도체가 도핑될 몸체가 준비될 수 있다(200). 이 경우, 몸체에는 절연체 및 제2 단자(게이트 단자) 등이 기 형성 및 설치된 상태일 수 있다. 몸체는 실시예에 따라 p형 반도체이거나 n형 반도체일 수도 있다.

[75] 몸체에 도핑 영역(소스 영역 및/또는 드레인 영역)이 도핑되어 형성된다(202). 몸체가 p형 반도체라면, 소스 영역 및/또는 드레인 영역은 n형 반도체를 이용하여 형성되고, 반대로 몸체가 n형 반도체라면 소스 영역 및/또는 드레인 영역은 p형 반도체를 이용하여 형성될 수 있다. 이 경우, 소스 영역 및/또는

드레인 영역은 소정의 두께 또는 이보다 더 얇은 두께로 형성될 수도 있다. 예를 들어, 소스 영역 및/또는 드레인 영역은 디바이 길이보다 더 얇은 두께로 형성될 수도 있다. 물론, 실시예에 따라서 소스 영역 및/또는 드레인 영역은 디바이 길이보다 더 두껍게 형성되는 것도 가능하다. 또한, 소스 영역 및/또는 드레인 영역의 폭은 디바이 길이의 2배보다 작게 형성될 수도 있다.

[76] 소스 영역 및/또는 드레인 영역이 형성되면, 도핑 영역(소스 영역 및/또는 드레인 영역이 식각되어, 소스 영역 및/또는 드레인 영역의 일 말단 또는 양 말단이 경사지게 또는 라운드지게 형성될 수 있다(204). 이 경우, 소스 영역 및/또는 드레인 영역의 일 말단 또는 양 말단의 모서리는 습식 식각 공정을 이용하여 경사지게 또는 라운드지게 형성될 수도 있다. 소스 영역 및/또는 드레인 영역은 다양한 곡률 반경으로 식각될 수 있다. 예를 들어, 소스 영역 및/또는 드레인 영역은 적어도 일 말단이 라운드지게 형성되되, 소스 영역 단자 및/또는 드레인 영역 단자와 접하거나 근접하게 되는 일 면은 일부가 평면으로 형성될 수도 있다. 또한, 다른 예를 들어 소스 영역 및/또는 드레인 영역은 대체적으로 반 원통 형상으로 형성될 수도 있고, 핀 형상이나 아치 형상과 같이 대략 반 원통에 근사한 형상으로 형성될 수도 있다. 일 실시예에 의하면, 라운드진 모서리의 곡률 반경은 디바이 길이보다 작을 수 있다.

[77] 소스 영역 및/또는 드레인 영역의 모서리가 라운드지게 또는 경사지게 형성된 후, 소스 영역 및/또는 드레인 영역에는 금속이 증착 등의 방법을 통해 형성될 수 있다(206). 이에 따라 소스 영역 및/또는 드레인 영역 각각에 대응하는 소스 영역 단자 및/또는 드레인 영역 단자가 형성되고, 결과적으로 금속-반도체 구조가 반도체 소자에 형성되게 된다. 여기서, 소스 영역 단자 및/또는 드레인 영역 단자로 이용되는 금속은 소정의 일함수를 갖는 금속일 수 있다. 만약 소스 영역 및/또는 드레인 영역이 n형 반도체인 경우엔 상대적으로 낮은 일함수를 갖는 금속이 소스 영역 및/또는 드레인 영역에 형성되고, 소스 영역 및/또는 드레인 영역이 p형 반도체인 경우엔 상대적으로 높은 일함수를 갖는 금속이 소스 영역 및/또는 드레인 영역에 형성될 수 있다.

[78] 상술한 과정에 따라 생성된 반도체 소자는 전하-플라즈마 효과가 발생하거나 또는 증가하게 되는 금속-반도체 구조를 가지게 된다. 따라서, 소스 및 드레인의 도핑 농도 상승 없이도 반도체 소자 내에선 원하는 수준의 도통 전류가 흐르게 되고, 따라서 고성능 반도체 소자의 구현이 가능해진다.

[79] 이상 반도체 소자 및 그의 제조 방법의 여러 실시예에 대해 설명하였으나, 반도체 소자 및 그의 제조 방법은 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 반도체 소자 및 그의 제조 방법 역시 상술한 장치 및 방법의 일례가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소나 균등물에

의하여 대치 또는 치환되더라도 상술한 반도체 소자 및 제조 방법의 일 실시예가 될 수 있다.

청구범위

[청구항 1] 몸체;
상기 몸체의 적어도 일 방향에 형성된 도핑 영역; 및
상기 몸체에 대향하여 상기 도핑 영역에 형성된 단자를 포함하고,
상기 도핑 영역은 경사지거나 또는 라운드지게 형성된 적어도 하나의 모서리를 포함하는 반도체 소자.

[청구항 2] 제1항에 있어서,
상기 도핑 영역의 상기 적어도 하나의 모서리는 상기 도핑 영역에 대응하는 디바이 길이(debye length)보다 더 작은 곡률 반경을 갖는 반도체 소자.

[청구항 3] 제1항에 있어서,
상기 도핑 영역은 반 원통 형상, 핀 형상, 또는 아치 형상으로 형성되는 반도체 소자.

[청구항 4] 제1항에 있어서,
상기 도핑 영역은 상기 도핑 영역에 대응하는 디바이 길이보다 더 작은 두께를 갖는 반도체 소자.

[청구항 5] 제1항에 있어서,
상기 도핑 영역은 상기 도핑 영역에 대응하는 디바이 길이의 2배보다 더 작은 폭을 갖는 반도체 소자.

[청구항 6] 제1항에 있어서,
상기 도핑 영역은 n형 반도체 또는 p형 반도체로 형성되고,
상기 도핑 영역이 n형 반도체로 형성되는 경우, 상기 단자는 일함수가 미리 정해진 제1 값보다 낮은 금속으로 형성되고,
상기 도핑 영역이 p형 반도체로 형성되는 경우, 상기 단자는 일함수가 미리 정해진 제2 값보다 높은 금속으로 형성되는 반도체 소자.

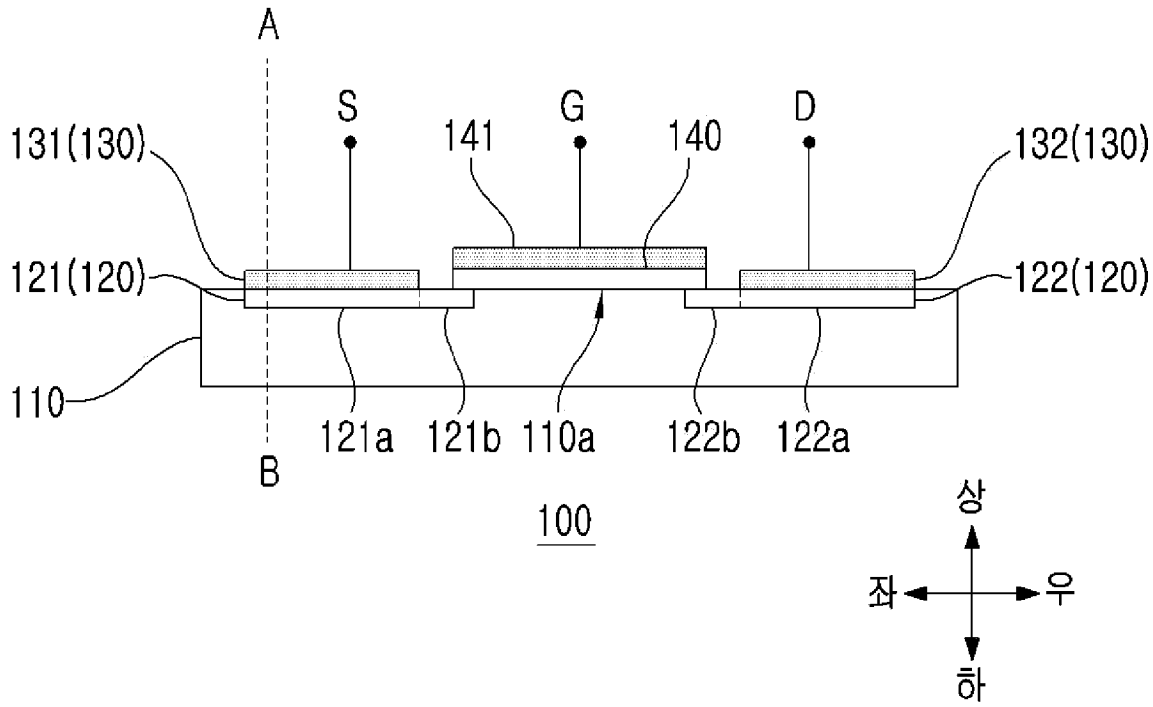
[청구항 7] 제1항에 있어서,
상기 도핑 영역은 소스 영역 및 드레인 영역을 포함하고,
상기 단자는 상기 소스 영역에 대응하는 소스 영역 단자 및 상기 드레인 영역에 대응하는 드레인 영역 단자를 포함하는 반도체 소자.

[청구항 8] 제7항에 있어서,
상기 소스 영역 및 드레인 영역 사이에 형성된 절연체; 및
상기 절연체에 형성되고 외부로부터 게이트 전압이 인가되는 게이트 단자를 더 포함하는 반도체 소자.

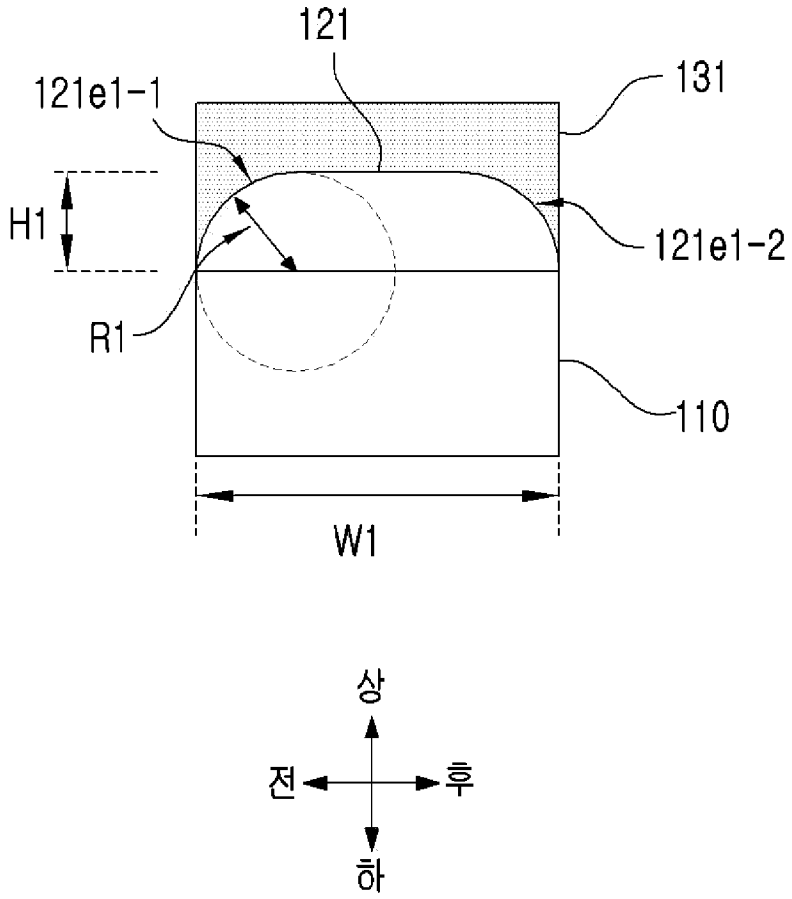
[청구항 9] 몸체의 적어도 일 부분에 소스 영역 및 드레인 영역 중 적어도 하나가 형성되는 단계;
상기 소스 영역 및 상기 드레인 영역 중 적어도 하나가 식각되어, 상기 소스 영역 및 상기 드레인 영역 중 적어도 하나가 라운드지게 또는

경사지게 형성된 모서리를 갖는 단계; 및
상기 소스 영역 및 상기 드레인 영역 중 적어도 하나에 금속이 형성되는 단계를 포함하는 반도체 소자의 제조 방법.

[도1]


A
S
G
D
131(130)
141
140
132(130)
121(120)
122(120)
110
121a
121b
110a
122b
122a
B
100
상
좌
우
하

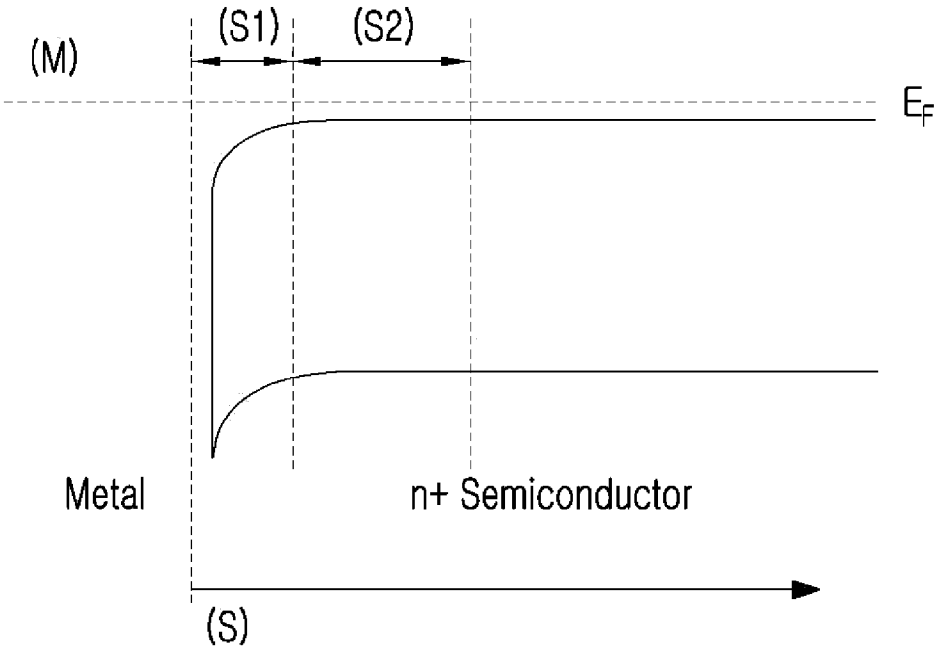
[도2]



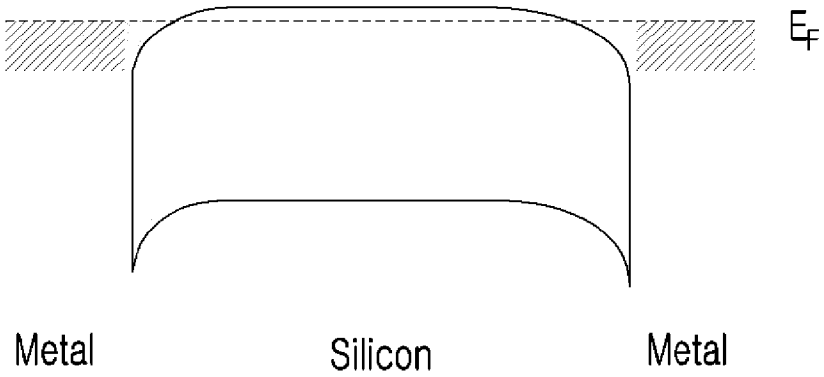
[도3]

N_{si} (cm^{-3})	디바이 길이 (nm)
1.00E+20	1.29
5.00E+19	1.82
1.00E+19	4.07
5.00E+18	5.75
1.00E+18	12.86
5.00E+17	18.19

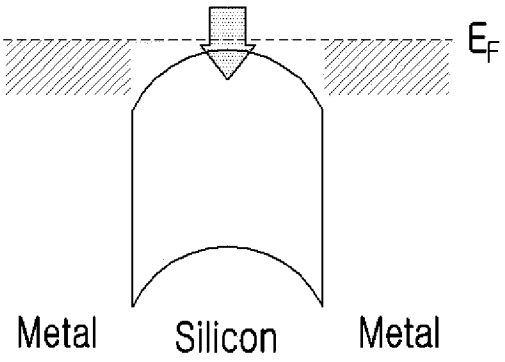
[도4]



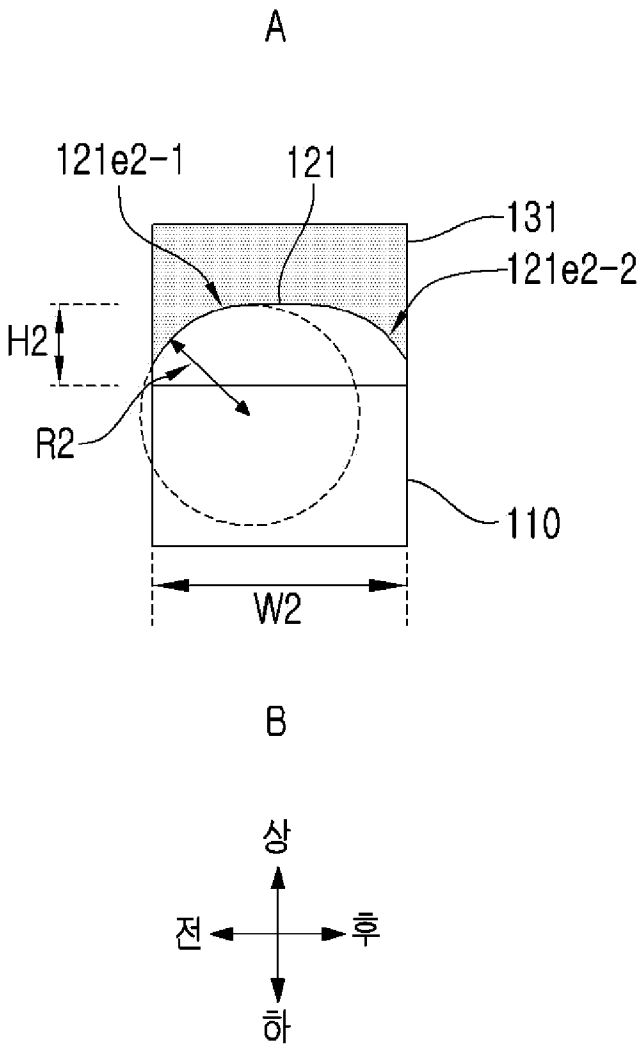
[도5]



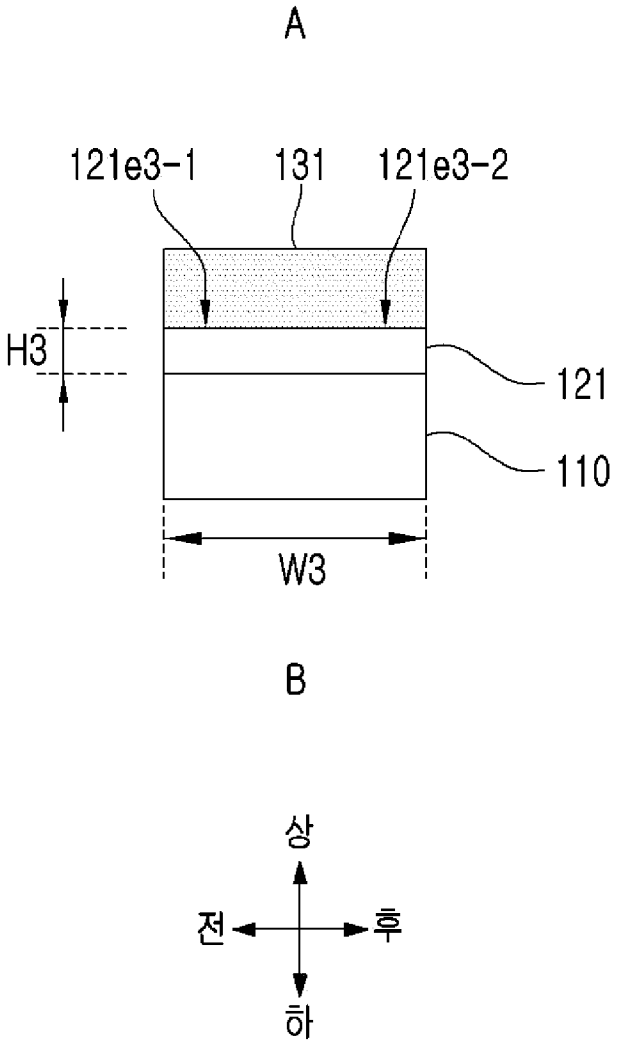
[도6]


E_F
Metal
Silicon
Metal

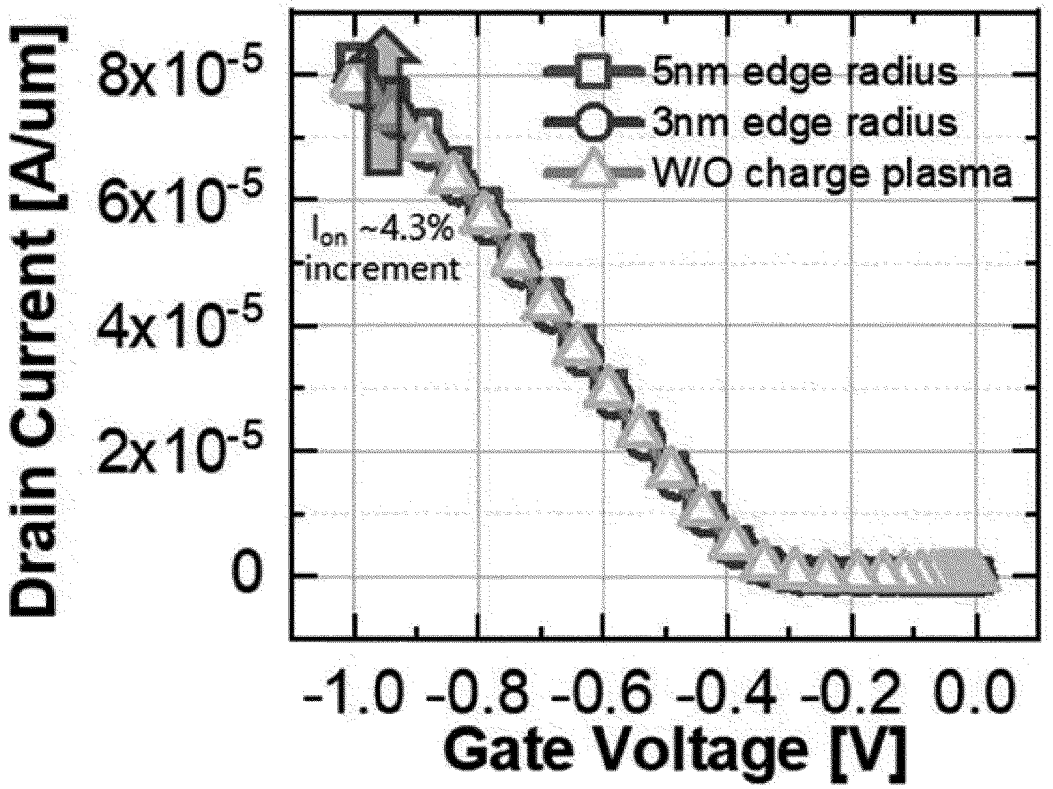
[도7]


A
121e2-1
121
131
121e2-2
H2
R2
110
W2
B
상
전
후
하

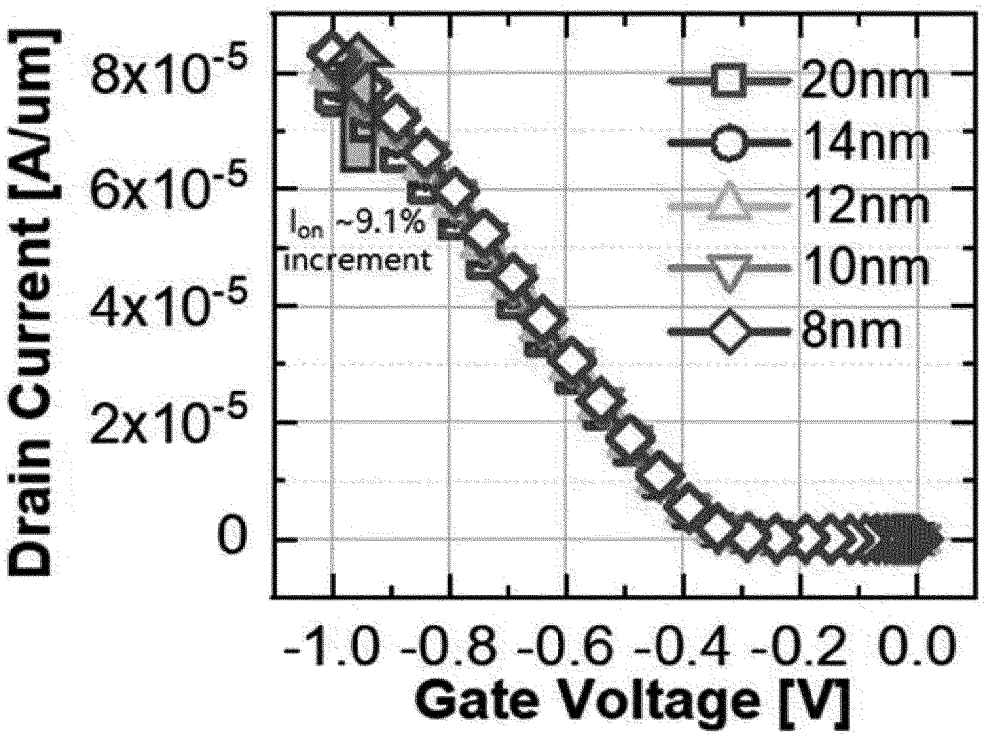
[도8]



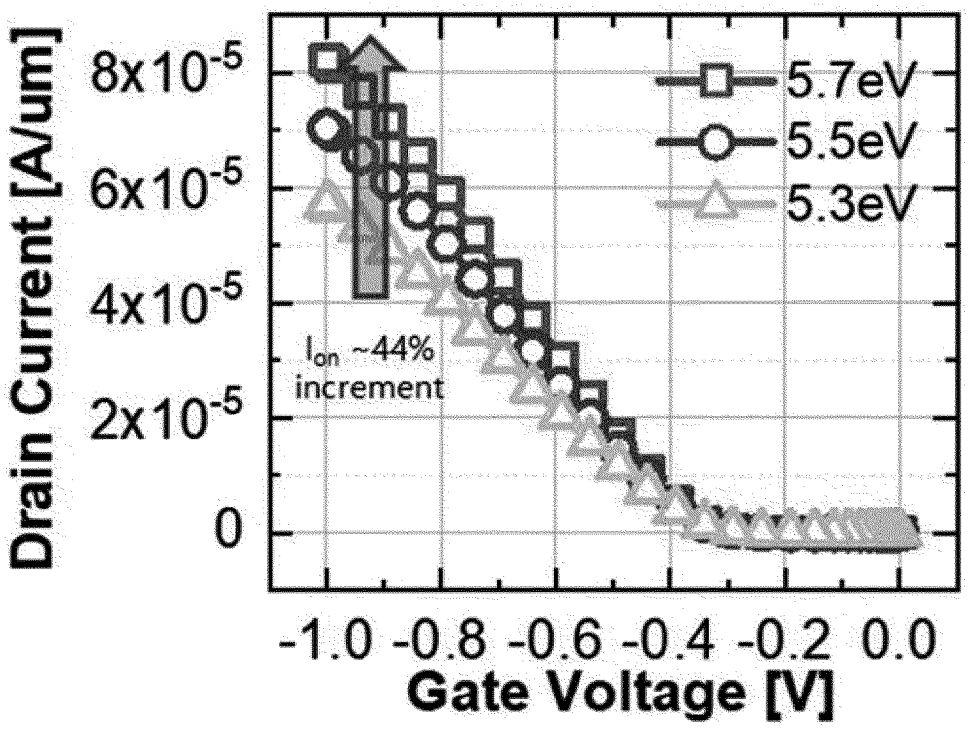
[도9]


Drain Current [A/um]
8x10-5
6x10-5
4x10-5
2x10-5
0
5nm edge radius
3nm edge radius
W/O charge plasma
Ion ~4.3% increment
-1.0 -0.8 -0.6 -0.4 -0.2 0.0
Gate Voltage [V]

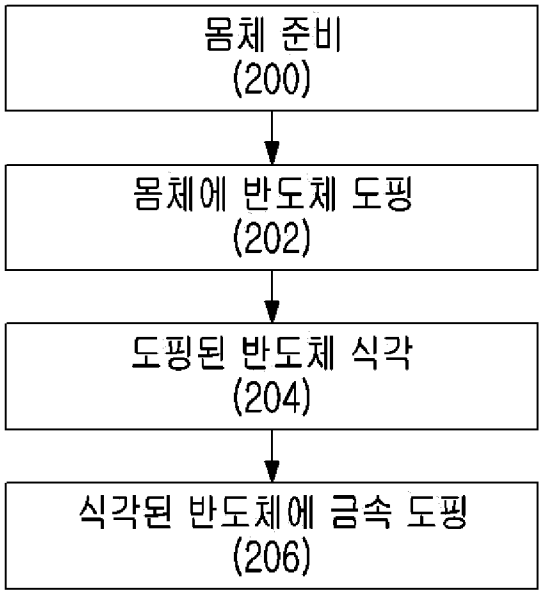
[도10]


Drain Current [A/um]
8x10-5
6x10-5
4x10-5
2x10-5
0
Ion ~9.1% increment
20nm
14nm
12nm
10nm
8nm
-1.0 -0.8 -0.6 -0.4 -0.2 0.0
Gate Voltage [V]

[도11]


Drain Current [A/um]
8x10-5
6x10-5
4x10-5
2x10-5
0
Ion ~44% increment
5.7eV
5.5eV
5.3eV
-1.0 -0.8 -0.6 -0.4 -0.2 0.0
Gate Voltage [V]

[도12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2020/000972

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/417(2006.01)i, H01L 21/02(2006.01)i, H01L 21/04(2006.01)i, H01L 21/8234(2006.01)i, H01L 29/06(2006.01)i, H01L 29/78(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L 29/417; G01N 27/414; H01L 21/8238; H01L 27/04; H01L 29/06; H01L 29/78; H01L 29/786; H01L 29/861; H01L 21/02; H01L 21/04; H01L 21/8234

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: transistor, doping, round, work function, Debye

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-041767 A (HANDOTAI RIKOUGAKU KENKYU CENTER K.K.) 21 February 2008 See paragraphs [0013]-[0028] and figures 1 and 3.	1,3,6-9
Y		2,4,5
Y	US 9647145 B1 (GLOBALFOUNDRIES INC.) 09 May 2017 See column 5, and lines 13-25.	2,4,5
A	US 2013-0291627 A1 (HU, Wenchuang et al.) 07 November 2013 See paragraphs [0052] and [0053] and figure 1A.	1-9
A	KR 10-2016-0043764 A (SAMSUNG ELECTRONICS CO., LTD.) 22 April 2016 See paragraphs [0097]-[0101] and figure 7.	1-9
A	JP 6253947 B2 (SEMICONDUCTOR ENERGY LAB CO., LTD.) 27 December 2017 See paragraphs [0052]-[0054].	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 MAY 2020 (07.05.2020)	**07 MAY 2020 (07.05.2020)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2020/000972

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2008-041767 A	21/02/2008	None	
US 9647145 B1	09/05/2017	None	
US 2013-0291627 A1	07/11/2013	CN 103842817 A	04/06/2014
		EP 2622347 A2	07/08/2013
		US 9810660 B2	07/11/2017
		WO 2012-050873 A2	19/04/2012
		WO 2012-050873 A3	10/04/2014
KR 10-2016-0043764 A	22/04/2016	US 2016-0104701 A1	14/04/2016
		US 9893053 B2	13/02/2018
JP 6253947 B2	27/12/2017	JP 2014-112659 A	19/06/2014
		KR 10-2015-0073966 A	01/07/2015
		TW 201431075 A	01/08/2014
		TW I631709 B	01/08/2018
		US 2014-0110703 A1	24/04/2014
		US 9865743 B2	09/01/2018
		WO 2014-065301 A1	01/05/2014

국 제 조 사 보 고 서

국제출원번호
PCT/KR2020/000972

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/417(2006.01)i, H01L 21/02(2006.01)i, H01L 21/04(2006.01)i, H01L 21/8234(2006.01)i, H01L 29/06(2006.01)i, H01L 29/78(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 29/417; G01N 27/414; H01L 21/8238; H01L 27/04; H01L 29/06; H01L 29/78; H01L 29/786; H01L 29/861; H01L 21/02; H01L 21/04; H01L 21/8234

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 트랜지스터(transistor), 도핑(doping), 라운드(round), 일함수(work function), 디바이(Debye)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2008-041767 A (HANDOTAI RIKOUGAKU KENKYU CENTER K.K.) 2008.02.21 단락 [0013]-[0028] 및 도면 1, 3	1,3,6-9
Y		2,4,5
Y	US 9647145 B1 (GLOBALFOUNDRIES INC.) 2017.05.09 컬럼 5, 라인 13-25	2,4,5
A	US 2013-0291627 A1 (WENCHUANG HU 등) 2013.11.07 단락 [0052], [0053] 및 도면 1A	1-9
A	KR 10-2016-0043764 A (삼성전자주식회사) 2016.04.22 단락 [0097]-[0101] 및 도면 7	1-9
A	JP 6253947 B2 (SEMICONDUCTOR ENERGY LAB CO., LTD.) 2017.12.27 단락 [0052]-[0054]	1-9

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2020년 05월 07일 (07.05.2020)	2020년 05월 07일 (07.05.2020)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
정종한
전화번호 +82-42-481-5642

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2020/000972

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2008-041767 A	2008/02/21	없음	
US 9647145 B1	2017/05/09	없음	
US 2013-0291627 A1	2013/11/07	CN 103842817 A	2014/06/04
		EP 2622347 A2	2013/08/07
		US 9810660 B2	2017/11/07
		WO 2012-050873 A2	2012/04/19
		WO 2012-050873 A3	2014/04/10
KR 10-2016-0043764 A	2016/04/22	US 2016-0104701 A1	2016/04/14
		US 9893053 B2	2018/02/13
JP 6253947 B2	2017/12/27	JP 2014-112659 A	2014/06/19
		KR 10-2015-0073966 A	2015/07/01
		TW 201431075 A	2014/08/01
		TW I631709 B	2018/08/01
		US 2014-0110703 A1	2014/04/24
		US 9865743 B2	2018/01/09
		WO 2014-065301 A1	2014/05/01