



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0097889
(43) 공개일자 2010년09월06일

(51) Int. Cl.

H04L 27/26 (2006.01) H04B 7/04 (2006.01)

(21) 출원번호 10-2009-0016760

(22) 출원일자 2009년02월27일

심사청구일자 2009년02월27일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

정덕진

인천시 남구 용현3동 인하대학교 하이테크 510호

이승열

인천시 남구 학익동 306-127 광림빌라 2동 302호

(뒷면에 계속)

(74) 대리인

특허법인무한

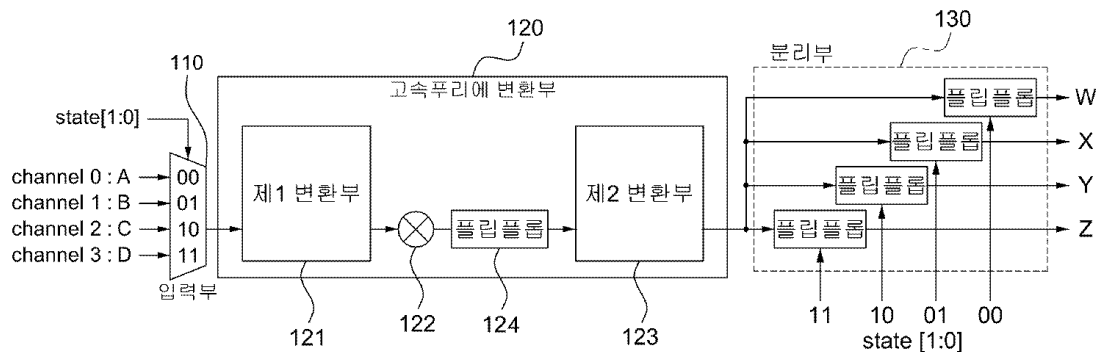
전체 청구항 수 : 총 11 항

(54) MIMO-OFDM 시스템에 효율적인 반송파 변복조 장치 및 방법

(57) 요약

복수의 채널 정보를 하나의 고속 푸리에 변환부를 사용하여 고속 푸리에 변환을 할 수 있는 반송파 변복조 장치 및 방법을 개시한다. 반송파 변복조 장치는 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환하는 입력부; 상기 직렬 정보를 상기 채널의 량에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성하는 고속 푸리에 변환부; 및 상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리하는 분리부를 포함한다.

대표도



(72) 발명자

왕규열

인천시 남동구 구월1동 동아아파트 2동 410호

김병수

인천시 연수구 연수1동 동남아파트 102동 402호

이상설

인천시 남구 용현3동 인하대학교 하이테크 530호

송재연

인천시 남구 용현3동 인하대학교 하이테크 530호

신성섭

인천시 남구 용현3동 210-4 영동하이츠빌라 4동 201호

최재영

인천시 남구 용현4동 48-18 모이세 103호

특허청구의 범위

청구항 1

복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환하는 입력부;

상기 직렬 정보를 상기 채널의 량에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성하는 고속 푸리에 변환부; 및

상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리하는 분리부

를 포함하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 2

제1항에 있어서,

상기 고속 푸리에 변환부는,

상기 직렬 정보에 버터플라이 연산과 콘스턴트 연산을 적용하여 제1 변환 정보를 생성하는 제1 변환부,

상기 제1 변환 정보에 콤플렉스 승산을 적용하여 콤플렉스 연산 정보를 생성하는 콤플렉스 승산부; 및

상기 콤플렉스 연산 정보에 버터플라이 연산과 콘스턴트 연산을 적용하여 상기 변환 직렬 정보를 생성하는 제2 변환부

를 포함하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 3

제1항에 있어서,

상기 제1 변환부는,

전송 받은 정보를 저장하며, 일정량 이상의 정보를 전송 받으면 처음에 전송 받은 정보부터 순차적으로 전송하여 일정 시간 전에 전송 받은 정보를 제공하는 제1 메모리와, 제2 메모리 및, 제3 메모리;

상기 제1 메모리에 상기 직렬 정보를 전송하고, 상기 제1 메모리에서 전송되는 일정 시간 전의 직렬 정보와 현재의 직렬 정보 간에 버터플라이 연산을 수행하여 제1 버터플라이 정보를 생성하는 제1 버터플라이 연산부;

상기 제2 메모리에 상기 제1 버터플라이 정보를 전송하고, 상기 제2 메모리에서 전송되는 일정 시간 전의 제1 버터플라이 정보와 현재의 제1 버터플라이 정보 간에 버터플라이 연산을 수행하여 제2 버터플라이 정보를 생성하는 제2 버터플라이 연산부;

상기 제2 버터플라이 정보에 콘스턴트 승산을 적용하여 콘스턴트 연산 정보를 생성하는 콘스턴트 승산부; 및

상기 제3 메모리에 상기 콘스턴트 연산 정보를 전송하고, 상기 제3 메모리에서 전송되는 일정 시간 전의 콘스턴트 연산 정보와 현재의 콘스턴트 연산 정보 간에 버터플라이 연산을 수행하여 제1 변환 정보를 생성하는 제3 버터플라이 연산부

를 포함하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 4

제3항에 있어서,

상기 제1 변환부는 제1 버터플라이 연산부와 제2 버터플라이 연산부의 사이에 플립플롭을 결합하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 5

제3항에 있어서,

상기 제1 변환부는 상기 콘스탄트 승산부와 상기 제2 버터플라이 연산부의 사이에 플립플롭을 결합하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 6

제2항에 있어서,

상기 고속 푸리에 변환부는 상기 콤플렉스 승산부와 상기 제2 변환부의 사이에 플립플롭을 결합하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 7

제1항에 있어서,

상기 기준 클럭은 상기 채널의 양이 k 라 할 경우에 샘플링 클럭의 k 배 클럭인 것을 특징으로 하는 반송파 변복조 장치.

청구항 8

제7항에 있어서,

상기 고속 푸리에 변환부는 상기 기준 클럭을 사용하여 한 샘플링 클럭 동안 k 번의 고속 푸리에 변환을 하는 것을 특징으로 하는 반송파 변복조 장치.

청구항 9

복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환하는 단계;

상기 직렬 정보를 상기 채널의 양에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성하는 단계; 및

상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리하는 단계

를 포함하는 것을 특징으로 하는 반송파 변복조 방법.

청구항 10

제9항에 있어서,

상기 채널의 양이 k 라 할 경우에 상기 기준 클럭은 샘플링 클럭의 k 배 클럭인 것을 특징으로 하는 반송파 변복조 방법.

청구항 11

제10항에 있어서,

상기 변환 직렬 정보를 생성하는 단계는 상기 기준 클럭을 사용하여 한 샘플링 클럭 동안 k 번의 고속 푸리에 변환을 하는 것을 특징으로 하는 반송파 변복조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반송파 변복조 장치 및 방법에 관한 것으로, 더욱 상세하게는 복수의 채널 정보를 하나의 고속 푸리에 변환부를 사용하여 고속 푸리에 변환을 할 수 있는 반송파 변복조 장치 및 방법에 관한 것이다.

배경 기술

[0002] MIMO-OFDM(multiple input multiple output-Orthogonal Frequency Division Multiplexing) 시스템은 무선 통신의 처리용량을 높이기 위한 스마트 안테나 기술로서 최근에 많은 개발이 이루어져 왔다.

- [0003] MIMO 시스템은 멀티 스트림을 처리하기 위해서 MIMO 채널의 수만큼의 베이스밴드 프로세서가 필요하게 되므로 하드웨어 복잡도 및 연산량이 SISO-OFDM(single input single output OFDM)와 비교하여 크게 증가하는 실정이다.
- [0004] 그러나, 하드웨어 복잡도가 적은 SISO-OFDM 시스템의 반송파 변복조 장치를 MIMO시스템에서 사용하고자 하면, 한 번에 하나의 입출력만 지원하는 SISO-OFDM 시스템의 특성상 각각의 입력마다 적어도 하나의 반송파 변복조 장치가 필요하게 되므로 오히려 MIMO 시스템의 다중 입력 프로세서보다 복잡해지는 한계가 있었다.
- [0005] 따라서, 하나의 반송파 변복조 장치를 사용하면서 복수의 입출력이 가능하고, 하드웨어의 복잡도가 적은 반송파 변복조 장치 및 필터링 방법이 필요한 실정이다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명은 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환한 다음에 고속 푸리에 변환을 적용하고, 다시 각각의 채널로 분리함으로써 하나의 고속 푸리에 변환부로 복수의 채널 정보를 고속 푸리에 변환할 수 있는 반송파 변복조 장치 및 필터링 방법을 제공한다.

과제 해결수단

- [0007] 본 발명의 일실시예에 따른 반송파 변복조 장치는 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환하는 입력부; 상기 직렬 정보를 상기 채널의 량에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성하는 고속 푸리에 변환부; 및 상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리하는 분리부를 포함한다.
- [0008] 본 발명의 일실시예에 따른 반송파 변복조 방법은 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환하는 단계; 상기 직렬 정보를 상기 채널의 량에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성하는 단계; 및 상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리하는 단계를 포함한다.

효 과

- [0009] 본 발명에 따르면 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환한 다음에 고속 푸리에 변환을 적용하고, 다시 각각의 채널로 분리함으로써 하나의 고속 푸리에 변환부로 복수의 채널 정보를 고속 푸리에 변환할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 다양한 실시예를 상세히 설명하기로 한다.
- [0011] 도 1은 본 발명의 일실시예에 따른 반송파 변복조 장치의 개괄적인 모습을 도시한 일례다.
- [0012] 본 발명의 일실시예에 따른 반송파 변복조 장치는 MIMO-OFDM 시스템에서 채널의 정보를 변복조 하기 위한 구성으로써, 도 1에 도시된 바와 같이 입력부(110), 고속 푸리에 변환부(120), 및 분리부(130)로 구성될 수 있다.
- [0013] 입력부(110)는 복수의 채널(111)로부터 전송되는 채널 정보(112)를 하나의 직렬 정보로 변환할 수 있다. 구체적으로 입력부(110)는 상기 채널에 대응하는 스테이트 정보(113)를 더 입력 받고, 채널 정보(112)가 각기 다른 스테이트 정보(113)와 대응하도록 직렬 정보로 변환하여 고속 푸리에 변환부(120)로 전송할 수 있다.
- [0014] 이때, 입력부(110)에 입력되는 스테이트 정보(113)의 종류는 상기 채널의 량에 대응할 수 있다. 일례로 상기 채널이 4채널이면 입력부(110)는 4종류의 스테이트 정보(113)를 사용하여 채널 별로 각기 다른 스테이트 정보(113)가 대응하도록 할 수 있다. 이때, 생성되는 직렬 정보의 예는 이하 도 3을 참조하여 상세히 설명한다.
- [0015] 또한, 도 1에 도시된 스테이트 정보(113)는 4개의 채널을 사용하는 도 1의 일례에 따라 2비트로 구성되었으나, 채널(111)의 량에 따라 더욱 많은 비트로 구성될 수 있다. 일례로 8개의 채널을 사용하는 반송파 변복조 장치에서는 3비트의 스테이트 정보(113)를 사용할 수 있다.
- [0016] 또한, 상기 직렬 정보는 SDF(single-path delay feedback) 구조의 싱글 입출력 경로(single I/O path)에 대응

하는 포맷의 정보일 수 있다.

- [0017] 고속 푸리에 변환부(120)는 상기 직렬 정보를 상기 채널의 량에 대응하는 클럭인 기준 클럭으로 고속 푸리에 변환하여 변환 직렬 정보를 생성할 수 있다. 또한, 본 발명의 일실시예에서 고속 푸리에 변환부(120)는 $R^2SDF(\text{radix } 2^3 \text{ single-path delay feedback})$ 를 기반으로 상기 기준 클럭을 사용하는 구성을 추가하여 구성될 수 있다.
- [0018] 이때, 상기 기준 클럭은 상기 채널의 량이 k 라 할 경우에 샘플링 클럭의 k 배 클럭일 수 있다. 또한, 상기 k 는 OFDM 시스템의 샘플링 클럭과 상기 채널의 량에 대응하는 클럭의 비율일 수 있다.
- [0019] 그리고, 하나의 상기 기준 클럭은 하나의 스테이트 정보(113)에 대응할 수 있다. 즉, 하나의 상기 기준 클럭이 경과하면 스테이트 정보(113)가 다른 스테이트 정보로 변경될 수 있다.
- [0020] 따라서, 고속 푸리에 변환부(120)는 상기 기준 클럭을 사용하여 한 샘플링 클럭 동안 k 번의 클럭을 변경할 수 있으며, 상기 클럭의 변경에 따라 스테이트 정보(113)의 종류가 변경될 수 있다. 이때, 고속 푸리에 변환부(120)는 현 상태의 스테이트 정보(113)에 대응하는 채널 정보만을 고속 푸리에 변환함으로써 한 샘플링 클럭 동안 k 개의 채널 정보를 고속 푸리에 변환할 수 있다.
- [0021] 또한, 고속 푸리에 변환부(120)는 상기 직렬 정보에 버터플라이 연산과 콘스탄트 연산을 적용하여 제1 변환 정보를 생성하는 제1 변환부(121)와, 상기 제1 변환 정보에 콤플렉스 승산을 적용하여 콤플렉스 연산 정보를 생성하는 콤플렉스 승산부(122) 및 상기 콤플렉스 연산 정보에 버터플라이 연산과 콘스탄트 연산을 적용하여 상기 변환 직렬 정보를 생성하는 제2 변환부(123)를 포함할 수 있다.
- [0022] 그리고, 고속 푸리에 변환부(120)는 콤플렉스 승산부(122)와 제2 변환부(123)의 사이에 플립플롭(124)을 결합하여 고속 푸리에 연산 시 각 채널 별 임계 경로를 확보할 수 있다.
- [0023] 제1 변환부(121)의 구성은 이하 도 2를 참조하여 상세히 설명한다.
- [0024] 분리부(130)는 고속 푸리에 변환부(120)가 생성한 상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리할 수 있다. 구체적으로 k 개의 플립플롭을 사용하여 k 개의 변환 채널 정보로 분리할 수 있다. 이때, 상기 k 개의 플립플롭은 도 1에 도시된 바와 같이 각각 다른 스테이트 정보(113)에 대응하도록 형성되어 상기 변환 직렬 정보에서 특정 스테이트 정보(113)에 대응하는 채널 정보만 변환 채널 정보로 분리할 수 있다.
- [0025] 도 2는 본 발명의 일실시예에 따른 제1 변환부의 개괄적인 모습을 도시한 도면이다.
- [0026] 본 발명의 일실시예에 따른 제1 변환부(121)는 도 2에 도시된 바와 같이 제1 버터플라이 연산부(210), 제1 메모리(211), 제2 버터플라이 연산부(220), 제2 메모리(221), 콘스탄트 승산부(222); 제3 버터플라이 연산부(230) 및, 제3 메모리(231)로 구성될 수 있다.
- [0027] 제1 메모리(211)는 일정량 이상의 정보를 전송 받으면 처음에 전송 받은 정보부터 순차적으로 전송하는 FIFO(first input first output)방식으로 정보를 저장함으로써, 일정 시간 전에 제1 버터플라이 연산부(210)로부터 전송 받은 정보를 전송할 수 있다.
- [0028] 제1 버터플라이 연산부(210)는 제1 메모리(211)에 입력부(110)로부터 전송된 상기 직렬 정보를 전송하고, 제1 메모리(211)에서 전송되는 일정 시간 전의 직렬 정보와 현재의 직렬 정보 간에 덧셈과 뺄셈을 포함하는 버터플라이 연산을 수행하여 제1 버터플라이 정보를 생성할 수 있다. 이때, 제1 버터플라이 연산부(210)는 상기 제1 버터플라이 정보를 제1 메모리(211)와 제2 버터플라이 연산부(220)로 전송할 수 있다.
- [0029] 제2 메모리(221)는 FIFO 방식으로 정보를 저장함으로써, 일정 시간 전에 제2 버터플라이 연산부(220)로부터 전송 받은 정보를 전송할 수 있다.
- [0030] 제2 버터플라이 연산부(220)는 제2 메모리(221)에 상기 제1 버터플라이 정보를 전송하고, 제2 메모리(221)에서 전송되는 일정 시간 전의 제1 버터플라이 정보 채널 정보와 현재의 제1 버터플라이 정보 간에 버터플라이 연산을 수행하여 제2 버터플라이 정보를 생성할 수 있다. 이때, 제2 버터플라이 연산부(220)는 상기 제2 버터플라이 정보를 제2 메모리(221)와 콘스탄트 승산부(222)로 전송할 수 있다.
- [0031] 콘스탄트 승산부(222)는 상기 제2 버터플라이 정보에 콘스탄트 승산을 적용하여 콘스탄트 연산 정보를 생성하고, 생성된 콘스탄트 연산 정보를 제3 버터플라이 연산부(230)로 전송할 수 있다.
- [0032] 제3 메모리(231)는 FIFO 방식으로 저장함으로써, 일정 시간 전에 제3 버터플라이 연산부(230)로부터 전송 받은

정보를 전송할 수 있다.

- [0033] 제3 버터플라이 연산부(230)는 제3 메모리(231)에 상기 콘스탄트 연산 정보를 전송하고, 제3 메모리(231)에서 전송되는 일정 시간 전의 콘스탄트 연산 정보와 현재의 콘스탄트 연산 정보 간에 버터플라이 연산을 수행하여 제1 변환 정보를 생성할 수 있다. 이때, 제3 버터플라이 연산부(230)는 상기 제1 변환 정보를 제3 메모리(231)와 콤플렉스 승산부(122)로 전송할 수 있다.
- [0034] 또한, 제1 변환부(121)는 도 2에 도시된 바와 같이 제1 버터플라이 연산부(210)와 제2 버터플라이 연산부(220)의 사이, 콘스탄트 승산부(222)와 제3 버터플라이 연산부(230)의 사이 및, 제3 버터플라이 연산부(230)와 콤플렉스 승산부(122)의 사이에 각각 플립플롭(212, 223, 232)을 결합하여 고속 푸리에 연산 시 각 채널 별 임계 경로를 확보할 수 있다.
- [0035] 도 3은 본 발명의 일실시예에 따른 직렬 정보의 변화 과정의 일례를 도시한 도면이다.
- [0036] 도 3은 본 발명의 일실시예에 따른 반송과 변복조 장치는 4개의 채널에서 각각 A, B, C, D로 시작되는 채널 정보(310)들이 전송될 경우에 직렬 정보의 변화 일례이다.
- [0037] 채널 정보(310)는 A(0), A(1)와 같이 샘플링 클럭 단위로 구분되어 전송될 수 있다.
- [0038] 스테이트 정보(321)가 도 3에 도시된 바와 2비트의 구성이면, 입력부(110)는 채널 정보(310)를 직렬 정보(322)로 변환할 수 있다. 이때, 직렬 정보(322)는 하나의 샘플링 클럭 단위에 각각의 스테이트 정보에 대응하는 4종류의 채널 정보(310)가 포함될 수 있다.
- [0039] 상기 도 3에서 변화(320)는 제1 버터플라이 연산부(210)와 연계된 직렬 정보의 변화이고, 변화(330)는 제2 버터플라이 연산부(220), 콘스탄트 승산부(222)와 연계된 직렬 정보의 변화이며, 변화(340)는 제3 버터플라이 연산부(230)와 연계된 직렬 정보의 변화일 수 있다.
- [0040] 이때, 제1 버터플라이 연산부(210)는 스테이트 정보(321)와 직렬 정보(322)를 입력 받으면, 제1 메모리(211)에 직렬 정보(322)를 전송한다. 이때, 제1 메모리(211)에 입력되는 제1 메모리 입력 정보(323)는 직렬 정보(322)일 수 있다. 그 다음에 일정 시간이 경과하면 제1 메모리(211)는 일정 시간 전에 입력된 직렬 정보(322)를 제1 메모리 출력 정보(324)로써 제1 버터플라이 연산부(210)에 전송할 수 있다. 그러면, 제1 버터플라이 연산부(210)는 직렬 정보(322)와 제1 메모리 출력 정보(324) 간에 버터플라이 연산을 수행하여 제1 버터플라이 정보(325)를 출력할 수 있다. 이때, 제1 버터플라이 연산부(210)는 제1 버터플라이 정보(325)를 제1 메모리(211)로도 전송하므로 이 시점 이후의 제1 메모리 입력 정보(323)는 제1 버터플라이 정보(325)일 수 있다. 또한, 이 시점 이후의 제1 버터플라이 정보(325)는 일정 시간 전에 제1 메모리(211)에 전송된 제1 버터플라이 정보(325)와 직렬 정보(322) 간의 버터플라이 연산 결과일 수 있다.
- [0041] 다음으로 제2 버터플라이 연산부(220)는 스테이트 정보(331)와 제1 버터플라이 정보(325)를 입력 받고, 제2 메모리(221)에 제1 버터플라이 정보(325)를 전송한다. 이때, 제2 메모리(221)에 입력되는 제2 메모리 입력 정보(332)는 제1 버터플라이 정보(325)일 수 있다. 그 다음에 일정 시간이 경과하면 제2 메모리(221)는 일정 시간 전에 입력된 제1 버터플라이 정보(325)를 제2 메모리 출력 정보(333)로써 제2 버터플라이 연산부(220)에 전송할 수 있다. 그러면, 제2 버터플라이 연산부(220)는 제1 버터플라이 정보(325)와 제2 메모리 출력 정보(333) 간에 버터플라이 연산을 수행하여 제2 버터플라이 정보(334)를 출력할 수 있다. 이때, 제2 버터플라이 연산부(220)는 제2 버터플라이 정보(334)를 제2 메모리(221)로도 전송하므로 이 시점 이후의 제2 메모리 입력 정보(332)는 제2 버터플라이 정보(334)일 수 있다. 또한, 이 시점 이후의 제2 버터플라이 정보(334)는 일정 시간 전에 제2 메모리(221)에 전송된 제2 버터플라이 정보(334)와 제1 버터플라이 정보(325) 간의 버터플라이 연산 결과일 수 있다.
- [0042] 다음으로 콘스탄트 승산부(222)는 제2 버터플라이 정보(334)에 콘스탄트 승산을 적용하여 콘스탄트 연산 정보(335)를 생성하고, 콘스탄트 연산 정보(335)를 제3 버터플라이 연산부(230)로 전송할 수 있다.
- [0043] 마지막으로 제3 버터플라이 연산부(230)는 스테이트 정보(341)와 콘스탄트 연산 정보(335)를 입력 받고, 제3 메모리(231)에 콘스탄트 연산 정보(335)를 전송한다. 이때, 제3 메모리(231)에 입력되는 제3 메모리 입력 정보(342)는 콘스탄트 연산 정보(335)일 수 있다. 그 다음에 일정 시간이 경과하면 제3 메모리(231)는 일정 시간 전에 입력된 콘스탄트 연산 정보(335)를 제3 메모리 출력 정보(343)로써 제3 버터플라이 연산부(230)에 전송할 수 있다. 그러면, 제3 버터플라이 연산부(230)는 콘스탄트 연산 정보(335)와 제3 메모리 출력 정보(343) 간에 버터플라이 연산을 수행하여 제1 변환 정보(344)를 출력할 수 있다. 이때, 제3 버터플라이 연산부(230)는 제1

변환 정보(344)를 제3 메모리(231)로도 전송하므로 이 시점 이후의 제3 메모리 입력 정보(342)는 제1 변환 정보(344)일 수 있다. 또한, 이 시점 이후의 제1 변환 정보(344)는 일정 시간 전에 제3 메모리(231)에 전송된 제1 변환 정보(344)와 콘스탄트 연산 정보(335) 간의 버터플라이 연산 결과일 수 있다.

[0044] 도 3에 도시된 바와 같이 본 발명의 일실시예에 따른 직렬 정보에 포함된 채널 정보 A, B, C, D는 동일한 스테이트에서만 연산이 이루어지므로 각각의 채널 정보가 혼합되는 것을 방지할 수 있다.

[0045] 도 4는 본 발명의 일실시예에 따른 반송과 변복조 방법을 도시한 흐름도이다.

[0046] 단계(S401)에서 입력부(110)는 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환할 수 있다.

[0047] 단계(S402)에서 제1 버터플라이 연산부(210)는 단계(S401)에서 변환된 상기 직렬 정보에 버터플라이 연산을 수행하여 제1 버터플라이 정보를 생성할 수 있다. 구체적으로 제1 버터플라이 연산부(210)는 제1 메모리(211)에 상기 직렬 정보를 전송하고, 제1 메모리(211)에서 전송되는 일정 시간 전의 직렬 정보와 현재의 직렬 정보 간에 버터플라이 연산을 수행하여 제1 버터플라이 정보를 생성할 수 있다. 또한, 제1 버터플라이 연산부(210)는 제1 메모리(211)에 제1 버터플라이 정보를 전송하고, 일정 시간 전의 제1 버터플라이 정보와 현재의 직렬 정보 간에 버터플라이 연산을 수행하여 제1 버터플라이 정보를 생성할 수도 있다.

[0048] 단계(S403)에서 제2 버터플라이 연산부(220)는 단계(S402)에서 생성된 상기 제1 버터플라이 정보에 버터플라이 연산을 수행하여 제2 버터플라이 정보를 생성할 수 있다. 구체적으로 제2 버터플라이 연산부(220)는 제2 메모리(221)에 상기 제1 버터플라이 정보를 전송하고, 제2 메모리(221)에서 전송되는 일정 시간 전의 제1 버터플라이 정보와 현재의 제1 버터플라이 정보 간에 버터플라이 연산을 수행하여 제2 버터플라이 정보를 생성할 수 있다. 또한, 제2 버터플라이 연산부(220)는 제2 메모리(221)에 제2 버터플라이 정보를 전송하고, 일정 시간 전의 제2 버터플라이 정보와 현재의 제1 버터플라이 정보 간에 버터플라이 연산을 수행하여 제2 버터플라이 정보를 생성할 수도 있다.

[0049] 단계(S404)에서 콘스탄트 승산부(222)는 단계(S403)에서 생성된 제2 버터플라이 정보에 콘스탄트 승산을 적용하여 콘스탄트 연산 정보를 생성할 수 있다.

[0050] 단계(S405)에서 제3 버터플라이 연산부(230)는 단계(S404)에서 생성된 상기 콘스탄트 연산 정보에 버터플라이 연산을 수행하여 제1 변환 정보를 생성할 수 있다. 구체적으로 제3 버터플라이 연산부(230)는 제3 메모리(231)에 상기 콘스탄트 연산 정보를 전송하고, 제3 메모리(231)에서 전송되는 일정 시간 전의 콘스탄트 연산 정보와 현재의 콘스탄트 연산 정보 간에 버터플라이 연산을 수행하여 제1 변환 정보를 생성할 수 있다. 또한, 제3 버터플라이 연산부(230)는 제3 메모리(231)에 제1 변환 정보를 전송하고, 일정 시간 전의 제1 변환 정보와 현재의 콘스탄트 연산 정보 간에 버터플라이 연산을 수행하여 제1 변환 정보를 생성할 수도 있다.

[0051] 단계(S406)에서 콤플렉스 승산부(122)는 단계(S405)에서 생성된 상기 제1 변환 정보에 콤플렉스 승산을 적용하여 콤플렉스 연산 정보를 생성할 수 있다.

[0052] 단계(S407)에서 제2 변환부(123)는 단계(S406)에서 생성된 상기 콤플렉스 연산 정보에 버터플라이 연산과 콘스탄트 연산을 적용하여 상기 변환 직렬 정보를 생성할 수 있다.

[0053] 단계(S408)에서 분리부(130)는 단계(S407)에서 생성된 상기 변환 직렬 정보를 복수의 변환 채널 정보로 분리할 수 있다. 이때, 분리된 복수의 변환 채널 정보는 각각 단계(S401)에서 입력된 상기 채널 정보에 대응하여 복수의 채널로 전송될 수 있다.

[0054] 이상에서 설명한 바와 같이, 본 발명에 따른 반송과 변복조 장치 및 방법은 복수의 채널로부터 전송되는 채널 정보를 하나의 직렬 정보로 변환한 다음에 고속 푸리에 변환을 적용하고, 다시 각각의 채널로 분리함으로써 하나의 고속 푸리에 변환부로 복수의 채널 정보를 고속 푸리에 변환할 수 있다.

[0055] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

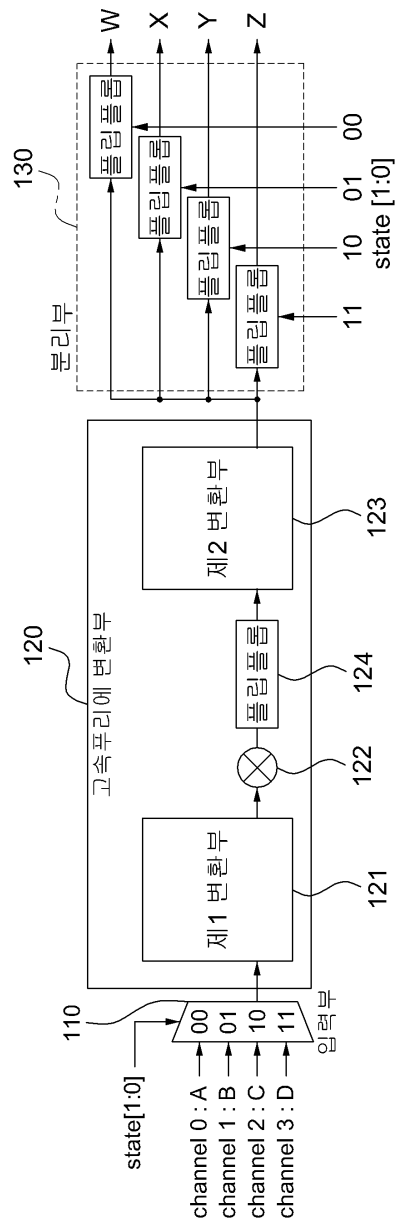
[0056] 따라서 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면의 간단한 설명

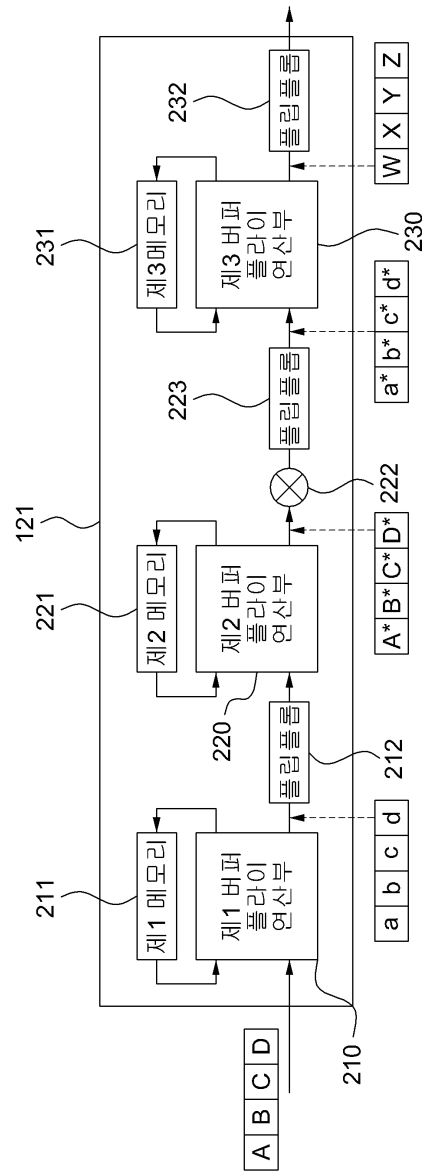
- [0057] 도 1은 본 발명의 일실시예에 따른 반송과 변복조 장치의 개괄적인 모습을 도시한 일례다.
- [0058] 도 2는 본 발명의 일실시예에 따른 제1 변환부의 개괄적인 모습을 도시한 도면이다.
- [0059] 도 3은 본 발명의 일실시예에 따른 직렬 정보의 변화 과정의 일례를 도시한 도면이다.
- [0060] 도 4는 본 발명의 일실시예에 따른 반송과 변복조 방법을 도시한 흐름도이다.

도면

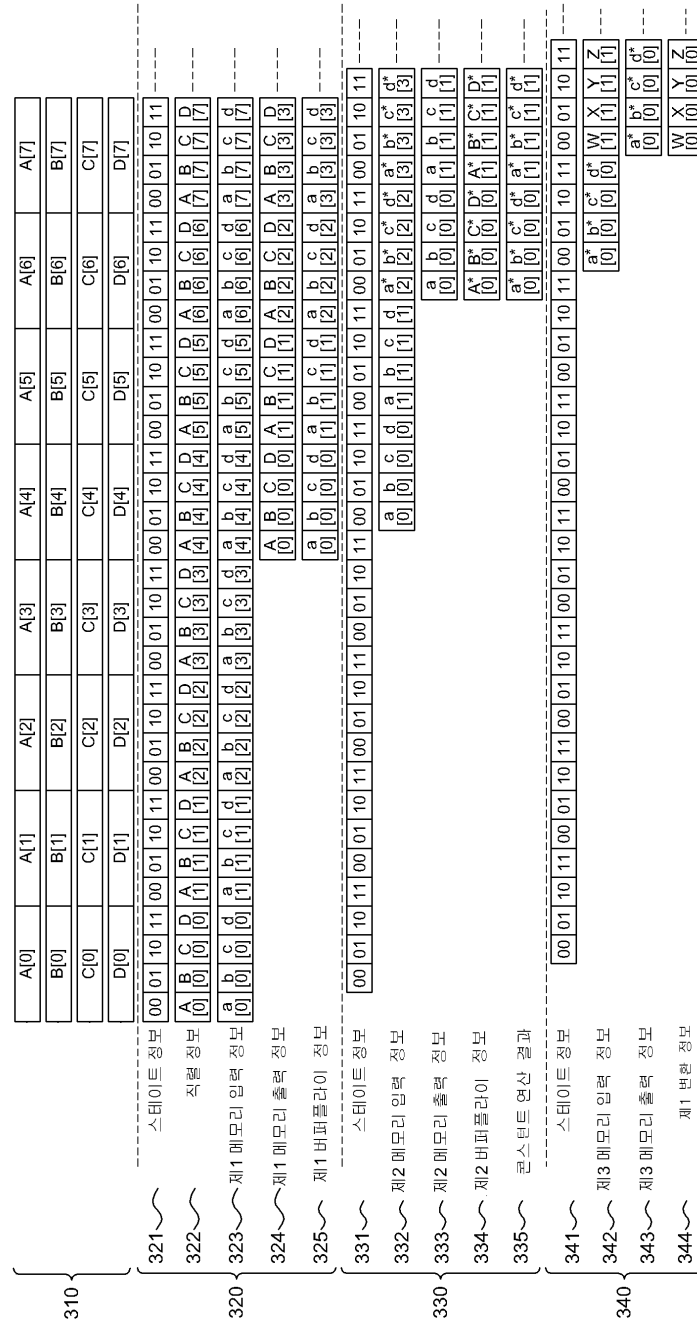
도면1



도면2



도면3



도면4

