



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098335
(43) 공개일자 2008년11월07일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>H01L 23/48</i> (2006.01) <i>H01L 21/60</i> (2006.01)</p> <p>(21) 출원번호 10-2008-0042039</p> <p>(22) 출원일자 2008년05월06일
심사청구일자 없음</p> <p>(30) 우선권주장
11/744,743 2007년05월04일 미국(US)</p> | <p>(71) 출원인
스태츠 칩팩 엘티디
싱가포르 768442 5 이션 스트리트 23</p> <p>(72) 발명자
도병태
싱가포르, 싱가포르 596745, 시그네취 파크,
#06-09, 토호 터로드 54</p> <p>쿠안, 힝 호에
싱가포르, 싱가포르 760210, #10-35, 이션 스트리트 21, 비엘케이210</p> <p>(74) 대리인
이만재</p> |
|--|--|

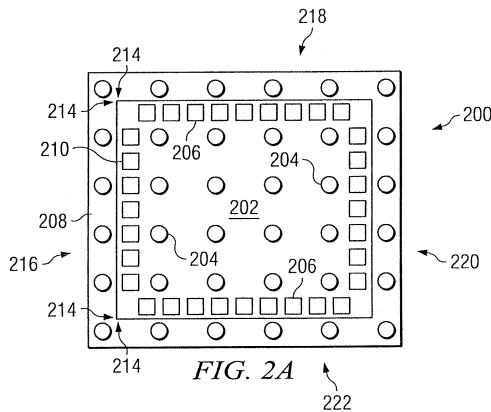
전체 청구항 수 : 총 27 항

(54) 확장된 재배선층 범프 웨이퍼 반도체 장치와 그 제조 방법

(57) 요약

반도체 장치는, 먼저 웨이퍼를 제공하고, 톱니형 스트리트 가이드에 의해 지정되고, 웨이퍼의 활성 표면에 본드 패드를 갖는 것에 의해 제조된다. 웨이퍼는 다이싱 테이프로 감싸진다. 웨이퍼는 복수의 다이들 각각 사이에 복수의 간격들을 갖는 복수의 다이들에서 톱니형 스트리트 가이드를 따라 단일화된다. 다이싱 테이프는 미리 지정된 거리까지 복수의 간격들을 확장하기 위해 신장된다. 유기물질은 복수의 간격들 각각에 용착된다. 유기물질의 상면은 복수의 다이들에서 제 1 다이의 상면과 실질적으로 동일평면이다. 재배선 층은 유기물질 부분의 상단에 패터닝된다. 범프 하의 금속화층(UBM)은 전기적 통신 되게 유기물질의 상단에, 재배선 층을 통하여, 본드 패드와 용착된다.

대표도 - 도2a



특허청구의 범위

청구항 1

반도체 장치에 있어서,

상면, 저면 및 둘레 면으로 구성되는 다이와;

상기 상면 위에 형성되는 본드 패드와;

상기 제 1 다이에 연결되고, 상기 다이의 상기 둘레면 주위에 배치되는 유기물질과;

상기 유기물질 부분 상단에 패턴화되는 재배선 층(RDL)과;

상기 본드 패드와 상기 재배선 층을 통해 전기통신 되게 상기 유기물질의 상단에 용착되는 범프 하의 금속화 층(UBM)을; 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 범프 하의 금속화 층(UBM)의 상단에 형성되고, 상기 제 1 다이에 전기적 접속도를 제공하는 솔더 범프를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3

제 1항에 있어서,

상기 유기물질은 벤조사이클로부텐계(BCB), 폴리이미드(PI) 또는 아크릴 수지 재료를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 다이는 틱니형 스트리트 가이드를 따라 복수의 다이들에서 단일화되는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1항에 있어서,

상기 유기물질은 스핀 코팅 처리 또는 니들 디스펜싱 처리를 이용하여 적용되는 것을 특징으로 하는 반도체 장치.

청구항 6

제 1항에 있어서,

상기 제 1 다이의 상기 상면 위에 형성되고, 본드 패드 옆을 따라 지향되는 복수의 추가 본드 패드들과;

UBM 옆을 따라 지향되고, 상기 유기물질의 상단에 형성되는 복수의 추가 범프 하의 금속화 층들(UBMs)을; 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7

제 1항에 있어서,

상기 재배선 층은 상기 본드 패드와 전기 통신 되는 일단을 구비하는 재배선 트레이스를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

틱니형 스트리트 가이드와 함께 지정되고, 웨이퍼의 활성 표면에 형성되는 본드 패드를 구비하는 상기 웨이퍼를 제공하는 단계와;

다이싱 테이프를 상기 웨이퍼를 테이핑하는 단계;

복수의 다이들 각각 사이에 복수의 간격들을 갖는 상기 복수의 다이들에서 상기 톱니형 스트리트 가이드를 따라 상기 웨이퍼를 단일화하는 단계와;

미리 지정된 거리까지 상기 복수의 간격들을 확장하기 위해 상기 다이싱 테이프를 신장하는 단계와;

유기물질의 상면이 상기 복수의 다이들에서 제 1 다이의 상면과 실질적으로 동일평면인 상기 유기물질을 상기 복수의 간격들 각각에 용착하는 단계와;

상기 유기물질 부분의 상단에 재배선 층을 패터닝하는 단계와;

상기 본드 패드와 상기 재배선 층을 통해 전기통신 되게 상기 유기물질의 상단에 범프 하의 금속화 층(UBM)을 용착하는 단계를; 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 9

제 8항에 있어서,

상기 범프 하의 금속화 층(UBM)의 상단에 솔더 범프를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10

제 9항에 있어서,

복수의 확장된 다이들을 위해 상기 유기물질 부분의 절삭에 의해 상기 웨이퍼를 재단일화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11

제 8항에 있어서,

상기 유기물질은 벤조사이클로부텐계(BCB), 폴리이미드(PI) 또는 아크릴 수지 재료를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12

제 8항에 있어서,

상기 유기물질은 스핀 코팅 처리 또는 니들 디스펜싱 처리를 이용하여 적용되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13

제 8항에 있어서,

미리 지정된 거리까지 상기 복수의 간격들을 확장하기 위해 상기 다이싱 테이프를 신장하는 단계는 확장 테이블을 이용하여 실행되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 14

제 10항에 있어서,

상기 다이싱 테이프에서 상기 복수의 확장된 다이들 각각 피킹하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 15

반도체 장치 제조 방법에 있어서,

톱니형 스트리트 가이드와 함께 지정되고, 웨이퍼의 활성 표면에 형성되는 본드 패드를 구비하는 상기 웨이퍼를 제공하는 단계와;

제 1 다이싱 테이프를 상기 웨이퍼를 데이핑하는 단계와;

복수의 다이들 각각 사이에 제 1 간격들을 갖는 상기 복수의 다이들에서 상기 톱니형 스트리트 가이드를 따라 상기 웨이퍼를 단일화되는 단계와;

상기 제 1 다이싱 테이프에서 상기 복수의 다이들을 피킹하는 단계와;

상기 복수의 다이들 각각 사이에 미리 지정된 폭의 복수의 제 2 간격들을 얻기 위해 제 1 웨이퍼 지지 시스템 상에 상기 복수의 다이들을 배치되는 단계와;

재코팅 된 웨이퍼를 위해 유기물질의 상면이 상기 복수의 다이들에서 제 1 다이의 상면과 실질적으로 동일평면인 상기 유기물질을 상기 복수의 간격들 각각에 용착하는 단계와;

제 2 웨이퍼 지지 시스템 상으로 상기 재코팅 된 웨이퍼를 이송하는 단계와;

상기 유기물질 부분 상에 재배선 층을 패턴화하는 단계와;

상기 본드 패드와 상기 재배선 층을 통해 전기통신 되게 상기 유기물질의 상단에 범프 하의 금속화 층(UBM)을 용착하는 단계들; 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16

제 15항에 있어서,

상기 범프 하의 금속화 층(UBM)의 상단에 솔더 범프를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 17

제 16항에 있어서,

복수의 확장된 다이들을 위해 상기 유기물질 부분의 절삭에 의해 상기 웨이퍼를 재단일화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 18

제 17항에 있어서,

상기 제 2 웨이퍼 지지 시스템에서 상기 복수의 확장된 다이들 각각 피킹하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 19

제 15항에 있어서,

상기 제 1 웨이퍼 지지 시스템은 제 3 다이싱 테이프를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 20

제 15항에 있어서,

상기 제 1 또는 제 2 웨이퍼 지지 시스템은 유리, 실리콘 또는 세라믹 기판을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 21

제 15항에 있어서,

상기 유기물질은 벤조사이클로부텐계(BCB), 폴리이미드(PI) 또는 아크릴 수지 재료를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 22

제 15항에 있어서,

상기 유기물질은 스핀 코팅 처리 또는 니들 디스펜싱 처리를 이용하여 적용되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 23

반도체 장치 제조 방법에 있어서,

상면, 저면, 그리고 둘레 면을 갖는 다이를 제공하는 단계와;

상기 상면 위에 형성되는 본드 패드를 제공하는 단계와;

상기 제 1 다이에 연결되고, 상기 다이의 상기 둘레면 주위에 배치되는 유기물질을 제공하는 단계와;

상기 유기물질 부분의 상단에 패턴화되는 재배선 층(RDL)을 제공하는 단계와;

상기 본드 패드와 상기 재배선 층을 통해 전기통신 되게 상기 유기물질의 상단에 용착되는 범프 하의 금속화 층(UBM)을 제공하는 단계를; 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 24

제 23항에 있어서,

상기 유기물질은 벤조사이클로부텐계(BCB), 폴리이미드(PI) 또는 아크릴 수지 재료를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 25

제 23항에 있어서,

상기 제 1 다이는 튜니형 스트리트 가이드를 따라 복수의 다이들에서 단일화되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 26

제 23항에 있어서,

상기 유기물질은 스핀 코팅 처리 또는 니들 디스펜싱 처리를 이용하여 적용되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 27

제 23항에 있어서,

상기 제 1 다이의 상기 상면 위에 형성되고, 본드 패드 열을 따라 지향되는 복수의 추가 본드 패드를 제공하는 단계와;

UBM 열을 따라 지향되고, 상기 유기물질의 상단에 형성되는 복수의 추가 범프 하의 금속화 층들(UBMs)을 제공하는 단계를; 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 장치에 관한 것으로, 더욱 상세하게는, 확장된 재배선 층들을 갖는 범프 웨이퍼에 관한 것이다.

배경기술

<2> 웨이퍼 다이싱 이후에 각 유닛의 패키지를 어셈블리하는 통상적인 공정 대신에, 웨이퍼 레벨 패키징(WLP)은 웨이퍼 레벨에 집적 회로를 패키징하는 기술이라고 부른다. 패키지 결과가 다이로서 실제로 동일한 크기를 갖는 것 이후로, 웨이퍼 레벨 패키징은 본래 전형적인 칩 스케일 패키징(CSP) 기술이다. 웨이퍼 레벨 패키징은 장치

상호연결과 장치 보호 공정을 포함하기 위해 웨이퍼 제조 공정들을 확장하는 것으로 구성된다. 여러 예에서, 재배선 층과 범프 기술은 패키징을 용이하게 하기 위해 사용된다.

- <3> 범프 기술을 사용한 웨이퍼 레벨 패키지들은, 웨이퍼 상 각각 장치에 상호 연결 시스템 그리고 리루팅 (rerouting)된 얇은 필름 금속의 복수 층을 용착하는, 추가 단계로 통상의 웨이퍼 제조("fab") 공정을 확장한다. 상호 연결 시스템은 동일한 표준 포토리소그래피와 장치 제조 자체 내에 수행되는 얇은 필름 용착 기술을 사용하면서 달성된다.
- <4> 상호 연결의 추가 레벨은 각 칩의 주위 본딩 패드들을 범프 하의 금속화층(UBM) 패드들의 배열 영역에 재배선 하고, 패드들은 칩의 면 상에 고르게 배치된다. 응용 회로 기관에 장치를 접속하는데 이용되는 솔더 볼들 또는 범프들은 후속적으로 UBM 패드들의 상단에 배치된다. 외부 연결의 WLP's 수단을 제공하는 것 외에, 재배선 층과 범프 기술의 사용은 또한 상호 연결을 위한 더 크고 더 많은 강한 볼들의 이용을 허용하여 각 칩의 신뢰성을 개선하고, 반도체 장치의 입력/출력(I/O) 시스템의 더 양호한 열 처리의 결과를 낳는다.
- <5> 범프 다이 구성은, 개별적으로 WLP 기술을 포함하고, 특정한 범위마다 더 많은 I/O 용량 부를 용착하기 위해 증가하는 압력에 직면한다. 그렇지만, 일반적으로 범프들을 용착하는 특정한 범위 일반적으로 제한되어 왔다.

발명의 내용

해결 하고자하는 과제

- <6> 상기와 같은 문제를 해결하기 위한 것으로, 본 발명의 목적은, 특정한 범위마다 I/O가 증가할 수 있기 위해, WLP와 같은 응용물의 이용을 위한, 범프 다이의 상면의 범위를 증가하기 위한 방법을 제공하는 것이다.

과제 해결수단

- <7> 따라서, 제 1 실시예에 따르면, 본 발명은, 상면, 저면, 그리고 둘레 면을 갖는 다이와; 상기 상면에 형성되는 본드 패드와; 제 1 다이와 접속되고 상기 다이의 상기 둘레면 주위에 배치되는 유기물질과; 상기 유기물질의 상단에 형성되는 범프 하의 금속화 층(UBM); 상기 범프 하의 금속화 층과 상기 본드 패드를 접속하는 재배선층(RDL); 을 포함하는 것을 특징으로 하는 반도체 장치에 관한 것이다.
- <8> 제 2 실시예에 따르면, 본 발명은 웨이퍼를 제공하는 단계와; 톱니형 스트리트 가이드에 의해 지정되는 단계와; 웨이퍼의 활성면 상에 형성되는 본드 패드를 구비하는 단계와; 다이싱 테이프를 상기 웨이퍼를 테이핑하는 단계와; 복수의 다이들 각각 사이에 복수의 간격들을 갖는 복수의 다이들에서 상기 톱니형 스트리트 가이드를 따라 상기 웨이퍼를 단일화하는 단계와; 미리 지정된 거리까지 복수의 간격들을 확장하기 위해 다이싱 테이프를 신장하는 단계와; 유기물질의 상면이 복수의 다이들의 제 1 다이의 상면과 실질적으로 동일평면이고, 상기 복수의 간격들 각각에 유기물질을 용착하는 단계와; 상기 유기물질 부분의 상단에 재배선 층을 패터닝하는 단계와; 상기 본드 패드와, 재배선 층을 통해, 전기 통신 되게 상기 유기물질의 상단에 범프 하의 금속화 층(UBM)을 용착하는 단계; 를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법에 관한 것이다.
- <9> 제 2 실시예에 있어서, 본 발명은 웨이퍼를 제공하는 단계와; 톱니형 스트리트 가이드로 지정되는 단계와; 상기 웨이퍼의 활성면 상단에 형성되는 본드 패드를 구비하는 단계와; 제 1 다이싱 테이프를 상기 웨이퍼를 테이핑하는 단계와; 복수의 다이들 각각 사이에 복수의 제 1 간격들을 구비하는 복수의 다이들에서 톱니형 스트리트 가이드를 따라 웨이퍼를 단일화하는 단계와; 제 1 다이싱 테이프에서 복수의 다이들을 피킹하는 단계와; 복수의 다이들 각각의 사이에 미리 지정된 폭의 복수의 제 2 간격들을 획득하기 위해 제 1 웨이퍼 지지 시스템상에 복수의 다이들을 배치하는 단계와; 리코트된 웨이퍼를 위해 복수의 간격들 각각에 유기물질을 용착하는 단계와; 유기물질의 상면은 복수의 다이들의 제 1 다이들의 상면과 실질적으로 동일평면이고; 상기 리코트된 웨이퍼를 제 2 웨이퍼 지지 시스템상으로 이송하는 단계와; 상기 유기물질 부분의 상단에 재배선 층을 패터닝하는 단계와; 상기 본드 패드와 전기 통신 되게, 재배선 층을 통해, 유기물질 상단에 범프 하의 금속화 층(UBM) 용착하는 단계; 를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법에 관한 것이다.
- <10> 제 2 실시예에 있어서, 본 발명은 제공하는 상면, 저면, 그리고 둘레 면을 구비하는 다이를 제공하는 단계와; 상기 상면에 본드 패드를 제공하는 단계와; 상기 제 1 다이에 접속하고 상기 다이의 둘레면 주위에 배치되는 유기물질을 제공하는 단계와; 상기 유기물질의 상단에 형성되는 범프 하의 금속화 층(UBM)을 제공하는 단계와; 상기 범프 하의 금속화 층에 본드 패드를 접속하는 재배선층(RDL) 제공하는 단계; 를 포함하는 것을 특징으로 하는 반도체 제조 장치의 제조 방법에 관한 것이다.

효 과

<11> 본 발명의 하나의 또는 그 이상의 실시예들이 상세하게 기술되면서, 상기 실시예들의 변형물과 응용물이 본 발명의 범위를 벗어남이 없이 첨부된 특허청구범위의 설명에서 제조되는 것으로 당업자는 해석할 수 있을 것이다.

발명의 실시를 위한 구체적인 내용

<12> 동일 또는 유사한 구성요소를 표현하는 도면부호를 포함하는 도면을 참조하여 후술하면서 본 발명은 하나 또는 그 이상의 실시예로 설명된다. 본 발명의 목적을 달성하기 위한 최적의 방안에 의해 본 발명이 설명되면서, 후술하는 명세서와 도면에 의해 뒷받침되면서 첨부된 특허청구범위와 특허청구범위의 균등물에 의해 정의되는 발명의 범위와 정신의 안에서 내포 가능한 대안물, 변형물과 균등물을 포함하는 것으로 의도되는 본 발명의 구성요소들의 기능에 의해 본 발명은 해석될 것이다.

<13> 도 1은 웨이퍼 레벨 칩 스케일 패키지(wafer level chip scale package)의 종래 제조 방법의 예(100)를 나타내는 도면이다. 복수의 칩들(chips)(102)은 웨이퍼(wafer)에서 절삭된다. 각 칩(102)은 칩(102)의 활성 표면(active surface) 상에 위치되는 복수의 돌출된 본딩 패드들(bonding pads)(104)을 갖는다.

<14> 상기 복수의 칩들(102)은 신축형 필름(retractable film)(106)의 상면에 배치된다. 상기 신축형 필름(106) 프레임(frame)(108)에 의해 고정된다. 상기 프레임(108)은 픽스처(fixture)(110)에 의해 고정되고 신축형 필름(106)은 작업 플랫폼(work platform)(112) 상에 배치되고 특정한 거리까지 신장 된다. 상기 플랫폼(112)은 상기 픽스처(110)에 상대하여 상승할 수 있다. 상기 웨이퍼는 복수의 칩들(102)로 커터기(cutter)에 의해 절삭된다. 즉, 도시된 바와 같이 상기 복수의 칩들(102)은 반도체 패키지(semiconductor package)로 인캡슐화되고(encapsulated) 다음으로, 커터기(118)에 의해 절삭(sawn)된다. 샤프트(114)는 픽스처(110)에 상대하여 플랫폼(112)을 들어올리기 위해 상향으로 이동한다.

<15> 본 발명은 추가 범프들을 수용하기 위해 넓어지는 상면을 제공하는 범프 웨이퍼 반도체 장치(bumped wafer semiconductor device)의 종래 제조 방법(100)을 개선한다. 상기 추가 범프들은 웨이퍼 수율(yields)에 영향을 줄 수 있는 추가 웨이퍼 재료의 사용 없이 각 칩의 보다 큰 입력/출력 (I/O) 용량을 초래한다.

<16> 도 2a는 확장된 재배선층(RDL) 범프 웨이퍼(extended redistribution layer bumped wafer)의 제 1 실시예를 나타내는 평면도이다. 본 발명(200)은 병합된 다이(die)를 갖는다. 범프들(204)은 다양한 솔더(solder)들과 금(Au)과 같은 전도성의 금속으로 제조된다.

<17> 본 발명(200)은 반도체 다이(202)의 활성 면(active side) 상에 용착되는 복수의 본드 패드들(206)을 포함한다. 상기 본딩 패드(bonding pads)(206)들은 도금 공정 또는 다른 공정에 의해 상기 다이(202)의 전극 단자들 상에 용착될 수 있다. 또한, 범프들(204)처럼, 본딩 패드들(206)의 재료들은 알루미늄(Al)과 같은 전도성 금속으로 제조될 수 있다. 본딩 패드들(206)은 솔더링(soldering) 공정에 의해 기판에 접합 될 수 있다.

<18> 일련의 금속 트레이스(trace)들은, 더욱 상세히 기술하면, 도 2b에 도시된 바와 같이 범프 하의 금속화 층(UBM)(802)을 경유하여 범프들(204)까지 전기적으로 본드 패드들(206)을 연결한다.

<19> 본 발명의 목적을 위해서 "유기물질"로서 언급되는 주위 물질(surrounding material)(208)은 도시된 바와 같이 다이(202)의 둘레면(peripheral surface)(214) 주위에 용착된다. 상기 유기물질은, 후술하는 바와 같이, 종래 기술의 유기물질을 기초로 하고 개선된다. 상기 유기물질은 벤조사이클로부텐계(BCB), 폴리이미드(PI) 재료 또는 유사한 재료와 같은 재료들을 포함할 수 있다.

<20> 도시된 바와 같이, 몇몇의 범프들(204)은 열(rows)을 따라 조직화되고 상기 유기물질(208) 상에 형성된다. 본 발명(200)에 따르면, 상기 범프들(204)은 각각의 유기 물질(208)에서 상기 다이(202)의 각 면(216,218,220,222) 상에 형성된다.

<21> 도 2b는 도 2a에 도시된 본 발명(200)의 제 1 실시예를 나타내는 측면도이다. 더욱 상세하게는, 다이(202)는 유기물질(208)에 의해 좌측면(216)과 우측면(220)으로 도시된 바와 같이 둘러싸인다. 범프들(204)은 다이(202)의 활성면(active surface)(212) 상에 배치된다. 일련의 재배선층(redistribution layers)(RDL)(210)은 도시된 바와 같이 UBMs(802)을 경유하여 본드 패드들(204)을 전기적으로 연결한다.

<22> 도 2c 는 범프(204)와 본드 패드(206) 사이에 전기적으로 통신 되는 재배선 트레이스들(224)을 병합하는 재배선층(210)의 부분 확대도이다. 재배선 트레이스들(224)는 통상의 기술들을 사용하여 재배선 층(210)에서

집적된다.

- <23> 도 3a 및 도 3b 는 확장된 재배선층 범프 웨이퍼의 제조 방법에 따른 제 1 실시예의 제 1 단계를 나타내는 측면도와 평면도이다. 웨이퍼(300)는 일련의 톱니형 스트리트 가이드(saw street guide)(302)에 의해 지정되면서 제공된다. 본드 패드(206) 도시된 바와 같이 상기 웨이퍼(300)의 상면(304) 내에서 집적된다.
- <24> 도 4a 및 도 4b는 상기 제조 방법의 제 1 실시예에 따른 제 2 단계를 나타내는 측면도와 평면도이다. 웨이퍼(300)는 다이싱 테이프(dicing tape)(404)에 부착된다. 웨이퍼(300)는 커팅 소스(cutting source)(402)에 의해 제 1 단계 동안 도시된 바와 같은 제조물들(400)로 단일화(singulate)된다. 커팅 소스(402)는 톱 또는 레이저 절삭 도구를 포함할 수 있다.
- <25> 단일화에 앞서, 웨이퍼(300)는 단일화 처리 동안 제자리에서 다양한 분할물들(400)을 보유하는 다이싱 테이프(404) 상에 배치된다. 단일화 처리에 후속하여, 일련의 간격들(406)이 도시된 바와 같이 각각의 분할물들(400) 사이에 형성된다.
- <26> 도 5a 및 도 5b는 상기 제조 방법의 제 1 실시예에 따른 웨이퍼 분할물들의 확장 방향을 표시하는 제 3 단계를 나타낸다. 웨이퍼(300)는 도시된 각각의 분할물들에서 확장 과정을 거친다. 다이싱 테이프(404)는 미리 지정된 거리(504)를 구비하는 일련의 간격들(502)을 위해 다양한 기술(예, 확장 테이블의 사용)로 신장할 수 있다. 도시된 열(506)은 웨이퍼 확장 과정에 의해 거치게 되는 다양한 확장 방향들을 표시한다.
- <27> 도 6a 및 도 6b는 상기 제조 방법의 제 1 실시예에 따른 복수의 간격들에 유기물질의 증착하는 제 4 단계를 나타낸다. 도 5a 및 도 5b에 도시된 바와 같은 다양한 간격들(502)은 (여기서 유기물질(602)로 지정되는) 전술한 유기물질(208)로 채워진다. 채워진 분할물들(600)의 상면과 일치하는 면(604)은 유기물질(602)의 상면에 일치하는 면(606)과 실질적으로 동일평면이다.
- <28> 유기물질(602)응용(application)은 스핀 코팅(spin-coating) , 니들 디스펜싱 (needle dispensing) 또는 유사한 응용에 의해 수행될 수 있다.
- <29> 도 7a 및 도 7b는 상기 제조 방법의 제 1 실시예에 따른 재배선 층들(702)에서 패턴화되는 제 5 단계(700)를 나타낸다. 유연한 요소의 형상으로 웨이퍼(300) 상에서 액티브 스트럭처(active structure)와 결합한 본드 패드(206) 사이에 전기적 연결을 실현하는 재배선 층(702)의 제작은, 복수의 포토리소그래픽(photolithographic) 공정 단계를 요구할 수 있다. 본 발명에 있어서, 웨이퍼 분할물(300)은 먼저, 충분히 노출되고 개량되어야 하는, 포토레지스트(photoresist)와 같이 코팅되어야 한다. 상기 포토레지스트 단계는 금속 층과 같이 코팅되면서 수행되고, 이후에 상기 포토레지스트는 직선형이 된다. 상기 포토레지스트의 단계와 금속 코팅 처리 단계들은 요구되는 층의 결과가 얻어질 때까지 반복 된다.
- <30> 본 발명에 있어서, 층들(702)의 패턴화는 통상의 리소그래픽(lithographic) 공정에 의해 실현된다. 재배선층(702) 상에 위치되는 시드 층(seed layer)과 Cu/Ni 층의 증착은 다음 단계에서 수행된다. 금(Au)은 전체 재배선층 상에 용착될 수 있다. 본 발명에 있어서 실제 전기적 전도체는, 가장 작은 전기 저항을 갖는, 구리(Cu)로 구성된다. 구리는 도 2c에 도시된 트레이싱(224)에서 해석되는 실시예와 유사한 금속 트레이싱(metal tracings)으로 형성될 수 있다.
- <31> 상기 층(702)의 형성과 패턴화의 상기 설명된 방법은 후술하는 개략적인 설명으로 나타낼 수 있다. (a) 시드 층의 용착 단계, (b) EPR 1(제 1 에폭시 포토레지스트)을 코팅화와 패턴화(리소그래피 제 1 단계) 하는 단계, (c) 시드 층 상에 Cu/Ni층 결과물의 산출물을 리루트 플레이팅(reroute plating)하는 단계, (d) Au로 리루트 트레이스(reroute trace)를 코팅하는 단계, (e) EPR 2(제 2 에폭시 포토레지스트)를 코팅화와 패턴화(리소그래피 제 2 단계) 하는 단계, (f) (요구되는 바와 같이) Au층에 선택적인 에칭(etching)하는 단계(습식 에칭, CPM, 또는 제거/스트리핑(striping)).
- <32> 상기 설명된 실시예의 제조 방법에 있어서, 니켈(Ni)층은 구리(Cu)층을 위해 부착층으로서 작용한다. 이번에는 구리(Cu)층이 금(Au) 덮개 층을 위해 부착층으로서 작용한다. 금(Au) 층은 산화될 수 없으므로, 한편으로 금 층은 솔더 재료를 위해 안전한 부착층으로서 작용한다. 구리(Cu)(전도성의)층이 금(Au) 층에 의해 부식되는 것에서 대부분 보호된다.
- <33> 그러나 본 발명의 기능으로 평가될 수 있는 것으로서, 재배선 층(702)을 형성한 다른 방법들 그리고 관련된 재료들이 응용 주문을 위해 이용될 수 있다. 사용된 방식과 이용된 재료에 관계없이, 층들(702)의 목적은 본드 패드들(206)에서 범프들(204)로 후술하는 바와 같이 전기적 접속을 제공하는 것이다.

- <34> 도 8a 및 도 8b는 상기 제조 방법의 제 1 실시예에 따른 몇몇은 유기물질 상에 형성되는 복수의 범프 하의 금속화 층(802)(UMMs)을 성형하는 제 6 단계(800)를 나타내는 도면이다. UBM층은 범프 칩과 패키징 기판을 접촉하는 범프와 기판상의 패드 사이에서 구성요소들이 확산하는 것을 막는 차단벽으로서 활성화할 수 있다. 또한, UBM층은 기판상의 패드와 범프 사이의 부착력을 개선한다.
- <35> 또한, UBM층은 솔더에 기반한 범프와 상기 UBM 층 사이에 개량된 칩 접합 특성을 확보하는 습식 층으로서 활성화할 수 있다. 상기와 같은 이점은, A는 예를 들어 금 또는 니켈과 같이 저융점금속(non-refractory metal)이고 B-C는 티타늄/텅스텐(Ti/W)과 같이 쌍을 이루는 합금인, A/B-C의 두개층 구조에 응용되거나, A는 저융점금속이고 B와 C는 고용점금속인 A/B/C의 세개층 구조에 응용된다.
- <36> RDL층(702)의 형성과 같이, UBM(802) 구성요소들의 형성은 다양한 방법론으로 일관하여 수행할 수 있다. UBM(802) 용착은 물리적 증착(예, 스퍼터링(sputtering), 증발), 화학 기상 증착, 또는 다른 유사한 방법들과 같은 여러 방법을 통해 이루어진다. 일례로, UBM(802)는 한가지 금속 또는 적어도 하나의 고용점금속을 포함하는 합금으로 구성된다. 또한, UBM(802)는 단일 고용점금속 또는 합금 층 또는 다수의 층들로 구성될 수 있다. 제조방법의 일례에 있어서, UBM(802)은 수소(H) 열처리 공정에 영향을 받을 수 있다.
- <37> 도 9a 및 9b는 상기 제조방법의 제 1 실시예에 따른 상기 범프 하의 금속화 층(802) 상단에 복수의 범프들(902)의 형성을 포함하는 제 7 단계(900)를 나타낸다. 범프들(902)은 여러 기술로 한결같이 형성될 수 있다. 일례로, 범프 전극들(902)은 포토리소그래피의 전자 부품상에 미리 지정된 레지스트 패턴(resist pattern)을 형성하는 단계를 포함하고, 금속 와이어(wire)에서 금속 볼(ball)을 형성하는 볼(ball) 범프 방법에 의하거나, 솔더, 또는 금(Au) 또는 구리와 같은 금속을 이용하면서 미리 지정된 두께까지 성장되는 레지스트 패턴을 갖는 전해도금(electrolytic plating) 방법을 이용하여 형성된다. 또한, 어떤 방법으로도, 여러 제조방법은 범프들(902)을 제조하는 것으로 이행될 수 있다.
- <38> 도 10a 및 10b 는 상기 제조방법의 제 1 실시예에 따른 제 2 웨이퍼 단일화 단계를 도시하는 제 8 단계(902)를 나타낸다. 웨이퍼 어셈블리(wafer assembly)(300)는 폼 갭(form gap)(904)으로 커팅 소스(402)에 의해 제 2 단계 동안 단일화된다. 상기 방법을 겪는 동안, 도 10a 및 도 10b에 도시된 바와 같은 다양한 다이들(200)과 전술한 예들은 개개의 웨이퍼(300)에서 생산되는 칩 전체의 더 작은 부분(portion)을 나타낸다. 따라서, 후술하는 제 2 단일화 단계의 결과, 다수의 다이들(200)은, 유기물질이 완전히 다이(202)의 둘레 면을 감싸고 범프들(204)이 전술한 바와 같이 다의 각 옆면을 따라 열을 지어 형성되는, 도 2a 및 도 2b 에 도시된 실시예처럼 된다.
- <39> 제 1 실시예에 있어서, 도 10a 및 도 10b에 도시된 후술하는 단일화 단계에서, 개개의 다이들(200)은 다이싱 테이블(404)에서 각 다이(202)를 제거하기 위한 다이 픽 앤 플레이스 공정(die pick and place process)에 의해 제거된다.
- <40> 도 11a 및 도 11b는 도 2a 및 도 2b에서 각각 측면도와 평면도로 도시된 확장된 재배선 층들 범프 웨이퍼 장치(200) 제조방법의 제 2 실시예에 따른 제 3단계를 나타낸다. 도시된 바와 같이 제 2 실시예는 전술한 제 1 실시예의 상기 첫 번째 두 단계(예, 웨이퍼를 제공하는 단계와 다이싱 테이블(404) 상 각각의 분할물로 단일화하는 단계)가 할당된다. 또한, 다양한 특징(feature)들이 다시 재현된다.
- <41> 다음 단계로서, 웨이퍼(300) 분할물(500)들은 다이싱 테이블(404)에서 취득되고 도시된 바와 같이 이른바 "웨이퍼 지지 시스템"(wafer support system)(405) 상에 배치된다. 웨이퍼 지지 시스템은 논리적으로 제 2 다이싱 테이블(405)를 포함할 수 있다. 그렇지만, 웨이퍼 지지 시스템은 또한 유리, 세라믹, 라미네이트(laminate), 또는 실리콘(Si) 기판과 같은 일시적인 웨이퍼 지지 시스템이 될 수 있다. 본 발명에서, 톱니형 다이들(202)은 다이싱 테이블(404)에서 취득되고 통상적인 픽 앤 플레이스(pick and place) 기계들을 이용하여 웨이퍼 지지 시스템(405) 상에 배치된다. 픽 앤 플레이스 공정은 각각의 분할물(550)사이에 미리 지정된 폭과 거리(412)를 갖는 갭(gap)(406)이 되게 한다.
- <42> 도 12a 및 도 12b는 도 2a 및 도 2b에 도시된 확장된 재배선 층들 범프 웨이퍼 장치(200)의 제조방법의 제 2 실시예에 따른 제 4단계를 나타낸다. 유기물질(602)은 분할물들(650)에 유사한 스핀 코팅, 니들 디스펜싱, 또는 전술한 다른 방식으로 다시 응용된다. 분할물(650)의 면(642)은 유기물질(602)의 면(654)과 실질적으로 동일 평면이다.
- <43> 다음으로, 도 13a 및 도 13b는 도 2a 및 도 2b에 도시된 장치(200)의 제조방법의 제 2 실시예에 따른 제 5단계를 나타낸다. 리코티드 웨이퍼(recoated wafer)(300)는 제 2 웨이퍼 지지 시스템(408) 상으로 이송된다. 제 2

웨이퍼 지지 시스템은 다시 유리, 실리콘(Si) 기판 재료들, 세라믹, 그리고 라미네이트 재료들을 포함할 수 있다.

- <44> 도 14a 및 도 14b는 각각 측면도와 평면도인 2a 및 도 2b에 도시된 장치(200)의 제조방법의 제 2 실시예에 따른 제 6단계를 나타낸다. 도 7a 및 도 7b에 도시된 단계와 유사한 단계(750)에 있어서, 재배선 층들(702)은 본드 패드들(206)과 일치하기 위해 유기물질(602) 부분 상단에 형성된다.
- <45> 도 15a 및 도 15b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 7 단계(850)를 나타낸다. 단계(850)는 UBM(802) 용착 공정인 도 8a 및 도 8b에 도시된 단계와 또한 유사하다.
- <46> 도 16a 및 도 16b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 8 단계(950)를 나타낸다. 일련의 범프들(902)은 도 9a 및 도 9b에 도시된 것과 유사한 공정에서 UBMs(802) 상단에 용착된다.
- <47> 도 17a 및 도 17b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 9 단계(960)를 나타낸다. 도 18a 및 도 18b는 장치들의 제조방법의 제 2 실시예에 따른 일련의 단일화된 다이들(202)을 위해 제 2 단일화 공정인 제 10 단계(970)를 나타낸다. 도 18a 및 도 18b에 도시된 바와 같이, 웨이퍼(300)는 추가 다이싱 테이프(410) 상으로 이송된다. 픽 앤 플레이스 공정은 다음으로 다이싱 테이프(410)에서 복수의 단일화된 다이들(202)을 제거하기 위해 이용된다.
- <48> 범프 웨이퍼 응용을 위한 확장된 재배선 층을 구체화하는 장치(200)와 같은, 반도체 장치들은 여러 응용물에서 다양한 기능(functionality)과 가요성(flexibility)을 제공할 수 있다. 유기물질(602)의 사용은, 정해진 표면 면적 안에서 추가 입력/출력(I/O) 처리량을 허용하는, 다이(202) 외 측에 범프들(902)의 배치를 가능하게 한다. 또한, 웨이퍼(300) 재료 대신에 유기물질(602)의 사용에 의해, 각각의 웨이퍼마다 산출은 증가 된다. 유기물질(602)은 다수의 실행에서 다양한 다이들을 수용하기에 필요한 만큼 두껍게 형성될 수 있다.
- <49> 본 발명의 하나의 또는 그 이상의 실시예들이 상세하게 기술되면서, 상기 실시예들의 변형물과 응용물이 본 발명의 범위를 벗어남이 없이 첨부된 특허청구범위의 설명에서 제조되는 것으로 당업자는 해석할 수 있을 것이다.

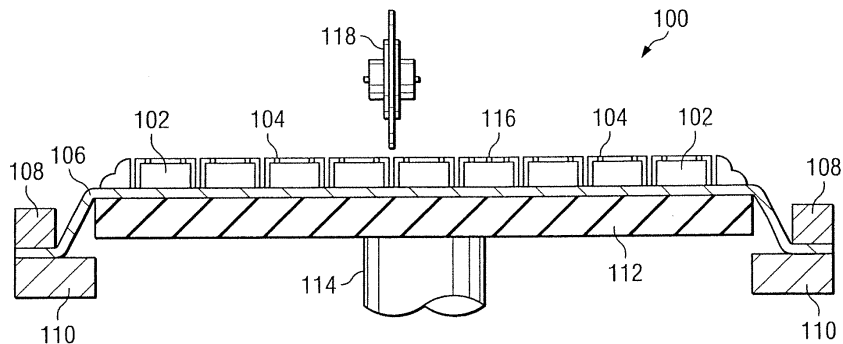
도면의 간단한 설명

- <50> 도 1은 웨이퍼 레벨 칩 스케일 패키지(wafer level chip scale package)의 종래 제조 방법의 예(100)를 나타내는 도면이다.
- <51> 도 2a는 확장된 재배선층(RDL) 범프 웨이퍼(extended redistribution layer bumped wafer)의 제 1 실시예를 나타내는 평면도이다.
- <52> 도 2b는 도 2a에 도시된 본 발명(200)의 제 1 실시예를 나타내는 측면도이다.
- <53> 도 2c는 범프(204)와 본드 패드(206) 사이에 전기적으로 통신 되는 재배선 트레이스들(224)을 병합하는 재배선 층(210)의 부분 확대도이다.
- <54> 도 3a 및 도 3b는 확장된 재배선층 범프 웨이퍼의 제조 방법에 따른 제 1 실시예의 제 1단계를 나타내는 측면도와 평면도이다.
- <55> 도 4a 및 도 4b는 상기 제조 방법의 제 1 실시예에 따른 제 2단계를 나타내는 측면도와 평면도이다.
- <56> 도 5a 및 도 5b는 상기 제조 방법의 제 1 실시예에 따른 웨이퍼 분할물들의 확장 방향을 표시하는 제 3단계를 나타낸다.
- <57> 도 6a 및 도 6b는 상기 제조 방법의 제 1 실시예에 따른 복수의 간격들에 유기물질의 증착하는 제 4단계를 나타낸다.
- <58> 도 7a 및 도 7b는 상기 제조 방법의 제 1 실시예에 따른 재배선 층들(702)에서 패턴화되는 제 5 단계(700)를 나타낸다.
- <59> 도 8a 및 도 8b는 상기 제조 방법의 제 1 실시예에 따른 몇몇은 유기물질 상에 형성되는 복수의 범프 하의 금속화 층(802)(UMMs)을 성형하는 제 6 단계(800)를 나타내는 도면이다.
- <60> 도 9a 및 9b는 상기 제조방법의 제 1 실시예에 따른 상기 범프 하의 금속화 층(802) 상단에 복수의 범프들(902)의 형성을 포함하는 제 7 단계(900)를 나타낸다.

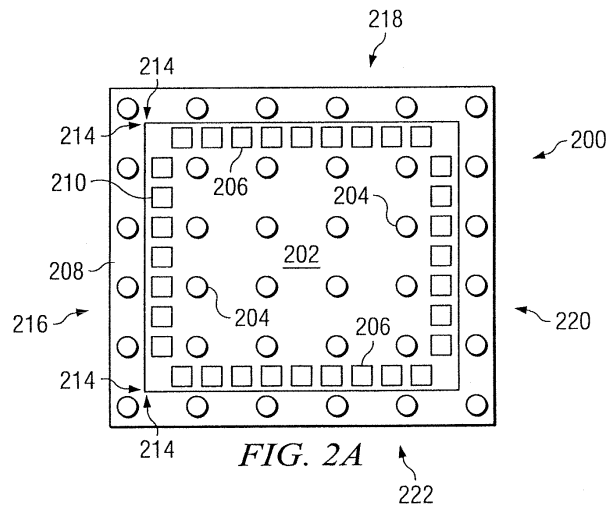
- <61> 도 10a 및 10b 는 상기 제조방법의 제 1 실시예에 따른 제 2 웨이퍼 단일화 단계를 도시하는 제 8 단계(902)를 나타낸다.
- <62> 도 11a 및 도 11b는 도 2a 및 도 2b에서 각각 측면도와 평면도로 도시된 확장된 재배선 층들 범프 웨이퍼 장치 (200) 제조방법의 제 2 실시예에 따른 제 3단계를 나타낸다.
- <63> 도 12a 및 도 12b는 도 2a 및 도 2b에 도시된 확장된 재배선 층들 범프 웨이퍼 장치(200)의 제조방법의 제 2 실시예에 따른 제 4단계를 나타낸다.
- <64> 도 13a 및 도 13b는 도 2a 및 도 2b에 도시된 장치(200)의 제조방법의 제 2 실시예에 따른 제 5단계를 나타낸다.
- <65> 도 14a 및 도 14b는 각각 측면도와 평면도인 2a 및 도 2b에 도시된 장치(200)의 제조방법의 제 2 실시예에 따른 제 6단계를 나타낸다.
- <66> 도 15a 및 도 15b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 7 단계(850)를 나타낸다.
- <67> 도 16a 및 도 16b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 8 단계(950)를 나타낸다.
- <68> 도 17a 및 도 17b는 장치(200)의 제조방법의 제 2 실시예에 따른 제 9 단계(960)를 나타낸다.
- <69> 도 18a 및 도 18b는 장치들의 제조방법의 제 2 실시예에 따른 일련의 단일화된 다이들(202)을 위해 제 2 단일화 공정인 제 10 단계(970)를 나타낸다.

도면

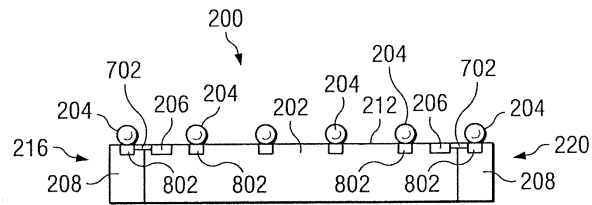
도면1



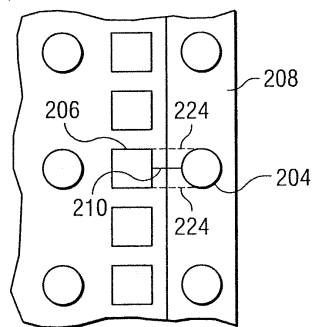
도면2a



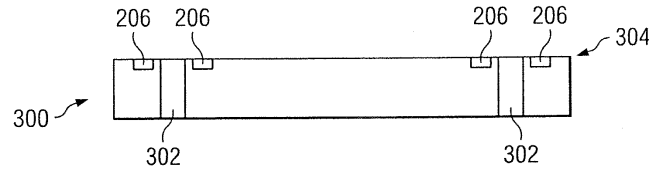
도면2b



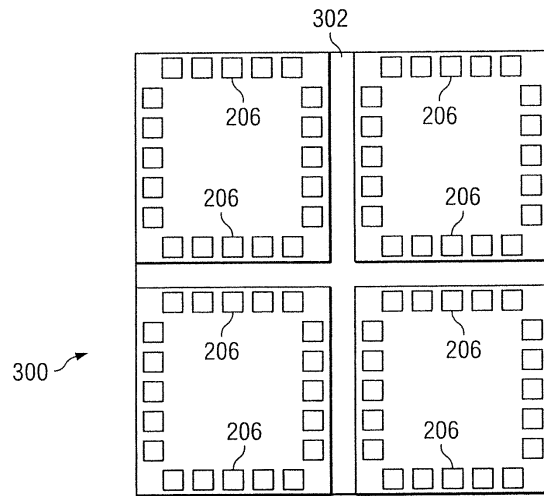
도면2c



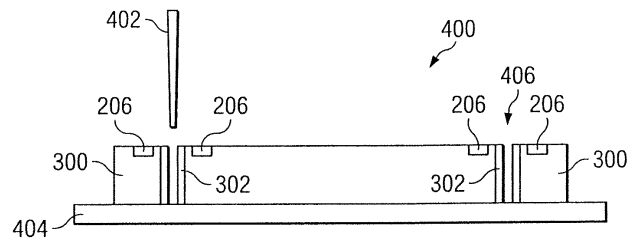
도면3a



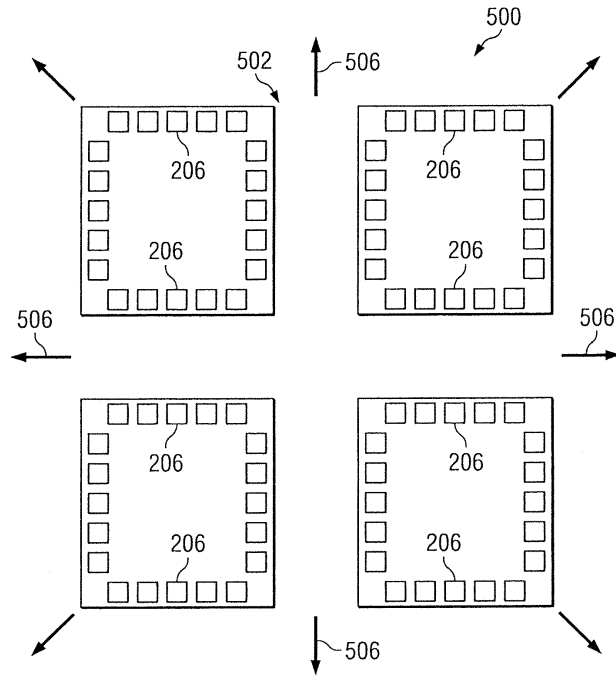
도면3b



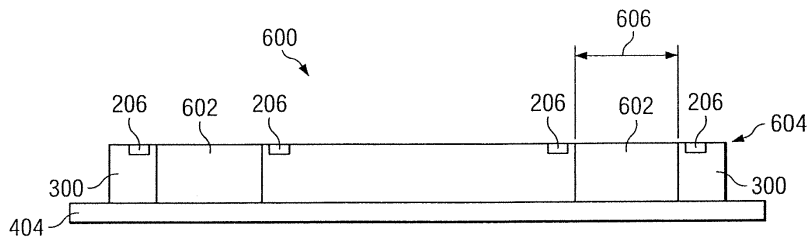
도면4a



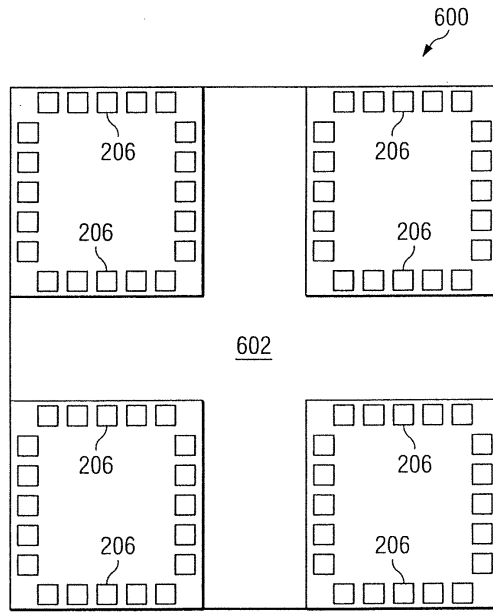
도면5b



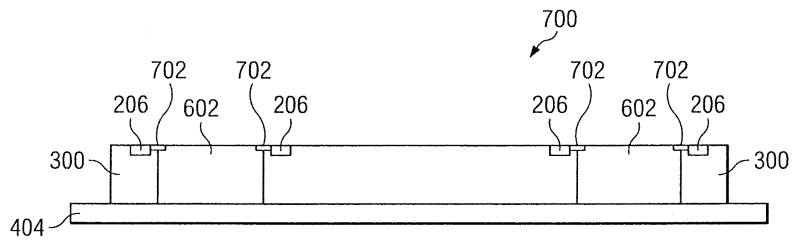
도면6a



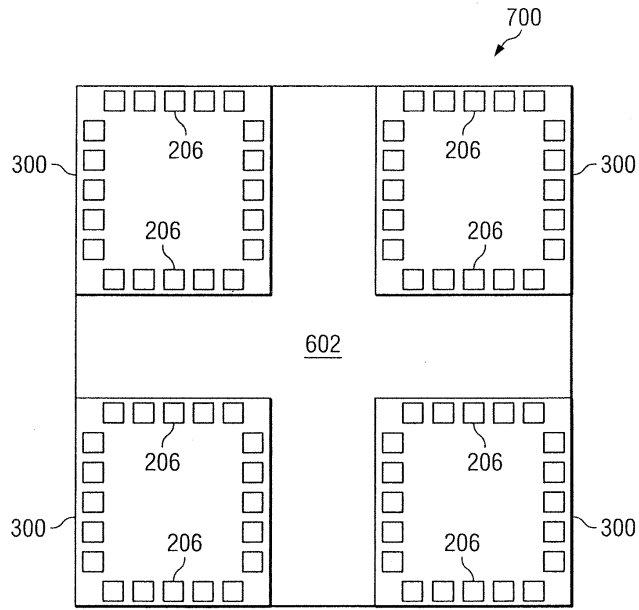
도면6b



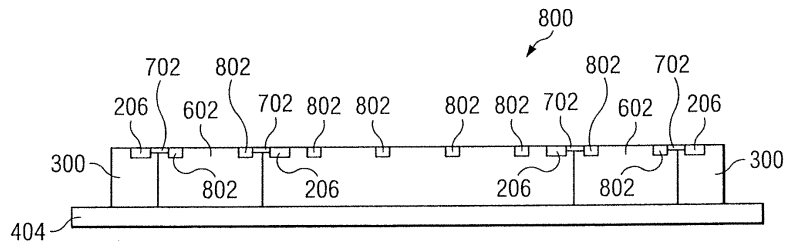
도면7a



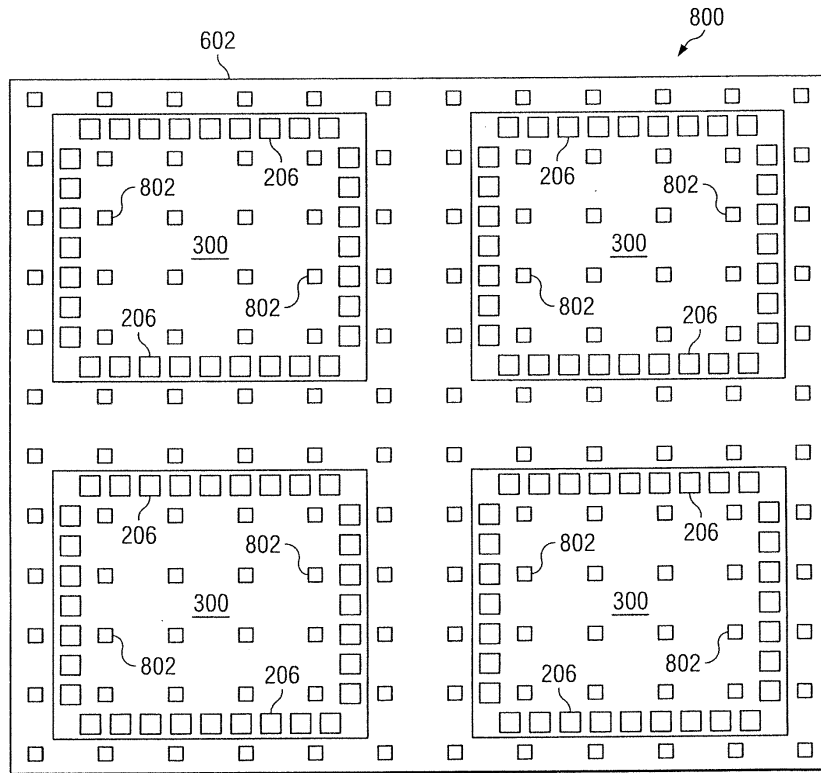
도면7b



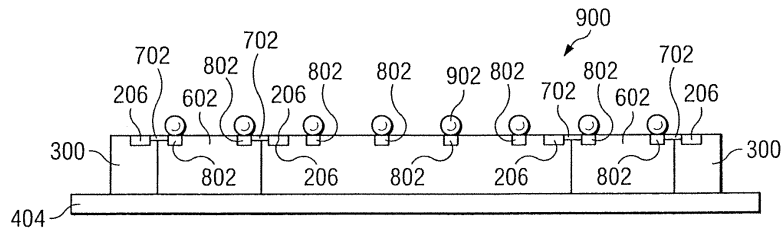
도면8a



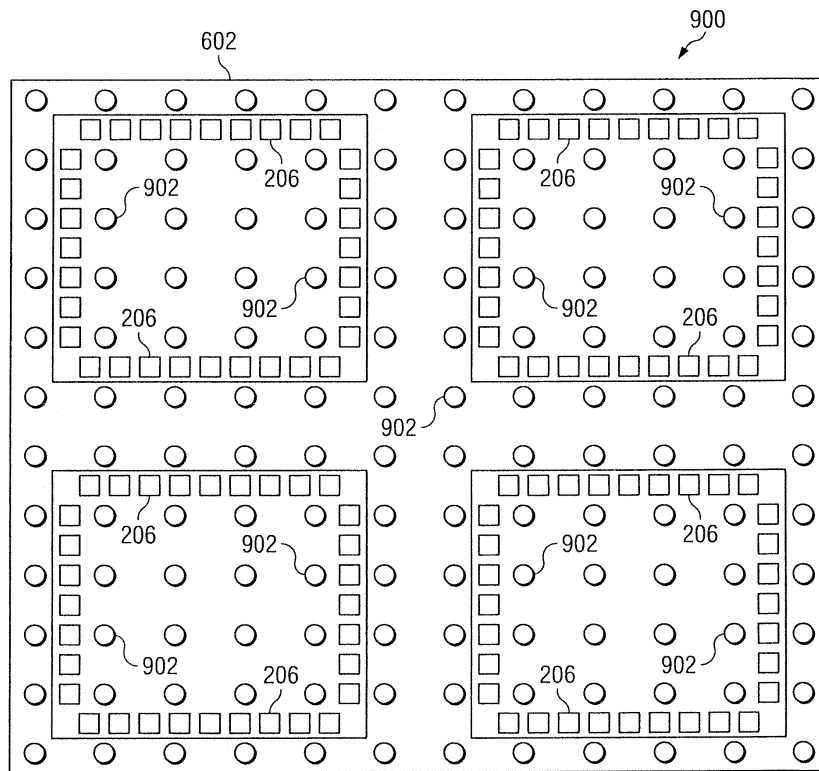
도면8b



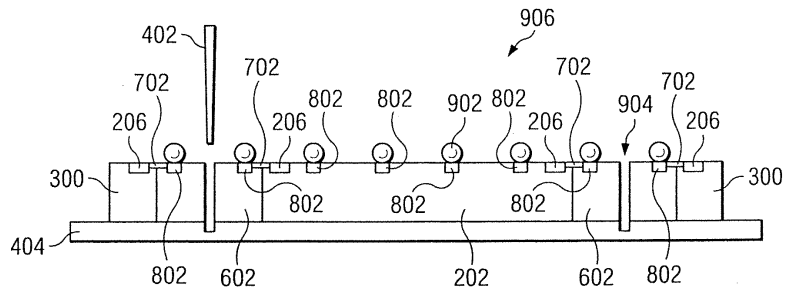
도면9a



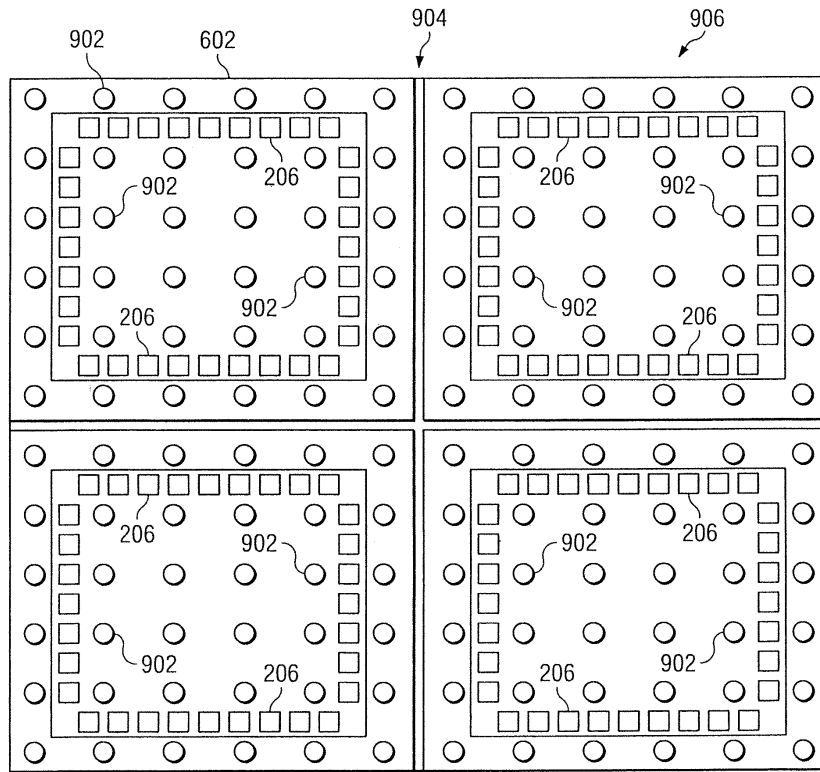
도면9b



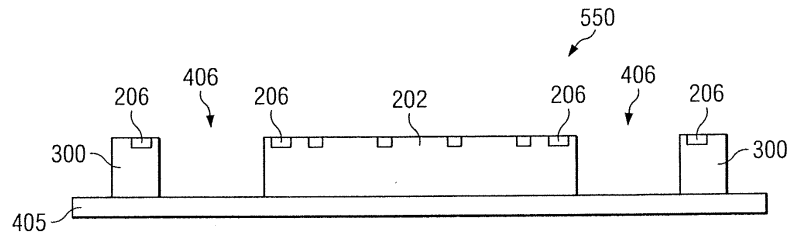
도면10a



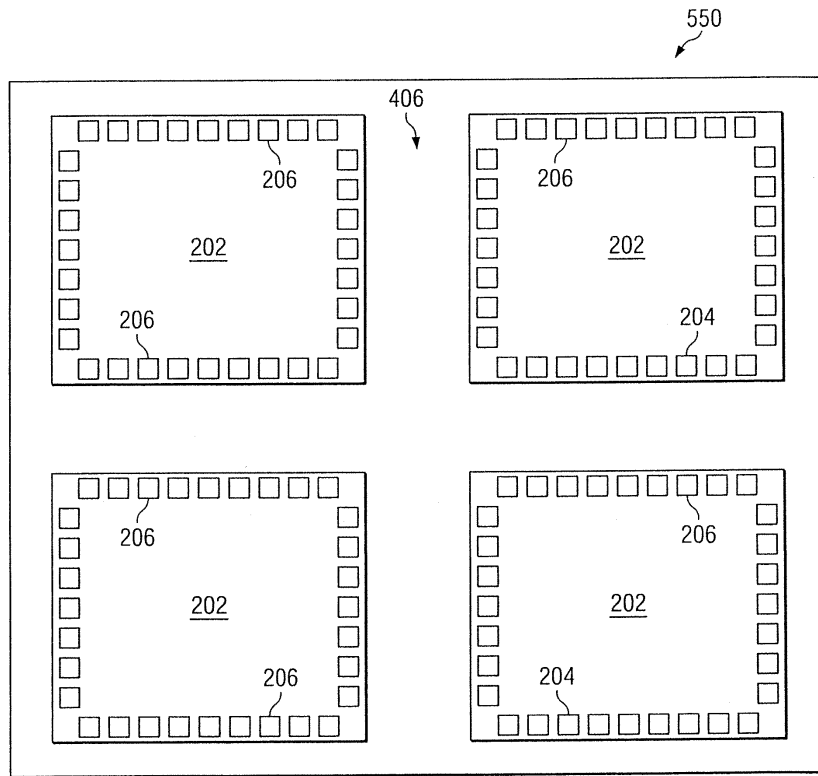
도면10b



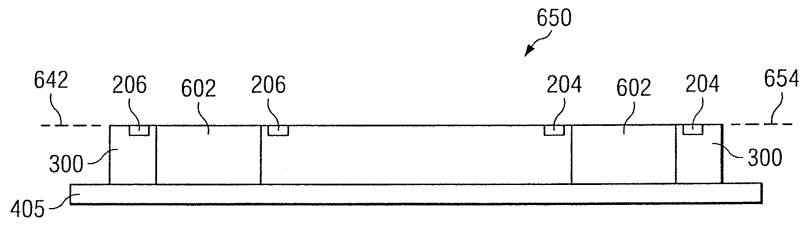
도면11a



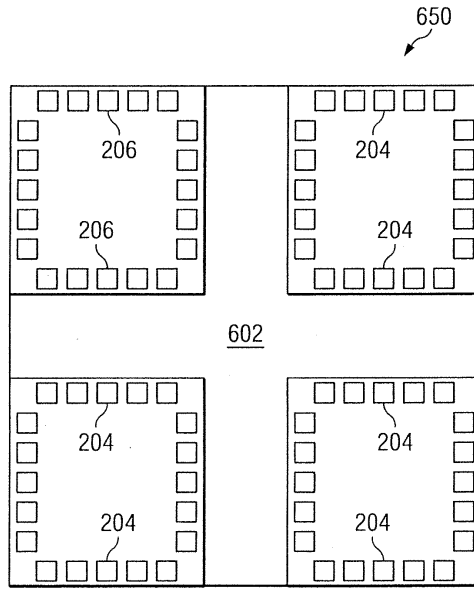
도면11b



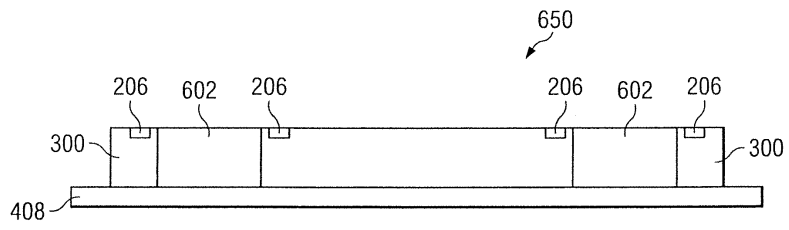
도면12a



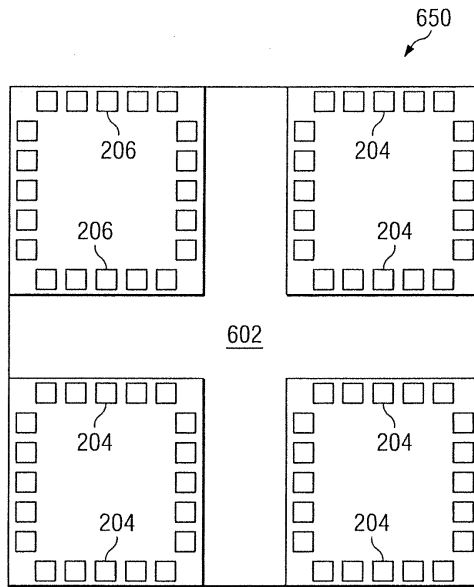
도면12b



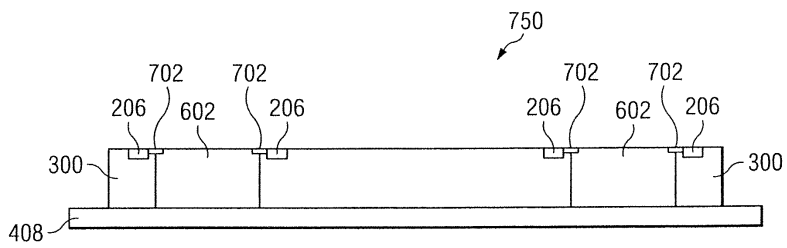
도면13a



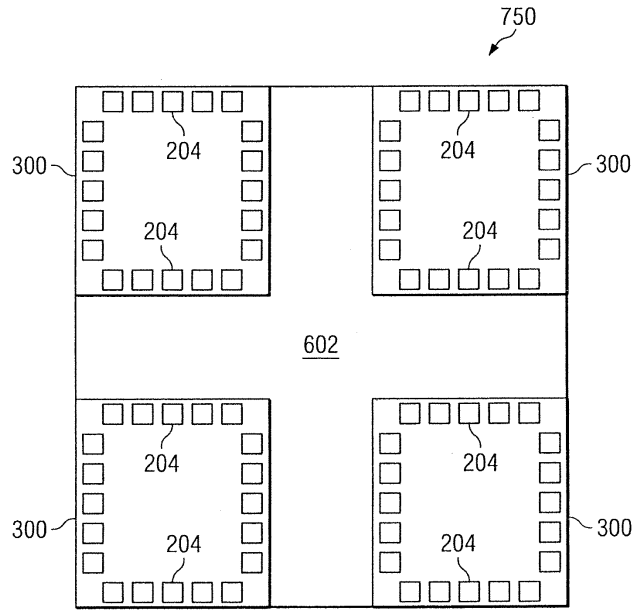
도면13b



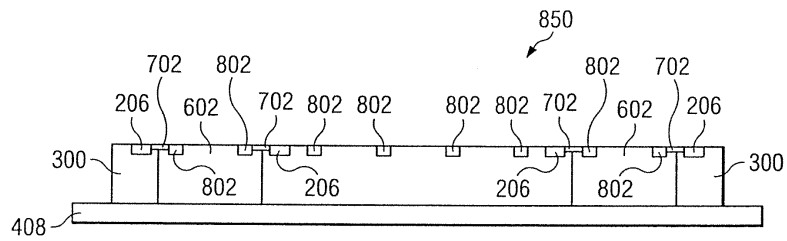
도면14a



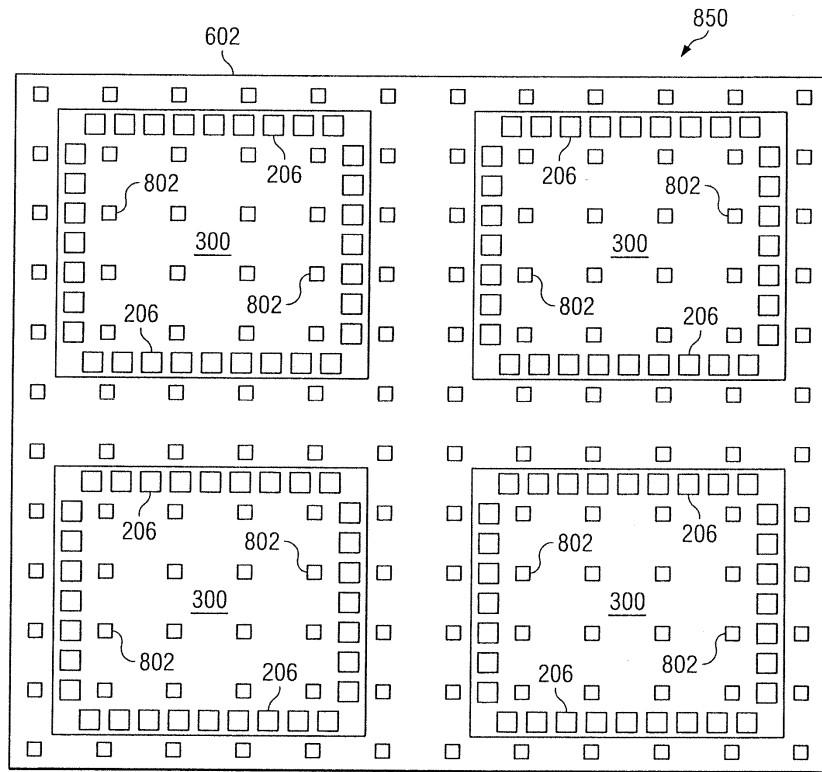
도면14b



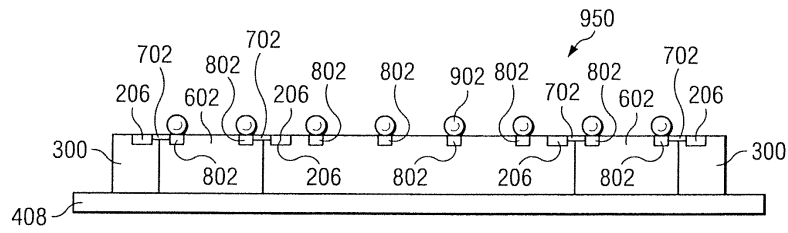
도면15a



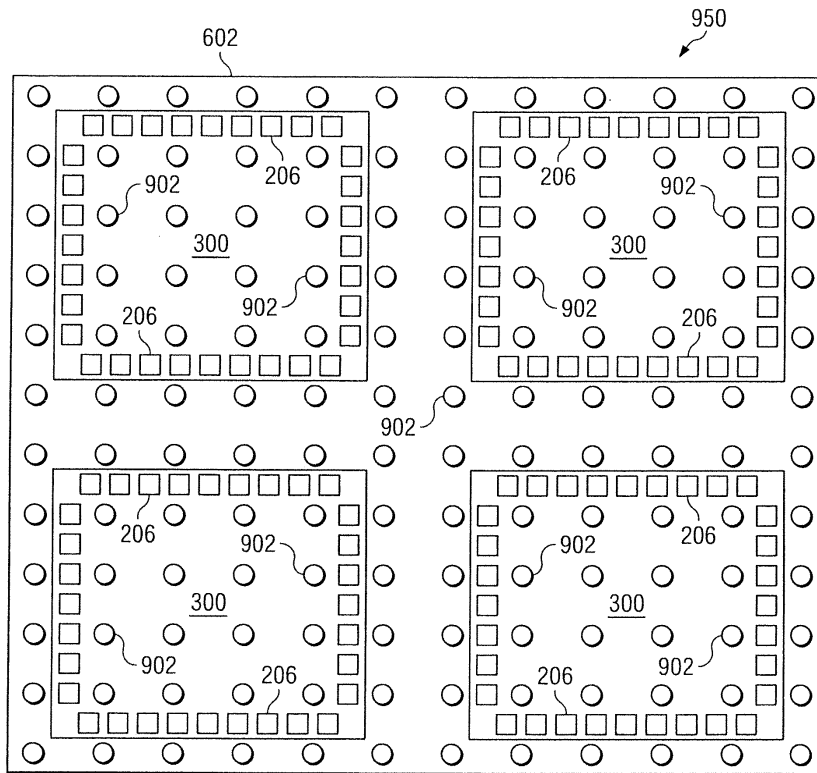
도면15b



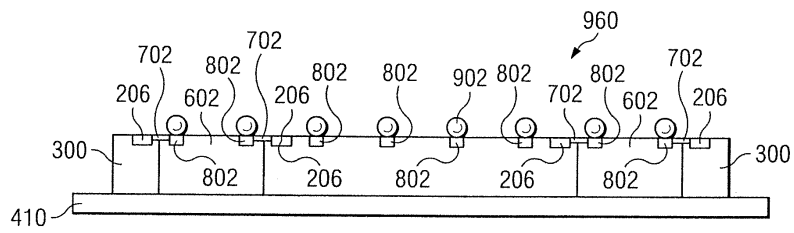
도면16a



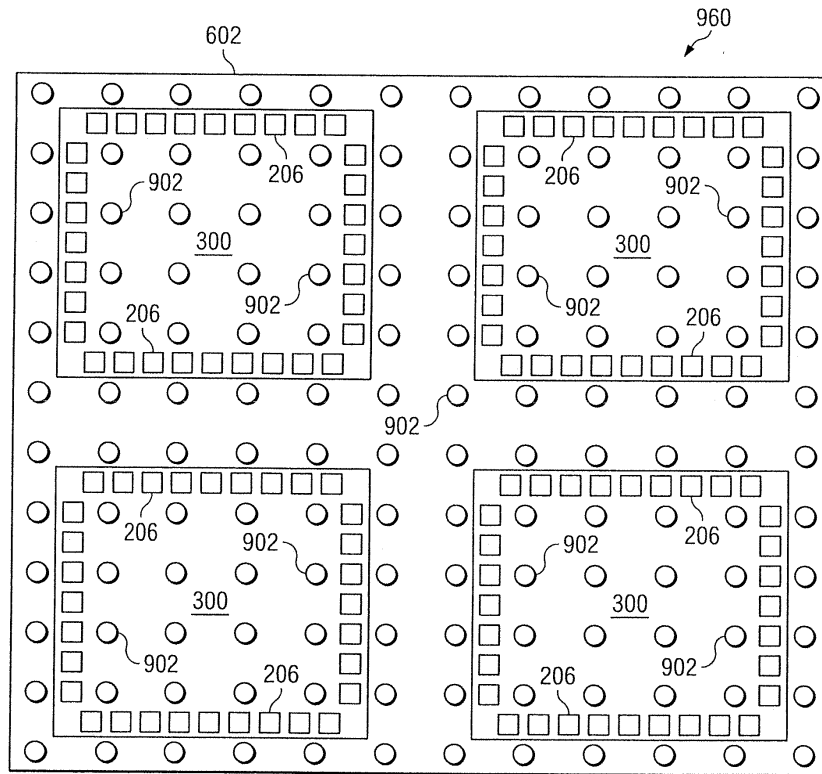
도면16b



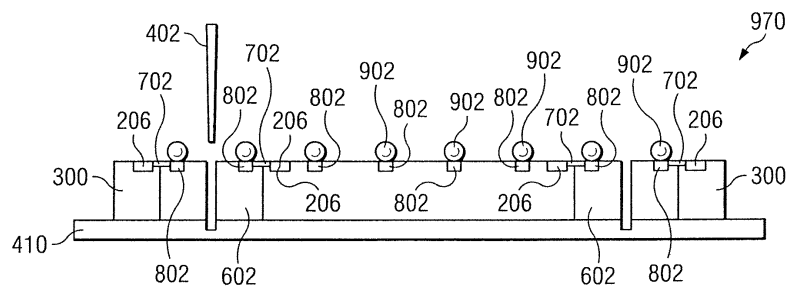
도면17a



도면17b



도면18a



도면18b

