(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年5 月4 日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046300 A1

(51) 国際特許分類[7]: G11C 16/12

(21) 国際出願番号: PCT/JP2004/016118

(22) 国際出願日: 2004 年10 月29 日 (29.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパンション エルエルシー (SPANSION LLC) [US/US]; 940883453 カリフォルニア州サニーベイル ワン エイエムディ プレイス ピー・オー・ボックス ３４５３ California (US). Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845 福島県会津若松市門田町工業団地６番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中井努 (NAKAI, Tsutomu) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 黒崎一秀 (KUROSAKI, Kazuhide) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP).

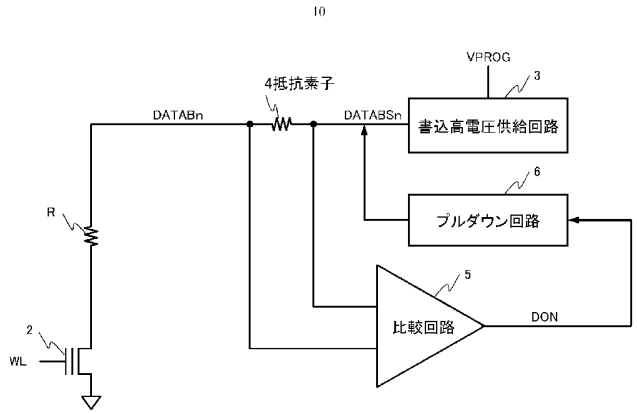
(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋１－６－１三井住友海上テプコビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の制御方法



4 RESISTANCE ELEMENT
3 WRITING HIGH VOLTAGE SUPPLYING CIRCUIT
6 PULL-DOWN CIRCUIT
5 COMPARISON CIRCUIT

(57) Abstract: A semiconductor device includes a writing voltage supplying circuit which supplies a drain of a memory cell with a writing voltage, a pull-down circuit, which reduces the potential of an output from the writing voltage supplying circuit in response to a current that flows in a data bus line connected to the memory cell, and a writing voltage limiting circuit, which limits writing voltage supply strength of the writing voltage supplying circuit. In this semiconductor device, when a current that flows in a drain node in a program becomes smaller than a certain fixed level, the drain voltage is controlled lower than a level of a normal program. Thus, the drain voltage at the time of program completion or just before the program completion can be suppressed, and a cell which is not selected but sharing the drain is prevented from being disturbed by the drain.

(57) 要約: 半導体装置は、メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、前記メモリセルに接続されたデータバス線に流れる電流に応じて、前記書込電圧供給回路の出力の電位を下げるプルダウン回路と、前記書込電圧供給回路の書込み電圧を供給する強さを制限する書込電圧制限回路とを含む。この半導体装置によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより

[続葉有]

WO 2006/046300 A1

HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

低く制御することにより、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のセルがドレインディスターブを受けるのを防ぐことができる。

明 細 書

半導体装置及び半導体装置の制御方法

技術分野

[0001] 本発明は、半導体装置及びその制御方法に関し、より詳細には、プログラム時のドレイン電圧を制御できる半導体装置及びその制御方法に関する。

背景技術

[0002] 図1は、従来の不揮発性半導体記憶装置の書込み時の回路構成を示す図である。不揮発性半導体記憶装置1は、メモリセル21、22及び書込高電圧供給回路3を含む。メモリセル21、22は、電荷蓄積層としてフローティングゲートまたは窒化膜を備えたフラッシュメモリであり、書き込みは、セルのドレイン端子に高電圧を印加し電荷蓄積層にホットキャリアが注入されて行われる。不揮発性半導体記憶装置1における書込み高電圧VPROGは、図示しない高電圧生成回路が生成する高電圧が一定の電圧にレギュレーションされた電圧であり、書込高電圧供給回路3を介して、ビット線に接続されている共通データバス線DATABnに供給される。プログラム対象セルのドレイン電圧は、共通データバス線DATAnからデコードされ、供給される。ここでnは、データバス幅を示す指標であり、例えば0から15の値をとる。

[0003] 一般に、プログラム時の対象メモリセルの状態によってメモリセル直近のドレイン電圧は異なるのが現状である。すなわち、消去状態のメモリセルをプログラムするとき、メモリセルのゲートが選択されて、メモリセルのドレインとソースは導通状態のために、プログラム電源電圧は共通データバス上で一定の電圧にレギュレーションされていても、メモリセルの直近ではドロップしてしまう。一方、プログラム対象メモリセルがプログラムされてくると、セルの閾値が高くなるために、ゲートが選択されていてもドレインとソースの導通が弱くなるため共通データバスの電位がドロップすることなく印加されることになる。

[0004] 特許文献1記載の装置はプログラム電流と基準電流を比較して、プログラムベリファイをパスした場合、プログラムを終了させるというものである。

[0005] 特許文献2記載の装置は、メモリー素子のドレインに供給する電流を、所定の値以

上の電流を制限する定電流素子によって制御するというものである。

[0006] 特許文献1:米国特許第5422842号明細書

特許文献2:特開2001-15716号公報

発明の開示

発明が解決しようとする課題

[0007] 不揮発性半導体記憶装置における大容量化や書き換え高速動作の要求から、微細化によりメモリセルのドレイン抵抗Rが顕著になると、プログラムのためのドレイン電源電圧を高電圧に設定することになる。

[0008] しかしながら、セルのプログラム終了時もしくは終了間際になると対象セルが電流を流さなくなるために、ドレイン電圧が高くなって、ドレインを共有している非選択のメモリセル22がドレインディスターブを受けやすくなることになる。つまり、図2に示すように、プログラム時、信号PGMnがHIGHになると、セルは消去状態のため書込高電圧供給回路3の出力が抵抗でドロップし、共通データバス線DATABnの電位より少し低い電圧がM1ビット線(MIBL:Metal 1 bit line)に印加される。メモリセル21が書き込まれていくと電流が流れなくなるので、M1ビット線M1BLの電圧が共通データバス線DATABnのレベルに到達する。M1ビット線M1BLの電圧が高いと、ドレインを共有している非選択のメモリセル22がドレインディスターブを受けやすくなる。

[0009] また、特許文献1記載の装置によっては上記問題は解決されない。また、特許文献2記載の装置は、メモリー素子のドレインに供給する電流を、所定の値以上の電流を制限する定電流素子によって制御するというものである。

[0010] そこで、本発明は上記問題点に鑑みてなされたもので、プログラム対象メモリセルの書込み終了間際或いは終了時にドレインを共有するメモリセルにかかるドレインディスターブを軽減することができる半導体装置及び半導体装置の制御方法を提供することを目的とする。

課題を解決するための手段

[0011] 上記課題を解決するために、本発明は、メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、前記メモリセルに接続されたデータバス線に流れる電流に応じて、前記書込電圧供給回路の出力の電位を下げるプルダウン回路とを含む半

導体装置である。本発明によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御することにより、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0012] 本発明は、前記半導体装置は更に、前記書込電圧供給回路の書込み電圧を供給する強さを制限する書込電圧制限回路を含む。本発明によれば、書込電圧供給回路の書込み電圧を供給する強さを制限することで、書込み終了間際のドレイン電圧が高くなってしまうのを抑えることができる。

[0013] 本発明は、メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、前記メモリセルに接続されたデータバス線に流れる電流に応じて、前記書込電圧供給回路の書込み電圧を供給する強さを制限する書込電圧制限回路とを含む半導体装置である。本発明によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときに、書込電圧供給回路の書込み電圧を供給する強さ(能力)を制限することにより、ドレイン電圧を通常のプログラム時のレベルより低く制御する。これにより、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0014] 本発明は、前記半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含む。本発明によれば、プログラム用ドレイン電源である書込電圧供給回路の出力とデータバス線(グローバルビット線)との間に抵抗素子を設ける。抵抗素子の両端の電位差が一定電圧を下回ったことを判定する比較回路を設ける。これにより、メモリセルが書き込まれて電流が減ってくる特性を利用し、ドレインノードに流れる電流を検出することでプログラムが終了間際にあることを検知することができる。

[0015] 前記書込電圧供給回路は、前記書込み電圧を出力するトランジスタを含んで構成される。

[0016] 本発明の半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含み、前記プルダウン回路は、前記比較回路の出力信号(DON)によって制御される。本発明によれば、対象のメモリセルがプログラム終了間際になり、ドレイン電流が減ると、書込電圧供給回路の出力の電位をグランド側に引っ張ることで、ドレイン電圧が高くなってしまうのを抑えることができる。

[0017] 本発明の半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含み、前記書込電圧制御回路は、前記比較回路の出力信号(DON)によって制御される。本発明によれば、書込み終了間際のドレイン電圧が高くなってしまうのを抑えることができる。

[0018] 前記書込電圧供給回路の前記トランジスタのゲート(PG)は、前記比較回路の出力信号(DON)によって制御される。前記抵抗素子は、トランジスタで構成される。前記抵抗素子は、ポリシリコン抵抗で構成される。

[0019] 前記プルダウン回路は、前記書込電圧供給回路の出力とグランド間に接続されたトランジスタである。本発明によれば、トランジスタサイズを書込み開始時のセル電流を流す程度に調整することで各ビットの書込み状態に依らずプログラム電源電圧が安定するようにすることができる。

[0020] 本発明の半導体装置は、対応するメモリセルのドレインにそれぞれ書込み電圧を供給するよう複数の前記書込電圧供給回路を含み、前記抵抗素子及び前記比較回路は、前記書込電圧供給回路毎に設けられている。本発明によれば、書込電圧供給回路毎に本発明の回路構成をとることで、書込みビット毎の書込み終了間際の判定ができる。また前記メモリセルは電荷蓄積層を備えた不揮発性メモリセルである。

[0021] 書込電圧供給回路の出力とメモリセルに接続されたデータバス線の電位差を基準電圧と比較するステップと、前記電位差が前記基準電圧よりも小さい場合に、前記書込電圧供給回路の出力の電位を引き下げるステップとを含む半導体装置の制御方法である。本発明によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御

することで、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0022] 本発明は、書込電圧供給回路の出力とメモリセルに接続されたデータバス線の電位差を基準電圧と比較するステップと、前記電位差が前記基準電圧よりも小さい場合に、前記書込電圧供給回路の書込み電圧を供給する強さを制限するステップとを含む半導体装置の制御方法である。本発明によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときに、書込電圧供給回路の書込み電圧を供給する強さ(能力)を制限することにより、ドレイン電圧を通常のプログラム時のレベルより低く制御する。これにより、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

発明の効果

[0023] 本発明によれば、プログラム対象メモリセルの書込み終了間際或いは終了時にドレインを共有するセルにかかるドレインディスターブを軽減することができる半導体装置及び半導体装置の制御方法を提供できる。

図面の簡単な説明

[0024] [図1]従来の不揮発性半導体記憶装置の書込み時の回路構成を示す図である。

[図2]従来の不揮発性半導体記憶装置のドレイン電圧を説明する図である。

[図3]第1実施形態による不揮発性半導体記憶装置の書込み時の回路を示す図である。

[図4]第1実施形態による不揮発性半導体記憶装置の書込み時の回路構成を示す図である。

[図5]第2実施形態による不揮発性半導体記憶装置の書込み時の回路を示す図である。

[図6]第2実施形態による不揮発半導体記憶装置の書込み時の回路構成を示す図である。

[図7]書込高電圧制御回路内部クロックのタイミングチャートである。

[図8]第3実施形態による不揮発性半導体記憶装置の書込み時の回路を示す図である。

[図9]第3実施形態による不揮発性半導体記憶装置の書込み時の回路構成を示す図である。

[図10]第3実施形態による不揮発性半導体記憶装置のドレイン電圧を説明する図である。

[図11]第4実施形態による不揮発性半導体記憶装置の書込み時の回路構成を示す図である。

発明を実施するための最良の形態

[0025] 以下、本発明を実施するための最良の形態について説明する。

[0026] [第1実施形態]図3は第1実施形態による不揮発性半導体記憶装置の書込み時の回路構成を示す図である。図3に示すように、不揮発性半導体記憶装置10は、メモリセル2、書込高電圧供給回路3、抵抗素子4、比較回路5及びプルダウン回路6を含む。メモリセル2は電荷蓄積層を備えた不揮発性メモリセルである。書込高電圧供給回路3は、メモリセル2のドレインに書込み電圧を供給するものである。抵抗素子4は、書込高電圧供給回路3の出力DATABSnと共通データバス線DATABnの間に挿入され、電位差によって流れている電流を検知するものである。

[0027] 比較回路5は、抵抗素子4の両端の電位差をある基準電圧と比較し、抵抗素子4の両端の電位差が一定電圧を下回ったことを判定すると、信号DONをHIGHにする。これにより、メモリセル2が書き込まれて電流が減ってくる特性を利用し、ドレインノードに流れる電流を検出することでプログラムが終了間際にあることを検知することができる。プルダウン回路6は、プログラムの終了間際に書込高電圧供給回路3の出力DATABSnの電位をグランド側に引っ張る回路である。

[0028] 図4は第1実施形態による不揮発性半導体記憶装置の書込み時の回路構成を示す図である。図4において、10は不揮発性半導体記憶装置、21、22はメモリセル、3は書込高電圧供給回路、4は抵抗素子、5は比較回路及び6はプルダウン回路をそれぞれ示す。メモリセル21及び22はゲートがワード線WL1及びWL2に印加された電圧により制御される。ここで、メモリセル21は書込み対象のメモリセルであり、メモリ

セル22は非選択のメモリセルであるとする。パストランジスタ71及び72はビット線を選択するためのものである。書込高電圧供給回路3は、NMOSトランジスタ31乃至34、PMOSトランジスタ35乃至37、インバータ38を含む。

[0029] 抵抗素子4は、書込高電圧供給回路3の出力DATABSnと共通データバス線DATABnの間にPMOSトランジスタのゲートとドレインを接続して実現したものである。ここでは抵抗素子4をダイオード接続のPMOSトランジスタで実現している。

[0030] 比較回路5は、NMOSトランジスタ51乃至53、PMOSトランジスタ54および55、インバータ56、抵抗57および58を含む。抵抗素子4の上下にある端子A、Bの電圧が比較回路5に供給される。比較回路5の入力と抵抗素子4のPMOSトランジスタはカレントミラーの構成をとっており、トランジスタサイズは比較回路5の入力トランジスタ54の方を小さくしてもよい。比較回路5は、共通データ線DATABnに接続されるセルに対してプログラムされるときに信号PGMnがHIGHになると、インバータ56の先のノードN1がグランド電位となる。

[0031] ノードVRでは、電源電圧VCCとグランド間の抵抗分割により基準電位が生成される。PMOSトランジスタ55は、ソースが電源電圧VCCに接続され、ゲートがノードVRにより制御されて、ある一定電流を流す。抵抗素子4の両端の電圧差が電源電圧VCCと基準電位VRとの差よりも小さくなると、信号DONがHIGHになる。つまり、比較回路5の出力信号DONは(DATABS−DATABn)＜(VCC−VR)のときHIGHとなる。

[0032] 次に、書込高電圧供給回路3について説明する。信号PGMRはディスチャージ用の信号で通常はLOWとなる信号である。プログラム時、信号PGMnがHIGHになると、書込み高電圧VPROGはそのままPMOSトランジスタ37から書込高電圧供給回路3の出力DATABSnに供給される。NMOSトランジスタ31、PMOSトランジスタ35及び36はレベルシフト回路を構成する。

[0033] プルダウン回路6は、NMOSトランジスタで構成されている。プルダウン回路6は、比較回路5の出力信号DONによって制御され、書込高電圧供給回路3の出力DATABSnの電位をグランド側に引っ張る。これにより対象のメモリセル21がプログラム終了間際になると、ドレイン電流が減り、(DATABSn−DATABn)＜(VCC−VR)とな

るため、出力信号DONがHIGHとなるので、プルダウン回路6を構成するNMOSトランジスタがオン状態になり、ドレイン電圧が高くなってしまうのを抑えることになる。これにより非選択のメモリセル21がドレインディスターブを受けるのを防ぐことができる。なお、NMOSトランジスタがオン状態であるため、消費電流は少なくない。

[0034] 本実施形態によれば、プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御することで、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0035] [第2実施形態]次に第2実施形態について説明する。図5は第2実施形態による不揮発性半導体記憶装置の書込み時の回路を示す図である。図5に示すように、不揮発性半導体記憶装置100は、メモリセル2、書込高電圧供給回路3、抵抗素子4、比較回路5および書込高電圧制限回路8を含む。上記と同一箇所については同一符号を付して説明する。書込高電圧供給回路3は、メモリセル2のドレインに書込み電圧を供給するものである。抵抗素子4は、書込高電圧供給回路3の出力DATABSnと共通データバス線DATABnの間に挿入され、電位差によって流れている電流を検知するものである。比較回路5は、抵抗素子4の両端の電位差をある基準電圧と比較し、抵抗素子4の両端の電位差が一定電圧を下回ったことを判定すると、信号DONをHIGHにする。これにより、メモリセル2が書き込まれて電流が減ってくる特性を利用し、ドレインノードに流れる電流を検出することでプログラムが終了間際にあることを検知することができる。

[0036] 書込高電圧制限回路8は、プログラム終了間際にプログラムのための高電圧VPROGを供給する強さを制御する回路である。プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御することにより、プログラム終了時および終了間際のドレイン電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0037] 図6は第2実施形態による不揮発性記憶装置の書込み時の回路構成を示す図で

ある。図6において、100は不揮発性半導体記憶装置、21、22はメモリセル、3は書込高電圧供給回路、4は抵抗素子、5は比較回路および8は書込高電圧制限回路をそれぞれ示す。上記と同一箇所については同一符号を付して説明する。なお、メモリセル21はプログラム対象のメモリセルであり、メモリセル22は非選択のメモリセルであるとする。書込高電圧供給回路3は、NMOSトランジスタ31乃至34、PMOSトランジスタ35乃至37、インバータ38を含む。

[0038] 比較回路5は、NMOSトランジスタ51乃至53、PMOSトランジスタ54および55、インバータ56、抵抗57および58を含む。書込高電圧制限回路8は、NMOSトランジスタ81乃至83、NAND回路84、インバータ85乃至87を含む。

[0039] 書込高電圧制限回路8は、インバータ85乃至87により対象メモリセル21がプログラムすべきメモリセルであるときにHIGHになる信号PGMnから立ち上がりを遅延させた信号PGMD及びその反転信号PGMDBを内部制御信号として生成する。

[0040] 図7は書込高電圧制御回路8内部クロックのタイミングチャートである。信号PGMDが信号PGMnから立ち上がりを遅らせている理由は書込高電圧制限回路8が書込み／非書込みをデコードするまでの遅延が必要だからである。書込み対象メモリセルをコントロールしている書込高電圧供給回路3のPMOSトランジスタ37のゲート(PG)は通常LOWとなっており、書込み高電圧VPROGが書込高電圧供給回路3の出力DATABSnに強く供給される。NAND回路84は、信号DON及び信号PGMDが共にHIGHのとき、NMOSトランジスタ33をカットオフするものである。

[0041] ノードPGと電源電圧VCCとの間には、NMOSトランジスタ81及び82が直列に接続されている。NMOSトランジスタ81は、しきい値VTが低いものであるとし、信号DONがHIGHのとき、ソースフォロア動作をする。例えば、信号DONが電源電圧VCCの場合、NMOSトランジスタ81のしきい値VTだけ落ちた電圧(VCC−VT)がノードPGに供給される。

[0042] プログラムするときには、信号PGMnがHIGHになると、信号PGMDもHIGHになる。ノードPGは、電源電圧VCCからNMOSトランジスタ81を介して接続される。書込み対象メモリセルが書込み終了間際になると比較回路5の出力信号DONがHIGHとなる。NMOSトランジスタ81のしきい値VTが例えば0だとすると、信号DONの電

圧がノードPGにそのまま供給される。したがって、PMOSトランジスタ37のゲートの電位が、0ボルトから少し上昇することによって、書込高電圧供給回路3の書込み電圧を供給する能力を弱めることになる。よって、プログラム中は、書込高電圧供給回路3の出力DATABSnの電位は、書き込み高電圧VPROGより少し下がった電位となる。

[0043] これにより、書込高電圧供給回路3のPMOSトランジスタのゲートPGを最大VCCまで引き上げることで書込高電圧供給回路3のPMOSトランジスタ37の書込高電圧の供給能力を落すことができる。よって、書込み終了間際のドレイン電圧が高くなってしまうのを抑えることができる。

[0044] また、レベルシフタにNMOSトランジスタ83を追加することで、信号PGMnがHIGHの期間、NMOSトランジスタ83のゲートにLOWの信号PGMDBを供給することで、ノードPGの電位の上昇によりnMOSトランジスタ31がオンした場合でも、PMOSトランジスタ36をオフ状態にしておくことができる。これにより、ノードPGが書込み高電圧VPROGまで引き上げられることにより、PMOSトランジスタ37がオフして、書込みが終了してしまうのを防止することができる。

[0045] 本実施形態によれば、書込高電圧供給回路のプログラムのための高電圧を供給する強さ(能力)を制限することで、書込み終了間際のドレイン電圧が高くなってしまうのを抑えることができる。

[0046] [第3実施形態]次に、第3実施形態について説明する。図8は第3実施形態による不揮発性記憶装置の書込み時の回路を示す図である。図8に示すように、不揮発性半導体記憶装置200は、メモリセル2、書込高電圧供給回路3、抵抗素子4、比較回路5、プルダウン回路6及び書込高電圧制限回路8を含む。書込高電圧供給回路3は、メモリセル2のドレインに書込み電圧を供給するものである。抵抗素子4は、書込高電圧供給回路3の出力DATABSnと共通データバス線DATABnの間に挿入され、電位差によって流れている電流を検知するものである。比較回路5は、抵抗素子4の両端の電位差をある基準電圧と比較し、抵抗素子4の両端の電位差が一定電圧を下回ったことを判定すると、信号DONをHIGHにする。これにより、メモリセル2が書き込まれて電流が減ってくる特性を利用し、ドレインノードに流れる電流を検出する

ことでプログラムが終了間際にあることを検知することができる。

[0047] プルダウン回路6は、プログラムの終了間際に書込高電圧供給回路の出力DATABSnの電位をグランド側に引っ張る回路である。書込高電圧制限回路8は、プログラム終了間際に書込み高電圧VPROGを供給する強さを制御する回路である。プログラム中のドレインノードに流れる電流がある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御する。

[0048] 図9は第3実施形態による不揮発性記憶装置の書込み時の回路構成を示す図である。図9において、符号200は不揮発性半導体記憶装置、21、22はメモリセル、3は書込高電圧供給回路、4は抵抗素子、5は比較回路、6はプルダウン回路及び8は書込高電圧制限回路をそれぞれ示す。上記と同一箇所については同一符号を付して説明する。なお、メモリセル21はプログラム対象のメモリセルであり、メモリセル22は非選択のメモリセルであるとする。

[0049] メモリセル21及び22はゲートがワード線WLに印加された電圧により制御される。パストランジスタ71及び72はビット線を選択するためのものである。書込高電圧供給回路3は、NMOSトランジスタ31乃至34、PMOSトランジスタ35乃至37、インバータ38を含む。抵抗素子4は、書込高電圧供給回路3の出力DATABSnと共通データバス線DATABnの間にPMOSトランジスタのゲートとドレインを接続して実現したものである。ここでは抵抗素子4をダイオード接続のPMOSトランジスタで実現している。

[0050] 比較回路5は、NMOSトランジスタ51乃至53、PMOSトランジスタ54および55、インバータ56、抵抗57および58を含む。プルダウン回路6は、NMOSトランジスタで構成されている。高込高電圧制限回路8は、NMOSトランジスタ81乃至83、NAND回路84、インバータ85乃至87を含む。プルダウン回路6及び書込高電圧制限回路8を設けることで効果的に書込み終了間際のドレイン電圧を低く抑えることができる。

[0051] 図10は第3実施形態による信号波形を示す。図10に示すように、プログラム時、信号PGMnがHIGHになる。書込高電圧供給回路3の出力の電位DATABSnと共通データバス線DATABnの電位は、抵抗素子分だけレベル差がある。メモリセル21が消去状態にあり、電圧降下があるため、M1ビット線M1BLには少し低い電圧が印加

される。メモリセル21が書き込まれていくと、メモリセル21が電流を流さなくなり、ドレイン電圧が上昇して、電流が減ってきたことが検出され、プログラム終了間際になると、信号DONがHIGHになる。プルダウン回路6がオンすると同時に、書込高電圧制限回路8によりノードPGが高くなり、書込高電圧供給回路3の出力DATABSnの電圧が下がってくるので、ドレイン電圧DATABnも下がってくる。これにより、ドレインを共有しているメモリセル22にかかるドレインディスターブを軽減することができる。

[0052] 本実施形態によれば、プルダウン回路6により書込高電圧供給回路3の出力DATABSnをグランドに引っ張り、書込高電圧制限回路8により、書込高電圧供給回路3の出力DATABSnの電位を上に引っ張るPMOSトランジスタ37の能力を弱める。これにより、プログラム終了時および終了間際のドレイン電圧をより効果的に抑えることができ、ドレインを共有している非選択のメモリセル22がドレインディスターブを受けるのをより防ぐことができる。

[0053] [第4実施形態]次に、第4実施形態について説明する。図11は第4実施形態による不揮発性記憶装置の書込み時の回路構成を示す図である。図11において、符号300は不揮発性半導体記憶装置、21、22はメモリセル、3は書込高電圧供給回路、14は抵抗素子、5は比較回路、6はプルダウン回路及び8は書込高電圧制限回路をそれぞれ示す。上記実施形態と同一箇所については同一符号を付して説明する。

[0054] 書込高電圧供給回路3は、NMOSトランジスタ31乃至34、PMOSトランジスタ35乃至37、インバータ38を含む。抵抗素子14は、書込高電圧供給回路3の出力DATABSと共通データバス線DATABnの間に接続されたポリシリコン抵抗である。比較回路5は、NMOSトランジスタ51乃至53、PMOSトランジスタ54および55、インバータ56、抵抗57および58を含む。プルダウン回路6は、NMOSトランジスタで構成されている。高込高電圧制限回路8は、NMOSトランジスタ81乃至83、NAND回路84、インバータ85乃至87を含む。動作については上記と同様であるため説明を省略する。このようにして、抵抗素子14はポリシリコン抵抗で実現することもできる。

[0055] 以上、各実施形態によれば、プログラム中のドレインノードに流れるプログラム電流Idatabがある一定のレベルより小さくなったときにドレイン電圧を通常のプログラム時のレベルより低く制御する。これにより、プログラム終了時および終了間際のドレイン

電圧を抑えることができ、ドレインを共有している非選択のメモリセルがドレインディスターブを受けるのを防ぐことができる。

[0056] ドレイン電圧の制御は、ダミーの電流源をドレインに接続するプルダウン回路6、およびドレイン電源のドライバPMOSトランジスタ37のゲートを比較回路5の出力信号DONで絞る書込高電圧制限回路8で行う。

[0057] また書込高電圧供給回路毎に本発明の回路構成をとることで、書込みビット毎の書込み終了間際の判定ができる。プルダウン回路を使用する場合トランジスタサイズを書込み開始時のセル電流を流す程度に調整することで各ビットの書込み状態に依らずプログラム電源電圧が安定するようにすることも可能である。

[0058] なお、上記不揮発性半導体記憶装置は例えばフラッシュメモリ等である。この不揮発性半導体記憶装置は、半導体装置の一部に組み込まれたものであってもよい。また、上記不揮発性半導体記憶装置は、例えばNOR型、AND型のフラッシュメモリ、ミラービット(MirrorBit(登録商標))などの仮想接地型フラッシュメモリに適用できる。書込電圧供給回路は書込高電圧供給回路に、書込電圧制限回路は書込高電圧制限回路に対応する。

[0059] 以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

請求の範囲

[1] メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、

前記メモリセルに接続されたデータバス線に流れる電流に応じて、前記書込電圧供給回路の出力の電位を下げるプルダウン回路とを含む半導体装置。

[2] 前記半導体装置は更に、前記書込電圧供給回路の書込み電圧を供給する強さを制限する書込電圧制限回路を含む請求項1記載の半導体装置。

[3] メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、

前記メモリセルに接続されたデータバス線に流れる電流に応じて、前記書込電圧供給回路の書込み電圧を供給する強さを制限する書込電圧制限回路とを含む半導体装置。

[4] 前記半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、

前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含む請求項1から請求項3のいずれか一項に記載の半導体装置。

[5] 前記書込電圧供給回路は、前記書込み電圧を出力するトランジスタを含む請求項1から請求項4のいずれか一項に記載の記載の半導体装置。

[6] 前記半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、

前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含み、

前記プルダウン回路は、前記比較回路の出力信号によって制御される請求項1または請求項2記載の半導体装置。

[7] 前記半導体装置は更に、前記書込電圧供給回路の出力と前記データバス線の間に挿入された抵抗素子と、

前記抵抗素子の両端の電位差が基準電圧を下回ったことを判定する比較回路とを含み、

前記書込電圧制限回路は、前記比較回路の出力信号によって制御される請求項2または請求項3記載の半導体装置。

[8] 前記書込電圧供給回路の前記トランジスタのゲートは、前記比較回路の出力信号によって制御される請求項5記載の半導体装置。

[9] 前記抵抗素子は、トランジスタで構成される請求項4記載の半導体装置。

[10] 前記抵抗素子は、ポリシリコン抵抗である請求項4記載の半導体装置。

[11] 前記プルダウン回路は、前記書込電圧供給回路の出力とグランド間に接続されたトランジスタである請求項1または請求項2記載の半導体装置。

[12] 前記半導体装置は、対応するメモリセルのドレインにそれぞれ書込み電圧を供給するよう複数の前記書込電圧供給回路を含み、

前記抵抗素子及び前記比較回路は、前記書込電圧供給回路毎に設けられている請求項4記載の半導体装置。

[13] 前記メモリセルは電荷蓄積層を備えた不揮発性メモリセルである請求項1から請求項12のいずれか一項に記載の半導体装置。

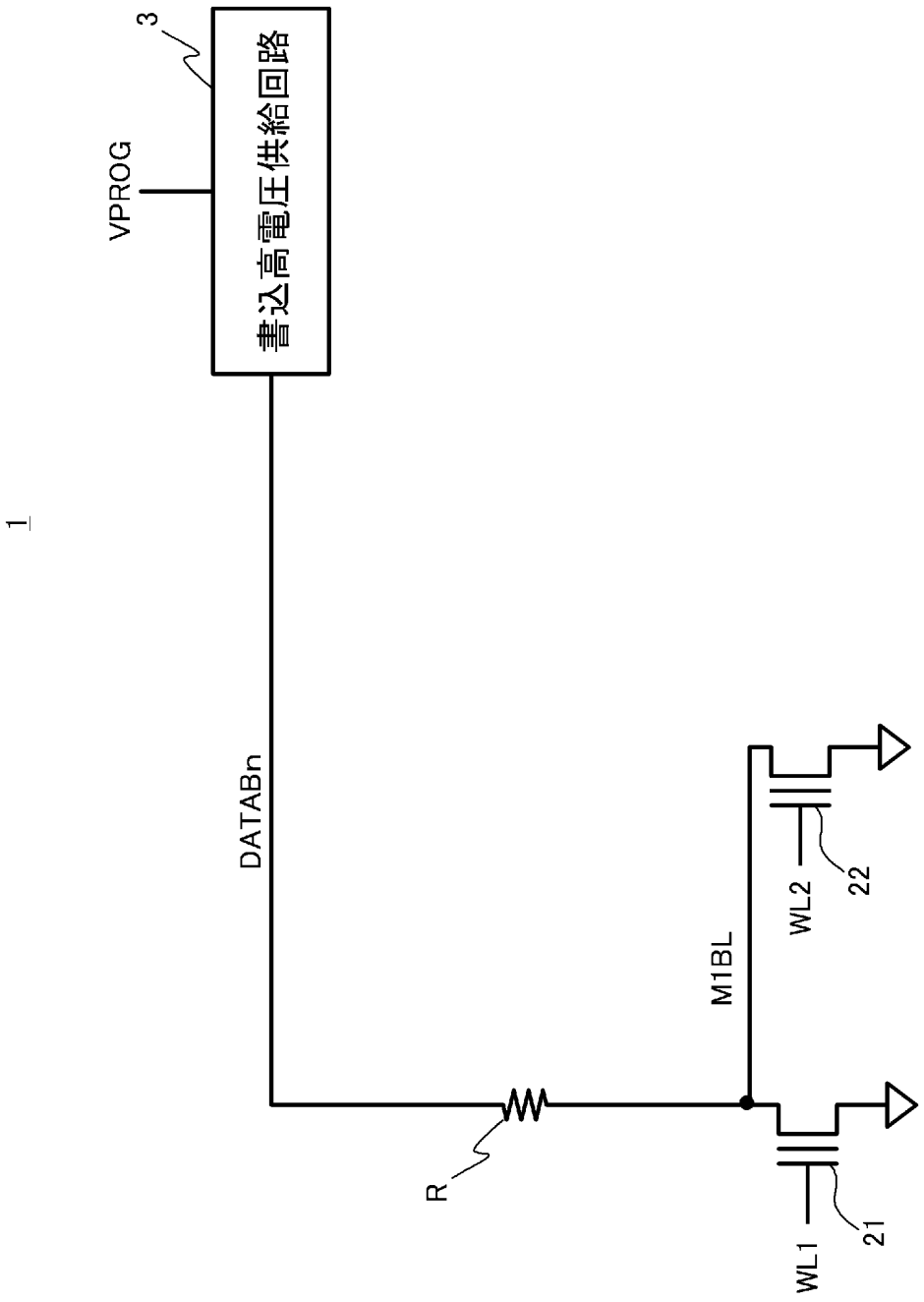
[14] 書込電圧供給回路の出力とメモリセルに接続されたデータバス線の電位差を基準電圧と比較するステップと、

前記電位差が前記基準電圧よりも小さい場合に、前記書込電圧供給回路の出力の電位を引き下げるステップとを含む半導体装置の制御方法。

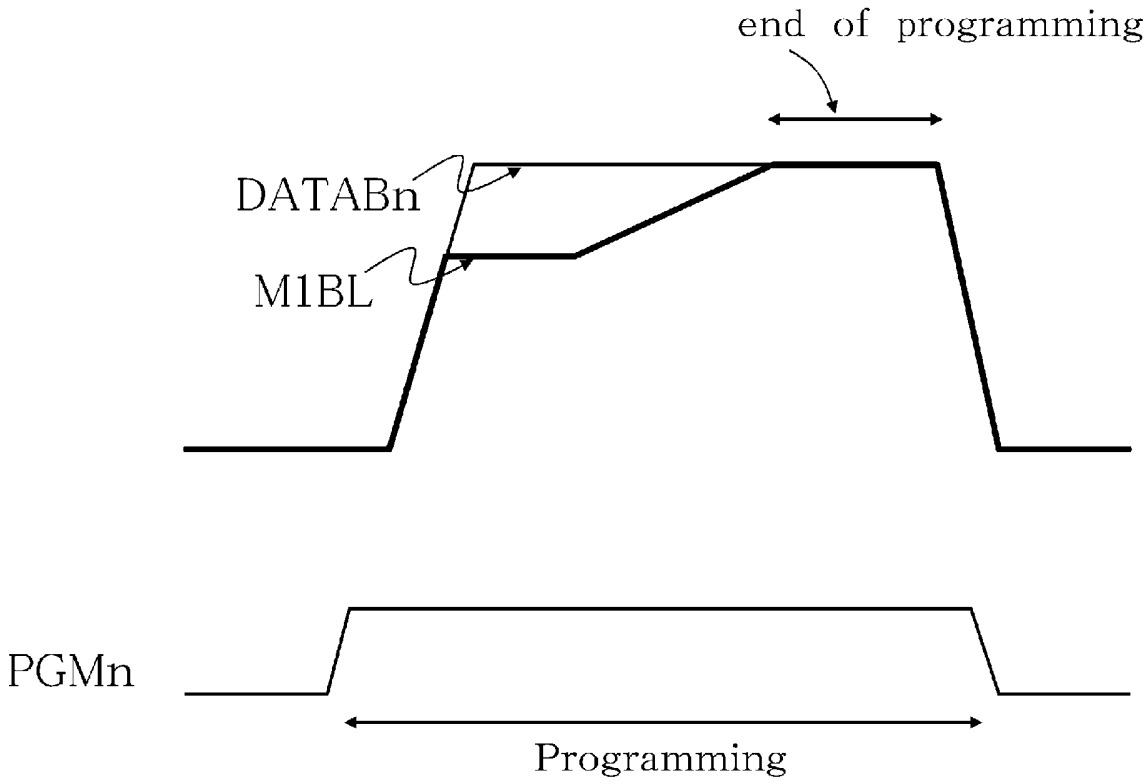
[15] 書込電圧供給回路の出力とメモリセルに接続されたデータバス線の電位差を基準電圧と比較するステップと、

前記電位差が前記基準電圧よりも小さい場合に、前記書込電圧供給回路の書込み電圧を供給する強さを制限するステップとを含む半導体装置の制御方法。

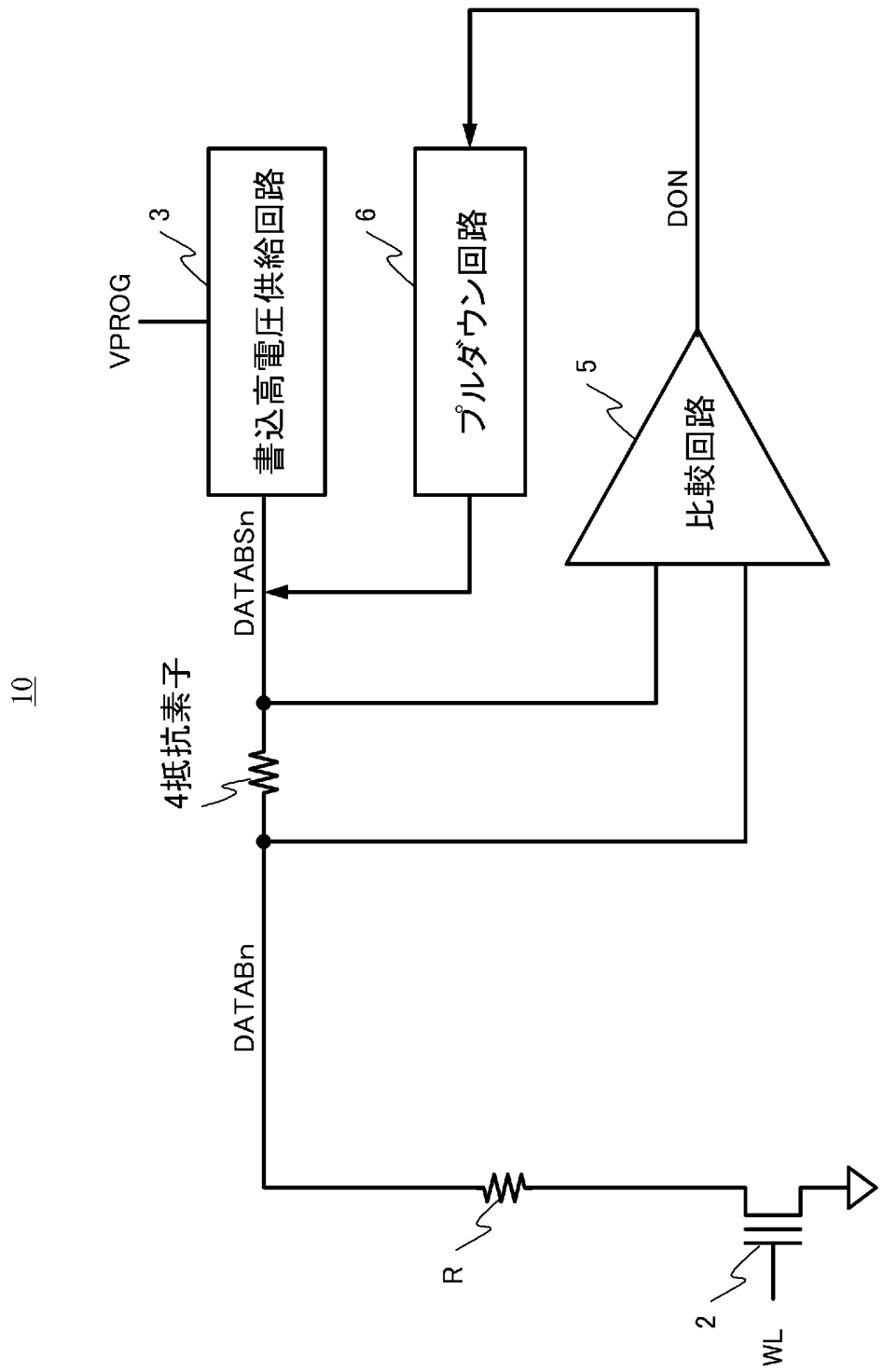
[図1]



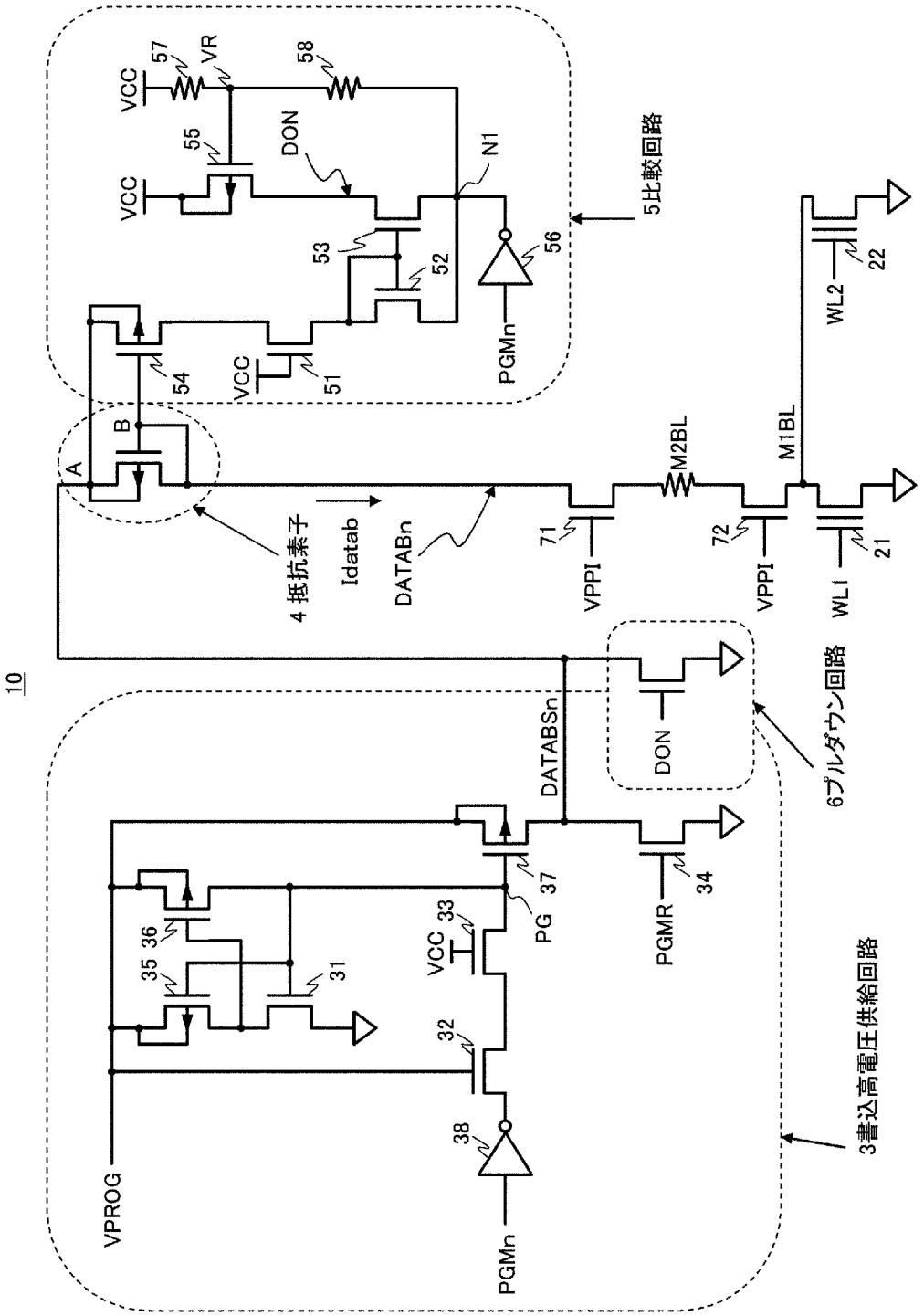
[図2]



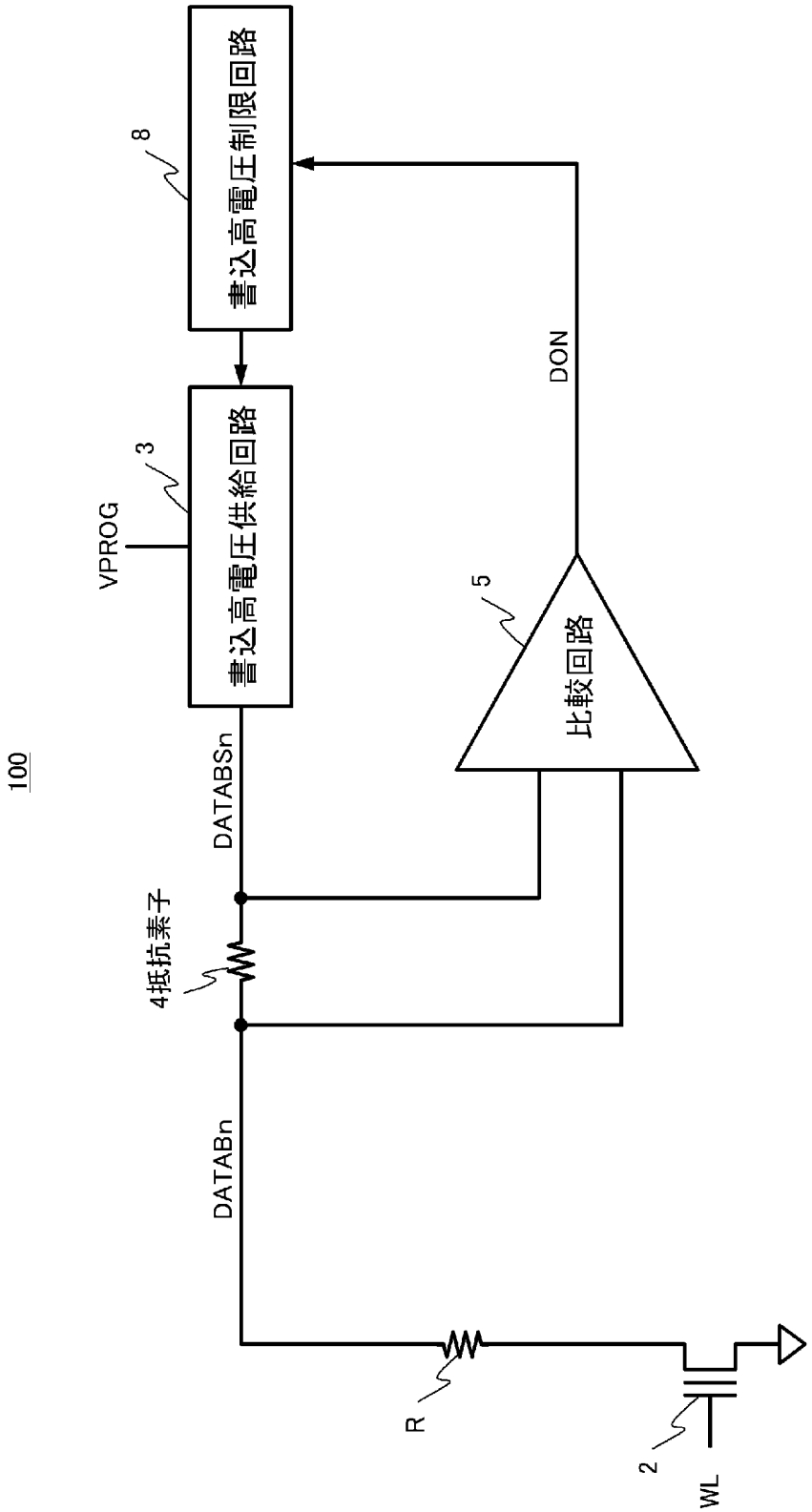
[図3]


10
VPROG
3
書込高電圧供給回路
6
プルダウン回路
DON
5
比較回路
DATABSn
4抵抗素子
DATABn
R
2
WL

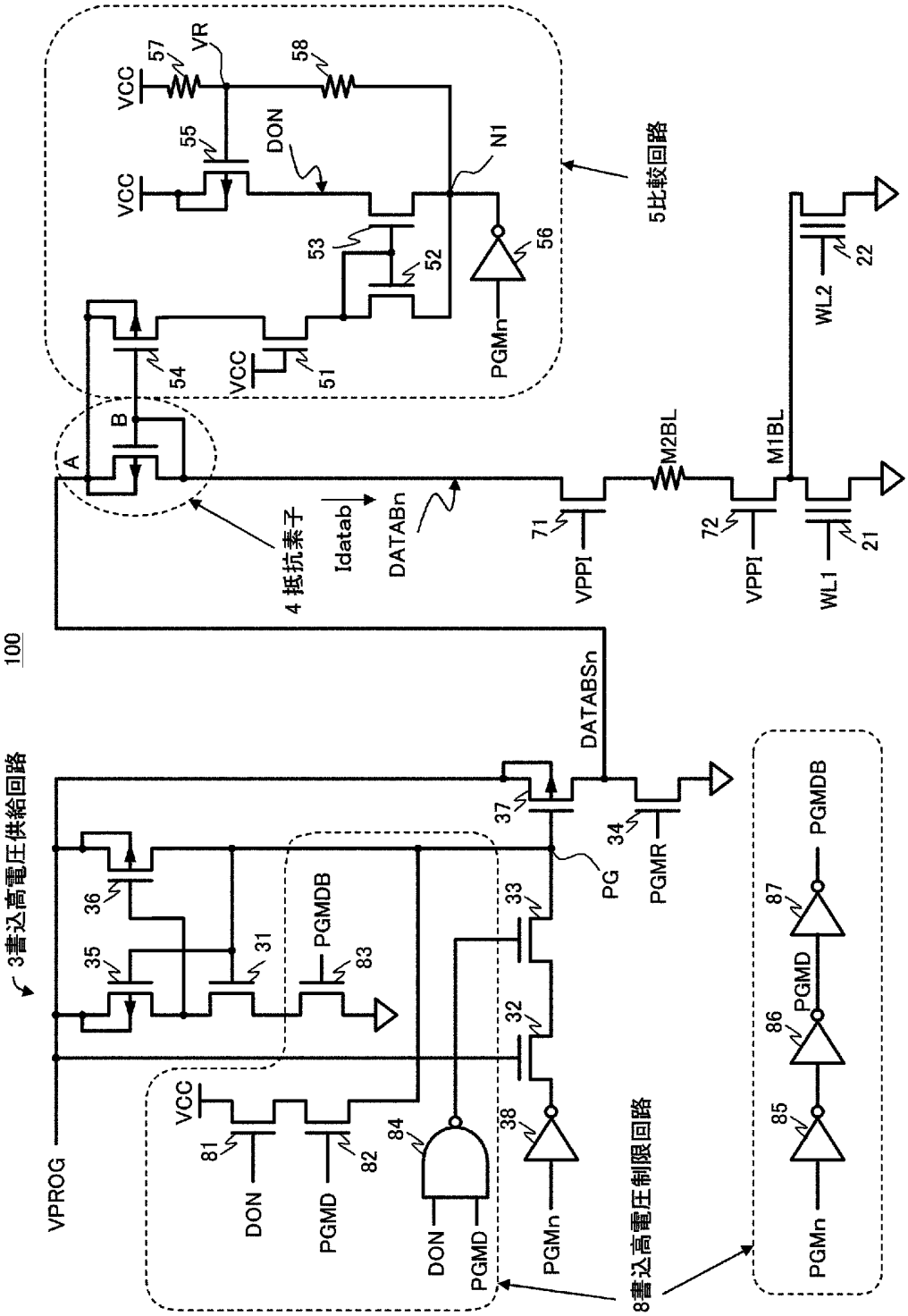
[図4]


10
VCC
57
VR
58
55
DON
N1
VCC
53
52
56
5比較回路
54
VCC
51
PGMn
B
A
4 抵抗素子
Idatab
DATABn
71
VPPI
M2BL
72
VPPI
M1BL
WL1
21
WL2
22
DON
6プルダウン回路
DATABSn
PG
37
PGMR
34
VCC
33
36
35
31
32
38
VPROG
PGMn
3書込高電圧供給回路

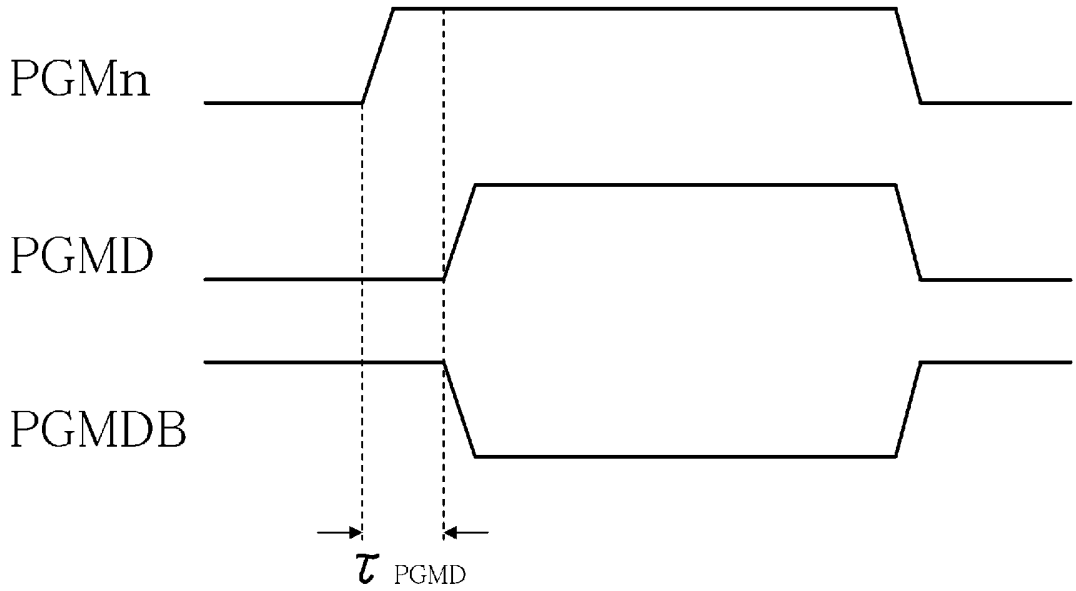
[図5]


100
書込高電圧制限回路
8
書込高電圧供給回路
3
VPROG
DON
比較回路
5
DATABSn
4抵抗素子
DATABn
R
2
WL

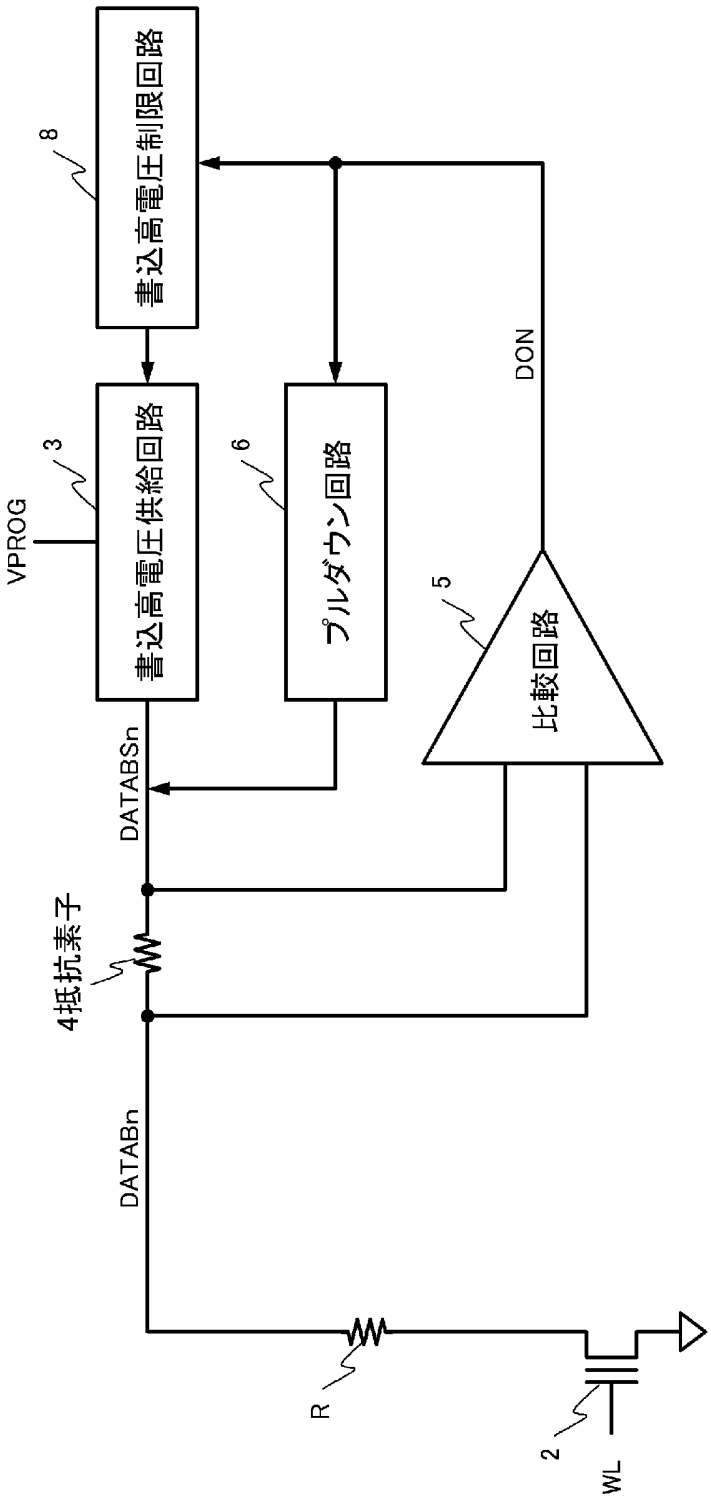
[図6]


100
3書込高電圧供給回路
4 抵抗素子
5比較回路
8書込高電圧制限回路
VPROG
VCC
VR
DON
PGMD
PGMDB
PGMn
PG
PGMR
DATABSn
DATABn
Idatab
VPPI
M2BL
M1BL
WL1
WL2
N1
A
B

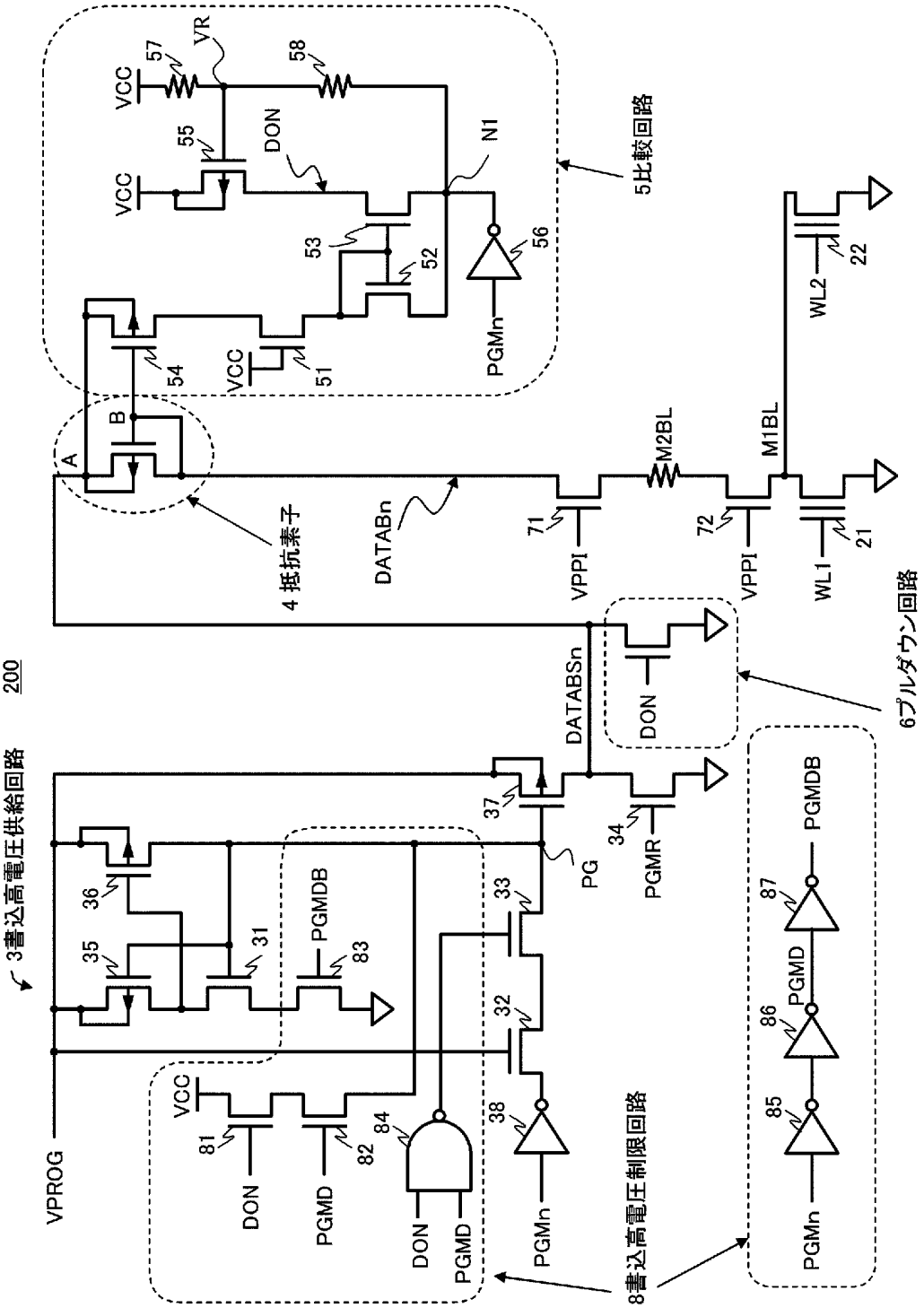
[図7]



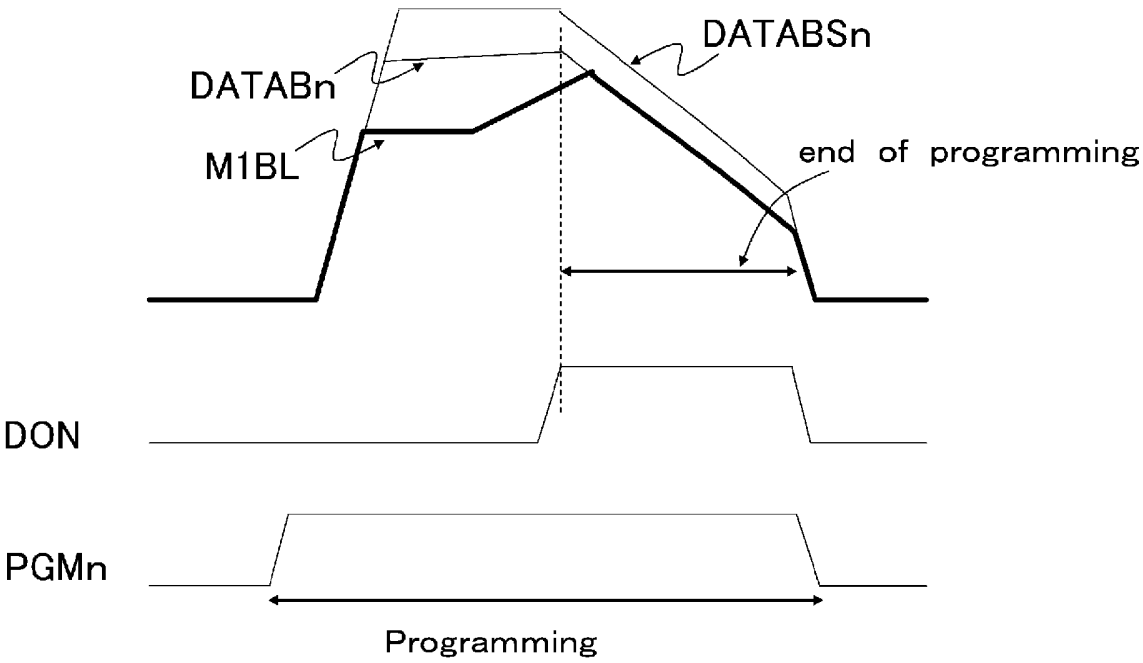
[図8]


書込高電圧制限回路
8
書込高電圧供給回路
3
VPROG
プルダウン回路
6
DON
比較回路
5
DATABSn
4抵抗素子
DATABn
R
2
WL

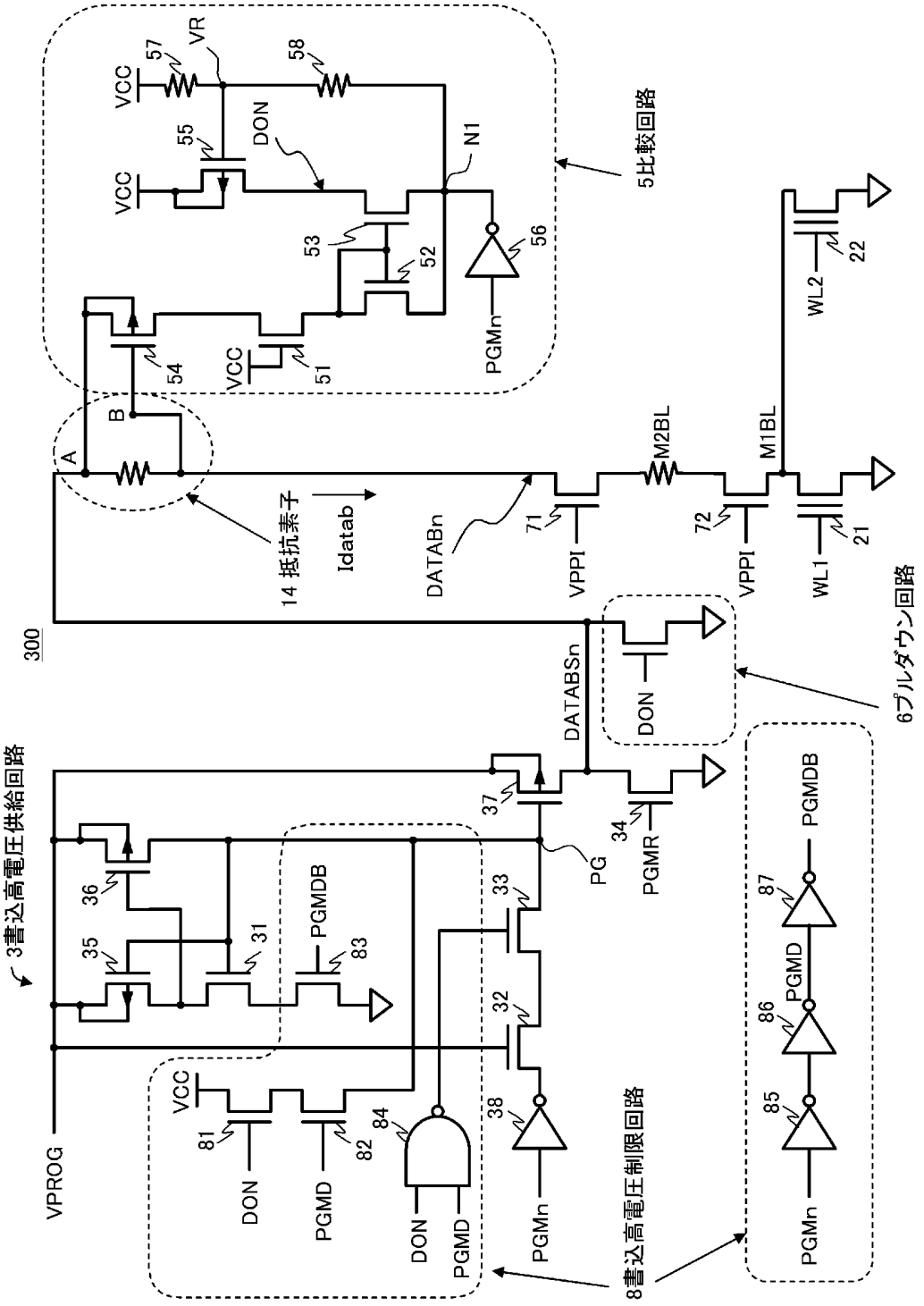
[図9]


200
3書込高電圧供給回路
VPROG
VCC
DON
PGMD
PGMDB
PGMn
PG
PGMR
DATABSn
DATABn
VPPI
M2BL
M1BL
WL1
WL2
A
B
4 抵抗素子
5比較回路
6プルダウン回路
8書込高電圧制限回路
VR
N1

[図10]


DATABSn
DATABn
M1BL
end of programming
DON
PGMn
Programming

[図11]


5比較回路
VCC
57
VR
58
55
DON
N1
53
52
56
PGMn
54
51
A
B
14 抵抗素子
Idatab
DATABn
71
VPPI
M2BL
72
M1BL
WL2
22
WL1
21
300
DATABSn
DON
6プルダウン回路
3書込高電圧供給回路
37
34
PG
PGMR
PGMDB
36
35
31
83
33
32
38
VPROG
81
82
84
DON
PGMD
PGMn
8書込高電圧制限回路
87
86
85

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/016118

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G11C16/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G11C16/00-16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 9-293387 A (Sanyo Electric Co., Ltd.), 11 November, 1997 (11.11.97), Par. Nos. [0060] to [0075]; Figs. 4 to 5 & US 5757700 A	1,11,13 4-6,9,10,14 2,3,7,8,12, 15
Y	JP 2003-199329 A (Iwate Toshiba Electronics Kabushiki Kaisha), 11 July, 2003 (11.07.03), Par. Nos. [0033] to [0036]; Fig. 1 (Family: none)	4-6,9,10,14
A	JP 11-126487 A (NEC Corp.), 11 May, 1999 (11.05.99), Full text; all drawings (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 February, 2005 (01.02.05)	12 April, 2005 (12.04.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/016118

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-223793 A (NEC Microsystem Kabushiki Kaisha), 08 August, 2003 (08.08.03), Full text; all drawings (Family: none)	1-15
A	JP 9-91980 A (LG Semicom Co., Ltd.), 04 April, 1997 (04.04.97), Full text; all drawings & US 5566111 A & EP 0763829 A2	1-15

国際調査報告

国際出願番号　PCT／JP2004／016118

A.　発明の属する分野の分類（国際特許分類（IPC））
Int.Cl[7]　G11C16／12

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl[7]　G11C16／00－16／34

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　1922－1996年
日本国公開実用新案公報　1971－2005年
日本国実用新案登録公報　1996－2005年
日本国登録実用新案公報　1994－2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y A	JP　9－293387　A（三洋電機株式会社） 1997.11.11，段落0060－0075，図面第4－5図 & US　5757700　A	1, 11, 13 4-6, 9, 10, 14 2, 3, 7, 8, 12, 15
Y	JP　2003－199329　A（岩手東芝エレクトロニクス株式会社）2003.07.11，段落0033－0036，図面第1図（ファミリーなし）	4-6, 9, 10, 14

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
01.02.2005	12.4.2005

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	5N	8731
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	飯田　清司 電話番号　03－3581－1101　内線　3585		

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP　11－126487　A（日本電気株式会社）1999.05.11，全文，全図（ファミリーなし）	1－15
A	JP　2003－223793　A（エヌイーシーマイクロシステム株式会社）2003.08.08，全文，全図（ファミリーなし）	1－15
A	JP　9－91980　A（エルジイ・セミコン・カンパニイ・リミテッド）1997.04.04，全文，全図 ＆　US　5566111　A　＆　EP　0763829　A2	1－15