(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0133131
(43) 공개일자 2020년11월26일

(51) 국제특허분류(Int. Cl.)
G04F 10/00 (2006.01) *H03K 5/135* (2006.01)
H03K 5/22 (2006.01)
(52) CPC특허분류
G04F 10/005 (2013.01)
H03K 5/135 (2013.01)
(21) 출원번호 10-2019-0058145
(22) 출원일자 2019년05월17일
심사청구일자 2019년05월17일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 미금로 114, 206동 102호(구미동, 하얀마을그랜드빌라)
장영민
울산광역시 중구 병영성길 16, 208호(남외동, 평화보라타운아파트)
(뒷면에 계속)
(74) 대리인
특허법인(유한)아이시스

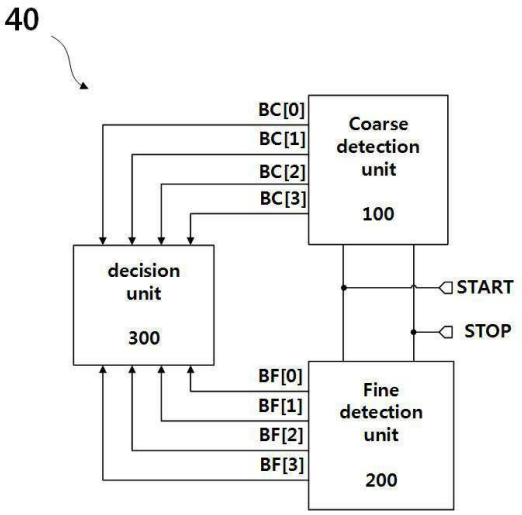
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **시간 디지털 변환기 및 이를 포함하는 거리 측정 장치**

(57) 요 약

본 실시예에 의한 거리 측정기는 펄스 레이저 신호를 제공함과 동시에 스타트 신호를 제공하는 송신부와, 펄스 레이저의 반사 신호를 검출하여 상응하는 전기 신호를 출력하는 수신부와, 전기 신호를 증폭하되, 미리 정해진 진폭을 가지도록 증폭된 스톱 신호를 출력하는 증폭기부 및 스타트 신호와 스톱 신호를 제공받고, 거친 검출(coarse detection)과 미세 검출(fine detection)을 수행하여 스타트 신호와 스톱 신호의 시간 차이를 검출하고, 상응하는 디지털 코드로 출력하는 시간-디지털 변환기를 포함한다.

대 표 도 - 도9



(52) CPC특허분류
H03K 5/22 (2013.01)
(72) 발명자
하영
경기도 안산시 상록구 석삼말로2길 3 502호 (이동)
홍채린
서울특별시 송파구 올림픽로4길 42, 15동 1107호(잠실동, 우성아파트)

명 세 서

청구범위

청구항 1

스타트 신호에 의하여 형성된 스타트 에지 신호(start edge signal)를 제1 지연 시간 만큼 지연하여 출력하는 제1 단위 지연 소자가 캐스케이드된 스타트 지연부(start delay unit);

스톱 신호에 의하여 형성된 스톱 에지 신호(stop edge signal)를 상기 제1 지연 시간보다 짧은 제2 지연 시간 만큼 지연하여 출력하는 제2 단위 지연 소자가 캐스케이드된 스톱 지연부(start delay unit);

지연된 상기 스타트 에지 신호와 지연된 상기 스톱 에지 신호의 선후를 비교하는 비교기들을 포함하는 비교기부(comparator unit) 및

상기 비교기부의 출력을 상응하는 디지털 코드로 변환하는 인코더를 포함하고, 상기 스타트 신호와 상기 스톱 신호에 상응하는 디지털 코드를 출력하는 시간 디지털 변환기.

청구항 2

제1항에 있어서,

상기 스타트 에지 신호는 상기 스타트 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)중 어느 하나를 포함하는 신호인 시간 디지털 변환기.

청구항 3

제1항에 있어서,

상기 스톱 에지 신호는 상기 스톱 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)중 어느 하나를 포함하는 신호인 시간 디지털 변환기.

청구항 4

제1항에 있어서,

상기 시간 디지털 변환기는,

상기 스타트 신호가 입력되어 상기 스타트 에지 신호를 출력하는 리셋 가능한 T 래치(toggle latch)인 스타트 래치를 더 포함하는 시간 디지털 변환기.

청구항 5

상기 시간 디지털 변환기는,

상기 스톱 신호가 입력되어 상기 스톱 에지 신호를 출력하는 리셋 가능한 T 래치(toggle latch)인 스톱 래치를 더 포함하는 시간 디지털 변환기.

청구항 6

제1항에 있어서,

상기 비교기부의 출력은 온도계 코드(thermometer code)이고,

상기 인코더는 상기 온도계 코드에 상응하는 바이너리 코드(binary code)를 출력하는 시간 디지털 변환기.

청구항 7

제6항에 있어서,

상기 인코더는 상기 온도계 코드를 그레이 코드(gray code)로 변환하고,

상기 그레이 코드를 상기 바이너리 코드(binary code)로 변환하여 출력하는 시간 디지털 변환기.

청구항 8

스타트 신호의 제1 에지(first edge) 및 스톱 신호의 제1 에지(edge) 사이에 상응하는 액티브 구간을 가지는 활성화 신호(enable signal)를 출력하는 에지 검출기(edge detector);

상기 활성화 신호의 에지와 클록 신호의 에지를 동기화하여 동기된 활성화 신호를 출력하는 싱크 조절부;

상기 동기된 활성화 신호로 활성화되고 상기 클록 신호를 제공받아 제어 가능한 위상만큼 지연된 클록 신호들로 이루어진 온도계 코드(thermometer code)를 상기 액티브 구간동안 출력하는 지연 고정 루프(DLL, delay locked loop) 및

상기 온도계 코드를 상응하는 바이너리 코드로 변환하여 출력하는 인코더를 포함하며,

상기 바이너리 코드는 상기 스타트 신호의 상기 제1 에지와 상기 스톱 신호의 상기 제1 에지의 시간 차이에 상응하는 시간 디지털 변환기.

청구항 9

제8항에 있어서,

상기 스타트 신호의 제1 에지(first edge) 및 상기 스톱 신호의 제1 에지(edge)는 상승 에지(rising edge)인 시간 디지털 변환기.

청구항 10

제8항에 있어서,

상기 스타트 신호의 제1 에지(first edge) 및 상기 스톱 신호의 제1 에지(edge)는 하강 에지(rising edge)인 시간 디지털 변환기.

청구항 11

제8항에 있어서,

상기 에지 검출기가 출력하는 상기 활성화 신호는 상기 스타트 신호의 상기 제1 에지에서 상승 에지를 가지고, 상기 스톱 신호의 제1 에지에서 하강 에지를 가지며, 상기 액티브 구간은 논리 하이 상태인 시간 디지털 변환기.

청구항 12

제8항에 있어서,

상기 에지 검출기가 출력하는 상기 활성화 신호는 상기 스타트 신호의 상기 제1 에지에서 하강 에지를 가지고, 상기 스톱 신호의 제1 에지에서 상승 에지를 가지며, 상기 액티브 구간은 논리 로우 상태인 시간 디지털 변환기.

청구항 13

스타트 신호로부터 형성된 스타트 에지 신호를 제1 지연 시간으로 지연하고, 스톱 신호로부터 형성된 스톱 에지 신호를 상기 제1 지연 시간보다 짧은 제2 지연 시간으로 지연하며, 지연된 상기 스타트 에지 신호가 지연된 상기 스톱 에지 신호를 앞설 때의 상기 제1 지연 시간과 상기 제2 지연 시간으로 상기 스타트 신호와 상기 스톱 신호의 시간차에 상응하는 코드를 출력하는 거친 검출부(coarse detection unit);

상기 스타트 신호와 상기 스톱 신호의 상기 시간차를 상기 제2 지연 시간보다 높은 해상도의 신호로 검출하는 정밀 검출부 및

상기 정밀 검출부의 출력 신호를 상기 거친 검출부의 출력 신호와 비교하여 유효성을 검증하는 판단부(decision unit)를 포함하는 시간 디지털 변환기.

청구항 14

제13항에 있어서,

상기 거친 검출부는, 스타트 지연부(start delay unit)와 스톱 지연부(stop delay unit)를 포함하고,

상기 스타트 지연부는 상기 스타트 에지 신호(start edge signal)를 상기 제1 지연 시간 만큼 지연하여 출력하는 제1 단위 지연 소자가 캐스케이드로 연결되며,

상기 스톱 지연부는 상기 스톱 에지 신호(stop edge signal)를 상기 제2 지연 시간 만큼 지연하여 출력하는 제2 단위 지연 소자가 캐스케이드로 연결된 시간 디지털 변환기.

청구항 15

제13항에 있어서,

상기 거친 검출부는, 비교기들을 포함하는 비교기부와 인코더를 포함하며,

상기 비교기부(comparator unit)는 비교기들로 상기 지연된 스타트 에지 신호와 상기 지연된 스톱 에지 신호의 선후를 비교하여 상기 스타트 신호와 상기 스톱 신호의 시간차에 상응하는 온도계 코드로 출력하고,

상기 인코더는 상기 비교기부가 출력한 상기 온도계 코드를 상응하는 디지털 코드로 변환하여 출력하는 시간 디지털 변환기.

청구항 16

제13항에 있어서,

상기 스톱 에지 신호는 상기 스톱 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)중 어느 하나를 포함하는 신호인 시간 디지털 변환기.

청구항 17

제13항에 있어서,

상기 스타트 에지 신호는 상기 스타트 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)중 어느 하나를 포함하는 신호인 시간 디지털 변환기.

청구항 18

제13항에 있어서,

상기 정밀 검출부는,

상기 스타트 신호의 제1 에지(first edge) 및 스톱 신호의 제1 에지(edge) 사이에 상응하는 액티브 구간을 가지는 활성화 신호(enable signal)를 출력하는 에지 검출기(edge detector)와,

상기 활성화 신호의 에지와 클록 신호의 에지를 동기화하여 동기된 클록 신호와 동기된 활성화 신호를 출력하는 싱크 조절부와,

상기 동기된 활성화 신호로 활성화되고 상기 동기된 클록 신호를 제공받아 제어 가능한 위상만큼 지연된 클록 신호들로 이루어진 온도계 코드(thermometer code)를 상기 액티브 구간동안 출력하는 지연 고정 루프(DLL, delay locked loop) 및

상기 온도계 코드를 상응하는 바이너리 코드로 변환하여 출력하는 인코더를 포함하며,

상기 바이너리 코드는 상기 스타트 신호의 상기 제1 에지와 상기 스톱 신호의 상기 제1 에지의 시간 차이에 상응하는 시간 디지털 변환기.

청구항 19

제13항에 있어서,

상기 판단부는,

상기 거친 검출부의 출력 신호와 상기 정밀 검출부의 출력 신호의 차이를 연산하여 상기 거친 검출부의 출력과

상기 정밀 검출부의 출력의 오류 여부를 파악하는 시간 디지털 변환기.

청구항 20

펄스 레이저 신호를 제공함과 동시에 스타트 신호를 제공하는 송신부;

상기 펄스 레이저의 반사 신호를 검출하여 상응하는 전기 신호를 출력하는 수신부;

상기 전기 신호를 증폭하되, 미리 정해진 진폭을 가지도록 증폭된 스톱 신호를 출력하는 리미팅 증폭기(limiting amplifier) 및

상기 스타트 신호와 상기 스톱 신호를 제공받고, 거친 검출(coarse detection)과 미세 검출(fine detection)을 수행하여 상기 스타트 신호와 상기 스톱 신호의 시간 차이를 검출하고, 상응하는 디지털 코드로 출력하는 시간-디지털 변환기를 포함하는 거리 측정기.

청구항 21

제20항에 있어서,

상기 시간 디지털 변환기는,

상기 거친 검출을 수행하는 거친 검출부를 포함하되, 상기 거친 검출부는:

상기 스타트 신호에 의하여 형성된 스타트 에지 신호(start edge signal)를 매 제1 단위 지연 시간 만큼 지연하여 출력하는 스타트 지연 선로(start delay line)와,

상기 스톱 신호에 의하여 형성된 스톱 에지 신호(stop edge signal)를 매 제2 단위 지연 시간 만큼 지연하여 출력하는 스톱 지연 선로(start delay line)와,

복수의 지연된 스타트 에지 신호들과 복수의 지연된 스톱 에지 신호들의 선후를 비교하는 비교기 부(comparator unit)와,

상기 비교기의 출력을 상응하는 디지털 코드로 변환하는 인코더를 포함하여 지연된 상기 스타트 에지 신호가 지연된 상기 스톱 에지 신호를 앞설 때 제1 단위 지연 시간과 제2 단위 지연 시간과의 차이를 검출하여 거친 검출을 수행하는 거리 측정기.

청구항 22

제20항에 있어서,

상기 시간 디지털 변환기는,

상기 미세 검출을 수행하는 미세 검출부를 포함하되, 상기 미세 검출부는:

펄스 트레인을 매 단위 지연시간 만큼 지연하여 제공하는 오실레이터와,

상기 단위 지연 시간의 합을 디지털 코드로 변환하는 인코더를 포함하여,

상기 스타트 에지 신호와 상기 스톱 에지 신호의 차이에 상응하는 상기 단위 지연 시간의 합을 연산하여 미세 검출을 수행하는 거리 측정기.

발명의 설명

기 술 분 야

[0001] 본 기술은 시간 디지털 변환기 및 이를 포함하는 거리 측정 장치에 관련된다.

배 경 기 술

[0002] 시간-디지털 변환기(Time-to-Digital Converter, TDC)는 측정된 시간을 상응하는 디지털 코드로 변환하는 장치이다. 일 예로, 시간 디지털 변환기는 제1 시점으로부터 제2 시점까지의 시간을 측정하고, 디지털 코드로 변환하여 출력한다.

[0003] 시간 디지털 변환기를 사용하는 분야로, 거리 측정 분야가 있을 수 있다. 신호를 목표물에 제공하고, 목표물에서 반사된 신호를 수신할 때까지의 시간 및 강도를 측정하여 목표물까지의 거리, 방향, 목표물의 속도 등을 감지한다. 일반적으로 신호를 송신할 때부터 신호를 수신할 때까지의 시간을 측정하기 위해 시간-디지털 변환기를 사용한다.

발명의 내용

해결하려는 과제

[0004] 기존의 거리측정에서는 목표물에서 반사된 신호를 수신하고, 이를 상응하는 전기 신호로 변환한다. 전기 신호의 진폭은 송신 지점과 목표물과의 거리에 좌우된다. 따라서, 진폭으로부터 거리 정보를 획득하도록 전기 신호를 선형적 이득(linear gain)을 가지는 증폭기로 증폭하고, 전기 신호의 진폭과 복수의 문턱치들(threshold values)을 비교하여 거리 정보를 획득하였다.

[0005] 기존 기술에 의하면 오차없는 거리 정보를 획득하기 위하여 아날로그 초단부(analog front-end)에 넓은 입력 범위(input dynamic range)에서 선형 이득을 가지는 증폭기를 배치하여야 하나, 넓은 입력 범위에서 선형 이득을 가지는 증폭기를 설계하는 것이 곤란하였다. 본 실시예로 해결하고자 하는 과제 중 하나는, 상기한 종래 기술의 난점을 극복하여 아날로그 초단부의 설계를 용이하게 하되, 높은 정확성을 가지는 거리측정 장치를 제공하는 것이다.

[0006] 또한, 종래의 시간 디지털 변환기는 입력 신호와 출력 신호에 대한 비교과정에서 진폭의 대소 관계와, 외란의 개입에 의하여 비교 에러가 발생한다. 본 실시예로 해결하고자 하는 과제 중 하나는, 상기한 종래 기술의 난점을 극복하여 신호 진폭의 대소 차이와 외란에 강한(robust) 시간 디지털 변환기를 제공하는 것이다.

과제의 해결 수단

[0007] 본 실시예에 의한 시간 디지털 변환기는 스타트 신호의 제1 에지(first edge) 및 스톱 신호의 제1 에지(edge) 사이에 상응하는 액티브 구간을 가지는 활성화 신호(enable signal)를 출력하는 에지 검출기(edge detector)와, 활성화 신호의 에지와 클록 신호의 에지를 동기화하여 동기된 활성화 신호를 출력하는 싱크 조절부와, 동기된 활성화 신호로 활성화되고 클록 신호를 제공받아 제어 가능한 위상만큼 지연된 클록 신호들로 이루어진 온도계 코드(thermometer code)를 액티브 구간동안 출력하는 지연 고정 루프(DLL, delay locked loop) 및 온도계 코드를 상응하는 바이너리 코드로 변환하여 출력하는 인코더를 포함하며, 바이너리 코드는 스타트 신호의 제1 에지와 스톱 신호의 제1 에지의 시간 차이에 상응한다.

[0008] 본 실시예에 의한 시간 디지털 변환기는 스타트 신호로부터 형성된 스타트 에지 신호를 제1 지연 시간으로 지연하고, 스톱 신호로부터 형성된 스톱 에지 신호를 제1 지연 시간보다 짧은 제2 지연 시간으로 지연하며, 지연된 스타트 에지 신호가 지연된 스톱 에지 신호를 앞설 때의 제1 지연 시간과 제2 지연 시간으로 스타트 신호와 스톱 신호의 시간차에 상응하는 코드를 출력하는 거친 검출부(coarse detection unit)와, 스타트 신호와 스톱 신호의 시간차를 제2 지연 시간보다 높은 해상도의 신호로 검출하는 정밀 검출부 및 정밀 검출부의 출력 신호를 거친 검출부의 출력 신호와 비교하여 유효성을 검증하는 판단부(decision unit)를 포함한다.

[0009] 본 실시예에 의한 거리 측정기는 펄스 레이저 신호를 제공함과 동시에 스타트 신호를 제공하는 송신부와, 펄스 레이저의 반사 신호를 검출하여 상응하는 전기 신호를 출력하는 수신부와, 전기 신호를 증폭하되, 미리 정해진 진폭을 가지도록 증폭된 스톱 신호를 출력하는 리미팅 증폭기(limiting amplifier) 및 스타트 신호와 스톱 신호를 제공받고, 거친 검출(coarse detection)과 미세 검출(fine detection)을 수행하여 스타트 신호와 스톱 신호의 시간 차이를 검출하고, 상응하는 디지털 코드로 출력하는 시간-디지털 변환기를 포함한다.

발명의 효과

[0010] 본 실시예에 의한 시간 디지털 변환기에 의하면 스타트 신호와 스톱 신호의 에지로부터 형성된 스타트 에지 신호와 스톱 에지 신호를 이용하여 시간을 디지털 코드로 변환하므로 외란에 강하다는 장점이 제공된다.

[0011] 본 실시예에 의한 시간 디지털 변환기에 의하면 높은 해상도를 가지는 지연 고정 루프가 출력하는 신호를 사용하므로, 높은 해상도로 시간을 디지털 코드로 변환할 수 있다는 장점이 제공된다.

[0012] 또한, 본 실시예에 의한 거리 측정 장치에 의하면 아날로그 초단부(analog front end)의 설계가 용이하며, 높은

정밀도로 거리를 측정할 수 있다는 장점이 제공된다.

도면의 간단한 설명

[0013] 도 1은 본 실시예에 의한 시간 디지털 변환기의 일 실시예의 개요를 도시한 도면이다.

도 2(A)는 스타트 래치, 스톱 래치로 사용되는 리셋 가능한 T 래치(toggle latch)의 개요적 회로도이고, 도 2(B)는 리셋 가능한 T 래치의 동작을 설명하기 위한 타이밍도이다.

도 3은 본 실시예의 시간 디지털 변환기의 동작을 설명하기 위한 타이밍도이다.

도 4는 본 실시예에 의한 시간 디지털 변환기 실시예의 개요를 도시한 도면이다.

도 5(A)는 에지 검출기의 개요적 회로도이고, 도 5(B)는 에지 검출기와 관련된 신호들에 대한 타이밍도이다.

도 6(A)는 싱크 조절부의 개요를 도시한 게이트 레벨 회로도이고, 도 6(B)는 싱크 조절부의 개요적 타이밍도이다.

도 7은 본 실시예에 의한 정밀 검출부의 개요적 타이밍도이다.

도 8은 본 실시예에 의한 거리 측정 장치의 개요를 도시한 블록도이다.

도 9는 본 실시예에 의한 시간 디지털 변환기의 개요를 도시한 블록도이다.

도 10은 본 실시예에 의한 판단부의 동작을 개요적으로 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 TDC(10)를 설명한다. 도 1은 본 실시예에 의한 시간 디지털 변환기(100)의 일 실시예의 개요를 도시한 도면이다. 도 1을 참조하면, 시간 디지털 변환기(100)는 스타트 신호(START)가 제공되어 리셋되고, 스타트 에지 신호(start edge signal, T_START)를 제공하는 스타트 래치(112)와, 복수개의 제1 단위 지연 소자들(D1)들이 캐스케이드로 연결되어 스타트 에지 신호(T_START))들을 지연시켜 출력하는 스타트 딜레이 라인(114)를 포함하는 스타트 지연부와, 스톱 신호(STOP)가 제공되어 리셋되고, 스톱 에지 신호(STOP edge signal, T_STOP)를 제공하는 스톱 래치(122)와, 복수개의 제2 단위 지연 소자들(D2)들이 캐스케이드로 연결되어 스톱 에지 신호(T_STOP))들을 지연시켜 출력하는 스톱 딜레이 라인(124)를 포함하는 스톱 지연부와, 복수의 지연된 스타트 에지 신호들(T_START)과 복수의 지연된 스톱 에지 신호들(T_STOP)의 선후를 비교하는 비교기 부(comparator unit, 130) 및 비교 결과에 상응하는 디지털 코드(B0, B1, ..., B3)를 제공하는 인코더(140)을 포함한다.

[0015] 도 2(A)는 스타트 래치(112), 스톱 래치(122)로 사용되는 리셋 가능한 T 래 치(toggle latch)의 개요적 회로도이다. 도 2(B)는 리셋 가능한 T 래치의 동작을 설명하기 위한 타이밍도이다. 도 2(B)를 참조하면, 종래의 T 래치는, 입력 신호가 제공되면 논리 로우 상태 출력을 논리 하이 상태로 토글하고, 이후 입력 신호에 무관하게 출력(q)을 논리 하이 상태로 유지하였다(점선).

[0016] 그러나, 본 실시예에 의한 리셋 가능한 T 래치는 최초 입력 신호가 제공되면, 미리 정해진 리셋 시간(τ_{RESET})이후, 출력을 토글하여 논리 하이 상태로 유지한다. 이후, 입력 신호가 제공되면 리셋 시간(τ_{RESET})동안 래치를 리셋하여 논리 로우 상태의 출력(Q)을 제공한 후, 반전하여 논리 하이 상태의 출력을 제공한다. 이하에서는 스타트 래치(112)와 스톱 래치(122)가 서로 동일하여 리셋 시간(τ_{RESET})이 서로 동일한 것으로 가정한다.

[0017] 도 2(A)를 참조하면, 리셋 가능한 T 래치는 t 래치(TL)와 반전 지연 선로(DL) 및 XOR 게이트를 포함한다. t 래치(TL)는 입력(Input)이 논리 로우 상태를 유지할 경우에는 출력(Q)을 그대로 유지(hold)한다. 그러나, 입력(Input)이 최초로 논리 로우 상태에서 논리 하이 상태로 전이하는 경우에는 출력(Q)이 논리 하이 상태로 토글된다. 이어서, 논리 로우 또는 논리 하이 입력(Input)이 제공되어도 출력(Q)은 하이 상태로 유지(hold)된다. 즉, t 래치(TL)는 입력(Input)이 논리 로우 상태에서 논리 하이 상태로 최초에 전환될 때를 제외하고는 논리 하이 상태의 출력을 유지한다.

[0018] 반전 지연 선로(DL)는 입력 신호를 반전하여 출력하는 인버터(inverter, inv)를 복수개 포함할 수 있으며, 지연 선로에 포함된 인버터(inv)의 개수는 홀수개일 수 있다. 또한, 지연 선로에 포함된 인버터(inv)는 단위 지연 소자(unit delay device)로 기능하여 각각 단위 지연 시간만큼 신호를 지연하는 기능을 수행한다. 리셋 시간(τ

RESET)은 지연 선로에 포함된 인버터의 개수에 의하여 정해질 수 있다.

[0019] 일 예로, 반전 지연 선로(DL)에 논리 하이 입력이 제공되면, AND 게이트의 일 입력으로 논리 하이 입력이 제공되나, 타 입력으로는 캐스케이드된 인버터들에 의하여 반전된 입력이 지연되어 제공된다. 따라서, 논리 로우 상태에서 논리 하이 상태로 전환하는 입력(Input)이 제공되면, NAND 게이트(NAND)는 논리 하이 상태의 입력과 캐스케이드된 인버터들에 의하여 반전된 출력이 NAND 게이트(NAND) 입력에 제공됨에 따라 논리 로우를 출력하며, INV1에 의하여 논리 하이 상태로 출력된다.

[0020] 따라서, XOR 게이트에 입력된 t 래치(TL)의 출력과 지연 반전 회로의 출력이 상호 배타적인 상태인 경우가 될 때, XOR 게이트는 논리 하이 상태의 신호를 출력한다.

[0021] 리셋 가능한 T 래치에 입력으로 스타트 신호(START)가 제공되면 래치는 상승 에지를 가지는 스타트 에지 신호(T_START)를 출력하며, 스타트 에지 신호(T_START)의 논리 상태는 또다른 스타트 신호가 제공되기 이전까지 유지된다. 마찬가지로, 리셋 가능한 T 래치에 입력으로 스톱 신호(STOP)가 제공되면 래치는 상승 에지를 가지는 스톱 에지 신호(T_STOP)를 출력하며, 또 다른 스타트 신호가 제공되기 전까지 논리 상태를 유지한다.

[0022] 도시되지 않은 실시예에 의하면, 리셋 가능한 T 래치에 입력으로 스타트 신호(START)가 제공되면 래치는 또다른 스타트 신호가 제공되기 이전까지는 논리 로우 상태의 출력을 유지한다. 따라서, 래치는 이후 스타트 신호가 입력되기 전까지 하강 에지를 가지는 스타트 에지 신호(T_START)를 출력한다. 마찬가지로, 리셋 가능한 T 래치에 입력으로 스톱 신호(STOP)가 제공되면 래치는 또 다른 스타트 신호가 제공되기 전까지 하강 에지만을 가지는 신호를 출력한다.

[0023] 스타트 신호(START) 및/또는 스톱 신호(STOP)에 노이즈가 개입하는 경우, 노이즈를 새로운 스타트 신호(START) 및/또는 스톱 신호(STOP)로 잘못 인식하여 오작동하는 경우가 있었다. 그러나, 리셋 가능한 T 래치에 의하여 형성된 스타트 에지 신호(T_START) 및/또는 스톱 에지 신호(T_STOP)는 모두 리셋되기 이전에는 단일한 에지와 단일한 레벨을 가지는 신호이므로, 개입된 노이즈에 의한 오동작을 배제할 수 있으며, 스타트 에지 신호(T_START)와 스톱 에지 신호(T_STOP)의 교차시 비교 모호성까지 제거할 수 있다.

[0024] 다시 도 1을 참조하면, 스타트 딜레이 라인(114)는 복수의 제1 단위 지연 소자(D1)들이 서로 캐스케이드로 연결되며, 제1 단위 지연 소자(D1) 각각은 입력으로 제공된 신호를 제1 단위 지연 시간(τ1)만큼 지연하여 출력한다. 스톱 딜레이 라인(124)은 복수의 제2 단위 지연 소자(D2)들이 서로 캐스케이드로 연결되며, 제2 단위 지연 소자(D2) 각각은 입력으로 제공된 신호를 제2 단위 지연 시간(τ2)만큼 지연하여 출력한다.

[0025] 제1 단위 지연 시간(τ1)은 제2 단위 지연 시간(τ2)에 비하여 클 수 있다. 따라서, 스타트 딜레이 라인(114)를 통하여 전파되는 스타트 에지 신호(T_START)는 스톱 딜레이 라인(124)를 통하여 전파되는 스톱 에지 신호(T_STOP)에 비하여 빠르게 전파된다. 일 실시예로, 제1 단위 지연 소자(D1)와 제2 단위 지연 소자(D2)는 각각 서로 다른 크기를 가지는 버퍼(buffer)로 형성될 수 있다.

[0026] 비교기 부(130)는 복수의 비교기들(C11, C21, ..., C73)을 포함한다. 도 1로 예시된 실시예에서, 비교기 부(130)은 비교기 부(130) 내에서 해상도(resolution)가 열화되는 위치에 배치되는 더미 비교기(dummy comparator, D)를 더 포함할 수 있다.

[0027] 도 3은 본 실시예의 시간 디지털 변환기(100)의 동작을 설명하기 위한 타이밍도이다. 도 1 및 도 3을 참조하면, 스타트 신호(START)가 스타트 래치(112)에 제공됨에 따라 상승 에지를 가지는 스타트 에지 신호가 형성되어 스타트 딜레이 라인(114)에 입력되고, 실선으로 표시된 것과 같이 복수의 단위 지연 소자를 거치면서 지연되어 비교기에 제공된다. 스톱 신호(STOP)가 스톱 래치(122)에 제공됨에 따라 상승 에지를 가지는 스톱 에지 신호가 형성되어 스톱 딜레이 라인(124)에 입력되고, 점선으로 표시된 것과 같이 복수의 단위 지연 소자를 거치면서 지연되어 비교기에 제공된다.

[0028] 비교기 부(130)에 포함된 비교기들 각각은 스타트 딜레이 라인(114)에서 스타트 에지 신호(T_START)가 하나 이상의 단위 지연 소자를 거쳐 출력된 신호와, 스톱 에지 신호(T_STOP)가 하나 이상의 단위 지연 소자를 거쳐 출력된 신호의 선후 관계를 비교한다. 일 예로, 비교기 C11은 스타트 에지 신호(T_START)가 하나의 제1 단위 지연 소자(D1)를 거쳐 출력된 신호와 스톱 에지 신호(T_STOP)가 하나의 제2 단위 지연 소자(D2)를 거쳐 출력된 신호의 선후를 비교하고 비교 결과를 TC[0]로 출력한다. 일 예로, 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 먼저 도착한 경우에 비교기 C11은 출력 신호 TC[0]로 논리 하이 상태를 출력하며, 이 때에는 스타트 신호(START)와 스톱 신호(STOP)의 시간차이(ΔT)는 제1 단위 지연시간 τ1과 제2 단위 지연 시간 τ2의

차이인 τ1 - τ2 보다 작다.

[0029] 다른 예로, 비교기 C53은 다섯 개의 제1 단위 지연 소자(D1)를 거친 스타트 에지 신호(T_START)와 세 개의 제2 단위 지연 소자(D2)를 거친 스톱 에지 신호(T_STOP) 신호의 선후를 비교한다. 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 먼저 도착한 경우에 출력 신호 TC[8]로 논리 하이 상태를 출력하며, 이 때에는 스타트 신호(START) 신호와 스톱 신호(STOP)의 시간차이(ΔT)는 다섯배의 제1 단위 지연시간 5τ1과 세 배의 제2 단위 지연 시간 3τ2의 차이인 5τ1- 3τ2 보다 작다.

[0030] 비교기 각각에는 실선으로 표시된 하나 혹은 이상의 제1 단위 지연 소자(D1)을 거쳐 지연된 스타트 에지 신호(T_START)와 파선으로 표시된 하나 혹은 이상의 제2 단위 지연 소자(D2)를 거쳐 지연된 스톱 에지 신호(T_STOP)가 입력된다. 일 예로, 비교기 각각은 입력된 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 느릴 때 논리 로우 상태의 출력을 제공하고, 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 빠를 때에는 논리 하이 상태의 출력을 제공할 수 있다. 다른 예로, 비교기 각각은 입력된 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 느릴 때 논리 하이 상태의 출력을 제공하고, 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 빠를 때에는 논리 로우 상태의 출력을 제공할 수 있다.

[0031] 실선으로 표시된 스타트 에지 신호(T_START)는 스톱 에지 신호(T_STOP)가 전파되는 제2 단위 지연 소자의 제2 단위 지연 시간보다 더 큰 지연시간을 가지는 제1 단위 지연 소자가 캐스케이드된 스타트 딜레이 라인(114)을 통하여 전파되므로, 비교기 C63 이후의 C51, C62 및 C73은 모두 논리 로우 신호를 출력한다. 따라서, 비교기부(130)가 출력하는 신호 TC[0], TC[1], ..., TC[14]는 온도계 코드(thermometer code)일 수 있다. 비교기부(130)가 출력하는 온도계 코드(TC)는 아래의 표 1로 예시된 것과 같다.

표 1

[0032]

decimal	Thermometer														
D	TC[14]	TC[13]	TC[12]	TC[11]	TC[10]	TC[9]	TC[8]	TC[7]	TC[6]	TC[5]	TC[4]	TC[3]	TC[2]	TC[1]	TC[0]
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
3	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
4	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
6	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
8	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
9	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
10	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
11	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
12	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
13	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

[0033] 표 1로 예시된 온도계 코드는 15 비트로 TC[0, 1, 2, ..., 14]가 [0, 0, ..., 0]에서 [1, 0, ..., 0], [1, 1, ..., 0], ..., [1, 1, 1, ..., 1]까지 변화하는 것을 예시한다.

[0034] 비교기부(130)가 출력하는 온도계 코드(TC, 표 1로 예시)는 [0, 0, ..., 0]에서 [1, 0, ..., 0], ..., [1, 1, 1, ..., 1]까지 변화한다는 점에서 인코더(240)가 출력하는 온도계 코드(TF, 표 2 참조)와 상이할 수 있다.

[0035] 인코더(140)는 비교기부(130)가 출력하는 온도계 코드 TC[0, 1, 2, ..., 14]를 제공받고 이를 상응하는 바이너리 코드 BC[0, 1, 2, 3]로 변환하여 출력한다. 일 실시예로, 인코더(140)는 온도계 코드 TC[0, 1, 2, ..., 14]를 그레이 코드 GC[0, 1, 2, 3]로 변환하고, 그레이 코드 GC[0, 1, 2, 3]를 바이너리 코드 BC[0, 1, 2, 3]로 변환하여 출력할 수 있다.

[0036] 일 실시예에서, 인코더(140)는 온도계 코드 TC[0, 1, 2, ..., 14]를 제공받고, 수학식 3에 상응하는 연산을 수행하여 그레이 코드 GC[0, 1, 2, 3]를 형성한다.

수학식 1

$$GC[3]=TC[7]$$

$$GC[2]=TC[3]\cdot TC[11]'$$

$$GC[1]=TC[1]\cdot TC[5]'+TC[9]\cdot TC[13]'$$

[0037] $$GC[0]=TC[0]\cdot TC[2]'+TC[4]\cdot TC[6]'+TC[8]\cdot TC[10]'+TC[12]\cdot TC[14]'$$

[0038] 인코더(140)는 형성된 그레이 코드 GC[0, 1, 2, 3]로부터 수학식 2에 상응하는 연산을 수행하여 온도계 코드 TC[0, 1, 2, ..., 14]에 상응하는 바이너리 코드 BC[0, 1, 2, 3]를 형성한다.

수학식 2

$$BC[3]=GC[3]$$

$$BC[2]=GC[2]\oplus BC[3]$$

$$BC[1]=GC[1]\oplus BC[2]$$

[0039] $$BC[0]=GC[0]\oplus BC[1]$$

[0040] 도 3으로 예시된 타이밍 도에서, 비교기 C52에 제공된 입력까지 스타트 에지 신호(T_START)가 스톱 에지 신호(T_STOP)에 비하여 느리며, 비교기 C63에 제공된 입력부터 스타트 에지 신호(T_START)와 스톱 에지 신호(T_STOP)가 역전되었다. 따라서, 스타트 신호(START) 신호와 스톱 신호(STOP)의 시간 차이(ΔT)는 제1 단위 지연시간의 5배인 5τ1과 2배의 제2 단위 지연 시간 τ2의 차이인 5τ1- 2τ2 보다 크고, 제1 단위 지연시간의 6배인 6τ1과 3배의 제2 단위 지연 시간 3τ2의 차이보다 작다(수학식 3 참조). 비교기의 출력 신호로 파악하면, 비교기의 출력 신호 TC[0] 내지 TC[10] 까지는 논리 하이 상태의 신호일 수 있고, 출력 신호 TC[11] 내지 TC[14] 까지는 논리 로우 상태의 신호일 수 있다.

수학식 3

[0041] $$5\tau_1-2\tau_2<\Delta T<6\tau_1-3\tau_2$$

[0042] 인코더(140)는 비교기의 출력 신호인 온도계 코드 TC[0, 1, 2, ..., 14]를 입력 받고, 상기한 수학식과 같은 연산을 수행하여 스타트 에지 신호(T_START)와 스톱 에지 신호(T_STOP)의 신호 차이(ΔT)를 거칠게 연산한다. 인코더(140)은 연산된 결과에 상응하는 바이너리 코드 BC[0, 1, 2, 3]를 형성하여 출력한다. 일 예로, 인코더(140)가 출력하는 바이너리 코드의 해상도는 나노 초 단위의 해상도를 가질 수 있다.

[0043] 도 4는 다른 실시예에 의한 시간 디지털 변환기(200) 실시예의 개요를 도시한 도면이다. 도 4로 예시된 실시예는 이전에 설명된 시간 디지털 변환기에 비하여 높은 해상도(resolution)를 가질 수 있다. 도 4를 참조하면, 스타트 신호의 제1 에지(first edge) 및 스톱 신호의 제1 에지(edge) 사이에 상응하는 액티브 구간을 가지는 활성

화 신호(enable signal, en)를 출력하는 에지 검출기(edge detector, 210)와, 활성화 신호(en)의 에지와 클록 신호(CLK)의 에지를 동기화하여 동기된 활성화 신호(EN)를 출력하는 싱크 조절부(sync arrange, 220)와, 동기된 활성화 신호(EN)로 활성화되고 클록 신호(CLK)를 제공받아 제어 가능한 위상만큼 지연된 클록 신호들로 이루어진 온도계 코드(TF, thermometer code)를 액티브 구간동안 출력하는 지연 고정 루프(DLL, delay locked loop, 230) 및 온도계 코드(TF)를 상응하는 바이너리 코드(BF)로 변환하여 출력하는 인코더(240)를 포함하며, 바이너리 코드(BF)는 스타트 신호의 제1 에지와 스톱 신호의 제1 에지의 시간 차이에 상응한다.

[0044] 도 5(A)는 에지 검출기(210)의 개요적 회로도이고, 도 5(B)는 에지 검출기(210)와 관련된 신호들에 대한 타이밍도이다. 도 5(A) 및 도 5(B)를 참조하면, 에지 검출기(210)는 스타트 신호(START)와 스톱 신호(STOP)가 입력되는 XOR 게이트와 XOR 게이트의 출력이 클록으로 제공되는 제1 SR 플립플롭(212), 제1 SR 플립플롭의 Q, Q'출력이 각각 S, R 입력으로 제공되며, 반전된 XOR 게이트의 출력이 클록으로 제공되는 제2 SR 플립플롭(214)을 포함하며, 제2 SR 플립플롭(214)의 반전 출력이 제1 제1 플립플롭(212)의 S 입력으로 제공되며, 제2 SR 플립플롭(214)의 비반전 출력이 제1 플립플롭의 R 입력으로 제공된다. 도시된 실시예에서, 스타트 신호(START)와 스톱 신호(STOP)는 모두 XOR 게이트로 직접 입력되는 것으로 도시되었으나, 도시되지 않은 다른 실시예에 의하면 신호(START)와 스톱 신호(STOP)는 버퍼를 거쳐 XOR 게이트로 제공될 수 있다. 버퍼는 일 예로, 인버터일 수 있다.

[0045] 도 5(B)를 참조하면, 에지 검출기(210)에 스타트 신호(START)의 상승 에지가 입력되면 XOR 게이트의 출력 신호 X1은 상승 에지를 거쳐 논리 하이 상태로 전환된다. 제2 SR 래치의 비반전 출력(Q2)과 반전 출력(Q2')은 각각 논리 하이와 논리 로우 상태에 있으므로, X1 신호의 상승 에지가 제공된 제1 SR 플립플롭(212)은 비반전 출력(Q1)으로 논리 로우 상태의 신호를 출력하고, 반전 출력(Q1')으로 논리 하이 상태의 신호를 출력한다.

[0046] 스타트 신호(START)의 하강 에지가 입력됨에 따라 XOR 게이트의 출력은 하강 에지를 거쳐 논리 로우 상태로 전환되며, 인버터에 의하여 반전되어 형성된 상승 에지가 제2 SR 플립플롭(214)에 제공된다. 따라서, 제2 SR 플립플롭(214)의 S 입력과 R 입력은 각각 논리 로우, 논리 하이 상태의 신호가 입력되므로 제2 SR 플립플롭(214)의 비반전 출력(Q2)와 반전 출력(Q2')은 각각 논리 로우와 논리 하이 상태로 전환된다.

[0047] 이어서, 에지 검출기(210)에 스톱 신호(STOP)의 상승 에지가 입력되면 XOR 게이트의 출력 신호 X1은 상승 에지를 거쳐 논리 하이 상태로 전환된다. 제2 SR 래치의 비반전 출력(Q2)과 반전 출력(Q2')은 각각 논리 하이와 논리 로우 상태에 있으므로, X1 신호의 상승 에지가 제공된 제1 SR 플립플롭(212)는 비반전 출력(Q1)으로 논리 하이 상태의 신호를 출력하고, 반전 출력(Q1')으로 논리 로우 상태의 신호를 출력한다.

[0048] 스톱 신호(STOP)의 하강 에지가 입력됨에 따라 XOR 게이트의 출력 신호 X1은 하강 에지를 거쳐 논리 로우 상태로 전환되며, 인버터에 의하여 반전되어 형성된 상승 에지가 제2 SR 플립플롭(214)에 제공된다. 따라서, 제2 SR 플립플롭(214)의 S 입력과 R 입력은 각각 논리 하이, 논리 로우 상태의 신호가 입력되므로 제2 SR 플립플롭(214)의 비반전 출력(Q2)와 반전 출력(Q2')은 각각 논리 하이와 논리 로우 상태로 전환된다.

[0049] 도 5(B)에 도시된 바와 같이 스타트 신호(START)의 상승 에지와 스톱 신호(STOP)의 상승 에지 사이의 간격을 T1이라고 하면, 에지 검출기(210)가 출력한 활성화 신호(en)의 에지 사이에 형성되는 액티브 구간의 간격 T2도 T1에 상응한다. 또한, 도 2에서 활성화 신호(en)의 액티브 구간은 논리 하이 상태로 예시되었으나, 도시되지 않은 다른 실시예에서 액티브 구간은 논리 로우 상태일 수 있다.

[0050] 도 6(A)는 싱크 조절부(220)의 개요를 도시한 게이트 레벨 회로도이고, 도 6(B)는 싱크 조절부(220)의 개요적 타이밍도이다. 용이한 이해를 위하여 클록 신호(CLK)의 주기는 타이밍도에 과장하여 도시하였다. 도 6(A)를 참조하면, 싱크 조절부(220)는 활성화 신호(en)와 클록신호(CLK)가 입력으로 제공되는 NAND 게이트(NANDa)와, 반전된 활성화 신호(en')와 클록 신호(CLK)가 입력으로 제공되는 NAND 게이트(NANDb)와, 두 NAND 게이트의 출력이 입력되는 크로스 피드백된 SR 래치(222) 및 SR 래치의 출력(Q)을 반전하여 출력하는 인버터를 포함한다.

[0051] 도 6(A) 및 도 6(B)를 참조하면, 구간 ①에서 논리 로우 상태의 활성화 신호(en)가 입력된 NANDa 게이트는 논리 하이 상태의 신호 S를 출력하며, 논리 하이 상태의 반전된 활성화 신호(en')가 입력된 NANDb 게이트는 출력 신호 R로 반전된 클록 신호를 출력한다. 구간 ①에서, SR 래치(222)에 제공되는 입력 S는 논리 하이이므로, 입력 R이 논리 로우이면 출력 Q는 논리 로우이고, 입력 R이 논리 하이이면 출력 Q는 이전 상태를 유지한다. 따라서, 구간 ①에서 출력 Q는 논리 로우 상태를 유지한다.

[0052] 구간 ②에서 논리 하이 상태의 활성화 신호(en)가 입력된 NANDa 게이트는 출력 신호 S로 논리 하이 상태와 논리 로우 상태를 교번하는 클록 신호 CLK를 반전하여 출력하며, 논리 로우 상태의 반전된 활성화 신호(en')가 입력된 NANDb 게이트는 논리 하이 상태의 신호 R을 출력한다. 구간 ②에서, SR 래치(222)에 제공되는 입력 R은 논

리 하이이고, 입력 S는 논리 하이와 논리 로우를 교번하므로 입력 S가 논리 로우일 때 출력 Q는 논리 하이이고, 입력 S가 논리 하이이면 출력 Q는 이전 상태를 유지한다. 따라서, 구간 ②에서 출력 Q는 논리 하이 상태를 유지한다.

[0053] 출력 Q가 반전되어 형성되는 동기된 활성화 신호(EN)의 액티브 구간()이 시작되는 에지는 클록 신호(CLK)의 상승 에지와 동기화된다. 따라서, 지연 고정 루프(230)에 제공되어 지연 고정 루프(230)를 활성화시키는 동기된 활성화 신호(EN)은 클록 신호(CLK)에 동기된다. 도시된 바와 같이 활성화 신호(en)의 상승 에지와 클록의 상승 에지는 일치하지 않아 동기된 활성화 신호(EN)는 Δt 만큼의 액티브 구구간의 오차가 있을 수 있다. 그러나 위에서 설명된 바와 같이 클록 신호의 주기는 과장되어 표시된 것이며, 오차 Δt의 최대값은 클록 신호의 한 주기 미만으로, 무시할 수 있다. 구간 ③에서 입력되는 신호는 구간 ①과 같으며, 동기된 활성화 신호(EN)는 구간 ①과 같이 논리 하이 상태이다.

[0054] 도 7은 본 실시예에 의한 정밀 검출부(200)의 개요적 타이밍도이다. 도 4 및 도 7을 참조하면, 지연 고정 루프(DLL, delay locked loop, 230)는 동기된 활성화 신호(EN)를 제공받고 활성화되며, 입력된 클록 신호(CLK)의 위상이 지연된 복수의 신호들 TF[0, 1, 2, ..., 14]을 출력한다.

[0055] 일 실시예로, 지연 고정 루프(230)는 동기된 활성화 신호(EN)의 로우 상태에 의하여 활성화될 수 있으며, 캐스케이드된 제3 단위 지연 소자들(D3)은 입력된 신호를 미리 설정된 지연 시간만큼 지연하여 출력한다. 제3 단위 지연 소자들이 입력된 신호를 지연하는 시간은 거친 검출부에 포함된 제2 단위 지연 소자들의 지연 시간보다 짧다. 일 예로, 제1 및 제2 단위 지연 소자들의 지연 시간은 nsec의 단위를 가질 수 있으나, 제3 단위 지연 소자들의 지연 시간은 psec 단위를 가질 수 있다. 일 구현예로, 제1 단위 지연 소자의 지연 시간은 18nsec 이고, 제2 단위 지연 소자의 지연 시간은 12nsec 이고, 제3 단위 지연 소자의 지연 시간은 625psec 일 수 있다.

[0056] 캐스케이드된 제3 단위 지연 소자들(D3)의 최종 출력 TF[14]은 클록 신호(CLK)와 함께 위상 검출기(PD, phase detector)에 입력된다. 위상 검출기(PD)는 최종 출력 TF[14]의 위상과 클록 신호(CLK)의 위상 차이를 검출하여, 클록 신호(CLK)에 비하여 지연 고정 루프(230)의 출력의 위상이 뒤처지면 펌프 업 신호(미도시)를 출력하고, 클록 신호(CLK)에 비하여 위상 검출기의 출력의 위상이 앞서면 펌프 다운 신호를 출력하여 후속하는 차지 펌프(CP, charge pump)를 제어한다.

[0057] 차지 펌프(CP)에 펌프 업 신호가 제공되면 차지 펌프(CP)는 각각의 단위 지연 소자에 제공되는 바이어스를 증가시켜 캐스케이드된 제3 단위 지연 소자들의 지연 시간을 감소시킨다. 차지 펌프(CP)에 펌프 다운 신호가 제공되면 차지 펌프(CP)는 각각의 단위 지연 소자에 제공되는 바이어스를 감소시켜 캐스케이드된 제3 단위 지연 소자들의 지연 시간을 증가시킨다. 따라서, 지연 고정 루프(230)가 출력하는 복수의 신호들 TF[0, 1, 2, ..., 14]의 위상을 제어할 수 있다.

[0058] 지연 고정 루프(230)가 출력하는 TF[0, 1, 2, ..., 14]는 온도계 코드를 이루며, 이들은 아래의 표 2로 예시된 바와 같다. 그러나, 지연 고정 루프(230)가 출력한 온도계 코드 TF는 십진수 9에 상응하는 코드로 TF[1, 2, ..., 15]는 [0000 0011 1111 110]과 같이 0이 다시 포함되며, 0은 십진수 15에 상응하는 [1111 1111 0000 000]까지 포함된다. 이러한 점에서 표 1에서 예시된 비교기부(130)가 출력하는 온도계 코드와는 상이할 수 있다.

표 2

[0059]

decimal	Thermometer														
D	TF[14]	TF[13]	TF[12]	TF[11]	TF[10]	TF[9]	TF[8]	TF[7]	TF[6]	TF[5]	TF[4]	TF[3]	TF[2]	TF[1]	TF[0]
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
3	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
4	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
6	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
8	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
9	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
10	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0
11	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
12	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
13	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0
14	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0
15	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0

[0060] 인코더(240)는 지연 고정 루프(230)가 출력하는 온도계 코드 TF[0, 1, 2, ..., 14]를 제공받고 이를 상응하는 바이너리 코드 F[1, 2, 3,4]로 변환하여 출력한다. 일 실시예로, 인코더(240)는 온도계 코드 TF[0, 1, 2, ..., 14]를 그레이 코드 GF[0, 1, 2, 3]로 변환하고, 그레이 코드GF[0, 1, 2, 3]를 바이너리 코드 BF[0, 1, 2, 3]로 변환하여 출력할 수 있다.

[0061] 일 실시예에서, 인코더(240)는 온도계 코드 TF[0, 1, 2, ..., 14]를 제공받고, 상기한 수학식 1에 상응하는 연산을 수행하여 그레이 코드를 형성한다. 인코더(240)는 형성된 그레이 코드 GF[0, 1, 2, 3]로부터 수학식 2에 상응하는 연산을 수행하여 온도계 코드 TF[1, 2, ..., 15]에 상응하는 바이너리 코드 BF[0, 1, 2, 3]를 형성하여 출력한다.

[0062] 본 실시예에 따른 시간 디지털 변환기(200)는 지연 고정 루프 높은 해상도를 가지는 지연 고정 루프(230)의 출력 신호를 사용하여 스타트 신호(START)와 스톱 신호(STOP) 사이의 시간차를 검출하여 디지털 코드로 출력한다. 따라서, 높은 해상도를 얻을 수 있다는 장점이 제공된다.

[0063] 도 8은 본 실시예에 의한 거리 측정 장치(1)의 개요를 도시한 블록도이다. 도 8을 참조하면, 본 실시예에 의한 거리 측정 장치(1)는 펄스 레이저 신호(Laser)를 제공함과 동시에 스타트 신호(START)를 제공하는 송신부(10)와, 펄스 레이저가 목표물(Target)에 반사되어 형성된 반사 신호(reflected laser)를 검출하여 전기 신호를 출력하는 수신부(20)와, 전기 신호를 증폭하되, 미리 정해진 진폭을 가지도록 증폭된 스톱 신호(STOP)를 출력하는 증폭기 부(30) 및 스타트 신호(START)와 스톱 신호(STOP)를 제공받고, 스타트 신호와 스톱 신호의 시간 차이를 검출하고, 상응하는 디지털 코드로 출력하는 시간-디지털 변환기(TDC, 40)를 포함한다.

[0064] 송신부(10)는 펄스 레이저(Laser)를 제공한다. 일 예로, 송신부(10)는 250nm 내지 11㎛까지의 파장 영역에서 특정 파장을 가지거나 파장 가변이 가능한 레이저를 제공하는 레이저 다이오드(LD)와 레이저 다이오드(LD)가 레이저를 출력하도록 구동함과 동시에 스타트 신호(START)를 제공하는 LD 드라이버(12)를 포함할 수 있다. 레이저 다이오드(LD)가 출력하는 펄스 레이저의 파장은 대기, 구름, 비 등에 대한 투과성과 보행자의 시력에 직접적인 영향을 줄 수 있다. 따라서, 펄스 레이저의 파장은 250nm 내지 11㎛까지의 파장 영역 또는 이외의 영역에서 선택된 어느 하나의 파장일 수 있다.

[0065] 제공된 레이저(Laser)는 목표물(Target)에 도달하고, 반사되어 수신부(20)에 입사된다. 수신부(20)는 입사된 레이저에 상응하는 전기적 신호를 형성한다. 일 예로, 수신부(20)는 입사된 레이저에 상응하여 전류 신호를 제공하는 포토 다이오드(PD)를 포함할 수 있다.

[0066] 증폭기부(30)는 수신부(20)가 제공하는 전류신호를 전압신호로 변환하여 증폭하는 전달임피던스 증폭기(transimpedance amplifier, 32) 및 리미팅 증폭기(limiting amplifier, 34)를 포함한다. 전달 임피던스 증폭기(32)는 전류 신호를 제공받아 상응하는 전압 신호로 변환하여 리미팅 증폭기(34)에 제공한다.

[0067] 리미팅 증폭기(34)는 입력된 신호를 미리 정해진 진폭을 가지도록 증폭하여 스톱 신호(STOP)를 형성하여 시간-디지털 변환기(40)에 제공한다. 통상적인 증폭기는 미리 정해진 이득으로 입력된 신호를 증폭하여 출력한다. 따라서, 이득이 일정하다면 출력 신호의 진폭은 입력 신호의 진폭에 좌우된다. 그러나, 리미팅 증폭기(34)는 출력 신호의 진폭이 미리 정해진 진폭을 가지도록 입력 신호를 증폭하여 출력한다.

[0068] 도 9는 본 실시예에 의한 시간 디지털 변환기(40)의 개요를 도시한 블록도이다. 도 9를 참조하면, 시간 디지털 변환기(40)는 거친 검출부(100, coarse detection unit)과 정밀 검출부(200, fine detection unit) 및 판단부(decision unit5, 300)를 포함한다.

[0069] 거친 검출부(100)는 위에서 도 1 내지 도 3을 참조하여 설명된 시간 디지털 변환기(100)에 상응하며, 정밀 검출부(200)는 위에서 도 4 내지 도 7을 참조하여 설명된 시간 디지털 변환기(200)에 상응한다. 따라서, 본 기술에 대한 간결하고 명확한 설명을 위하여 중복된 요소에 대한 설명은 생략한다.

[0070] 도 10은 본 실시예에 의한 판단부(300)의 동작을 개요적으로 도시한 순서도 도면이다. 도 10을 참조하면, 판단부(300)는 거친 검출부(100)의 출력 신호(BC)와 정밀 검출부(200)의 출력 신호(BF)을 입력 받는다(S100).

[0071] 판단부(300)는 거친 검출부(100)의 출력 신호(BC)와 정밀 검출부(200)의 출력 신호(BF)의 오차를 연산하고, 오차가 거친 검출부(100)의 최대 오차인 τ1-τ2와 비교한다(S200). 거친 검출부(100)는 제1 단위 지연 시간(τ1)으로 지연되는 제1 단위 지연 소자(D1)가 캐스케이드된 스타트 딜레이 라인(114)을 통해 전파되는 스타트 에지 신호와 제2 단위 지연 시간(τ2)으로 지연되는 제2 단위 지연 소자(D2)가 캐스케이드된 스톱 딜레이 라인(124)를 통하여 전파되는 스톱 에지 신호의 선후를 비교하는 것이므로, 검출의 최대 오차는 제1 단위 지연 시간과 제2 단위 지연 시간의 차이인 τ1-τ2에 상응한다.

[0072] 정밀 검출부(200)는 제1 단위 지연 시간(τ1) 및 제2 단위 지연 시간(τ2)보다 짧은 제3 단위 지연 시간(τ3)으로 신호를 지연하는 제3 단위 지연 소자를 이용하므로, 시간 측정의 정밀도가 더 높다. 따라서, 측정값은 거친 검출부(100)의 측정값보다 작다. 따라서, 오류가 없는 경우에는 거친 검출부(100)의 출력 신호(BC)와 정밀 검출부(200)의 출력 신호(BF)의 차이는 0보다 크고, 그 오차는 거친 검출부(100)의 최대 오차인 τ1-τ2 보다 작거나 같다.

[0073] 만약, 거친 검출부(100)의 출력 신호(BC)와 정밀 검출부(200)의 출력 신호(BF)의 차이는 0보다 크거나 또는 오차가 거친 검출부(100)의 최대 오차인 τ1-τ2 보다 크다면 거친 검출부(100)의 출력 신호(BC) 및 정밀 검출부(200)의 출력 신호(BF) 중 어느 하나 이상에서 오류가 발생한 것이므로, 이전 단계로 돌아가 새로운 출력 신호들로 연산을 수행한다.

[0074] 판단부(300)는 거친 검출부(100)의 출력 신호(BC)와 정밀 검출부(200)의 출력 신호(BF)의 차이가 0보다 크고, 그 오차가 거친 검출부(100)의 최대 오차인 τ1-τ2 보다 작은 경우에 판단부(300)는 정밀 검출부(200)의 출력 신호(FB)를 제공한다.

[0075] 일 예로, 판단부(300)는 정밀 검출부(200)가 출력한 이진 신호인 출력 신호(FB)로부터 타겟(Target, 도 8 참조)과의 거리를 연산하고 연산된 거리 정보를 출력할 수 있다.

[0076] 종래 거리 측정 장치의 아날로그 회로의 초단부에서는 선형적인 이득을 가지는 증폭기를 사용하였다. 펄스 레이저(Laser)가 출력되어 목표물에서 반사되어 수신부에 도달하기까지의 왕복 거리가 증가함에 따라 반사된 레이저의 진폭은 감소하며, 이를 검출하여 형성된 전기적 신호의 진폭도 마찬가지로 감소하였다. 따라서, 전기적 신호의 진폭은 광원과 목표물과의 거리에 대한 정보를 가지는 것으로, 전기적 신호를 선형적으로 증폭하는 것이 필요하였다.

[0077] 종래의 거리 측정 장치를 이용하여 수 ~ 수십 cm 의 거리에 있는 목표물에서 수십~수백 미터의 거리에 있는 목표물을 검출하는 경우에는 거리 오차를 최소화하도록 전기적 신호를 최소한의 왜곡으로 증폭하는 것이 요청되었다. 이러한 증폭기는 이득이 높은 선형성을 가져야 하며, 이를 설계하는 것은 용이하지 않았다.

[0078] 그러나, 본 실시예는 리미팅 증폭기(300)를 이용하여 입력된 신호를 미리 정해진 진폭을 가지도록 증폭하므로, 아날로그 초단부의 설계를 용이하게 할 수 있다는 장점이 제공되며, 거친 검출부(100)와 정밀 검출부(200)를 이

용하여 타겟과의 거리를 검출하므로 보다 정밀하게 검출할 수 있다는 장점이 제공된다.

[0079] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

[0080] 10: 송신부 20: 수신부

30: 리미팅 증폭기 40: 시간 디지털 변환기

100: 거친 검출부, 시간 디지털 변환기 112: 스타트 래치

114: 스타트 딜레이 라인 122: 스톱 래치

124: 스톱 딜레이 라인 130: 비교기부

140: 인코더

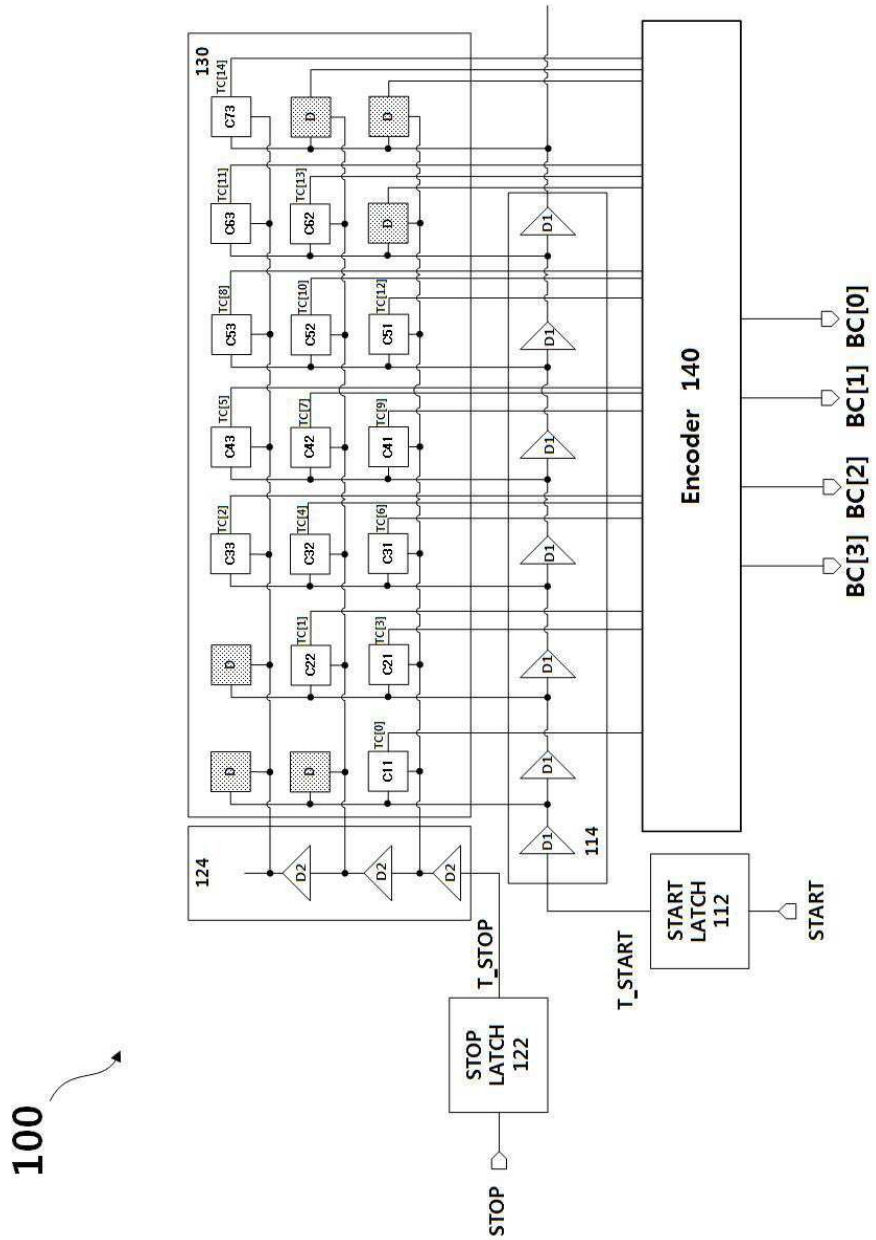
200: 정밀 검출부, 시간 디지털 변환기 210: 에지 검출기

220: 싱크 조절부 230: 지연 고정 루프

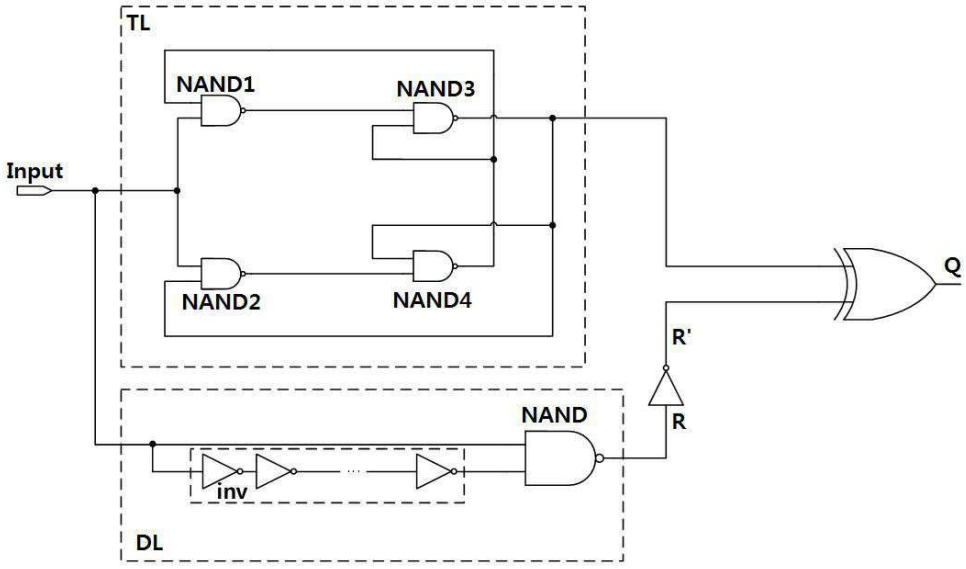
240: 인코더

도면

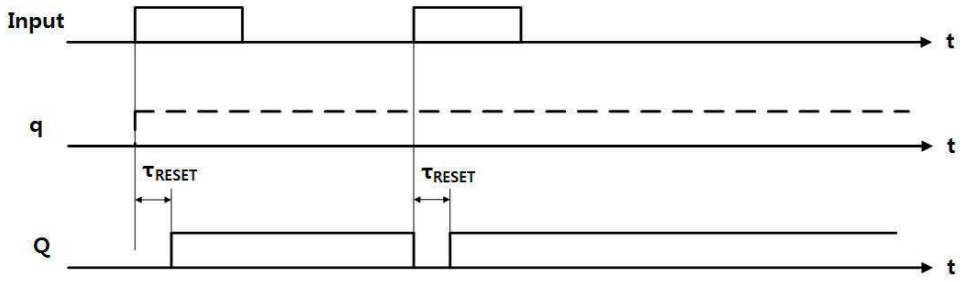
도면1


100
130
124
114
Encoder 140
BC[3] BC[2] BC[1] BC[0]
STOP LATCH 122
START LATCH 112
T_STOP
T_START
STOP
START

도면2

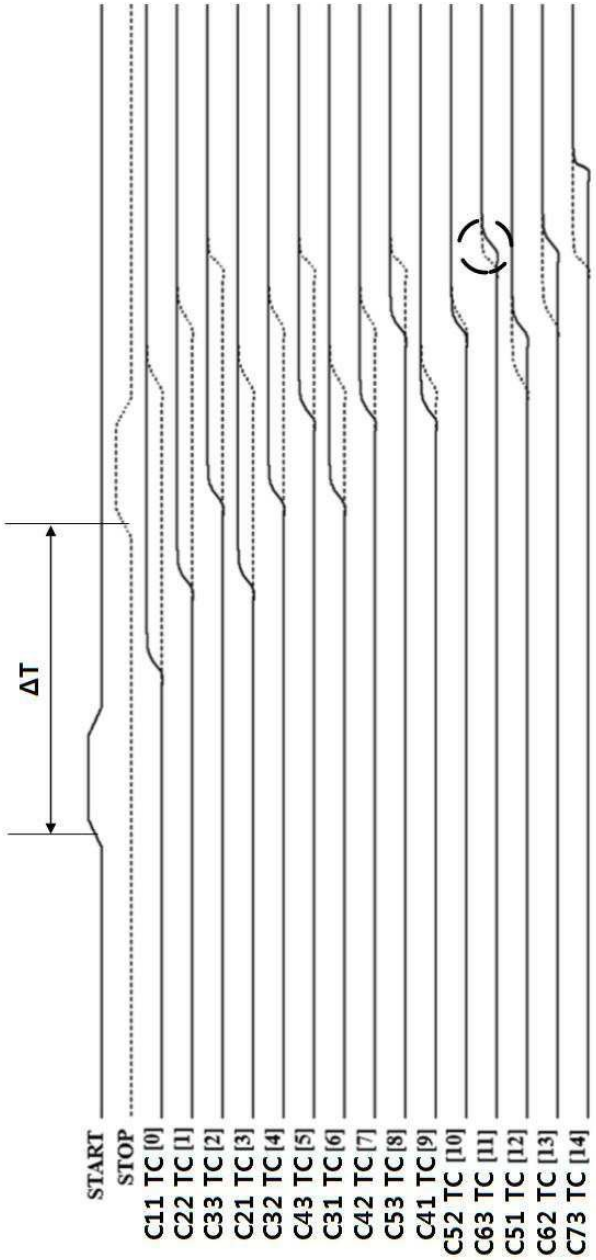

TL
NAND1
NAND3
Input
NAND2
NAND4
Q
R'
NAND
R
inv
DL

(A)

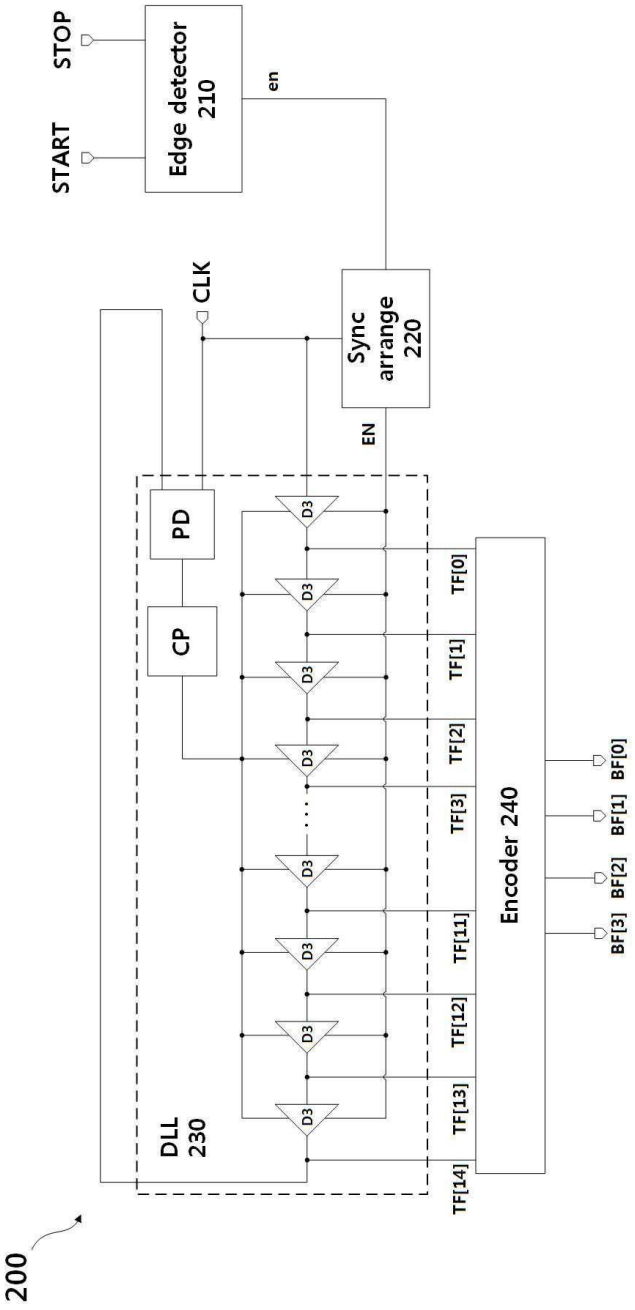

Input
t
q
t
τRESET
τRESET
Q
t

(B)

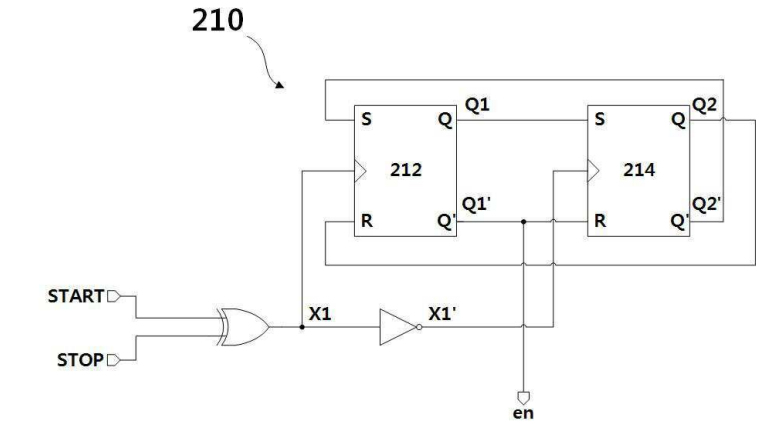
도면3


ΔT
START
STOP
C11 TC [0]
C22 TC [1]
C33 TC [2]
C21 TC [3]
C32 TC [4]
C43 TC [5]
C31 TC [6]
C42 TC [7]
C53 TC [8]
C41 TC [9]
C52 TC [10]
C63 TC [11]
C51 TC [12]
C62 TC [13]
C73 TC [14]

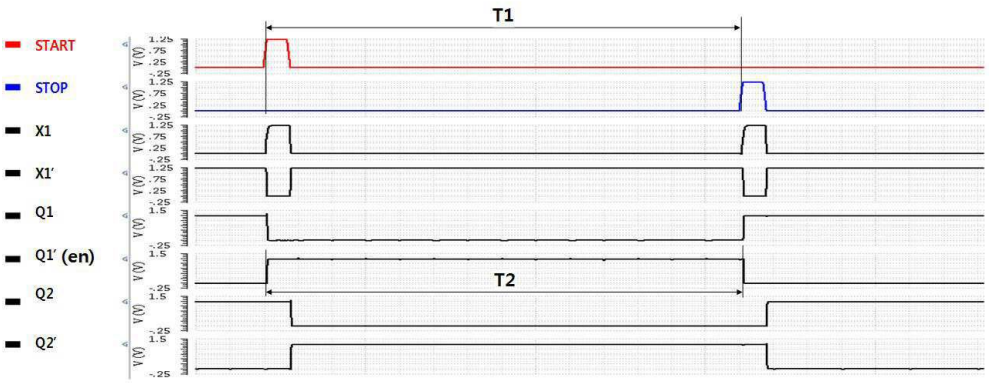
도면4


STOP
START
Edge detector 210
en
CLK
Sync arrange 220
EN
PD
CP
D3
DLL 230
TF[0]
TF[1]
TF[2]
TF[3]
TF[11]
TF[12]
TF[13]
TF[14]
Encoder 240
BF[0]
BF[1]
BF[2]
BF[3]
200

도면5

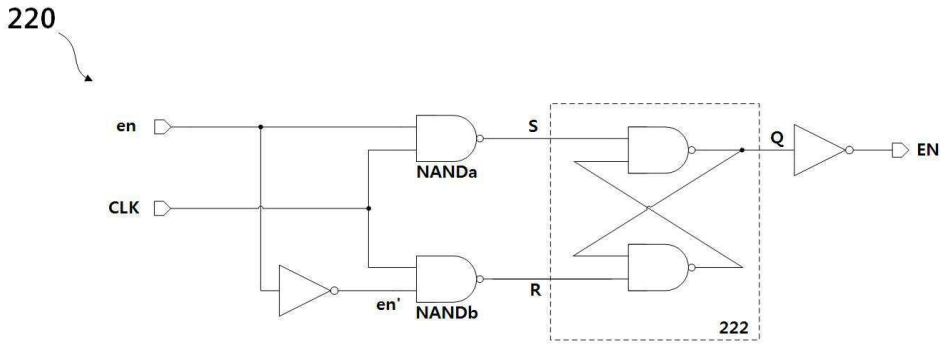

210
S
Q
Q1
212
R
Q'
Q1'
S
Q
Q2
214
R
Q'
Q2'
START
STOP
X1
X1'
en

(A)

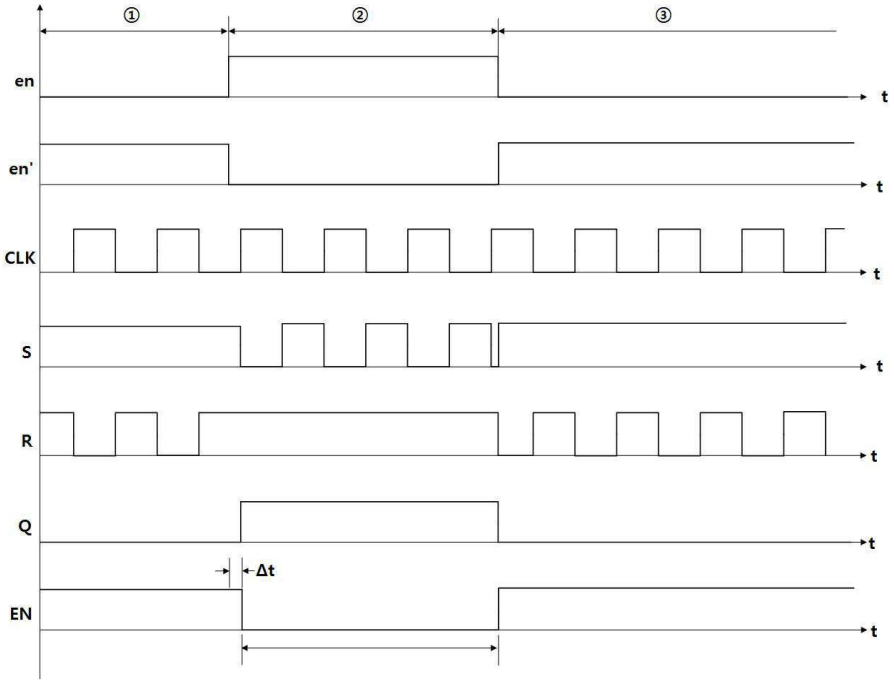

T1
START
STOP
X1
X1'
Q1
Q1' (en)
Q2
Q2'
T2

(B)

도면6

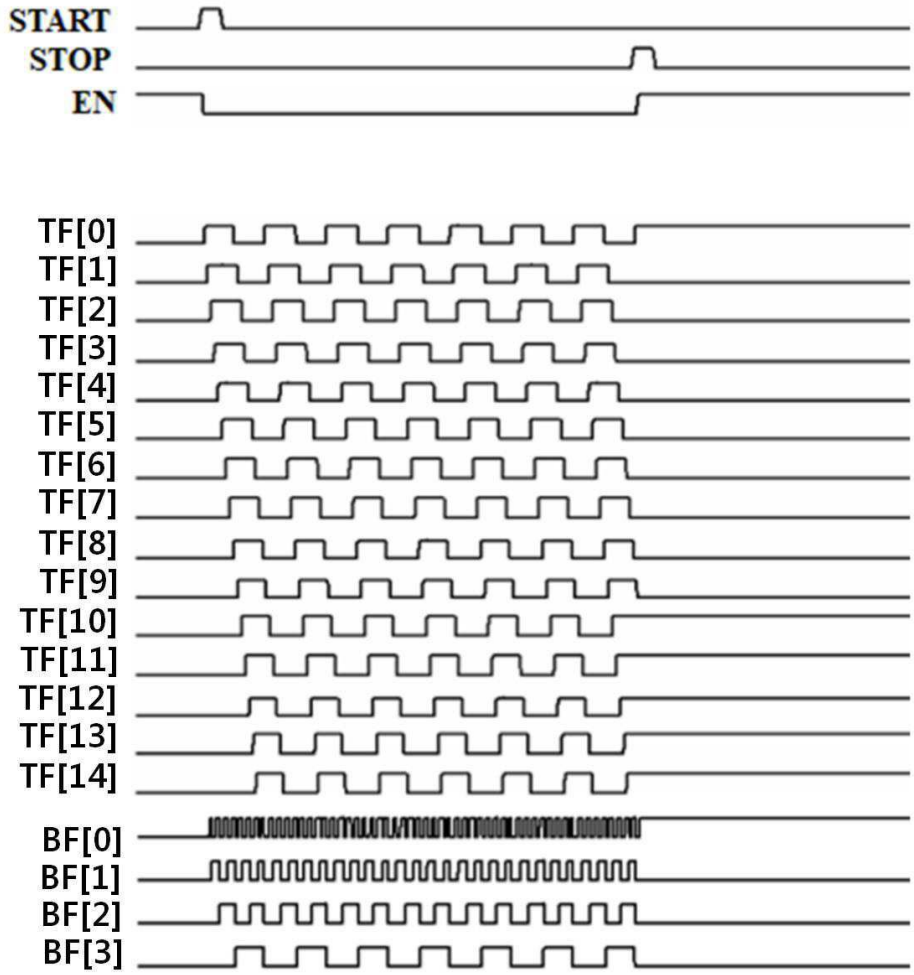


(A)

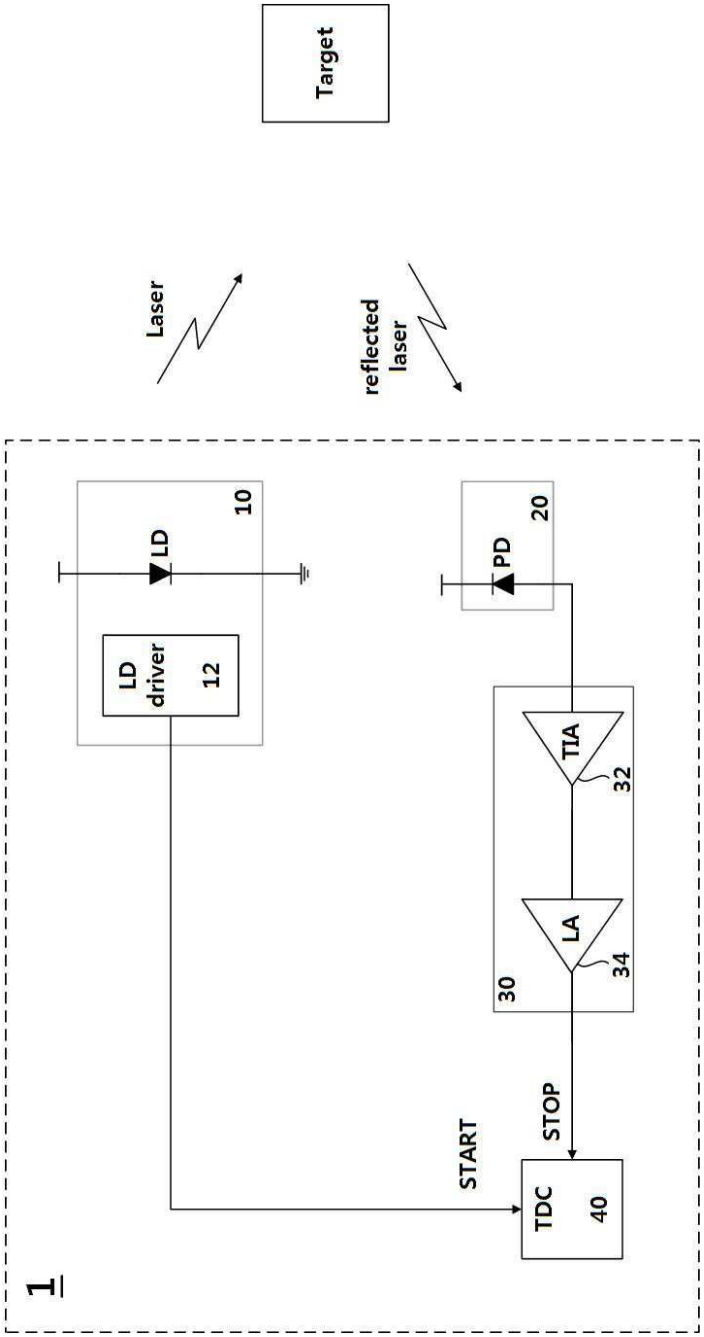


(B)

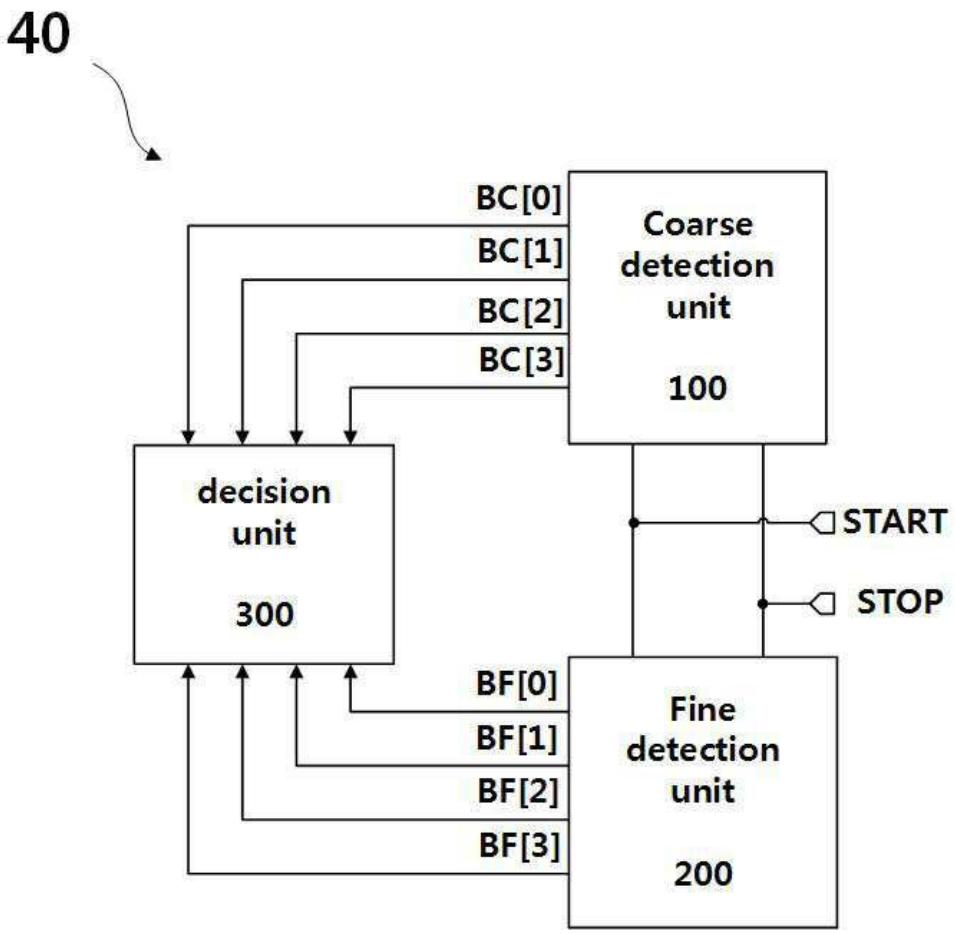
도면7


START
STOP
EN
TF[0]
TF[1]
TF[2]
TF[3]
TF[4]
TF[5]
TF[6]
TF[7]
TF[8]
TF[9]
TF[10]
TF[11]
TF[12]
TF[13]
TF[14]
BF[0]
BF[1]
BF[2]
BF[3]

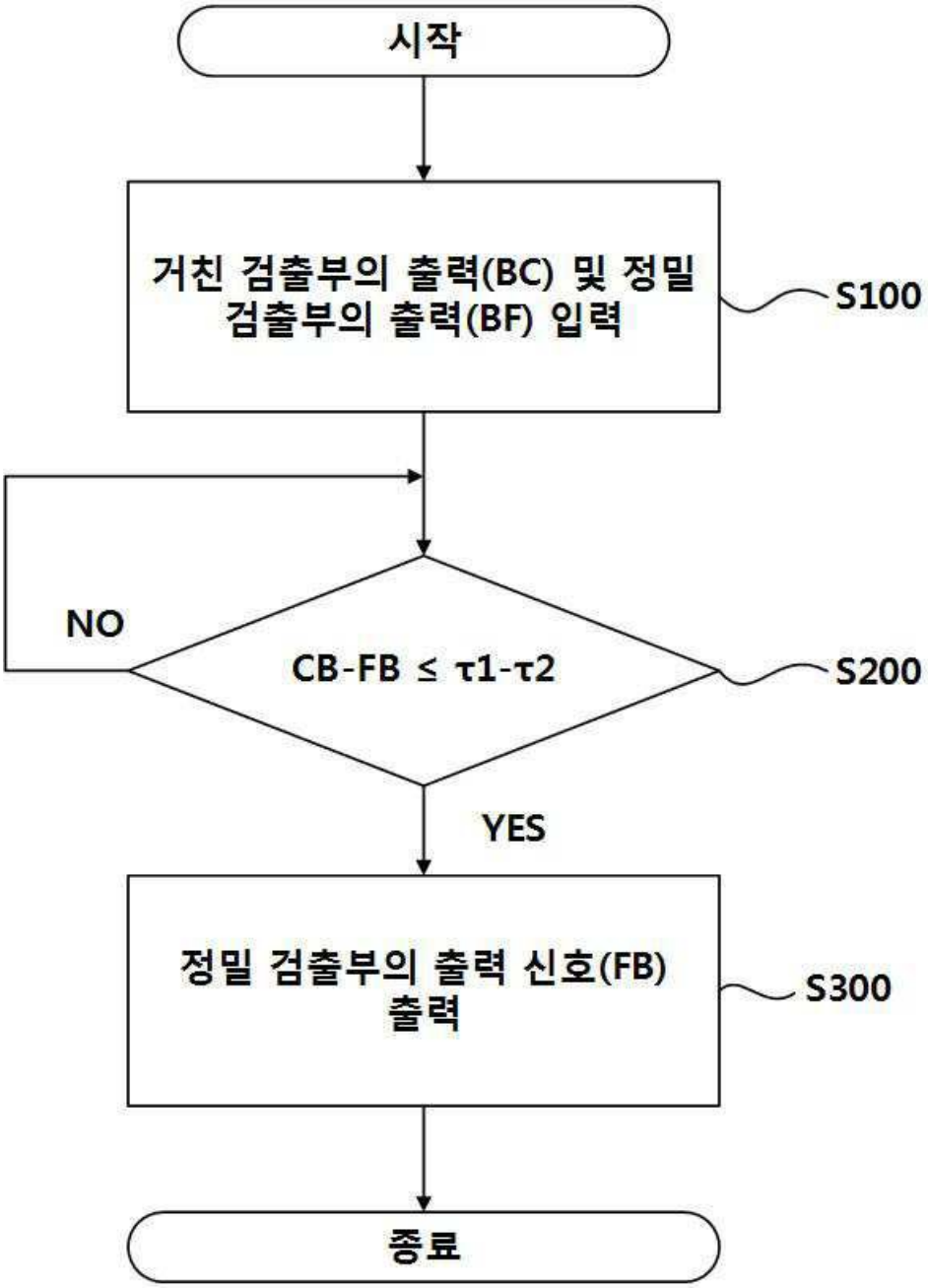
도면8


Target
Laser
reflected laser
10
LD
LD driver
12
20
PD
TIA
32
LA
34
30
START
STOP
TDC
40
1

도면9


40
BC[0]
BC[1]
BC[2]
BC[3]
Coarse detection unit
100
decision unit
300
START
STOP
BF[0]
BF[1]
BF[2]
BF[3]
Fine detection unit
200

도면10


시작
거친 검출부의 출력(BC) 및 정밀 검출부의 출력(BF) 입력
S100
NO
CB-FB ≤ τ1-τ2
S200
YES
정밀 검출부의 출력 신호(FB) 출력
S300
종료