

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247256
(P2013-247256A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 F	5 F 1 3 6
HO 1 L 23/36 (2006.01)	HO 1 L 23/36 C	
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 A	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2012-120376 (P2012-120376)
(22) 出願日 平成24年5月28日 (2012.5.28)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100100310
弁理士 井上 学
(74) 代理人 100098660
弁理士 戸田 裕二
(74) 代理人 100091720
弁理士 岩崎 重美
(72) 発明者 熊谷 幸博
茨城県日立市幸町三丁目1番1号
株式会社日立製作所
日立事業所内

最終頁に続く

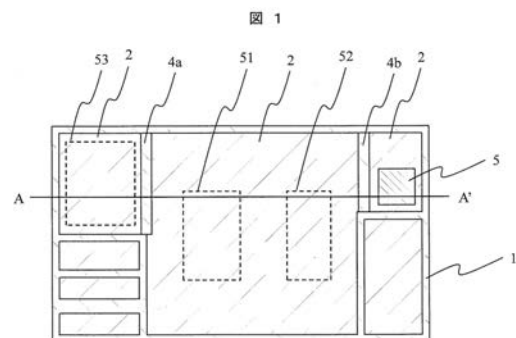
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】チップ下のはんだ流れを防止し、低コストで生産効率が良い半導体装置を提供すること。

【解決手段】絶縁基板1の主平面上に金属回路層2が設けられ、金属回路層上に半導体チップ7がはんだを介して接続され、金属回路層上に金属配線が接続される半導体装置において、金属回路層上の、半導体チップ7と超音波金属接続領域53の間には、線状の酸化物からなるはんだ流れ防止部4aが形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁基板の主平面上に金属回路層が設けられ、該金属回路層上に半導体チップがはんだを介して接続され、前記金属回路層上に金属配線が接続される半導体装置において、前記金属回路層の表面において、前記半導体チップと前記金属配線接続部分の間には、線状の酸化物が形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 の半導体装置において、前記酸化物の厚さは前記金属回路層上の酸化膜厚さよりも厚いことを特徴とする半導体装置。

【請求項 3】

請求項 1 の半導体装置において、前記酸化物の表面は前記金属回路層の表面よりも荒れていることを特徴とする半導体装置。

【請求項 4】

請求項 1 の半導体装置において、前記酸化物は前記半導体チップを囲むように設けられることを特徴とする半導体装置。

【請求項 5】

請求項 1 の半導体装置において、前記金属回路層には刻印が形成されていることを特徴とする半導体装置。

【請求項 6】

絶縁基板の主平面上に金属回路層が設けられ、該金属回路層上に半導体チップがはんだを介して接続され、前記金属回路層上に金属配線が接続される半導体装置の製造方法において、

前記金属回路層上の、前記半導体チップと前記金属配線接続部分の間に、線状の酸化物を形成することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 の半導体装置の製造方法において、前記酸化物はレーザー光照射により形成することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 の半導体装置の製造方法において、前記金属回路層上に刻印を形成することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 8 の半導体装置の製造方法において、前記刻印はレーザー光照射により形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に係り、特にモータ制御などのパワー用途に好適な半導体装置およびその製造方法に関する。

【背景技術】

【0002】

パワー半導体装置は、モータ等の電気機器を制御するために用いられる半導体装置である。近年の省エネ、環境負荷低減要求の高まりにより、モータ制御のインバータ化が進み、また、ハイブリッド自動車や電気自動車の市場の進展に伴い、パワー半導体装置の需要が急伸している。

【0003】

パワー半導体装置においては、I G B T (Insulated Gate Bipolar Transistor) に代表される電力制御用半導体チップ、または整流用ダイオードチップを、絶縁基板上に金属回路層が形成された回路基板の金属回路層上に、はんだによって接合する。そして、そのチップとはんだが設けられた金属回路層の同一面上には、銅 (C u) 等の金属端子が超音波金属接合によって、あるいは、アルミニウム (A l) や銅等の細線がワイヤボンディング

10

20

30

40

50

グによって接合され、パワー半導体装置のケースの端子と直接的、または間接的に接続される。

【0004】

このようなパワー半導体装置の組立工程では、処理温度が高すぎると、チップ下のはんだが溶融し、チップ内側から外側へ拡がり、チップ下のはんだ膜厚を十分に確保できないばかりか、はんだが金属端子の超音波金属接合部やワイヤボンディング部にまで拡がると、超音波金属接合やワイヤボンディングができなくなるといった問題がある。

【0005】

はんだの流れ出しを防止する先行技術としては、例えば、特許文献1や特許文献2に開示された技術がある。特許文献1には、レーザー光照射で回路パターン上に溝を形成する半導体装置が記載されている。また、特許文献2には、銅被膜の表面を選択的にレーザー光で加熱して酸化銅被膜を形成する半導体装置が記載されている。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2004-71888号公報

【特許文献2】特開平8-31848号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、特許文献1記載の技術では、十分な効果を得るためには、溝の上部の角を鋭角に加工する必要がある。しかしながらレーザー光による加工では、溝の上部の角は丸みを帯びてしまうため、はんだ流れを防止するには十分ではない。

20

【0008】

また、特許文献2記載の方法では、チップや端子導体を固着する場所以外の領域の全面をレーザー光で走査することにより加熱して銅酸化膜を形成しているので、レーザーの走査に時間を要し、生産効率の低下やコスト高となる問題がある。

【0009】

本発明は、上記問題点を考慮してなされたものであり、チップ下のはんだ流れを効果的に防止し、低コストで、生産効率の良い半導体装置を提供することを目的とする。

30

【課題を解決するための手段】

【0010】

本発明による半導体装置においては、回路基板のチップ配置領域と超音波金属接合領域やワイヤボンディング領域の間に、レーザー照射により、微細な表面荒れの酸化物からなるはんだ流れ防止部を設ける。

【0011】

また、本発明による半導体装置の製造方法においては、はんだ流れ防止部がレーザー照射によって形成される。

【発明の効果】

【0012】

本発明によれば、はんだ流れを防止できるので、高集積化によって、チップと超音波金属接合部分やワイヤボンディング部分との距離が近づいても、組立不良が発生することのない信頼性の高い半導体装置を得ることができる。

40

【図面の簡単な説明】

【0013】

【図1】第1実施例の半導体装置の回路基板の平面模式図。

【図2】第1実施例の半導体装置の回路基板の断面模式図。

【図3】第1実施例の半導体装置の断面模式図。

【図4】第2実施例の半導体装置の回路基板の平面模式図。

【図5】第2実施例の半導体装置の回路基板の断面模式図。

50

【図6】第2実施例の半導体装置の断面模式図。

【発明を実施するための形態】

【0014】

以下、本発明の実施例を図面に基づいて説明する。

【実施例1】

【0015】

本発明の第1実施例を図1から図3を用いて説明する。

図1は本実施例の半導体装置の回路基板を示す平面模式図、図2は図1のA-A断面を示す模式図、図3は本実施例の半導体装置の断面模式図である。

【0016】

回路基板100は、絶縁基板1と所望の回路パターンの金属回路層2、3からなる。絶縁基板1は、例えば、窒化珪素(Si_3N_4)、窒化アルミニウム(AlN)、アルミナ(Al_2O_3)等からなる。また、金属回路層2、3は、例えば、銅薄膜、銅にニッケル(Ni)メッキした薄膜、アルミニウム(Al)にニッケル(Ni)メッキした薄膜等からなる。

【0017】

金属回路層2の表面には、二次元バーコード5が設けられる。二次元バーコード5は、レーザー照射により金属回路層2の表面に刻印される。刻印に用いるレーザーの種類は、例えば、YVO4レーザーがあるが、それ以外のレーザーであっても構わない。

【0018】

ところで、半導体装置の製造においては、製品管理のために、個々の部品の検査データ等の来歴が管理される。部品がケース内に実装される半導体装置では、製品番号を記したシールをケースに貼り付けることで、組立工程における温度等の諸条件や検査データと、製品を一対一に対応づけることができる。同様に、ケースに実装する前の工程、すなわち、本実施例のように回路基板にチップ等を実装した部品でも、個々の部品と検査データや組立条件との一対一の対応付けが求められているが、本実施例におけるバーコードによれば、回路基板に半導体チップ等を実装した部品でも、部品の組立来歴を管理できる。

【0019】

金属回路層2表面の金属端子10を超音波によって金属接合する領域、すなわち金属配線接続部分となる超音波金属接合領域53とチップ配置領域51との間、及び、二次元バーコード5とチップ配置領域52との間には、はんだ流れ防止部4a、4bを有する。はんだ流れ防止部4a、4bは、金属回路層2に線状に設けられており、微細な表面荒れの金属酸化物からなる。はんだ流れ防止部の表面は、金属回路層2の表面に比べて荒れており、また、はんだ流れ防止部の表面の酸化物は、金属回路層2の表面に比べて、酸化物の膜厚が厚い。

【0020】

金属酸化物は、例えば、酸化銅、あるいは、金属回路層2がメッキされている場合にはメッキ材料の酸化物、例えば、ニッケル酸化膜からなる。より好ましくは、還元され難い金属酸化物が良い。また、はんだ流れ防止部4a、4bは、金属回路層2の表面にレーザーを照射して形成される。レーザーの種類は、例えばYVO4レーザーがあるが、それ以外のレーザーでも構わない。微細な表面荒れは、例えばパルスレーザーにより形成することができる。なお、はんだ流れ防止部の形成と、二次元バーコード刻印を同一のレーザー照射装置で行うことにより、低コストかつ生産効率の良い半導体装置を得ることができる。

【0021】

はんだ流れ防止部の幅は0.01mm以上、0.1mm以下であることが好ましいが、この範囲外であっても構わない。また、その深さは金属回路層2の厚さより小さければ良い。

【0022】

図3に示す断面模式図において、半導体チップ7がはんだ6により接続された回路基板100は、はんだ8により金属ベース9に搭載される。金属ベース9にはケース11が接

10

20

30

40

50

続され、回路基板 100 の所定の箇所（図 1 の超音波金属接合領域 53）には超音波金属接合によって金属端子 10 が接続される。なお、半導体チップ 7 としては、IGBT チップやダイオードチップなどが適用できる。

【0023】

以下、本実施例の作用効果を説明する。

はんだの濡れ性は、銅やニッケルよりも酸化銅やニッケル酸化物に対する方が悪い。また、微細な凹凸の方が、平面よりも表面積を大きくできるので、はんだの表面張力は大きくできる。図 1 に示した本実施例では、はんだ流れ防止部 4a、4b は微細な荒れ形状の酸化銅やニッケル酸化物なので、溶融したはんだが拡がるのを防ぐことができる。はんだ流れ防止部は、必要に応じて、所望の場所に設けても構わない。本実施例では、超音波金属接合領域 4a とチップ配置領域 51 との間、及び、二次元バーコード 5 とチップ配置領域 52 との間に設けた。これにより、溶融したはんだが超音波金属接合領域 51 と二次元バーコード 5 へ濡れ拡がるのを防ぐことができる。本実施例以外にも、例えば、ワイヤボンディング接続領域とチップ配置領域の間にはんだ流れ防止部を設けても構わない。

10

【0024】

また、本実施例の半導体装置によれば、はんだ流れ防止部を形成するレーザーで、回路基板 100 上に二次元バーコード 5 を設ける。二次元バーコードには、例えば、個々の回路基板の識別番号を登録する。これにより、回路基板に実装したチップ等の部品の組立データの管理ができるようになる。また、はんだ流れ防止部と二次元バーコードを同じレーザー照射装置で形成することができるので、装置導入にかかるコストを削減することができる。

20

【0025】

なお、本実施例記載のはんだ流れ防止部 4a、4b は、チップ配置箇所 51 と、超音波金属接合部分 53 や二次元バーコード 5 の間に、それぞれ 1 列だけ設けてあるが、複数列並べて配置しても構わない。溶融はんだが多量に濡れ拡がった場合でも、複数列のはんだ流れ防止部により、1 列目を乗り越えたはんだは 2 列目以降で拡がりを防ぐことができる。はんだ流れ防止部を複数列配置する場合の幅とピッチ寸法は、幅は 0.01mm 以上、0.1mm 以下であり、ピッチは 0.01mm 以上、0.1mm 以下であることが好ましいが、この範囲外であっても構わない。

30

【0026】

なお、本実施例の半導体装置では、二次元バーコードを回路基板に刻印しているが、二次元バーコード以外の刻印、例えば、他の記号、文字であっても構わない。

【0027】

なお、本実施例の半導体装置では、半導体チップ下のはんだ流れ防止を対象としているが、はんだを用いて接続する半導体チップ以外の電子部品、例えば、サーミスタの接続に用いるはんだ流れ防止であっても構わない。

【実施例 2】

【0028】

次に、本発明の第 2 実施例を図 4 から図 6 を用いて説明する。

図 4 は本実施例の半導体装置の回路基板を示す平面模式図、図 5 は図 4 の B - B 断面を示す模式図である。図 6 は本実施例の半導体装置の断面模式図である。

40

【0029】

本実施例と第 1 実施例との違いは、はんだ流れ防止部 12a、12b が、チップ配置領域 51、52 を囲んでいる点である。

【0030】

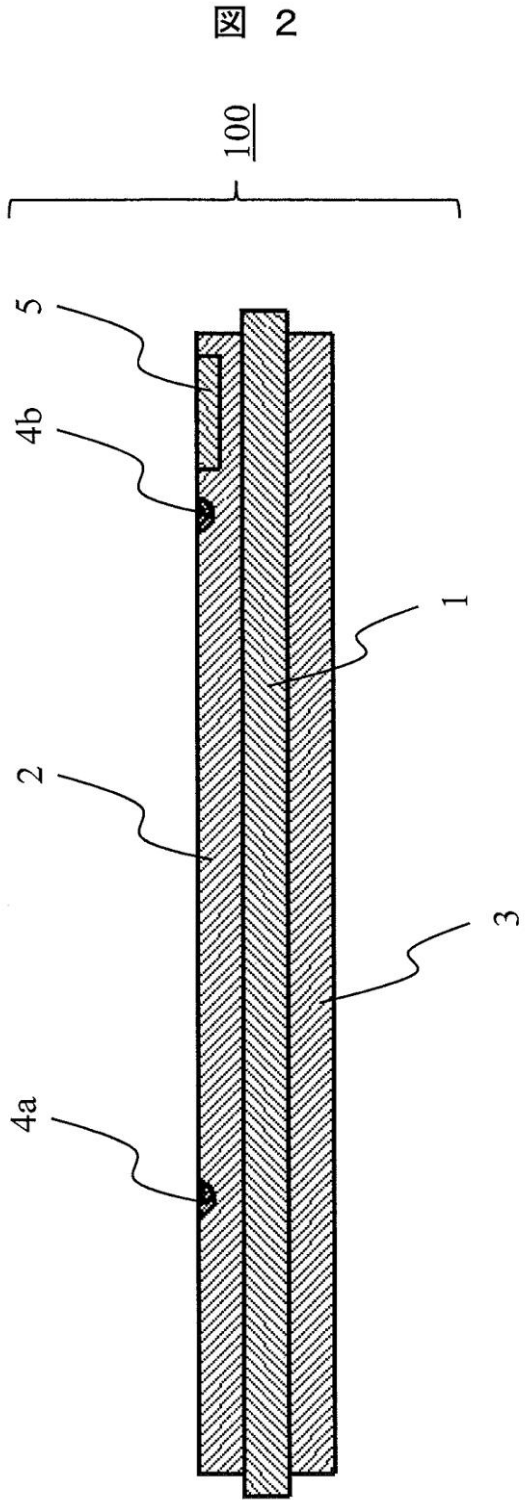
本実施例の半導体装置によれば、第 1 実施例に示した作用効果の他に、以下の作用効果が得られる。

【0031】

本実施例の半導体装置によれば、第 1 実施例よりも、はんだの濡れ拡がりを少なくできるので、チップ下のはんだ膜厚が減少することを防ぐことができる。これにより、チップ

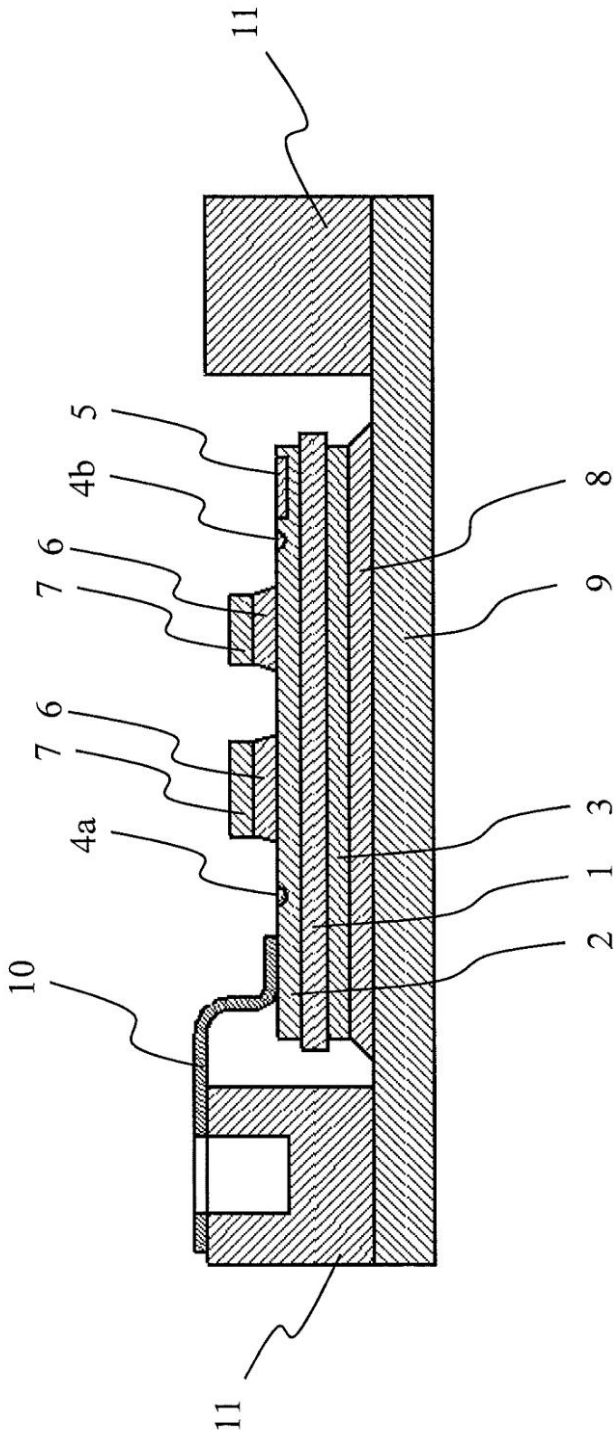
50

【図 2】



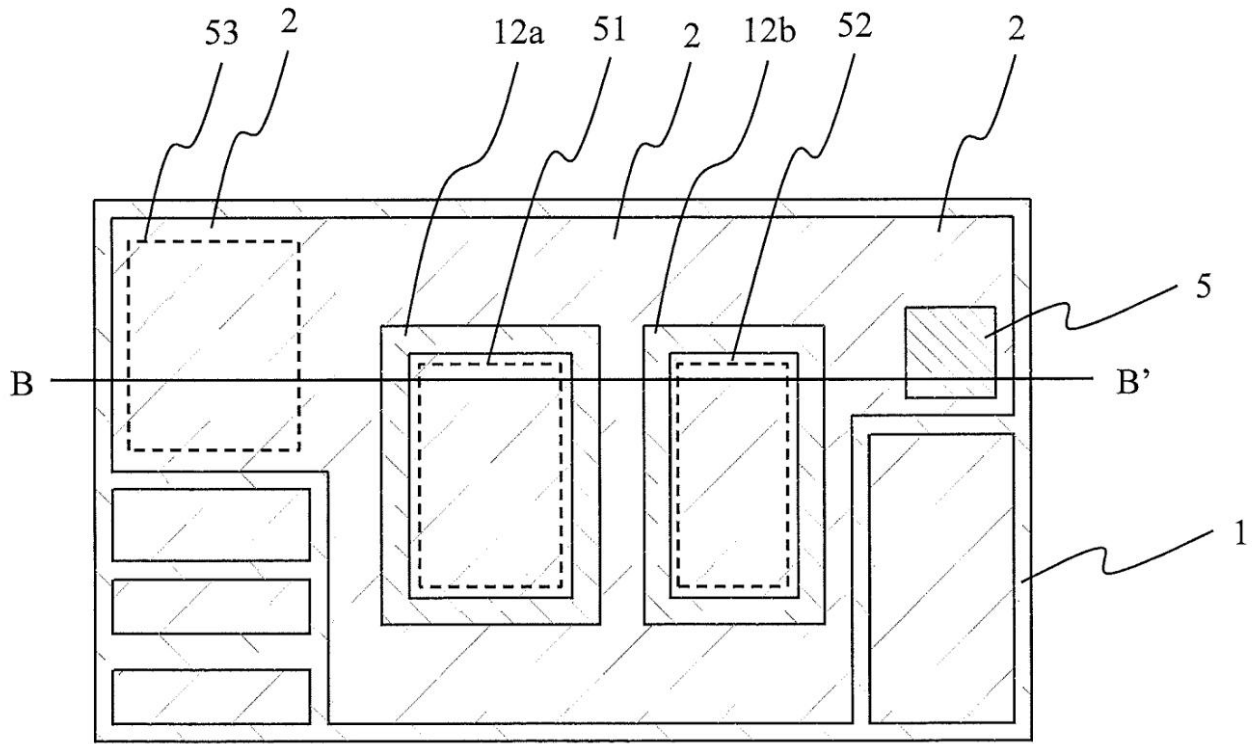
【図3】

図3

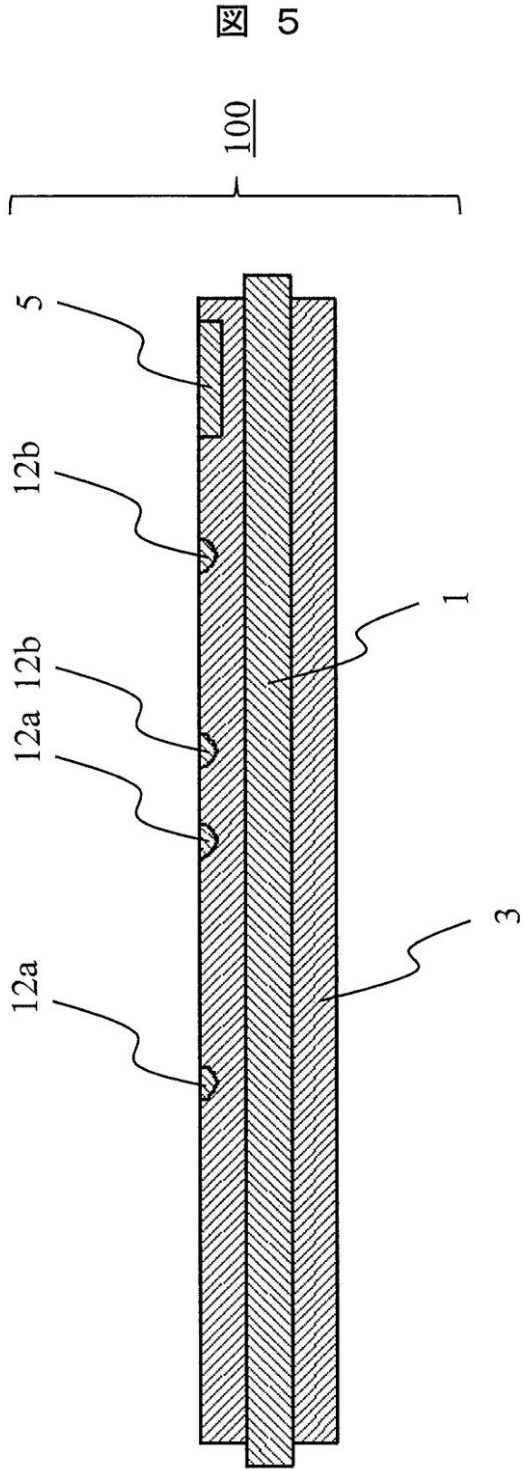


【 図 4 】

図 4



【図 5】



【図6】

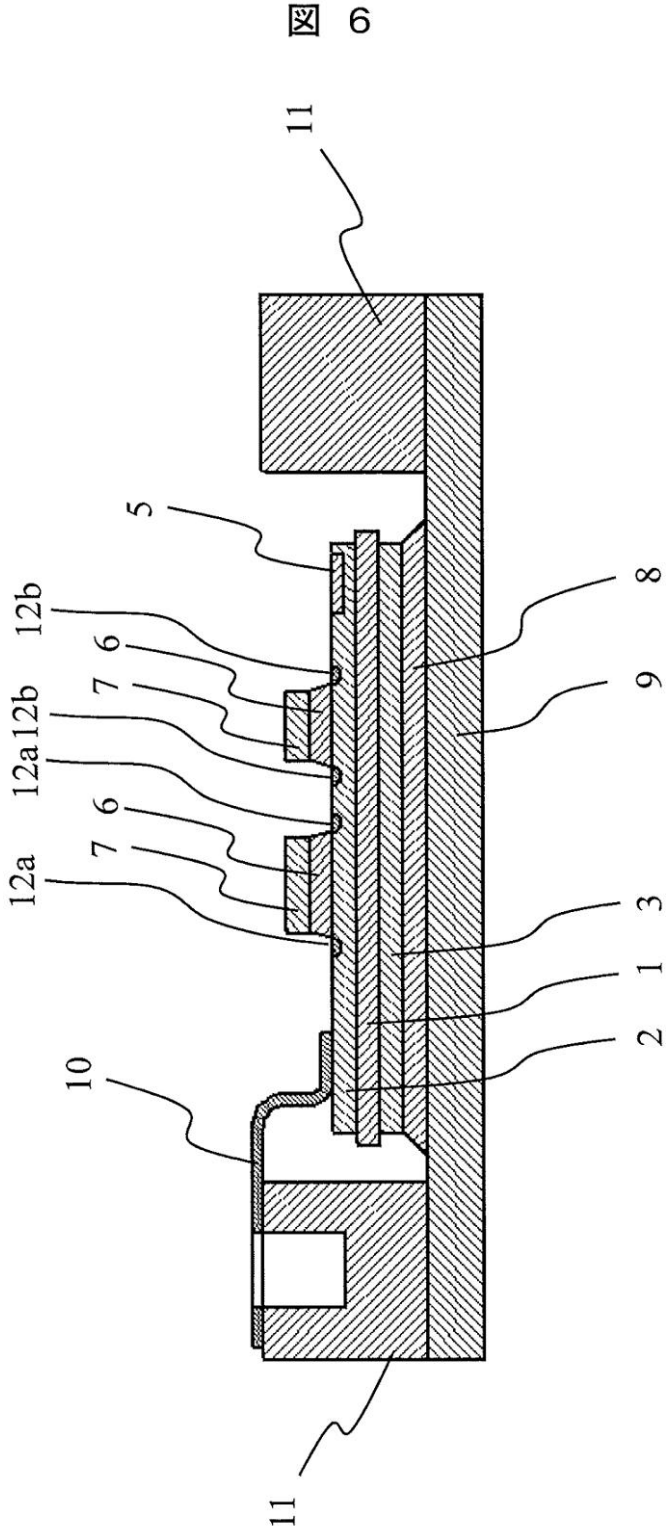


図 6

フロントページの続き

(72)発明者 日吉 道明

茨城県日立市幸町三丁目1番1号

株式会社日立製作所日立事業所内

Fターム(参考) 5F136 BB04 EA13 FA02 FA03 FA14 FA16 FA18