



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0138501  
(43) 공개일자 2010년12월31일

(51) Int. Cl.

H01L 33/38 (2010.01) H01L 33/40 (2010.01)

(21) 출원번호 10-2009-0057065

(22) 출원일자 2009년06월25일

심사청구일자 2009년06월25일

(71) 출원인

주식회사 세미콘라이트

경기도 용인 기흥구 고매동 474 3층

(72) 발명자

박은현

경기도 성남시 분당구 야탑동 매화마을 대창빌라  
802동 405호

(74) 대리인

이두희, 이훈

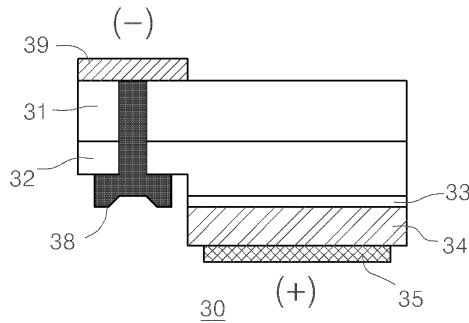
전체 청구항 수 : 총 8 항

(54) 질화물계 발광소자 및 그 제조방법

(57) 요약

기판의 일면에 형성된 n형 반도체층, 활성층 및 p형 반도체층을 포함하는 반도체 발광소자에 있어서, 상기 p형 반도체층 상에 형성된 p형 전극과 상기 n형 반도체층 상에 형성된 n형 전극 및 상기 기판의 대향면에 형성된 와이어 본딩패드전극을 더 포함하고, 상기 n형 전극과 상기 와이어 본딩패드전극은 상기 기판과 n형 반도체층을 수직 관통하는 관통공을 통해 전기적으로 연결되는 반도체 발광소자와 그 제조방법이 개시된다.

대표도 - 도2f



**특허청구의 범위**

**청구항 1**

기판의 일면에 형성된 n형 반도체층, 활성층 및 p형 반도체층을 포함하는 반도체 발광소자에 있어서,

상기 p형 반도체층 상에 형성된 p형 전극과 상기 n형 반도체층 상에 형성된 n형 전극 및 상기 기판의 대향면에 형성된 와이어 본딩패드전극을 더 포함하고, 상기 n형 전극과 상기 와이어 본딩패드전극은 상기 기판과 n형 반도체층을 수직 관통하는 관통공을 통해 전기적으로 연결되는 것을 특징으로 하는 반도체 발광소자.

**청구항 2**

제1항에 있어서,

상기 n형 전극은 Cr, Ti, Al, Ni, Au, W 및 TiW로 이루어진 군에서 선택된 하나 이상으로 형성되는 것을 특징으로 하는 반도체 발광소자.

**청구항 3**

제1항에 있어서,

상기 와이어 본딩패드전극은 Cr, Ti, Al, Ni, Au, W 및 TiW로 이루어진 군에서 선택된 하나 이상으로 형성되는 것을 특징으로 하는 반도체 발광소자.

**청구항 4**

기판의 일면에 n형 반도체층, 활성층 및 p형 반도체층을 형성하는 단계와;

상기 p형 반도체층 상에 p형 전극을 형성하고, 상기 p형 반도체층과 활성층 및 n형 반도체층의 일부를 식각하여 상기 n형 반도체층의 일부 영역을 노출하는 단계와;

상기 노출된 n형 반도체층 영역에서 상기 기판의 대향면을 향해 상기 기판과 n형 반도체층을 수직 관통하는 관통공을 형성하는 단계와;

상기 관통공을 포함하는 상기 노출된 n형 반도체층 영역에 n형 전극을 형성하는 단계와;

상기 기판의 대향면을 연마하여 상기 관통공의 일 단면을 노출하고, 이 노출된 관통공의 일 단면을 포함한 상기 기판의 대향면에 와이어 본딩패드전극을 형성하여 이를 상기 n형 전극과 전기적으로 연결하는 단계를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

**청구항 5**

제4항에 있어서,

상기 n형 전극은 금속을 증착하여 형성되거나 또는 이에 부가하여 상기 관통공을 금속으로 매립하여 형성되는 것을 특징으로 하는 반도체 발광소자의 제조방법.

**청구항 6**

제5항에 있어서,

상기 매립은 도금으로 실시되는 것을 특징으로 하는 반도체 발광소자의 제조방법.

**청구항 7**

제4항 내지 제6항 중의 어느 한 항에 있어서,

상기 노출된 n형 반도체층, 활성층 및 p형 반도체층과 상기 n형 전극 상에 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

**청구항 8**

제6항에 있어서,

상기 보호막은 SiO<sub>2</sub>, SiN, BCB 및 폴리이미드로 이루어진 군에서 선택된 하나 이상으로 되는 것을 특징으로 하는 반도체 발광소자의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 질화물계 발광소자에 관한 것으로, 더 상세하게는 서브마운트에 관련한 일련의 패키징 공정이 필요없는 구조의 질화물계 발광소자 및 그 제조방법에 관한 것이다.

#### 배경기술

[0002] 최근 발광소자의 열특성 및 광특성을 위하여 발광소자를 서브마운트(submount)에 직접 실장하는 플립칩 본딩(flip chip bonding)이 활발히 개발되고 있다.

[0003] 도 1은 플립형 발광소자가 플립칩 본딩된 일반적인 발광소자 패키지의 개략 단면도를 나타낸다.

[0004] 도 1을 참조하면, 발광소자 패키지(20)는 플립형 발광소자(10)가 패드전극(22a, 22b)이 구비된 서브마운트기판(21) 상에 솔더범프(23a, 23b)를 통해 실장되는 구조로 형성되고, 이후 최종 패키징된다. 상기 플립형 발광소자(10)는 기판(11) 상에 순차적으로 형성된 n형 질화물 반도체층(12), 활성층(13), p형 질화물 반도체층(14) 및 p형 전극(15)과 n형 전극(16)을 포함한다. 이때, p형 전극(15)은 낮은 접촉저항과 높은 반사특성을 갖는 금속들로 형성된다. 상기 서브마운트기판(21) 상의 패드전극(22a, 22b)은 이에 각각 연결된 p형 전극(15) 및 n형 전극(16)에 전류를 공급하게 된다. 또한, p형 전극(15)과 열전달계수가 큰 서브마운트기판(21)을 통하여 고전류 동작시 발생하는 열을 방출하게 된다.

[0005] 또한, 이러한 발광소자 패키지를 제조하기 위해서는 서브마운트기판(21)과 플립형 발광소자(10)를 결합하는 1차 패키징 공정과, 이를 최종적으로 패키징하는 2차 패키징 공정이 필요하다. 특히, 상기 1차 패키징 공정에서는 서브마운트기판(21) 상의 패드전극(22a, 22b)과 플립형 발광소자(10)의 p형 전극(15) 및 n형 전극(16)을 정렬하기 위한 공정이 요구된다. 따라서, 플립형 발광소자는 이와 같이 다수의 패키지 공정이 요구되고 그 공정 또한 복잡하여 비용이 증가되는 단점을 갖는다.

### 발명의 내용

#### 해결하고자하는 과제

[0006] 이에, 본 발명은 상기와 같은 문제점을 해결하기 위해 창안된 것으로, 본 발명의 목적은 서브마운트에 관련한 일련의 패키징 공정이 필요없는 구조의 질화물계 발광소자 및 그 제조방법을 제공하기 위한 것이다.

#### 과제 해결수단

[0007] 상기 목적을 달성하기 위하여 본 발명의 일 관점에 의한 반도체 발광소자는 기판의 일면에 형성된 n형 반도체층, 활성층 및 p형 반도체층을 포함하는 반도체 발광소자에 있어서, 상기 p형 반도체층 상에 형성된 p형 전극과 상기 n형 반도체층 상에 형성된 n형 전극 및 상기 기판의 대향면에 형성된 와이어 본딩패드전극을 더 포함할 수 있고, 상기 n형 전극과 상기 와이어 본딩패드전극은 상기 기판과 n형 반도체층을 수직 관통하는 관통공을 통해 전기적으로 연결된다. 이때, 상기 n형 전극 및 와이어 본딩패드전극은 Cr, Ti, Al, Ni, Au, W 및 TiW로 이루어진 군에서 선택된 하나 이상으로 형성될 수 있다.

[0008] 또한, 본 발명의 다른 일 관점에 의한 반도체 발광소자의 제조방법은 기판의 일면에 n형 반도체층, 활성층 및 p형 반도체층을 형성하는 단계와, 상기 p형 반도체층 상에 p형 전극을 형성하고 상기 p형 반도체층과 활성층 및 n형 반도체층의 일부를 식각하여 상기 n형 반도체층의 일부 영역을 노출하는 단계와, 상기 노출된 n형 반도체층 영역에서 상기 기판의 대향면을 향해 상기 기판과 n형 반도체층을 수직 관통하는 관통공을 형성하는 단계와, 상기 관통공을 포함하는 상기 노출된 n형 반도체층 영역에 n형 전극을 형성하는 단계와, 상기 기판의 대향면을 연

마하여 상기 관통공을 노출하고 이 노출된 관통공을 포함한 상기 기판의 대향면에 와이어 본딩패드전극을 형성하여 이를 상기 n형 전극과 전기적으로 연결하는 단계를 포함할 수 있다. 이때, 상기 n형 전극은 금속을 증착하여 형성되거나 또는 이에 부가하여 상기 관통공을 금속으로 매립하여 형성될 수 있고, 상기 매립은 도금으로 실시될 수 있다. 또한, 상기 노출된 n형 반도체층, 활성층 및 p형 반도체층과 상기 n형 전극 상에 보호막을 형성하는 단계를 더 포함할 수 있고, 상기 보호막은 SiO<sub>2</sub>, SiN, BCB 및 폴리이미드로 이루어진 군에서 선택된 하나 이상으로 될 수 있다.

**효 과**

[0009] 본 발명에 의한 발광소자는 1차 패키징 공정에 필수적이었던 정렬공정이 필요없을 뿐만 아니라 또한 서브마운트기판 없이 패키징될 수 있어 그 공정이 단순화되고 비용이 절감된다. 또한, 열 방출이 보다 쉬워져 고전류 동작시 높은 신뢰도를 갖는다.

**발명의 실시를 위한 구체적인 내용**

[0010] 본 발명자는 플립칩 본딩되는 플립형 발광소자에 있어서 상술한 바와 같이 패키징 공정의 비효율성, 복잡성 및 고비용 문제들을 야기하는 서브마운트기판을 제거하는데 주목하였다. 이에 따라, 본 발명에 의한 발광소자는 플립칩 본딩되는 플립형 발광소자에 있어서 기판의 일면에 형성된 발광소자요소들과 상기 일면의 대향면에 형성된 와이어 본딩패드전극이 상기 기판과 일부 발광소자요소들을 가로지르는 관통공을 통하여 전기적으로 연결되도록 하는 신규한 기술적 사상에 기초한다. 이리하면, 상기 발광소자는 상술한 1차 패키징 공정에 필수적이었던 정렬공정이 필요없을 뿐만 아니라 또한 서브마운트기판 없이 패키징될 수 있게 된다.

[0011] 이를 위한 본 발명의 바람직한 일 구현예는 도 2a-2f에 도시되는 바와 같은 질화물계 발광소자의 제조방법으로 구현될 수 있다. 도 2a-2f는 본 발명의 바람직한 일 구현예에 의한 질화물계 발광소자(30)의 제조방법을 단계적으로 설명하는 각 단면도이다.

[0012] 먼저 제1단계로서, 도 2a를 참조하면, 기판(31)의 제1면상에 질화물 반도체층 요소들, 즉 n형 질화물 반도체층(32), 활성층(33), p형 질화물 반도체층(34)을 MOCVD(Metal Organic Chemical Vapor Deposition)를 포함하는 해당 분야에 공지된 방법으로 성장한다. 상기 기판(31)은 사파이어, 실리콘 카바이드(SiC), 질화갈륨(GaN) 등 후속 공정에서 질화물 반도체층이 성장될 수 있는 통상적인 투명한 기판으로 될 수 있으나, 사파이어 기판으로 됨이 바람직하다. 또한, 상기 질화물 반도체층은 III족 질화물계 화합물인 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N(0≤x≤1, 0≤y≤1, 0≤z≤1, x+y+z=1)으로 될 수 있으나, 이에 한정되지 아니하고 해당 분야에 공지된 모든 조성으로도 될 수 있다. 그리고, 상기 p형 질화물 반도체층(34) 상에 p형 전극(35)을 형성한 후, 식각공정을 통하여 상기 n형 질화물 반도체층(32)이 노출되도록 p형 질화물 반도체층(34), 활성층(33) 및 n형 질화물 반도체층(32)의 일부를 식각한다. 이때, p형 전극(35)은 낮은 접촉저항과 높은 반사율을 갖는 금속들, 예를 들면 Ni, Au, Al, Ag, AgAl, Pd, Pt, ITO 중 하나 혹은 2개 이상의 조합으로 구성되어 질 수 있다.

[0013] 제2단계로서, 도 2b를 참조하면, 상기 노출된 n형 질화물 반도체층(32)의 일부 영역에 레이저 등을 이용하여 기판(31)의 제2면, 즉 제1면의 대향면을 향해 그 소정 깊이까지 도달하는 관통공(36)을 형성한다. 이때, 이 관통공(36)의 단면은 원형, 타원형, 캡슐형 등의 다양한 형상으로 될 수 있고 이에 한정되지 아니하며, 추후 이를 통한 원활한 전기적 연결을 위하여 그 직경의 크기는 10-200μm, 바람직하게는 20-100μm로 되고 그 깊이는 적어도 50μm 이상으로 된다. 또한, 상기 레이저 등을 이용한 관통공(36)의 형성과정에서 발생한 이물질들을 제거하기 위해 케미컬 에칭 등 부가적인 세정작업이 부가될 수도 있다.

[0014] 제3단계로서, 도 2c를 참조하면, 상기 관통공(36)을 포함하는 상기 노출된 n형 질화물 반도체층(32)의 일부 영역에 n형 전극(37)을 형성한다. 이때, n형 전극(37)은 관통공(36) 내부에도 형성되게 된다. 또한, 이러한 n형 전극(37)은 Cr, Ti, Al, Ni, Au, W 및 TiW로 이루어진 군에서 선택된 하나 또는 그 이상의 조합으로 형성될 수 있다. 또한, 일 실시예로서, 도 2d에 도시하는 바와 같이 부가적으로 상기 관통공(36)을 금속(38)으로 매립할 수도 있다. 왜냐하면, 관통공(36)의 깊이는 전술하였듯이 적어도 50μm 이상이고 그 직경도 20-100μm이므로, 그 내부에 n형 전극(37)이 균일하게 형성되기가 어렵기 때문에, 전해 도금, 무전해 도금 등을 포함하는 일반적인 도금공정을 이용하여 금속 매립하는 것이다. 이로써, 추후 형성되는 와이어 본딩패드전극과 n형 전극(37)과의 전기적 연결의 안정성을 더욱 확보할 수 있으며, 또한 실버 페이스트(silver paste)나 에폭시 본딩(epoxy bonding) 등을 이용하는 최종 패키징 공정시 상기 페이스트나 에폭시가 관통공(36)을 넘쳐 흐르는 것을 미연에 방지할 수 있게 된다. 또한, 금속(38)은 Cu, Au, Ni를 포함하는 해당 분야에 공지된 모든 적절한 전도성 금속으

로 될 수 있다.

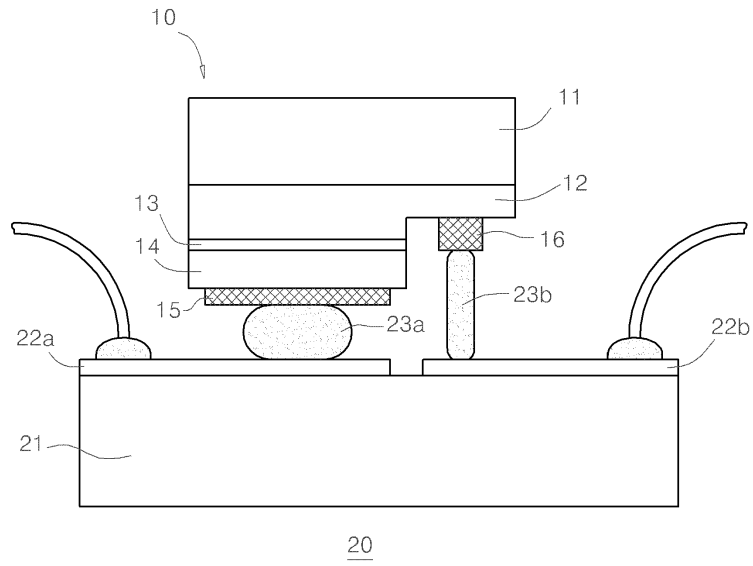
- [0015] 제4단계로서, 도 2e를 참조하면, 기관(31)의 제2면을 연마하여 상기 관통공(36)이 노출되도록 하고, 이 노출된 관통공(36)을 포함한 기관(31) 제2면의 일부 영역에 와이어 본딩패드전극(39)을 형성하여 이를 n형 전극(37)과 전기적으로 연결한다. 이때, 와이어 본딩패드전극(39)은 Cr, Ti, Al, Ni, Au, W 및 TiW로 이루어진 군에서 선택된 하나 또는 그 이상의 조합으로 형성될 수 있다.
- [0016] 도 3은 본 발명의 바람직한 다른 일 구현예에 있어서 도 2에 의한 질화물계 발광소자가 플립칩 본딩된 발광소자 패키지(40)의 단면도를 도시한다. 즉, 도 3과 같이 상술한 바와 같이 형성된 플립형 발광소자(30)에 있어서 p형 전극(35)은 실버 페이스트, 전도성 에폭시, 금 스태드 범프(Au stud bump) 및 유테틱 본딩(Eutectic bonding)을 포함하는 해당 분야에서 공지된 방법으로 패키징에 연결될 수 있고, n형 전극(38)은 와이어 본딩패드전극(39)에 부착된 와이어 본딩(43)을 통하여 바로 최종 패키징에 연결될 수 있다.
- [0017] 이와 같이 본 발명에 의한 플립형 질화물계 발광소자는 기존의 플립형 발광소자처럼 서브마운트 기관이 필요 없으므로, 부가적인 패키지 비용을 대폭 줄일 수 있고, 또한 최종 패키지의 두께가 감소되어 패키지의 슬림화와 동작시 발생하는 열의 방출이 용이하다.
- [0018] 전술한 본 발명의 바람직한 구현예들 및 실시예들은 모두 예시의 목적을 위해 개시된 것이며, 해당 분야에서 통상의 지식을 가진 자라면 누구나 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이고, 이러한 수정, 변경, 부가 등은 특허청구 범위에 속하는 것으로 보아야 한다. 일 예를 들면, 도 3에 도시한 본 발명의 일 구현예에 있어서 패키징 시에 p형 전극(35) 및 n형 전극(38)의 단락을 방지하기 위하여 상기 노출된 n형 질화물 반도체층(32), 활성층(33) 및 p형 질화물 반도체층(34)과 상기 n형 전극(38) 상에 SiO<sub>2</sub>, SiN, BCB 및 폴리이미드(polyimide)를 포함하는 해당 분야에서 공지된 절연체를 이용하여 패시베이션 공정을 부가할 수도 있다.

**도면의 간단한 설명**

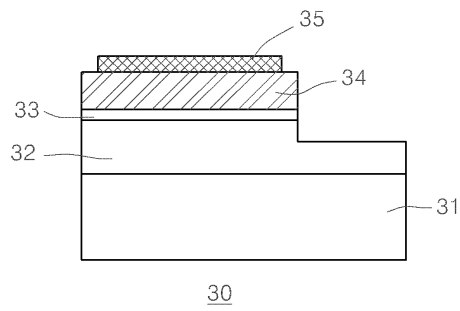
- [0019] 도 1은 플립형 발광소자가 플립칩 본딩된 일반적인 발광소자 패키지의 개략 단면도.
- [0020] 도 2a-2f는 본 발명의 바람직한 일 구현예에 의한 질화물계 발광소자의 제조방법을 단계적으로 설명하는 각 단면도.
- [0021] 도 3은 본 발명의 바람직한 다른 일 구현예에 있어서 도 2에 의한 질화물계 발광소자가 플립칩 본딩된 발광소자 패키지의 단면도.
- [0022] <도면의 주요부분에 대한 부호의 설명>
- [0023] 30: 질화물계 발광소자, 31: 기관, 32: n형 질화물 반도체층, 33: 활성층, 34: p형 질화물 반도체층, 35: p형 전극, 36: 관통공, 37, 38: n형 전극, 39: 와이어 본딩패드전극

도면

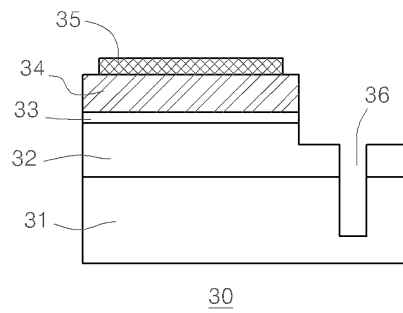
도면1



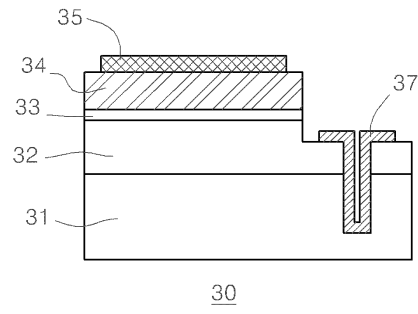
도면2a



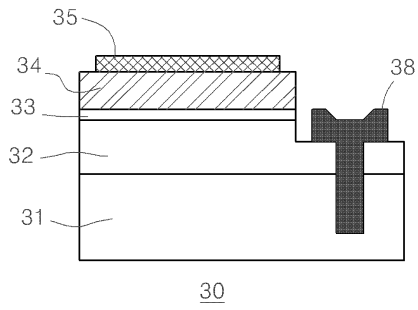
도면2b



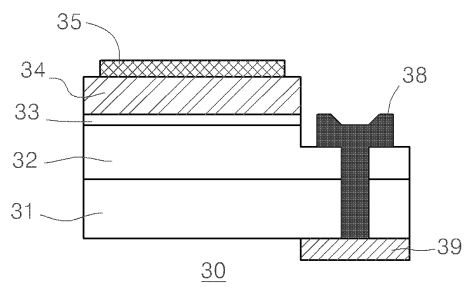
도면2c



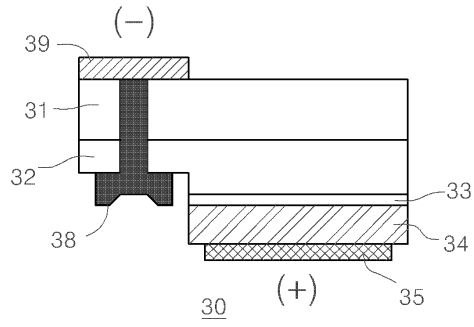
도면2d



도면2e



도면2f



도면3

