(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년07월07일
(11) 등록번호 10-2831276
(24) 등록일자 2025년07월03일

(51) 국제특허분류(Int. Cl.)
H10D 48/00 (2025.01) *H10D 30/67* (2025.01)
H10D 64/23 (2025.01) *H10D 64/62* (2025.01)
(52) CPC특허분류
H10D 99/00 (2025.01)
H10D 30/6713 (2025.01)
(21) 출원번호 10-2024-0119200
(22) 출원일자 2024년09월03일
심사청구일자 2024년09월03일
(56) 선행기술조사문헌
KR1020180059334 A*
KR1020240109479 A*
KR1020240066753 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
김영덕
경기도 성남시 분당구 성남대로 449, D동 503호 (정자동, 로얄팰리스)
한광희
서울특별시 강남구 봉은사로 170, 1520호 (역삼동)
(74) 대리인
김태영

전체 청구항 수 : 총 11 항 심사관 : 김상희

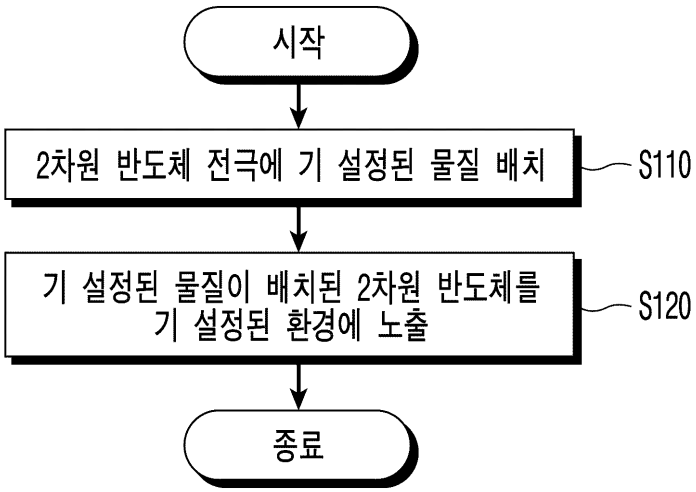
(54) 발명의 명칭 **2차원 반도체 소자의 접촉 저항을 현저히 감소시키기 위한 방법**

(57) 요 약

2차원 반도체 소자의 접촉 저항을 현저히 감소시키기 위한 방법을 개시한다.

본 실시예의 일 측면에 의하면, 2차원 반도체 소자의 접촉 저항을 감소시키는 방법에 있어서, 2차원 반도체 소자 내 전극에 기 설정된 물질을 배치하는 배치과정 및 상기 배치과정을 거친 2차원 반도체 소자를 기 설정된 환경에 노출시키는 노출과정을 포함하는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법을 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H10D 30/6729 (2025.01)
H10D 64/62 (2025.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711175688
과제번호	2022M3H4A1A04096396
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	이차원 질화붕소 기반 상온 동작 양자광원 기술 개발
과제수행기관명	경희대학교 산학협력단
연구기간	2022.10.01 ~ 2027.06.30

명 세 서

청구범위

청구항 1

2차원 반도체 소자의 접촉 저항을 감소시키는 방법에 있어서,

2차원 반도체 소자 내 전극에 기 설정된 물질을 배치하는 배치과정; 및

상기 배치과정을 거친 2차원 반도체 소자를 기 설정된 환경에 노출시키는 노출과정을 포함하며,

상기 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 기 설정된 물질은,

각 성분이 기 설정된 비율로 구성되는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 4

제1항에 있어서,

상기 2차원 반도체 소자는,

기판;

상기 기판 상에 배치되는 양 전극; 및

상기 전극 사이에 배치되는 2차원 물질을 포함하는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 5

제4항에 있어서,

상기 2차원 물질은,

TMD(Transition Metal Dichalcogenide), 흑린(black phosphorus) 또는 그래핀인 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 6

제1항에 있어서,

상기 기 설정된 환경은,

진공 상태에서 기 설정된 온도를 갖는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 7

제6항에 있어서,

상기 기 설정된 온도는,

상기 기 설정된 물질의 녹는 점 이상인 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법.

청구항 8

2차원 반도체 소자에 있어서,

기판;

상기 기판 상에 배치되는 양 전극;

상기 전극 사이에 배치되는 2차원 물질; 및

상기 전극 상에만 접합된 기 설정된 물질을 포함하며,

상기 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되는 것을 특징으로 하는 2차원 반도체 소자.

청구항 9

삭제

청구항 10

제8항에 있어서,

상기 전극은,

금(Au) 혹은 크롬(Cr)으로 구현되는 것을 특징으로 하는 2차원 반도체 소자.

청구항 11

제8항에 있어서,

상기 2차원 물질은,

TMD(Transition Metal Dichalcogenide), 흑린(black phosphorus) 또는 그래핀인 것을 특징으로 하는 2차원 반도체 소자.

청구항 12

2차원 반도체 소자에 있어서,

기판;

상기 기판 상에 배치되는 양 전극;

상기 전극 사이에 배치되는 2차원 물질; 및

상기 전극 상에만 접합된 기 설정된 물질을 포함하며,

상기 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되어 상기 전극에 배치되고, 상기 기 설정된 물질이 배치된 2차원 반도체 소자를 기 설정된 환경에 노출되며 상기 전극 상에만 접합되는 것을 특징으로 하는 2차원 반도체 소자.

청구항 13

제12항에 있어서,

상기 기 설정된 물질은,

상기 전극 상에 배치되거나, 상기 전극과 접촉하여 배치되는 것을 특징으로 하는 2차원 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 실시예는 2차원 반도체 소자의 접촉 저항을 현저히 감소시키기 위한 방법에 관한 것이다.

배 경 기 술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 반도체 소자의 크기가 줄어들게 되면 하나의 웨이퍼에 집적될 수 있는 반도체 소자의 개수가 늘어나게 되고 반도체 소자의 구동 속도도 빨라지기 때문에 반도체 소자의 크기를 줄이기 위한 연구가 활발하게 진행되고 있다.

[0004] 최근에는 반도체 소자의 크기를 줄이기 위한 방안으로 2차원 물질을 이용하는 연구가 진행되고 있다. 2차원 물질은 1nm 이하의 얇은 두께에서도 안정적이고 우수한 특성을 가지고 있어서 반도체 소자의 크기가 줄어듬에 따른 성능 저하의 한계를 극복할 수 있는 물질로 각광을 받고 있다.

[0005] 2차원 물질은 반도체 소자 내 금속 전극 사이에 배치되어, 반도체 소자로서 동작할 수 있도록 한다. 다만, 2차원 물질을 반도체 소자에 이용하는데 있어 발생하는 가장 큰 문제가 컨택 저항이다. 2차원 물질이 금속 전극 사이에 배치되어 양자를 연결할 경우, 페르미 레벨(Fermi Level)의 피닝(Pinning) 현상이 발생하게 된다. 이에 따라, 2차원 물질과 금속 전극 간에 쇼트키 배리어(Shottky Barrier)가 형성되며, 반도체 소자의 컨택 저항을 현저히 상승시켜 소자의 전기적 성능을 떨어뜨리는 문제가 있다.

[0006] 이에 따라, 2차원 물질이 전술한 장점을 가짐에도 불구하고, 2차원 반도체 소자가 상용화되는데 어려움이 존재한다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 실시예는, 접촉 저항을 현저히 감소시킨 2차원 반도체 소자 및 그 감소 방법을 제공하는 데 일 목적이 있다.

과제의 해결 수단

[0008] 본 실시예의 일 측면에 의하면, 2차원 반도체 소자의 접촉 저항을 감소시키는 방법에 있어서, 2차원 반도체 소자 내 전극에 기 설정된 물질을 배치하는 배치과정 및 상기 배치과정을 거친 2차원 반도체 소자를 기 설정된 환경에 노출시키는 노출과정을 포함하는 것을 특징으로 하는 2차원 반도체 소자 저항 감소방법을 제공한다.

[0009] 본 실시예의 일 측면에 의하면, 상기 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되는 것을 특징으로 한다.

[0010] 본 실시예의 일 측면에 의하면, 상기 기 설정된 물질은 각 성분이 기 설정된 비율로 구성되는 것을 특징으로 한다.

[0011] 본 실시예의 일 측면에 의하면, 상기 2차원 반도체 소자는 기판과 상기 기판 상에 배치되는 전극 및 상기 전극 사이에 배치되는 2차원 물질을 포함하는 것을 특징으로 한다.

[0012] 본 실시예의 일 측면에 의하면, 상기 2차원 물질은 TMD(Transition Metal Dichalcogenide), 흑린(black phosphorus) 또는 그래핀인 것을 특징으로 한다.

[0013] 본 실시예의 일 측면에 의하면, 상기 기 설정된 환경은 진공 상태에서 기 설정된 온도를 갖는 것을 특징으로 한다.

[0014] 본 실시예의 일 측면에 의하면, 상기 기 설정된 온도는 상기 기 설정된 물질의 녹는 점 이상인 것을 특징으로 한다.

[0015] 본 실시예의 일 측면에 의하면, 2차원 반도체 소자에 있어서, 기판과 상기 기판 상에 배치되는 전극과 상기 전극 사이에 배치되는 2차원 물질 및 상기 전극 상에만 접합된 기 설정된 물질을 포함하는 것을 특징으로 하는 2차원 반도체 소자를 제공한다.

[0016] 본 실시예의 일 측면에 의하면, 상기 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되는 것을 특징으로 한다.

[0017] 본 실시예의 일 측면에 의하면, 상기 전극은 금(Au) 혹은 크롬(Cr)으로 구현되는 것을 특징으로 한다.

[0018] 본 실시예의 일 측면에 의하면, 상기 2차원 물질은 TMD(Transition Metal Dichalcogenide), 흑린(black

phosphorus) 또는 그래핀인 것을 특징으로 한다.

[0019] 본 실시예의 일 측면에 의하면, 2차원 반도체 소자에 있어서, 기판과 상기 기판 상에 배치되는 전극과 상기 전극 사이에 배치되는 2차원 물질 및 상기 전극 상에만 접합된 기 설정된 물질을 포함하며, 상기 기 설정된 물질은 상기 전극에 배치되고, 상기 기 설정된 물질이 배치된 2차원 반도체 소자를 기 설정된 환경에 노출되며 상기 전극 상에만 접합되는 것을 특징으로 하는 2차원 반도체 소자를 제공한다.

[0020] 본 실시예의 일 측면에 의하면, 상기 기 설정된 물질은 상기 전극 상에 배치되거나, 상기 전극과 접촉하여 배치되는 것을 특징으로 한다.

발명의 효과

[0021] 이상에서 설명한 바와 같이 본 실시예의 일 측면에 따르면, 2차원 물질을 포함함에도 접촉 저항이 현저히 작은 장점이 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 2차원 반도체 소자 접촉저항 감소 방법을 도시한 순서도이다.

도 2 및 3은 본 발명의 일 실시예에 따른 2차원 반도체 소자의 접촉저항을 감소시키는 과정을 예시한 도면이다.

도 4는 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 밴드 구조를 도시한 그래프이다.

도 5는 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 게이트 전압에 따른 전류 크기를 도시한 그래프이다.

도 6은 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 인가 전압에 따른 전류 크기를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0024] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에서, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0026] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서 "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해서 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.

[0028] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0029] 또한, 본 발명의 각 실시예에 포함된 각 구성, 과정, 공정 또는 방법 등은 기술적으로 상호간 모순되지 않는 범위 내에서 공유될 수 있다.

[0030] 도 1은 본 발명의 일 실시예에 따른 2차원 반도체 소자 접촉저항 감소 방법을 도시한 순서도이다.

[0031] 본 발명의 일 실시예에 따른 방법을 거친 2차원 반도체 소자는 2차원 물질을 포함함에도, 종래와 같이 높은 접촉저항을 갖지 않을 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 방법을 거친 2차원 반도체 소자는 2차원 물질을 포함함에 따라 가질 수 있는 이점은 그대로 구비하는 동시에, 상대적으로 현저히 낮은 접촉저항을 가짐에 따라 우수한 전기적 성능을 가질 수 있다.

[0032] 2차원 반도체 소자 내 전극에 기 설정된 물질을 배치한다(S110). 2차원 반도체 소자 내 전극 상이나 2차원 반도체 소자 내 전극과 접촉하여 기 설정된 물질이 배치된다. 여기서, 기 설정된 물질은 비스무스(Bi), 인듐(In) 및 주석(Sn)으로 구성되며, 각각이 30 내지 35 중량% : 49 내지 53 중량% : 15 내지 18 중량% 비율로 구성된다. 이 같은 성분 및 비율로 구성된 물질이 전극 상에 배치되거나, 전극과 접촉하여 배치된다.

[0033] 기 설정된 물질이 배치된 2차원 반도체 소자를 기 설정된 환경에 노출시킨다(S120). 여기서, 기 설정된 환경은 진공 상태 및 기 설정된 물질의 녹는점 이상의 온도를 갖는 환경일 수 있다. 기 설정된 물질의 녹는 점은 62℃ 내외인 점에서, 기 설정된 환경은 진공 상태 및 62℃ 이상의 온도를 갖는 환경일 수 있으며, 보다 바람직하게는 진공상태 및 200 내지 300℃의 온도를 갖는 환경일 수 있다. 기 설정된 물질이 전술한 환경에 노출될 경우, 액화되며 도 3에 도시된 바와 같이 2차원 반도체 소자 내 전극만을 따라 전파되며 전극과 접합된다.

[0034] 도 2 및 3은 본 발명의 일 실시예에 따른 2차원 반도체 소자의 접촉저항을 감소시키는 과정을 예시한 도면이고, 도 4는 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 밴드 구조를 도시한 그래프이다.

[0035] 도 2를 참조하면, 2차원 반도체 소자는 기판(210), 기판(210) 상에 배치되는 전극(220) 및 전극(220) 사이에 배치되는 2차원 물질(230)을 포함한다. 전극(220)은 금속, 예를 들어, 금(Au) 혹은 크롬(Cr) 등으로 구현될 수 있다. 여기서, 2차원 물질(230)은 TMD(Transition Metal Dichalcogenide), 흑린(Black Phosphorus) 또는 그래핀일 수 있다. 2차원 반도체 소자는 전술한 구성을 포함함에 따라, 도 4a에 도시된 바와 같은 에너지 밴드 구조를 갖는다.

[0036] 전극(220) 간에 2차원 물질(230)이 배치됨에 따라, 쇼트키 배리어(Shottky Barrier)가 형성되며, 반도체 소자의 컨택 저항을 현저히 상승시킨다.

[0037] 이러한 문제를 인지하여, 전극(220) 상 혹은 전극(220)과 접촉하도록 기 설정된 물질(240)을 배치시킨다.

[0038] 이후 기 설정된 물질이 배치된 2차원 반도체 소자를 기 설정된 환경에 노출시킬 경우, 도 3에 도시된 바와 같이, 기 설정된 물질이 액화되며 전극(220)만을 따라 전극 상에만 접합된다. 이에 따라, 기 설정된 물질은 도 4b에 도시된 바와 같이 오믹 접합을 형성하여 2차원 물질이 전극(220) 간에 배치되더라도 컨택 저항을 현저히 감소시킨다.

[0039] 기 설정된 물질이 액화되며 전극만을 따라 전극상에만 접합되기에, 매우 정밀하게 구현될 수 있다. 전극이 수백 내노 내지 수 마이크로미터 단위로 구현되더라도, 기 설정된 물질은 전극 상에만 정밀하게 접합될 수 있다. 이에 따라, 간편하게 구현할 수 있으면서도 우수한 효과를 확보할 수 있다. 이와 같이 컨택저항이 현저히 감소하는 것은 도 5 및 6에서 확인할 수 있다.

[0040] 도 5는 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 게이트 전압에 따른 전류 크기를 도시한 그래프이고, 도 6은 종래의 2차원 반도체 소자 및 본 발명의 일 실시예에 따른 2차원 반도체 소자의 인가 전압에 따른 전류 크기를 도시한 그래프이다.

[0041] 도 5(a)나 5(b)를 참조하면, 종래의 2차원 반도체 소자에 비해, 본 발명의 일 실시예에 따른 2차원 반도체 소자는 동일한 게이트 전압이 인가되더라도 현저히 큰 전류가 흐르는 것을 확인할 수 있다. 전류가 수배에서 수십배까지 더 흐르는 것을 확인할 수 있다.

[0042] 이는 도 6에서도 확인할 수 있다. 일정한 게이트 전압이 인가되는 상황에서, 동일한 소스-드레인 전압(V_{DS})이 인가됨에 있어, 종래의 2차원 반도체 소자에 비해 본 발명의 일 실시예에 따른 2차원 반도체 소자는 수배 내지 수십배가량 큰 전류가 흐르는 것을 확인할 수 있다(도 6(a)와 도 6(b)의 전류 크기 수치가 상이). 이를 참조하면, 종래의 2차원 반도체 소자에 비해, 본 발명의 일 실시예에 따른 2차원 반도체 소자는 현저히 작은 컨택저항을

갖는 것을 확인할 수 있다.

[0043] 도 1에서는 각 과정을 순차적으로 실행하는 것으로 기재하고 있으나, 이는 본 발명의 일 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것이다. 다시 말해, 본 발명의 일 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 일 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 각 도면에 기재된 순서를 변경하여 실행하거나 각 과정 중 하나 이상의 과정을 병렬적으로 실행하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이므로, 도 1은 시계열적인 순서로 한정되는 것은 아니다.

[0044] 한편, 도 1에 도시된 과정들은 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽힐 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 즉, 컴퓨터가 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등) 및 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)와 같은 저장매체를 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

[0045] 이상의 설명은 본 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 실시예들은 본 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0046] 210: 기판

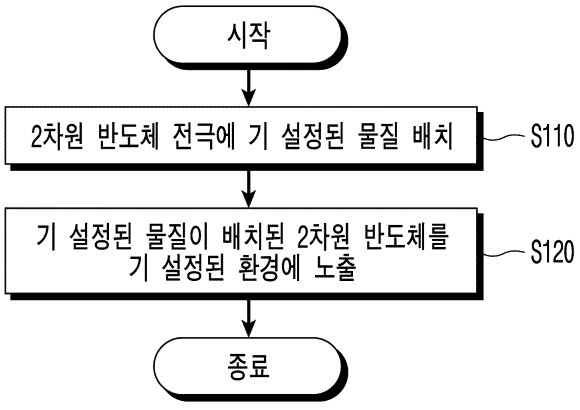
220: 전극

230: 2차원 물질

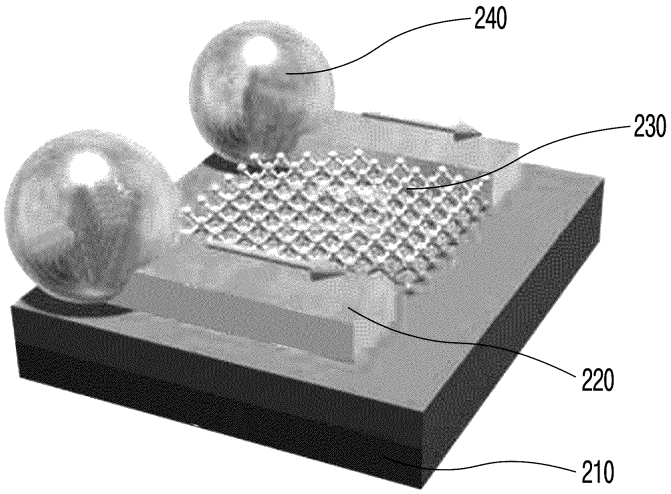
240: 기 설정된 물질

도면

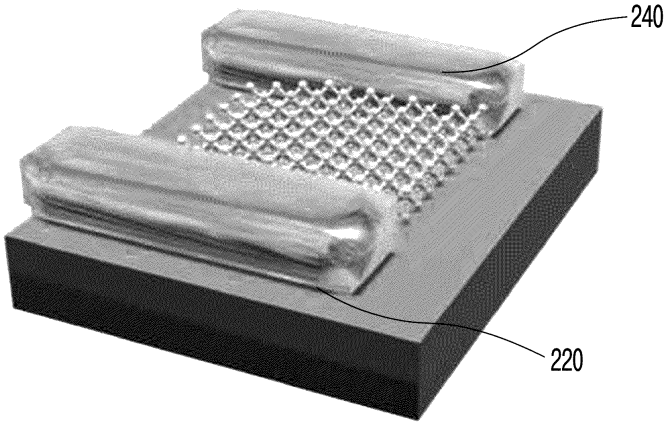
도면1



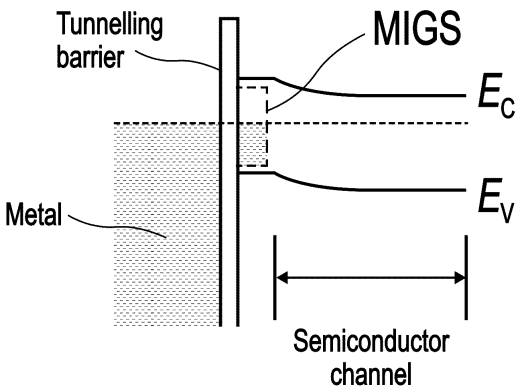
도면2


240
230
220
210

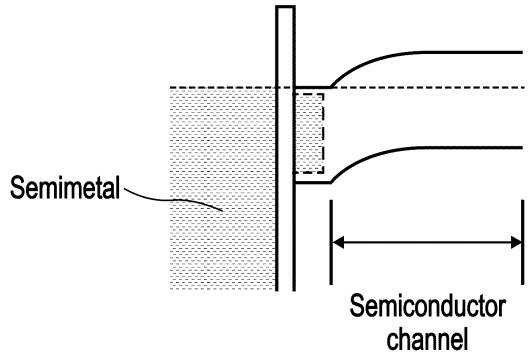
도면3


240
220

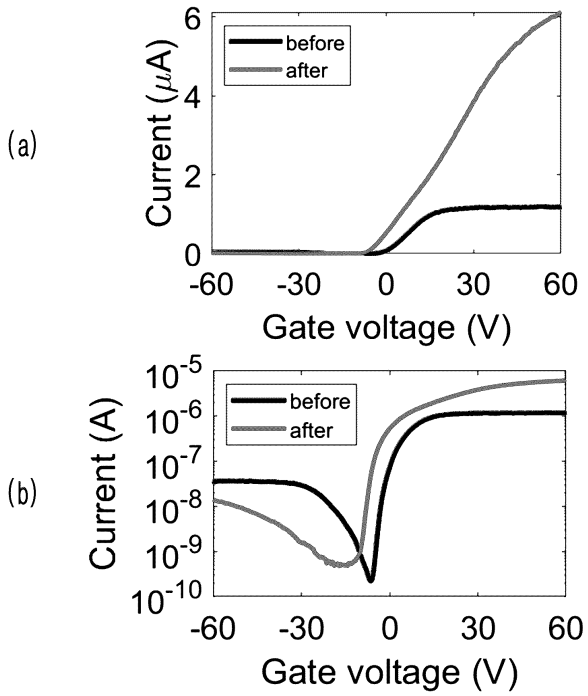
도면4a


Tunnelling barrier
MIGS
E_C
E_V
Metal
Semiconductor channel

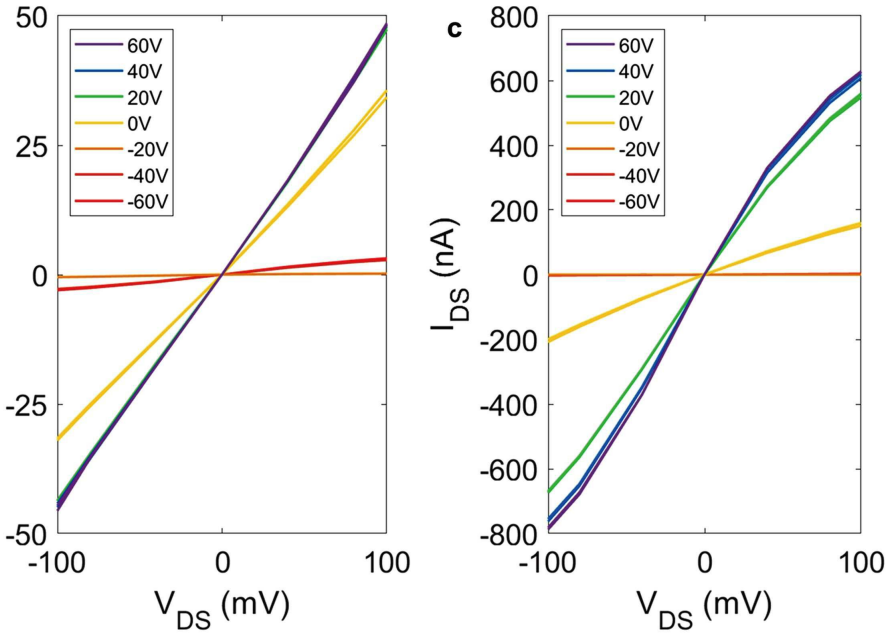
도면4b


Semimetal
Semiconductor channel

도면5


(a)
Current (μA)
6
4
2
0
before
after
-60
-30
0
30
60
Gate voltage (V)
(b)
Current (A)
10-5
10-6
10-7
10-8
10-9
10-10
before
after
-60
-30
0
30
60
Gate voltage (V)

도면6


c
60V
40V
20V
0V
-20V
-40V
-60V
50
25
0
-25
-50
-100
0
100
V_{DS} (mV)
800
600
400
200
0
-200
-400
-600
-800
I_{DS} (nA)