



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I514873 B

(45)公告日：中華民國 104 (2015) 年 12 月 21 日

(21)申請案號：098117886

(22)申請日：中華民國 98 (2009) 年 05 月 27 日

(51)Int. Cl. : **H04N5/335 (2011.01)**

(30)優先權：2008/05/30 美國

12/129,999

(71)申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72)發明人：帕克斯 克里斯多夫 PARKS, CHRISTOPHER (US) ; 石剛 SHI, GANG (US)

(74)代理人：陳長文

(56)參考文獻：

US 6369853B1

US 7016089B2

US 7075129B2

US 2002/0058353A1

US 2007/0029465A1

審查人員：机亮燁

申請專利範圍項數：16 項 圖式數：8 共 33 頁

(54)名稱

具有減低井彈回之影像感測器

IMAGE SENSOR HAVING REDUCED WELL BOUNCE

(57)摘要

一種 CMOS 影像感測器或其他類型之影像感測器包括一像素陣列及與該像素陣列相關聯之取樣與讀出電路。在讀出該像素陣列之一選定群組之像素中之一或多個像素的同時，該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，且在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之一預定時間內，該像素陣列之像素之一未選定群組像素中之一重設信號從一作用中狀態轉變為一非作用中狀態。此配置有利地減低該影像感測器中的井彈跳。該影像感測器可被實施於一數位相機或其他類型的數位成像器件中。

A CMOS image sensor or other type of image sensor comprises a pixel array and sampling and readout circuitry associated with the pixel array. In conjunction with readout of one or more pixels in a selected group of pixels of the pixel array, a pixel power line signal of the array transitions from an inactive state to an active state, and a reset signal of a non-selected group of pixels of the pixel array transitions from an active state to an inactive state within a predetermined time prior to the transition of the pixel power line signal from its inactive state to its active state. This arrangement advantageously reduces well bounce in the image sensor. The image sensor may be implemented in a digital camera or other type of digital imaging device.



RG OTHER . . . 其他 RG 信號

RG

SELECTED . . . 選擇 RG 信號

TG

SELECTED . . . 選擇 TG 信號

TIME . . . 時間

VOLTAGE . . . 電壓

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98117886

※申請日：98.5.27

※IPC 分類：H04N 5/335 (2011.01)

一、發明名稱：(中文/英文)

具有減低井彈回之影像感測器

IMAGE SENSOR HAVING REDUCED WELL BOUNCE

二、中文發明摘要：

一種CMOS影像感測器或其他類型之影像感測器包括一像素陣列及與該像素陣列相關聯之取樣與讀出電路。在讀出該像素陣列之一選定群組之像素中之一或多個像素的同時，該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，且在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之一預定時間內，該像素陣列之像素之一未選定群組像素中之一重設信號從一作用中狀態轉變為一非作用中狀態。此配置有利地減低該影像感測器中的井彈跳。該影像感測器可被實施於一數位相機或其他類型的數位成像器件中。

三、英文發明摘要：

A CMOS image sensor or other type of image sensor comprises a pixel array and sampling and readout circuitry associated with the pixel array. In conjunction with readout of one or more pixels in a selected group of pixels of the pixel array, a pixel power line signal of the array transitions from an inactive state to an active state, and a reset signal of a non-selected group of pixels of the pixel array transitions from an active state to an inactive state within a predetermined time prior to the transition of the pixel power line signal from its inactive state to its active state. This arrangement advantageously reduces well bounce in the image sensor. The image sensor may be implemented in a digital camera or other type of digital imaging device.

四、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

RG OTHER	其 他 RG 信 號
RG SELECTED	選 擇 RG 信 號
TG SELECTED	選 擇 TG 信 號
TIME	時 間
VOLTAGE	電 壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於電子影像感測器，其用於數位相機及其他類型之成像器件中，且更特定言之，係關於配合一電子影像感測器使用之取樣與讀出技術。

【先前技術】

一典型之電子感測器包括配置為二維陣列之若干感光性圖像元素(「像素」)。此類影像感測器可被組態以藉由在像素上方形成一適當的彩色濾光器陣列(CFA)來產生一彩色影像。這種類型的影像感測器之實例揭示於名為「Image Sensor with Improved Light Sensitivity(影像感測器與改進之感光性)」的美國專利申請公開案第2007/0024931號，其以引用之方式併入本文中。

眾所周知，可使用互補金屬氧化物半導體(CMOS)電路而實施一影像感測器。在此類配置中，每個像素通常包括一光電二極體及若干電晶體。該像素電晶體可為p型MOS(PMOS)電晶體，在此情況下，光電二極體及電晶體一般形成於一p型基板上的-n井區域中。另外，像素電晶體可為n型MOS(NMOS)電晶體，在這種情況下，光電二極體及電晶體一般形成於一n型基板上的-p井區域中。

出現於具有上述描述之具有形成於n井或p井類型區域之像素之CMOS影像感測器之一問題被稱為「井彈跳」。此為井電壓中不合需要之改變，此通常係歸因於由環繞像素陣列周邊之一環形物中的井接觸件而引進井偏壓電壓。此等

井接觸件接近像素陣列之邊緣，但遠離像素陣列中心。結果，來自陣列邊緣之井電阻相對於其中心可以非常大，造成在相關聯於像素取樣與讀出的切換操作同時發生井彈跳。

已開發試圖緩解井彈跳問題的一些技術。一種此類技術涉及增加井傳導性，例如如名為「Solid-State Image Sensor Having a Substrate with an Impurity Concentration Gradient(具有雜質濃度梯度的一基板之固態影像感測器)」之美國專利第6,271,554號所描述。但是，此類型的一措施要求處理程序改變，其可增加生產成本及複雜度，且無論如何可能未提供充分減少井彈跳。另一技術涉及增加像素陣列內之井接觸件，例如，如名為「Amplification-Type Solid State Imaging Device with Reduced Shading(減少遮光之放大型固態成像器件)」之美國專利第7,016,089號所描述。不幸地，增加像素陣列中的井接觸件會佔據原本可用於感光的有限區域，如此會對該影像感測器之效能造成負面影響。一進一步技術涉及減低相關聯於像素取樣與讀出的某些信號之時脈速率。例如參見名為「Solid-State Imaging Device and Drive Control Method for the Same(固態成像器件及一樣的驅動控制方法)」之美國專利第2005/0001915號。但是，減慢時脈意味需要更長時間以讀出與一給定影像相關聯的像素資料。

因此，需要一種能夠顯著減低或消除井彈跳同時避免與上述習知技術相關聯的缺點的技術。

【發明內容】

本發明之闡釋實施例提供取樣與讀出技術，其達成實質上減低一CMOS影像感測器中的井彈跳而無上述技術缺點。

根據本發明之一態樣，一種影像感測器包括一像素陣列及與該像素陣列相關聯的取樣與讀出電路。在讀出該像素陣列之一選定群組之像素中之一或多個像素的同時，該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，且在該像素電源線信號從其非作用中狀態轉變為其作用中狀態前之前之一預定時間內，像素陣列之一非選定像素群組的重設信號從一作用中狀態轉變為一非作用中狀態。該影像感測器亦可經組態使得在完成讀出一或多個像素之同時，該像素電源線信號從其作用中狀態轉變為非作用中狀態，且在該像素電源線信號從其作用中狀態轉變為其非作用中狀態後之一預定時間內，該重設信號從其非作用中狀態轉變為作用中狀態。在像素電源線信號從其非作用中狀態轉變為其作用中狀態前之預定時間，及在像素電源線信號從其作用中狀態轉變為其非作用中狀態後之預定時間可各自為(例如)少於或等於500奈秒。

例如，該取樣與讀出電路可包括一可控信號產生器，該可控信號產生器耦接至該像素陣列，且該可控信號產生器經組態以產生該像素電源線信號及該重設信號中之至少一者。

在一示例實施例中，該像素陣列包括：複數個像素，該

複數個像素配置成列與行；一像素電源線，其經調適以接收該像素電源線信號；及像素輸出線，該等像素輸出線係相關聯於該等行之各者。該等像素中之一給定包括一光電二極體或其他感光性元件，及一第一電晶體，該第一電晶體具有耦接至該感光性元件及一浮動擴散間的源極與汲極端子，且具有一經調適以接收一傳輸信號的閘極端子。該像素陣列進一步包含：一第二電晶體，該第二電晶體具有耦接至該像素電源線與像素輸出線中之一者之間的源極與汲極端子，並且一具有耦接至該浮動擴散的閘極端子；及一第三電晶體，該第三電晶體具有耦接至該像素電源線與該浮動擴散之間的源極與汲極端子，並且具有一經調適以接收該重設信號的閘極端子，該像素陣列之感光性元件及第一、第二與第三電晶體係形成於一第二傳導性類型之一基板上之一第一傳導性類型之一井中。

在此實施例中，影像感測器較佳地被組態以滿足一電荷平衡方程式，該電荷平衡方程式指定與該像素電源線信號及該重設信號中的各自轉變相關聯的該井中之經估計電荷位移。例如，可藉由調整下列一或多者來滿足該電荷平衡方程式：介於該第三電晶體的該閘極端子與該井之間的一電容 C_{RG} ；介於像素電源線及井之間的一電容 C_{PP} ；該重設信號在從其作用中狀態轉變為其非作用中狀態之該轉變中該重設信號之電壓位準之一變化量 ΔV_{RG} ；及該像素電源線信號從其非作用中狀態至其作用中狀態之該轉變中該像素電源線信號之電壓位準之一變化量 ΔV_{PP} 。

根據本發明之一影像感測器可有利地實施於一數位相機或其他類型的成像器件中，及透過實質地減低井彈跳而提供此類器件的改進效能。

【實施方式】

當與以下描述及圖式結合時，本發明之以上及其他目的、特性及優勢會變得更加明顯，其中使用同樣的指示數字可能指定各圖共用的相同特徵。

本文中將配合數位相機、影像感測器及相關聯取樣與讀出技術之特殊實施例來闡釋本發明。然而，應明白，闡釋之配置僅是藉由實例之方式呈現，但是不應以任何方式視作限制本發明之範圍。熟悉此項技術者會認識到，為了配合各式各樣其他類型的成像器件、影像感測器，及相關聯之取樣與讀出技術使用，可以用一直接方式調適所揭示之配置。

圖1A繪示在本發明之一示例實施例中的一數位相機10。在數位相機中，來自一主題場景之光被輸入至一成像階段12。成像階段可包括習知元件，例如一透鏡、一中性密度濾光片、一虹膜及一快門。光係藉由該成像階段12聚焦而在一影像感測器14上形成一影像，影像感測器14將入射光轉換為電子信號。該數位相機10進一步包含一處理器16、一記憶體18、一顯示器20，及一或多個額外輸入/輸出(I/O)元件22。

在本實施例中，該影像感測器14被假定為一CMOS影像感測器，然而在實施本發明中可使用其他類型之影像感測

器。如在圖1B中所示，更特定言之，影像感測器14包含一像素陣列30、一可控信號產生器32及信號處理電路34。在其他實施例中，元件32與40中之一者或二者可被配置於影像感測器之外部。

像素陣列30通常包括配置成列與行的複數個像素。像素陣列亦可併入數位相機10之取樣與讀出電路之至少一部份，如下文結合圖2、3、5及8所描述。例如，取樣與讀出電路之至少一部份可一體地連同像素陣列形成於(例如)一共同積體電路上，該積體電路具有像素陣列之光電二極體及其他元件的。元件32與34可被視作數位相機10之取樣與讀出電路的部件，且此等元件之一者或二者可連同該等像素陣列一體地形成。或者，數位相機之部份取樣與讀出電路之部份亦可被實施於處理器16中。因此，本文中使用的術語「取樣與讀出」意欲被廣泛地理解以涵蓋與數位相機10之取樣與讀出功能相關聯的任何電路，且此類電路之部份可被配置於影像感測器14內或相機中之任何處。如此會變得明顯，本文中描述的一給定讀出處理程序典型地併入取樣操作，並且實施此一處理程序之電路被稱作「取樣與讀出電路」。此術語不應被認作係要求單獨取樣與讀出處理程序，或單獨取樣電路及讀出電路。

影像感測器14典型被實施為具有一相關聯CFA型樣的一彩色影像感測器。可連同影像感測器14一起使用之CFA型樣之實例包含上文引述之美國專利申請公開案第2007/0024931號中描述之CFA型樣，然而於本發明之其他

實施例中可使用其他CFA型樣。

可控信號產生器32可在處理器16之控制下操作以產生與像素陣列30之取樣與讀出相關聯的信號，舉例而言，該像素陣列30包含重設閘極(RG)、傳送閘極(TG)及像素電源(VPP)信號。可由信號產生器32產生用於選擇像素陣列之特殊列與行之其他類型信號以進行處理。

例如，信號處理電路34可包括：一類比信號處理器，其用於處理從像素陣列30讀出之類比信號；及一類比數位轉換器，其用於轉換此等信號為適合由處理器16處理之一數位形式。

例如，處理器16可包括一微處理器、一中央處理單元(CPU)、一專用積體電路(ASIC)、一數位信號處理器(DSP)或其他處理器件，或多個此等器件之組合。可藉由自處理器16供應之時序信號或其他信號來控制成像階段12及影像感測器14之各種元件。

記憶體18可包括任何類型的記憶體，例如，諸如隨機儲存記憶體(RAM)、唯讀記憶體(ROM)、快閃記憶體、基於磁碟之記憶體，或以任何形式組合之其他類型的儲存元件。

可至少部份以軟體形式實施本文描述之取樣與讀出技術，該軟體儲存於記憶體18中及藉由處理器16執行。

藉由影像感測器14擷取的一給定影像可藉由處理器16儲存在記憶體18中並且在呈現顯示器20上。顯示器20典型係一主動矩陣彩色液晶顯示器(LCD)，然而可使用其他類型

的顯示器。例如，額外I/O元件22可包括各種螢幕上控制項、按鈕或其他使用者介面、網路介面、記憶體卡介面等。

例如，可在上文引述之美國專利申請公開案第2007/0024931號中被找到關於在圖1A中繪示的一數位相機類型之操作之額外細節。

應瞭解，如圖1A所示之數位相機可包括熟悉此項技術者所知之一類型的額外或替代元件。可由熟悉此項技術者選擇本文無具體繪示或描述之元件。如先前所知，本發明可被實施於各種廣泛的其他類型數位相機或影像擷取器件中。同樣，如上所述，可至少部份以軟體形式實施本文描述之實施例的某些態樣，該軟體藉由一影像擷取器件的一或多個處理元件執行。可以本文提供之特定教示的一直接方式實施該軟體，如熟悉此項技術者瞭解。

如圖1B所示之影像感測器14可被製作於一矽基板或其他類型基板上。在一典型CMOS影像感測器中，像素陣列中的每個像素包含一光電二極體及用於測量該像素之光位準的相關聯電路。

圖2繪示與在圖1B之影像感測器的像素陣列30中之一給定像素100相關聯之電路的一示例實施例。在此實施例，的像素被假定為形成於影像感測器的一p型基板上的一n井中。像素100包括一光電二極體102及三個相關聯之PMOS電晶體P1、P2及P3。第一電晶體P1回應於一傳送閘極(TG)信號而將從光電二極體收集之電荷傳送至一浮動擴散

(FD)。該電晶體P1本身亦通常被稱作一傳送閘極。第二電晶體P2係一輸出電晶體，其經組態以放大浮動擴散上的信號及供應經放大信號至一輸出電壓行線VOut。第三電晶體P3回應於一重設閘極(RG)信號而藉由將浮動擴散耦接至一像素電源供應電壓VPP處來重設該浮動擴散。

應注意，每個像素不需要包含本身之重設電晶體及輸出電晶體，如圖2中之配置。典型地，多個像素共用一給定重設電晶體及一給定輸出電晶體。下文將結合圖8描述此類共用配置之一實例。相應地，本文使用之術語「像素」意欲涵蓋(例如)諸如102、P1、P2及P3之電路元件的一群組，，或在一實施例中，僅包括102及P2的一替代群組，該實施例中像素100與其他像素共用P2及P3。於本發明之此等及其他實施例中可使用許多替代像素電路配置。

圖2中的元件R指示像素100與最近n井接觸件之間的n井電阻。如本文先前所指出，通常透過環繞像素陣列周邊之一環形物中的井接觸件而引進井偏壓電壓。此等井接觸接近像素陣列之邊緣，但遠離像素陣列中心，且如此陣列中心附近的一像素的R值可以非常大，此導致井彈跳問題，以下文中更詳細之描述方式來解決井彈跳問題。

對於陣列30之其他像素之各者，可重複圖2之像素電路之至少一部份。陣列之相同列中的像素共用一共同RG信號，而陣列相同行中的像素共用輸出電壓行線VOut。如先前指示，多個像素可共用像素電路之輸出電晶體P2與重設電晶體P3。

圖3繪示結合圖2描述之PMOS像素100之一NMOS同等物。在此實施例中，NMOS像素110包括光電二極體112及NMOS電晶體N1、N2及N3。此等元件被假定為形成於影像感測器14的一n型基板上的一p井中。NMOS像素110之操作類似於PMOS像素100之先前描述。

圖4繪示圖2之PMOS像素100的一剖面視圖。可看出，光電二極體102及三個PMOS電晶體係形成於一p型基板122上的n井120中。利用如指示之p+擴散區域124、126及128形成電晶體P1、P2及P3。VNwell指示經由一n+接觸件130而施加至n井120的一偏壓電壓。如上提及，偏壓電壓接觸件與像素100之電路之間可能有很大的距離，如圖4之箭頭132繪示。由圖2之R代表之此大電阻可使得n井電壓不穩定，導致先前所描述之井彈跳問題。

已判定併入如上描述類型之PMOS或NMOS像素之影像感測器中的井彈跳係介於RG信號線與n井之間的電容性耦接作用以及亦係介於VPP信號線與n井之間的電容性耦接作用。例如，當結合列讀出而切換RG信號與VPP信號時，此等電容性耦接會導致過度井彈跳。現在將參考圖5至圖7描述可消除或否則減低此類井彈跳之方式。

圖5繪示與圖2及圖4之PMOS像素100相似的一PMOS像素100'，但其包含可根據本發明一示例實施例而被調整之電容。電容 C_{PP} 代表介於VPP信號線與n井120間之電容。更具體而言，電容 C_{PP} 可指示出(例如)介於相關聯於重設電晶體P3及輸出電晶體P2相關聯之p+擴散區域126與井之間之電

容。電容 C_{RG} 代表介於重設電晶體 P3 之閘極端子與 n 井 120 間之電容。

圖 6 繪示一像素陣列 30 的一例示性列讀出處理程序，像素陣列 30 係使用如圖 5 所示之組態的 PMOS 像素 100' 予以建構。在讀出一給定列之前，像素陣列各自列的 RG 信號皆處於一作用中狀態。此將所有浮動擴散連接至處於一非作用中狀態之 VPP 線。如此，因為所有輸出電晶體 P2 之輸入係非作用中狀態而處於一非作用中狀態。

本文使用之術語「作用中狀態」及「非作用中狀態」意指一給定信號、信號線、電晶體或浮動擴散之二進制邏輯狀態。一電晶體之作用中狀態與非作用中狀態可被視作分別一般對應於「開通」狀態與「關斷」狀態。對於 PMOS 電晶體(例如 P1、P2 及 P3)，邏輯低輸入信號會開啟此等器件，而邏輯高輸入信號會關閉此等器件。如此，如圖 5 之 PMOS 像素電路中之 TG、RG 及 VPP 信號及與其等相關之信號線之作用中狀態對應於低電壓，且此等信號及相關之信號線之非作用中狀態對應於較高的電壓。

為了防止電荷透過傳送閘極 P1 從浮動擴散洩漏至光電二極體 102，與一非作用中狀態之一給定信號或信號線相關聯之較高電壓位準通常稍微低於 n 井之偏壓電壓。例如，如果 n 井偏壓電壓係 2.7 伏特，一給定非作用中狀態電壓位準可為大約 2.2 伏特。

為了選擇給定列以進行讀出，在時間 T1，除了選定列之 RG 信號外的所有 RG 信號切換至一非作用中狀態。接下

來，在時間T2，VPP電壓切換至一作用中狀態。因為選定列之RG信號仍係作用中狀態，所以該列之所有浮動擴散及輸出電晶體亦切換至其作用中狀態。所有其他列之浮動擴散及輸出電晶體保持於其等之非作用中狀態。

希望在VPP信號從非作用中狀態轉變至作用中狀態之前，除了該選定列之RG信號外的所有RG信號從作用中狀態轉變至非作用中狀態。此確保所有未選定列之浮動擴散保持於非作用中狀態，其有利地趨向於減低井彈跳。一般在VPP線從非作用中狀態轉變至作用中狀態之前之一預定時間內，除了該選定列之RG信號外的至少一個RG信號從作用中狀態轉變至非作用中狀態。在VPP線從非作用中狀態轉變至作用中狀態前之該預定時間宜係少於或等於大約500奈秒。例如，於一給定實施例中可使用大約200奈秒的值。

接著，在時間T3，選定列之RG信號切換至非作用中狀態，且輸出電壓行線VOut經取樣以獲得一第一輸出電壓位準150。接下來，使選定列之TG信號產生脈衝以從非作用中狀態至作用中狀態然後重回非作用中狀態。此將電荷從該列之光電二極體傳送至其等各自浮動擴散處。脈衝持續時間係從時間T4至時間T5。輸出電壓行線VOut接著被再次取樣以獲得一第二電壓位準160。第一電壓位準150與第二電壓位準160之間的差異提供對於相應之光電二極體之電荷量值的測量。例如，可在與影像感測器14相關聯之其他電路(諸如信號處理電路34)中，或在圖1A之數位相機之

另一元件(諸如處理器16)中判定該差異。以相同的方式判定選定列中之其他光電二極體的電荷量值。

為了完成列讀出處理程序，在時間T6，VPP電壓切換回非作用中狀態，然後在時間T7，所有RG信號切換作用中狀態。希望在RG信號從非作用中狀態轉變至作用中狀態之前，VPP信號從作用中狀態轉變至非作用中狀態。其防止未選定列之浮動擴散改變電壓，再次趨向於減低井彈跳。一般地，在VPP線從作用中狀態轉變至非作用中狀態後的一預定時間內，除了該選定列之RG信號外的至少一個RG信號於從作用中狀態轉變至非作用中狀態。VPP線從作用中狀態轉變至非作用中狀態後的該預定時間較佳地係少於或等於大約500奈秒。再次，作為一特殊實例，於一給定實施例中可使用大約200奈秒的值大約200奈秒的值，然而可使用其他值。

前文描述用於像素陣列中的一給定選定列的讀出處理程序。接著可選定像素陣列之另一列以用相似方式進行讀出。同樣，可用一直接方式調適揭示之技術以讀取一給定列中的少於所有之像素，諸如一系列中的一指定的部份。於替代實施例中，可使用除了列或列之部份外的所選擇群組。

現在將描述在示例實施例中透過使用電荷平衡來達成進一步減低井彈跳。如上指示，在圖6之讀出處理程序中的時間T1，除了該選定列外的所有列的RG信號從作用中狀態轉變至非作用中狀態。這關閉除了選定列外的所有列的

重設電晶體 P3。藉由關閉一未選定列中的一給定像素 100' 之重設電晶體 P3 而位移 n 井中之電荷量可被估計為 $C_{GR}\Delta V_{RG}$ ，其中 ΔV_{RG} 係如圖 6 指示之 RG 信號之電壓位準變化量。相似地，在時間 T2，藉由內將 VPP 信號從非作用中狀態轉變至作用中狀態而位移 n 井中之電荷量可能估計為 $C_{PP}\Delta V_{PP}$ ，其中 ΔV_{PP} 係如圖 6 指示之 VPP 信號之電壓位準變化量。如果 T2 與 T1 被一充分小的時間週期(諸如 500 奈秒或以下，如上文所述)分開，接著該兩個電荷位移置將實質上彼此抵消：

$$C_{RG}\Delta V_{RG} + C_{PP}\Delta V_{PP} \cong 0$$

該方程式係一實例，在本文中更一般地稱作一電荷平衡方程式。

如果時間 T6 與 T7 充分小的時間週期(再次約 500 奈秒或以下，如上文所述)，可達成一相似電荷平衡。在此情況中，在時間 T6，VPP 信號從作用中狀態轉變至非作用中狀態，隨後在時間 T7，陣列所有列之 RG 信號從非作用中狀態轉變至作用中狀態。再一次，幾乎相同時間轉變具有相反極性之 RG 與 VPP 抵消由電容 C_{PP} 與 C_{RG} 引起的 n 井上之電荷位移。

可以藉由以任何組合來調整電容 C_{PP} 與 C_{RG} 之一或多者或電壓位準變化量 ΔV_{RG} 與 ΔV_{PP} 之一或多者而滿足電荷平衡方程式。如此，本發明之一實施例可組態影像感測器 14，使得基於電壓位準變化量 ΔV_{RG} 與 ΔV_{PP} 的給定值而調整像素之電容 C_{PP} 與 C_{RG} 的值，以便滿足電荷平衡方程式。例如，可

藉由改變與重設電晶體或輸出電晶體相關聯之源極擴散區域之大小來調整電容 C_{PP} 。例如，可藉由改變重設電晶體閘極端子之面積或藉由連接重設電晶體至一額外 p+ 擴散區域來調整電容 C_{RG} 。另一選擇為，例如，可基於影像感測器內的已知寄生電容值來給定電容 C_{PP} 與 C_{RG} ，並且可調整電壓位準變化量 ΔV_{RG} 與 ΔV_{PP} 之一者或兩者，以滿足電荷平衡方程式。例如，可藉由適當控制可控信號產生器 32 之或與影像感測器 14 相關聯或併入於影像感測器 14 中之其他信號產生電路的 RG 與 VPP 信號產生，達成電壓位準變化量之調整。例如，可提供若干不同可選擇之信號位準，而且基於偵測之井彈跳位準來選擇待在給定影像感測器中使用之特殊位準。

可遍及像素陣列一致地進行電容或電壓位準變化量之一給定此類調整。亦可能僅對陣列之一定部份進行此等調整，例如更易受井彈跳問題影響的中心部份。

上述示範性電荷平衡方程式可替代地表達如下：

$$|C_{RG}\Delta V_{RG}| \cong |C_{PP}\Delta V_{PP}|,$$

如果兩個量值 $|C_{RG}\Delta V_{RG}|$ 與 $|C_{PP}\Delta V_{PP}|$ 彼此係在一指定的百分比內(諸如 25% 或以下內)，則滿足近似法。在替代實施例中，可使用其他電荷平衡方程式(其指定與 RG 及 VPP 信號中的相關轉變相關聯的在井中的估計電荷位移置)，以提供所要的井彈跳減低。

如上指示，取代使用是 PMOS 像素，可使用 NMOS 像素實施本發明。圖 7 繪示一時序圖，其一般地與圖 6 相同，但

係運用NMOS像素的一實施例。可以看出，在圖7時序圖中的電壓位準係互補於圖6圖式中該等電壓位準，但是信號轉變時間及基本操作係相似的。

上文亦提及，一給定像素可與像素陣列中的一或多個其他像素共用一重設電晶體及一輸出電晶體。圖8繪示經組態具有由含四個像素的群組共用一輸出電晶體N2'及一重設電晶體N3'的NMOS像素電路之一版本。該四個像素包含經耦接至各自傳送閘極N1-0、N1-1、N1-2及N1-3之各自光電二極體812-0、812-1、812-2及812-3，如圖所示。在此實施例中，電阻R'代表p井的電阻，在該p井中形成光電二極體與NMOS電晶體。可用一互補方式來形成一組類似PMOS電路。當然，可使用許多替代配置以使多個像素共用輸出電晶體、重設電晶體、浮動擴散或其他類型的像素電路。例如，多於或少於四個像素可為經組態以共用像素電路的一給定群組之一部份。

以上描述之示例實施例在包括PMOS或NMOS像素的影像感測器中有利地減低井彈跳。在其他實施例中，可使用不同類型之像素電路，亦可使用不同類型之信號時序及電荷平衡配置。

影像感測器14可包含額外取樣與讀出電路，例如，諸如通常在對像素陣列進行取樣與讀出中利用的其它習知行電路及行電路被普遍地用於。該附加電路已為熟悉此項技術者所熟知而於本文中不予以詳細描述。

已特定參考其某些特殊示例性實施例來詳細描述本發

明，但當然隨附申請專利範圍提出之本發明範疇內之改變及修改會係有效的。例如，可使用替代像素陣列組態及其他類型之取樣、讀出電路及處理程序，來使用其他類型之影像感測器及數位成像器件。同樣，結合示例實施例之特定設想並不需要應用於替代實施例中。此等及其他替代實施例對熟悉此項技術者而言顯然係容易的。

【圖式簡單說明】

圖1A係一數位相機的一方塊圖，數位相機具有併入根據本發明之一示例性實施例的取樣與讀出電路的一影像感測器。

圖1B係圖1A之影像感測器的一方塊圖。

圖2與圖3係PMOS及NMOS像素電路各自的原理圖，其可被實施於圖1B之影像感測器中。

圖4係包括圖2之PMOS像素電路的一影像感測器之一部份之一代表視圖，其形成於該影像感測器的一p型基板上的n井中。

圖5係與圖2相似之PMOS像素電路的原理圖，但其顯示之電容可根據本發明之一示例性實施例而被調整。

圖6係一時序圖，其繪示圖5之PMOS像素電路之操作。

圖7係一時序圖，其繪示圖5之像素電路的一NMOS版本之操作。

圖8係一像素陣列之一部份之原理圖，其繪示NMOS像素電路之一實例，該NMOS像素電路內多重像素共用一輸出電晶體及一重設電晶體。

【主要元件符號說明】

10	數位相機
12	成像階段
14	影像感測器
16	處理器
18	記憶體
20	顯示器
22	其他輸入/輸出(I/O)元件
30	像素陣列
32	可控信號產生器
34	信號處理電路
100	PMOS像素
102	光電二極體
110	NMOS像素
112	光電二極體
120	n井
122	p型基板
124	p+擴散區域
126	p+擴散區域
128	p+擴散區域
130	n+接觸
150	第一輸出電壓位準
160	第二輸出電壓位準
800	像素電路

812	光電二極體
N1	NMOS傳送電晶體
N2	NMOS輸出電晶體
N3	NMOS重設電晶體
P1	PMOS傳送電晶體
P2	PMOS輸出電晶體
P3	PMOS重設電晶體
R	井電阻
RG OTHER	其他RG信號
RG SELECTED	選擇RG信號
TG SELECTED	選擇TG信號
TIME	時間
VOLTAGE	電壓

七、申請專利範圍：

1. 一種影像感測器，其包括：

一像素陣列，其包含

複數個像素，其具有至少一像素，該至少一像素包含具有一經調適以接收一傳輸信號的一閘極端子之一第一電晶體，其設置於一感光性元件及一浮動擴散之間；

一第二電晶體，其包含連接至該浮動擴散之一閘極端子、連接至一像素電源線之一第一擴散區域、及連接至一像素輸出線之一第二擴散區域；及

一第三電晶體，其包含一經調適以接收一重設信號的一閘極端子，其設置於該浮動擴散及該第一擴散區域之間，其中一或多個像素係連接至該第二電晶體及該第三電晶體及各感光性元件、浮動擴散、第一擴散區域及第二擴散區域形成於一第一傳導性類型之一井中；及

與該像素陣列相關聯之取樣與讀出電路；

其中在讀出該像素陣列之一選定群組之像素中之一或多個個像素的同時，該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，且在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之一預定時間內，該像素陣列之一未選定群組之像素之一重設信號從一作用中狀態轉變為一非作用中狀態，及其中該影像感測器經組態以滿足一電荷平衡方程式係給定為：

$$C_{RG}\Delta V_{RG} + C_{PP}\Delta V_{PP} \cong 0 ,$$

其中 C_{RG} 係介於該第三電晶體之該閘極端子與該井之間之電容， C_{PP} 係介於該像素電源線及該井之間之電容， ΔV_{RG} 係該重設信號在從其作用中狀態轉變為其非作用中狀態之該轉變中該重設信號之電壓位準之一變化量，及 ΔV_{PP} 係該像素電源線信號從其非作用中狀態至其作用中狀態之該轉變中該像素電源線信號之電壓位準之一變化量。。

2. 如請求項1之影像感測器，其中該取樣與讀出電路包括一可控信號產生器，該可控信號產生器耦接至該像素陣列且經組態以產生該像素電源線信號及該重設信號中之至少一者。
3. 如請求項1之影像感測器，其中
該一第一傳導性類型之該井係於一第二傳導性類型之一基板上。
4. 如請求項1之影像感測器，其中在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之該預定時間係少於或等於500奈秒。
5. 如請求項1之影像感測器，其中在完成該讀出該一或多個像素的同時，該像素電源線信號從其作用中狀態轉變為其非作用中狀態，且在該像素電源線信號從其作用中狀態轉變為其非作用中狀態後之一預定時間內，該重設信號從其非作用中狀態轉變為其作用中狀態。
6. 如請求項5之影像感測器，其中該像素電源線信號從作用中狀態轉變至非作用中狀態後之該預定時間係少於或

等於大約500奈秒。

7. 如請求項1之影像感測器，其中該讀出一選定群組之像素中之一或多個像素包括：讀出一選定列之像素中的像素；及該重設信號係施加至與一或多個未選定列之像素相關聯之複數個重設電晶體中的各者。
8. 如請求項1之影像感測器，其中如果該兩個量值 $|C_{RG}\Delta V_{RG}|$ 與 $|C_{PP}\Delta V_{PP}|$ 係在彼此之25%內，則滿足該電荷平衡方程式。
9. 如請求項3之影像感測器，其中該第一電晶體、該第二電晶體及該第三電晶體包括PMOS電晶體，且該井包括形成於該影像感測器之一p型基板上之一n井。
10. 如請求項3之影像感測器，其中該第一電晶體、該第二電晶體及該第三電晶體包括NMOS電晶體，且該井包括形成於該影像感測器之一n型基板上之一p井。
11. 一種用於配合包括一像素陣列之一影像感測器的方法，該方法包括：

在讀出該像素陣列之一選定群組像素之一或多個像素的同時，控制該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，及在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之一預定時間內，控制該像素陣列之一未選定群組之像素之一重設信號以使其從一作用中狀態轉變為一非作用中狀態；其中該影像感測器經組態以滿足一電荷平衡方程式，該電荷平衡方程式指定與該像素電源線信號及該重設信號中之

各自轉變相關聯之一井中之經估計電荷位移。

12. 如請求項11之方法，其中在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之該預定時間係少於或等於500奈秒。
13. 如請求項11之方法，進一步包括在完成該讀出該一或多個像素的同時，控制該像素電源線信號從一非作用中狀態轉變為一作用中狀態，及在該像素電源線信號從其作用中狀態轉變為其非作用中狀態後之一預定時間內，控制該重設信號以使其從其非作用中狀態轉變為其作用中狀態。
14. 如請求項13之方法，其中該像素電源線信號從其作用中狀態轉變至其非作用中狀態後之該預定時間係少於或等於大約500奈秒。
15. 一種數位成像器件，其包括：
 - 一影像感測器；及
 - 一或多個處理元件，該一或多個處理元件經組態以處理該影像感測器之輸出以產生一數位影像；其中該影像感測器包括：
 - 一像素陣列包含
 - 複數個像素，其具有至少一像素，該至少一像素包含具有一經調適以接收一傳輸信號的一閘極端子之一第一電晶體，其設置於一感光性元件及一浮動擴散之間；
 - 一第二電晶體，其包含連接至該浮動擴散之一閘極

端子、連接至一像素電源線的一第一擴散區域、及連接至一像素輸出線的一第二擴散區域；及

一第三電晶體，其包含一經調適以接收一重設信號的一閘極端子，其設置於該浮動擴散及該第一擴散區域之間，其中一或多個像素係連接至該第二電晶體及該第三電晶體；及

與該像素陣列相關聯之取樣與讀出電路；

其中在讀出該像素陣列之一選定群組之像素之一或多個像素的同時，該陣列之一像素電源線信號從一非作用中狀態轉變為一作用中狀態，且在該像素電源線信號從其非作用中狀態轉變為其作用中狀態之前之一預定時間內，該像素陣列之一未選定群組之像素之一重設信號從一作用中狀態轉變為一非作用中狀態，及其中該影像感測器經組態以滿足一電荷平衡方程式，該電荷平衡方程式指定與該像素電源線信號及該重設信號中之各自轉變相關聯之一井中之經估計電荷位移。

16. 如請求項15之數位成像器件，其中該成像器件包括一數位相機。

八、圖式：

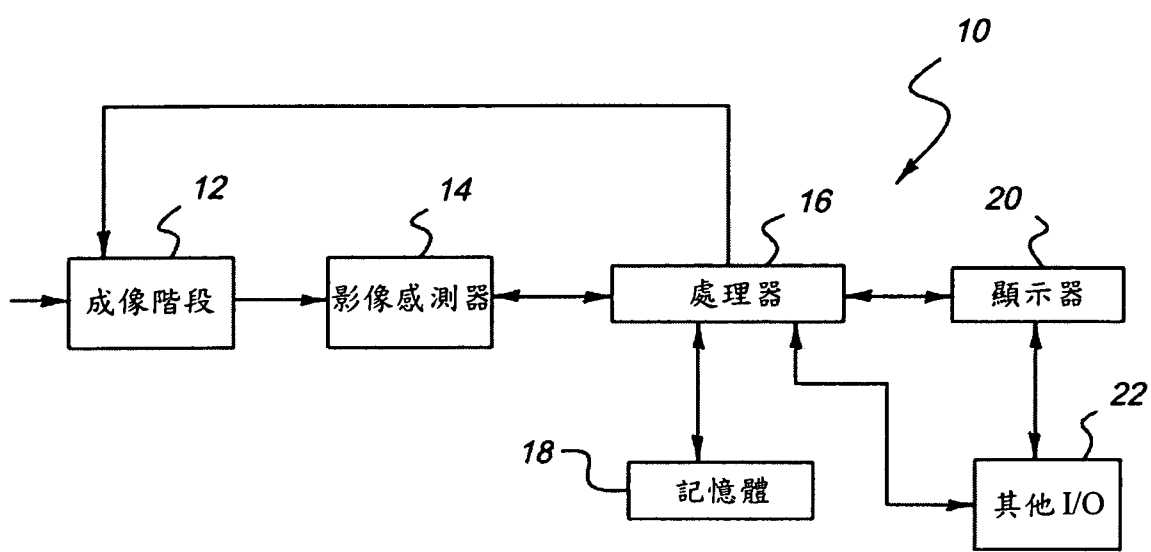


圖 1A

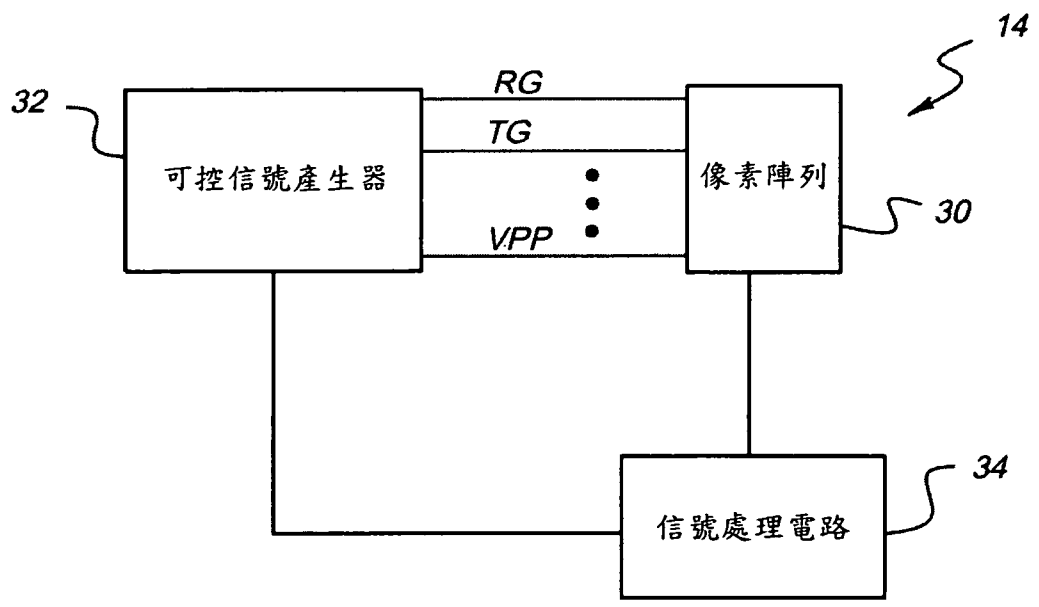


圖 1B

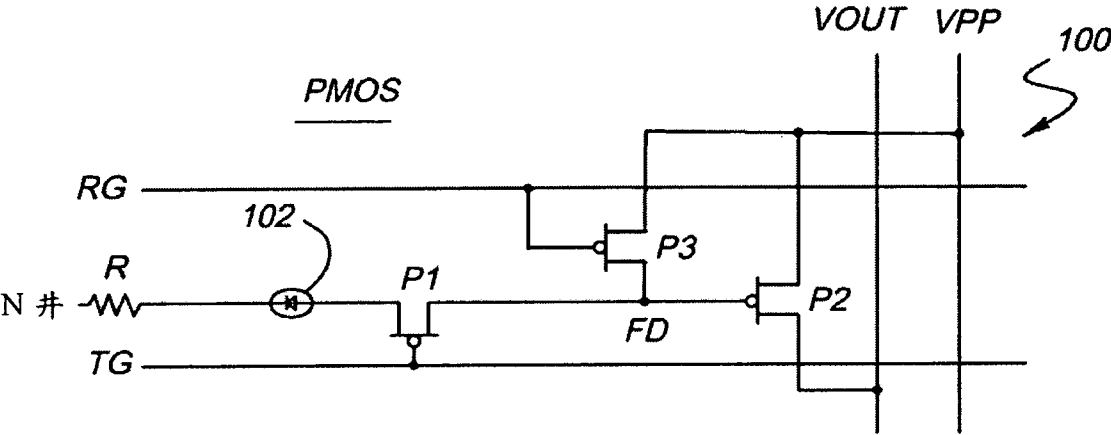


圖 2

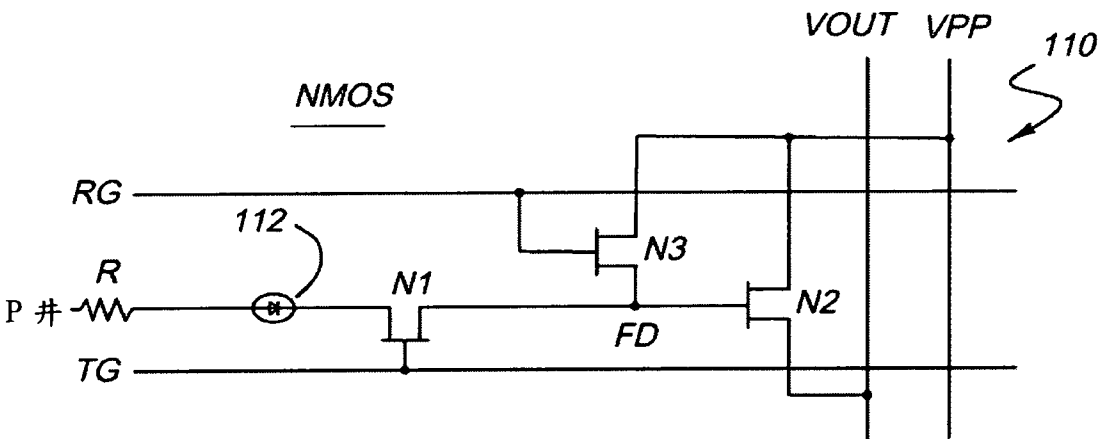


圖 3

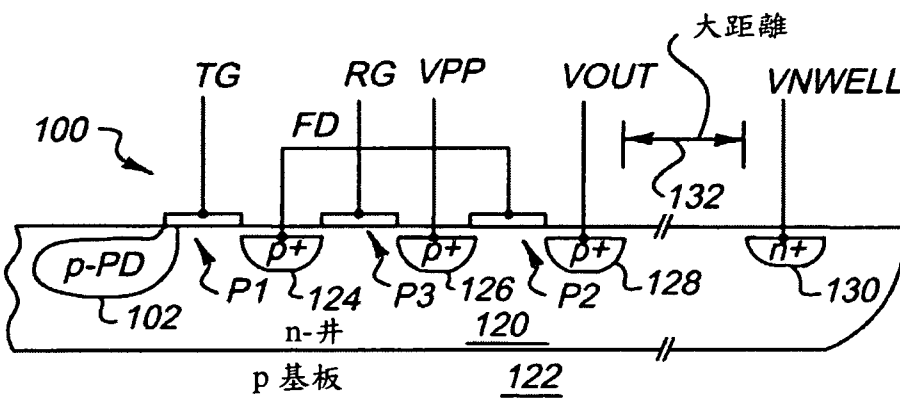


圖 4

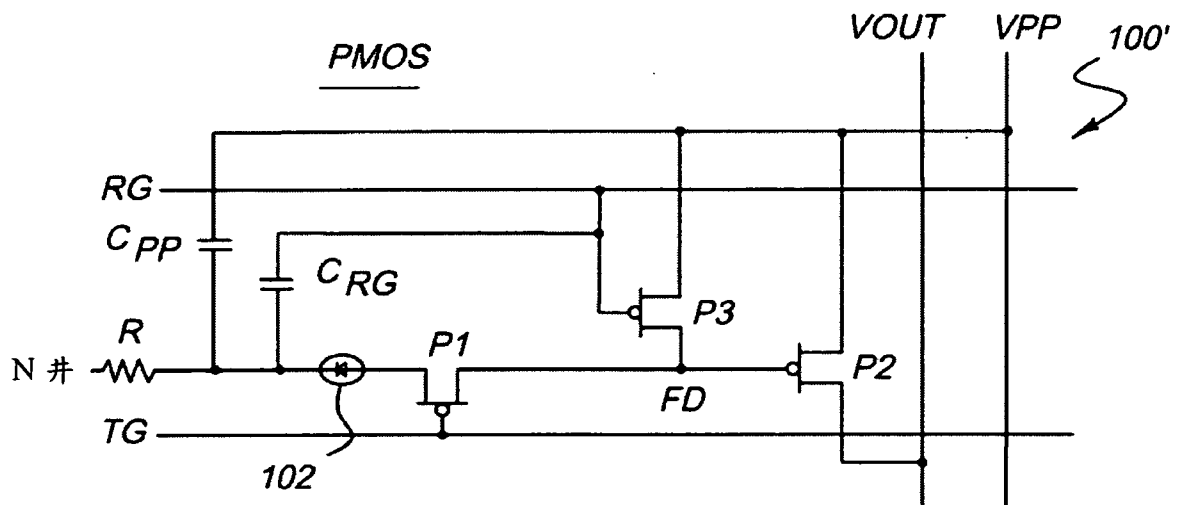


圖 5

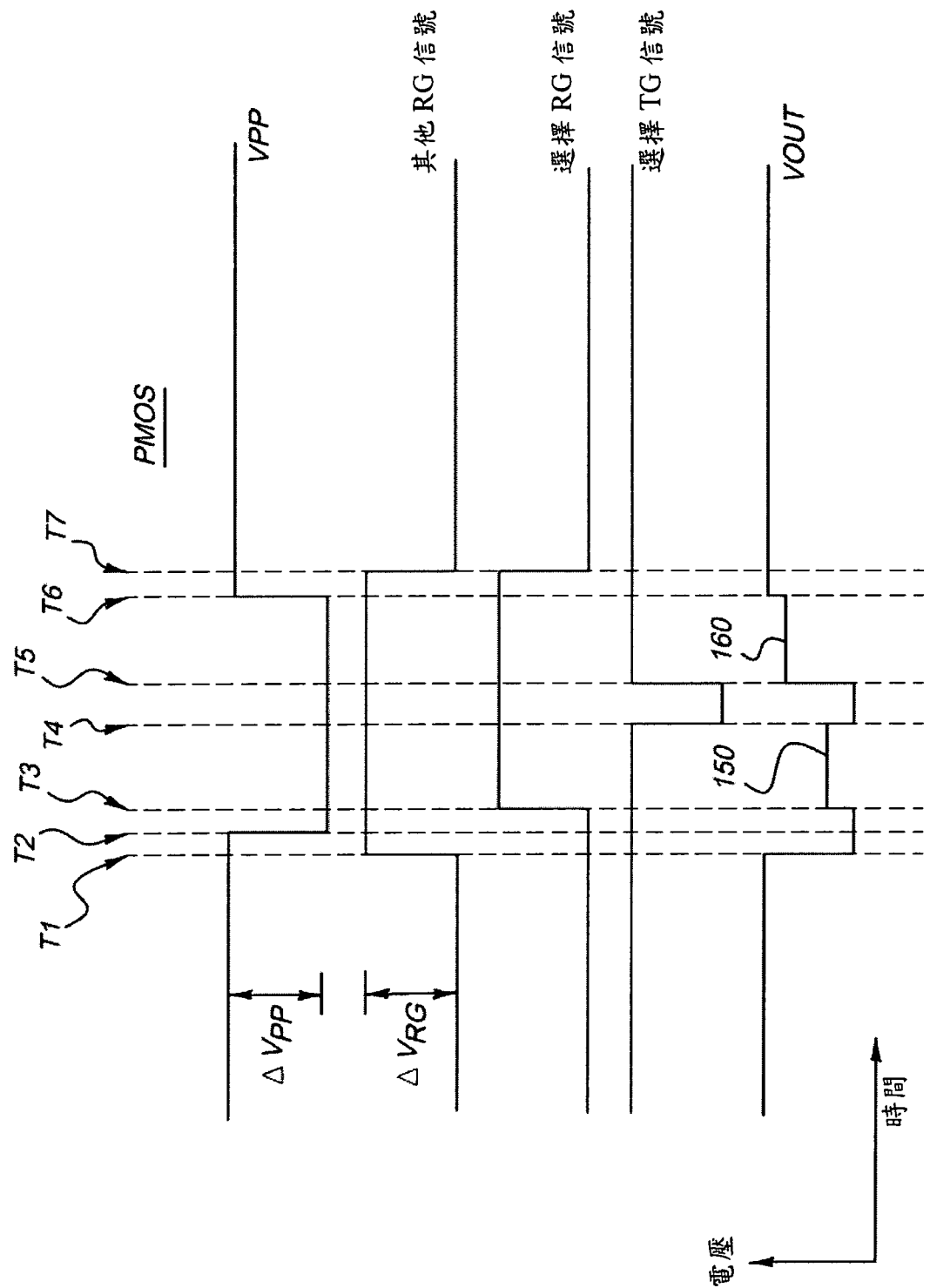


圖 6

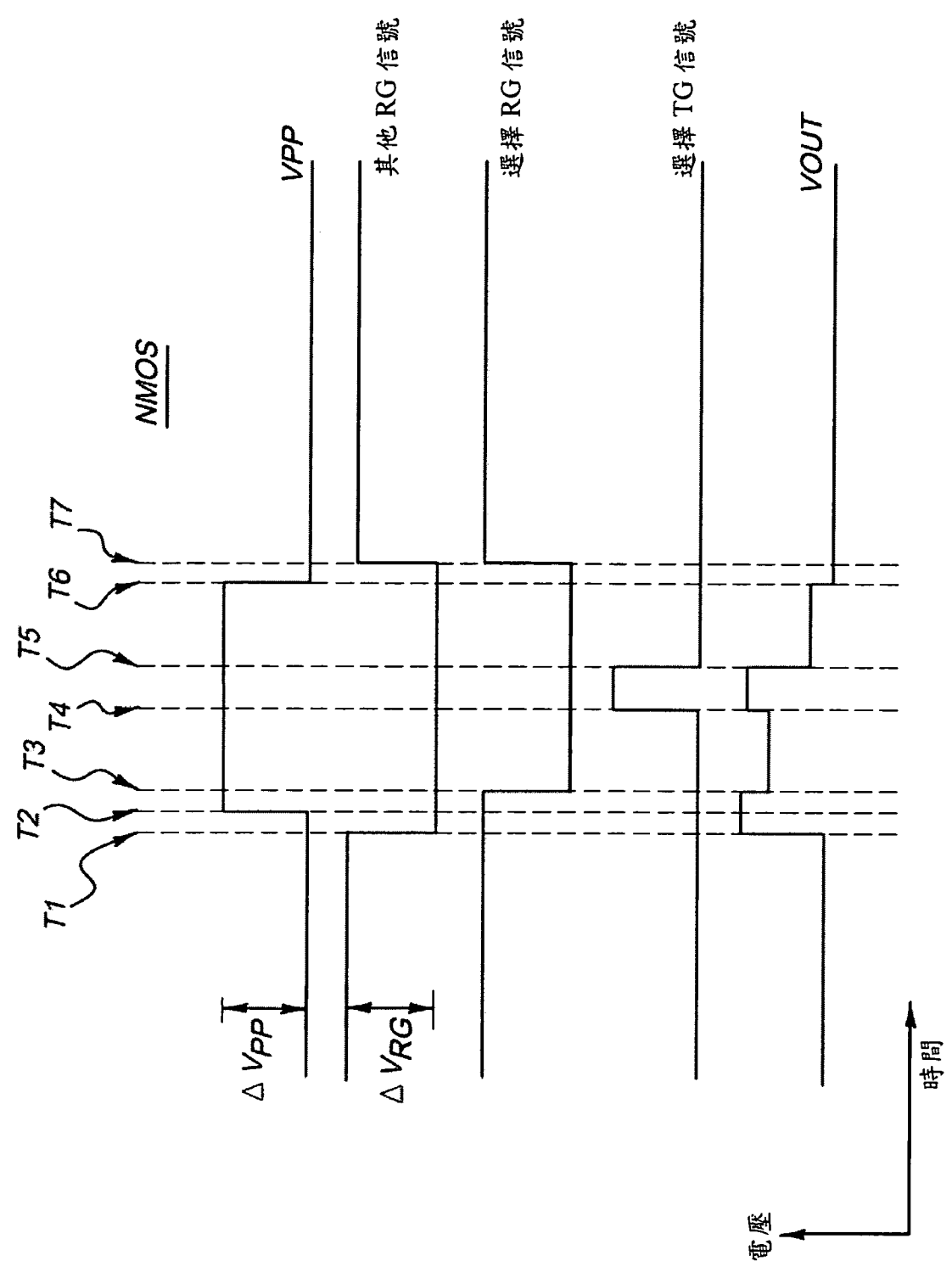


圖 7

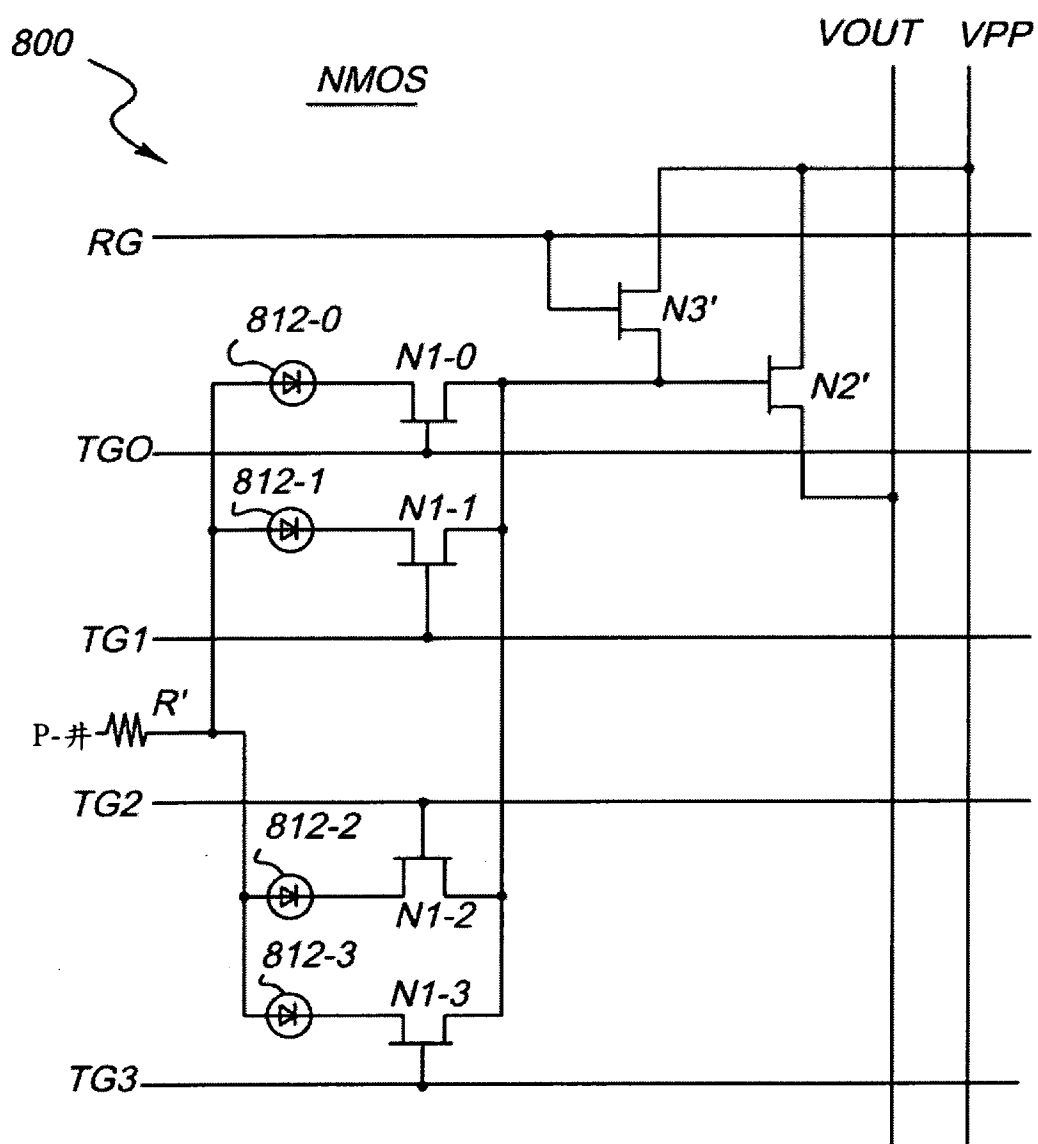


圖 8