

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-88322
(P2007-88322A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int. Cl. F I テーマコード (参考)
 H O 1 L 29/78 (2006.01) H O 1 L 29/78 3 O 1 G 5 F 1 4 O

審査請求 未請求 請求項の数 13 O L (全 17 頁)

(21) 出願番号	特願2005-277166 (P2005-277166)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年9月26日 (2005.9.26)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

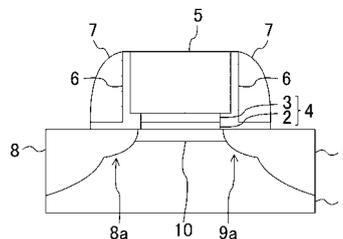
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高誘電体をゲート絶縁膜に用いた半導体装置において、リーク電流及び寄生容量を低減できるようにする。

【解決手段】 半導体装置は、半導体基板 1 の上部に互いに間隔をおいて形成されたソース領域 8 及びドレイン領域 9 と、半導体基板 1 におけるソース領域 8 及びドレイン領域 9 の間に形成されたチャネル領域 10 と、チャネル領域 10 の上に形成された第 1 の誘電体膜 2 と、第 1 の誘電体膜 2 の上に形成され、第 1 の誘電体膜 2 よりも高い誘電率を持つ第 2 の誘電体膜 3 と、第 2 の誘電体膜 3 におけるソース領域 8 側及びドレイン領域 9 側の各端面上に形成され、第 2 の誘電体膜 3 よりも低い誘電率を持つ第 3 の誘電体膜 6 と、第 2 の誘電体膜 3 及び第 3 の誘電体膜 6 の上に形成されたゲート電極 5 とを有している。



【選択図】 図 1

【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板の上部に互いに間隔をおいて形成されたソース領域及びドレイン領域と、

前記半導体基板における前記ソース領域及びドレイン領域の間に形成されたチャネル領域と、

前記半導体基板の前記チャネル領域の上に形成された第 1 の誘電体膜と、

前記第 1 の誘電体膜の上に形成され、前記第 1 の誘電体膜よりも高い誘電率を有する第 2 の誘電体膜と、

10

前記第 2 の誘電体膜における前記ソース領域側の端面及びドレイン領域側の端面のうち少なくとも前記ドレイン領域側の端面上に形成され、前記第 2 の誘電体膜よりも低い誘電率を有する第 3 の誘電体膜と、

前記第 2 の誘電体膜及び第 3 の誘電体膜の上に形成されたゲート電極とを備えていることを特徴とする半導体装置。

【請求項 2】

前記第 3 の誘電体膜は、前記ゲート電極の側面上にも形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極と前記半導体基板との間に位置する前記第 3 の誘電体膜の膜厚は、前記第 1 の誘電体膜の膜厚と前記第 2 の誘電体膜の膜厚との和よりも大きいことを特徴とする請求項 1 又は 2 に記載の半導体装置。

20

【請求項 4】

前記ソース領域における前記チャネル領域側の端部及び前記ドレイン領域における前記チャネル領域側の端部のうち少なくとも前記ドレイン領域における前記チャネル領域側の端部は、前記ゲート電極の下方で且つ前記第 3 の誘電体膜の下側に位置することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 2 の誘電体膜は、酸化ハフニウム、酸化ジルコニウム及び酸化アルミニウムのうちの少なくとも 1 つを含むことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

30

【請求項 6】

前記第 3 の誘電体膜は、酸素及び窒素のうち少なくとも一方とシリコンとを含むことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

半導体基板の上に、第 1 の誘電体膜と該第 1 の誘電体膜よりも高い誘電率を有する第 2 の誘電体膜を順次形成する工程 (a) と、

前記第 2 の誘電体膜の上にゲート電極を形成する工程 (b) と、

前記工程 (b) よりも後に、前記ゲート電極におけるゲート長方向側の両端部のうちの少なくとも一方の端部の下側に位置する前記第 2 の誘電体膜をエッチングすることにより、前記ゲート電極の端部と前記半導体基板との間に空隙を形成する工程 (c) と、

40

前記空隙に、前記第 2 の誘電体膜よりも低い誘電率を有する第 3 の誘電体膜を形成する工程 (d) と、

前記工程 (d) よりも後に、前記半導体基板における前記ゲート電極の両側方の領域に前記ゲート電極をマスクとしてイオン注入を行なうことにより、ソース領域及びドレイン領域をそれぞれ形成する工程 (e) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 8】

前記工程 (c) において、前記空隙は、前記第 2 の誘電体膜における少なくともドレイン領域を形成する側の端部に形成することを特徴とする請求項 7 に記載の半導体装置の製

50

造方法。

【請求項 9】

前記工程(c)において、前記空隙の下側に位置する前記第1の誘電体膜をもエッチングすることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項 10】

前記工程(c)において、前記空隙の下側に位置する前記半導体基板の上部をもエッチングすることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項 11】

前記工程(a)において、前記第2の誘電体膜には、酸化ハフニウム、酸化ジルコニウム及び酸化アルミニウムのうちの少なくとも1つを含む誘電体を用いることを特徴とする請求項7～10のいずれか1項に記載の半導体装置。

10

【請求項 12】

前記工程(d)において、前記第3の誘電体膜には、酸素及び窒素のうちの少なくとも一方とシリコンとを含む誘電体を用いることを特徴とする請求項7～11のいずれか1項に記載の半導体装置の製造方法。

【請求項 13】

前記工程(d)において、前記第3の誘電体膜を形成する際に、前記ゲート電極の側面上に、前記第3の誘電体膜からなるオフセットスペーサを形成することを特徴とする請求項7～12のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、高誘電体膜をゲート絶縁膜に用いた電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来、大規模集積回路(LSI: large scale integrated circuit)における高集積化及び動作の高速化に伴ない、回路の基本素子であるMIS(metal insulator semiconductor)型トランジスタは、スケールリング則に従って微細化されてきている。スケールリング則は、MIS型トランジスタにおけるゲート電極のゲート長及びゲート絶縁膜の膜厚等の寸法を同時に微細化することにより、トランジスタの電気的特性を向上させることを可能とする。ここで、例えばゲート電極におけるゲート長を $0.1\mu\text{m}$ 以下に設定する場合には、ゲート絶縁膜の酸化膜換算膜厚(EOT: equivalent oxide thickness)を約 2nm 以下とする必要がある。

30

【0003】

ところが、従来の酸化シリコン(SiO_2)からなるゲート絶縁膜を 2nm 以下とすると、該ゲート絶縁膜を介した直接トンネル電流によるリーク電流が増大して、LSIの消費電力が増大してしまうという問題がある。そこで、近年、ゲート絶縁膜の構成材料に高誘電体(high-k)膜を用いる手法が提案されている。

40

【0004】

高誘電体とは、一般に、比誘電率が4程度の SiO_2 よりも高い比誘電率を持つ誘電体であり、例えば、酸化ハフニウム(HfO_2)、酸化ジルコニウム(ZrO_2)又は酸化アルミニウム(Al_2O_3)等が挙げられる。このような、高誘電体をゲート絶縁膜に用いることにより、誘電率が高い分だけ、逆にゲート絶縁膜の物理的な膜厚を大きくすることができる。従って、EOTを小さくしながら、直接トンネル電流によるリーク電流を低減することが可能となる。

【0005】

高誘電体をゲート絶縁膜に用いたMIS型の電界効果トランジスタには、例えば図11に示す構造がある(例えば、特許文献1を参照)。図11に示すように、シリコンから

50

なる半導体基板 101 の上には、 SiO_2 又は SiON からなる第 1 の誘電体膜 102 と HfO_2 からなる第 2 の誘電体膜 103 により構成されたゲート絶縁膜 104 とが形成されている。ゲート絶縁膜 104 の上には、ドーパントポリシリコンからなるゲート電極 105 が形成され、該ゲート電極 105 の両側面上で且つゲート絶縁膜 104 の上には絶縁性のサイドウォール 106 がそれぞれ形成されている。半導体基板 101 におけるサイドウォール 106 の外側の領域には、それぞれ不純物注入によりソース領域 107 及びドレイン領域 108 が形成され、半導体基板 101 におけるゲート絶縁膜 104 の下側で且つソース領域 107 とドレイン領域 108 との間の領域にはチャンネル領域 109 が形成されている。

【0006】

このような構造により、ゲート絶縁膜 104 の EOT が 2 nm 以下に確保される結果、直接トンネル電流によるリーク電流を低減し、且つ、チャンネル領域 109 における固定電荷の発生及びキャリアの移動度の劣化を防ぐことができるので、MIS 型トランジスタの低消費電力化及び大電流化が図られている。

【特許文献 1】特開 2003 - 69011 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、前記従来のゲート絶縁膜 104 に高誘電体を含む MIS 型トランジスタには、以下の問題がある。

【0008】

図 12 は図 11 のチャンネル領域 109 における A - B 線に沿った電界強度分布のシミュレーション結果を表わしている。電圧の印加条件は、ゲート電圧を 0 V とし、ドレイン電圧を 1 V としている。図 12 から明らかなように、半導体基板 101 における電界強度は、ゲート電極 105 におけるドレイン領域 108 側の端部（符号 GD）において最大となる。

【0009】

図 13 は図 11 に示す従来の MIS 型トランジスタにおいて、EOT の値と半導体基板 101 内における最大電界強度との関係をシミュレーションにより求めた結果を表わし、図 14 は図 11 に示す従来の MIS 型トランジスタにおいて、EOT の値と半導体基板 101 内におけるドレイン領域 108 と半導体基板 101 との間に流れるリーク電流との関係をシミュレーションにより求めた結果を表わしている。ここでは、ゲート長を 75 nm とし、第 1 の誘電体膜 102 の膜厚を 1 nm とし、第 2 の誘電体膜の膜厚を 4 nm とし、該第 2 の誘電体膜（高誘電体膜）の比誘電率を変化させている。電圧の印加条件は、トランジスタのオフ状態に相当するゲート電圧を 0 V とし、ドレイン電圧を 1 V としている。

【0010】

図 13 から明らかなように、半導体基板 101 内における最大電界強度は EOT の値が小さくなる程高くなる。これは、EOT の値が小さくなるに従ってゲート絶縁膜 104 の誘電率が高くなるためである。また、図 14 から明らかなように、EOT の値が小さくなる程ドレイン・基板間のリーク電流は増加する。これは、図 13 に示したように、EOT の値が小さくなるに従って半導体基板 101 内の最大電界強度が高くなるためである。

【0011】

図 15 は図 11 に示す従来の MIS 型トランジスタにおいて、EOT の値と寄生容量値との関係をシミュレーションにより求めた結果を表わしている。ここで、寄生容量はトランジスタのオン状態とオフ状態との平均値である。また、ゲート長を 75 nm とし、第 1 の誘電体膜 102 の膜厚を 1 nm とし、第 2 の誘電体膜 103 の膜厚を 4 nm とし、該第 2 の誘電体膜 103 の比誘電率を変化させている。動作周波数は 10 MHz としており、電圧の印加条件は、トランジスタのオフ状態ではゲート電圧を 0 V とし、ドレイン電圧を 1 V としている。トランジスタのオン状態ではゲート電圧は 1 V とし、ドレイン電圧を 1 V としている。図 15 から明らかなように、寄生容量は EOT の値が小さくなるに従って

10

20

30

40

50

増加する。これは、容量値がゲート絶縁膜 104 の誘電率に比例するためである。

【0012】

以上のように、図 11 に代表される従来の M I S 型半導体装置は、E O T の値を小さくするにつれて、チャンネル領域におけるゲート電極のドレイン側の端部の下方において電界強度が増大する。このため、トランジスタに生じるリーク電流が増加して、消費電力が増大するという問題がある。さらに、E O T の値を小さくするにつれて、トランジスタの寄生容量が増大して、素子の高速化を図れないという問題がある。

【0013】

本発明は、前記従来の問題を解決し、高誘電体をゲート絶縁膜に用いた半導体装置において、リーク電流及び寄生容量を低減できるようにすることを目的とする。

10

【課題を解決するための手段】

【0014】

前記の目的を達成するため、本発明は、半導体装置を、高誘電体を含むゲート絶縁膜の少なくともドレイン側の端部であって、半導体基板とゲート電極との間に誘電率がゲート絶縁膜を構成する高誘電体よりも低い他の誘電体膜を設ける構成とする。

【0015】

具体的に、本発明に係る半導体装置は、半導体基板と、半導体基板の上部に互いに間隔を置いて形成されたソース領域及びドレイン領域と、半導体基板におけるソース領域及びドレイン領域の間に形成されたチャンネル領域と、半導体基板のチャンネル領域の上に形成された第 1 の誘電体膜と、第 1 の誘電体膜の上に形成され、第 1 の誘電体膜よりも高い誘電率を有する第 2 の誘電体膜と、第 2 の誘電体膜におけるソース領域側の端部及びドレイン領域側の端面のうち少なくともドレイン領域側の端面上に形成され、第 2 の誘電体膜よりも低い誘電率を有する第 3 の誘電体膜と、第 2 の誘電体膜及び第 3 の誘電体膜の上に形成されたゲート電極とを備えていることを特徴とする。

20

【0016】

本発明の半導体装置によると、ゲート電極の下側であって、第 2 の誘電体膜よりも低い誘電率を有する第 3 の誘電体膜が第 2 の誘電体膜におけるソース領域側の端面及びドレイン領域側の端面のうち少なくともドレイン領域側の端面上に形成されているため、半導体基板（チャンネル領域）におけるゲート電極の少なくともドレイン領域側の端部の下方に生じる電界の集中が緩和される。このため、オフ時のリーク電流を低減できるので、消費電力の低減を図ることができる。さらに、ゲート絶縁膜に第 2 の誘電体膜よりも低い誘電率を有する第 3 の誘電体膜が含まれることになって寄生容量が低減するため、動作の高速化をも図ることができる。

30

【0017】

本発明の半導体装置において、第 3 の誘電体膜はゲート電極の側面上にも形成されることが好ましい。

【0018】

本発明の半導体装置において、ゲート電極と半導体基板との間に位置する第 3 の誘電体膜の膜厚は、第 1 の誘電体膜の膜厚と第 2 の誘電体膜の膜厚との和よりも大きいことが好ましい。

40

【0019】

本発明の半導体装置において、ソース領域におけるチャンネル領域側の端部及びドレイン領域におけるチャンネル領域側の端部のうち少なくともドレイン領域におけるチャンネル領域側の端部は、ゲート電極の下方で且つ第 3 の誘電体膜の下側に位置することが好ましい。

【0020】

本発明の半導体装置において、第 2 の誘電体膜は、酸化ハフニウム、酸化ジルコニウム及び酸化アルミニウムのうちの少なくとも 1 つを含むことが好ましい。

【0021】

本発明の半導体装置において、第 3 の誘電体膜は、酸素及び窒素のうちの少なくとも一方とシリコンとを含むことが好ましい。

50

【0022】

本発明に係る半導体装置の製造方法は、半導体基板の上に、第1の誘電体膜と該第1の誘電体膜よりも高い誘電率を有する第2の誘電体膜を順次形成する工程(a)と、第2の誘電体膜の上にゲート電極を形成する工程(b)と、工程(b)よりも後に、ゲート電極におけるゲート長方向側の両端部のうちの少なくとも一方の端部の下側に位置する第2の誘電体膜をエッチングすることにより、ゲート電極の端部と半導体基板との間に空隙を形成する工程(c)と、空隙に第2の誘電体膜よりも低い誘電率を有する第3の誘電体膜を形成する工程(d)と、工程(d)よりも後に、半導体基板におけるゲート電極の両側方の領域にゲート電極をマスクとしてイオン注入を行なうことにより、ソース領域及びドレイン領域をそれぞれ形成する工程(e)とを備えていることを特徴とする。

10

【0023】

本発明の半導体装置の製造方法によると、ゲート電極におけるゲート長方向側の両端部のうちの少なくとも一方の端部の下側に位置する第2の誘電体膜をエッチングすることにより、ゲート電極の端部と半導体基板との間に空隙を形成し、その後、形成した空隙に第2の誘電体膜よりも低い誘電率を有する第3の誘電体膜を形成する。これにより、本発明の半導体装置を得ることとすることができるため、リーク電流及び寄生容量を低減することができる。

【0024】

本発明の半導体装置の製造方法は、工程(c)において、空隙は第2の誘電体膜における少なくともドレイン領域を形成する側の端部に形成することが好ましい。

20

【0025】

本発明の半導体装置の製造方法は、工程(c)において、空隙の下側に位置する第1の誘電体膜をもエッチングすることが好ましい。

【0026】

また、本発明の半導体装置の製造方法は、工程(c)において、空隙の下側に位置する半導体基板の上部をもエッチングすることが好ましい。

【0027】

本発明の半導体装置の製造方法は、工程(a)において、第2の誘電体膜には、酸化ハフニウム、酸化ジルコニウム及び酸化アルミニウムのうちの少なくとも1つを含む誘電体を用いることが好ましい。

30

【0028】

本発明の半導体装置の製造方法は、工程(d)において、第3の誘電体膜には、酸素及び窒素のうちの少なくとも一方とシリコンとを含む誘電体を用いることが好ましい。

【0029】

本発明の半導体装置の製造方法は、工程(d)において、第3の誘電体膜を形成する際に、ゲート電極の側面上に第3の誘電体膜からなるオフセットスペーサを形成することが好ましい。

【発明の効果】

【0030】

本発明に係る半導体装置及びその製造方法によると、ゲート電極の下側で且つゲート絶縁膜の少なくともドレイン領域側の端部に高誘電体からなるゲート絶縁膜よりも誘電率が低い他の誘電体膜を形成するため、チャンネル領域の少なくともドレイン領域側の端部での電界の集中が緩和されるので、オフ時のリーク電流を低減できると共に寄生容量が低減する。

40

【発明を実施するための最良の形態】

【0031】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0032】

図1は本発明の第1の実施形態に係る半導体装置の断面構成を示している。図1に示す

50

ように、例えば、シリコン (Si) からなる半導体基板 1 の上には、酸素及び窒素の少なくとも一方を含むシリコンからなる第 1 の誘電体膜 2 及び酸化ハフニウム (HfO_2) 等の高誘電体からなる第 2 の誘電体膜 3 により構成されたゲート絶縁膜 4 とが形成されている。ゲート絶縁膜 4 の上には、ドーパントシリコンからなるゲート電極 5 が形成されている。ゲート電極 5 におけるゲート長方向側の両端部は、ゲート絶縁膜 4 の上に庇状に張り出すように形成されている。

【0033】

ゲート電極 5 におけるゲート長方向側の両側面上及びゲート絶縁膜 4 の両端面上には、第 2 の誘電体膜 3 よりも誘電率が低い、例えば酸素及び窒素の少なくとも一方を含むシリコンからなるオフセットスペーサとしての第 3 の誘電体膜 6 がスペーサ膜として形成されている。なお、第 1 の実施形態においては、ゲート絶縁膜 4 における第 1 の誘電体膜 2 及び第 2 の誘電体膜 3 のいずれの端部もゲート電極 5 の側面から内側に掘り込まれるように形成されているが、少なくとも第 2 の絶縁膜 3 の端部が掘り込まれていればよい。

10

【0034】

第 1 の誘電体膜 2 と第 3 の誘電体膜 6 とは、同一の材料又は異なる材料のいずれでもよく、例えば、酸化シリコン (SiO_2)、窒化シリコン (Si_3N_4)、酸窒化シリコン (SiON) を用いることができる。また、酸化シリコンには、成膜温度が比較的の高い HTO (high temperature oxide) 膜を用いることができる。

【0035】

高誘電体からなる第 2 の誘電体膜 3 には、比誘電率が 2.4 程度の HfO_2 に代えて、比誘電率が 1.1 から 1.8.5 程度の酸化ジルコニウム (ZrO_2) 又は比誘電率が 8.5 から 1.0 程度の酸化アルミニウム (Al_2O_3) を用いることができる。また、第 2 の誘電体膜 3 は、 HfO_2 からなる単層膜、又は $\text{HfAlO}_2 / \text{HfO}_2$ 、 $\text{HfAlO}_2 / \text{HfO}_2 / \text{HfAlO}_2$ 等の積層膜であってもよい。

20

【0036】

第 3 の誘電体膜 6 におけるゲート電極 5 及びゲート絶縁膜 4 の反対側の面上には、絶縁性のサイドウォール 7 がそれぞれ形成されている。なお、第 3 の誘電体膜 6 におけるサイドウォール 7 と半導体基板 1 との間に位置する部分は、特に設ける必要はない。

【0037】

半導体基板 1 におけるサイドウォール 7 の外側の領域には、それぞれ不純物注入によりソース領域 8 及びドレイン領域 9 が形成され、半導体基板 1 におけるゲート絶縁膜 4 の下側で且つソース領域 8 及びドレイン領域 9 の間の領域にはチャンネル領域 10 が形成されている。なお、ソース領域 8 及びドレイン領域 9 におけるチャンネル領域 10 側の端部は、それぞれエクステンション領域 8a、9a を構成している。

30

【0038】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0039】

図 2 (a) ~ 図 2 (d) 及び図 3 (a) ~ 図 3 (c) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

40

【0040】

まず、図 2 (a) に示すように、シリコンからなる半導体基板 1 の主面上に、熱酸化法により厚さが 1.5 nm の犠牲酸化膜 11 を形成する。その後、犠牲酸化膜 11 を介してホウ素 (B) 等の P 型不純物イオンを閾値電圧調整用にイオン注入し、続いて、熱処理を行なって、注入した不純物イオンを活性化させることにより、半導体基板 1 の上部に P 型のチャンネル領域 10 を形成する。

【0041】

次に、図 2 (b) に示すように、フッ酸 (HF) を含む水溶液によるウェットエッチングにより犠牲酸化膜 11 を除去する。その後、半導体基板 1 を例えば温度が 1000 程度の酸化性雰囲気の中で熱処理で酸化して、半導体基板 1 の主面上に厚さが 1 nm の酸化シリ

50

コン (SiO_2) からなる第 1 の誘電体膜 2 を形成する。続いて、有機金属化学的気相成長 (MOCVD: metal organic chemical vapor deposition) 法により、第 1 の誘電体膜 2 の上に厚さが 4 nm の HfO_2 からなる第 2 の誘電体膜 3 を形成する。

【0042】

次に、図 2 (c) に示すように、第 2 の誘電体膜 3 の上に、ゲート電極形成用の導電膜 5 A を形成する。ここでは、導電膜 5 A としてリン (P) をドーブした厚さが 150 nm のポリシリコンを用いている。その後、導電膜 5 A の上にレジスト材を塗布し、リソグラフィ法により、導電膜 5 A におけるゲート形成領域 50 を覆うレジストパターン 12 を形成する。

10

【0043】

次に、図 2 (d) に示すように、形成したレジストパターン 12 をマスクとして、塩素 (Cl_2) 又は臭化水素 (HBr) を主成分とするエッチングガスにより、導電膜 5 A に対してドライエッチングを行なうことにより、導電膜 5 A からゲート電極 5 を形成する。なお、このドライエッチ工程においては、第 2 の誘電体膜 3 をエッチングストップとして用いる。また、このとき、第 2 の誘電体膜 3 におけるゲート形成領域 50 を除く部分、さらには第 1 の誘電体膜 2 におけるゲート形成領域 50 を除く部分は除去してもよい。

【0044】

次に、図 3 (a) に示すように、レジストパターン 12 を酸素プラズマを用いたアッシングにより除去する。その後、第 1 の誘電体膜 2 及び第 2 の誘電体膜 3 に対して、フッ酸を含む水溶液を用いた等方性のウェットエッチングにより、第 2 の誘電体膜 3 及び第 1 の誘電体膜 2 におけるゲート電極 5 の端部と半導体基板 1 との間に挟まれた部分を除去する。これにより、ゲート電極 5 のゲート長方向側の両端部と半導体基板 1 (チャンネル領域 10) との間に空隙 5 a がそれぞれ形成される。これと同時に、ゲート電極 5 の下側であって、第 1 の誘電体膜 2 及び第 2 の誘電体膜 3 から、それぞれゲート長方向側の両端部が除去されてなるゲート絶縁膜 4 が形成される。

20

【0045】

次に、図 3 (b) に示すように、例えば、温度が 700 程度の熱 CVD 法により、ゲート電極 5 の上面及び両側面、ゲート絶縁膜 4 の空隙 5 a から露出した両端面並びに半導体基板 1 の主面上に、厚さが 5 nm の酸化シリコン (HTO) からなる第 3 の誘電体膜 6 を形成する。 HTO はステップカバレッジ性に優れるため、ゲート電極 5 と半導体基板 1 との間の空隙 5 a にも効率良く第 3 の誘電体膜 6 が形成される。また、第 3 の誘電体膜 6 におけるゲート電極 5 の側面上部分はオフセットスペーサ膜 6 a として用いることができる。続いて、ゲート電極 5 及びオフセットスペーサ膜 6 a をマスクとして、半導体基板 1 に対して、例えば注入エネルギーが 4 keV で、注入ドーズ量が $1 \times 10^{15} / \text{cm}^2$ の注入条件でヒ素 (As) イオンを基板面にほぼ垂直に注入することにより、半導体基板 1 におけるゲート電極 5 の両側方にエクステンション領域 8 a、9 a をそれぞれ形成する。なお、ここでは、第 3 の誘電体膜 6 を半導体基板 1 上に残したまま、エクステンション領域 8 a、9 a を形成するイオン注入を行なったが、イオン注入の前に、第 3 の誘電体膜 6 におけるオフセットスペーサ膜 6 a として機能しない部分を異方性エッチングにより除去してもよい。

30

40

【0046】

次に、図 3 (c) に示すように、減圧 CVD 法により、第 3 の誘電体膜 6 を覆うようにシリコン窒化 (Si_3N_4) 膜を形成した後、シリコン窒化膜に対してドライエッチングによるエッチバックを行なうことにより、ゲート電極 5 の両側面上に、窒化シリコンからなるサイドウォール 7 を形成する。その後、露出した第 3 の誘電体膜 6 に対してドライエッチングによるエッチバックを行なうことにより、ゲート電極 5 とサイドウォール 7 との間及びサイドウォール 7 と半導体基板 1 との間にスペーサ膜となるほぼ L 字型の第 3 の誘電体膜 6 (オフセットスペーサ膜 6 a を含む) を形成する。なお、図 3 (b) に示す工程において、イオン注入の前に第 3 の誘電体膜 6 におけるオフセットスペーサ膜 6 a として機

50

能しない部分を異方性エッチングにより除去した場合には、サイドウォール 7 を形成した後第 3 の誘電体膜 6 に対してドライエッチングによるエッチバックを行なう必要はなく、ゲート電極 5 とサイドウォール 7 との間にスペーサ膜となるほぼ I 字型の第 3 の誘電体膜 6 が形成される。続いて、ゲート電極 5、第 3 の誘電体膜 6 (オフセットスペーサ膜 6 a) 及びサイドウォール 7 をマスクとして、半導体基板 1 に対して、注入エネルギーが 20 keV で、注入ドーズ量が $4 \times 10^{15} / \text{cm}^2$ の注入条件で、As イオンを基板面にほぼ垂直に注入する。その後、温度が 1000 で 3 秒間の熱処理を行なって、注入した As イオンを活性化させることにより、半導体基板 1 におけるサイドウォール 7 の両側方の領域で、且つエクステンション領域 8 a、9 a とそれぞれ接続されたソース領域 8 及びドレイン領域 9 を形成する。これにより、図 1 に示す半導体装置を形成することができる。

10

【0047】

なお、図 3 (a) の工程において、高誘電体からなる第 2 の誘電体膜 3 に、第 1 の誘電体膜 2 とエッチング選択比が大きく異なる材料、すなわち、第 2 の誘電体膜 3 が第 1 の誘電体膜 2 と比べてエッチングレートが大きい材料を用いると、空隙 5 a が第 2 の誘電体膜 3 にのみ形成される。

【0048】

また、ゲート電極 5 の上面のみを選択的に露出した後、ニッケル (Ni) 又はコバルト (Co) 等の金属膜を堆積し、その後、熱処理により堆積した金属膜とゲート電極 5 を構成するポリシリコンとを完全にシリサイド化することにより、ゲート電極 5 を FULLY SILICIDED 化してもよい。

20

【0049】

以下、第 1 の実施形態に係る半導体装置の電気的特性について図面を用いて説明する。

【0050】

図 4 は第 1 の実施形態に係る半導体装置と従来の半導体装置とにおいて、ゲート絶縁膜の EOT の値と半導体基板内における最大電界強度との関係をシミュレーションにより求めた結果を表わし、図 5 は第 1 の実施形態に係る半導体装置と従来の半導体装置とにおいて、ゲート絶縁膜の EOT の値と半導体基板内におけるドレイン領域と半導体基板との間に流れるリーク電流との関係をシミュレーションにより求めた結果を表わしている。ここでは、ゲート長を 75 nm とし、第 1 の誘電体膜の膜厚を 1 nm とし、第 2 の誘電体膜の膜厚を 4 nm とし、該第 2 の誘電体膜 (高誘電体膜) の比誘電率を変化させている。電圧の印加条件は、トランジスタのオフ状態に相当するゲート電圧を 0 V とし、ドレイン電圧を 1 V としている。

30

【0051】

図 4 に示すように、第 1 の実施形態 (本発明) に係る半導体装置は、従来の半導体装置と比べて、チャンネル領域におけるドレイン領域側の最大電界強度を低減することができる。特に、ゲート絶縁膜 4 の EOT の値が小さくなる程、従来の半導体装置と比べて最大電界強度を低減することができる。これは、本実施形態においては、チャンネル領域 10 における電界が集中するドレイン領域 9 側の端部であって、ゲート電極 5 のドレイン領域 9 側の下側に、誘電率が第 2 の誘電体膜 3 よりも低い第 3 の誘電体膜 6 を形成しているためである。

40

【0052】

また、図 5 に示すように、第 1 の実施形態 (本発明) に係る半導体装置は、従来の半導体装置と比べてオフ時のリーク電流を低減することができる。特に、EOT の値が小さくなる程、従来の半導体装置よりもリーク電流を低減することができる。これは、本実施形態に係る半導体装置は、図 4 に示したように、チャンネル領域 10 のドレイン領域 9 側の端部において最大電界強度を低減できるためである。これにより、従来の半導体装置と比べてリーク電流が低下するため、消費電力の低減を図ることができる。

【0053】

なお、図 1 に示すように、ドレイン領域 9 におけるチャンネル領域 10 側の端部は、ゲート電極 5 の下方で且つ第 3 の誘電体膜 6 の下側に位置することが好ましい。

50

【0054】

図6は第1の実施形態に係る半導体装置と従来の半導体装置とにおいて、ゲート絶縁膜のEOTの値と寄生容量値との関係をシミュレーションにより求めた結果を表わしている。ここで、寄生容量はトランジスタのオン状態とオフ状態との平均値である。また、ゲート長を75nmとし、第1の誘電体膜の膜厚を1nmとし、第2の誘電体膜の膜厚を4nmとし、該第2の誘電体膜の比誘電率を変化させている。動作周波数は10MHzとしており、電圧の印加条件は、トランジスタのオフ状態ではゲート電圧を0Vとし、ドレイン電圧を1Vとしている。トランジスタのオン状態ではゲート電圧は1Vとし、ドレイン電圧を1Vとしている。図6に示すように、第1の実施形態(本発明)に係る半導体装置は、従来の半導体装置と比べて寄生容量値を低減することができる。特に、ゲート絶縁膜のEOTの値が小さくなる程、従来の半導体装置と比べて寄生容量値を低減することができる。これは、本実施形態に係る半導体装置は、ゲート電極5のドレイン領域9側の端部の下側に、誘電率が第2の誘電体膜3よりも低い第3の誘電体膜6を形成しているためである。

10

【0055】

すなわち、第1の実施形態においては、ゲート電極5におけるドレイン領域9側の端部の下側に、誘電率がチャネル領域10の上方に形成された高誘電体からなる第2の誘電体膜3よりも低い第3の誘電体膜6を設けているため、半導体装置における寄生容量値を低減することができる。これにより、従来の半導体装置と比べて寄生容量値を低減できるので、動作の高速化を図ることができる。

20

【0056】

(第1の実施形態の一変形例)

以下、本発明の第1の実施形態の一変形例について図面を参照しながら説明する。

【0057】

図7は本発明の第1の実施形態の一変形例に係る半導体装置の断面構成を示している。図7において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0058】

図7に示すように、本変形例においては、高誘電体からなる第2の誘電体膜3よりも誘電率が低い第3の誘電体膜6の膜厚を、ゲート電極5の両端部の下側においてゲート絶縁膜4の膜厚よりも大きくしている。これにより、第1の実施形態により得られる効果よりもさらに高い効果を得ることができる。

30

【0059】

本変形例に係る半導体装置は、図8に示すように、第1の誘電体膜2及び第2の誘電体膜3からフッ酸を含む水溶液によるエッチングによりゲート絶縁膜4を形成すると共に、ゲート電極5のゲート長方向側の両端部にそれぞれ空隙5aを形成する工程において、半導体基板1の上部をエッチングして凹部領域を設けることにより形成することができる。

【0060】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

40

【0061】

図9は本発明の第2の実施形態に係る半導体装置の断面構成を示している。図9において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0062】

第2の実施形態は、図12に示したように、チャネル領域10のドレイン領域9側の端部が最も電界強度が高くなることから、第1の誘電体膜2及び第2の誘電体膜3のうちのドレイン領域9側の端部のみを除去して、除去されてなる空隙5aに第2の誘電体膜3よりも誘電率が低い第3の誘電体膜6を形成する。

【0063】

50

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0064】

図10(a)~図10(c)は、本発明の第2の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0065】

まず、図10(a)に示すように、第1の実施形態に係る半導体装置の製造方法と同様に、半導体基板1の上部にイオン注入により、チャンネル領域10を形成する。続いて、半導体基板1の主面上に、厚さが1nmの酸化シリコンからなる第1の誘電体膜2と、厚さが4nmの高誘電体例えば HfO_2 からなる第2の誘電体膜3と、ドーフトポリシリコンからなるゲート電極形成用の導電膜を順次形成する。続いて、リソグラフィ法により、導電膜上のゲート形成領域50に第1のレジストパターン22を形成し、その後、形成した第1のレジストパターンをマスクとしたドライエッチングにより、導電膜からゲート電極5と、第1の誘電体2及び第2の誘電体膜3からなるゲート絶縁膜4を形成する。

【0066】

次に、図10(b)に示すように、第1のレジストパターン22を除去した後、ゲート電極5を含む半導体基板1上に、再度レジスト材を塗布し、リソグラフィ法により、半導体基板1におけるドレイン形成領域及びゲート電極5におけるドレイン形成領域側の端部を露出する開口部を有する第2のレジストパターン23を形成する。続いて、形成した第2のレジストパターン23及びゲート電極5をエッチングマスクとしてフッ酸を含む水溶液を用いた等方性のウェットエッチングによって、ゲート絶縁膜4におけるドレイン形成領域側の端部を除去することにより、ゲート電極5のドレイン形成領域側の端部と半導体基板1(チャンネル領域10)との間に空隙5aを形成する。これにより、ゲート電極5の下側であって、第1の誘電体膜2及び第2の誘電体膜3から、ドレイン形成領域側の端部が除去されてなるゲート絶縁膜4が形成される。

【0067】

次に、図10(c)に示すように、第2のレジストパターン22を除去した後、例えば温度が700程度熱CVD法により、ゲート電極5の上面及び両側面、ゲート絶縁膜4の両端面並びに半導体基板1の主面上に、厚さ5nmの酸化シリコン(HTO)からなる第3の誘電体膜6を形成する。

【0068】

その後は、第1の実施形態と同様にして、エクステンション領域8a、9aを、ゲート電極5及び第3の誘電体膜6におけるゲート電極5の側面上部分に形成されたオフセットスペーサ膜6aをマスクとしたイオン注入により形成する。続いて、絶縁性のサイドウォール7をゲート電極5の両側面上に第3の誘電体膜6を介在させて形成した後、ゲート電極5、第3の誘電体膜6(オフセットスペーサ膜6a)及びサイドウォール7をマスクとして、イオン注入により、ソース領域8とドレイン領域9とをそれぞれ形成する。これにより、図9に示す第2の実施形態に係る半導体装置を得る。

【0069】

第2の実施形態によると、チャンネル領域10における電界が集中するドレイン領域9側の端部であって、ゲート電極5のドレイン領域9側の下側にのみ、誘電率が第2の誘電体膜3よりも低い第3の誘電体膜6を形成している。これにより、第1の実施形態と同様の効果を得ることができる。

【0070】

その上、第2の実施形態においては、ゲート絶縁膜4におけるソース領域8側の端部には高誘電体からなる第2の誘電体膜3が残されているため、半導体装置(トランジスタ)としての駆動能力は第1の実施形態よりも高くなる。

【0071】

なお、第2の実施形態においても、第1の実施形態の一変形例と同様に、図10(b)に示す工程において、ゲート電極5のドレイン形成領域側の下端部と半導体基板1との間

10

20

30

40

50

に空隙 5 a を形成する際に、半導体基板 1 の上部に対してエッチングを行なってもよい。さらには、ゲート電極 5 を F U S I 化してもよい。

【 0 0 7 2 】

また、第 1 の実施形態及びその変形例並びに第 2 の実施形態において、ゲート絶縁膜 4 は、酸化シリコンからなる第 1 の誘電体膜 2 と高誘電体からなる第 3 の誘電体膜 3 との 2 層構造としたが、2 層構造に限られない。すなわち、ゲート絶縁膜 4 は、高誘電体からなる単層膜又は高誘電体膜を含む 3 層以上の積層構造としてもよい。

【 0 0 7 3 】

また、第 1 の誘電体膜 2 として、熱酸化法によるシリコン酸化膜を用いたが、一酸化窒素 (N O) 雰囲気又は一酸化二窒素 (N ₂ O) 雰囲気により形成した酸化窒化シリコン (S i O N) 膜を用いることができる。

10

【 0 0 7 4 】

また、酸化シリコンからなる第 3 の誘電体膜 6 を熱 C V D 法により形成したが、例えば温度が 8 0 0 程度の酸化性雰囲気の熱処理により酸化して形成してもよい。また、第 3 の誘電体膜 6 の組成は酸化シリコンに限られず、前述したように、例えば酸化窒化シリコン又は窒化シリコン等の窒素及び酸素の少なくとも一方とシリコンとを含む誘電体が好ましい。

【 0 0 7 5 】

また、ゲート電極 5 の端部と半導体基板 1 との間に形成した空隙 5 a を必ずしも第 3 の誘電体膜 6 によって必ずしも埋め込まれる必要はない。たとえ空隙 5 a の全部又は一部が残っていたとしても、空隙 5 a の誘電率は酸化シリコン等よりもさらに低くなるだけだからである。

20

【産業上の利用可能性】

【 0 0 7 6 】

本発明に係る半導体装置及びその製造方法は、リーク電流を低減できると共に寄生容量が低減するという効果を有し、特に、高誘電体膜をゲート絶縁膜に用いた M I S 型トランジスタを有する半導体装置及びその製造方法等に有用である。

【図面の簡単な説明】

【 0 0 7 7 】

【図 1】本発明の第 1 の実施形態に係る半導体装置を示す構成断面図である。

30

【図 2】(a) ~ (d) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 3】(a) ~ (c) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 4】本発明の第 1 の実施形態に係る半導体装置と従来の半導体装置とにおける E O T と半導体基板内の最大電界強度との関係をシミュレーションにより求めたグラフである。

【図 5】本発明の第 1 の実施形態に係る半導体装置と従来の半導体装置とにおける E O T とドレイン・基板間のリーク電流との関係をシミュレーションにより求めたグラフである。

【図 6】本発明の第 1 の実施形態に係る半導体装置と従来の半導体装置とにおける E O T と寄生容量との関係をシミュレーションにより求めたグラフである。

40

【図 7】本発明の第 1 の実施形態の一変形例に係る半導体装置を示す構成断面図である。

【図 8】本発明の第 1 の実施形態の一変形例に係る半導体装置の製造方法の要部を示す一工程の構成断面図である。

【図 9】本発明の第 2 の実施形態に係る半導体装置を示す構成断面図である。

【図 1 0】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 1 1】従来の半導体装置 (M I S 型トランジスタ) を示す構成断面図である。

【図 1 2】図 1 1 の A - B 線に沿った電界強度分布をシミュレーションにより求めたグラフである。

50

【図13】従来の半導体装置におけるEOTと半導体基板内の最大電界強度との関係をシミュレーションにより求めたグラフである。

【図14】従来の半導体装置におけるEOTとドレイン・基板間のリーク電流との関係をシミュレーションにより求めたグラフである。

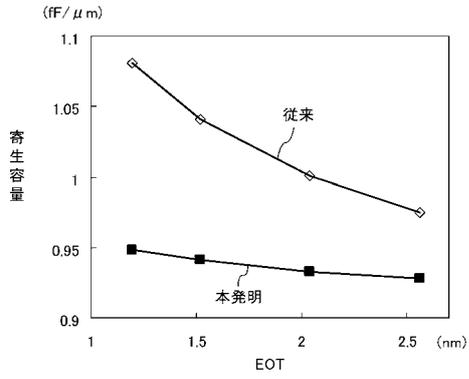
【図15】従来の半導体装置におけるEOTと寄生容量との関係をシミュレーションにより求めたグラフである。

【符号の説明】

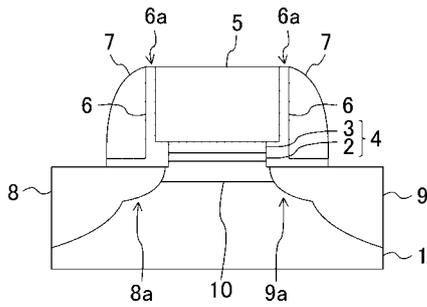
【0078】

- | | | |
|----|----------------|----|
| 1 | 半導体基板 | |
| 2 | 第1の誘電体膜 | 10 |
| 3 | 第2の誘電体（高誘電体膜） | |
| 4 | ゲート絶縁膜 | |
| 5 | ゲート電極 | |
| 5A | 導電膜 | |
| 5a | 空隙 | |
| 50 | ゲート形成領域 | |
| 6 | 第3の誘電体膜（低誘電体膜） | |
| 6a | オフセットスペーサ膜 | |
| 7 | サイドウォール | |
| 8 | ソース領域 | 20 |
| 8a | エクステンション領域 | |
| 9 | ドレイン領域 | |
| 9a | エクステンション領域 | |
| 10 | チャンネル領域 | |
| 11 | 犠牲酸化膜 | |
| 12 | レジストパターン | |
| 22 | 第1のレジストパターン | |
| 23 | 第2のレジストパターン | |

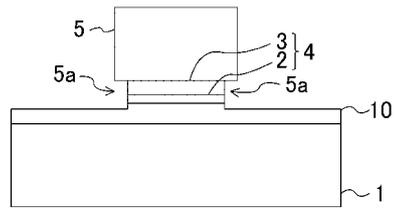
【 図 6 】



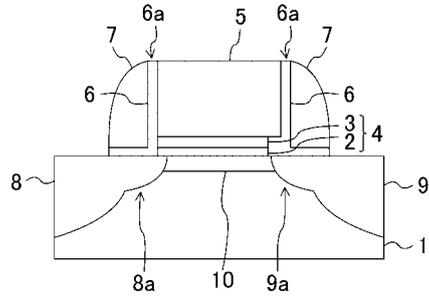
【 図 7 】



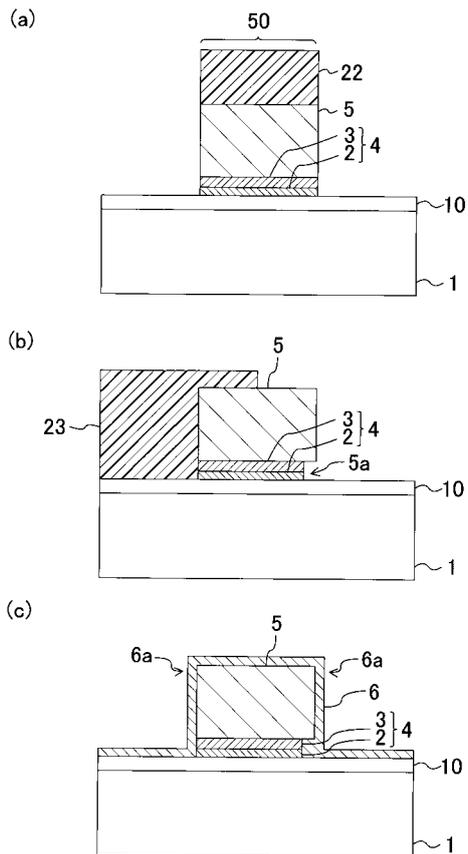
【 図 8 】



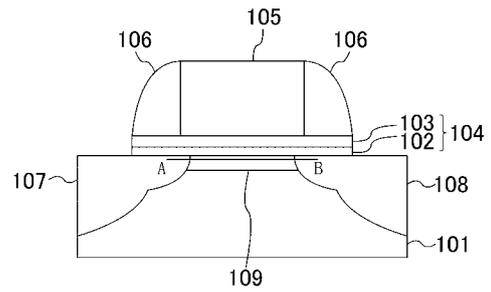
【 図 9 】



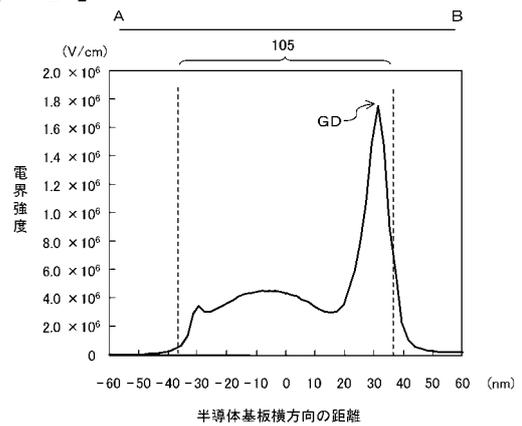
【 図 1 0 】



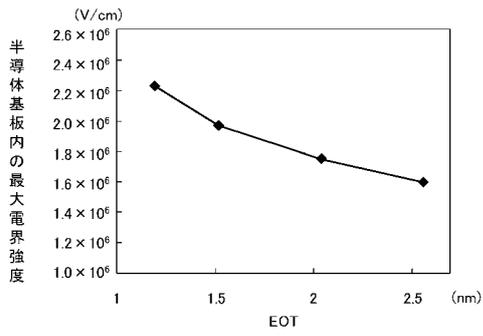
【 図 1 1 】



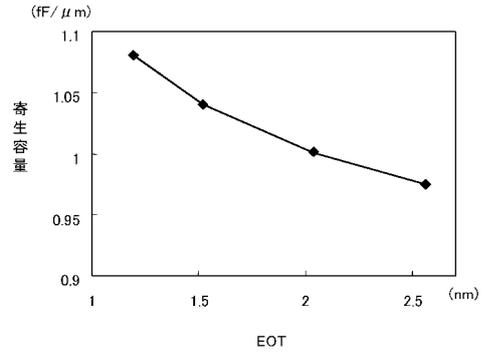
【 図 1 2 】



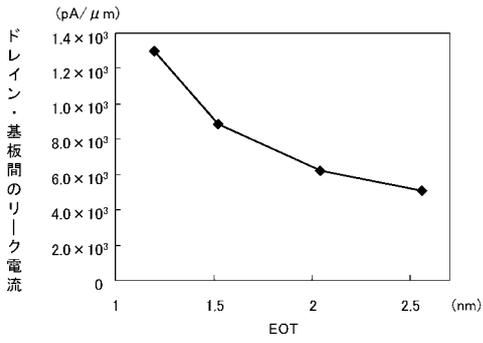
【図 1 3】



【図 1 5】



【図 1 4】



フロントページの続き

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 高見 義則

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F140 AA11 AA24 BA01 BC06 BC17 BD01 BD05 BD07 BD09 BD11
BD13 BD16 BD18 BE07 BE10 BF01 BF04 BF08 BF11 BF18
BG09 BG12 BG14 BG34 BG52 BG53 BG58 BH07 BH14 BK02
BK09 BK13 BK21