

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



(10) 国际公布号
WO 2024/036718 A1

(51) 国际专利分类号:
H01L 23/522 (2006.01)

(21) 国际申请号: PCT/CN2022/123847

(22) 国际申请日: 2022 年 10 月 8 日 (08.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210987111.0 2022年8月17日 (17.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 宛强 (WAN, Qiang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。夏军 (XIA, Jun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。占康澍 (ZHAN, Kangshu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。曲晓帅 (QU, Xiaoshuai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。刘涛 (LIU, Tao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。徐朋辉 (XU, Penghui); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。李森 (LI, Sen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

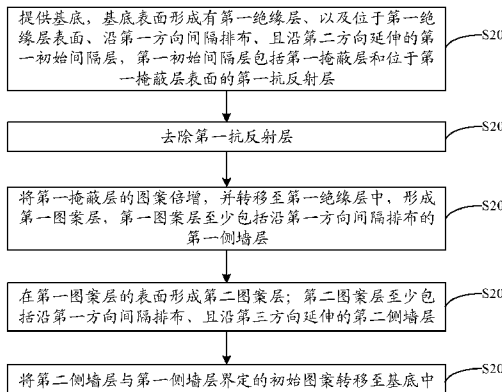


图 2

- S201 Provide a substrate, wherein a first insulating layer and first initial spacer layers located on the surface of the first insulating layer, arranged at intervals in a first direction and extending in a second direction are formed on the surface of the substrate, and the first initial spacer layers comprise a first masking layer and a first anti-reflective layer located on the surface of the first masking layer
- S202 Remove the first anti-reflective layer
- S203 Multiply a pattern of the first masking layer, and transfer the pattern to the first insulating layer to form a first pattern layer, the first pattern layer comprising at least first side wall layers arranged at intervals in the first direction
- S204 Form a second pattern layer on the surface of the first pattern layer, the second pattern layer comprising at least second side wall layers arranged at intervals in the first direction and extending in a third direction
- S205 Transfer an initial pattern defined by the second side wall layers and the first side wall layers into the substrate

(57) Abstract: Embodiments of the present disclosure provide a semiconductor structure and a method for forming same. The method comprises: providing a substrate, wherein a first insulating layer and first initial spacer layers located on the surface of the first insulating layer, arranged at intervals in a first direction and extending in a second direction are formed on the surface of the substrate, and the first initial spacer layers comprise a first masking layer and a first anti-reflective layer located on the surface of the first masking layer; removing the first anti-reflective layer; multiplying a pattern of the first masking layer, and transferring the pattern to the first insulating

(74) 代理人: 北京派特恩知识产权代理有限公司(CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

layer to form a first pattern layer, the first pattern layer comprising at least first side wall layers arranged at intervals in the first direction, forming a second pattern layer on the surface of the first pattern layer, the second pattern layer comprising at least second side wall layers arranged at intervals in the first direction and extending in a third direction; and transferring an initial pattern defined by the second side wall layers and the first side wall layers into the substrate.

(57) 摘要: 本公开实施例提供一种半导体结构及其形成方法, 其中, 所述方法包括: 提供基底, 基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层, 第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层; 去除第一抗反射层; 将第一掩蔽层的图案倍增, 并转移至第一绝缘层中, 形成第一图案层, 第一图案层至少包括沿第一方向间隔排布的第一侧墙层; 在第一图案层的表面形成第二图案层; 第二图案层至少包括沿第一方向间隔排布、且沿第三方向延伸的第二侧墙层; 将第二侧墙层与第一侧墙层界定的初始图案转移至基底中。

半导体结构及其形成方法

相关申请的交叉引用

本公开基于申请号为 202210987111.0、申请日为 2022 年 08 月 17 日、发明名称为“半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构及其形成方法。

背景技术

半导体结构的制造技术中，通常利用光阻及掩膜层，结合光刻及刻蚀工艺形成所需图案，然而，受到光刻工艺局限性的影响，容易使得形成的所需图案产生偏差，从而影响半导体结构的制备良率。

以动态随机存储器（Dynamic Random Access Memory, DRAM）的制造为例，在动态随机存储器的电容管的形成工艺中，通常采用自对准四重成像技术（Self-Aligned Quadruple Patterning, SAQP）进行图案的转移，由于图案的关键尺寸（Critical Dimension, CD）不断缩小，图案密度越来越大，在刻蚀过程中由于刻蚀负载效应，使得侧墙图案的关键尺寸不能准确控制，且在侧墙图案形成过程中，由于刻蚀选择比的问题使得图案底部呈凹凸状，进而影响后续的图案转移，破坏最终形成电容管结构，例如，使得最后形成的电容孔尺寸均匀性差，且会出现刻蚀不足、刻蚀孔桥接以及孔错位等缺陷。

发明内容

有鉴于此，本公开实施例提供一种半导体结构及其形成方法。

第一方面，本公开实施例提供一种半导体结构的形成方法，所述方法包括：

提供基底，所述基底表面形成有第一绝缘层、以及位于所述第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，所述第一初始间隔层包括第一掩蔽层和位于所述第一掩蔽层表面的第一抗反射层；

去除所述第一抗反射层；

将所述第一掩蔽层的图案倍增，并转移至所述第一绝缘层中，形成第一图案层，所述第一图案层至少包括沿所述第一方向间隔排布的第一侧墙层；

在所述第一图案层的表面形成第二图案层；所述第二图案层至少包括沿所述第一方向间隔排布、且沿第三方向延伸的第二侧墙层；所述第一方向、所述第二方向与所述第三方向为所述基底所在平面内任意三个方向；

将所述第二侧墙层与所述第一侧墙层界定的初始图案转移至所述基底中。

在一些实施例中，所述第一抗反射层与所述基底之间的刻蚀选择比为所述第一绝缘层与所述基底之间的刻蚀选择比的 3~10 倍。

在一些实施例中，将所述第一掩蔽层的图案倍增，并转移至所述第一绝缘层中，包括：

在所述第一掩蔽层的表面和所述第一绝缘层的表面形成第二初始覆盖层；

去除位于所述第一掩蔽层顶表面和所述第一绝缘层表面的所述第二初始覆盖层，保留的位于所述第一掩蔽层侧壁的所述第二初始覆盖层，构成所述第一侧墙层。

在一些实施例中，所述第一图案层还包括第一牺牲层；在形成所述第一侧墙层之后，半导体结构的形成方法还包括：

在所述第一侧墙层之间的间隙中形成所述第一牺牲层；

其中, 所述第一侧墙层与所述第一牺牲层的表面平齐。

在一些实施例中, 所述第一初始间隔层通过以下步骤形成:

在所述第一绝缘层表面依次形成第一初始掩膜层和第二初始掩膜层; 所述第一初始掩膜层包括所述第一掩蔽层和所述第一抗反射层;

5 刻蚀所述第二初始掩膜层, 形成沿所述第一方向间隔排列的第二初始间隔层;

在所述第二初始间隔层的侧壁形成第一覆盖层;

通过所述第一覆盖层刻蚀所述第一初始掩膜层, 形成沿所述第一方向交替排列的所述第一初始间隔层。

在一些实施例中, 所述第二初始间隔层通过以下步骤形成:

10 在所述第二初始掩膜层的表面形成具有第一预设图案的第一光刻胶层; 其中, 所述第一预设图案包括沿所述第一方向依次排列、且沿所述第二方向延伸的多个第一子图案, 所述第一子图案暴露出部分第二初始掩膜层;

去除所述第一子图案暴露出的所述第二初始掩膜层, 形成所述第二初始间隔层。

在一些实施例中, 所述第二图案层通过以下步骤形成:

15 在所述第一图案层表面形成第二绝缘层、以及位于所述第二绝缘层表面、沿所述第一方向间隔排列、且沿所述第三方向延伸的第三初始间隔层; 所述第三初始间隔层包括第三掩蔽层和位于所述第三掩蔽层表面的第三抗反射层;

去除所述第三抗反射层; 其中, 所述第三抗反射层与所述基底之间的刻蚀选择比大于所述第二绝缘层与所述基底之间的刻蚀选择比;

20 将所述第三掩蔽层的图案倍增, 并转移至所述第二绝缘层中, 形成所述第二图案层。

在一些实施例中, 所述第三抗反射层与所述基底之间的刻蚀选择比为所述第二绝缘层与所述基底之间的刻蚀选择比的3~10倍。

在一些实施例中, 将所述第三掩蔽层的图案倍增, 并转移至所述第二绝缘层中, 包括:

在所述第三掩蔽层的表面和所述第二绝缘层的表面形成第四初始覆盖层;

25 去除位于所述第三掩蔽层顶表面和所述第一绝缘层表面的所述第四初始覆盖层, 保留的位于所述第三掩蔽层侧壁的所述第四初始覆盖层, 构成所述第二侧墙层。

在一些实施例中, 所述第二图案层还包括第二牺牲层; 在形成所述第二侧墙层之后, 半导体结构的形成方法还包括:

在所述第二侧墙层之间的间隙中形成所述第二牺牲层;

30 其中, 所述第二侧墙层与所述第二牺牲层的底表面平齐。

在一些实施例中, 所述第三初始间隔层通过以下步骤形成:

在所述第二绝缘层表面依次形成第三初始掩膜层和第四初始掩膜层; 所述第三初始掩膜层包括所述第三掩蔽层和所述第三抗反射层;

刻蚀所述第四初始掩膜层, 形成沿所述第一方向间隔排列的第四初始间隔层;

35 在所述第四初始间隔层的侧壁形成第三覆盖层;

通过所述第三覆盖层刻蚀所述第三初始掩膜层, 形成沿所述第一方向交替排列的所述第三初始间隔层。

在一些实施例中, 所述第四初始间隔层通过以下步骤形成:

40 在所述第四初始掩膜层的表面形成具有第二预设图案的第二光刻胶层; 其中, 所述第二预设图案包括沿所述第一方向依次排列、且沿所述第三方向延伸的多个第二子图案, 所述第二子图案暴露出部分第四初始掩膜层;

去除所述第二子图案暴露出的所述第四初始掩膜层, 形成所述第四初始间隔层。

在一些实施例中, 所述基底包括阵列区域和外围区域, 在形成所述第二图案层之后, 所述方法还包括:

45 在所述第二图案层表面具有第三预设图案的第三光刻胶层, 其中, 所述第三预设图案包括暴露出远离所述外围区域的部分所述阵列区域;

将所述初始图案转移至所述第三预设图案暴露出的所述阵列区域对应的基底中。

在一些实施例中, 在形成所述第一图案层之后, 且在形成所述第二图案层之前, 半导体结构的形成方法还包括:

50 形成位于所述第一图案层表面的介质层。

在一些实施例中, 所述基底包括第四掩膜层; 将所述第二侧墙层与所述第一侧墙层界定的初始

图案转移至所述基底中，包括：

以所述第一侧墙层和所述第二侧墙层为掩膜，将所述初始图案转移至所述第四掩膜层中，形成具有初始图案的第四掩膜层；所述初始图案包括多个第三子图案。

在一些实施例中，所述基底还包括衬底，所述第四掩膜层位于所述衬底表面；在形成具有所述初始图案的第四掩膜层之后，所述方法还包括：

去除所述第三子图案暴露的部分所述衬底，以将所述初始图案转移至所述衬底中。

在一些实施例中，所述基底还包括叠层结构，所述第四掩膜层位于所述叠层结构表面；在形成具有所述初始图案的第四掩膜层之后，所述方法还包括：

去除所述第三子图案暴露的部分所述叠层结构，以将所述初始图案转移至所述叠层结构中。

在一些实施例中，所述初始图案包括电容孔图案。

第二方面，本公开实施例提供一种半导体结构，所述半导体结构通过上述权利要求所述的半导体结构的形成方法形成，所述半导体结构包括：

基底；所述基底包括初始图案；所述初始图案通过第一图案层中的第一侧墙层和第二图案层中的第二侧墙层界定；

其中，所述第一图案层位于所述基底的表面，所述第一侧墙层沿所述第一方向间隔排布、且沿第二方向延伸；所述第二图案层位于所述第一图案层的表面，所述第二侧墙层沿所述第一方向间隔排布、且沿第三方向延伸；所述第一方向、所述第二方向与所述第三方向为所述基底所在平面内任意三个方向。

本公开实施例提供的半导体结构及其形成方法，在基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层，在形成第一图案层的过程中，由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比，因此，在去除第一抗反射层的过程中不会损伤第一绝缘层，使得第一掩蔽层底部的图案不会出现凹凸结构，减小了第一掩蔽层向下转移过程中的刻蚀负载效应，如此，可以使得第一侧墙层的关键尺寸容易控制，不会影响后续的图案转移，进而也不会破坏最终形成半导体结构。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1a~1c 为相关技术中半导体结构形成过程中的结构示意图；

图 2 为本公开实施例提供的半导体结构形成方法的流程示意图；

图 3a~图 3l、图 4a~图 4p 为本公开实施例提供的半导体结构形成过程中的结构示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其它的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接

到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

相关技术中，在动态随机存储器的电容管的形成工艺中，通常采用 SAQP 工艺进行图案转移，形成电容孔。图 1a~图 1c 为相关技术中半导体结构形成过程中的结构示意图，如图 1a 所示，相关技术中的半导体结构被划分为阵列区域 (Array Area, AA) 和外围区域 (Periphery Area, PA)，相关技术中的半导体结构包括衬底 (图 1a 和图 1b 中未示出)、位于衬底 10 表面的掩膜层 100、位于掩膜层 100 表面的第一图案层 A、以及位于第一图案层 A 表面的第二图案层 B。其中，掩膜层 100 包括依次堆叠的第一硬掩膜层 101、第二硬掩膜层 102 和第三硬掩膜层 103，第一图案层 A 包括沿图 1a 中 X 轴方向间隔排列的第一侧墙层 111，第二图案层 B 包括沿 X 轴方向间隔排列的第二侧墙层 112；相关技术中，在形成第一图案层 A 和第二图案层 B 之后，会将第一图案层 A 和第二图案层 B 界定的电容孔图案依次向下转移，例如，先转移至第三硬掩膜层 103 中，再通过刻蚀后的第三硬掩膜层转移至第二硬掩膜层 102 中，形成具有电容孔 104 的刻蚀后的第二硬掩膜层 102a (如图 1b 所示)，最后再通过刻蚀后的第二硬掩膜层 102a 转移至第一硬掩膜层 101 和衬底中。

相关技术中，在形成第一侧墙层和第二图案层时，由于图案的关键尺寸不断缩小，图案密度越来越大，在刻蚀过程中由于刻蚀负载效应，使得第一侧墙层 111 和第二侧墙层 112 的关键尺寸不能准确控制，且由于刻蚀选择比的问题使得第一图案层 A 和第二图案层 B 底部呈凹凸状 (如图 1a 中虚线框所示)，进而影响后续的图案转移，破坏最终形成电容管结构，例如，使得最后形成的电容孔尺寸均匀性差 (如图 1c 中的电容孔 104-1、电容孔 104-2 和电容孔 104-3 所示)，且会出现刻蚀不足 (如图 1b 中虚线框所示)、刻蚀孔桥接以及孔错位 (如图 1c 所示) 等缺陷。

另外，由于光刻工艺的局限性，使得在阵列区域 AA 的角落容易产生伪电容孔 103 (如图 1c 所示)，造成阵列区域 AA 边缘图案异常，进而影响动态随机存储器的性能和制备良率。

为解决上述技术问题，本公开实施例提供一种新的半导体结构的形成方法，能够精确地控制侧墙图案的关键尺寸，使得侧墙图案底部不会呈凹凸状，进而不会影响后续的图案转移过程，也不会造成最终形成的图案损坏；通过本公开实施例提供的半导体结构的形成方法可以使得最后形成的图案尺寸均匀性好，不会出现刻蚀不足、刻蚀孔桥接以及刻蚀孔错位等缺陷。

在介绍本公开实施例之前，先定义一下以下实施例可能用到的描述立体结构的四个方向。基底可以包括处于正面的顶表面以及处于与正面相对的背面的底表面；在忽略顶表面和底表面的平整度的情况下，定义与基底顶表面和底表面的相交 (例如垂直) 的方向为第四方向。在基底的顶表面和底表面 (即基底所在的平面) 方向上，定义三个彼此相交的方向，例如可以定义第一初始间隔层的延伸方向为第二方向，定义第二侧墙层的延伸方向为第三方向，第二方向与第三方向呈锐角或者钝角，第一方向与第二方向和第三方向相交，基于第一方向、第二方向和第三方向可以确定基底的平面方向。本公开实施例中，定义第一方向为 X 轴方向，定义第二方向为 Y1 轴方向，定义第三方向为 Y2 轴方向，定义第四方向为 Z 轴方向。

本公开实施例提供一种半导体结构的形成方法，图 2 为本公开实施例提供的半导体结构形成方法的流程示意图，如图 2 所示，半导体结构的形成方法包括以下步骤：

步骤 S201，提供基底，基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层。

本公开实施例中，基底至少包括衬底，衬底可以包括硅衬底、锗衬底、锗化硅衬底、绝缘体上硅 (Silicon-On-Insulator, SOI) 衬底或绝缘体上锗 (Germanium on Insulator, GOI) 衬底等；衬底还可以为包括其他元素半导体或化合物半导体的衬底，例如砷化镓、磷化铟或碳化硅等。在其它实施例中，衬底还可以为进行离子掺杂后的衬底，例如为 P 型掺杂的衬底或者 N 型掺杂的衬底。

在一些实施例中，基底还可以包括叠层结构，叠层结构用于形成半导体结构的电容孔，叠层结构包括底部支撑层、底部牺牲层、中间支撑层、顶部牺牲层和顶部支撑层。

在一些实施例中，基底还可以包括位于衬底表面或者叠层结构表面的多层掩膜层，多层掩膜层用于转移将要传递至衬底或者叠层结构表面的图案。

5 本公开实施例中，第一绝缘层可以作为掩膜层，第一绝缘层可以是旋涂的含硅抗反射涂层（Silicon Anti-Reflection Coating, Si-ARC）。

本公开实施例中，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层，其中，第一掩蔽层可以是旋涂硬掩膜层（Spin On Hardmask, SOH），第一抗反射层可以是氧化硅层或者氮氧化硅层。

10 在一些实施例中，第一初始间隔层沿第一方向间隔排布、且沿第二方向延伸，其中，第一方向与第二方向可以呈锐角或者钝角。

步骤 S202，去除第一抗反射层。

本公开实施例中，可以通过湿法刻蚀技术去除第一抗反射层，例如，采用浓硫酸、氢氟酸、浓硝酸等强酸刻蚀。

15 本公开实施例中，第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比，例如，第一抗反射层与基底之间的刻蚀选择比为第一绝缘层与基底之间的刻蚀选择比的 3~10 倍。由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比，因此，在去除第一抗反射层时，不会损伤第一绝缘层。

20 步骤 S203，将第一掩蔽层的图案倍增，并转移至第一绝缘层中，形成第一图案层，第一图案层至少包括沿第一方向间隔排布的第一侧墙层。

本公开实施例中，可以通过自对准双重成像技术（Self-aligned Double Patterning, SADP）实现第一掩蔽层图案的倍增，并将倍增后的图案转移至第一绝缘层中，形成第一侧墙层。

25 在一些实施例中，在形成第一侧墙层之后，半导体结构的形成方法还包括：在第一侧墙层之间的间隙中形成第一牺牲层；其中，第一侧墙层与第一牺牲层的表面平齐。第一牺牲层可以是 SOH 或者氮氧化硅层。

需要说明的是，本公开实施例中，第一侧墙层和第一牺牲层的沿第三方向上的顶表面和底表面都是平齐的。

步骤 S204，在第一图案层的表面形成第二图案层；第二图案层至少包括沿第一方向间隔排布、且沿第三方向延伸的第二侧墙层。

30 在一些实施例中，第二侧墙层沿第一方向间隔排布、且沿第三方向延伸，其中，第二方向与第三方向可以呈锐角或者钝角，第一方向与第二方向可以呈直角。

本公开实施例中，第二图案层形成于第一侧墙层和第一牺牲层的表面。第二图案层还包括位于第二侧墙层之间的第二牺牲层，其中，第二侧墙层与第二牺牲层的表面平齐，即第二侧墙层和第二牺牲层的沿第三方向上的顶表面和底表面都是平齐的。第二牺牲层可以是 SOH 或者氮氧化硅层。

35 步骤 S205，将第二侧墙层与第一侧墙层界定的初始图案转移至基底中。

本公开实施例中，第二方向和第三方向的夹角可以根据初始图案的版图设计确定，例如，第二方向和第三方向之间的夹角可以是 20 度（°）~90°，例如为 20°、40°、70° 或者 90°。

在一些实施例中，初始图案可以是电容孔图案。

40 本公开实施例提供的半导体结构的形成方法，在基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层，在形成第一图案层的过程中，由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比，因此，在去除第一抗反射层的过程中不会损伤第一绝缘层，使得第一掩蔽层底部的图案不会出现凹凸结构，减小了第一掩蔽层向下转移过程中的刻蚀负载效应，如此，可以使得第一侧墙层的关键尺寸容易控制，不会影响后续的图案转移，进而也不会破坏最终形成半导体结构。

45 图 3a~图 3l、图 4a~图 4p 为本公开实施例提供的半导体结构形成过程中的结构示意图，下面结合图 3a~图 3l、图 4a~图 4p 对本公开实施例提供的半导体结构的形成过程进行详细的说明。

50 首先，执行步骤 S201，提供基底，基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层。

如图 3a 所示，基底包括第四掩膜层 12 和位于第四掩膜层 12 表面的第一绝缘层 13；本公开实施

例中, 第四掩膜层 12 包括第一硬掩膜层 121、第二硬掩膜层 122 和第三硬掩膜层 123; 其中, 第一硬掩膜层 121 可以是多晶硅层, 第二硬掩膜层 122 可以是氧化硅层, 第三硬掩膜层 123 可以是非晶碳层 (Amorphous Carbon Layer, ACL) 或者多晶硅层; 第一绝缘层 13 可以是氮化硅层或者氮氧化硅层。

5 在一些实施例中, 第四掩膜层 12 用于传递由第一侧墙层和第二侧墙层界定的初始图案, 由于初始图案在转移过程中, 每经过一次转移, 初始图案的关键尺寸会缩小依次, 通过具有多层硬掩膜层的第四掩膜层 12 来转移初始图案, 直至达到所需要的图案尺寸, 可以实现工艺节点的不断微缩, 提高半导体结构的集成度。因此, 本公开实施例中, 第四掩膜层 12 中硬掩膜层的层数可以根据实际需要进行设置, 例如, 第四掩膜层 12 还可以由一层硬掩膜层组成或者由五层硬掩膜层组成。

10 本公开实施例中, 第一绝缘层 13 可以是旋涂的含硅抗反射层。

本公开实施例中, 请继续参见图 3a, 基底包括阵列区域 AA 和外围区域 PA。

15 在一些实施例中, 第一初始间隔层可以通过以下步骤形成: 在基底表面依次形成第一初始掩膜层和第二初始掩膜层; 第一初始掩膜层包括第一掩蔽层和第一抗反射层; 刻蚀第二初始掩膜层, 形成沿第一方向间隔排列的第二初始间隔层; 在第二初始间隔层的侧壁形成第一覆盖层; 通过第一覆盖层刻蚀第一初始掩膜层, 形成沿第一方向交替排列的第一初始间隔层。

20 请继续参见图 3a, 在第一绝缘层 13 表面依次形成第一初始掩膜层 14 和第二初始掩膜层 15, 第一初始掩膜层 14 包括第一初始掩蔽层 141 和第一初始抗反射层 142; 第二初始掩膜层 15 包括第二初始掩蔽层 151 和第二初始抗反射层 152。第一初始掩蔽层 141 和第二初始掩蔽层 151 可以是旋涂硬掩膜层或者非晶碳层 (Amorphous Carbon Layer, ACL); 第一初始抗反射层 142 和第二初始抗反射层 152 的材料均可以是氮氧化硅。本公开实施例中, 可以通过以下任意一种合适的沉积工艺形成第一初始掩膜层和第二初始掩膜层: 化学气相沉积 (Chemical Vapor Deposition, CVD) 工艺、物理气相沉积 (Physical Vapor Deposition, PVD) 工艺、原子层沉积 (Atomic Layer Deposition, ALD) 工艺、旋涂工艺或者涂敷工艺。

25 在其它实施例中, 第一初始掩膜层 14 可以只包括第一初始掩蔽层 141, 第二初始掩膜层 15 可以只包括第二初始掩蔽层 151。

在一些实施例中, 刻蚀第二初始掩膜层, 形成沿第一方向间隔排列的第二初始间隔层可以包括以下步骤: 在第二初始掩膜层的表面形成具有第一预设图案的第一光刻胶层; 其中, 第一预设图案包括沿第一方向依次排列、且沿第二方向延伸的多个第一子图案, 第一子图案暴露出部分第二初始掩膜层; 去除第一子图案暴露出的第二初始掩膜层, 形成第二初始间隔层。

30 请继续参见图 3a 和图 3b, 在第二初始掩膜层 15 的表面形成具有第一预设图案的第一光刻胶层 16; 其中, 第一预设图案包括位于阵列区域 AA、且沿 X 轴方向依次排列的多个第一子图案 E, 第一子图案 E 暴露出部分第二初始掩膜层 15 (即第二初始抗反射层 152)。

35 如图 3b 和图 3c 所示, 通过第一光刻胶层 16 刻蚀第二初始掩膜层 15, 去除第一子图案 E 暴露出的第二初始掩膜层 15 (包括第二初始抗反射层 152 和位于第二初始抗反射层 152 沿 Z 轴方向投影区域内的第二初始掩蔽层 151), 形成第二初始间隔层 17。第二初始间隔层 17 包括第二掩蔽层 171 和位于第二掩蔽层 171 表面的第二抗反射层 172。

在一些实施例中, 请继续参见图 3b 和图 3c, 形成第二初始间隔层 17 之后, 半导体结构的形成方法还包括: 去除具有第一预设图案的第一光刻胶层 16。

40 在一些实施例中, 在第二初始间隔层的侧壁形成第一覆盖层的过程可以包括以下步骤: 在第二初始间隔层和第一初始掩膜层的表面形成第一初始覆盖层; 去除位于第二初始间隔层顶表面和第一初始掩膜层表面的第一初始覆盖层, 保留的位于第二初始间隔层的第一初始覆盖层, 构成第一覆盖层。

45 如图 3d 所示, 在第二初始间隔层 17 和第一初始掩膜层 14 的表面形成第一初始覆盖层 18, 其中, 第一初始覆盖层 18 覆盖第二初始间隔层 17 侧壁、顶表面以及第一初始掩膜层 14 的表面。本公开实施例中, 可以采用原子层沉积工艺形成第一初始覆盖层 18, 以提高第一初始覆盖层 18 的膜层质量。

本公开实施例中, 在形成第一初始覆盖层 18 之后, 采用干法刻蚀工艺同时去除第二初始间隔层 17 顶表面和第一初始掩膜层 14 表面的第一初始覆盖层 18, 保留位于第二初始间隔层 17 侧壁的第一初始覆盖层 18, 保留的第一初始覆盖层 18 构成第一覆盖层 181 (如图 3e 所示)。

50 请继续参见图 3d 和图 3e, 在形成第一覆盖层 181 之后, 半导体结构的形成方法还包括: 去除第二初始间隔层 17。在一些实施例中, 可以采用湿法刻蚀技术去除第二初始间隔层 17, 例如, 采用浓

硫酸、氢氟酸、浓硝酸等强酸刻蚀。

请继续参见图 3e 和图 3f, 通过第一覆盖层 181 刻蚀第一初始掩膜层 14, 即去除第一覆盖层 181 暴露出的部分第一初始掩膜层 14 (包括第一初始抗反射层 142 和位于第一初始抗反射层 142 沿 Z 轴方向投影区域内的第一初始掩蔽层 141), 形成第一初始间隔层 19, 第一初始间隔层 19 包括第一掩蔽层 191 和位于第一掩蔽层 191 表面的第一抗反射层 192。

接下来, 执行步骤 S202, 去除第一抗反射层。

如图 3f 和图 3g 所示, 采用湿法刻蚀技术去除第一抗反射层 192, 例如可以采用稀释的氢氟酸溶液 (水和氢氟酸的体积比为 1:200) 刻蚀去除第一抗反射层 192。

本公开实施例中, 由于第一抗反射层 192 与基底之间的刻蚀选择比大于第一绝缘层 13 与基底之间的刻蚀选择比 (例如, 第一抗反射层与基底之间的刻蚀选择比为第一绝缘层与基底之间的刻蚀选择比的 3~10 倍), 因此, 在去除第一抗反射层 192 时, 不会损伤第一绝缘层 13。

接下来, 执行步骤 S203, 将第一掩蔽层的图案倍增, 并转移至第一绝缘层中, 形成第一图案层, 第一图案层至少包括沿第一方向间隔排布的第一侧墙层。

在一些实施例中, 步骤 S203 可以包括以下步骤: 在第一掩蔽层的表面和第一绝缘层的表面形成第二初始覆盖层; 去除位于第一掩蔽层顶表面和第一绝缘层表面的第二初始覆盖层, 保留的位于第一掩蔽层侧壁的第二初始覆盖层, 构成第一侧墙层。

如图 3h 所示, 在第一掩蔽层 191 和第一绝缘层 13 的表面形成第二初始覆盖层 20; 其中, 第二初始覆盖层 20 覆盖第一掩蔽层 191 的侧壁、顶表面以及第一绝缘层 13 的表面。本公开实施例中, 可采用原子层沉积工艺形成第二初始覆盖层 20, 以提高第二初始覆盖层 20 的膜层质量。

如图 3h 和图 3i 所示, 采用干法刻蚀工艺同时去除第一掩蔽层 191 顶表面以及第一绝缘层 13 表面的第二初始覆盖层 20, 保留位于第一掩蔽层 191 侧壁的第二初始覆盖层 20; 通过湿法刻蚀技术去除第一掩蔽层 191; 通过剩余的第二初始覆盖层 20a 刻蚀第一绝缘层 13, 形成第一侧墙层 201, 第一侧墙层 201 包括剩余的第二初始覆盖层 20a 和刻蚀后的第一绝缘层 13a。

在一些实施例中, 在形成第一侧墙层 201 之后, 半导体结构的形成方法还包括: 在第一侧墙层 201 之间的间隙中形成第一牺牲层。

实施时, 可以通过在第一侧墙层之间的空隙中、第一侧墙层的表面、以及第一侧墙层之间空隙的表面形成第一初始牺牲层; 回刻第一初始牺牲层, 直至暴露出第一侧墙层中的剩余的第二初始牺牲层 20a 的表面, 形成第一牺牲层。

如图 3j 所示, 在第一侧墙层和第一掩蔽层之间的空隙中、第一侧墙层的表面、以及第一掩蔽层之间的空隙表面形成第一初始牺牲层 22, 旋涂第一牺牲层材料, 形成第一初始牺牲层 22; 第一牺牲层材料可以是 SOH 或者其它材料。

如图 3j 和图 3k 所示, 回刻第一初始牺牲层 22、直至暴露出第一侧墙层 201 的表面, 剩余的位于第一侧墙层 201 之间的空隙中的第一初始牺牲层 22 构成第一牺牲层 23。

本公开实施例中, 第一侧墙层 201 与第一牺牲层 23 的表面平齐, 即第一侧墙层 201 与第一牺牲层 23 沿 Z 轴方向的顶表面和底表面均平齐, 如此, 可以使得后续的图案转移过程更加精准。

本公开实施例提供的半导体结构的形成方法, 由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比, 因此, 在去除第一抗反射层的过程中不会损伤第一绝缘层, 使得第一掩蔽层底部的图案不会出现凹凸结构, 减小了第一掩蔽层向下转移过程中的刻蚀负载效应, 如此, 可以使得第一侧墙层的关键尺寸容易控制, 不会影响后续的图案转移, 进而也不会破坏最终形成半导体结构。

本公开实施例中, 在形成第一牺牲层 23 之后, 第一图案层也形成了, 图 3l 为第一图案层的俯视图, 为便于理解, 图 3k 中仅示出有限个数的第一侧墙层, 且图 3l 中未示出第一图案层 300 中的第一牺牲层 23。如图 3l 所示, 第一图案层 300 包括沿 X 轴方向间隔排布、且沿 Y1 轴方向延伸的第一侧墙层 201。

接下来, 执行步骤 S204, 在第一图案层的表面形成第二图案层; 第二图案层至少包括沿第一方向间隔排布、且沿第三方向延伸的第二侧墙层。

在一些实施例中, 第二图案层通过以下步骤形成: 在第一图案层表面形成第二绝缘层、以及位于第二绝缘层表面、沿第一方向间隔排列、且沿第三方向延伸的第三初始间隔层; 第三初始间隔层包括第三掩蔽层和位于第三掩蔽层表面的第三抗反射层; 去除第三抗反射层; 其中, 第三抗反射层与基底之间的刻蚀选择比大于第二绝缘层与基底之间的刻蚀选择比; 将第三掩蔽层的图案倍增, 并转移至第二绝缘层中, 形成第二图案层。

在一些实施例中，第三初始间隔层可以通过以下步骤形成：在第一图案层表面依次形成第三初始掩膜层和第四初始掩膜层；第三初始掩膜层包括第三掩蔽层和第三抗反射层；刻蚀第四初始掩膜层，形成沿第一方向间隔排列的第四初始间隔层；在第四初始间隔层的侧壁形成第三覆盖层；通过第三覆盖层刻蚀第三初始掩膜层，形成沿第一方向交替排列的第三初始间隔层。

5 在一些实施例中，在形成第二图案层之前，半导体结构的形成方法还包括：形成位于第一图案层 300 之上的介质层。

如图 4a 所示，在第一图案层 300 的表面形成介质层 202，介质层 202 的材料可以是氮化硅或者氮氧化硅。

10 如图 4b 所示，在介质层的表面形成第二绝缘层 24，第二绝缘层 24 的材料可以是旋涂的含硅抗反射层。

请继续参见图 4b，在第二绝缘层 24 表面依次形成第三初始掩膜层 25 和第四初始掩膜层 26，第三初始掩膜层 25 包括第三初始掩蔽层 251 和第三初始抗反射层 252；第四初始掩膜层 26 包括第四初始掩蔽层 261 和第四初始抗反射层 262。第三初始掩蔽层 251 和第四初始掩蔽层 261 可以是旋涂硬掩膜层或者非晶碳层；第三初始抗反射层 252 和第四初始抗反射层 262 的材料均可以是氮氧化硅。

15 本公开实施例中，可以通过任意一种合适的沉积工艺形成第一初始掩膜层和第二初始掩膜层。在其它实施例中，第三初始掩膜层 25 可以只包括第三初始掩蔽层 251，第四初始掩膜层 26 可以只包括第四初始掩蔽层 261。

20 在一些实施例中，第四初始间隔层可以通过以下步骤形成：在第四初始掩膜层的表面形成具有第二预设图案的第二光刻胶层；其中，第二预设图案包括沿第一方向依次排列的多个第二子图案，第二子图案暴露出部分第四初始掩膜层；第二子图案沿第三方向延伸；去除第二子图案暴露出的第四初始掩膜层，形成第四初始间隔层。

请继续参见图 4b 和图 4c，在第四初始掩膜层 26 的表面形成具有第二预设图案的第二光刻胶层 27；其中，第二预设图案包括位于阵列区域 AA、且沿 X 轴方向依次排列、且沿 Y2 轴方向延伸的多个第二子图案 F，第二子图案 F 暴露出部分第四初始掩膜层 26。

25 如图 4c 和图 4d 所示，通过第二光刻胶层 27 刻蚀第四初始掩膜层 26，去除第二子图案 F 暴露出的第四初始掩膜层 26（包括第四初始抗反射层 262 和位于第四初始抗反射层 262 沿 Z 轴方向投影区域内的第四初始掩蔽层 261），形成第四初始间隔层 28。第四初始间隔层 28 包括第四掩蔽层 281 和位于第四掩蔽层 281 表面的第四抗反射层 282。

30 在一些实施例中，请继续参见图 4c 和图 4d，形成第四初始间隔层 28 之后，半导体结构的形成方法还包括：去除具有第二预设图案的第二光刻胶层 27。

在一些实施例中，在第四初始间隔层的侧壁形成第三覆盖层可以包括以下步骤：在第四初始间隔层和第三初始掩膜层的表面形成第三初始覆盖层；去除位于第四初始间隔层顶表面和第三初始掩膜层表面的第三初始覆盖层，保留的位于第四初始间隔层侧壁的第三初始覆盖层，构成第三覆盖层。

35 如图 4e 所示，在第四初始间隔层 28 和第三初始掩膜层 25 的表面形成第三初始覆盖层 29，其中，第三初始覆盖层 29 覆盖第四初始间隔层 28 侧壁、顶表面以及第三初始掩膜层 25 的表面。本公开实施例中，可以采用原子层沉积工艺形成第三初始覆盖层 29，以提高第三初始覆盖层 29 的膜层质量。第三初始覆盖层 29 可以是氧化物层，例如可以是氧化硅层。

40 本公开实施例中，在形成第三初始覆盖层 29 之后，采用干法刻蚀工艺同时去除第四初始间隔层 28 顶表面和第三初始掩膜层 25 表面的第三初始覆盖层 29，保留位于第四初始间隔层 28 侧壁的第三初始覆盖层 29，保留的第三初始覆盖层 29 构成第三覆盖层 291（如图 4f 所示）。

请继续参见图 4e 和图 4f，在形成第三覆盖层 291 之后，半导体结构的形成方法还包括：去除第四初始间隔层 28。在一些实施例中，可以采用湿法刻蚀技术去除第四初始间隔层 28，例如，采用浓硫酸、氢氟酸、浓硝酸等强酸刻蚀。

45 请继续参见图 4f 和图 4g，通过第三覆盖层 291 刻蚀第三初始掩膜层 25，即去除第三覆盖层 291 暴露出的部分第三初始掩膜层 25（包括第三初始抗反射层 252 和位于第三初始抗反射层 252 沿 Z 轴方向投影区域内的第三初始掩蔽层 251），形成第三初始间隔层 30。第三初始间隔层 30 包括第三掩蔽层 301 和位于第三掩蔽层 301 表面的第三抗反射层 302。

如图 4g 和图 4h 所示，采用湿法刻蚀技术去除第三抗反射层 302，例如可以采用稀释的氢氟酸溶液（水和氢氟酸的体积比为 1：200）刻蚀去除第三抗反射层 302。

50 本公开实施例中，由于第三抗反射层 302 与基底之间的刻蚀选择比大于第二绝缘层 24 与基底之间的刻蚀选择比（例如，第三抗反射层 302 与基底之间的刻蚀选择比为第二绝缘层 24 与基底之间的

刻蚀选择比的3~10倍),因此,在去除第三抗反射层302时,不会损伤第二绝缘层24。

在一些实施例中,将第三掩蔽层的图案倍增,并转移至第二绝缘层中,包括以下步骤:在第三掩蔽层的表面和第二绝缘层的表面形成第四初始覆盖层;去除位于第三掩蔽层顶表面和第二绝缘层表面的第四初始覆盖层,保留的位于第三掩蔽层侧壁的第四初始覆盖层,构成第二侧墙层。

5 如图4i所示,在第三掩蔽层301和第二绝缘层24的表面形成第四初始覆盖层31;其中,第四初始覆盖层31覆盖第三掩蔽层301的侧壁、顶表面以及第二绝缘层24的表面。本公开实施例中,可采用原子层沉积工艺形成第四初始覆盖层31,以提高第四初始覆盖层31的膜层质量。

10 如图4i和图4j所示,在形成第四初始覆盖层31之后,半导体结构的形成方法还包括:采用干法刻蚀工艺同时去除第三掩蔽层301顶表面以及第二绝缘层24表面的第四初始覆盖层31;通过湿法刻蚀技术去除第三掩蔽层301;通过剩余的第四初始覆盖层31a刻蚀第二绝缘层24,形成第二侧墙层311,第二侧墙层311包括剩余的第四初始覆盖层31a和刻蚀后的第二绝缘层24a。

在一些实施例中,如图4k所示,在形成第二侧墙层311之后,半导体结构的形成方法还包括:在第二侧墙层311之间的间隙中形成第二牺牲层34。

15 需要说明的是,本公开式实施例中,第二牺牲层34的形成过程与第一牺牲层23的形成过程相同,这里不再赘述。

图4l为第二图案层的俯视图,为便于理解,图4l中仅示出有限个数的第二侧墙层,且图4l中未示出第二图案层400中的第二牺牲层34。如图4k所示,第二图案层400包括沿X轴方向间隔排布、且沿Y2轴方向延伸的第二侧墙层311。

20 本公开实施例提供的半导体结构的形成方法,由于第三抗反射层与基底之间的刻蚀选择比大于第二绝缘层与基底之间的刻蚀选择比,因此,在去除第三抗反射层的过程中不会损伤第二绝缘层,使得第三掩蔽层底部的图案不会出现凹凸结构,减小了第三掩蔽层向下转移过程中的刻蚀负载效应,如此,可以使得第二侧墙层的关键尺寸容易控制,不会影响后续的图案转移,进而也不会破坏最终形成半导体结构。

25 在一些实施例中,在形成第二图案层之后,半导体结构的形成方法还包括:在第二图案层表面形成具有第三预设图案的第三光刻胶层,其中,第三预设图案包括暴露出远离外围区域的部分阵列区域。

30 如图4l和图4m所示,在第二图案层400表面形成具有第三预设图案的第三光刻胶层36,其中,第三预设图案包括第三子图案。本公开实施例中,通过具有第三预设图案第三光刻胶层36刻蚀去除暴露出的第二图案层400中的第二牺牲层34、位于第二牺牲层34沿Z轴方向投影区域之内的介质层202、以及第一图案层300中的第一牺牲层23,形成如图4n所示的由第一侧墙层201和第二侧墙层311界定初始图案H。

最后,执行步骤S205,将第二侧墙层与第一侧墙层界定的初始图案转移至基底中。

35 结合图3a、图4o和图4p所示,基底包括第四掩膜层12,第四掩膜层12包括第一硬掩膜层121、第二硬掩膜层122和第三硬掩膜层123,实施时,首先,将初始图案H转移至第四掩膜层中的第三硬掩膜层中,其次,通过具有初始图案H的第三硬掩膜层123刻蚀第二硬掩膜层122,以将初始图案H转移至第二硬掩膜层122中,最后,通过具有初始图案H的第二硬掩膜层刻蚀第一硬掩膜层121,以将初始图案H转移至第一硬掩膜层121中,形成具有初始图案H的第一硬掩膜层121a,以实现将初始图案H转移至基底中。需要说明的是,为便于理解,图4p中仅示出部分初始图案H。

在一些实施例中,初始图案可以是电容孔图案。

40 本公开实施例提供的半导体结构的形成方法,由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比,因此,在去除第一抗反射层的过程中不会损伤第一绝缘层,使得第一掩蔽层底部的图案不会出现凹凸结构,减小了第一掩蔽层向下转移过程中的刻蚀负载效应;且由于第三抗反射层与基底之间的刻蚀选择比大于第二绝缘层与基底之间的刻蚀选择比,因此,在去除第三抗反射层的过程中不会损伤第二绝缘层,使得第三掩蔽层底部的图案不会出现凹凸结构,减小了第三掩蔽层向下转移过程中的刻蚀负载效应,如此,可以使得第一侧墙层和第二侧墙层的关键尺寸容易控制,不会影响后续的图案转移,进而也不会破坏最终形成半导体结构。

另外,通过本公开实施例提供的半导体结构的形成方法可以使得最后形成的图案尺寸均匀性好,不会出现刻蚀不足、刻蚀孔桥接以及刻蚀孔错位等缺陷,提高了半导体结构的制备良率。

50 除此之外,本公开实施例还提供一种半导体结构,请继续参考图4m~图4p,半导体结构包括:基底;基底包括初始图案H。

本公开实施例中,请继续参考图4m,基底包括第四掩膜层12,第四掩膜层12包括第一硬掩膜

层 121、第二硬掩膜层 122 和第三硬掩膜层 123。

在其它实施例中，基底还包括衬底，以及位于衬底表面的叠层结构。

请继续参考图 4m，初始图案 H 通过第一图案层 300 中的第一侧墙层 201 和第二图案层 400 中的第二侧墙层 311 界定；第一图案层 300 包括沿 X 轴方向交替排列、且沿 Y1 轴方向（请参考图 3i）延伸的第一侧墙层 201 和第一牺牲层 23。

请继续参考图 4m，第二图案层 400 位于第一图案层 300 的表面，第二图案层 400 包括沿 X 轴方向交替排列、且沿 Y2 轴（请参考图 4l）方向延伸的第二侧墙层 311 和第二牺牲层 34。

在一些实施例中，初始图案可以是电容孔图案。

本公开实施例提供的半导体结构与上述实施例中的半导体结构的形成方法类似，对于本公开实施例未详尽披露的技术特征，请参照上述实施例进行理解，这里，不再赘述。

本公开实施例提供的半导体结构包括具有初始图案的基底，初始图案通过第一图案层中的第一侧墙层和第二图案层中的第二侧墙层界定。由于本公开实施例提供的半导体结构通过上述半导体结构的形成方法形成，因此，本公开实施例中的第一侧墙层和第二侧墙层的关键尺寸容易控制，不会影响后续的图案转移，进而也不会破坏最终形成半导体结构，因此，本公开实施例中的半导体结构具有较高的制备良率。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上，仅为本公开的一些实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供的半导体结构及其形成方法，在基底表面形成有第一绝缘层、以及位于第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，第一初始间隔层包括第一掩蔽层和位于第一掩蔽层表面的第一抗反射层，在形成第一图案层的过程中，由于第一抗反射层与基底之间的刻蚀选择比大于第一绝缘层与基底之间的刻蚀选择比，因此，在去除第一抗反射层的过程中不会损伤第一绝缘层，使得第一掩蔽层底部的图案不会出现凹凸结构，减小了第一掩蔽层向下转移过程中的刻蚀负载效应，如此，可以使得第一侧墙层的关键尺寸容易控制，不会影响后续的图案转移，进而也不会破坏最终形成半导体结构。

权利要求书

1、一种半导体结构的形成方法，所述方法包括：

提供基底，所述基底表面形成有第一绝缘层、以及位于所述第一绝缘层表面、沿第一方向间隔排布、且沿第二方向延伸的第一初始间隔层，所述第一初始间隔层包括第一掩蔽层和位于所述第一掩蔽层表面的第一抗反射层；

去除所述第一抗反射层；

将所述第一掩蔽层的图案倍增，并转移至所述第一绝缘层中，形成第一图案层，所述第一图案层至少包括沿所述第一方向间隔排布的第一侧墙层；

在所述第一图案层的表面形成第二图案层；所述第二图案层至少包括沿所述第一方向间隔排布、且沿第三方向延伸的第二侧墙层；所述第一方向、所述第二方向与所述第三方向为所述基底所在平面内任意三个方向；

将所述第二侧墙层与所述第一侧墙层界定的初始图案转移至所述基底中。

2、根据权利要求1所述的方法，其中，所述第一抗反射层与所述基底之间的刻蚀选择比为所述第一绝缘层与所述基底之间的刻蚀选择比的3~10倍。

3、根据权利要求2所述的方法，其中，将所述第一掩蔽层的图案倍增，并转移至所述第一绝缘层中，包括：

在所述第一掩蔽层的表面和所述第一绝缘层的表面形成第二初始覆盖层；

去除位于所述第一掩蔽层顶表面和所述第一绝缘层表面的所述第二初始覆盖层，保留的位于所述第一掩蔽层侧壁的所述第二初始覆盖层，构成所述第一侧墙层。

4、根据权利要求3所述的方法，其中，所述第一图案层还包括第一牺牲层；在形成所述第一侧墙层之后，半导体结构的形成方法还包括：

在所述第一侧墙层之间的间隙中形成所述第一牺牲层；

其中，所述第一侧墙层与所述第一牺牲层的表面平齐。

5、根据权利要求4所述的方法，其中，所述第一初始间隔层通过以下步骤形成：

在所述第一绝缘层表面依次形成第一初始掩膜层和第二初始掩膜层；所述第一初始掩膜层包括所述第一掩蔽层和所述第一抗反射层；

刻蚀所述第二初始掩膜层，形成沿所述第一方向间隔排列的第二初始间隔层；

在所述第二初始间隔层的侧壁形成第一覆盖层；

通过所述第一覆盖层刻蚀所述第一初始掩膜层，形成沿所述第一方向交替排列的第一初始间隔层。

6、根据权利要求5所述的方法，其中，所述第二初始间隔层通过以下步骤形成：

在所述第二初始掩膜层的表面形成具有第一预设图案的第一光刻胶层；其中，所述第一预设图案包括沿所述第一方向依次排列、且沿所述第二方向延伸的多个第一子图案，所述第一子图案暴露出部分第二初始掩膜层；

去除所述第一子图案暴露出的所述第二初始掩膜层，形成所述第二初始间隔层。

7、根据权利要求1至6任一项所述的方法，其中，所述第二图案层通过以下步骤形成：

在所述第一图案层表面形成第二绝缘层、以及位于所述第二绝缘层表面、沿所述第一方向间隔排列、且沿所述第三方向延伸的第三初始间隔层；所述第三初始间隔层包括第三掩蔽层和位于所述第三掩蔽层表面的第三抗反射层；

去除所述第三抗反射层；其中，所述第三抗反射层与所述基底之间的刻蚀选择比大于所述第二绝缘层与所述基底之间的刻蚀选择比；

将所述第三掩蔽层的图案倍增，并转移至所述第二绝缘层中，形成所述第二图案层。

8、根据权利要求7所述的方法，其中，所述第三抗反射层与所述基底之间的刻蚀选择比为所述第二绝缘层与所述基底之间的刻蚀选择比的3~10倍。

9、根据权利要求8所述的方法，其中，将所述第三掩蔽层的图案倍增，并转移至所述第二绝缘层中，包括：

在所述第三掩蔽层的表面和所述第二绝缘层的表面形成第四初始覆盖层；

去除位于所述第三掩蔽层顶表面和所述第一绝缘层表面的所述第四初始覆盖层，保留的位于所

述第三掩蔽层侧壁的所述第四初始覆盖层,构成所述第二侧墙层。

10、根据权利要求 9 所述的方法,其中,所述第二图案层还包括第二牺牲层;在形成所述第二侧墙层之后,半导体结构的形成方法还包括:

在所述第二侧墙层之间的间隙中形成所述第二牺牲层;

5 其中,所述第二侧墙层与所述第二牺牲层的底表面平齐。

11、根据权利要求 10 所述的方法,其中,所述第三初始间隔层通过以下步骤形成:

在所述第二绝缘层表面依次形成第三初始掩膜层和第四初始掩膜层;所述第三初始掩膜层包括所述第三掩蔽层和所述第三抗反射层;

刻蚀所述第四初始掩膜层,形成沿所述第一方向间隔排列的第四初始间隔层;

10 在所述第四初始间隔层的侧壁形成第三覆盖层;

通过所述第三覆盖层刻蚀所述第三初始掩膜层,形成沿所述第一方向交替排列的所述第三初始间隔层。

12、根据权利要求 11 所述的方法,其中,所述第四初始间隔层通过以下步骤形成:

15 在所述第四初始掩膜层的表面形成具有第二预设图案的第二光刻胶层;其中,所述第二预设图案包括沿所述第一方向依次排列、且沿所述第三方向延伸的多个第二子图案,所述第二子图案暴露出部分第四初始掩膜层;

去除所述第二子图案暴露出的所述第四初始掩膜层,形成所述第四初始间隔层。

13、根据权利要求 12 所述的方法,其中,所述基底包括阵列区域和外围区域,在形成所述第二图案层之后,所述方法还包括:

20 在所述第二图案层表面具有第三预设图案的第三光刻胶层,其中,所述第三预设图案包括暴露出远离所述外围区域的部分所述阵列区域;

将所述初始图案转移至所述第三预设图案暴露出的所述阵列区域对应的基底中。

14、根据权利要求 13 所述的方法,其中,在形成所述第一图案层之后,且在形成所述第二图案层之前,半导体结构的形成方法还包括:

25 形成位于所述第一图案层表面的介质层。

15、根据权利要求 14 所述的方法,其中,所述基底包括第四掩膜层;将所述第二侧墙层与所述第一侧墙层界定的初始图案转移至所述基底中,包括:

以所述第一侧墙层和所述第二侧墙层为掩膜,将所述初始图案转移至所述第四掩膜层中,形成具有初始图案的第四掩膜层;所述初始图案包括多个第三子图案。

30 16、根据权利要求 15 所述的方法,其中,所述基底还包括衬底,所述第四掩膜层位于所述衬底表面;在形成具有所述初始图案的第四掩膜层之后,所述方法还包括:

去除所述第三子图案暴露的部分所述衬底,以将所述初始图案转移至所述衬底中。

17、根据权利要求 16 所述的方法,其中,所述基底还包括叠层结构,所述第四掩膜层位于所述叠层结构表面;在形成具有所述初始图案的第四掩膜层之后,所述方法还包括:

35 去除所述第三子图案暴露的部分所述叠层结构,以将所述初始图案转移至所述叠层结构中。

18、根据权利要求 17 所述的方法,其中,所述初始图案包括电容孔图案。

19、一种半导体结构,所述半导体结构通过上述权利要求 1 至 18 任一项所述的半导体结构的形成方法形成,所述半导体结构包括:

40 基底;所述基底包括初始图案;所述初始图案通过第一图案层中的第一侧墙层和第二图案层中的第二侧墙层界定;

其中,所述第一图案层位于所述基底的表面,所述第一侧墙层沿所述第一方向间隔排布、且沿第二方向延伸;所述第二图案层位于所述第一图案层的表面,所述第二侧墙层沿所述第一方向间隔排布、且沿第三方向延伸;所述第一方向、所述第二方向与所述第三方向为所述基底所在平面内任意三个方向。

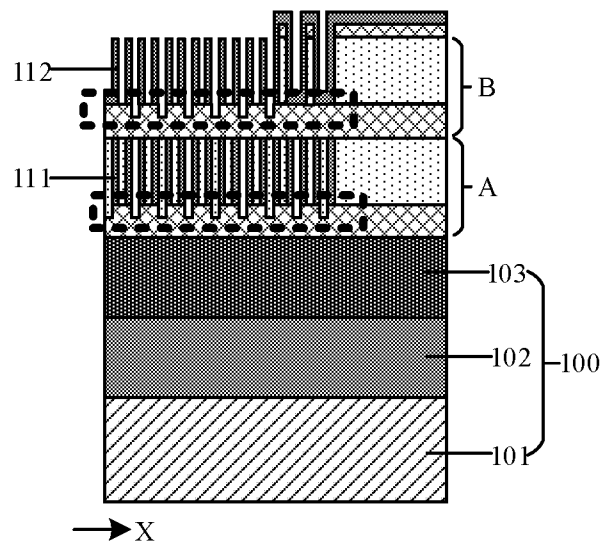


图 1a

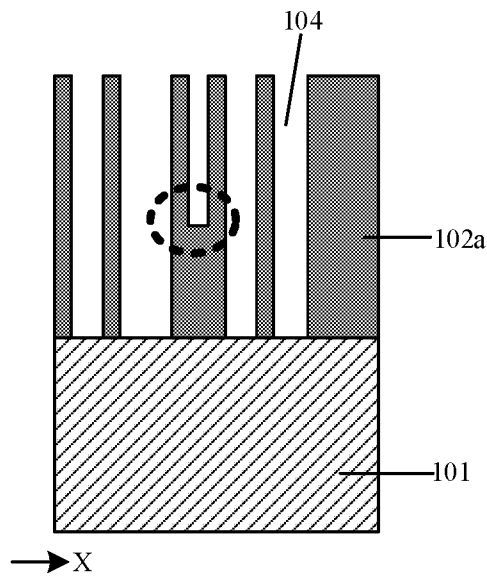


图 1b

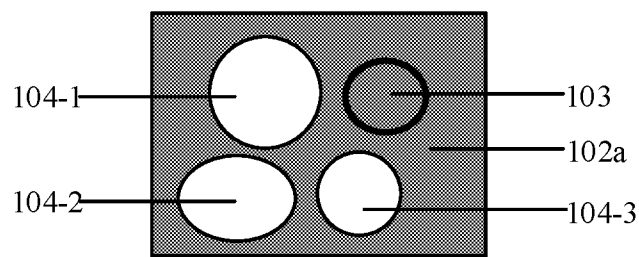


图 1c

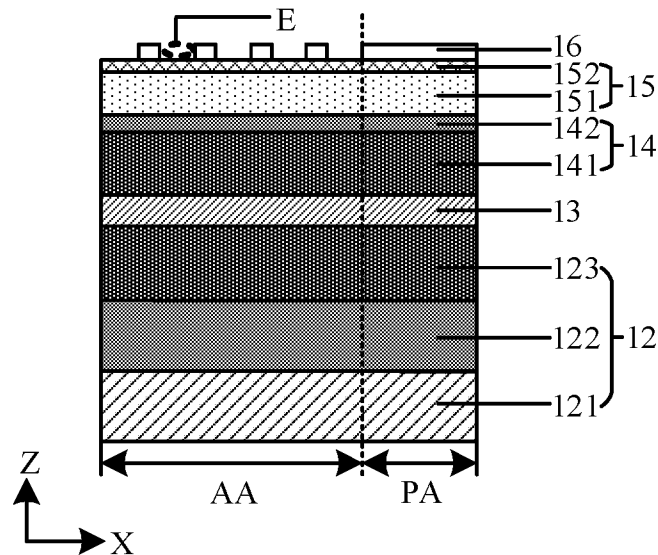
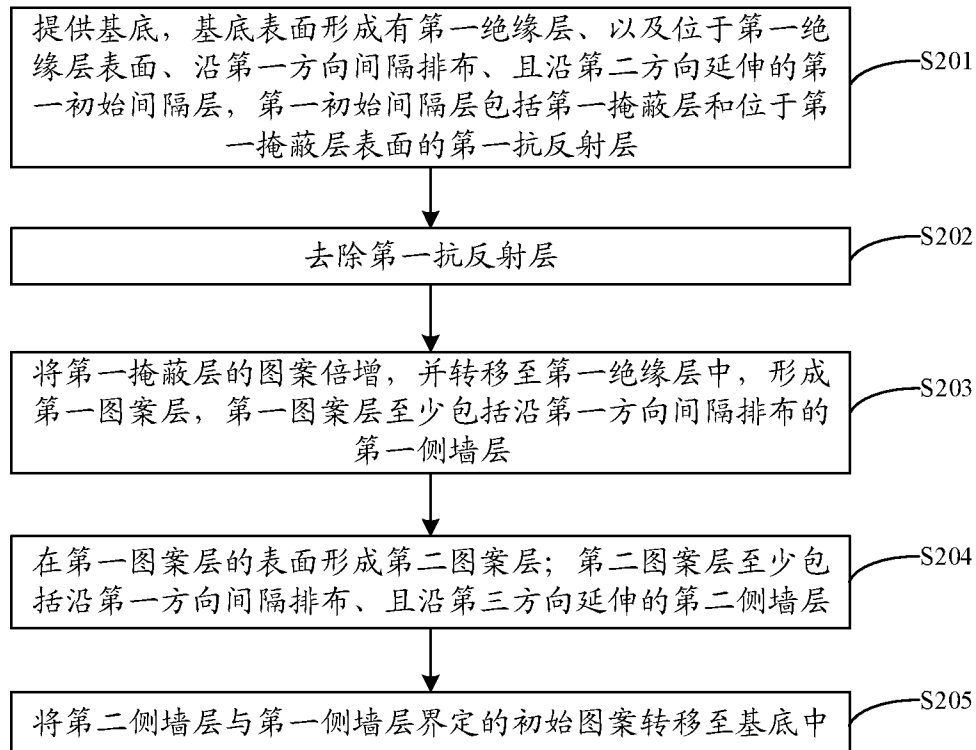


图 3a

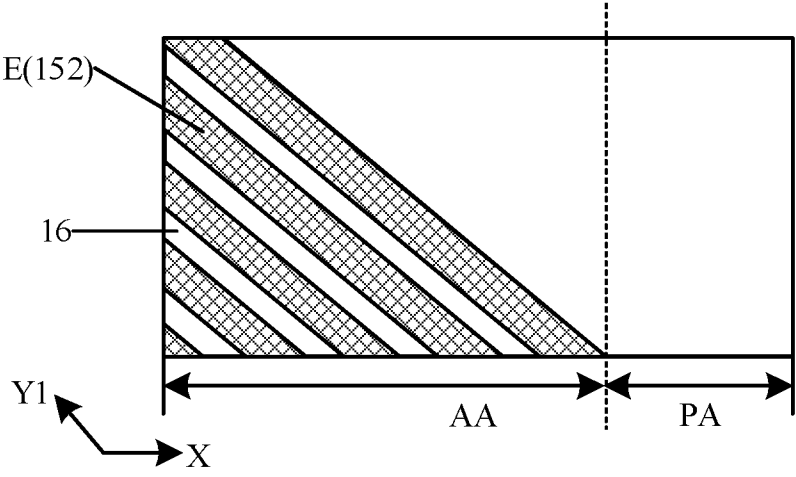


图 3b

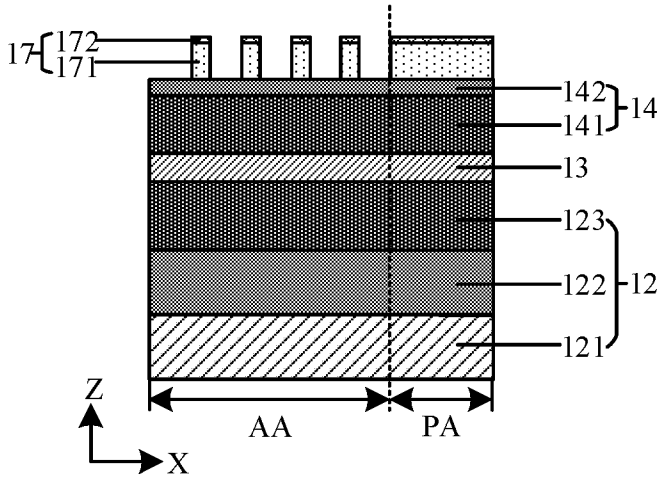


图 3c

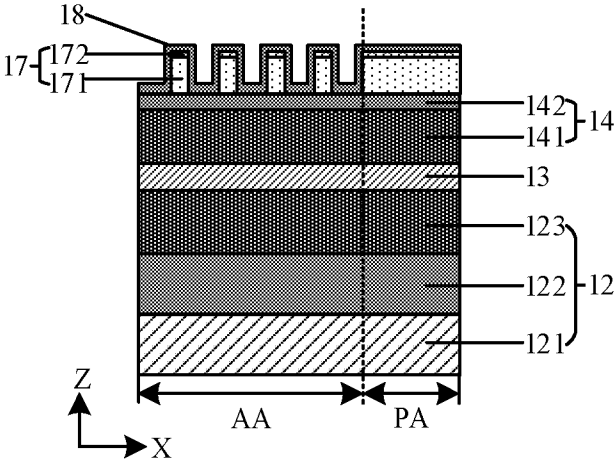


图 3d

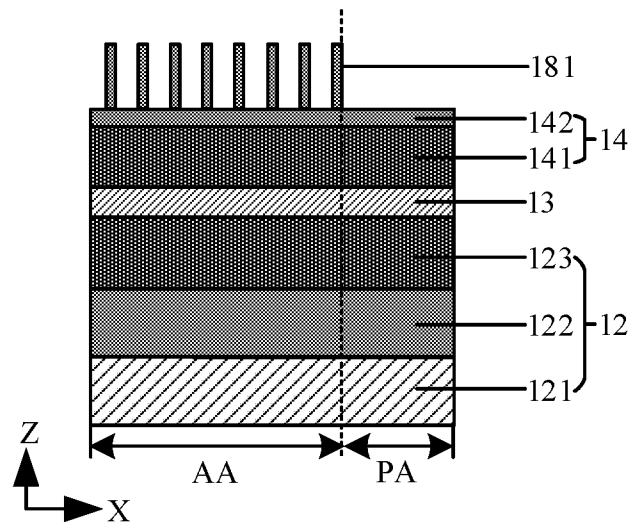


图 3e

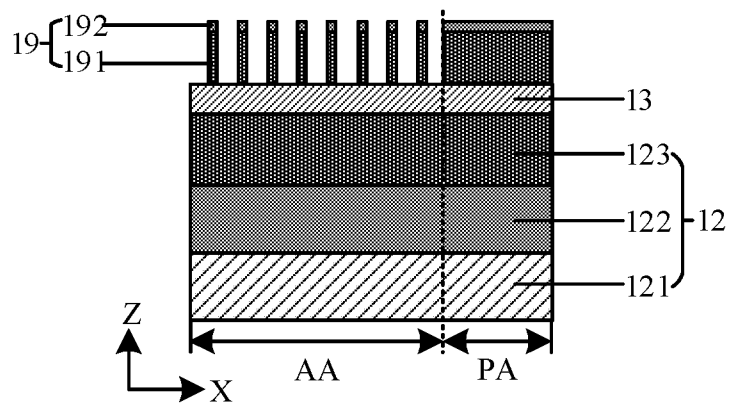


图 3f

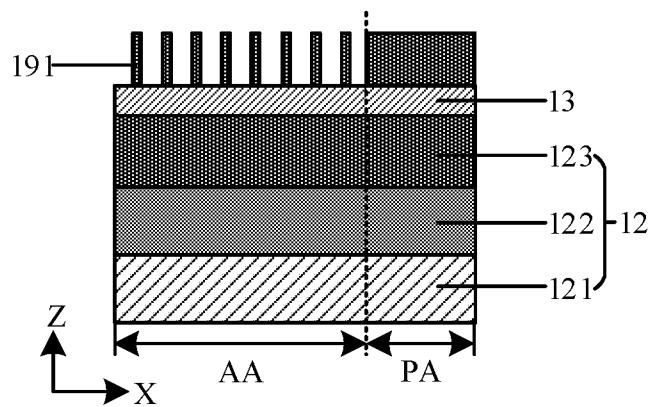


图 3g

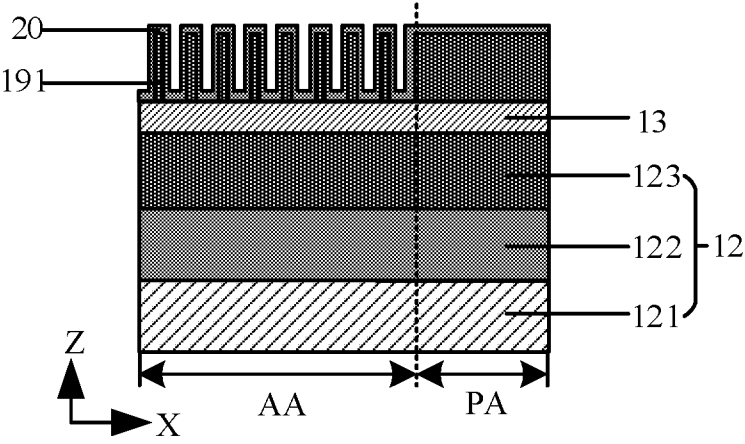


图 3h

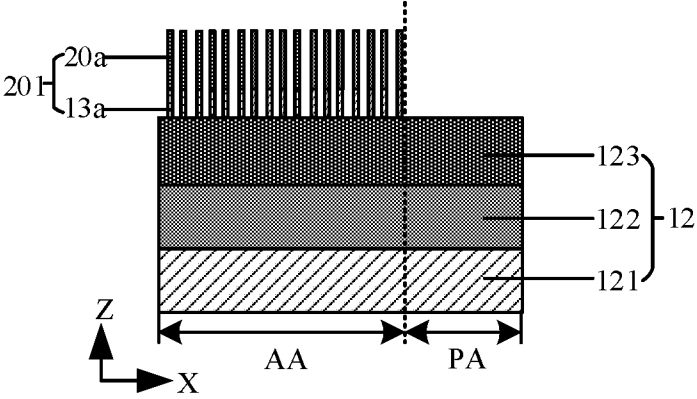


图 3i

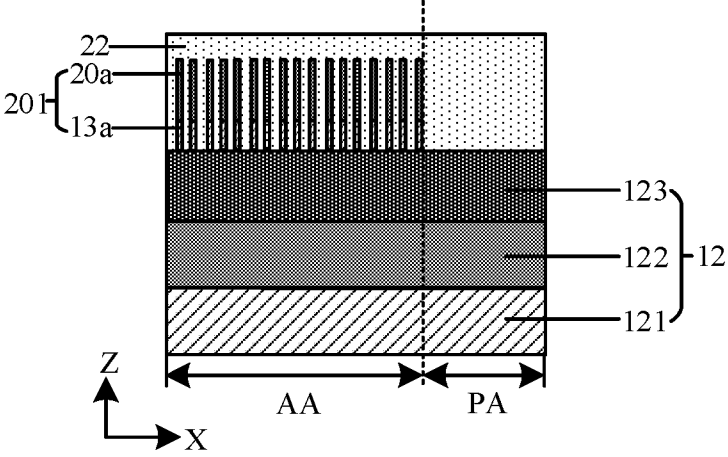


图 3j

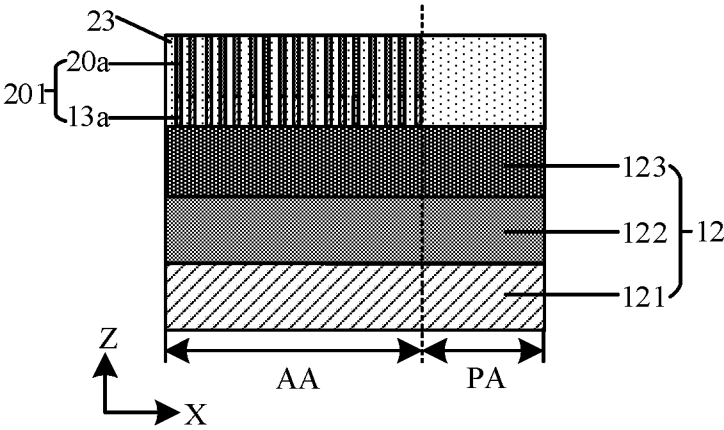


图 3k

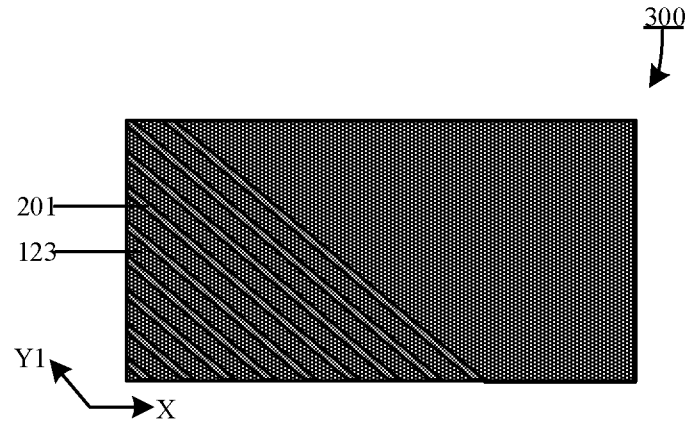


图 3l

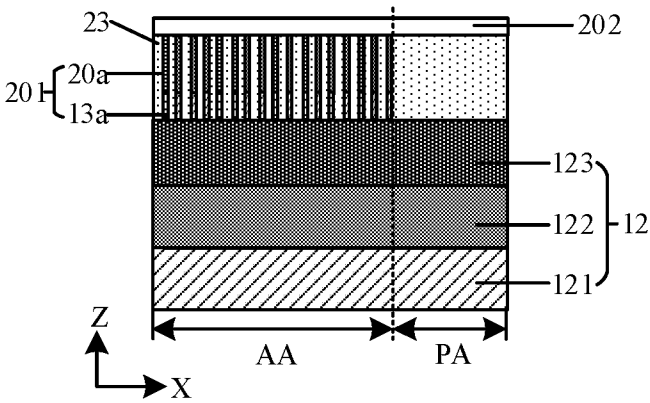


图 4a

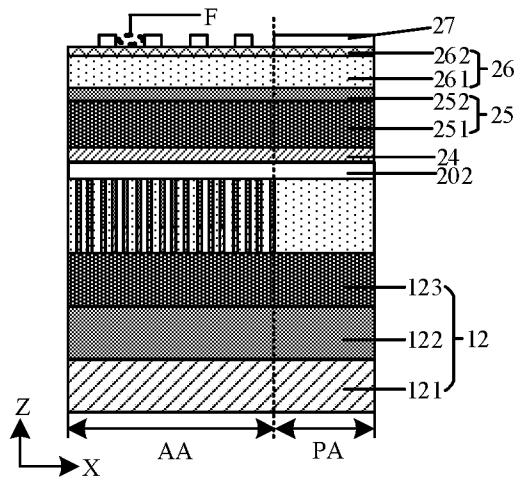


图 4b

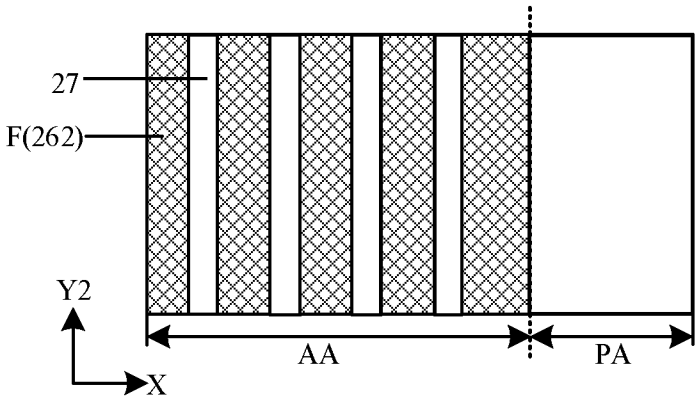


图 4c

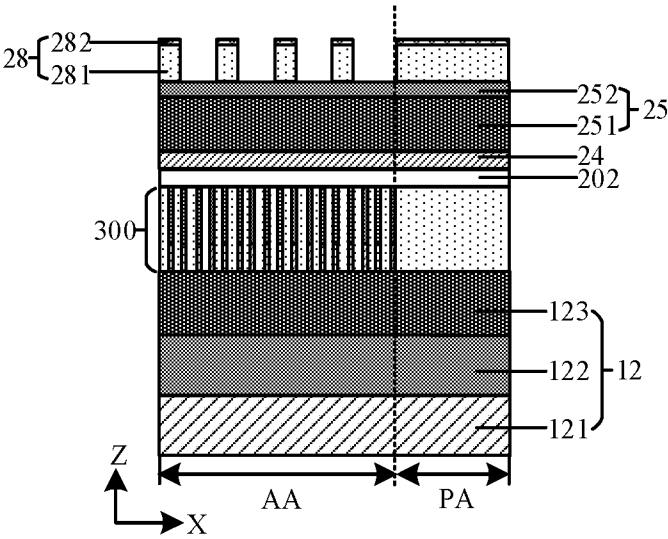


图 4d

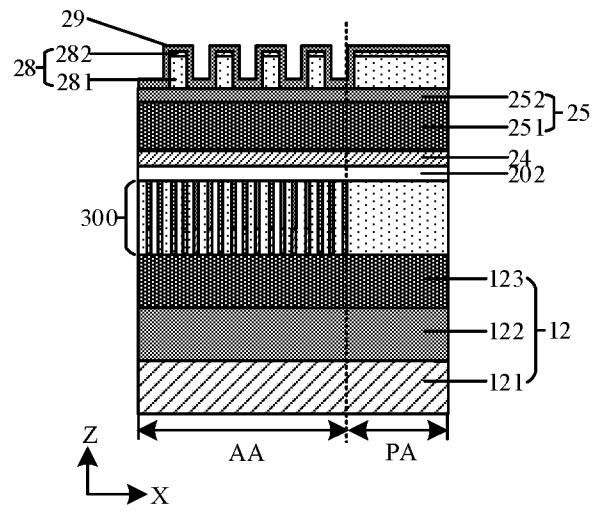


图 4e

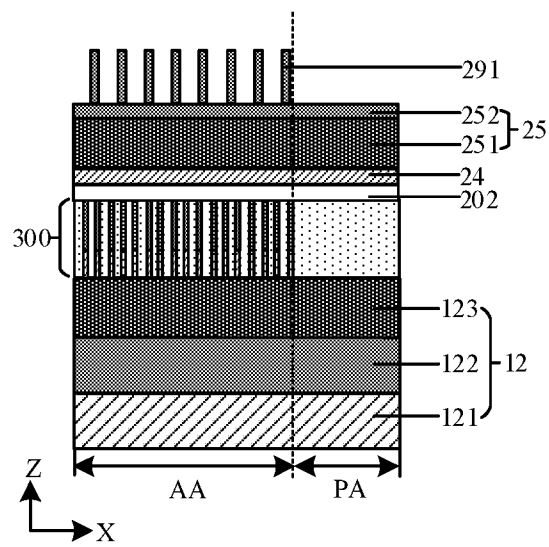


图 4f

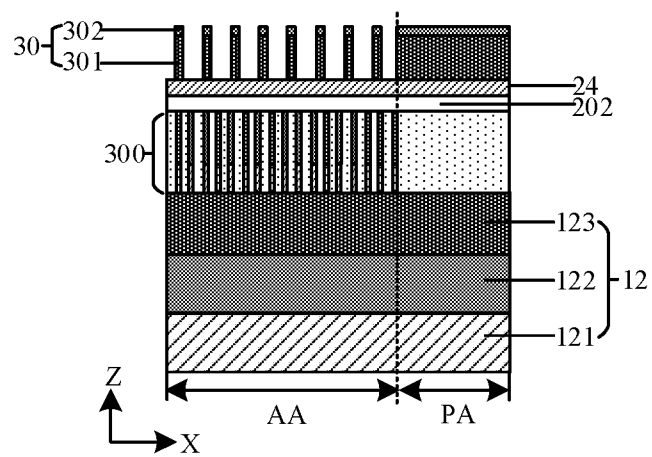


图 4g

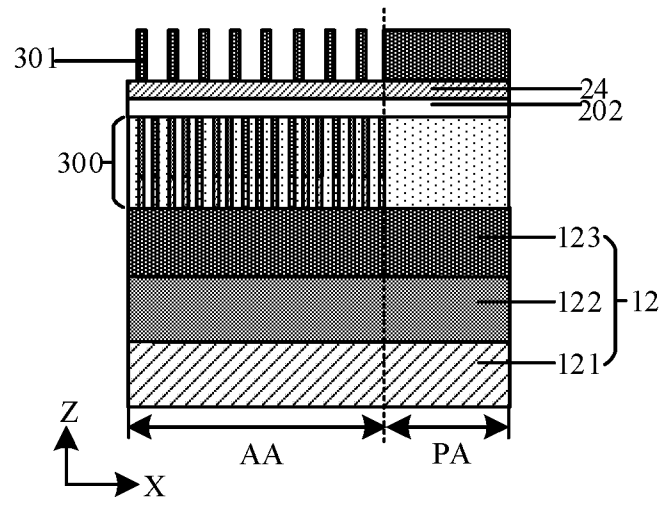


图 4h

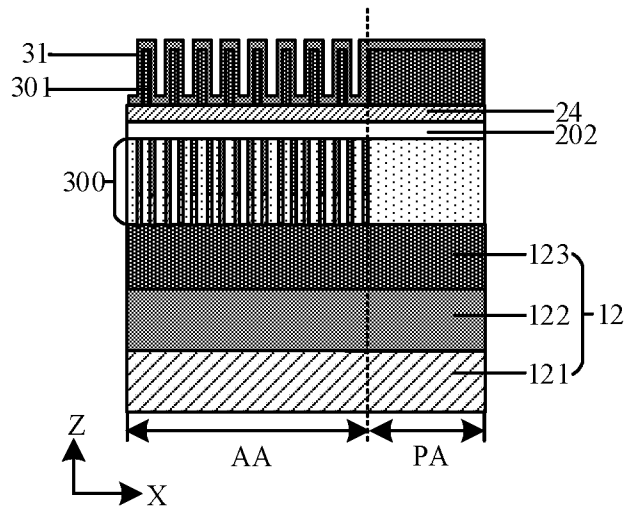


图 4i

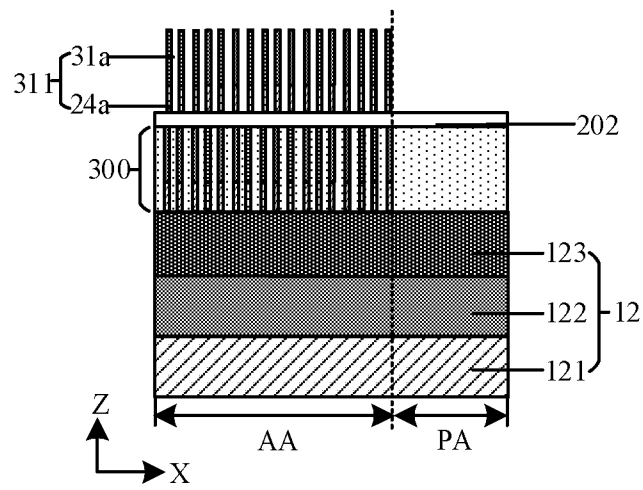


图 4j

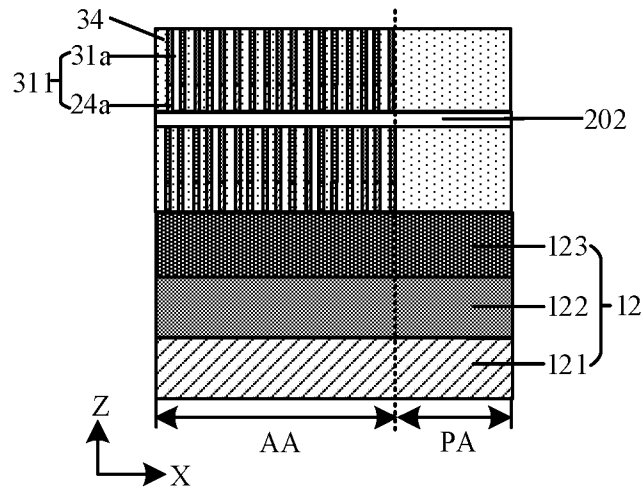


图 4k

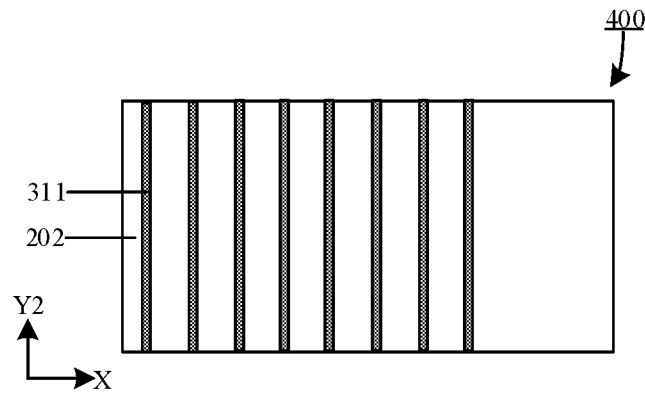


图 4l

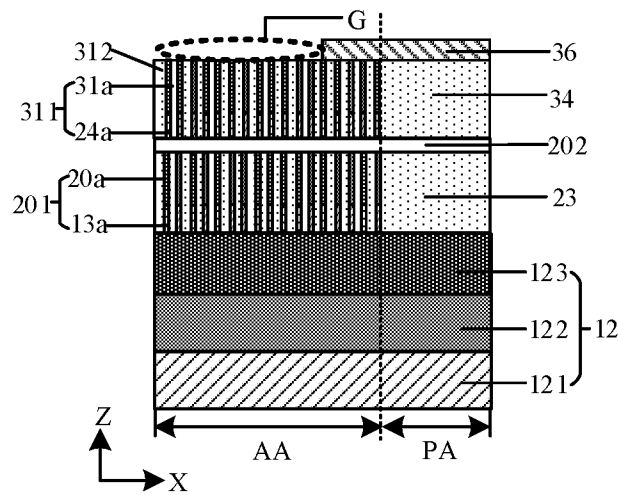


图 4m

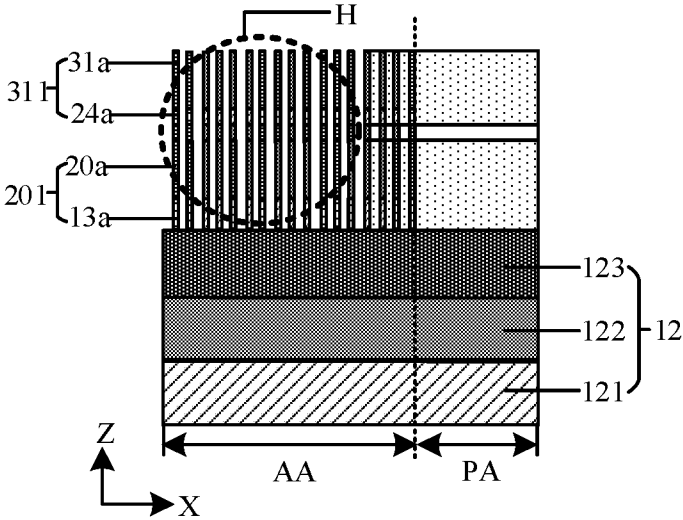


图 4n

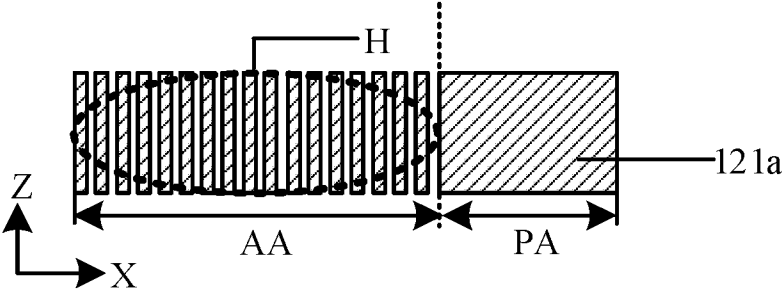


图 4o

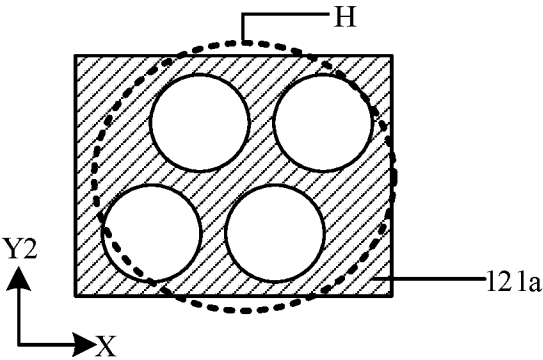


图 4p

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/123847

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, CNKI: 双掩膜, 自对准, 图案, 图形, 转移, 电容孔, 侧墙, 倾斜, 倒塌, 间隔, 牺牲层, mask, self-align
+, pattern, move, capacitor hole?, dummy hole?, side wall, spacer, sacrificial layer**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113097139 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 09 July 2021 (2021-07-09) description, paragraphs [0095]-[0157], and figures 1-23	1-19
A	WO 2022142180 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 07 July 2022 (2022-07-07) entire document	1-19
A	WO 2022077136 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 21 April 2022 (2022-04-21) entire document	1-19
A	CN 110571139 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 13 December 2019 (2019-12-13) entire document	1-19
A	WO 2021227569 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 18 November 2021 (2021-11-18) entire document	1-19
A	US 8623770 B1 (HGST NETHERLANDS B.V.) 07 January 2014 (2014-01-07) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 December 2022

Date of mailing of the international search report

22 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/123847

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	113097139	A	09 July 2021	None	
WO	2022142180	A1	07 July 2022	CN	114695270 A 01 July 2022
WO	2022077136	A1	21 April 2022	TW	202218161 A 01 May 2022
CN	110571139	A	13 December 2019	CN	110571139 B 01 October 2021
WO	2021227569	A1	18 November 2021	CN	113659075 A 16 November 2021
				US	2021358914 A1 18 November 2021
				EP	4002504 A1 25 May 2022
US	8623770	B1	07 January 2014	None	

国际检索报告

国际申请号

PCT/CN2022/123847

A. 主题的分类 H01L 23/522(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, VEN, CNKI: 双掩膜, 自对准, 图案, 图形, 转移, 电容孔, 侧墙, 倾斜, 倒塌, 间隔, 牺牲层, mask, self-align+, pattern, move, capacitor hole?, dummy hole?, side wall, spacer, sacrificial layer				
C. 相关文件				
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求		
A	CN 113097139 A (长鑫存储技术有限公司) 2021年7月9日 (2021 - 07 - 09) 说明书第[0095]-[0157]段、附图1-23	1-19		
A	WO 2022142180 A1 (CHANGXIN MEMORY TECHNOLOGIES INC.) 2022年7月7日 (2022 - 07 - 07) 全文	1-19		
A	WO 2022077136 A1 (SEMICONDUCTOR MFG INT SHANGHAI CORP. 等) 2022年4月21日 (2022 - 04 - 21) 全文	1-19		
A	CN 110571139 A (中芯国际集成电路制造上海有限公司 等) 2019年12月13日 (2019 - 12 - 13) 全文	1-19		
A	WO 2021227569 A1 (CHANGXIN MEMORY TECHNOLOGIES INC.) 2021年11月18日 (2021 - 11 - 18) 全文	1-19		
A	US 8623770 B1 (HGST NETHERLANDS B. V.) 2014年1月7日 (2014 - 01 - 07) 全文	1-19		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。				
<table><tr><td>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td><td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</td></tr></table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件			
国际检索实际完成的日期 2022年12月12日		国际检索报告邮寄日期 2022年12月22日		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王雪婷 电话号码 86-(10)-53961207		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/123847

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113097139	A	2021年7月9日	无			
WO	2022142180	A1	2022年7月7日	CN	114695270	A	2022年7月1日
WO	2022077136	A1	2022年4月21日	TW	202218161	A	2022年5月1日
CN	110571139	A	2019年12月13日	CN	110571139	B	2021年10月1日
WO	2021227569	A1	2021年11月18日	CN	113659075	A	2021年11月16日
				US	2021358914	A1	2021年11月18日
				EP	4002504	A1	2022年5月25日
US	8623770	B1	2014年1月7日	无			