

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7094800号
(P7094800)

(45)発行日 令和4年7月4日(2022.7.4)

(24)登録日 令和4年6月24日(2022.6.24)

(51)国際特許分類

F I

B 4 1 J 2/447(2006.01)

B 4 1 J 2/447 1 0 1 Q

G 0 3 G 15/04 (2006.01)

G 0 3 G 15/04

G 0 3 G 15/00 (2006.01)

G 0 3 G 15/00 3 0 3

G 0 3 B 27/00 (2006.01)

G 0 3 B 27/00 E

H 0 4 N 1/036(2006.01)

H 0 4 N 1/036

請求項の数 6 (全26頁) 最終頁に続く

(21)出願番号 特願2018-121819(P2018-121819)

(22)出願日 平成30年6月27日(2018.6.27)

(65)公開番号 特開2020-1241(P2020-1241A)

(43)公開日 令和2年1月9日(2020.1.9)

審査請求日 令和3年6月24日(2021.6.24)

(73)特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 100123559

弁理士 梶 俊和

(74)代理人 100177437

弁理士 中村 英子

(72)発明者 関 広高

東京都大田区下丸子3丁目30番2号

キヤノン株式会社内

審査官 上田 正樹

最終頁に続く

(54)【発明の名称】 画像形成装置

(57)【特許請求の範囲】

【請求項1】

回転可能な感光体と、前記感光体の回転方向と交差する交差方向に配列され前記感光体を露光する複数の発光素子と、前記複数の発光素子を駆動する駆動部と、を有する露光ヘッドと、を備え、前記交差方向における前記複数の発光素子の配列間隔に対応する解像度の画像を形成する画像形成装置であって、

クロック信号を生成するクロック信号生成手段と、

前記クロック信号に同期して画像データを前記駆動部に出力する出力手段と、

前記回転方向の解像度に対応する1ライン分の周期信号であるライン信号を生成するライン信号生成手段と、

前記回転方向の解像度で出力する画像の前記回転方向における倍率に応じて前記クロック信号のクロック周期及び前記ライン信号のライン周期を制御する制御手段と、を備え、前記倍率が第1の倍率である場合、前記ライン信号生成手段は前記ライン信号を第1のライン周期で生成し且つ前記駆動部は所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が第1の光量で発光するように前記発光素子を駆動し、

前記倍率が前記第1の倍率よりも大きい第2の倍率である場合、前記ライン信号生成手段は前記ライン信号を前記第1のライン周期よりも長い第2のライン周期で生成し且つ前記駆動部は前記所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が前記第1の光量よりも多い第2の光量で発光するように前記発光素子

を駆動し、

前記倍率が前記第 1 の倍率よりも小さい第 3 の倍率である場合、前記ライン信号生成手段は前記ライン信号を前記第 1 のライン周期よりも短い第 3 のライン周期で生成し且つ前記駆動部は前記所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が前記第 1 の光量よりも少ない第 3 の光量で発光するように前記発光素子を駆動することを特徴とする画像形成装置。

【請求項 2】

前記複数の発光素子を駆動するための駆動電圧を出力する駆動手段を備え、

前記駆動手段は、前記倍率に応じて前記駆動電圧を設定することを特徴とする請求項 1 に記載の画像形成装置。

10

【請求項 3】

前記駆動手段は、前記倍率を前記第 1 の倍率から前記第 2 の倍率に拡大させる場合には前記駆動電圧を、前記第 1 の倍率で画像を出力する場合の駆動電圧である第 1 の駆動電圧よりも高い第 2 の駆動電圧とし、前記倍率を前記第 1 の倍率から前記第 3 の倍率に縮小させる場合には前記駆動電圧を、前記第 1 の駆動電圧よりも低い第 3 の駆動電圧とすることを特徴とする請求項 2 に記載の画像形成装置。

【請求項 4】

前記複数の発光素子は、前記複数の発光素子の配列間隔に対応する解像度に相当する間隔で前記交差方向に沿って配列されていることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の画像形成装置。

20

【請求項 5】

前記出力手段は、前記複数の発光素子の配列間隔に対応する解像度よりも高い解像度の画像データを前記複数の発光素子の配列間隔に対応する解像度に変換する変換手段を有することを特徴とする請求項 4 に記載の画像形成装置。

【請求項 6】

各ラインにおける前記クロック信号のクロック周期は、出力する画像の前記回転方向における倍率に関わらず一定であることを特徴とする請求項 1 から請求項 5 のいずれか 1 項に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、電子写真方式の画像形成装置に関する。

【背景技術】

【0002】

電子写真方式の画像形成装置であるプリンタでは、LED (Light Emitting Diode) や有機 EL (Organic Electro Luminescence) などを用いた露光ヘッドを使用して感光ドラムを露光し、潜像形成を行う方式が一般的に知られている。露光ヘッドは、感光ドラムの長手方向に配列された発光素子列と、発光素子列からの光を感光ドラム上に結像させるロッドレンズアレイと、から構成される。LED や有機 EL は、発光面からの光の照射方向がロッドレンズアレイと同一方向となる面発光形状を有する構成が知られている。ここで、発光素子列の長さは、感光ドラム上における画像領域幅に応じて決まり、プリンタの解像度に応じて発光素子間の間隔が決まる。例えば、1200 dpi のプリンタの場合、画素の間隔は解像度に相当する間隔である 21.16 μm であり、そのため、発光素子間の間隔も 21.16 μm に対応する間隔となる。このような露光ヘッドを使用したプリンタでは、レーザビームを回転多面鏡によって偏向されたレーザビームによって感光ドラムを走査するレーザ走査方式のプリンタと比べて、使用する部品数が少ないため、装置の小型化、低コスト化が容易である。また、露光ヘッドを使用したプリンタでは回転多面鏡の回転によって生じる音が低減される。

40

【0003】

電子写真方式のプリンタで記録紙に画像を形成する場合、副走査方向の倍率にズレが発生

50

する場合がある。例えば複数のＬＥＤアレイユニットを主走査方向に配列するとともに副走査方向にずらして配置する場合に、ＬＥＤアレイユニットを副走査方向へ実装する際に誤差が発生することにより副走査方向の倍率にずれが発生する。そこで副走査方向の倍率のずれを補正するために、次のような技術が開示されている。例えば、ＬＥＤアレイユニットが副走査方向にずれている距離を主走査方向におけるライン数に換算した通常の副走査方向の遅延量としてラインメモリに設定する。そして、微調変倍時はＬＥＤアレイユニットの副走査方向の取付けに起因するとの同期をとるためのライン同期信号の発生周期間隔をずらす。これにより、副走査方向の微調変倍時にもずれのない画像を形成することが開示されている（例えば、特許文献１参照）。

【先行技術文献】

【特許文献】

【０００４】

【文献】特許第４５３１４９１号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかし、従来技術では、副走査方向の倍率を補正する処理については述べられているが、副走査方向の倍率を補正することにより画像データの濃度が変動することに関しては言及されていない。ライン同期信号の周期を変えることで副走査方向の倍率補正を行うと副走査方向における１ラインの間隔が、拡大時は広がり、縮小時は縮まる。その結果、記録紙に形成された画像は等倍時と比較して、副走査方向の倍率を拡大する場合は画像データの濃度が薄くなり、副走査方向の倍率を縮小する場合は画像データの濃度が濃くなるという課題が発生する。

【０００６】

本発明は、このような状況のもとでなされたもので、画像データの濃度への影響を抑えつつ、副走査方向の倍率を補正することを目的とする。

【課題を解決するための手段】

【０００７】

上述した課題を解決するために、本発明は、以下の構成を備える。

【０００８】

（１）回転可能な感光体と、前記感光体の回転方向と交差する交差方向に配列され前記感光体を露光する複数の発光素子と、前記複数の発光素子を駆動する駆動部と、を有する露光ヘッドと、を備え、前記交差方向における前記複数の発光素子の配列間隔に対応する解像度の画像を形成する画像形成装置であって、クロック信号を生成するクロック信号生成手段と、前記クロック信号に同期して画像データを前記駆動部に出力する出力手段と、前記回転方向の解像度に対応する１ライン分の周期信号であるライン信号を生成するライン信号生成手段と、前記回転方向の解像度で出力する画像の前記回転方向における倍率に応じて前記クロック信号のクロック周期及び前記ライン信号のライン周期を制御する制御手段と、を備え、前記倍率が第１の倍率である場合、前記ライン信号生成手段は前記ライン信号を第１のライン周期で生成し且つ前記駆動部は所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が第１の光量で発光するように前記発光素子を駆動し、前記倍率が前記第１の倍率よりも大きい第２の倍率である場合、前記ライン信号生成手段は前記ライン信号を前記第１のライン周期よりも長い第２のライン周期で生成し且つ前記駆動部は前記所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が前記第１の光量よりも多い第２の光量で発光するように前記発光素子を駆動し、前記倍率が前記第１の倍率よりも小さい第３の倍率である場合、前記ライン信号生成手段は前記ライン信号を前記第１のライン周期よりも短い第３のライン周期で生成し且つ前記駆動部は前記所定のクロック周期のクロック信号に同期して出力される画像データに基づいて前記発光素子が前記第１の光量よりも少ない第３の光量で発光するように前記発光素子を駆動することを特徴とする画像形成装置。

【発明の効果】

【 0 0 0 9 】

本発明によれば、画像データの濃度への影響を抑えつつ、副走査方向の倍率を補正することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】実施例 1、2 の画像形成装置の構成を示す概略断面図

【図 2】実施例 1、2 の露光ヘッドと感光ドラムの位置関係を説明する図、及び露光ヘッドの構成を説明する図

【図 3】実施例 1、2 のプリント基板の模式図、及び面発光素子アレイチップの構成を説明する図

10

【図 4】実施例 1、2 の画像コントローラ部及び露光ヘッドの制御ブロック図

【図 5】実施例 1、2 のチップデータ変換部の制御ブロック図、及びタイミングチャート

【図 6】実施例 1、2 のチップデータ変換部の画像データの処理を説明する図

【図 7】実施例 1、2 の面発光素子アレイチップの回路を説明する図

【図 8】実施例 1、2 のシフトサイリスタのゲート電位の分布状態を説明する図

【図 9】実施例 1、2 の面発光素子アレイチップの駆動信号波形を示す図

【図 10】実施例 1、2 の面発光サイリスタの断面を示す図

【図 11】実施例 1 の画像データ領域と拡張領域を示すタイムチャート

【図 12】実施例 1 の感光ドラム上に形成されるドット形状を示す図

20

【図 13】実施例 2 の副走査方向の倍率の有無と光量との関係を示す図

【図 14】その他の実施例のブロック図

【図 15】その他の実施例のブロック図

【図 16】実施例 1、2 のルックアップテーブルを示す図

【発明を実施するための形態】

【 0 0 1 1 】

以下に、図面を参照して本発明の実施の形態について詳細に説明する。

【実施例 1】

【 0 0 1 2 】

〔画像形成装置の構成〕

30

図 1 は、実施例 1 における電子写真方式の画像形成装置の構成を示す概略断面図である。図 1 に示す画像形成装置は、スキャナ機能とプリンタ機能を備える複合機（MFP）であり、スキャナ部 100、作像部 103、定着部 104、給紙／搬送部 105、及びこれらを制御するプリンタ制御部（不図示）から構成される。スキャナ部 100 は、原稿台に置かれた原稿に照明を照射し原稿画像を光学的に読み取り、読み取った画像を電気信号に変換して画像データを作成する。

【 0 0 1 3 】

作像部 103 は、無端の搬送ベルト 111 の回転方向（反時計回り方向）に沿って、シアン（C）、マゼンタ（M）、イエロー（Y）、ブラック（K）の順に並べられた、4 連の画像形成ステーションを備える。4 つの画像形成ステーションは同じ構成を有し、各画像形成ステーションは、矢印方向（時計回り方向）に回転する感光体である感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 を備えている。なお、感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 の添え字 a、b、c、d は、それぞれ画像形成ステーションのブラック（K）イエロー（Y）、マゼンタ（M）、シアン（C）に対応する構成であることを示す。なお、以下では、特定の感光ドラム等を指す場合を除き、符号の添え字を省略することとする。

40

【 0 0 1 4 】

作像部 103 では、感光ドラム 102 を回転駆動し、帯電器 107 によって感光ドラム 102 を帯電させる。露光手段である露光ヘッド 106 は、配列された LED アレイを画像データに応じて発光し、LED アレイのチップ面で発光した光を、ロッドレンズアレイに

50

よって感光ドラム 102 上（感光体上）に集光し、静電潜像を形成する。現像器 108 は、感光ドラム 102 に形成された静電潜像をトナーで現像する。そして、現像されたトナー像は、記録紙を搬送する搬送ベルト 111 上の記録紙に転写される。このような一連の電子写真プロセスが各画像形成ステーションで実行される。なお、画像形成時には、シアン（C）の画像形成ステーションでの画像形成が開始されて所定時間が経過した後に、順次、マゼンタ（M）、イエロー（Y）、ブラック（K）の各画像形成ステーションで、画像形成動作が実行される。

【0015】

図 1 に示す画像形成装置は、記録紙を給紙するユニットとして、給紙／搬送部 105 が有する本体内給紙ユニット 109a、109b、大容量の給紙ユニットである外部給紙ユニット 109c、及び手差し給紙ユニット 109d を備えている。画像形成時には、このうち、予め指示された給紙ユニットから記録紙が給紙され、給紙された記録紙はレジストレーションローラ 110 まで搬送される。レジストレーションローラ 110 は、上述した作像部 103 において形成されたトナー像が記録紙に転写されるタイミングで、搬送ベルト 111 に記録紙を搬送する。搬送ベルト 111 により搬送される記録紙には、各画像形成ステーションの感光ドラム 102 上に形成されたトナー像が順次転写される。未定着のトナー像が転写された記録紙は、定着部 104 へと搬送される。定着部 104 は、ハロゲンヒータ等の熱源を内蔵し、記録紙上のトナー像を、2つのローラにより加熱・加圧することによって記録紙に定着させる。定着部 104 によりトナー像が定着された記録紙は、排出口ローラ 112 により画像形成装置の外部に排出される。

【0016】

ブラック（K）の画像形成ステーションの記録紙搬送方向の下流側には、搬送ベルト 111 に対向する位置に、検知手段である光学センサ 113 が配置されている。光学センサ 113 は、各画像形成ステーション間のトナー像の色ずれ量を導出するため、搬送ベルト 111 上に形成されたテスト画像の位置の検出を行う。光学センサ 113 により導出された色ずれ量は、後述する制御基板 415（図 4 参照）に通知され、記録紙上に色ずれのないフルカラートナー像が転写されるように、各色の画像位置が補正される。また、プリンタ制御部（不図示）は、複合機（MFP）全体を制御する MFP 制御部（不図示）からの指示に応じて、上述したスキャナ部 100、作像部 103、定着部 104、給紙／搬送部 105 等を制御しながら、画像形成動作を実行する。

【0017】

ここでは、電子写真方式の画像形成装置の例として、搬送ベルト 111 上の記録紙に各画像形成ステーションの感光ドラム 102 に形成されたトナー像を直接転写する方式の画像形成装置について説明した。本発明は、このような感光ドラム 102 上のトナー像を直接、記録紙に転写する方式のプリンタに限定されるものではない。例えば、感光ドラム 102 上のトナー像を中間転写ベルトに転写する一次転写部と、中間転写ベルト上のトナー像を記録紙に転写する二次転写部を備える画像形成装置についても、本発明は適用することができる。

【0018】

[露光ヘッドの構成]

次に、感光ドラム 102 に露光を行う露光ヘッド 106 について、図 2 を参照して説明する。図 2（a）は、露光ヘッド 106 と感光ドラム 102 との位置関係を示す斜視図であり、図 2（b）は、露光ヘッド 106 の内部構成と、露光ヘッド 106 からの光束がロッドレンズアレイ 203 により感光ドラム 102 に集光される様子を説明する図である。図 2（a）に示すように、露光ヘッド 106 は、矢印方向に回転する感光ドラム 102 の上部の、感光ドラム 102 に対向する位置に、取付け部材（不図示）によって画像形成装置に取り付けられている（図 1）。

【0019】

図 2（b）に示すように、露光ヘッド 106 は、駆動基板 202 と、駆動基板 202 に実装された面発光素子アレイ素子群 201 と、ロッドレンズアレイ 203 と、ハウジング 2

10

20

30

40

50

04 とから構成されている。ハウジング204には、ロッドレンズアレイ203と駆動基板202が取り付けられる。ロッドレンズアレイ203は、面発光素子アレイ素子群201からの光束を感光ドラム102上に集光させる。工場では、露光ヘッド106単体で組立て調整作業が行われ、各スポットのピント調整、光量調整が行われる。ここで、感光ドラム102とロッドレンズアレイ203との間の距離、及びロッドレンズアレイ203と面発光素子アレイ素子群201との間の距離が、所定の間隔となるように組立て調整が行われる。これにより、面発光素子アレイ素子群201からの光が感光ドラム102上に結像される。そのため、工場でのピント調整時には、ロッドレンズアレイ203と面発光素子アレイ素子群201との距離が所定の値となるように、ロッドレンズアレイ203の取付け位置の調整が行われる。また、工場での光量調整時には、面発光素子アレイ素子群201の各発光素子を順次発光させていき、ロッドレンズアレイ203を介して感光ドラム102上に集光させた光が所定光量になるように、各発光素子の駆動電流の調整が行われる。

10

【0020】

[面発光素子アレイ素子群の構成]

図3は、面発光素子アレイ素子群201を説明する図である。図3(a)は、駆動基板202の面発光素子アレイ素子群201が実装された面の構成を示す模式図であり、図3(b)は、駆動基板202の面発光素子アレイ素子群201が実装された面(第1面)とは反対側の面(第2面)の構成を示す模式図である。

【0021】

図3(a)に示すように、駆動基板202に実装された面発光素子アレイ素子群201は、29個の面発光素子アレイチップ1~29が、駆動基板202の長手方向に沿って、千鳥状に2列に配置された構成を有している。なお、図3(a)において、上下方向は回転方向である副走査方向(感光ドラム102の回転方向)を示し、水平方向は、副走査方向と直交する第2の方向である主走査方向を示す。主走査方向は、感光ドラム102の回転方向と交差する交差方向でもある。各々の面発光素子アレイチップの内部には、計516個の発光点を有する面発光素子アレイチップの各素子が、面発光素子アレイチップの長手方向に所定の解像度ピッチで配列されている。本実施例では、面発光素子アレイチップの各素子のピッチは、第1の解像度である1200dpiの解像度のピッチである約21.16 μ m(2.54cm/1200ドット)となっている。その結果、1つの面発光素子アレイチップ内における516個の発光点の端から端までの配列間隔は、約10.9mm(21.16 μ m \times 516)である。面発光素子アレイ素子群201は、29個の面発光素子アレイチップから構成されている。面発光素子アレイ素子群201における露光可能な発光素子数は14,964素子(=516素子 \times 29チップ)となり、約316mm(約10.9mm \times 29チップ)の主走査方向の画像幅に対応した画像形成が可能となる。

20

30

【0022】

図3(c)は、長手方向に2列に配置された面発光素子アレイチップのチップ間の境界部の様子を示す図であり、水平方向は、図3(a)の面発光素子アレイ素子群201の長手方向である。図3(c)に示すように、面発光素子アレイチップの端部には、制御信号が入力されるワイヤボンディングパッドが配置されており、ワイヤボンディングパッドから入力された信号により、転送部及び発光素子が駆動される。また、面発光素子アレイチップは、複数の発光素子を有している。面発光素子アレイチップ間の境界部においても、発光素子の長手方向のピッチ(2つの発光素子の中心点と中心点の間隔)は、1200dpiの解像度のピッチである約21.16 μ mとなっている。また、上下2列に並んだ面発光素子アレイチップは、上下の面発光素子アレイチップの発光点の間隔(図中、矢印Sで示す)が約84 μ m(1200dpiで4画素分、2400dpiで8画素分の各解像度の整数倍の距離)となるように配置されている。

40

【0023】

また、図3(b)に示すように、面発光素子アレイ素子群201が実装された面とは反対

50

側の駆動基板 202 の面には、駆動部 303a、303b、及びコネクタ 305 が実装されている。駆動部 303a、303b は、ドライバ IC である。コネクタ 305 の両側に配置された駆動部 303a、303b は、それぞれ面発光素子アレイチップ 1~15、面発光素子アレイチップ 16~29 を駆動する。駆動部 303a、303b は、それぞれパターン 304a、304b を介して、コネクタ 305 と接続されている。コネクタ 305 には、後述する制御基板 415 (図 4 参照) からの駆動部 303a、303b を制御する信号線、電源電圧、グランドが接続されており、駆動部 303a、303b と接続される。また、駆動部 303a、303b からは、それぞれ面発光素子アレイ素子群 201 を駆動するための配線が駆動基板 202 の内層を通り、面発光素子アレイチップ 1~15、面発光素子アレイチップ 16~29 に接続されている。

10

【0024】

[画像コントローラ部、露光ヘッドの制御構成]

図 4 は、画像データを処理し、露光ヘッド 106 に出力する出力手段である制御基板 415 と、制御基板 415 から入力された画像データに基づいて、感光ドラム 102 を露光する駆動基板 202 の制御ブロック図である。以下に説明する各ブロック 401~414 は、IC 内部のモジュールを示す。駆動基板 202 については、図 4 に示す駆動部 303a により制御される面発光素子アレイチップ 1~15 について説明する。なお、駆動部 303b (図 4 には不図示) により制御される面発光素子アレイチップ 16~29 も、駆動部 303a により制御される面発光素子アレイチップ 1~15 と同様の動作を行う。また、説明を簡易化するために、ここでは 1 つの色の画像処理について説明するが、本実施例の画像形成装置では、同様の処理を 4 色同時に並列処理される。図 4 に示す制御基板 415 は、露光ヘッド 106 を制御する信号を送信するためのコネクタ 416 を有している。コネクタ 416 からは、露光ヘッド 106 のコネクタ 305 に接続されたケーブル 417 を介して、画像データ 423、クロック信号 420、後述する Line 同期信号 424 が送信される。また、コネクタ 416 からは、コネクタ 305 に接続されたケーブル 418 を介して、制御基板 415 の CPU 400 からの制御信号が送信される。

20

【0025】

[制御基板]

制御基板 415 は、露光ヘッド 106 に対して露光ヘッド 106 を制御するための信号を送信する。この信号は、クロック信号 420、画像データ 423、Line 同期信号 424 をパラレル - シリアル変換した信号である。この信号は、制御基板 415 側のコネクタ 416 から信号を伝送するケーブル 417 を介して露光ヘッド側のコネクタ 305 に入力される。また、CPU 400 の通信信号は、伝送ケーブル 418 を介して、露光ヘッド 106 側のコネクタ 305 に入力される。

30

【0026】

制御基板 415 では、CPU 400 により、画像データの処理と印刷タイミングの処理が行われる。制御基板 415 は、画像データ生成部 401、ラインデータシフト部 402、チップデータ変換部 403、チップデータシフト部 404、データ送信部 405、同期信号生成部 406 の機能ブロックから構成されている。以下、制御基板 415 での画像データが処理される順に、各機能ブロックでの処理について説明する。

40

【0027】

(画像データ生成部)

データ生成手段である画像データ生成部 401 は、スキャナ部 100 又は画像形成装置に接続された外部コンピュータから受信した画像データに対して、CPU 400 から指示された解像度でディザリング処理を行い、プリント出力のための画像データを生成する。本実施例では、画像データ生成部 401 は、第 2 の解像度である 2400 dpi の解像度でディザリング処理を行うものとする。すなわち、画像データ生成部 401 が生成する画像データは、2400 dpi 相当の画素データである。本実施例の 2400 dpi 相当の画素データは 1 ビットであるものとするが、複数ビットで 1 画素を表現しても良い。画像データ生成部 401 が生成する画素データは、副走査方向の 2400 dpi 相当のラインに

50

対応するラインデータである。なお、画像データ生成部 401 は、1つの集積回路 401A である。

【0028】

(ラインデータシフト部)

CPU 400 は、光学センサ 113 により検知された色ずれ量に基づいて、主走査方向(露光ヘッド 106 の長手方向)、副走査方向(感光ドラム 102 の回転方向でもあり、記録紙の搬送方向でもある)の画像シフト量を 2400 dpi 単位で各々決定する。画像シフト量は、例えば、光学センサ 113 による色ずれ検出用パターン画像の検知結果に基づいて算出される色間の相対的な色ずれ量に基づいて、CPU 400 によって決定される。そして、CPU 400 は、補正手段であるラインデータシフト部 402 に画像シフト量を指示する。ラインデータシフト部 402 では、CPU 400 から指示された画像シフト量を基に、記録紙 1 ページ内の画像領域全域に対して、画像データ生成部 401 から入力された画像データを 2400 dpi 単位でシフト処理する。なお、ラインデータシフト部 402 は、記録紙 1 ページ内の画像領域を複数に分割し、分割された複数の画像領域毎にシフト処理を実行するようにしても良い。

10

【0029】

(同期信号生成部)

第2の生成手段(ライン信号生成手段)である同期信号生成部 406 は、感光ドラム 102 の回転速度に同期した信号で、感光ドラム 102 の回転方向 1 ライン分のライン周期信号(以下、Line 同期信号という)を生成する。CPU 400 は、副走査方向の倍率が等倍である場合に、同期信号生成部 406 に Line 同期信号の周期を指示する。Line 同期信号の周期は、予め定められた感光ドラム 102 の回転速度に対して、感光ドラム 102 表面が回転方向(副走査方向)に 2400 dpi の画素サイズ(約 10.5 μm)移動する時間でもある。例えば、副走査方向に 200 mm / 秒の速度で印刷する場合には、CPU 400 は、Line 同期信号の周期(副走査方向における各主走査方向 1 ライン分の周期)を約 52.9 μs ((25.4 mm / 2400 ドット) / 200 mm) として、同期信号生成部 406 に指示する。画像形成装置が感光ドラム 102 の回転速度を検知する検知部(例えば感光ドラムの回転軸に設置したエンコーダ)を有している場合は、CPU 400 は、検知部の結果(エンコーダが出力する信号の発生周期)に基づいて、副走査方向の感光ドラム 102 の回転速度を算出し、当該算出結果に基づいて Line 同期信号の周期を決定する。一方、感光ドラム 102 の回転速度を検知する検知部を有していない場合、CPU 400 は、ユーザが操作部から入力するシートの坪量(g/cm²)やシートサイズなどの紙の種類の情報に基づいて、Line 同期信号の周期を決定する。

20

30

【0030】

(クロック生成部)

第1の生成手段(クロック信号生成手段)であるクロック生成部 422 は、駆動部 303a で使用するクロック信号を生成する。CPU 400 は、ROM 421 に格納されているクロック生成設定値に基づき、データ送信部 405 へ送信するクロック信号の周期(周波数)を作像開始前に決定する。

【0031】

(チップデータ変換部)

チップデータ変換部 403 は、Line 同期信号に同期して、ラインデータシフト部 402 より、感光ドラム 102 の副走査方向において各主走査方向 1 ライン分ずつ、ラインデータの読み出しを行う。そして、チップデータ変換部 403 は、読み出したラインデータをチップ毎のラインデータに分割するデータ処理を実行する。

40

【0032】

図 5(a) は、チップデータ変換部 403 の構成を示すブロック図である。図 5(a) において、同期信号生成部 406 から出力される Line 同期信号は、カウンタ 530 に入力される。カウンタ 530 は、入力される Line 同期信号を変調して Line 同期信号よりも高周波の CLK 信号を生成する周波数変調回路を備えている。カウンタ 530 は、

50

周波数変調回路の代わりに L i n e 同期信号よりも高周波のクロック信号 (C L K) を生成する発振器を内蔵していても良い。以下では、チップデータ変換部 4 0 3 がラインデータシフト部 4 0 2 からラインデータを読み出す構成を例示するが、実施の形態はこれに限られるものではない。すなわち、ラインデータシフト部 4 0 2 に L i n e 同期信号を供給し、かつ上記 C L K 信号をラインデータシフト部 4 0 2 が内部で生成することによって、ラインデータシフト部 4 0 2 がチップデータ変換部 4 0 3 に対して主体的にラインデータを送信するよう構成しても良い。

【 0 0 3 3 】

カウンタ 5 3 0 は L i n e 同期信号が入力されると、カウント値を 0 にリセットした後、クロック信号 (C L K) (図 5 (b) 参照) のパルス数に同期して、カウンタ値をインクリメントする。カウンタ 5 3 0 が生成する C L K 信号の周波数は、チップデータ変換部 4 0 3 が L i n e 同期信号の 1 周期内に読み出すべき画素データの容量 (ビット数) と、後述するチップデータ変換部 4 0 3 のデータ処理速度と、に基づいて設計段階で決定される。例えば、上述したように、面発光素子アレイ素子群 2 0 1 は、主走査方向の 1 ラインを露光する発光素子を 1 4 , 9 6 4 素子 (1 2 0 0 d p i 換算) 有している。一方、画像データ生成部 4 0 1 は、2 4 0 0 d p i の解像度でディザリング処理を行っている。そのため、ラインデータシフト部 4 0 2 から出力される主走査方向の 1 ライン分の画像データの画素数は、2 9 , 9 2 8 画素 (= 1 4 , 9 6 4 × (2 4 0 0 d p i / 1 2 0 0 d p i)) となる。チップデータ変換部 4 0 3 は、L i n e 同期信号の間に、主走査方向 1 ライン分の画像データを読み出して後述するラインメモリ 5 0 0 への書き込みと、後述するメモリ 5 0 1 ~ 5 2 9 への画像データの書き込みを行う。そのため、カウンタ 5 3 0 は、1 ラインのラインデータに含まれる画素数 (2 9 , 9 2 8) の 2 倍の数 (5 9 , 8 5 6) のカウント動作を行う。カウンタ 5 3 0 のカウント値が 1 ~ 2 9 , 9 2 8 までの期間を T m 1、カウント値が 2 9 , 9 2 9 ~ 5 9 , 8 5 6 までの期間を T m 2 とする (図 5 (b) 参照)。

【 0 0 3 4 】

R E A D 制御部 5 3 1 は、カウンタ 5 3 0 のカウント値に応じてラインデータをラインデータシフト部 4 0 2 から読み出す。すなわち、R E A D 制御部 5 3 1 は、カウンタ 5 3 0 のカウント値が 1 ~ 2 9 , 9 2 8 までの期間 T m 1 に、主走査方向 1 ライン分のラインデータ (2 9 , 9 2 8 画素) をラインメモリ 5 0 0 に格納する。また、W R 制御部 5 3 2 は、カウンタ 5 3 0 のカウント値が 2 9 , 9 2 9 ~ 5 9 , 8 5 6 の期間 T m 2 に、ラインメモリ 5 0 0 に格納された主走査方向 1 ライン分のラインデータをメモリ 5 0 1 ~ 5 2 9 に分割して書き込む。メモリ 5 0 1 ~ 5 2 9 はラインメモリ 5 0 0 よりも記憶容量の少ないメモリであり、チップ毎に分割されたラインデータ (分割ラインデータ) を記憶する。メモリ 5 0 1 ~ 5 2 9 は、面発光素子アレイチップ 1 ~ 2 9 に対応して設けられている F I F O (F i r s t I n F i r s t O u t : 先入れ先出し) メモリである。即ち、メモリ 5 0 1 は面発光素子アレイチップ 1 に対応するラインデータを記憶し、メモリ 5 0 2 は面発光素子アレイチップ 2 に対応するラインデータを記憶し、・・・メモリ 5 2 9 は面発光素子アレイチップ 2 9 に対応するラインデータを記憶する。

【 0 0 3 5 】

続いて、チップデータ変換部 4 0 3 が実行するラインデータシフト部 4 0 2 から読み出したラインデータのメモリ 5 0 1 ~ 5 2 9 への書き込み、及びメモリ 5 0 1 ~ 5 2 9 に書き込まれた画像データの出力について説明する。図 5 (b) は、チップデータ変換部 4 0 3 におけるラインデータの入出力タイミングを説明するタイムチャートである。図 5 (b) において、L i n e 同期信号は、同期信号生成部 4 0 6 から出力されるパルス信号を示している。また、図中、T L 1、T L 2、・・・T L 1 0 は、副走査方向 1 ライン分の周期の番号を示している。また、L i n e 同期信号の 1 周期は、カウンタ 5 3 0 のカウンタ値に応じて、期間 T m 1 と期間 T m 2 に分割されている。ラインメモリ 5 0 0 への入力データは、ラインデータシフト部 4 0 2 からの画像データを示しており、周期 T L 1、T L 2、・・・T L 1 0 の期間 T m 1 にラインデータシフト部 4 0 2 から入力される。図 5 (b) 中の 1 ライン目データとは、副走査方向において 1 ライン目のラインデータ (主走査方

10

20

30

40

50

向 1 ライン分)を指している。同様に、2 ライン目データ、・・・10 ライン目データとは、それぞれ、副走査方向において2 ライン目のラインデータ、・・・副走査方向において10 ライン目のラインデータ(主走査方向1 ライン分)を指している。

【0036】

また、図5(b)に示す‘メモリ501への入力データ’は、ラインメモリ500に格納された主走査方向1ライン分のラインデータのうち、面発光素子アレイチップ1に対応するラインデータがメモリ501に書き込まれるタイミングを示している。同様に、メモリ502への入力データ、メモリ503への入力データ、・・・メモリ529への入力データは、それぞれ面発光素子アレイチップ2、3、・・・29に対応するラインデータがメモリ502、503、・・・529それぞれに書き込まれるタイミングを示している。なお、メモリ501への入力データの1ライン目データとは、主走査方向1ライン分の全ラインデータではなく、面発光素子アレイチップ1が対応する主走査方向のラインデータ(分割ラインデータ)を指しており、メモリ502～メモリ529の入力データについても同様である。

10

【0037】

図5(b)に示す‘メモリ501からの出力データ’は、メモリ501に書き込まれたラインデータを面発光素子アレイチップ1に出力するために読み出すタイミングを示している。同様に、図5(b)に示す‘メモリ502からの出力データ’、・・・‘メモリ529からの出力データ’は、それぞれ面発光素子アレイチップ2、・・・面発光素子アレイチップ29に出力するために読み出すタイミングを示している。なお、メモリ501からの出力データの1ライン目データとは、主走査方向1ライン分の全ラインデータではなく、面発光素子アレイチップ1が対応する主走査方向のラインデータ(分割ラインデータ)を指しており、メモリ502～メモリ529からの出力データについても同様である。

20

【0038】

本実施例では、ラインメモリ500から、主走査方向1ライン分のラインデータを順次読み出し、まず、面発光素子アレイチップ1のラインデータを格納するメモリ501への書き込みが行われる。次に、面発光素子アレイチップ2の画像データを格納するメモリ502への書き込みが行われ、以降、面発光素子アレイチップ29の画像データを格納するメモリ529まで順次、書き込みが連続的に行われる。なお、チップデータ変換部403の後段のチップデータシフト部404では、面発光素子アレイチップ単位での副走査方向のデータシフト処理が行われる。そのため、メモリ501～529には、副走査方向10ライン分のラインデータが格納されるものとする。

30

【0039】

更に、メモリ501～529に格納されるラインデータは、各面発光素子アレイチップに対応する1チップ分のラインデータに加えて、隣接する面発光素子アレイチップの端部の画素データを複写した画素データも併せて格納される。例えば、メモリ502には、次のような画素データが格納される。すなわち、メモリ502には、面発光素子アレイチップ2に対応するラインデータの両端それぞれに、面発光素子アレイチップ1の面発光素子アレイチップ2側の最端部の画素データと、面発光素子アレイチップ3の面発光素子アレイチップ2側の最端部の画素データと、が付加されて格納される。

40

【0040】

図6は、ラインメモリ500に格納されたラインデータと、メモリ501～529に格納される画像データとの関係を説明する図である。図6(a)は、ラインメモリ500に格納された面発光素子アレイチップ毎のラインデータを示す図であり、メモリ501～529に配列変更される前のラインデータの配列のイメージを示している。ラインメモリ500には、面発光素子アレイチップ(N-1)のラインデータ(ハッチング表示)、面発光素子アレイチップNのラインデータ(白抜き表示)、面発光素子アレイチップ(N+1)のラインデータ(ハッチング表示)が格納されている。

【0041】

一方、図6(b)は、面発光素子アレイチップNに対応するメモリ501～529毎に格

50

納されたラインデータのイメージを示している。上述したように、面発光素子アレイチップに対応するメモリ502～528には、該当する面発光素子アレイチップのラインデータに、隣接する面発光素子アレイチップの端部の画素データが付加されて格納される。図6(b)に示す面発光素子アレイチップNのラインデータのうち、最も左側の画素データは、面発光素子アレイチップ(N-1)のラインデータに含まれる面発光素子アレイチップNに隣接する端部の画素データである(図中、矢印参照)。一方、図6(b)に示す面発光素子アレイチップNのラインデータのうち、最も右側の画素データは、面発光素子アレイチップ(N+1)のラインデータのうち、面発光素子アレイチップNに隣接する端部の画素データである(図中、矢印参照)。

【0042】

なお、メモリ501には、面発光素子アレイチップ1に対応するラインデータの端部に面発光素子アレイチップ2の面発光素子アレイチップ1側の最端部の画素データが付加されて格納される。また、メモリ529には、面発光素子アレイチップ29に対応するラインデータの端部に面発光素子アレイチップ28の面発光素子アレイチップ29側の最端部の画素データが付加されて格納される。

【0043】

このように、本実施例では、面発光素子アレイチップ毎に隣接する面発光素子アレイチップの端部の画素データを、該当の面発光素子アレイチップのラインデータの両端に追加して、メモリ501～529に格納する。上述したチップデータ変換部403の動作により、主走査方向の1ライン分のラインデータは、面発光素子アレイチップ1～29に対応して設けられたメモリ501～529に、隣接する面発光素子アレイの端部の画素データとともに格納される。なお、隣接する面発光素子アレイチップの端部の画素データは、後述するフィルタ処理部408において用いられる。

【0044】

(チップデータシフト部)

補正手段であるチップデータシフト部404は、CPU400から予め指示された面発光素子アレイチップ毎の副走査方向の画像シフト量に関するデータ情報(2400dpi単位)に基づいて、メモリ501～529からのラインデータの相対的な読み出しタイミングを制御する。以下、チップデータシフト部404が実行する副走査方向の画像シフト処理について具体的に説明する。

【0045】

露光ヘッド長手方向において、偶数番目の各発光素子アレイチップの実装位置にずれがないことが望ましい。同様に、露光ヘッド長手方向において、奇数番目の各発光素子アレイチップの実装位置にずれがないことが望ましい。また、偶数番目の各発光素子アレイチップと奇数番目の各発光素子アレイチップとの副走査方向の実装位置関係は2400dpi相当で所定の画素数(例えば、8画素)であることが設計上好ましい。さらに、各発光素子アレイチップ内における発光素子列の副走査方向の配置位置が固体差を持たず一定であることが好ましい。しかしながら、これらの実装位置や発光素子列の配置位置は誤差を含み、これらの誤差が出力画像の画質の低下を招く恐れがある。

【0046】

図4に示すメモリ430(ROM)には、駆動基板202に千鳥状に実装された面発光素子アレイチップ1～29の各発光素子列の副走査方向の相対的な位置関係から演算された補正データが記憶されている。例えば、メモリ430には、副走査方向の位置の基準となる発光素子アレイチップ1の発光素子列に対して、他の発光素子アレイチップ2～29の各発光素子列が副走査方向に2400dpi相当で何画素ずれて駆動基板202に実装されているかの測定データに基づく補正データが記憶されている。測定データは、駆動基板202に発光素子アレイチップ2～29を実装した後、測定装置によって各発光素子アレイチップの発光素子を点灯させ、その受光結果に基づいて計測される。CPU400は、画像形成装置の電源がONされたことに応じてメモリ430から読み出した補正データをチップデータシフト部404の内部レジスタに設定する。チップデータシフト部404は

10

20

30

40

50

、内部レジスタに設定された補正データに基づいてメモリ501～529に記憶された同一ラインを形成するためのラインデータのシフト処理を行う。例えば、発光素子アレイチップ1の発光素子列に対して発光素子アレイチップ2の発光素子列が2400dpi相当で副走査方向に8画素ずれて駆動基板202に実装されている場合、チップデータシフト部404は、駆動基板202への発光素子アレイチップ1に対応するラインデータの出力タイミングに対して、同一ラインをなす発光素子アレイチップ2に対応するラインデータの出力タイミングが8画素分遅延するように発光素子アレイチップ1に対応するラインデータに対して発光素子アレイチップ2に対応する全ラインデータをシフトさせる。

【0047】

(データ送信部)

データ送信部405は、露光ヘッド106に対して、上述した一連のラインデータに対応するデータ処理を実行した後のラインデータを駆動基板202に送信する。前述した図5(b)を参照して、画像データの送信タイミングについて説明する。図3(a)に示すように、面発光素子アレイチップのうち、奇数番目の面発光素子アレイチップ1、3、5、・・・29は、副走査方向の上流側に配置され、偶数番目の面発光素子アレイチップ2、4、6、・・・28は、副走査方向の下流側に配置されている。図5(b)に示すタイムチャートでは、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529への画像データの書き込みは、最初のLine同期信号の期間(図中、TL1、TL10)で行われる。そして、次のLine同期信号の期間(図中、TL2)で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向における1ライン目のラインデータの読み出しが行われる。同様に、更に次のLine同期信号の期間では、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向における2ライン目のラインデータの読み出しが行われる。そして、10番目のLine同期信号の期間(図中、TL10)で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向における9ライン目のラインデータの読み出しが行われる。また、偶数番目の面発光素子アレイチップ2に対応するメモリ502は、メモリ502への画像データの書き込みが行われた期間TL1から、Line同期信号424の9パルス後の期間(図中、TL10)で、メモリ502から画像データの読み出しが行われる。

【0048】

データ送信部405は、チップデータシフト部404によって処理されたラインデータを駆動基板202に送信する。カウンタ530は、発振器の代わりに、入力されるLine同期信号を変調してLine同期信号よりも高周波のCLK信号を生成する周波数変調回路を備えている。カウンタ530は、周波数変調回路の代わりにLine同期信号よりも高周波のクロック信号(CLK)を生成する発振器を内蔵していても良い。本実施例では、Line同期信号の1周期内でカウント値が59,856(1ラインの画素データ数の2倍の数)以上になるように、クロック信号(図5(b)のCLK)の周波数を定めている。これにより、Line同期信号の1周期の時間内で、ラインメモリ500への画像データの入力(書き込み)、及びラインメモリ500からメモリ501～529への画像データの出力(書き込み)が可能となる。

【0049】

一方、メモリ501～529からのデータの読み出しは、Line同期信号の1周期の期間内に、29個のメモリ501～529から各面発光素子アレイチップに対応する、主走査方向1ライン分の画像データを平行に出力する。そのため、メモリ501～529からの画像データの読み出し速度は、メモリへの書き込み速度に対して、低速で読み出しでもよい。例えば、本実施例では、メモリ501～529への画像データの書き込み時のクロック信号の周期の58倍の長い周期で、メモリ501～529から画像データを読み出すものとする。

【0050】

なお、ラインデータシフト部402、チップデータ変換部403、チップデータシフト部

10

20

30

40

50

４０４、データ送信部４０５、同期信号生成部４０６は、集積回路４０１Ａとは異なる集積回路４０２Ａである。また、ＣＰＵ４００は、集積回路４０１Ａ及び集積回路４０２Ａとは異なる集積回路である。

【００５１】

[露光ヘッドの駆動部]

(データ受信部)

次に、露光ヘッド１０６の駆動部３０３ａ内部の処理について説明する。データ受信部４０７は、制御基板４１５のデータ送信部４０５から送信されたデータを受信し、それぞれクロック信号４２０、Ｌｉｎｅ同期信号４２４、画像データ４２３を分離する。データ受信部４０７とデータ送信部４０５は一般的に知られているパラレルシリアル変換を使用すれば良い。本実施例では、クロック信号４２０、Ｌｉｎｅ同期信号４２４、画像データ４２３をパラレルシリアル変換により駆動部３０３ａへ送信しているが、それぞれパラレルで送信しても良い。また駆動部３０３ａはデータ受信部４０７で受信したクロック信号を基に動作する。これは駆動部３０３ａにクロック発振器や水晶振動子を不要とすることが可能となるためである。

10

【００５２】

ここで、データ受信部４０７、データ送信部４０５は、Ｌｉｎｅ同期信号に同期して副走査方向のライン単位で、画像データを送受信するものとする。前述したように、チップデータ変換部４０３では、面発光素子アレイチップ１～２９のチップ毎にデータの配列を行い、以降の処理ブロックは面発光素子アレイチップ１～２９のチップのデータを並列処理する構成となっている。駆動部３０３ａでは、面発光素子アレイチップ１～１５に対応した画像データを受信し、チップ毎に並列に処理可能な回路を有するものとする。

20

【００５３】

(フィルタ処理部)

変換手段であるフィルタ処理部４０８では、面発光素子アレイチップ１～２９毎の画像データに対して、主走査方向のフィルタ処理による補間処理を行い、主走査方向の解像度を２４００dpiから１２００dpiに変換する。

【００５４】

フィルタ処理を行う際に、面発光素子アレイチップの端部の画素の処理を行う場合、隣接する面発光素子アレイチップの画素データがないと、画像が欠落し画像不良を発生させる。そのため、前述したように制御基板４１５のチップデータ変換部４０３で、隣接する面発光素子アレイチップの端部側の画素データを加えて、画像データを配列しておくことで、画像の欠落のないフィルタ処理を行うことができる(図６参照)。

30

【００５５】

(ＬＵＴ)

続くＬＵＴ４１０は、面発光素子アレイチップ内の発光素子に対応する画素毎の画像データ値(濃度データ値)をルックアップテーブル(Look Up Table)を参照して、データ変換を行う。ＬＵＴ４１０では、面発光素子アレイチップの発光時間の応答特性に基づいて、パルス発光させたときの積算光量が所定の値となるように、画素毎のデータ値の変換を行う。例えば、面発光素子アレイチップの発光時間の応答が遅く、積算光量が目標値より小さい場合は、データ値が増えるようにデータ変換を行う。本実施例では、ＣＰＵ４００は、画像形成を開始する前に、ルックアップテーブルに設定される変換テーブルの値を、実験的に得られた発光素子アレイの応答特性に基づいた所定の値に設定するものとする。

40

【００５６】

図１６は、ルックアップテーブルの一例を示す図である。ＬＵＴ４１０が(a)から(c)のいずれかをういて１２００dpi相当の画素データをPWM信号に変換する。(a)～(c)は１２００dpi相当の画素データを８ビットのPWMデータに変換するテーブルである。ここで、「０００，００１，０１０，０１１，１００」は、それぞれ「濃度０％、濃度２５％、濃度５０％、濃度７５％、濃度１００％」を示す１２００dpi相当の

50

画素データである。PWMデータの「1」はLEDのONデータ（発光データ）であり、「0」はOFFデータ（非発光データ）を示す。PWMデータがW1～W4に相当する。

【0057】

（PWM信号生成部、タイミング制御部、制御信号生成部、駆動電圧生成部）

第3の生成手段であるPWM信号生成部411では、画素毎のデータ値に応じて面発光素子アレイチップが1画素区間で発光する発光時間に対応したパルス幅信号（以下、PWM信号という）を生成する。PWM信号を出力するタイミングは、タイミング制御部412により制御される。タイミング制御部412は、制御基板415の同期信号生成部406で生成されたLine同期信号より、各画素の画素区間に対応した同期信号を生成し、PWM信号生成部411に出力する。駆動電圧生成部414は、PWM信号に同期して、面発光素子アレイチップを駆動する駆動電圧を生成する。なお、駆動電圧生成部414は、CPU400によって所定の光量となるように出力信号の電圧レベルを5V中心に調整可能な構成とする。本実施例では、各面発光素子アレイチップは、同時に4つの発光素子を独立して駆動できる構成となっている。駆動電圧生成部414は、面発光素子アレイチップ毎に駆動信号4ライン、露光ヘッド106全体では、千鳥状構成の1ライン（15チップ） \times 4=60ラインに駆動信号を供給する。各面発光素子アレイチップに供給される駆動信号は、W1～W4とする（図7参照）。一方、後述するシフトサイリスタ（図7参照）の動作により、順次、面発光素子アレイチップが駆動される。制御信号生成部413は、タイミング制御部412で生成された画素区間に対応する同期信号より、画素毎にシフトサイリスタを転送するための制御信号s、1、2を生成する（図7参照）。

【0058】

[SLED回路の説明]

図7は、本実施例の自己走査型発光素子（Self-Scanning LED：SLED）アレイチップの一部分を抜き出した等価回路である。図7において、Ra、Rgはそれぞれアノード抵抗、ゲート抵抗であり、Tnはシフトサイリスタ、Dnは転送ダイオード、Lnは発光サイリスタを示す。また、Gnは、対応するシフトサイリスタTn、及びシフトサイリスタTnに接続されている発光サイリスタLnの共通ゲートを表している。ここで、nは2以上の整数とする。1は奇数番目のシフトサイリスタTの転送ライン、2は偶数番目のシフトサイリスタTの転送ラインである。W1～W4は発光サイリスタLnの点灯信号ラインであり、それぞれ抵抗RW1～RW4と接続されている。VGKはゲートラインであり、sはスタートパルスラインである。図7に示すように、1個のシフトサイリスタTnに対し、発光サイリスタはL4n-3～L4nまでの4個が接続されており、同時に4個の発光サイリスタL4n-3～L4nが点灯可能な構成となっている。

【0059】

[SLED回路の動作]

次に、図7に示すSLED回路の動作について説明する。なお、図7の回路図において、ゲートラインVGKには5Vが印加されているものとし、転送ライン1、2、及び点灯信号ラインW1～W4に入力される電圧も、同じく5Vとする。図7において、シフトサイリスタTnがオン状態にあるとき、シフトサイリスタTn、及びシフトサイリスタTnに接続されている発光サイリスタLnの共通ゲートGnの電位は約0.2Vまで引き下げられる。発光サイリスタLnの共通ゲートGnと発光サイリスタLn+1の共通ゲートGn+1との間は、結合ダイオードDnで接続されているため、結合ダイオードDnの拡散電位にほぼ等しい電位差が発生する。本実施例では、結合ダイオードDnの拡散電位は約1.5Vであるので、発光サイリスタLn+1の共通ゲートGn+1の電位は、発光サイリスタLnの共通ゲートGnの電位の0.2Vに、拡散電位の1.5Vを加えた1.7V（=0.2V+1.5V）となる。以下、同様に、発光サイリスタLn+2の共通ゲートGn+2の電位は3.2V（=1.7V+1.5V）、発光サイリスタLn+3（不図示）の共通ゲートGn+3（不図示）の電位は4.7V（=3.2V+1.5V）と

なる。ただし、発光サイリスタ L_{n+4} の共通ゲート G_{n+4} 以降の電位は、ゲートライン V_{GK} の電圧が $5V$ であり、これ以上の高い電圧にはならないので、 $5V$ となる。また、発光サイリスタ L_n の共通ゲート G_n より前（図 7 の共通ゲート G_n よりも左側）の共通ゲート G_{n-1} の電位については、結合ダイオード D_{n-1} が逆バイアス状態になっているため、ゲートライン V_{GK} の電圧がそのまま印加され、 $5V$ となっている。

【0060】

図 8 (a) は、上述したシフトサイリスタ T_n がオン状態のときの各発光サイリスタ L_n の共通ゲート G_n のゲート電位の分布を示す図であり、共通ゲート G_{n-1} 、 G_n 、 G_{n+1} ・・・は、図 7 中の発光サイリスタ L の共通ゲートを指している。また、図 8 (a) の縦軸は、ゲート電位を示す。各シフトサイリスタ T_n がオンするために必要な電圧（以下、しきい値電圧と表記）は、各々の発光サイリスタ L_n の共通ゲート G_n のゲート電位に拡散電位（ $1.5V$ ）を加えたものと、ほぼ同じ電位である。シフトサイリスタ T_n がオンしているとき、同じシフトサイリスタ T_n の転送ライン 2 のラインに接続されているシフトサイリスタの中で、共通ゲートのゲート電位が最も低いのはシフトサイリスタ T_{n+2} である。シフトサイリスタ T_{n+2} に接続されている発光サイリスタ L_{n+2} の共通ゲート G_{n+2} の電位は、先に説明したように $3.2V (= 1.7V + 1.5V)$ （図 8 (a)）である。したがって、シフトサイリスタ T_{n+2} のしきい値電圧は $4.7V (= 3.2V + 1.5V)$ となる。しかしながら、シフトサイリスタ T_n がオンしているため、転送ライン 2 の電位は約 $1.5V$ （拡散電位）に引き込まれており、シフトサイリスタ T_{n+2} のしきい値電圧より低いために、シフトサイリスタ T_{n+2} はオンすることができない。同じ転送ライン 2 に接続されている他のシフトサイリスタは、シフトサイリスタ T_{n+2} よりもしきい値電圧が高いため、同様にオンすることができず、シフトサイリスタ T_n のみがオン状態を保つことができる。

【0061】

また、転送ライン 1 に接続されているシフトサイリスタについては、しきい値電圧が最も低い状態であるシフトサイリスタ T_{n+1} のしきい値電圧は $3.2V (= 1.7V + 1.5V)$ である。そして、次にしきい値電圧の低いシフトサイリスタ T_{n+3} （図 7 では不図示）は $6.2V (= 4.7V + 1.5V)$ である。この状態で、転送ライン 1 に $5V$ が入力されると、シフトサイリスタ T_{n+1} のみがオン状態に遷移できる。この状態では、シフトサイリスタ T_n とシフトサイリスタ T_{n+1} が同時にオンした状態である。そのため、シフトサイリスタ T_{n+1} から図 7 の回路図中、右側に設けられたシフトサイリスタ T_{n+2} 、 T_{n+3} 等のゲート電位は、各々、拡散電位（ $1.5V$ ）分、引き下げられる。ただし、ゲートライン V_{GK} の電圧が $5V$ であり、発光サイリスタ L の共通ゲートの電圧はゲートライン V_{GK} の電圧で制限されるため、シフトサイリスタ T_{n+5} より右側のゲート電位は $5V$ となる。図 8 (b) は、このときの各共通ゲート $G_{n-1} \sim G_{n+4}$ のゲート電圧分布を示す図であり、縦軸はゲート電位を示す。この状態で、転送ライン 2 の電位を $0V$ に下げると、シフトサイリスタ T_n がオフし、シフトサイリスタ T_n の共通ゲート G_n の電位が V_{GK} 電位まで上昇する。図 8 (c) は、このときのゲート電圧分布を示す図であり、縦軸はゲート電位を示す。こうして、シフトサイリスタ T_n からシフトサイリスタ T_{n+1} へのオン状態の転送が完了する。

【0062】

[発光サイリスタの発光動作]

次に、発光サイリスタの発光動作に関して説明する。シフトサイリスタ T_n のみがオンしているとき、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの 4 個の発光サイリスタのゲートはシフトサイリスタ T_n の共通ゲート G_n に共通に接続されている。そのため、発光サイリスタ $L_{4n-3} \sim L_{4n}$ のゲート電位は、共通ゲート G_n と同じ $0.2V$ である。したがって、各々の発光サイリスタのしきい値は $1.7V (= 0.2V + 1.5V)$ であり、発光サイリスタの点灯信号ライン $W_1 \sim W_4$ から、 $1.7V$ 以上の電圧が入力されれば、発光サイリスタ $L_{4n-3} \sim L_{4n}$ は点灯可能である。したがって、シフトサイリスタ T_n がオンしているときに、点灯信号ライン $W_1 \sim W_4$ に点灯信号を入力することに

より、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの4個の発光サイリスタを選択的に発光させることが可能である。このとき、シフトサイリスタ T_n の隣のシフトサイリスタ T_{n+1} の共通ゲート G_{n+1} の電位は $1.7V$ であり、共通ゲート G_{n+1} にゲート接続している発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧は $3.2V (= 1.7V + 1.5V)$ となる。点灯信号ライン $W_1 \sim W_4$ から入力される点灯信号は $5V$ であるので、発光サイリスタ $L_{4n-3} \sim L_{4n}$ の点灯パターンと同じ点灯パターンで、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ も点灯しそうである。ところが、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの方がしきい値電圧が低いため、点灯信号ライン $W_1 \sim W_4$ から点灯信号が入力された場合には、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ よりも早くオンする。一旦、発光サイリスタ $L_{4n-3} \sim L_{4n}$ がオンすると、接続されている点灯信号ライン $W_1 \sim W_4$ が約 $1.5V$ (拡散電位) に引き下げられる。そのため、点灯信号ライン $W_1 \sim W_4$ の電位が、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧よりも低くなるため、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ はオンすることができない。このように、1個のシフトサイリスタ T に複数の発光サイリスタ L を接続することで、複数の発光サイリスタ L を同時点灯させることができる。

【0063】

図9は、図7に示すSLED回路の駆動信号のタイミングチャートである。図9では、上から順に、ゲートライン V_{GK} 、スタートパルスライン s 、奇数番目、偶数番目のシフトサイリスタの転送ライン $1, 2$ 、発光サイリスタの点灯信号ライン $W_1 \sim W_4$ の駆動信号の電圧波形を表している。なお、各駆動信号は、オン時の電圧は $5V$ 、オフ時の電圧は $0V$ である。また、図9の横軸は時間を示す。また、 T_c は、クロック信号 1 の周期を示し、 $T_c/2$ は、周期 T_c の半分 ($= 1/2$) の周期を示す。

【0064】

ゲートライン V_{GK} には常に $5V$ が供給される。また、奇数番目のシフトサイリスタ用のクロック信号 1 、偶数番目のシフトサイリスタ用のクロック信号 2 が同じ周期 T_c にて入力され、スタートパルスラインの信号 s は $5V$ が供給されている。奇数番目のシフトサイリスタ用のクロック信号 1 が最初に $5V$ になる少し前に、ゲートライン V_{GK} に電位差をつけるために、スタートパルスラインの信号 s は $0V$ に落とされる。これにより、最初のシフトサイリスタ T_{n-1} のゲート電位が $5V$ から $1.7V$ に引き込まれ、しきい値電圧が $3.2V$ になって、転送ライン 1 による信号でオンできる状態になる。転送ライン 1 に $5V$ が印加され、最初のシフトサイリスタ T_{n-1} がオン状態に遷移してから少し遅れて、スタートパルスライン s に $5V$ が供給され、以降、スタートパルスライン s には $5V$ が供給され続ける。

【0065】

転送ライン 1 と転送ライン 2 は互いのオン状態 (ここでは $5V$) が重なる時間 T_{ov} を持ち、略相補的な関係になるように構成される。発光サイリスタ点灯用信号ライン $W_1 \sim W_4$ は、転送ライン $1, 2$ の周期の半分の周期で送信され、対応するシフトサイリスタがオン状態のときに、 $5V$ が印加されると点灯する。例えば期間 a では同一のシフトサイリスタに接続されている4つの発光サイリスタが全て点灯している状態であり、期間 b では3つの発光サイリスタが同時点灯している。また、期間 c では全ての発光サイリスタは消灯状態であり、期間 d では2つの発光サイリスタが同時点灯している。期間 e では点灯する発光サイリスタは1つのみである。

【0066】

本実施例では1個のシフトサイリスタに接続する発光サイリスタの数は4個としているがこれに限ったものではなく、用途に応じて4個より少なくても多くてもよい。なお、上述した回路では各サイリスタのカソードを共通とする回路について説明したが、アノード共通回路でも適宜極性を反転することで適用可能である。

【0067】

[面発光サイリスタの構造]

図10は、本実施例の面発光サイリスタ部の概略図である。図10(a)は、メサ(台形

10

20

30

40

50

）構造 9 2 2 に形成された発光素子が複数配列されている発光素子アレイの平面図（模式図）である。図 1 0（b）は、図 1 0（a）に示す B - B 線で、メサ構造 9 2 2 に形成された発光素子を切断したときの断面概略図である。発光素子が形成されたメサ構造 9 2 2 は、所定のピッチ（発光素子間の間隔）（例えば 1 2 0 0 d p i の解像度の場合には約 2 1 . 1 6 μ m）で配置されており、各メサ構造 9 2 2 は、素子分離溝 9 2 4 により互いに分離されている。

【 0 0 6 8 】

図 1 0（b）において、9 0 0 は第一伝導型の化合物半導体基板、9 0 2 は基板 9 0 0 と同じ第一伝導型のバッファ層、9 0 4 は第一伝導型の二種類の半導体層の積層で構成される分布ブラッグ反射（D B R）層である。また、9 0 6 は第 1 の第一伝導型半導体層、9 0 8 は第一伝導型とは異なる第 1 の第二伝導型半導体層、9 1 0 は第 2 の第一伝導型半導体層、9 1 2 は第 2 の第二伝導型半導体層である。図 1 0（b）に示すように、半導体層 9 0 6、9 0 8、9 1 0、9 1 2 の、伝導型の異なる半導体を交互に積層することで、p n p n 型（又は n p n p 型）のサイリスタ構造を形成している。本実施例では、基板 9 0 0 には n 型の G a A s 基板を用い、バッファ層 9 0 2 には n 型 G a A s 又は n 型の A l G a A s 層、D B R 層 9 0 4 には n 型の高 A l 組成の A l G a A s と低 A l 組成の A l G a A s の積層構造を用いている。D B R 層の上の第 1 の第一伝導型半導体層 9 0 6 には n 型 A l G a A s、第 1 の第二伝導型半導体層 9 0 8 には p 型 A l G a A s、第 2 の第一伝導型半導体層 9 1 0 には n 型 A l G a A s、第 2 の第二伝導型半導体層 9 1 2 には p 型 A l G a A s を用いている。

【 0 0 6 9 】

また、メサ構造型の面発光素子では、電流狭窄機構を用い、電流をメサ構造 9 2 2 側面に流さないようにすることで発光効率を向上させている。ここで、本実施例における電流狭窄機構について説明する。図 1 0（b）に示すように、本実施例では第 2 の第二伝導型半導体層 9 1 2 である p 型 A l G a A s の上に、p 型の G a P 層 9 1 4 を形成し、更にその上に n 型の透明導電体である I T O 層 9 1 8 を形成している。p 型 G a P 層 9 1 4 は、透明導電体 I T O 層 9 1 8 と接触する部分の不純物濃度を十分高く形成しておく。発光サイリスタに対して順バイアスを加えたとき（例えば裏面電極 9 2 6 を接地し、表面電極 9 2 0 に正電圧を加えたとき）、p 型 G a P 層 9 1 4 は、透明導電体 I T O 層 9 1 8 と接触する部分の不純物濃度を十分高く形成されているため、トンネル接合となる。その結果、電流が流れる。このような構造により、p 型 G a P 層 9 1 4 は、n 型透明導電体 I T O 層 9 1 8 と接触する部分に電流を集中させ、電流狭窄機構を形成している。なお、本実施例においては、I T O 層 9 1 8 と p 型 A l G a A s 層 9 1 2 との間に層間絶縁層 9 1 6 を設けている。ところが、n 型 I T O 層 9 1 8 と p 型 A l G a A s 層 9 1 2 で形成される付設ダイオードは、発光サイリスタの順方向バイアスに対して逆バイアスになっており、順バイアスしたときに、トンネル接合部以外は基本的に電流が流れない。そのため、n 型 I T O 層 9 1 8 と p 型 A l G a A s 層 9 1 2 で形成される付設ダイオードの逆方向耐圧が必要な用途に対して十分であれば、省略することも可能である。このような構成により、p 型 G a P 層 9 1 4 と n 型透明導電体 I T O 層 9 1 8 とが接触する部分とほぼ同等な部分の下部の半導体積層部が発光し、D B R 層 9 0 4 によってそのほとんどの発光が基板 9 0 0 と反対側に反射される。

【 0 0 7 0 】

本実施例における露光ヘッド 1 0 6 は、解像度に応じて発光点の密度（発光素子間の間隔）が決定される。面発光素子アレイチップ内部の各発光素子は、素子分離溝 9 2 4 によってメサ構造 9 2 2 に分離され、例えば 1 2 0 0 d p i の解像度で画像形成を行う場合は、隣接する発光素子（発光点）の素子中心間隔は 2 1 . 1 6 μ m となるように配列される。

【 0 0 7 1 】

[副走査方向の倍率補正]

実施例 1 では、同期信号生成部 4 0 6 は、副走査方向の倍率を変化させる際に、倍率に応

10

20

30

40

50

じて Line 同期信号 424 の周期を変化させる。また、PWM 信号生成部 411 は、副走査方向の倍率を変化させる際に、倍率に応じて PWM 信号のオン幅（オン時間）を変化させる。

【0072】

図 11 は、実施例 1 の副走査方向の倍率の補正を行う場合と行わない場合の Line 同期信号 424 と画像データ 423 の関係を示す図である。所定の Line 同期信号 424 が出力されてから次の Line 同期信号 424 が出力されるまでの 1 ライン間隔において、画像データ 423 が出力される領域（以下、画像データ領域ともいう）と拡縮領域とを設ける。拡縮領域は、副走査方向における倍率の補正を行わない場合であっても設けられる。図 11 (a) は副走査方向の倍率の補正を行わない場合の Line 同期信号 424 の波形（上）と画像データ 423 の波形（下）を示す。図 11 (b) は副走査方向の倍率を拡大する場合の Line 同期信号 424 の波形（上）と画像データ 423 の波形（下）を示す。図 11 (c) は副走査方向の倍率を縮小する場合の Line 同期信号 424 の波形（上）と画像データ 423 の波形（下）を示す。なお、データ受信部 407 から出力されるクロック信号の周期は副走査方向の倍率の補正の有無にかかわらず同じである。一方、制御基板 415 の同期信号生成部 406 から Line 同期信号 424 が出力される間隔（以下、1 ライン間隔という）は、補正の有無や拡大、縮小に応じて異なる。しかし、1 ライン間隔中で、画像データ 423 が転送されている間のクロック信号のパルス数は、補正の有無によらず、例えば 13000 パルスで、いずれも同じパルス数である。

【0073】

実施例 1 では、図 11 (a) に示すように、副走査方向の倍率補正を行わない場合の 1 ライン間隔に必要なクロック信号のパルス数は基準の周期である 15000 パルスとしている。1 ライン間隔の中で画像データ 423 を転送している間のパルス数は 13000 パルスであり、画像データ 423 の転送が終わった区間は、1 ライン間隔を 15000 パルスとするための調整を行う領域とする。以下、この領域を拡縮領域という。画像データ領域では、画像データ 423 に応じて PWM 信号生成部 411 から出力される PWM 信号に従い、面発光素子アレイチップの発光素子が点灯又は消灯する。一方、拡縮領域では、面発光素子アレイチップの発光素子は消灯する。

【0074】

副走査方向の倍率を拡大したい場合は、図 11 (b) に示すように、1 ラインに必要なパルス数は第 1 の周期である 16000 パルスとしている。副走査方向の倍率を縮小したい場合は、図 11 (c) に示すように、1 ラインに必要なパルス数は第 2 の周期である 14000 パルス（< 第 1 の周期）としている。図 11 (b) の副走査方向の倍率を拡大する場合、1 ライン間隔が副走査方向の倍率補正を行わない場合（図 11 (a)）と比較して長くなる。図 11 (c) の副走査方向の倍率を縮小する場合、1 ライン間隔が副走査方向の倍率補正を行わない場合と比較して短くなる。その結果、副走査方向の倍率を拡大する場合は感光ドラム 102 上に形成される 1 ライン間隔が伸び、全体的に画像データ 423 の副走査方向は拡大されることとなる。一方、副走査方向の倍率を縮小する場合は感光ドラム 102 上に形成される 1 ライン間隔が縮み、全体的に画像データ 423 の副走査方向は縮小されることとなる。

【0075】

制御基板 415 は、感光ドラム 102 の回転方向の倍率を、例えば N 倍とする倍率補正を行う場合に、クロック信号の パルス数 及び Line 同期信号の周期をそれぞれ $1/N$ 倍に補正する。

【0076】

[感光ドラム上に形成されるドットの形状]

図 12 (A) は、副走査方向の倍率を変更する場合に、PWM 信号生成部 411 による副走査方向の倍率補正を行わない場合の感光ドラム 102 上に形成されるドット形状を示す図である。図 12 (B) は、副走査方向の倍率を変更する場合に、PWM 信号生成部 411 による副走査方向の倍率補正を行う場合の感光ドラム 102 上に形成されるドット形状

を示す図である。また、各図において、(a)は副走査方向に拡大する場合、(b)は副走査方向の拡大・縮小がない場合、(c)は副走査方向に縮小する場合、をそれぞれ示す。

【0077】

図12(A)(a)では、副走査方向の倍率を拡大する場合の感光ドラム102上に形成されるドットを示している。前述したとおり、副走査方向の倍率を拡大する場合、Line同期信号424の周期が副走査方向の倍率変更をしない(b)の場合と比較して伸びている。その結果、感光ドラム102上に形成される1ライン間隔が伸び、1ライン目と2ライン目のドット間隔が広がる。一方、PWM信号生成部411により生成されるPWM信号のオン時間は、副走査方向の倍率による補正は行われない。その結果、記録紙に形成される画像データ423は濃度が薄くなってしまう。

10

【0078】

そこで実施例1では、図11(b)に示したような倍率補正をPWM信号生成部411により行うことで、感光ドラム102上に形成されるドットが、図12(A)(a)と比較して副走査方向に拡大される。実施例1では、PWM信号生成部411は、副走査方向の倍率を拡大する場合、基準となる倍率(拡大・縮小がない場合)のPWM信号のオン時間(基準のオン幅)よりも長いオン時間(第1のオン幅)としたPWM信号を生成する。したがって、副走査方向の感光ドラム102上に形成される1ライン間隔が長くなるだけでなく感光ドラム102上に形成されるドットが副走査方向に長くなる。このため、実施例1の副走査方向の倍率補正を行わない場合と比較して、画像データ423の濃度を一定に保つことが可能となる。

20

【0079】

図12(A)(c)では、副走査方向の倍率を縮小する場合の感光ドラム102上に形成されるドットを示している。前述したとおり、副走査方向の倍率を縮小する場合、Line同期信号424の周期が副走査方向の倍率補正をしない(b)の場合と比較して縮んでいる。その結果、感光ドラム102上に形成される1ライン間隔が縮み、1ライン目と2ライン目のドット間隔が縮む。一方、PWM信号生成部411により生成されるPWM信号のオン時間は、副走査方向の倍率による補正は行われない。その結果、記録紙に形成される画像データ423は濃度が濃くなってしまう。

【0080】

そこで実施例1では、図11(c)に示したような倍率補正をPWM信号生成部411により行うことで、感光ドラム102上に形成されるドットが、図12(A)(c)と比較して副走査方向に縮小される。実施例1では、PWM信号生成部411は、副走査方向の倍率を縮小する場合、基準となる倍率(拡大・縮小がない場合)のPWM信号のオン時間よりも短いオン時間(第2のオン幅)としたPWM信号を生成する。したがって、副走査方向の感光ドラム102上に形成される1ライン間隔が短くなるだけでなく感光ドラム102上に形成されるドットが副走査方向に短くなる。このため、実施例1の副走査方向の倍率補正をしない場合と比較して、画像データ423の濃度を一定に保つことが可能となる。

30

【0081】

以上説明した実施例1では、副走査方向の倍率を拡大・縮小する場合、同期信号生成部406で生成されるLine同期信号424の周期を変更することで副走査方向の倍率を変更することが可能である。そして、PWM信号生成部411から出力されるPWM信号のオン時間を副走査方向の倍率の拡大・縮小に応じて変更する。これにより、感光ドラム102上に形成されるドットサイズを変更することができ、画像データの濃度変動を抑えることが可能となる。その結果、高品位な画像形成が可能となる。

40

【0082】

なお、図4において、CPU400、集積回路401A、集積回路402Aは、1つの集積回路に含まれていてもよい。更に、CPU400と、集積回路401A及び集積回路402Aと、が異なる集積回路であってもよい。

【0083】

50

以上、実施例 1 によれば、画像データの濃度への影響を抑えつつ、副走査方向の倍率を補正することができる。

【実施例 2】

【0084】

[副走査方向の倍率補正]

実施例 2 について、特に実施例 1 と異なる箇所について図 13 を用いて詳細に説明する。実施例 1 で説明したように、副走査方向の倍率の拡大・縮小に応じて PWM 信号生成部 411 から出力される PWM 信号のオン時間を変更することで、ドットサイズを変更する。実施例 2 では、この方法に加え、各発光素子の光量を変化させることでも画像データ 423 の濃度を一定に保つことが可能となる。図 13 は、副走査方向の倍率補正を行った場合の、実施例 2 の光量を示す図であり、横軸に光量を示し、縦軸に副走査方向を示す。図 13 で、(a) は副走査方向の倍率を拡大したときのグラフであり、(b) は副走査方向の倍率補正を行わない(基準)ときのグラフであり、(c) は副走査方向の倍率を縮小したときのグラフである。

10

【0085】

実施例 2 において、実施例 1 同様に副走査方向の倍率を拡大する場合、Line 同期信号 424 の周期が副走査方向の倍率補正をしない場合と比較して長くなる。その結果、感光ドラム 102 上に形成される 1 ライン間隔が伸びるため、1 ライン目と 2 ライン目との間隔が広がり、記録紙に形成される画像データ 423 の濃度が薄くなる。そこで実施例 2 では、感光ドラム 102 上に形成されるドットを大きくするために、駆動手段である駆動電圧生成部 414 により各発光素子の駆動電圧を、拡大・縮小を行わない場合の基準の駆動電圧よりも高い第 1 の駆動電圧に上げる。

20

【0086】

図 13 (a) に示すように、各発光素子の駆動電圧を上げると、副走査方向の倍率補正をしない場合(図 13 (b))と比較して、各発光素子の光量が上がる。その結果、副走査方向の感光ドラム 102 上に形成される 1 ライン間隔が長くなるだけでなく、感光ドラム 102 上に形成されるドットの大きさが大きくなる。このため、画像データ 423 の濃度を副走査方向の倍率を補正しない場合と比較し、一定に保つことが可能となる。

【0087】

一方、副走査方向の倍率を縮小する場合、Line 同期信号 424 の周期が副走査方向の倍率補正をしない場合と比較して短くなる。その結果、感光ドラム 102 上に形成される 1 ライン間隔が縮むため、1 ライン目と 2 ライン目との間隔が縮み、記録紙に形成される画像データ 423 の濃度が濃くなる。そこで実施例 2 では、感光ドラム 102 上に形成されるドットを小さくするために、駆動電圧生成部 414 により各発光素子の駆動電圧を、拡大・縮小を行わない場合の基準の駆動電圧よりも低い第 2 の駆動電圧(< 第 1 の駆動電圧)に下げる。

30

【0088】

図 13 (c) に示すように、各発光素子の駆動電圧を下げると、副走査方向の倍率補正をしない場合(図 13 (b))と比較して、各発光素子の光量が下がる。その結果、副走査方向の感光ドラム 102 上に形成される 1 ライン間隔が短くなるだけでなく、感光ドラム 102 上に形成されるドットの大きさが小さくなる。このため、画像データ 423 の濃度を副走査方向の倍率を補正しない場合と比較し、一定に保つことが可能となる。

40

【0089】

以上説明した実施例 2 では、副走査方向の倍率を拡大・縮小する場合、同期信号生成部 406 で生成する Line 同期信号 424 の周期を変更することで副走査方向の倍率補正が可能とである。そして、駆動電圧生成部 414 で副走査方向の倍率の拡大・縮小に応じて各発光素子の駆動電圧を変更することで光量を変更する。これにより、感光ドラム 102 上に形成されるドットサイズを変更することで画像データの濃度変更を抑えることが可能となる。その結果、高品位な画像形成が可能となる。以上、実施例 2 によれば、画像データの濃度への影響を抑えつつ、副走査方向の倍率を補正することができる。

50

【 0 0 9 0 】

[図 4 の変形例]

図 4 の変形例 1 として、例えば、図 1 4 に示すように、フィルタ処理部 4 0 8 がチップデータシフト部 4 0 4 とデータ送信部 4 0 5 との間にあってもよい。

図 4 の変形例 2 として、例えば、図 1 5 に示すように、フィルタ処理部 4 0 8 がラインデータシフト部 4 0 2 とチップデータ変換部 4 0 3 との間にあってもよい。

【 符号の説明 】

【 0 0 9 1 】

- 1 0 2 感光ドラム
- 1 0 6 露光ヘッド
- 2 0 1 面発光素子アレイ素子群
- 4 0 6 同期信号生成部
- 4 1 5 制御基板
- 4 2 2 クロック生成部

10

20

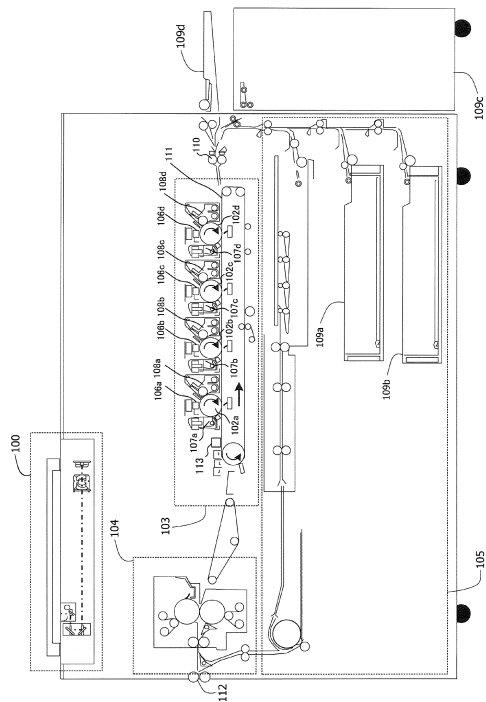
30

40

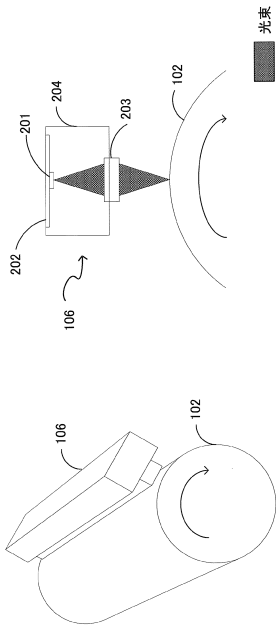
50

【図面】

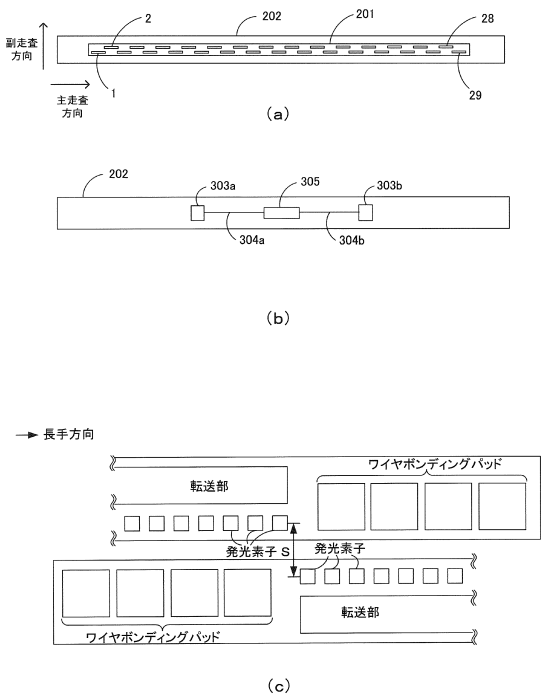
【図 1】



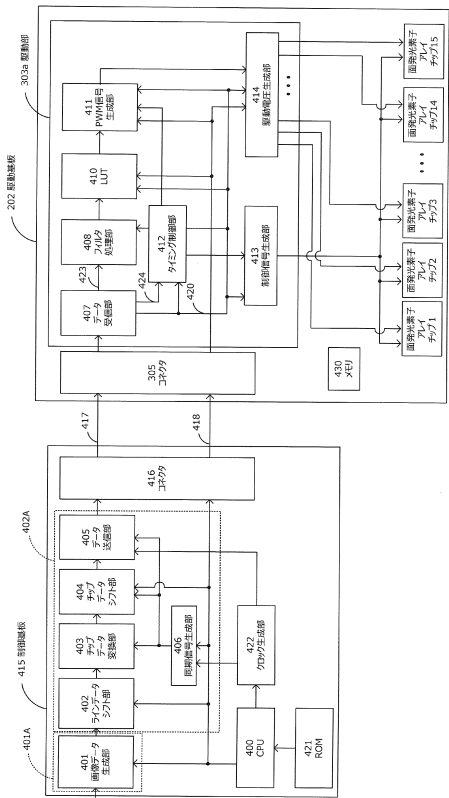
【図 2】



【図 3】



【図 4】



10

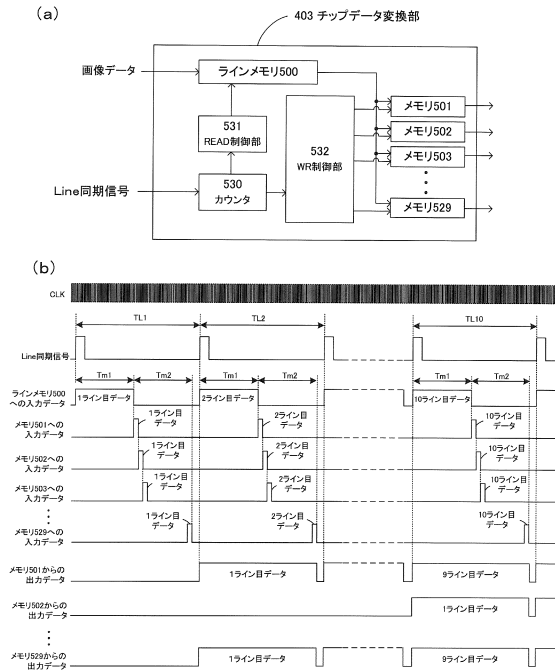
20

30

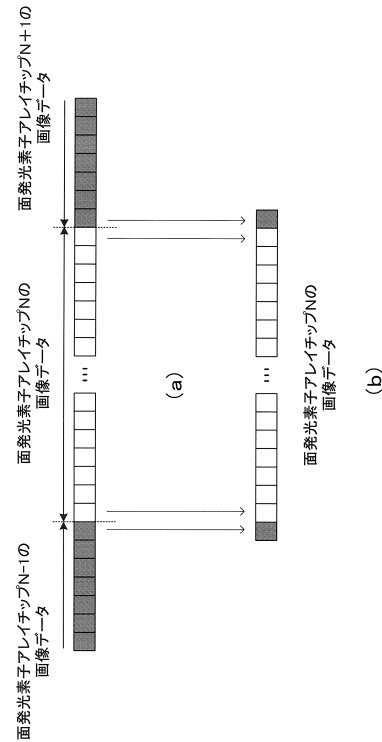
40

50

【図 5】



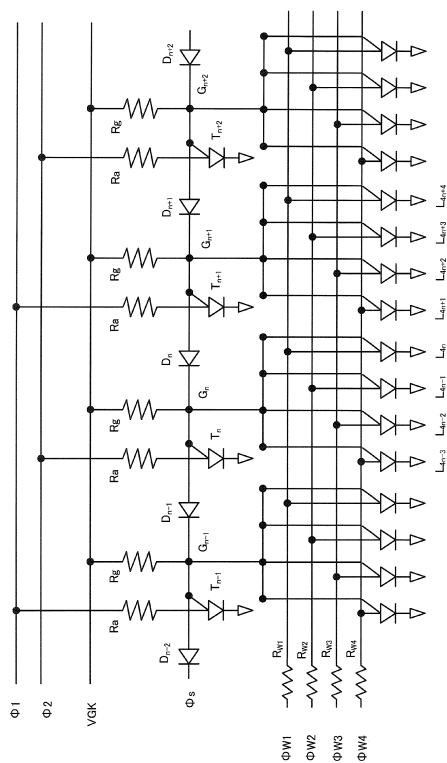
【図 6】



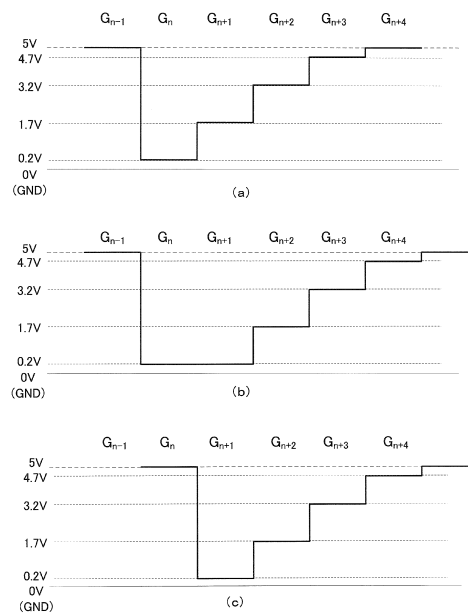
10

20

【図 7】



【図 8】

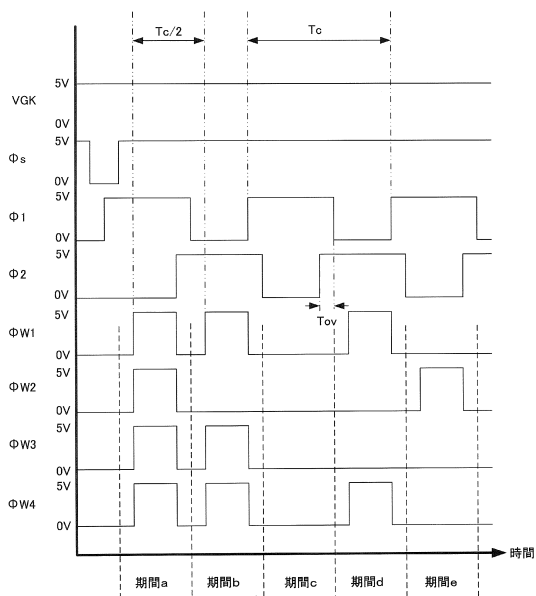


30

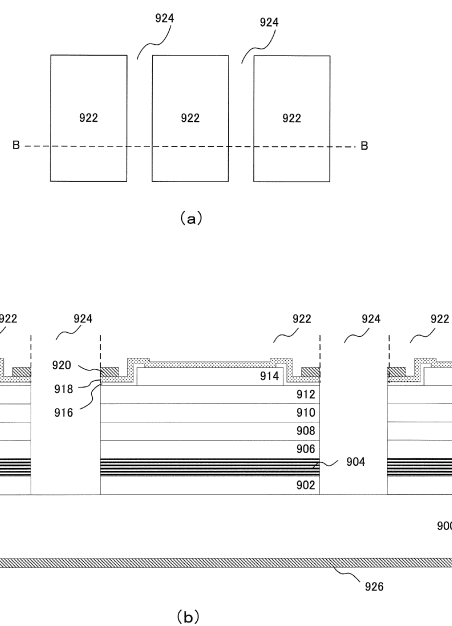
40

50

【 図 9 】



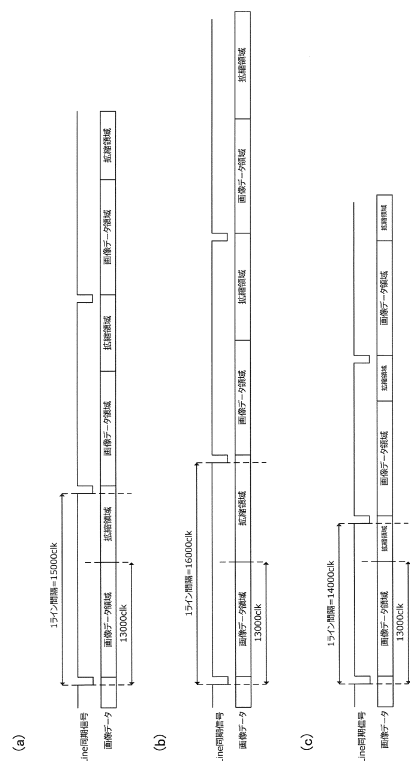
【 図 1 0 】



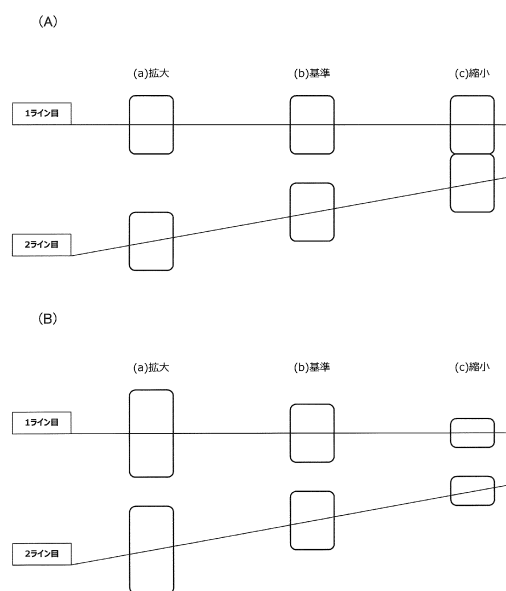
10

20

【 図 1 1 】



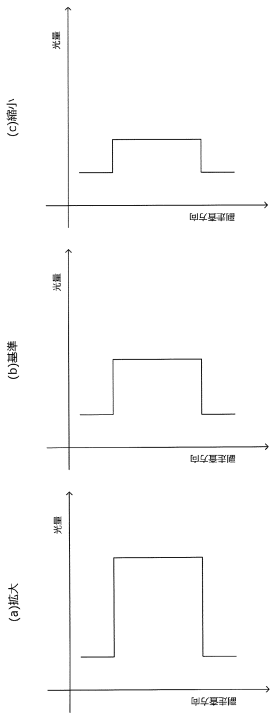
【圖 1 2】



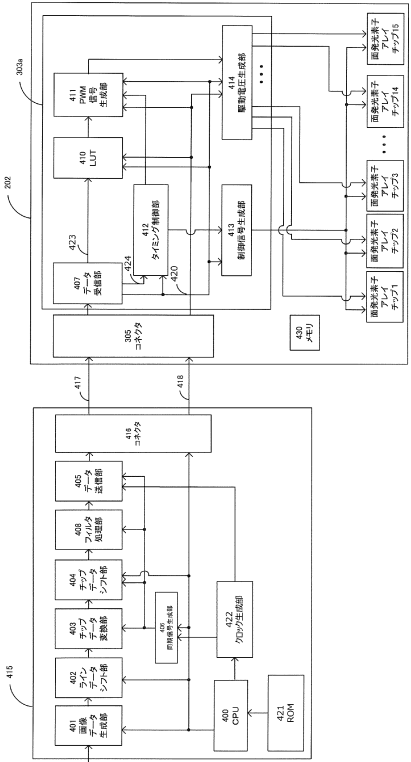
30

40

【図 13】



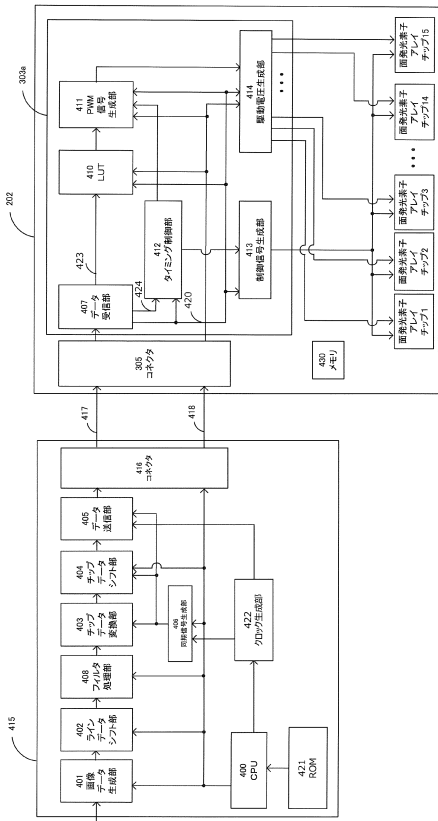
【図 14】



10

20

【図 15】



【図 16】

PWMデータ									
000	0	0	0	0	0	0	0	0	0
001	0	0	0	0	0	0	1	1	1
010	0	0	0	0	1	1	1	1	1
011	0	0	1	1	1	1	1	1	1
100	1	1	1	1	1	1	1	1	1

(a)

PWMデータ									
000	0	0	0	0	0	0	0	0	0
001	1	1	0	0	0	0	0	0	0
010	1	1	1	1	0	0	0	0	0
011	1	1	1	1	1	1	0	0	0
100	1	1	1	1	1	1	1	1	1

(b)

PWMデータ									
000	0	0	0	0	0	0	0	0	0
001	0	0	0	1	1	0	0	0	0
010	0	0	1	1	1	1	0	0	0
011	0	1	1	1	1	1	1	0	0
100	1	1	1	1	1	1	1	1	1

(c)

30

40

50

フロントページの続き

(51)国際特許分類

B 4 1 J 2/45 (2006.01)

F I

B 4 1 J 2/45

(56)参考文献

特開 2 0 0 5 - 1 7 0 0 3 3 (J P , A)

特開 2 0 0 6 - 1 5 9 8 5 1 (J P , A)

特開平 0 5 - 0 1 1 2 0 9 (J P , A)

特開 2 0 0 3 - 1 2 7 4 6 2 (J P , A)

特開 2 0 1 0 - 0 3 4 3 5 7 (J P , A)

米国特許出願公開第 2 0 1 2 / 0 0 8 1 4 9 8 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

B 4 1 J 2 / 4 4 7

G 0 3 G 1 5 / 0 4

G 0 3 G 1 5 / 0 0

G 0 3 B 2 7 / 0 0

H 0 4 N 1 / 0 3 6

B 4 1 J 2 / 4 5